

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成22年10月14日 (2010.10.14)

【公開番号】特開2008-72716(P2008-72716A)

【公開日】平成20年3月27日 (2008.3.27)

【年通号数】公開・登録公報2008-012

【出願番号】特願2007-237202(P2007-237202)

【国際特許分類】

H 0 4 B 3/14 (2006.01)

H 0 4 L 25/03 (2006.01)

H 0 4 B 3/06 (2006.01)

【F I】

H 0 4 B 3/14

H 0 4 L 25/03 C

H 0 4 B 3/06 Z

【手続補正書】

【提出日】平成22年8月27日 (2010.8.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

着信データ信号の等化を制御する方法であって、該方法は、
該着信データ信号のシンボル間隔を決定することであって、該決定することは、第一の
更新速度で起こる、ことと、

該着信データ信号の収束時間に少なくとも部分的に基づいて、ビットのパターンを選択
することと、

該データ信号において、複数の組の 2 つの連続する異なる値を有するビットを検出する
ことであって、検出された一組の 2 つの連続する異なる値を有するビットは、それぞれ、
該選択されたパターンに整合するビットのシーケンス内に含まれる、ことと、

該複数の組の各々の組の 2 つのビットの間の該着信データ信号における遷移が、遅いか
、または早いかを示す値を提供することと、

該提供された値を時間にわたって積分することと、

(1) 該値の積分と、(2) 該決定されたシンボル間隔とに基づいて、該着信データ信
号の等化を、第二の更新速度で更新することと

を包含する、方法。

【請求項 2】

前記複数の組のうちの 1 つの組の 2 つのビット間の遷移が早い場合には、前記着信デー
タ信号の等化を減少させることをさらに包含する、請求項 1 に記載の方法。

【請求項 3】

前記提供することと、前記積分することとは、連続ビット値の所定のパターンが、前記
遷移に先行するときのみ実行される、請求項 1 に記載の方法。

【請求項 4】

前記所定のパターンは、複数の同様な値を有するビットを含む、請求項 3 に記載の方法

。

【請求項 5】

前記検出することおよび提供することは、繰り返して実行され、前記更新することは、該検出することおよび提供することの複数回の実行において、前記遷移が遅いことが、早いことよりも多いときのみ実行される、請求項 1 に記載の方法。

【請求項 6】

前記検出することおよび提供することの複数回の実行において、前記遷移が早いことが、遅いことよりも多いときに、前記着信データ信号の等化を減少させる、請求項 5 に記載の方法。

【請求項 7】

前記提供することは、

前記遷移が、遷移サンプルを生成するように発生しているときに、前記データ信号をサンプリングすることと、

該遷移サンプルを基準値と比較することと

を包含する、請求項 1 に記載の方法。

【請求項 8】

前記複数の組のうちの 1 つの組の 2 つの連続する異なる値を有するビットのうちの一方から前記基準値を導出することをさらに包含する、請求項 7 に記載の方法。

【請求項 9】

着信データ信号の等化を制御する方法であって、該方法は、

該着信データ信号のシンボル間隔を決定することであって、該決定することは、第一の更新速度で起こる、ことと、

該着信データ信号の収束時間に少なくとも部分的に基づいて、ビットのパターンを選択することと、

データサンプルを生成するために、該着信データ信号の中のデータ値が安定であるときに、該着信データ信号をサンプリングすることと、

遷移サンプルを生成するために、該着信データ信号が互いに異なる複数の連続するデータ値の間で遷移しているときに、該着信データ信号をサンプリングすることであって、該連続するデータ値は、該選択されたパターンに適合するビットのシーケンス内に含まれるビットに対応する、ことと、

2 つの連続する異なる値を有するデータサンプルの間でとられた遷移サンプルを、基準値と比較することと、

該比較することの結果を、該比較することの複数回の連続する実行にわたって積分することと、

(1) 該積分の結果と、(2) 該決定されたシンボル間隔とに基づいて、該等化を第二の更新速度で更新することと

を包含する、方法。

【請求項 10】

前記基準値は、前記 2 つの連続する異なる値を有するデータサンプルのうちの一方である、請求項 9 に記載の方法。

【請求項 11】

前記制御することは、

前記遷移サンプルが、前記 2 つの連続するデータサンプルの第一のデータサンプルの値と同じである値を有することを、前記比較が示す場合、等化を増加させることを包含する、請求項 10 に記載の方法。

【請求項 12】

前記制御することは、

前記遷移サンプルが、前記 2 つの連続するデータサンプルの第二のデータサンプルの値と同じである値を有することを、前記比較が示す場合、等化を減少させることを包含する、請求項 10 に記載の方法。

【請求項 13】

連続するデータサンプルのパターンについて、前記着信データ信号を検査することであ

って、該連続するデータサンプルのパターンは、1つの異なる値を有するデータサンプルが後に続く複数の同様な値を有するデータサンプルを含む、ことと、

該パターンの検出に応答してのみ、前記比較を実行することと
をさらに包含する、請求項9に記載の方法。

【請求項14】

前記異なる値を有するデータサンプルと前記複数の同様な値を有するデータサンプルとの間の前記遷移サンプルを用いて、前記比較が実行される、請求項13に記載の方法。

【請求項15】

着信データ信号を等化するための回路網であって、該回路網は、

該着信データ信号のシンボル間隔を決定するための同期回路網であって、該決定することは、第一の更新速度で起こる、同期回路網と、

該着信データ信号の収束時間に少なくとも部分的に基づいて、ビットのパターンを選択するための選択回路網と、

データサンプルを生成するために、該着信データ信号の中のデータ値が安定であるときに、該着信データ信号をサンプリングするための第一のサンプリング回路網と、

遷移サンプルを生成するために、該着信データ信号が互いに異なる複数の連続するデータ値の間で遷移しているときに、該着信データ信号をサンプリングするための第二のサンプリング回路網であって、該連続するデータ値は、該選択されたパターンに適合するビットのシーケンス内に含まれるビットに対応する、第二のサンプリング回路網と、

2つの連続する異なる値を有するデータサンプルの間でとられた遷移サンプルを基準値と比較するための比較回路網と、

該比較回路網の出力を時間にわたって積分することと、該着信データ信号の等化を変化させるか否かを決定するために該積分の結果を用いることとを行うための回路網と、

(1)該等化を変化させるか否かの決定と、(2)該決定されたシンボル間隔とに基づいて、該着信データ信号の等化を、第二の更新速度で更新するための等化制御回路網とを備える、回路網。

【請求項16】

前記基準値は、前記2つの連続する異なる値を有するデータサンプルのうちの一方である、請求項15に記載の回路網。

【請求項17】

前記遷移サンプルが、前記2つの連続するデータサンプルの第一のデータサンプルの値と同じ値を有する場合、前記等化制御回路網は、前記等化を増加させる、請求項16に記載の回路網。

【請求項18】

前記遷移サンプルが、前記2つの連続するデータサンプルの第二のデータサンプルの値と同じ値を有する場合、前記等化制御回路網は、前記等化を減少させる、請求項16に記載の回路網。

【請求項19】

前記データサンプルの複数の連続するデータサンプルにおいて値の所定のパターンの発生を検出することと、該パターンが検出されるとき、前記等化制御回路網をエネーブルにすることとを行うためのパターン検出回路網をさらに備える、請求項15に記載の回路網。

【請求項20】

前記所定のパターンは、1つの異なる値を有するデータサンプルが後に続く複数の同様な値を有するデータサンプルを含む、請求項19に記載の回路網。

【請求項21】

前記第二の更新速度はユーザプログラマブルである、請求項1に記載の方法。

【請求項22】

前記第一のサンプリング回路網は、第一の複数のレジスタを備え、前記第二のサンプリング回路網は、第二の複数のレジスタを備え、前記回路網は、

第三の複数のレジスタをさらに備え、

該第一の複数のレジスタのうちの１つの出力は、該第三の複数のレジスタのうちの少なくとも２つのレジスタに結合され、

該第二の複数のレジスタの出力は、それぞれ、該第三の複数のレジスタのうちの異なる１つに結合され、

前記比較回路網は、該第三の複数のレジスタの出力に結合された決定論理回路網を備え、該決定論理回路網は、等化を変化させるか否かを示す信号を出力する、請求項１５に記載の回路網。

【請求項２３】

前記第三の複数のレジスタにおいて、値の所定のパターンの発生を検出することと、該パターンが検出されたときに前記等化制御回路網をエネーブルすることとを行う、該第三の複数のレジスタの出力に結合されたパターン検出回路網をさらに備える、請求項２２に記載の回路網。