



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 942141

(61) Дополнительное к авт. свид-ву № 826418

(22) Заявлено 22.07.80 (21) 2966795/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.07.82. Бюллетень № 25

Дата опубликования описания 07.07.82

(51) М. Кл.³

G 11 C 11/00

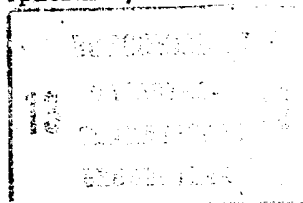
(53) УДК 681.327.
.6(088.8)

(72) Авторы
изобретения

Н. А. Прокашев, А. Н. Соловьев, Д. А. Страбыкин,
Э. И. Шибанов и А. Ю. Пестов

(71) Заявитель

Кировский политехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к вычислительной технике и может быть использовано для построения устройств хранения цифровой информации.

По основному авт. св. № 826418 известно запоминающее устройство, содержащее матрицу И-И блоков памяти, где И - разрядность слова, адресные входы которых соединены с выходами старших разрядов регистра адреса, входы выбора блоков памяти i -й, где $1 \leq i \leq$ строки матрицы подключены к i -му выходу дешифратора, входы которого соединены с выходами младших разрядов регистра адреса, информационные входы блоков памяти j -го, где $1 \leq j \leq$ столбца матрицы подключены к j -му выходу входного регистра, а информационные выходы - к j -ой группе входов основного блока элементов ИЛИ, выходы которого соединены со входами выходного регистра, входные коммутаторы, коммутаторы выбора блоков памяти, выходной коммутатор и

дополнительный блок элементов ИЛИ, входы выбора блоков памяти i -ой строки матрицы подключены к одноименным выходам i -го коммутатора выбора, первые входы которого подключены к i -му, а вторые - к одноименным выходам дешифратора, информационные входы блоков памяти j -го столбца матрицы соединены с одноименными выходами j -го входного коммутатора, первые входы которого подключены к j -му а вторые - к одноименным выходам входного регистра, информационные выходы блоков памяти i -ой строки матрицы подключены к i -ой группе входов дополнительного блока элементов ИЛИ, выходы основного блока элементов ИЛИ соединены с первыми, а выходы дополнительного - со вторыми входами выходного коммутатора, выходы которого соединены со входами выходного регистра, управляющие входы всех коммутаторов подключены к дополнительному разряду регистра адреса [1].

Недостатком устройства является невозможность ассоциативного считывания и записи информации по совпадению незамаскированных разрядов слов с заданным признаком.

Цель изобретения - расширение области применения путем ассоциативного считывания и записи информации по совпадению незамаскированных разрядов слов с заданным признаком.

Поставленная цель достигается тем, что в запоминающее устройство дополнительно введены регистры маски и признака, коммутаторы маски и признака, итоговый регистр сдвига, блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ через коммутатор 10 признака поступает сигнал выключены к выходам блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, а выходы - к входам итогового регистра сдвига, входы первого элемента ИЛИ подключены к выходам старших разрядов адресного регистра, а выход первого элемента ИЛИ является соответствующим управляющим выходом устройства, выходы итогового регистра сдвига подключены к входам второго элемента ИЛИ, выход которого является соответствующим управляющим выходом устройства, одни входы блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ подключены к выходам выходного коммутатора, а другие входы - к выходу коммутатора признака, одни входы которого подключены к выходам младших разрядов адресного регистра, другие входы - к выходам 35 регистра признака, одни входы коммутатора маски подключены к выходам младших разрядов регистра адреса, а другие входы - к выходам регистра маски, выход коммутатора маски является соответствующим управляющим выходом устройства.

На чертеже приведена блок-схема запоминающего устройства.

Запоминающее устройство содержит 45 регистр-счетчик 1 младших разрядов регистра адреса, регистр-счетчик 2 старших разрядов регистра адреса, дополнительный разряд регистра 3 адреса, дешифратор 4, первый элемент ИЛИ 5, коммутаторы 6 выбора, регистр 7 признака, регистр 8 маски, входной регистр 9, коммутатор 10 признака, коммутатор 11 маски, входные коммутаторы 12, матрицу 50 блоков 13 памяти, блок 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, основной блок 15 элементов ИЛИ, дополнительный блок 16 элементов ИЛИ, блок 17 элементов И,

итоговый регистр 18 сдвига, выходной коммутатор 19, выходной регистр 20 и второй элемент ИЛИ 21.

Коммутатор 10 признака и коммутатор 11 маски - коммутаторы с $\bar{И}$ информационными входами и одним выходом. Блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 14 содержит $\bar{И}$ двухвходовых элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. Первый 5 и второй 10 21 элементы ИЛИ представляют собой $\bar{И}$ -входовые элементы ИЛИ, а блок 11 элементов И содержит $\bar{И}$ двухвходовых элементов И.

Предлагаемое устройство может работать в девяти режимах: хранения информации, считывания $\bar{И}$ -разрядных чисел, записи $\bar{И}$ -разрядных чисел, считывания данных, представляющих группу одноименных разрядов $\bar{И}$ чисел, записи данных, представляющих собой группу одноименных разрядов $\bar{И}$ чисел, ассоциативного считывания $\bar{И}$ -разрядных чисел по совпадению незамаскированных разрядов чисел с заданным признаком, ассоциативной записи $\bar{И}$ -разрядных чисел, ассоциативного считывания данных, представляющих собой группу одноименных разрядов $\bar{И}$ чисел, по совпадению незамаскированных разрядов данных с заданным признаком, ассоциативной записи данных, представляющих собой группу одноименных разрядов чисел.

В режиме хранения информации считывание и запись информации не производится.

В режиме считывания $\bar{И}$ -разрядных чисел устройство работает следующим образом.

В регистр адреса (регистр-счетчики 1 младших и старших разрядов) заносится адрес числа, одновременно дополнительный разряд регистра 3 адреса устанавливается в состояние "0". Регистр 7 признака, регистр 8 маски, коммутаторы 10 признака и 11 маски, блок 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, блок 17 схем И, первый 5 и второй 21 элемент ИЛИ и итоговый регистр 18 сдвига при этом в работе устройства не участвуют. На управляющие входы коммутаторов 6 выбора, входных коммутаторов 12 и выходного коммутатора 19 поступает сигнал логического нуля. При этом через дешифратор 4 и коммутаторы 6 выбора на входы выбора блоков памяти i -ой строки матрицы блоков 13 (номер строки задается младшими разрядами регистра-счетчика 1 адреса) поступает

сигнал логической единицы, на входы выбора остальных блоков 13 памяти матрицы поступает сигнал логического нуля. Адресные сигналы старших разрядов регистра-счетчика 2 адреса поступают на адресные входы всех блоков 13 памяти. Таким образом, оказывается выбранной одна ячейка блоков памяти i -ой строки таблицы.

Производится считывание: сигналы считываемого числа с информационных выходов блоков 13 памяти i -ой строки через основной блок 15 схем ИЛИ и выходной коммутатор 19 поступают на входы выходного регистра 20 и соответствующие вторые входы блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. Число из выбранной ячейки памяти записывается в выходной регистр 20.

Запись n -разрядного числа происходит следующим образом. Во входной регистр 9 заносится записываемое число. Также как в режиме записи n -разрядных чисел во входной регистр 9 заносится адрес числа и производится выбор ячейки памяти, в которую необходимо записать число.

Производится запись: сигналы записываемого числа с выходов входного регистра 9 через первые входы входных коммутаторов 12 поступают на информационные входы всех блоков памяти и устанавливают запоминающие элементы выбранной ячейки в необходимые состояния.

В режиме считывания данных, представляющих собой группу одноименных разрядов и чисел в регистр адреса (регистры-счетчики 1 младших и 2 старших разрядов) заносится адрес данных (числа), одновременно дополнительный разряд регистра 3 адреса устанавливается в состояние "1". Регистр 7 признака, регистр 8 маски, коммутаторы 10 признака и 11 маски, первый и второй элементы ИЛИ 5 и 21, блок 17 схем И и итоговый регистр 18 сдвига при этом в работе устройства не участвуют.

На управляющие входы коммутаторов 6 выбора, входных коммутаторов 12 и выходного коммутатора 19 поступает сигнал логической единицы. При этом через дешифратор 4 и коммутаторы 6 выбора на входы выбора блоков памяти j -го столбца матрицы блоков 13 (номер столбца задается младшими разрядами регистра-счетчика 1 адреса) поступает сигнал логической единицы, на входы выбора остальных блоков 13 памяти матрицы по-

ступает сигнал логического нуля. Адресные сигналы старших разрядов регистра-счетчика 2 адреса поступают на адресные входы всех блоков 13 памяти. Таким образом, оказывается выбранным набор запоминающих элементов, соответствующих группе j -х разрядов и чисел в блоках памяти j -го столбца матрицы.

Производится считывание: сигналы считываемой группы разрядов с информационных входов блоков памяти j -го столбца матрицы блоков 13 через дополнительный блок 16 элементов ИЛИ и выходной коммутатор 19 поступает на входы выходного регистра 20 и соответствующие вторые входы блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. Группа одноименных разрядов и чисел из выбранного набора запоминающих элементов записывается в выходной регистр 20.

В режиме записи данных, представляющих собой группу одноименных разрядов и чисел, во входной регистр 9 заносится записываемая группа разрядов данного числа. Так же, как и в пп. 4.1 и 4.2 как и в режиме считывания данных, представляющих собой группу одноименных разрядов и чисел, заносится адрес числа (данных) и производится выбор запоминающих элементов, в которые необходимо записать группу одноименных разрядов и чисел. Производится запись: сигналы записываемых разрядов с выходов входного регистра 9 через вторые входы входных коммутаторов 12 поступают на информационные входы всех блоков 13 памяти и устанавливают запоминающие элементы выбранного набора в необходимые состояния.

В режиме ассоциативного считывания n -разрядных чисел по совпадению замаскированных разрядов чисел с заданным признаком регистра-счетчики 1 младших и 2 старших разрядов адреса устанавливаются в нулевое состояние (нулевое состояние регистра-счетчика 2 старших разрядов адреса задает первый массив из И, И-разрядных чисел), одновременно дополнительный разряд регистра 3 адреса устанавливается в состояние "1". В регистр 7 признака заносится признак числа (И-разрядный двоичный код), в регистр 8 маски - маска (И-разрядный двоичный код, цифра "0", в котором маскирует одноименный разряд признака, исключая его из рассмотрения), а итоговый регистр 18 сдвига устанавливается в состояние 11...1.

Производится опрос-определение адресов чисел заданного массива, незамаскированные разряды которых совпадают с заданным признаком. Для этого на управляющие входы коммутатора 10 признака и коммутатора 11 маски поступают адресные сигналы младших разрядов регистра-счетчика 1 адреса. При этом на первые входы блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ через коммутатор 10 признака поступает сигнал выбранного разряда регистра 7 признака, а на выходе коммутатора 11 маски появляется сигнал выбранного разряда регистра маски.

Если на выходе коммутатора 11 маски устанавливается сигнал "1" (разряд регистра маски не равен "0"), то также как и в режиме считывания данных, представляющих собой группы одноименных разрядов И чисел, производится выбор запоминающих элементов и считывание группы разрядов и чисел из блоков памяти j -го столбца матрицы. При этом на вторых входах блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ появляются сигналы, соответствующие группе одноименных разрядов И чисел. В случае несовпадения каких-либо разрядов считанной группы с разрядом признака, соответствующие им разряды итогового регистра 18 сдвига через блок 17 элементов И устанавливаются в нулевое состояние. Если на выходе коммутатора 11 маски устанавливается сигнал "0", то выбор, считывание и изменение содержимого итогового регистра 18 сдвига не выполняются.

Если на выходе второго элемента ИЛИ 21 единичный сигнал (хотя бы один разряд итогового регистра 18 сдвига сохранил единичное состояние), то содержимое регистра-счетчика 1 младших разрядов адреса увеличивается на единицу, в противном случае осуществляется переход к определению номера следующего анализируемого массива И, И-разрядных чисел.

Если на первом выходе дешифратора 4 нулевой сигнал (содержимое регистра-счетчика младших разрядов 1 адреса не равно нулю) то осуществляется переход к опросу-определению адресов чисел данного массива, описанного выше, в противном случае выполняется считывание чисел, незамаскированных разряды которых совпадают с заданным признаком.

Для осуществления этого режима дополнительный разряд регистра 3 адреса устанавливается в состояние "0". Если младший разряд итогового регистра 18 сдвига в единичном состоянии, то также как и в режиме считывания И-разрядных чисел производится выбор, считывание и занесение считанного числа (незамаскированные разряды которого совпадают с заданным признаком) в выходной регистр 20. В противном случае содержимое регистра-счетчика 1 младших разрядов адреса увеличивается на единицу и содержимое итогового регистра 18 сдвига сдвигается на один разряд в сторону младших разрядов. Если на выходе второго элемента ИЛИ 21 единичный сигнал, то осуществляется анализ младшего разряда итогового регистра сдвига вышеуказанным образом, в противном случае выполняется следующий пункт. Определение номера следующего анализируемого массива И-разрядных чисел.

Для осуществления этого режима регистра-счетчик младших разрядов 1 адреса устанавливается в нулевое состояние, содержимое регистра-счетчика 2 старших разрядов адреса увеличивается на единицу, а итоговый регистр 18 сдвига устанавливается в состояние 11...1. Если на выходе первого элемента ИЛИ 5 единичный сигнал (содержимое регистра-счетчика 2 старших разрядов адреса не равно нулю), то осуществляется переход к опросу-определению адресов чисел заданного массива, в противном случае процесс ассоциативного считывания И-разрядных чисел по совпадению незамаскированных разрядов чисел с заданным признаком заканчивается.

В режиме ассоциативной записи И-разрядных чисел начальные установки и опрос-определение адресов чисел заданного массива в режиме ассоциативной записи И-разрядных чисел осуществляется аналогично режиму ассоциативного считывания И-разрядных чисел по совпадению с незамаскированными разрядами чисел с заданным признаком.

50 Осуществляется запись чисел по адресам, в которых хранятся числа, незамаскированные разряды которых совпадают с заданным признаком. Для этого дополнительный разряд регистра 3 адреса устанавливается в состояние "0". Если младший разряд итогового регистра 18 сдвига в единичном состоянии, то так же, как и в режиме записи И-разрядного

числа, производится запись n -разрядного числа; в противном случае содержимое регистра-счетчика 1 младших разрядов адреса увеличивается на единицу и содержимое итогового регистра 18 сдвига сдвигается на один разряд в сторону младших разрядов.

Если на выходе второго элемента ИЛИ 21 единичный сигнал, то осуществляется анализ младшего разряда итогового регистра 18 сдвига, в противном случае выполняется определение номера следующего анализируемого массива i , n -разрядных чисел.

Если на выходе первой схемы ИЛИ 5 единичный сигнал, то осуществляется переход к опросу-определению адресов чисел заданного массива, в противном случае процесс ассоциативной записи i -разрядных чисел по совпадению незамаскированных разрядов чисел с заданным признаком заканчивается.

В режиме ассоциативного считывания данных, представляющих собой группу одноименных разрядов i чисел по совпадению незамаскированных разрядов данных с заданным признаком регистры-счетчики 1 младших и 2 старших разрядов адреса устанавливаются в нулевое состояние, дополнительный разряд регистра 3 адреса устанавливается в состояние "0". Другие начальные установки аналогичны режиму ассоциативного считывания i -разрядных чисел. Производится опрос-определение адресов данных, представляющих собой группу одноименных разрядов i чисел, незамаскированные разряды которых совпадают с заданным признаком. На управляющие входы коммутатора 10 признака и коммутатора 11 маски поступают адресные сигналы младших разрядов регистра-счетчика 2 адреса. При этом на первые входы блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ через коммутатор 10 признака поступает сигнал выбранного разряда регистра 7 признака, а на выходе коммутатора 11 маски появляется сигнал выбранного разряда регистра маски.

Если на выходе коммутатора 11 маски устанавливается сигнал "1", то так же, как в режиме считывания i -разрядных чисел, производится выбор запоминающих элементов и считывание числа, записанного в i -ой строке матрицы. При этом на вторых входах блока 14 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ появляются сигналы, соответствующие считанному

числу, в случае несовпадения каких-либо разрядов считанного числа с разрядом признака, соответствующие им разряды итогового регистра 18 сдвига через блок 17 схем И устанавливаются в нулевое состояние. Если на выходе коммутатора 11 маски устанавливается сигнал "0", то выбор, считывание и изменение содержимого итогового регистра 18 сдвига не выполняются.

Если на выходе второй схемы ИЛИ 21 единичный сигнал (хотя бы один разряд итогового регистра 18 сдвига сохраняет единичное состояние), то содержимое регистра-счетчика 2 старших разрядов адреса увеличивается на единицу и выполняется следующий пункт, иначе - переход к определению номера следующего анализируемого массива данных, представляющих собой группу одноименных разрядов i чисел, описываемое ниже. Если на выходе схемы ИЛИ 5 единичный сигнал (содержимое регистра-счетчика 2 старших разрядов адреса не равно нулю), то осуществляется переход к опросу-определению адресов данных, в противном случае выполняется считывание данных, представляющих группу одноименных разрядов i чисел, незамаскированные разряды которых совпадают с заданным признаком. Для осуществления этого дополнительный разряд регистра 3 адреса устанавливается в состояние "1". Если младший разряд итогового регистра 18 сдвига в единичном состоянии, то так же, как и в режиме считывания данных, представляющих собой группу одноименных разрядов i чисел, производится выбор, считывание и запись считанных данных в выходной регистр 20, в противном случае содержимое регистра-счетчика 2 старших разрядов адреса увеличивается на единицу и содержимое итогового регистра 18 сдвига сдвигается на один разряд в сторону младших разрядов. Если на выходе второй схемы ИЛИ 21 единичный сигнал, то осуществляется переход к считыванию данных, в противном случае выполняется определение номера следующего анализируемого массива данных, представляющих собой группу одноименных разрядов i чисел.

Для осуществления этого регистр-счетчик 2 старших разрядов адреса устанавливается в нулевое состояние, содержимое регистра-счетчика 1 младших разрядов адреса увеличивается на 1, а ито-

вый регистр 18 сдвига устанавливается в состояние 11...1.

Если на первом выходе дешифратора 4 нулевой сигнал (содержимое регистра-счетчика 1 младших разрядов адреса не равно нулю), то осуществляется переход на опрос-определение адресов данных, в противном случае процесс ассоциативного считывания группы данных, представляющих собой группу одноименных разрядов η чисел, по совпадению незамаскированных разрядов данных с заданным признаком заканчивается.

В режиме ассоциативной записи данных, представляющих собой группу одноименных разрядов η чисел, начальные установки и проведение опроса-определения адресов данных аналогично предыдущему режиму.

Запись данных, представляющих собой группу одноименных разрядов η чисел, по адресам, в которых хранятся данные, незамаскированные разряды которых совпадают с заданным признаком, производится следующим образом. Дополнительный разряд регистра 3 адреса устанавливается в состояние "1". Если младший разряд итогового регистра 18 сдвига в единичном состоянии, то так же, как и в режиме записи подобных данных, производится запись данных, в противном случае происходит увеличение на единицу регистра-счетчика 2 старших разрядов адреса и сдвига на один разряд в сторону младших разрядов итогового регистра 18 сдвига.

Если на выходе второй схемы ИЛИ 21 единичный сигнал, то осуществляется переход к анализу младшего разряда итогового регистра 18 сдвига, в противном случае выполняется определение номера следующего анализируемого массива данных, представляющих собой группу одноименных разрядов η чисел. Для этого производятся начальные установки аналогичные как и при определении номера следующего анализируемого массива данных, представляющих собой группу одноименных разрядов η чисел.

Если на первом выходе дешифратора 4 нулевой сигнал (содержимое регистра-счетчика 1 младших разрядов адреса не равно нулю), то осуществляется пункт опрос-определения адресов данных, в противном случае процесс ассоциативной записи данных, представляющих собой группу одноименных разрядов η чисел заканчивается.

Таким образом, в предлагаемом устройстве наряду с хранением информации, считыванием и записью η -разрядных чисел, считыванием и записью данных, представляющих собой одноименные разряды η чисел, возможно также выполнение ассоциативного считывания и записи η -разрядных чисел и ассоциативного считывания и записи данных, представляющих собой группу одноименных разрядов η чисел, что расширяет область применения запоминающего устройства.

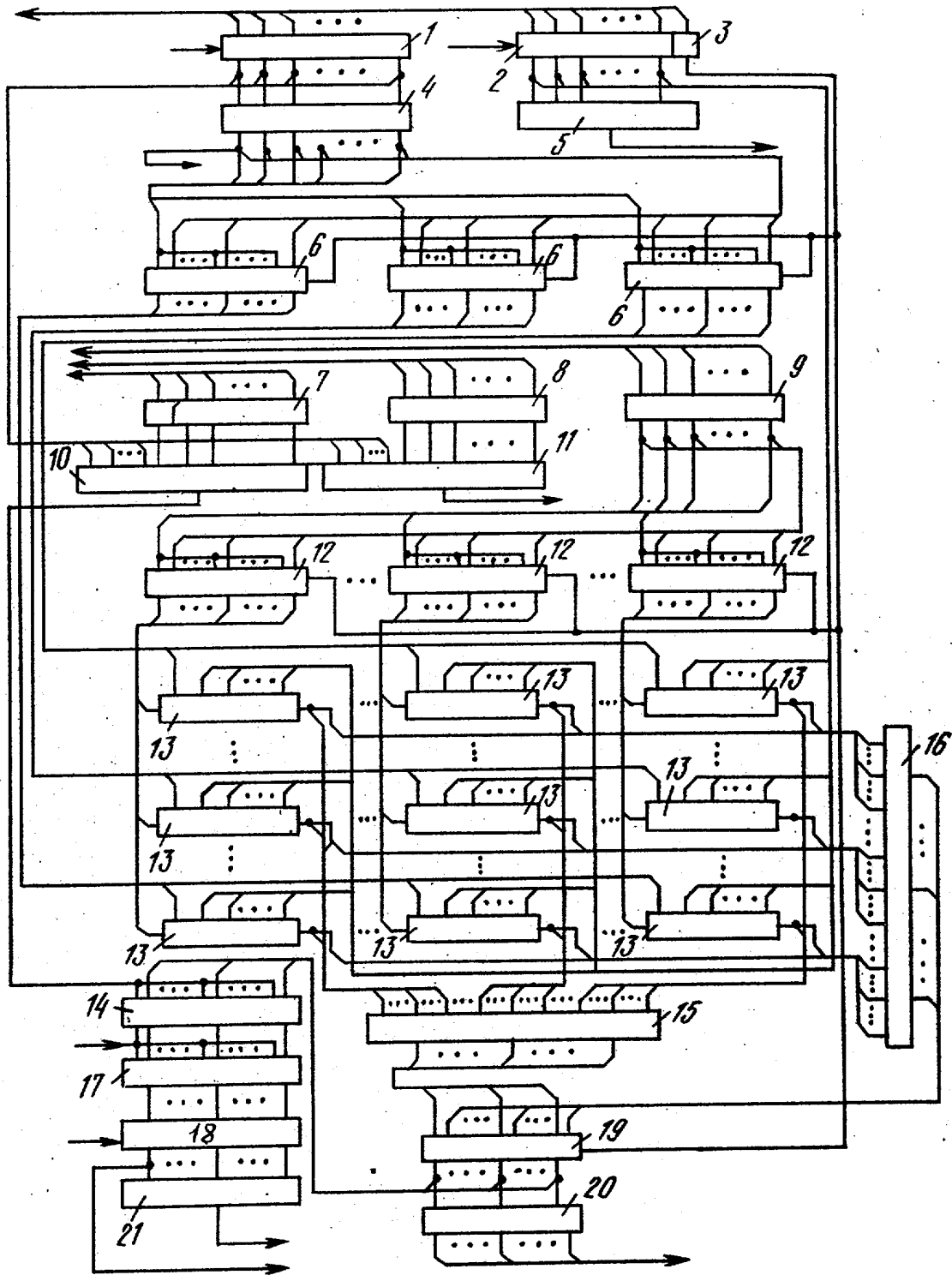
15 Ф о р м у л а и з о б р е т е н и я

Запоминающее устройство по авт. св. № 826418, отличающееся тем, что, с целью расширения области его применения за счет ассоциативного считывания и записи информации по совпадению незамаскированных разрядов слов с заданным признаком, оно содержит регистры маски и признака, коммутаторы маски и признака, итоговый регистр сдвига, блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, элементы ИЛИ и блок элементов И, входы которого подключены к выходам блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, а выходы - к входам итогового регистра сдвига, входы первого элемента ИЛИ подключены к выходам старших разрядов адресного регистра, а выход первого элемента ИЛИ является соответствующим управляющим выходом устройства, выходы итогового регистра сдвига подключены к входам второго элемента ИЛИ, выход которого является соответствующим управляющим выходом устройства, одни входы блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ подключены к выходам выходного коммутатора, а другие входы - к выходу коммутатора признака, одни входы которого подключены к выходам младших разрядов адресного регистра, другие входы - к выходам регистра признака, одни входы коммутатора маски подключены к выходам младших разрядов регистра адреса, а другие входы - к выходам регистра маски, выход коммутатора маски, является соответствующим управляющим выходом устройства.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 826418, кл. G 11 C 11/00, 1979



Составитель С. Шустенко
 Редактор С. Юско Техред А.Бабинец Корректор А. Ференц
 Заказ 4851/45 Тираж 622 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4