

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2013 年 10 月 31 日 (31.10.2013) WIPO | PCT

(10) 国际公布号  
WO 2013/159455 A1

- (51) 国际专利分类号:  
H01L 21/336 (2006.01) H01L 29/49 (2006.01)  
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2012/078318
- (22) 国际申请日: 2012 年 7 月 6 日 (06.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201210120451.X 2012 年 4 月 23 日 (23.04.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 何卫 (HE, Wei) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing

100029 (CN)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。

(74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制造方法

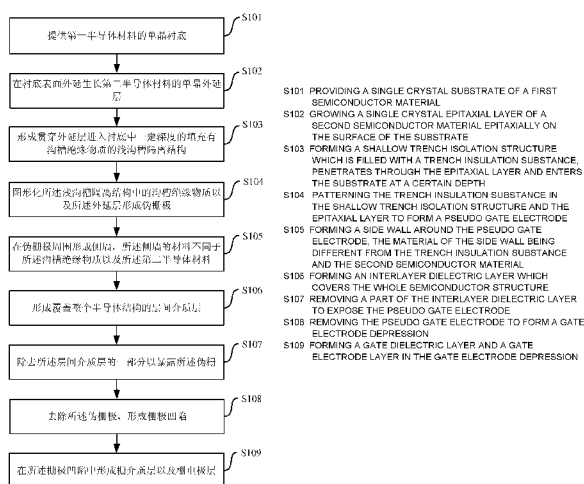


图 1 / Fig. 1

(57) Abstract: Provided is a manufacturing method for a semiconductor structure, which comprises: providing a single crystal substrate (100) of a first semiconductor material; growing a single crystal epitaxial layer (110) of a second semiconductor material epitaxially on the surface of the substrate (100); forming a shallow trench isolation structure (210) which is filled with a trench insulation substance, penetrates through the epitaxial layer and enters into the substrate at a certain depth; patterning the trench insulation substance in the shallow trench isolation structure (210) and the epitaxial layer (110) to form a pseudo gate electrode; forming a side wall (310) around the pseudo gate electrode, the material of the side wall (310) being different from the trench insulation substance and the second semiconductor material; forming an interlayer dielectric layer (400) which covers the whole semiconductor structure; removing a part of the interlayer dielectric layer (400) to expose the pseudo gate electrode; removing the pseudo gate electrode to form a gate electrode depression (500); and forming a gate dielectric layer (600) and a gate electrode layer (610) in the gate electrode depression (500). The present invention is beneficial for reducing the roughness of the surfaces of both sides of the gate electrode. Also provided is a semiconductor structure which is manufactured according to the abovementioned method.

(57) 摘要:

[见续页]

WO 2013/159455 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

本发明提供了一种半导体结构的制造方法, 包括: 提供第一半导体材料的单晶衬底 (100); 在衬底 (100) 表面外延生长第二半导体材料的单晶外延层 (110); 形成贯穿外延层进入衬底中一定深度的填充有沟槽绝缘物质的浅沟槽隔离结构 (210); 图形化所述浅沟槽隔离结构 (210) 中的沟槽绝缘物质以及所述外延层 (110) 形成伪栅极; 在伪栅极周围形成侧墙 (310), 所述侧墙 (310) 的材料不同于所述沟槽绝缘物质以及所述第二半导体材料; 形成覆盖整个半导体结构的层间介质层 (400); 除去所述层间介质层 (400) 的一部分以暴露所述伪栅; 去除所述伪栅极, 形成栅极凹陷 (500); 在所述栅极凹陷 (500) 中形成栅介质层 (600) 以及栅电极层 (610)。本发明利于降低栅极两侧表面的粗糙度。本发明还提供了根据上述方法制造的半导体结构。

## 半导体结构及其制造方法

[0001] 本申请要求了 2012 月 4 月 23 日提交的、申请号为 201210120451.X、  
发明名称为“半导体结构及其制造方法”的中国专利申请的优先权，其全部  
5 内容通过引用结合在本申请中。

### 技术领域

[0002] 本发明涉及半导体技术领域，尤其涉及一种半导体结构及其制造方法。

10

### 背景技术

[0003] 随着半导体器件制造技术的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、  
大小和空间也需要进一步缩小（目前已经可以达到纳米级），因此半导体器  
15 件制造过程中对工艺控制的要求较高。

[0004] 其中栅极工艺技术对 MOS FET（金属氧化物半导体场效应晶体管）性能影响极大。通过栅极  $\text{SiO}_2$  绝缘层薄膜化，可以使 MOS 器件日益走向高性能化；但是，不断的薄膜化，正在逐步接近栅极绝缘层厚度的极限。因为  $\text{SiO}_2$  薄膜厚度达到 2nm 时，栅极漏电流已不容忽视。今后，能够抑制栅极漏电流  
20 的高介电常数值（高 k）栅极绝缘薄膜将是必不可少的。虽然高 k 值膜是必要的，但是它很难同已有的多晶硅栅极组合起来应用。这是由于可使阈值电压变高的“费米能级弯曲”（Fermi Level Peening）现象所引起的，特别是这种现象在 P 型 MOS 器件里更为显著。为了解决这一问题，可以不用多晶硅栅极，而是采用金属材料的金属栅极和高 k 值绝缘膜组合应用。但是，金属栅极的技术壁垒很高，在开发的初级阶段里，金属栅极的制膜和蚀刻都很困难。  
25 关于高 k 值膜的制膜工艺，一般来说，包括（a）形成界面层；（b）制作高 k 值膜；（c）氧化或氮化处理；（d）高温退火处理，共 4 道工序。

[0005] 但是此工艺过程中有一个很重要的问题是金属栅极制作困难，所以需要替代栅工艺，而目前替代栅工艺使用多晶硅制作伪栅，栅极线边缘粗糙，

使得栅极长度变化较大,尤其是当栅长降低到 20nm 的时候,其变化尤为显著。所以,急需找出一个解决方案,能够降低栅极长度的变化。

### 发明内容

[0006] 为了解决上述问题,本发明提供了一种半导体结构的制造方法以及根据该方法获得的结构,采用单晶半导体材料作为伪栅极,降低了栅极两侧表面的粗糙度,同时还可以节省器件面积。

[0007] 根据本发明的一个方面,提供了一种半导体结构的制造方法,该制造方法包括以下步骤:

- a) 提供第一半导体材料的单晶衬底;
- 10      b) 在衬底表面外延生长第二半导体材料的单晶外延层;
- c) 形成贯穿外延层进入衬底中一定深度的填充有沟槽绝缘物质的浅沟槽隔离结构;
- d) 图形化所述浅沟槽隔离结构中的沟槽绝缘物质以及所述外延层形成伪栅极;
- 15      e) 在伪栅极周围形成侧墙,所述侧墙的材料不同于所述沟槽绝缘物质以及所述第二半导体材料;
- f) 形成覆盖整个半导体结构的层间介质层;
- g) 除去所述层间介质层的一部分以暴露所述伪栅;
- h) 去除所述伪栅极,形成栅极凹陷;
- 20      i) 在所述栅极凹陷中形成栅介质层以及栅电极层。

[0008] 根据本发明的另一个方面,还提供了一种半导体结构,包括衬底;形成于衬底之上的栅堆叠,包括高 k 栅介质层和金属栅极;形成于栅堆叠两侧的源漏区;浅沟槽隔离结构,进入衬底中一定深度,将衬底表面分成至少一个有源区,其中栅堆叠在宽度方向上的末端与相应的浅沟槽隔离结构的边缘齐平。

[0009] 与现有技术相比,采用本发明提供的技术方案具有如下优点:

- 1.采用外延生长 SiGe 作为伪栅极降低了栅极两侧表面的粗糙度;

2.因为栅层制作在浅沟槽隔离结构之前,所以浅沟槽隔离结构阶高对器件平坦化影响较小

3.因为栅极在宽度方向的末端与浅沟槽隔离结构边缘齐平,所以节省了器件区面积。

5

### 附图说明

[0010]通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本发明的其它特征、目的和优点将会变得更明显。

图 1 为根据本发明的半导体结构制造方法的流程图;

10 图 2 为在衬底表面外延生长第二半导体材料的单晶外延层后的剖面示意图;

图 3 为生长衬垫层并沉积氮化硅后的剖面示意图;

图 4 为刻蚀形成贯穿外延层进入衬底中一定深度的沟槽后的剖面示意图;

15 图 5 为在沟槽内填充氧化物后的剖面示意图;

图 6 为去除氮化硅和衬垫层后的俯视示意图;

图 7 为图 6 所示结构沿剖线 AA'的剖面示意图;

图 8 为光刻形成光刻胶栅极图形后的俯视示意图;

图 9 为图 8 示结构沿剖线 AA'的剖面示意图;

20 图 10 为形成伪栅极后的俯视示意图;

图 11 和图 12 分别为图 10 示结构沿剖线 AA'和沿剖线 BB'的剖面示意图;

图 13 为形成侧墙后的剖面示意图;

图 14 为图 13 示结构沿剖线 AA'的剖面示意图;

25 图 15 为沉积接触刻蚀停止层后的剖面示意图;

图 16 为沉积层间介电层后的剖面示意图;

图 17 为去除伪栅极后的剖面示意图;

图 18 为图 17 示结构沿剖线 AA'的剖面示意图;

图 19 为形成栅极后的剖面示意图;

图 20 和图 21 分别为图 19 示结构沿剖线 AA'和沿剖线 BB'的剖面示意图。

### 具体实施方式

[0011] 下面详细描述本发明的实施例。

- 5 [0012] 所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。
- 10 当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一
- 15 特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

[0013] 根据本发明的一个方面，提供了一种半导体结构的制造方法。下面，将结合图 2 至图 13 通过本发明的一个实施例对图 1 形成半导体结构的方法进行具体描述。如图 1 所示，本发明所提供的制造方法包括以下步骤：

20 [0014] 在步骤 S101 中，提供第一半导体材料的单晶衬底 100。

[0015] 在本实施例中，所述衬底 100 材料为单晶硅。在其他实施例中，所述衬底 100 还可以包括其他基本半导体例如锗，或其他化合物半导体，例如，碳化硅、砷化镓、砷化铟或者磷化铟。典型地，所述衬底 100 的厚度

25 可以约为但不限于几百微米，例如 0.2mm-1mm 的厚度范围。

[0016] 在步骤 S102 中，在衬底 100 表面外延生长第二半导体材料的单晶外延层 110，如图 2 所示。在本实施例中所述外延层 110 由 SiGe 构成。外延生长的具体工艺，如工艺温度、反应时间及所掺杂质均可根据产品设计灵活调整，不再赘述。

[0017] 在其他实施例中，单晶外延层还可以包括其他基本半导体例如锗，或其他化合物半导体，例如，碳化硅、砷化镓、砷化铟或者磷化铟。

[0018] 在步骤 S103 中，形成贯穿外延层进入衬底中一定深度的填有沟槽绝缘物质的浅沟槽隔离结构 210。

- 5 [0019] 具体的，首先在 SiGe 外延层 110 上生长衬垫层 120，然后衬垫层 120 上沉积氮化硅层 130，如图 3 所示。接着图形化氮化硅层 130，进一步多步刻蚀形成贯穿外延层进入衬底中一定深度的沟槽 200，如图 4 所示。然后可选地在沟槽 200 中生长氧化物衬层，并 HDP（高密度等离子体）填充沟槽绝缘物质（例如氧化物）。
- 10 [0020] 在本实施例中衬垫层 120 为热氧化制作的  $\text{SiO}_2$ ，在其他实施例中，衬垫层 120 还可以包括氮化硅、 $\text{Al}_2\text{O}_3$  或者其他任何合适的绝缘材料，典型地，所述衬垫层（120）的厚度范围为 10nm~300nm。衬垫层 120 和氮化硅层 130 可以通过 HDP、CVD（化学气相沉积）、旋涂或其他合适的方法顺序形成在 SiGe 外延层 110 上。
- 15 [0021] 可采用光刻加刻蚀的工艺执行图形化氮化硅层 130 操作，所述刻蚀操作终止于所述衬底 100 中一定深度，如图 4 所示。例如，浅沟槽隔离结构 210 进入衬底中的深度可以为 100-300nm。采用 HDP 工艺在沟槽 200 内填充绝缘材料，在本实施例中为  $\text{SiO}_2$ ，在其他实施例中，绝缘材料还可以包括氮化硅、 $\text{Al}_2\text{O}_3$  或者其他任何合适的绝缘材料。
- 20 [0022] 接着，例如，通过 CMP（化学机械研磨）平坦化沉积的绝缘材料，例如如图 5 所示，进行平坦化直至氮化硅层 130 的表面。之后除去氮化硅层 130 和衬垫层 120，使得所述单晶外延层 110 暴露出来。在除去氮化硅层 130 和衬垫层 120 的同时，使得浅沟槽隔离结构 210 高度降低，接近与所述单晶外延层 110 的上表面齐平。完成此步骤后的器件结构的俯视图如图
- 25 6 所示，相应的截面图如图 7 所示。图 6 中示意性的示出由浅沟槽隔离结构 210 分割出来的两个矩形的有源区。本领域技术人员可以理解，在实际应用中浅沟槽隔离结构的形状和尺寸以及有源区的数量和形状可以根据实际的需要来设计。至此，已形成填充有沟槽绝缘物质的浅沟槽隔离结构 210。

[0023] 在步骤 S104 中，图形化所述浅沟槽隔离结构 210 中的沟槽绝缘物质以及所述外延层 110 形成伪栅极。

[0024] 具体地，可以首先在单晶外延层 110 以及浅沟槽隔离结构 210 上覆盖一层光刻胶层，对该光刻胶层进行曝光构图，形成伪栅极图形。例如，俯视图如图 8 所示，相应的截面图如图 9 所示。伪栅极图形区域 140 横跨于两个有源区以及两个有源区之间的浅沟槽隔离结构之上。之后，例如，首先刻蚀去除未被光刻胶覆盖的沟槽绝缘物质（例如沟槽填充氧化物），当刻蚀进行到基本与衬底 100 的上表面齐平时停止。之后刻蚀去除未被光刻胶覆盖的 SiGe，形成伪栅图形，如图 10 到图 12 所示。其中刻蚀操作可根据需要灵活选用各种干法刻蚀或湿法刻蚀。刻蚀的顺序也可以不同，例如也可以先刻蚀未被光刻胶覆盖的 SiGe，再刻蚀未被光刻胶覆盖的沟槽绝缘物质（例如沟槽填充氧化物）。图 10 为形成伪栅极后的俯视示意图，其中浅沟槽隔离结构 210、衬底 100 以及伪栅的 SiGe 部分 300 和沟槽氧化物部分 301 都可以看见。在形成 MOS 管的源漏区之前，可以先进行 LDD（轻掺杂源漏区）注入。

[0025] 在步骤 S105 中，在伪栅极周围形成侧墙 310，俯视示意图如图 13 所示，所述侧墙 310 的材料不同于沟槽绝缘物质（例如沟槽填充氧化物）以及所述第二半导体材料，可以由氮化硅、氮氧化硅、碳化硅、及其组合，和/或其他合适的材料形成。侧墙 310 可以通过包括沉积-刻蚀工艺形成，其厚度范围可以是 10nm~100nm，如 30nm、50nm 或 80nm。

[0026] 在步骤 S105 中，还可以包括在形成所述侧墙 310 之后，形成源/漏区 101，如图 14 所示。例如，通过离子注入的方式在衬底 100 中形成较浅的源/漏区 101，可以向衬底 100 中注入 P 型或 N 型掺杂物或杂质，例如，对于 PMOS 来说，源/漏区可以是 P 型掺杂；对于 NMOS 来说，源/漏区可以是 N 型掺杂。所述离子注入操作的具体工艺，如注入能量、注入剂量、注入次数及掺杂粒子均可根据产品设计灵活调整。可选地，随之对所述半导体结构进行退火，以激活源/漏区中的掺杂，退火可以采用包括快速退火、尖峰退火等其他合适的方法形成。在本发明的其他一些实施例中，也可以形成嵌入式的源漏区和/或抬高的源漏区。

[0027] 在步骤 S106 中，形成覆盖整个半导体结构的层间介质层 400。

[0028] 具体的，可以首先沉积 CESL 层（接触刻蚀停止层）320，如图 15 所示。例如通过沉积氮化硅、氧化硅、氮氧化硅、碳化硅及其组合形成。然后在整个 CESL 层 320 之上淀积层间介质层 400。其材料可选为 SiO<sub>2</sub>、  
5 SiOF、SiCOH、SiO、SiCO、SiCON、SiON、磷硅玻璃 PSG、或硼磷硅玻璃 BPSG。经历上述操作后，俯视承载上述结构的衬底，只见层间介质层 400。

[0029] 在步骤 S107 中，除去层间介质层 400 的一部分以暴露伪栅。可采用 CMP 和/或刻蚀方法除去所述层间介质层 400 的一部分。例如，可以当  
10 层间介质层 400 的高度与伪栅的 SiGe 部分 300 齐平时停止 CMP，如图 16 所示。

[0030] 在步骤 S108 中，去除所述伪栅极，形成栅极凹陷 500，如图 18 所示。

[0031] 例如，可以首先采用刻蚀工艺去除伪栅极的 SiGe 部分 300，之后，  
15 再进行一步刻蚀操作，将伪栅极的沟槽填充氧化物部分 301 也去除掉，例如，如图 17 的俯视图和图 18 的截面图所示。当然，也可以先去除伪栅极的沟槽填充氧化物部分 301，再去除伪栅极的 SiGe 部分 300。

[0032] 在步骤 S109 中，在所述栅极凹陷 500 中形成栅介质层 600 以及栅电极层 610，如图 20 所示。

[0033] 具体地，先在栅极凹陷 500 中暴露的衬底 100 上形成栅介质层 600，在本发明的实施例中，栅介质层 600 的材料为高 k 介电材料，例如可以选用铪基材料，如 HfO<sub>2</sub>、HfSiO、HfSiON、HfTaO、HfTiO 或 HfZrO 中的一种或其组合，或者，氧化铝、氧化镧、氧化锆、氧化硅或氮氧化硅中的一种或其组合，或者其与铪基材料的组合。然后，在栅介质层上形成栅电极  
20 层 610，所述栅电极层 610 可以包括 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合或其他金属。具体来说，例如，可以先在整个半导体结构（包括栅极凹陷和其他区域）上沉积栅介质层以及栅电极层，然后进行平坦化操作去除栅极凹陷区域之外的栅电极层 610。图 19 为形成栅极后的俯视图。

[0034] 随后按照常规半导体制造工艺的步骤完成该半导体结构的制造。例如：在层间介质层 400 上依次形成盖层和第二层间介质层，并通过刻蚀-回填形成贯穿第二层间介质层、盖层以及第一层间介质层的接触塞；形成金属互连结构等等。

- 5 [0035] 根据本发明的另一个方面，还提供了一种根据上述方法制作的半导体结构，请参考图 19 的俯视图以及图 20 和图 21 的截面图。如图所示，该半导体结构包括：衬底 100；形成于衬底之上的栅堆叠，包括高 k 栅介质层和金属栅极；形成于栅堆叠两侧的源漏区 101；浅沟槽隔离结构 210，进入衬底 100 中一定深度，将衬底表面分成至少一个有源区，其中栅堆叠  
10 在宽度方向上的末端与相应的浅沟槽隔离结构的边缘齐平。

[0036] 这是由于在形成浅沟槽隔离结构的同时，用于形成伪栅图形的 SiGe 层也被图形化为与有源区的形状一致。例如，参见图 6 和图 8。

- [0037] 在一个实施例中，衬底 100 材料为单晶硅。在其他实施例中，所述衬底 100 还可以包括其他基本半导体例如锗，或其他化合物半导体，例如，  
15 碳化硅、砷化镓、砷化铟或者磷化铟。典型地，衬底 100 的厚度可以约为但不限于几百微米，例如 0.2mm-1mm 的厚度范围。

- [0038] 栅介质层 600 形成在所述衬底 100 之上，所述栅电极层 610 形成在栅介质层 600 之上。所述栅介质层 600 可以选用铪基材料，如  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$  或  $\text{HfZrO}$  中的一种或其组合，或者，氧化铝、氧化  
20 镧、氧化锆、氧化硅或氮氧化硅中的一种或其组合，或者其与铪基材料的组合。所述栅电极层 610 可以包括  $\text{TiN}$ 、 $\text{TiAlN}$ 、 $\text{TaN}$  或  $\text{TaAlN}$  中的一种或其组合或者可为金属、多晶硅。栅堆叠的总高度可以在 20-90nm。

[0039] 本发明提供的半导体结构具有以下优点：

1. 采用外延生长单晶 SiGe 作为伪栅极降低了栅极两侧表面的粗糙度；
- 25 2. 因为栅层制作在浅沟槽隔离结构之前，所以浅沟槽隔离结构阶高对器件平坦化影响较小
3. 因为浅沟槽隔离结构和栅极末端不重叠，所以节省了器件区面积。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各

种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0040] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，  
5 作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

## 权 利 要 求

1. 一种半导体结构的制造方法，该方法包括以下步骤：

a) 提供第一半导体材料的单晶衬底(100)；

5 b) 在衬底(100)表面外延生长第二半导体材料的单晶外延层(110)；

c) 形成贯穿外延层进入衬底中一定深度的填充有沟槽绝缘物质的浅沟槽隔离结构(210)；

d) 图形化所述浅沟槽隔离结构(210)中的沟槽绝缘物质以及所述外延层(110)形成伪栅极；

10 e) 在伪栅极周围形成侧墙(310)，所述侧墙(310)的材料不同于所述沟槽绝缘物质以及所述第二半导体材料；

f) 形成覆盖整个半导体结构的层间介质层(400)；

g) 除去所述层间介质层(400)的一部分以暴露所述伪栅；

h) 去除所述伪栅极，形成栅极凹陷(500)；

15 i) 在所述栅极凹陷(500)中形成栅介质层(600)以及栅电极层(610)。

2. 根据权利要求1所述的方法，其中第一半导体材料为硅，第二半导体材料为 SiGe。

3. 根据权利要求1所述的方法，其中浅沟槽隔离结构(210)进入衬底中的深度为 100-300nm。

20 4. 根据权利要求1所述的方法，其中在步骤 e 中，侧墙(310)的材料为 SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、SiON 中的一种或组合。

5. 根据权利要求1所述的方法，其中在步骤 f 中，在淀积层间介质层之前先淀积材料与层间介质层不同的 CESL 层(320)。

25 6. 根据权利要求5所述的方法，其中层间介质层(400)的材料为 SiO<sub>2</sub>、SiOF、SiCOH、SiO、SiCO、SiCON、SiON、磷硅玻璃 PSG、或硼磷硅玻璃 BPSG。

7. 根据权利要求1所述的方法，其中在步骤 i 中，栅介质层(600)的材料为 HfO<sub>2</sub>、HfSiO、HfSiON、HfTaO、HfTiO 或 HfZrO 中的一种或其

组合，或者氧化铝、氧化镧、氧化锆、氧化硅或氮氧化硅中的一种或其组合，或者其与铅基材料的组合。

8. 根据权利要求 1 所述的方法，其中栅电极层(610)包括 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合。

5        9. 根据权利要求 1 所述的方法，其中去除所述伪栅极包括去除伪栅极由第二半导体材料构成的部分和伪栅极由沟槽绝缘物质构成的部分(301)。

10. 一种半导体结构，包括

衬底(100)；

10        形成于衬底之上的栅堆叠，包括高 k 栅介质层和金属栅极；

形成于栅堆叠两侧的源漏区(101)；

浅沟槽隔离结构(210)，进入衬底(100)中一定深度，将衬底表面分成至少一个有源区，其中栅堆叠在宽度方向上的末端与相应的浅沟槽隔离结构的边缘齐平。

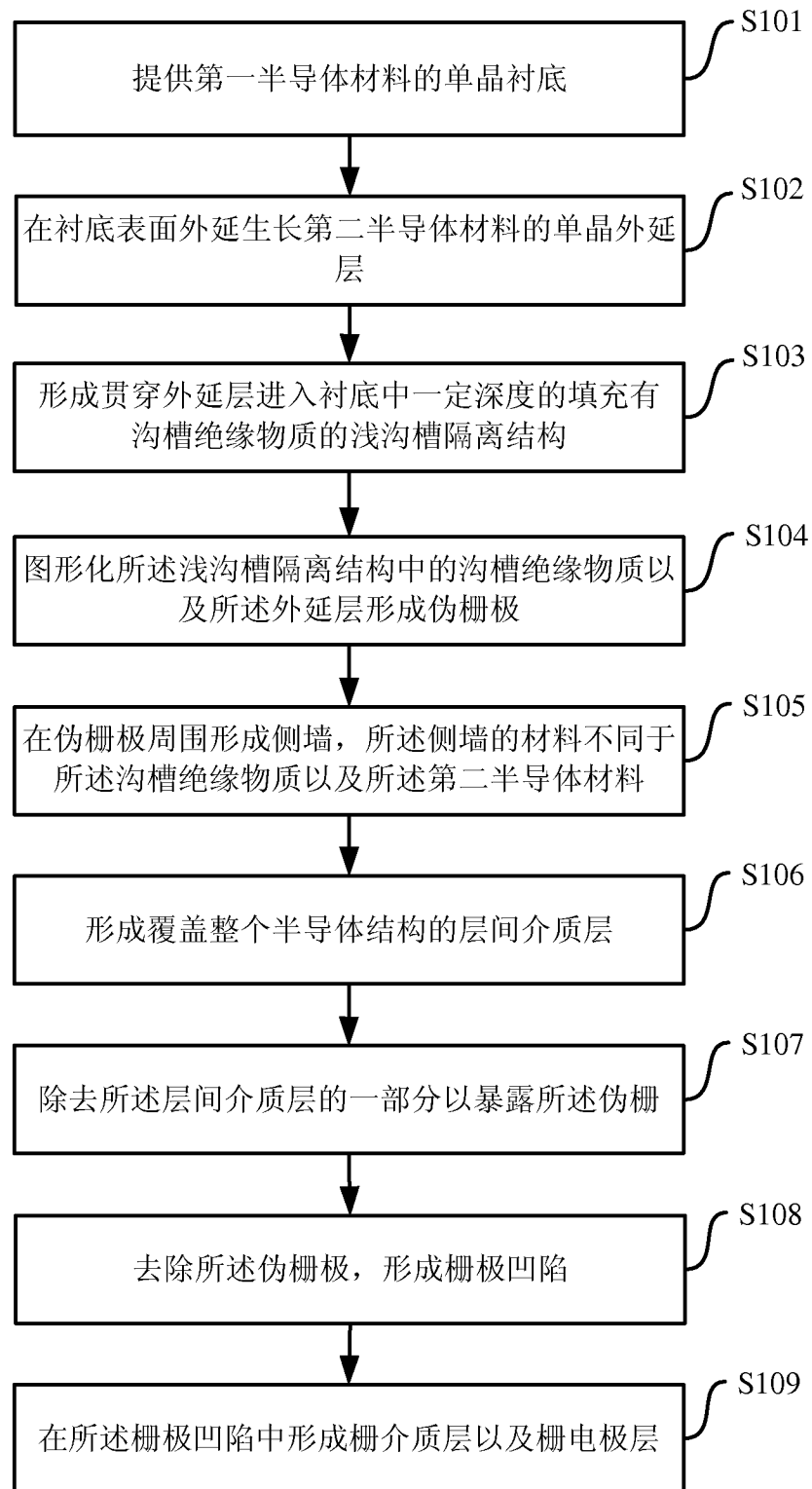


图 1

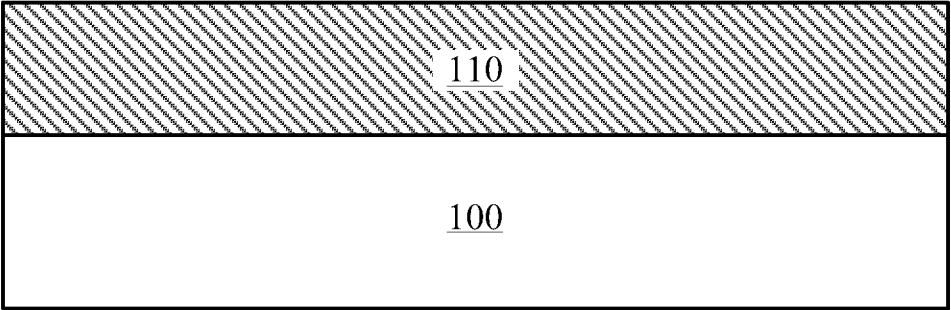


图 2

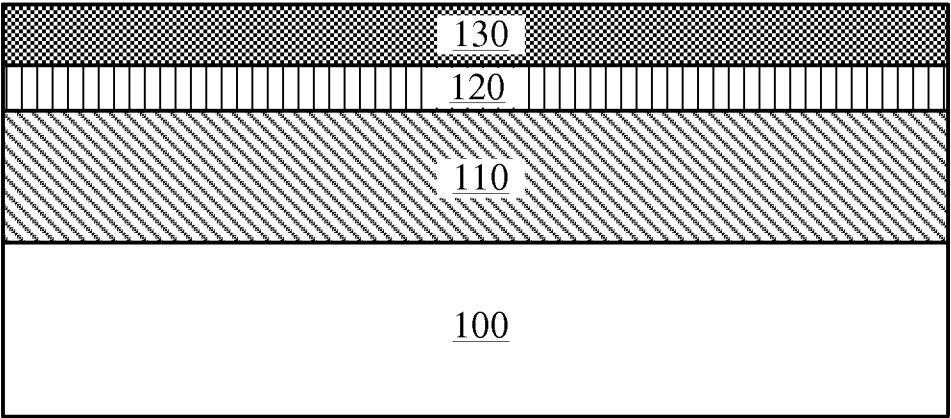


图 3

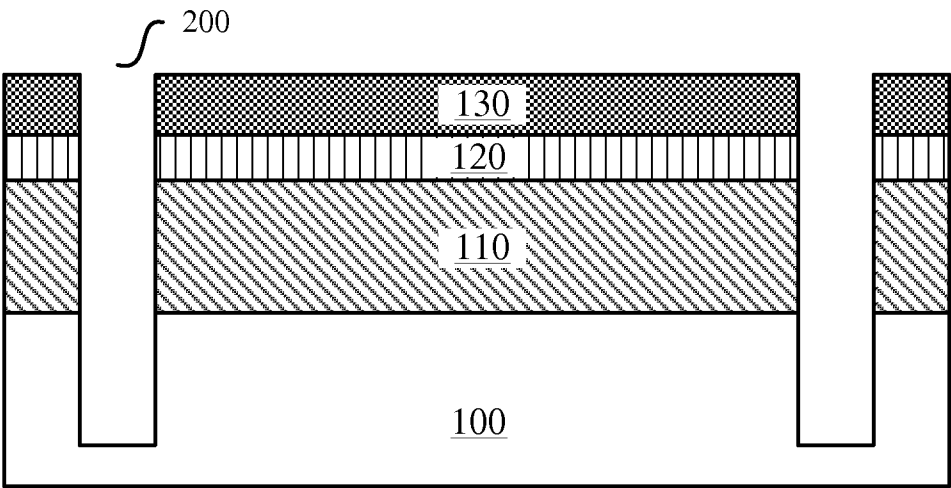


图 4

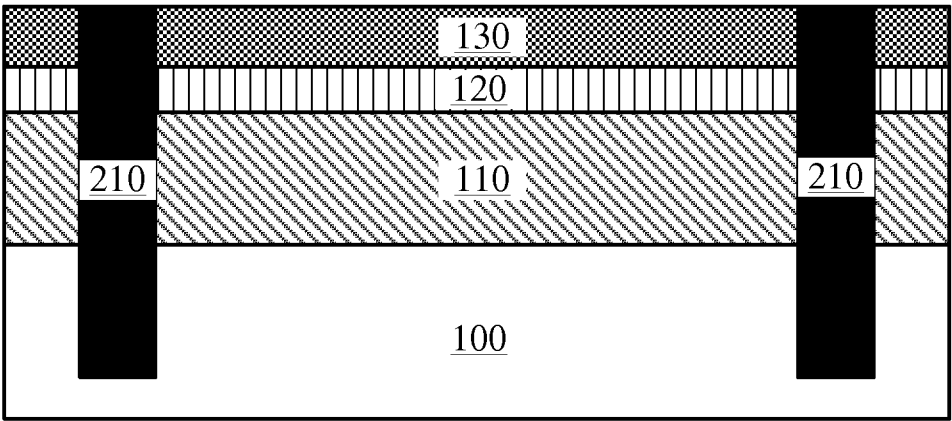


图 5

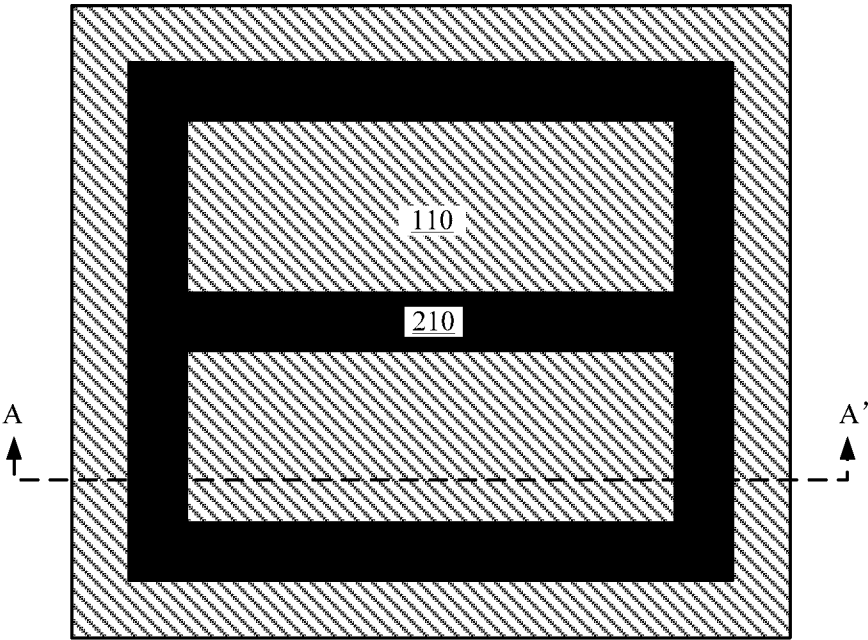


图 6

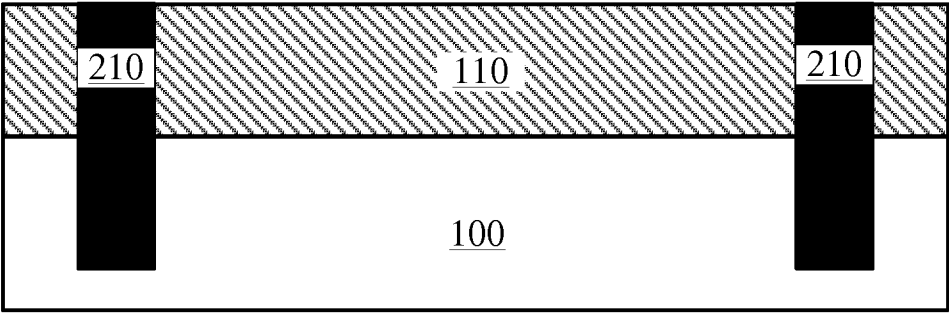


图 7

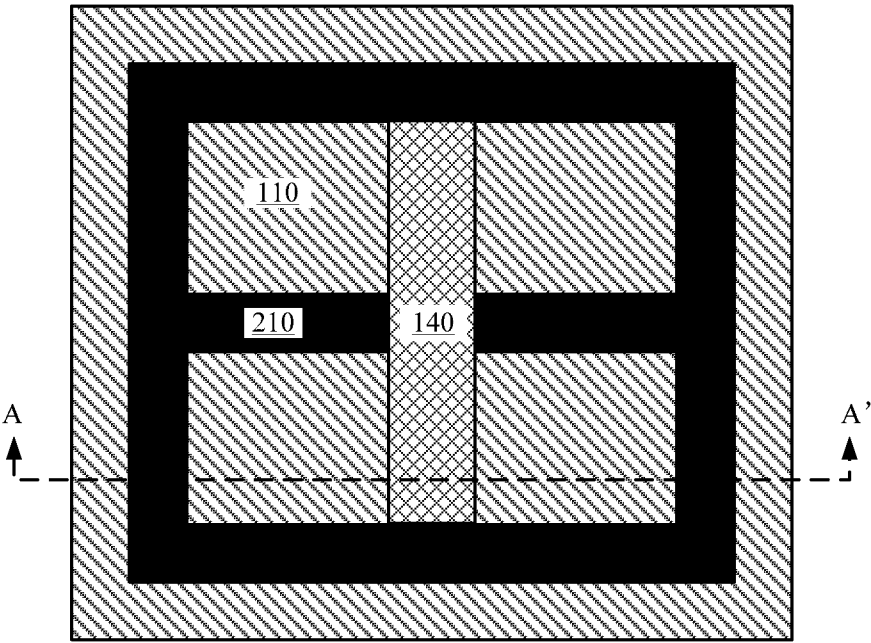


图 8

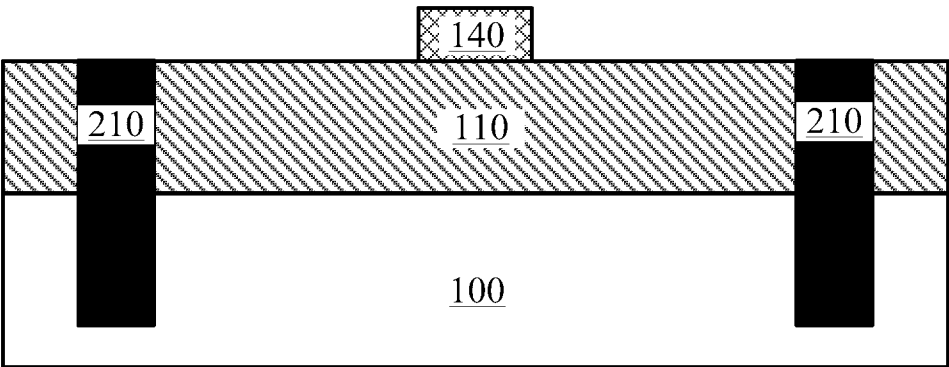


图 9

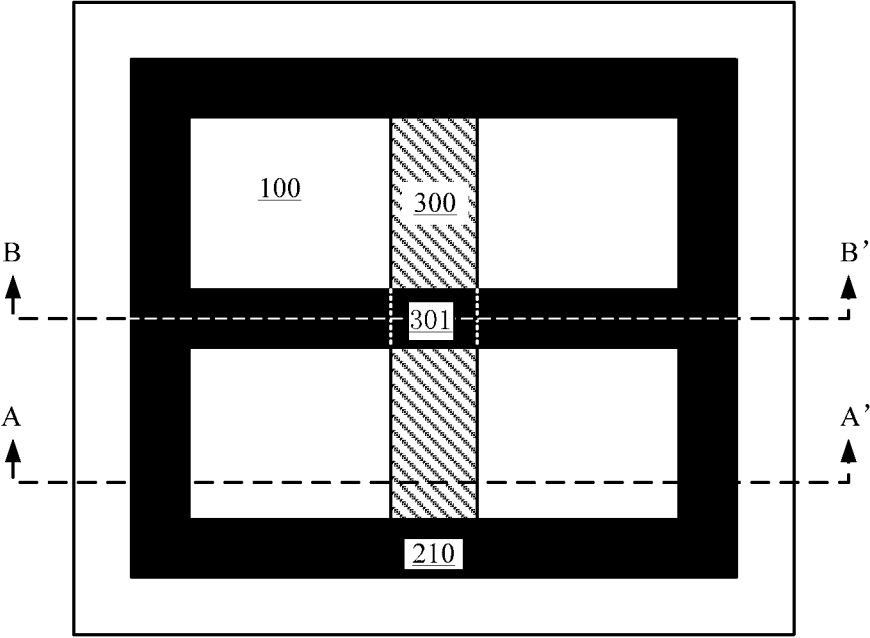


图 10

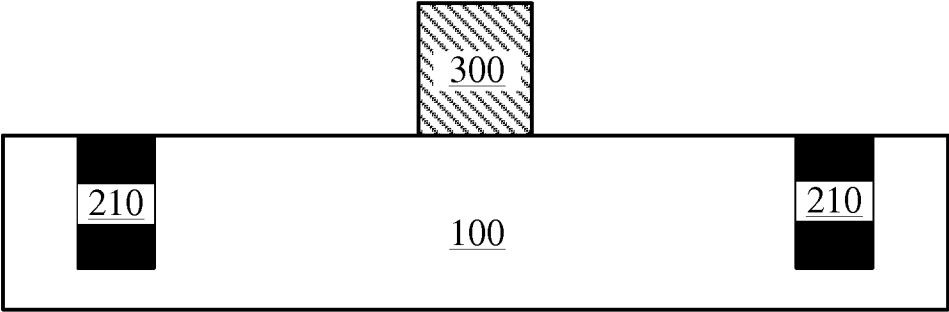


图 11

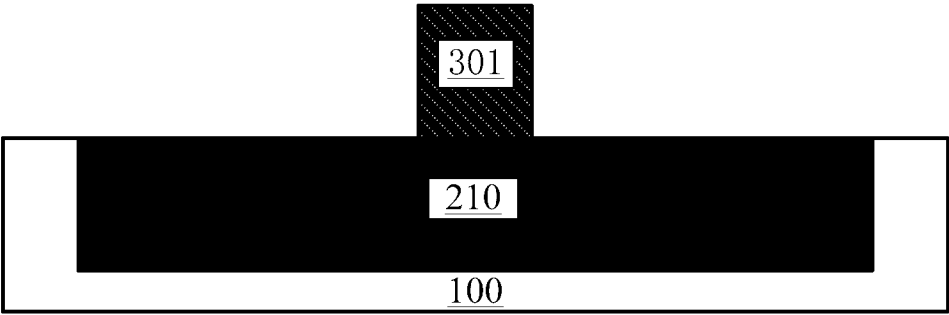


图 12

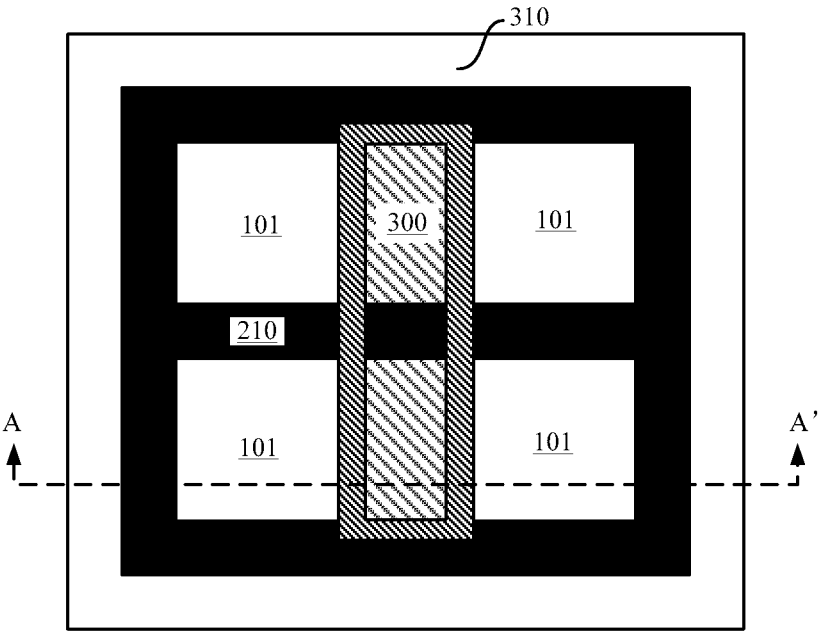


图 13

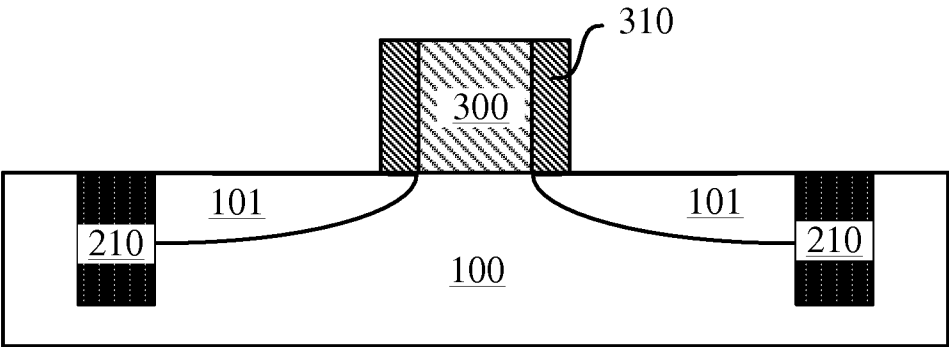


图 14

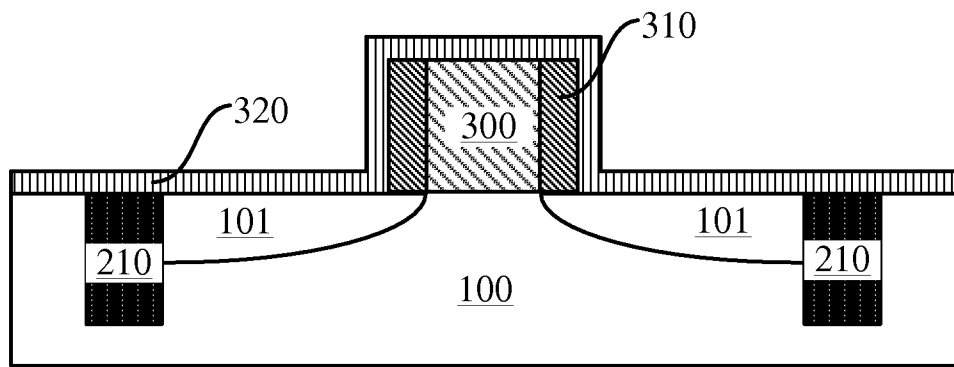


图 15

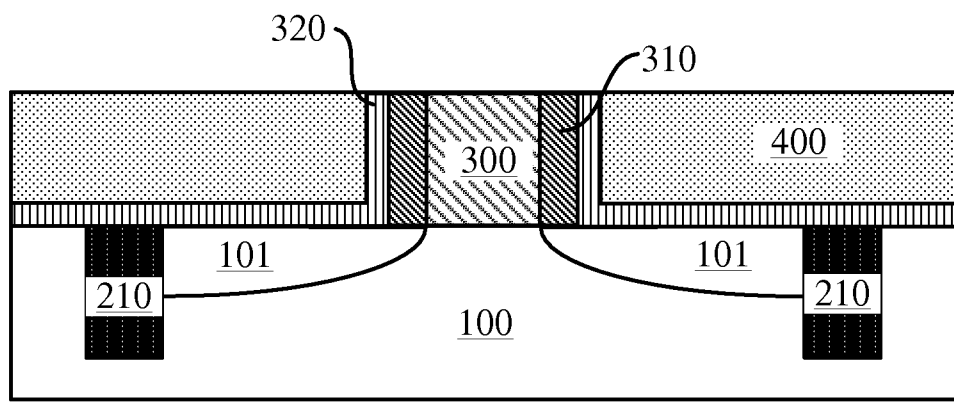


图 16

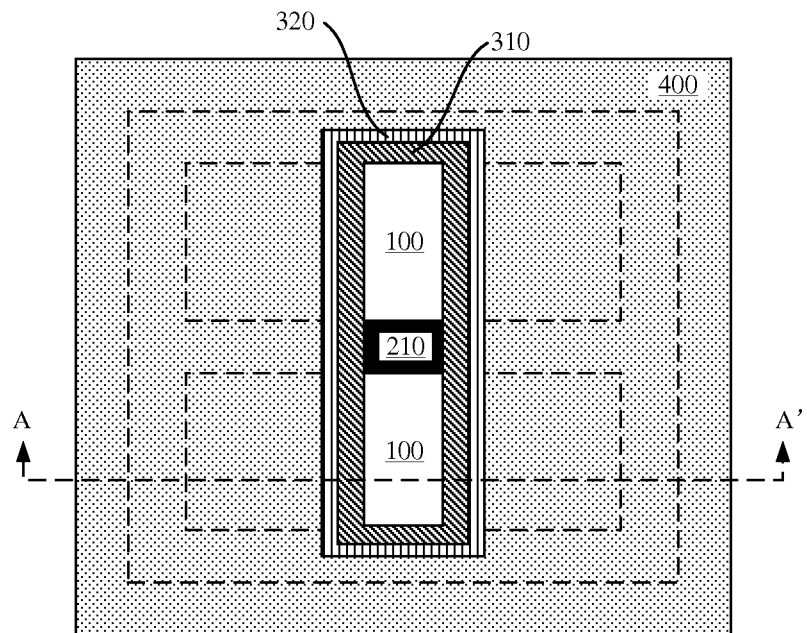


图 17

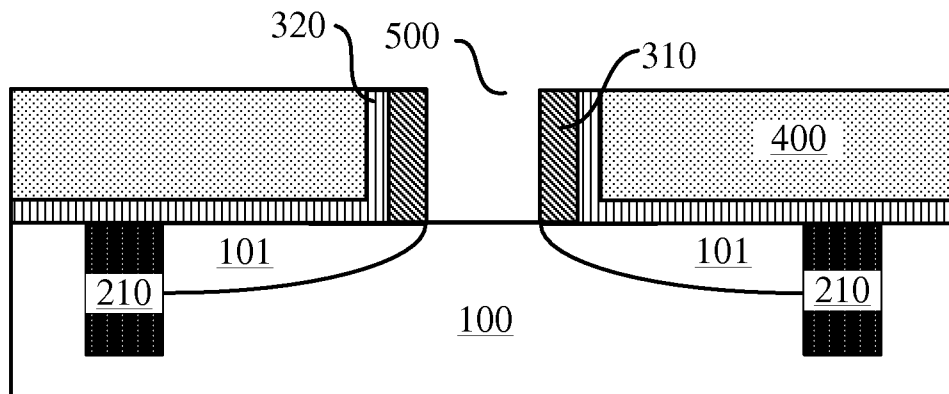


图 18

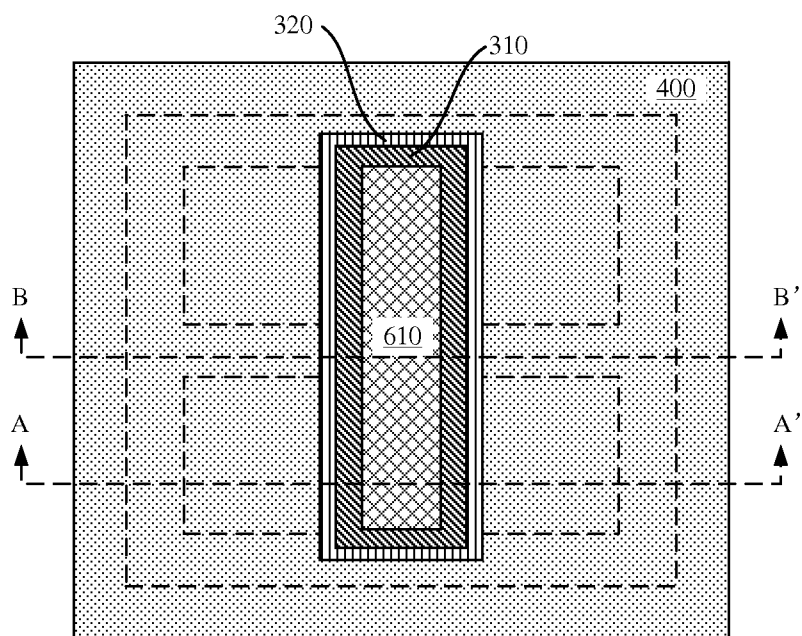


图 19

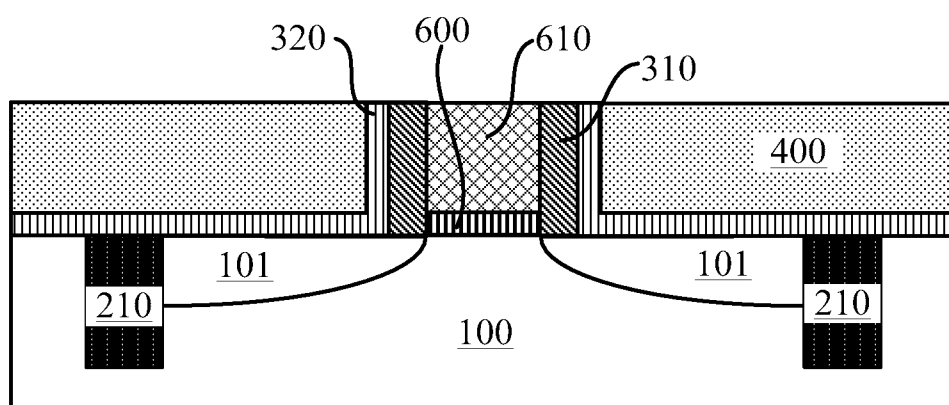


图 20

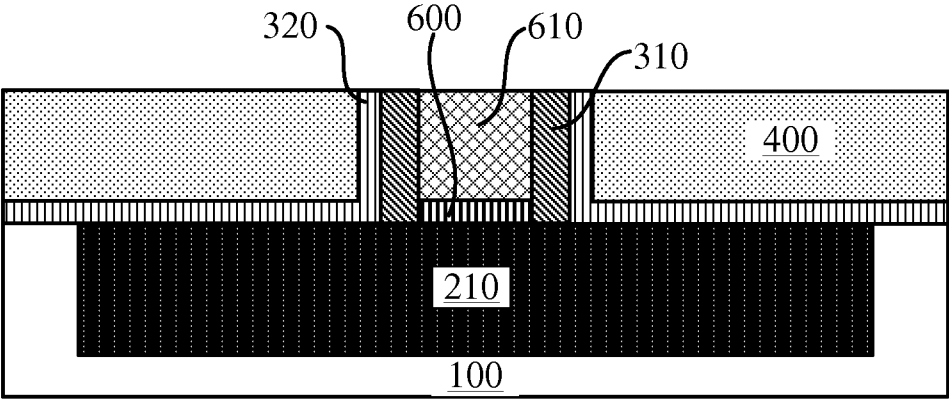


图 21

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2012/078318

## A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT; CNKI; WPI; EPODOC: DUMMY, GATE?, HIGH K, DIELECTRIC CONSTAN+, METAL+, SINGLE CRYSTAL+, SINGLECRYSTAL+, MONOCRYSTAL+, STI, SHALLOW TRENCH ISOLAT+, EDGE+, SURROUND+, BOUNDARY+, WIDTH+, ALIGN+, ENDING, TERMINAL+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                               | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 101924033 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 22 December 2010 (22.12.2010) description, paragraphs [0022]-[0052] and figures 1-10 | 1-10                  |
| X         | CN 1649111 A (SAMSUNG ELECTRONICS CO., LTD.) 03 August 2005 (03.08.2005) description, page 4, line 16 to page 6, line 10 and figures 1-11        | 10                    |
| A         |                                                                                                                                                  | 1-9                   |
| A         | US 2005095825 A1 (KABUSHIKI KAISHA TOSHIBA) 05 May 2005 (05.05.2005) the whole document                                                          | 1-10                  |
| A         | US 6346438 B1 (KABUSHIKI KAISHA TOSHIBA) 12 February 2002 (12.02.2002) the whole document                                                        | 1-10                  |
| A         | US 2005001267 A1 (SEMICONDUCTOR LEADING EDGE TECHNOLOGIES, INC.) 06 January 2005 (06.01.2005) the whole document                                 | 1-10                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                               |                                                                                    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>14 January 2013 (14.01.2013)                                                                                                                     | Date of mailing of the international search report<br>31 January 2013 (31.01.2013) |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br><br>FANG, Yan<br>Telephone No. (86-10) 62413948              |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2012/078318

| Patent Documents referred<br>in the Report | Publication Date | Patent Family    | Publication Date |
|--------------------------------------------|------------------|------------------|------------------|
| CN 101924033 A                             | 22.12.2010       | CN 101924033 B   | 29.02.2012       |
| CN 1649111 A                               | 03.08.2005       | US 2005020086 A1 | 27.01.2005       |
|                                            |                  | JP 2005045198 A  | 17.02.2005       |
|                                            |                  | KR 20050011376 A | 29.01.2005       |
|                                            |                  | TW I235411 B     | 01.07.2005       |
|                                            |                  | US 7154144 B2    | 26.12.2006       |
|                                            |                  | KR 100558544 B1  | 10.03.2006       |
|                                            |                  | TW 200507051 A   | 16.02.2005       |
|                                            |                  | IT 1356727 B     | 03.03.2009       |
|                                            |                  | JP 4738745 B2    | 03.08.2011       |
| US 2005095825 A1                           | 05.05.2005       | JP 2005136198 A  | 26.05.2005       |
|                                            |                  | US 7098120 B2    | 29.08.2006       |
| US 6346438 B1                              | 12.02.2002       | JP 11074526 A    | 16.03.1999       |
|                                            |                  | US 2002045296 A1 | 18.04.2002       |
|                                            |                  | US 7208797 B2    | 24.04.2007       |
|                                            |                  | US 2007172997 A1 | 26.07.2007       |
|                                            |                  | JP 4112690 B2    | 02.07.2008       |
|                                            |                  | US 7772076 B2    | 10.08.2010       |
| US 2005001267 A1                           | 06.01.2005       | JP 2005026586 A  | 27.01.2005       |
|                                            |                  | KR 20050004086 A | 12.01.2005       |
|                                            |                  | US 7071529 B2    | 04.07.2006       |
|                                            |                  | JP 2008235925 A  | 02.10.2008       |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/078318

## CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

H01L 29/49 (2006.01) n

# 国际检索报告

国际申请号  
**PCT/CN2012/078318**

## A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT;CNKI;WPI;EPODOC:伪栅, 假栅, 虚栅, 膺栅, 高 k, 介电常数, 金属, 单晶, 浅沟槽隔离, 边缘, DUMMY, GATE?, HIGH K, DIELECTRIC CONSTAN+, METAL+, SINGLE CRYSTAL+, SINGLECRYSTAL+, MONOCRYSTAL+, STI, SHALLOW TRENCH ISOLAT+, EDGE+, SURROUND+, BOUNDARY+, WIDTH+, ALIGN+, ENDING, TERMINAL+

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                           | 相关的权利要求 |
|------|---------------------------------------------------------------------------------------------|---------|
| A    | CN101924033A(上海华虹 NEC 电子有限公司)22.12 月 2010(22.12.2010)<br>说明书第 22-52 段, 图 1-10               | 1-10    |
| X    | CN1649111A(三星电子株式会社)03.8 月 2005(03.08.2005) 说明书第 4 页<br>第 16 行至第 6 页第 10 行, 图 1-11          | 10      |
| A    |                                                                                             | 1-9     |
| A    | US2005095825A1 (KABUSHIKI KAISHA TOSHIBA) 05.5 月 2005<br>(05.05.2005) 全文                    | 1-10    |
| A    | US6346438B1(KABUSHIKI KAISHA TOSHIBA)12.2 月 2002(12.02.2002)<br>全文                          | 1-10    |
| A    | US2005001267A1(SEMICONDUCTOR LEADING EDGE<br>TECHNOLOGIES, INC.) 06.1 月 2005(06.01.2005) 全文 | 1-10    |

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇  
引用文件的公布日而引用的或者因其他特殊理由而引  
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了  
理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的  
发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件  
结合并且这种结合对于本领域技术人员为显而易见时,  
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期  
14.1 月 2013(14.01.2013)

国际检索报告邮寄日期  
31.1 月 2013 (31.01.2013)

ISA/CN 的名称和邮寄地址:  
中华人民共和国国家知识产权局  
中国北京市海淀区蓟门桥西土城路 6 号 100088  
传真号: (86-10)62019451

受权官员  
  
方岩  
  
电话号码: (86-10) 62413948

国际检索报告  
关于同族专利的信息

国际申请号  
**PCT/CN2012/078318**

| 检索报告中引用的<br>专利文件 | 公布日期       | 同族专利           | 公布日期       |
|------------------|------------|----------------|------------|
| CN101924033A     | 22.12.2010 | CN101924033B   | 29.02.2012 |
| CN1649111A       | 03.08.2005 | US2005020086A1 | 27.01.2005 |
|                  |            | JP2005045198A  | 17.02.2005 |
|                  |            | KR20050011376A | 29.01.2005 |
|                  |            | TWI235411B     | 01.07.2005 |
|                  |            | US7154144B2    | 26.12.2006 |
|                  |            | KR100558544B1  | 10.03.2006 |
|                  |            | TW200507051A   | 16.02.2005 |
|                  |            | IT1356727B     | 03.03.2009 |
|                  |            | JP4738745B2    | 03.08.2011 |
| US2005095825A1   | 05.05.2005 | JP2005136198A  | 26.05.2005 |
|                  |            | US7098120B2    | 29.08.2006 |
| US6346438B1      | 12.02.2002 | JP11074526A    | 16.03.1999 |
|                  |            | US2002045296A1 | 18.04.2002 |
|                  |            | US7208797B2    | 24.04.2007 |
|                  |            | US2007172997A1 | 26.07.2007 |
|                  |            | JP4112690B2    | 02.07.2008 |
|                  |            | US7772076B2    | 10.08.2010 |
| US2005001267A1   | 06.01.2005 | JP2005026586A  | 27.01.2005 |
|                  |            | KR20050004086A | 12.01.2005 |
|                  |            | US7071529B2    | 04.07.2006 |
|                  |            | JP2008235925A  | 02.10.2008 |

主题的分类

H01L21/336 (2006.01) i

H01L29/78 (2006.01) i

H01L29/49 (2006.01) n