



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I557904 B

(45) 公告日：中華民國 105 (2016) 年 11 月 11 日

(21) 申請案號：104108414

(22) 申請日：中華民國 104 (2015) 年 03 月 17 日

(51) Int. Cl. : H01L29/772 (2006.01)

H01L21/336 (2006.01)

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72) 發明人：庫馬 馬洛宜 KUMAR, MANOJ (IN)；洪培恒 HUNG, PEI HENG (TW)；李家豪 LEE, CHIA HAO (TW)；廖志成 LIAO, CHIH CHERNG (TW)；杜尚暉 TU, SHANG HUI (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 201023360A

TW 201238049A

TW 201351642A

US 2006/0170060A1

US 2012/0146139A1

審查人員：陳俊宏

申請專利範圍項數：20 項 圖式數：9 共 24 頁

(54) 名稱

半導體裝置及其製造方法

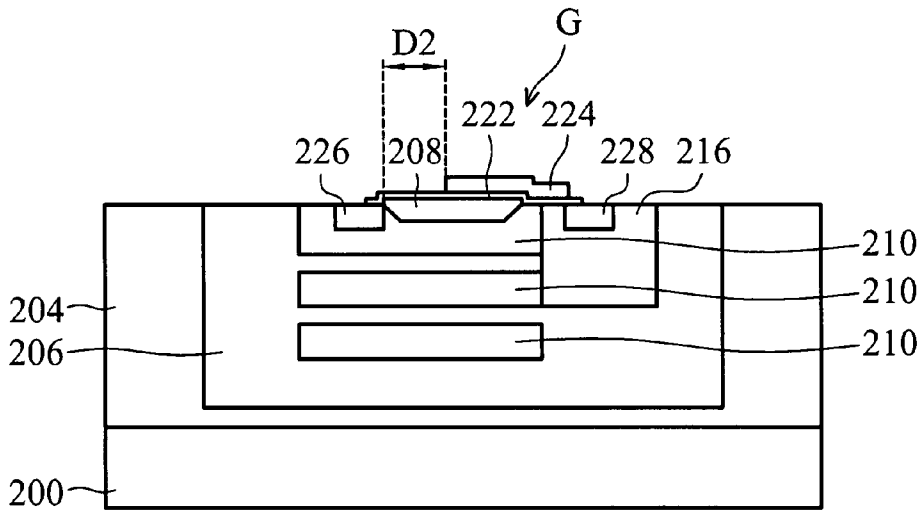
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(57) 摘要

一種半導體裝置，包括形成於一半導體基板上之一半導體層。一井區，設置於該半導體層之一部內，及數個第一摻雜區，設置於該井區內之數個部分內。一第二摻雜區，設置於該井區之一部內。一隔離元件，設置於該些第一摻雜區的最上方的第一摻雜區之一部內，及一第三摻雜區設置於該些第一摻雜區的最上方的該第一摻雜區之一部內。一第四摻雜區，設置於該第二摻雜區之一部內。一絕緣層，覆蓋該第三摻雜區、該隔離元件、該第二摻雜區與該第四摻雜區，及一導電層，覆蓋該絕緣層。

A semiconductor device includes a semiconductor layer formed over a semiconductor substrate. A well region is disposed in a portion of the semiconductor layer, and a plurality of first doped regions is disposed in various portions of the well region. A second doped region is disposed in a portion of the well region. An isolation element is disposed in a portion of the top-most one of the first doped regions, and a third doped region is disposed in a portion of the top-most one of the first doped regions. A fourth doped region is disposed in a portion of the second doped region. An insulating layer overlies the third doped region, the isolation element, the second doped region, and the fourth doped region, and a conductive layer overlies the insulating layer.

指定代表圖：



第9圖

符號簡單說明：

- 200 . . . 半導體基板
- 202 . . . 摻雜區
- 204 . . . 半導體層
- 206 . . . 井區
- 208 . . . 隔離元件
- 210 . . . 摻雜區
- 216 . . . 摻雜區
- 222 . . . 絕緣層
- 224 . . . 導電層
- 226 . . . 摻雜區
- 228 . . . 摻雜區
- D2 . . . 距離
- G . . . 閘結構

發明摘要

※ 申請案號：104108414

※ 申請日：104.3.17

※IPC 分類：H01L 29/772 (2006.01)

H01L 2/336 (2006.01)

【發明名稱】 半導體裝置及其製造方法Semiconductor device and method for fabricating
the same**【中文】**

一種半導體裝置，包括形成於一半導體基板上之一半導體層。一井區，設置於該半導體層之一部內，及數個第一摻雜區，設置於該井區內之數個部分內。一第二摻雜區，設置於該井區之一部內。一隔離元件，設置於該些第一摻雜區的最上方的第一摻雜區之一部內，及一第三摻雜區設置於該些第一摻雜區的最上方的該第一摻雜區之一部內。一第四摻雜區，設置於該第二摻雜區之一部內。一絕緣層，覆蓋該第三摻雜區、該隔離元件、該第二摻雜區與該第四摻雜區，及一導電層，覆蓋該絕緣層。

【英文】

A semiconductor device includes a semiconductor layer formed over a semiconductor substrate. A well region is disposed in a portion of the semiconductor layer, and a plurality of first doped regions is disposed in various portions of the well region. A second doped region is disposed in a portion of the well region. An isolation element is disposed in a portion of

the top-most one of the first doped regions, and a third doped region is disposed in a portion of the top-most one of the first doped regions. A fourth doped region is disposed in a portion of the second doped region. An insulating layer overlies the third doped region, the isolation element, the second doped region, and the fourth doped region, and a conductive layer overlies the insulating layer.

【代表圖】

【本案指定代表圖】：第（9）圖。

【本代表圖之符號簡單說明】：

200~半導體基板；

202~摻雜區；

204~半導體層；

206~井區；

208~隔離元件；

210~摻雜區；

216~摻雜區；

222~絕緣層；

224~導電層；

226~摻雜區；

228~摻雜區；

D2~距離；

G~閘結構。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

【發明名稱】 半導體裝置及其製造方法

Semiconductor device and method for fabricating
the same

【技術領域】

【0001】 本發明係關於積體電路裝置，且特別是關於一種半導體裝置及其製造方法。

【先前技術】

【0002】 近年來，隨著如功率半導體元件之高電壓元件 (high voltage device) 的需求增加，對於高電壓元件之中所使用之高電壓金氧半導體場效電晶體 (high voltage MOSFETs) 技術的研究亦逐漸增加。

【0003】 於眾多類型之高電壓金氧半導體場效電晶體技術中，常見於金氧半導體場效電晶體的源極與汲極處使用一雙擴散結構 (double-diffused structure)。

【0004】 然而，隨著半導體製造技術的微縮趨勢，高電壓元件的尺寸亦需逐漸微縮。因此，便需要具有尺寸可更為微縮之一種高電壓半導體元件，以隨著元件微縮的趨勢與需求而符合如驅動電流 (driving currents)、導通電阻值 (on-resistance) 與崩潰電壓 (breakdown voltage) 等元件表現的需求。

【發明內容】

【0005】 依據本發明之數個實施例，一種半導體裝置，包括：一半導體基板，具有一第一導電類型；一半導體層，形成於該半導體基板上，具有該第一導電類型；一井區，設置於該

半導體層之一部內，具有相反於該第一導電類型之一第二導電類型；複數個第一摻雜區，具有該第一導電類型，垂直且分隔地設置於該井區內之數個部分內；一第二摻雜區，具有該第二導電類型，設置於該井區之一部內，其中該第二摻雜區鄰近該些第一摻雜區；一隔離元件，設置於該些第一摻雜區之最上方的該第一摻雜區之一部內；一第三摻雜區，具有該第一導電類型，設置於該些第一摻雜區之最上方的該第一摻雜區之一部內且鄰近該隔離元件；一第四摻雜區，具有該第一導電類型，設置於該第二摻雜區之一部內；一絕緣層，覆蓋該第三摻雜層之一部、該隔離元件、該第二摻雜區之一部及該第四摻雜區之一部；以及一導電層，覆蓋該絕緣層之一部。

【0006】 依據本發明之數個實施例，一種半導體裝置之製造方法，包括：提供一半導體基板，具有一第一導電類型；形成一半導體層於該半導體基板上，具有該第一導電類型；形成一井區於該半導體層之一部內，具有相反於該第一導電類型之一第二導電類型；形成一隔離元件該井區之一部內；形成複數個第一摻雜區，具有該第一導電類型，垂直且分隔地設置於該井區內之數個部分內，其中該隔離元件鄰近該些第一摻雜區；形成一第二摻雜區於該井區之一部內，具有該第二導電類型，其中該第二摻雜區鄰近該些第一摻雜區；形成一第三摻雜區於該些第一摻雜區之最上方的該第一摻雜區之一部內且鄰近該隔離元件，具有該第一導電類型；形成一第四摻雜區於該第二摻雜區之一部內，具有該第一導電類型；形成一絕緣層於該第三摻雜層之一部、該隔離元件、該第二摻雜區之一部及該第四

摻雜區之一部上；以及形成一導電層，覆蓋該絕緣層之一部。

【0007】 為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附的圖式，作詳細說明如下。

【圖式簡單說明】

【0008】

第1圖為一剖面示意圖，顯示了依據本發明之一實施例之一種橫向雙擴散金氧半導體裝置；

第2-8圖為一系列剖面示意圖，顯示了依據本發明之一實施例之一種橫向雙擴散金氧半導體裝置之製造方法；以及第9圖為一剖面示意圖，顯示了依據本發明之另一實施例之一種橫向雙擴散金氧半導體裝置。

【實施方式】

【0009】 於下文中將配合相關圖式以解說本發明之範例實施例。

【0010】 第 1 圖為一剖面示意圖，顯示了依據本發明之一實施例之適用於高電壓半導體裝置之一種橫向雙擴散金氧半導體裝置 (lateral double-diffused metal-oxide-semiconductor device, LDMOS device)。

【0011】 請參照第 1 圖，此橫向雙擴散金氧半導體裝置主要包括一 P 型半導體基板 100、形成於 P 型半導體基板 100 之一部內之一 N 型井區 (well region) 102、以及形成於此 N 型井區 102 之一部內之一 P-型漂移區 (drift region) 104。此外，第 1 圖所示橫向雙擴散金氧半導體裝置更包括形成於 P-型漂移區

104 之一部上之一閘結構 G，以及設置於位於閘結構 G 之下且位於閘結構 G 左方之 P-型漂移區 104 之一部內之一 N 型摻雜區 106。於 N 型摻雜區 106 之一部內及閘結構 G 之一部之下設置有一 P+型摻雜區 108，其實體接觸了閘結構 G 之一部，以作為此橫向雙擴散金氧半導體裝置的一源極區之用，而於位於閘結構 G 之右方之 P-型漂移區 104 之一部內則設置有另一 P+型摻雜區 110，以作為此橫向雙擴散金氧半導體裝置的一汲極區之用。於第 1 圖所示之橫向雙擴散金氧半導體裝置操作時，電流(未顯示)可主要自源極區(例如 P+型摻雜區 108)通過第 1 圖內之一橫向路徑 150 而朝向汲極區(例如 P+型摻雜區 110)流通。

【0012】 於如第 1 圖所示之橫向雙擴散金氧半導體裝置中，於閘結構 G 及位於閘結構 G 右方之 P+型摻雜區 110 之間須保持一特定距離 D1，以確保此橫向雙擴散金氧半導體裝置的良好表現。因此，介於閘結構 G 及位於閘結構 G 右方之 P+型摻雜區 110 之間之此特定距離 D1 使得橫向雙擴散金氧半導體裝置可具有一適當崩潰電壓(breakdown voltage)，但此特定距離 D1 則增大了此橫向雙擴散金氧半導體裝置的尺寸，因而不利於如第 1 圖所示橫向雙擴散金氧半導體裝置的尺寸與製造成本的減少。

【0013】 第 2-8 圖則為一系列剖面示意圖，顯示了依據本發明之一實施例之適用於高電壓半導體裝置應用之一種橫向雙擴散金氧半導體裝置之製造方法，其可隨著尺寸降低之趨勢而提供適當之崩潰電壓表現。

【0014】請參照第 2 圖，提供具有第一導電類型 (first conductivity type) 之一半導體基板 200。於一實施例中，半導體基板 200 為一 P 型半導體基板，具有約 5-80 歐姆-公分 ($\Omega\text{-cm}$) 之一電阻率 (resistivity)，並可包括如矽或相似物之一半導體材料。接著，藉由適當之圖案化罩幕層與離子佈植製程 (皆未顯示) 的施行，於半導體基板 200 之一部內形成具有相反於第一導電類型之第二導電類型之一摻雜區 202。於一實施例中，此摻雜區 202 可為一 N 型摻雜區，其可具有約 $1\text{e}17\text{-}5\text{e}18$ 原子/立方公分 (atoms/cm^3) 之一摻質濃度 (dopant concentration)。

【0015】請參照第 3 圖，接著於半導體基板 200 上形成具有第一導電類型之一半導體層 204，並接著施行一回火製程 (未顯示) 以擴散摻雜區 202 (參見第 2 圖) 內摻質進入半導體層 204 與半導體基板 200 之內，進而於半導體層 204 與半導體基板 200 之介面處形成位於半導體層 204 之一部之內以及位於半導體基板 200 之一部之內之一埋設摻雜區 202'。於一實施例中，半導體層 204 為一 P 型半導體層，其具有約 10-70 歐姆-公分 ($\Omega\text{-cm}$) 之一電阻率 (resistivity)，且可藉由如磊晶製程 (未顯示) 所形成，而埋設摻雜區 202' 則可具有約 $1\text{e}17\text{-}5\text{e}18$ 原子/立方公分 (atoms/cm^3) 之一摻質濃度 (dopant concentration)。

【0016】請參照第 4 圖，接著形成一井區 206 於半導體層 204 之一部內，且其係設置於埋設摻雜區 202' 之上，以及形成一隔離元件 208 於井區 206 之一部內。於一實施例中，井區 206 係藉由適當圖案化罩幕層的使用以及離子佈植製程 (皆未顯示) 的施行而形成於半導體層 204 之一部內，其可具有第二導電類

型以及約 $1e15-5e16$ 原子/立方公分之一摻質濃度。於其他實施例中，隔離元件 208 可為如場氧化物(field oxide, FOX)元件或淺溝槽隔離(shallow trench isolation, STI)元件。此隔離元件 208 可藉由傳統場氧化物或淺溝槽隔離技術所形成，且可包括如氧化矽之絕緣材料。

【0017】 請參照第 5 圖，接著藉由適當之圖案化罩幕層 212 的使用以及離子佈植製程 214 的施行而於井區 206 之一部內形成數個第一導電類型之摻雜區 210。圖案化罩幕層 212 係形成於半導體層 204 之上且可包括如光阻之材料，因此其可藉由微影與蝕刻製程(皆未顯示)而圖案化，進而露出隔離元件 208 以及鄰近於隔離元件 208 之井區 206 的數個部分。於一實施例中，於離子佈植製程 214 中係施行了不同能量(energy)與不同劑量(dosage)之多個佈植步驟，藉以佈植如第一導電類型之摻質進入井區 206 內，進而於井區 206 內垂直且分隔地形成了第一導電類型之數個摻雜區 210。如第 5 圖所示，顯示了由下往上而垂直且分隔地形成於井區 206 內之三個摻雜區 210。於一實施例中，最下方之摻雜區 210 可具有高於其他摻雜區 210 之一摻質濃度，而位於中間之摻雜區 210 則具有不少於最上方之摻雜區 210 之一摻質濃度。於一實施例中，形成於最下方之摻雜區 210 的摻質濃度約為 $5e15-5e17$ 原子/立方公分，而形成中間與最上方之此些摻雜區 210 的摻質濃度則約為 $1e15-1e17$ 原子/立方公分或更少。位於最下方之摻雜區 210 的底面可具有距半導體層 204 之頂面約如 2-5 微米之一距離 H。而介於鄰近摻雜區 210 之一間距 P 可約為 0.2-0.7 微米，且介於相鄰之

摻雜區 210 之此間距 P 可為相同或不相同。用於形成最下方之摻雜區 210 之摻雜能量可為如 1800-4000 KeV，而用於形成中間與最上方之摻雜區 210 之摻雜能量可分別為如 500-2000 KeV 與 40-350 KeV。形成於井區 206 內之此些摻雜區 210 的數量並非為如第 5 圖所示情形為限，而可依照實際之橫向雙擴散金氧半導體裝置的設計而增加或減少其數量。此外，形成於井區 206 內之此些摻雜區 210 的設置位置亦非以第 5 圖所示情形為限，其可依照實際之橫向雙擴散金氧半導體裝置的設計而往上或往下地設置。

【0018】 請參照第 6 圖，於移除第 5 圖內之圖案化罩幕層 212 後，接著藉由適當圖案化罩幕層 218 的使用以及離子佈植製程 220 的施行而於井區 206 之一部內形成具有第二導電類型之一摻雜區 216。圖案化罩幕層 218 係形成於半導體層 204 之上且可包括如光阻之材料，因此其可藉由微影與蝕刻製程(皆未顯示)而圖案化，進而露出鄰近於隔離元件 208 與此些摻雜區 210 之一側(例如為右側)的井區 206 之一部。於一實施例中，於離子佈植製程 220 中，採用了約 50-500 KeV 之能量佈植了第二導電類型之摻質，進而於井區 206 內形成具有 $1e17-5e18$ 原子/立方公分之摻質濃度之第二導電類型之一摻雜區 216。如第 6 圖所示，此摻雜區 216 係鄰近於隔離元件 208 與此些摻雜區 210。

【0019】 請參照第 7 圖，於移除第 6 圖所示之圖案化罩幕層 218 後，形成一絕緣層 222 於半導體層 204 之一部上，以覆蓋隔離元件 208 與最上方之摻雜區 210 以及鄰近隔離元件 208

之摻雜區 216 之一部。接著形成一導電層 224 於絕緣層 222 之一部上，以覆蓋最上方之摻雜區 210 之一部與鄰近隔離元件 208 之一側(例如為右側)的摻雜區 216 之一部。絕緣層 222 可包括如氧化矽或相似物，而可藉由如化學氣相沉積所形成。導電層 224 可包括如多晶矽(polysilicon)、矽化物(silicide)、相似物或其組合之導電材料，且可藉由化學氣相沉積所形成。為導電層 224 與導電層 224 所覆蓋之絕緣層 222 的此部形成了一閘結構 G。

● **【0020】** 請參照第 8 圖，藉由適當圖案化罩幕層的使用與離子佈植製程(皆未顯示)的施行，形成具有第一導電類型之一摻雜區 226 於位於隔離元件 208 一側(例如為左側)之最上方之摻雜區 210 的半導體層 204 之一部內，以及形成具有第一導電類型之另一摻雜區 228 於位於隔離元件 208 之一相對側之摻雜區 216 之一部內。此些摻雜區 226 與 228 可具有約 $1e18-5e19$ 原子/立方公分之摻質濃度。製程至此，如第 8 圖所示，便大體● 製備完成了適用於高電壓裝置之如橫向雙擴散金氧半導體裝置之範例半導體裝置的製作，而摻雜區 226 可做為一汲極區之用，以及摻雜區 228 可做為一源極區之用。

【0021】 於一實施例中，上述第一導電類型可為 P 型，而上述第二導電類型則可為 N 型，因此第 8 圖內所示之半導體裝置亦可做為一 P 型橫向雙擴散金氧半導體裝置之用。

【0022】 於此實施例中，於第 8 圖所示之橫向雙擴散金氧半導體裝置操作時，電流(未顯示)可自源極區(例如摻雜區 228)橫向地與垂直地通過位於閘結構 G 下方之一路徑 250 而朝向汲

極區(例如摻雜區 226)流動。此外，基於垂直且分隔地設置之此些摻雜區 210 的形成，如第 8 圖所示之半導體裝置中介於閘結構與源極區(例如摻雜區 226)的一間距 $D2$ 可更為減少而不會影響到其崩潰電壓。此間距 $D2$ 可少於第 1 圖所示之間距 $D1$ ，進而使得第 8 圖內所示之半導體裝置可具有更為縮減之一尺寸。

【0023】 第 9 圖為一剖面示意圖，顯示了依據本發明之另一實施例之適用於高電壓半導體裝置應用之一種橫向雙擴散金氧半導體裝置，其可於尺寸更為微縮時仍提供一適當崩潰電壓表現。

【0024】 如第 9 圖所示，此橫向雙擴散金氧半導體裝置係由修正第 8 圖所示之橫向雙擴散金氧半導體裝置所得到，而於本實施例中，並沒有如第 8 圖般形成有埋設摻雜區 202'。因此，於第 9 圖中並未顯示有埋設摻雜區 202'，而半導體層 204 則可為半導體基板 200 之一部分，例如為一塊狀半導體基板之一部分。如第 9 圖所示之橫向雙擴散金氧半導體裝置可藉由如第 2-8 圖所示方法所形成，其可省去如第 1-2 圖所示之埋設摻雜區 202' 之相關製作。第 9 圖所示之橫向雙擴散金氧半導體裝置內相似於第 8 圖內所示之橫向雙擴散金氧半導體裝置之數個構件則採用相同標號顯示，故不在此詳細介紹此些構件。

【0025】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】**【0026】**

100~P型半導體基板；

102~N型井區；

104~P-型漂移區；

106~N型摻雜區；

108~P+型摻雜區；

110~P+型摻雜區；

150~橫向路徑；

200~半導體基板；

202~摻雜區；

202' ~埋設摻雜區；

204~半導體層；

206~井區；

208~隔離元件；

210~摻雜區；

212~圖案化罩幕層；

214~離子佈植製程；

216~摻雜區；

218~圖案化罩幕層；

220~離子佈植製程；

222~絕緣層；

224~導電層；

226~摻雜區；

228~摻雜區；

250~路徑；

D1~距離；

D2~距離；

G~閘結構；

P~間距；

H~高度。

申請專利範圍

1. 一種半導體裝置，包括：
 - 一半導體基板，具有一第一導電類型；
 - 一半導體層，形成於該半導體基板上，具有該第一導電類型；
 - 一井區，設置於該半導體層之一部內，具有相反於該第一導電類型之一第二導電類型；
 - 複數個第一摻雜區，具有該第一導電類型，垂直且分隔地設置於該井區內之數個部分內；
 - 一第二摻雜區，具有該第二導電類型，設置於該井區之一部內，其中該第二摻雜區鄰近該些第一摻雜區；
 - 一隔離元件，設置於該些第一摻雜區之最上方的該第一摻雜區之一部內；
 - 一第三摻雜區，具有該第一導電類型，設置於該些第一摻雜區之最上方的該第一摻雜區之一部內且鄰近該隔離元件；
 - 一第四摻雜區，具有該第一導電類型，設置於該第二摻雜區之一部內；
 - 一絕緣層，覆蓋該第三摻雜層之一部、該隔離元件、該第二摻雜區之一部及該第四摻雜區之一部；以及
 - 一導電層，覆蓋該絕緣層之一部。
2. 如申請專利範圍第1項所述之半導體裝置，其中該第一導電類型為P型，而該第二導電類型為N型。
3. 如申請專利範圍第1項所述之半導體裝置，其中該第三摻雜

區爲一汲極區，而該第四摻雜區爲一源極區。

4. 如申請專利範圍第1項所述之半導體裝置，其中該導電層與位於該導電層下方的該絕緣層之一部形成了一閘結構。
5. 如申請專利範圍第1項所述之半導體裝置，其中該些第一摻雜區具有不同的摻質濃度。
6. 如申請專利範圍第5項所述之半導體裝置，其中該些第一摻雜區的最下方之該第一摻雜區具有高於該些第一摻雜區的最上方之該第一摻雜區之一摻質濃度。
7. 如申請專利範圍第6項所述之半導體裝置，其中該些第一摻雜區之最下方之該第一摻雜區距該半導體層之一頂面約2-5微米。
8. 如申請專利範圍第5項所述之半導體裝置，其中介於相鄰之該些第一摻雜區之間的一間距約爲0.2-0.7微米。
9. 如申請專利範圍第1項所述之半導體裝置，更包括一埋設摻雜區，具有該第二導電類型，設置於該半導體層與該半導體基板之一部內，其中該埋設摻雜區係位於該井區之下。
10. 如申請專利範圍第1項所述之半導體裝置，其中該導電層包括多晶矽，而該絕緣層包括氧化矽。
11. 一種半導體裝置之製造方法，包括：
 - 提供一半導體基板，具有一第一導電類型；
 - 形成一半導體層於該半導體基板上，具有該第一導電類型；
 - 形成一井區於該半導體層之一部內，具有相反於該第一導電類型之一第二導電類型；
 - 形成一隔離元件該井區之一部內；

形成複數個第一摻雜區，具有該第一導電類型，垂直且分隔地設置於該井區內之數個部分內，其中該隔離元件鄰近該些第一摻雜區；

形成一第二摻雜區於該井區之一部內，具有該第二導電類型，其中該第二摻雜區鄰近該些第一摻雜區；

形成一第三摻雜區於該些第一摻雜區之最上方的該第一摻雜區之一部內且鄰近該隔離元件，具有該第一導電類型；

形成一第四摻雜區於該第二摻雜區之一部內，具有該第一導電類型；

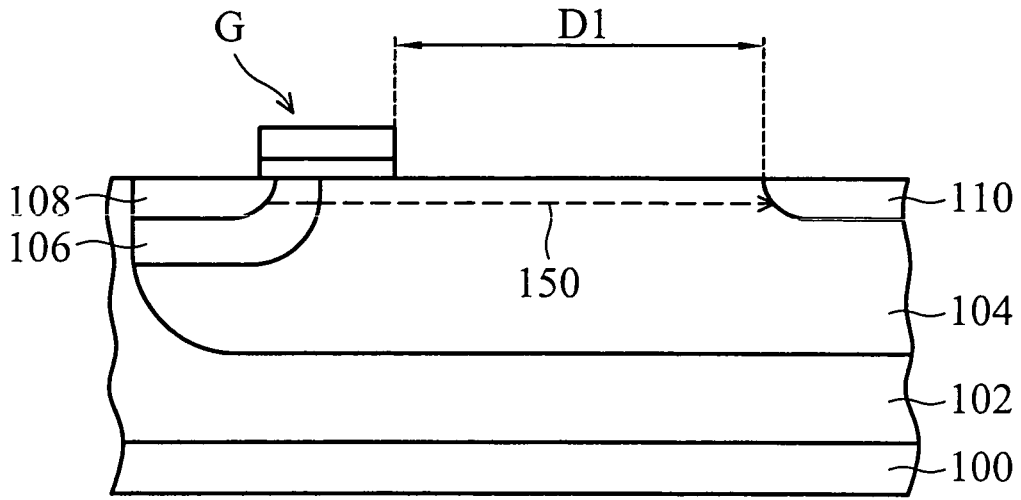
形成一絕緣層於該第三摻雜區之一部、該隔離元件、該第二摻雜區之一部及該第四摻雜區之一部上；以及

形成一導電層，覆蓋該絕緣層之一部。

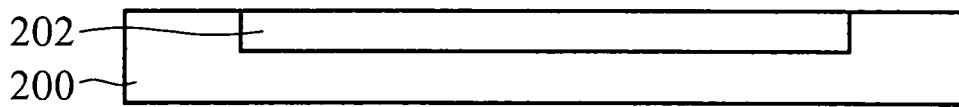
12. 如申請專利範圍第 11 項所述之半導體裝置之製造方法，其中該第一導電類型為 P 型，而該第二導電類型為 N 型。
13. 如申請專利範圍第 11 項所述之半導體裝置之製造方法，其中該第三摻雜區為一汲極區，而該第四摻雜區為一源極區。
14. 如申請專利範圍第 11 項所述之半導體裝置之製造方法，其中該導電層與位於該導電層下方之該絕緣層之一部形成了一閘結構。
15. 如申請專利範圍第 11 項所述之半導體裝置之製造方法，其中該些第一摻雜區具有不同的摻質濃度。
16. 如申請專利範圍第 15 項所述之半導體裝置之製造方法，其中該些第一摻雜區的最下方之該第一摻雜區具有高於該些第一摻雜區的最上方之該第一摻雜區之一摻雜濃度。

17. 如申請專利範圍第16項所述之半導體裝置之製造方法，其中該些第一摻雜區的最下方之該第一摻雜區距該半導體層之一頂面約2-5微米。
18. 如申請專利範圍第15項所述之半導體裝置之製造方法，其中介於相鄰的該些第一摻雜區之間之一間距約為0.2-0.7微米。
19. 如申請專利範圍第11項所述之半導體裝置之製造方法，更包括一埋設摻雜區，具有該第二導電類型，設置於該半導體層與該半導體基板之一部內，其中該埋設摻雜區係位於該井區之下。
20. 如申請專利範圍第11項所述之半導體裝置之製造方法，其中該導電層包括多晶矽，而該絕緣層包括氧化矽。

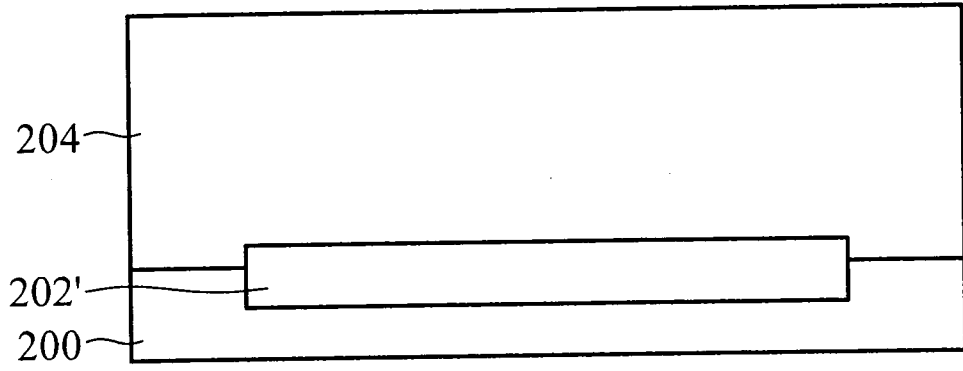
圖式



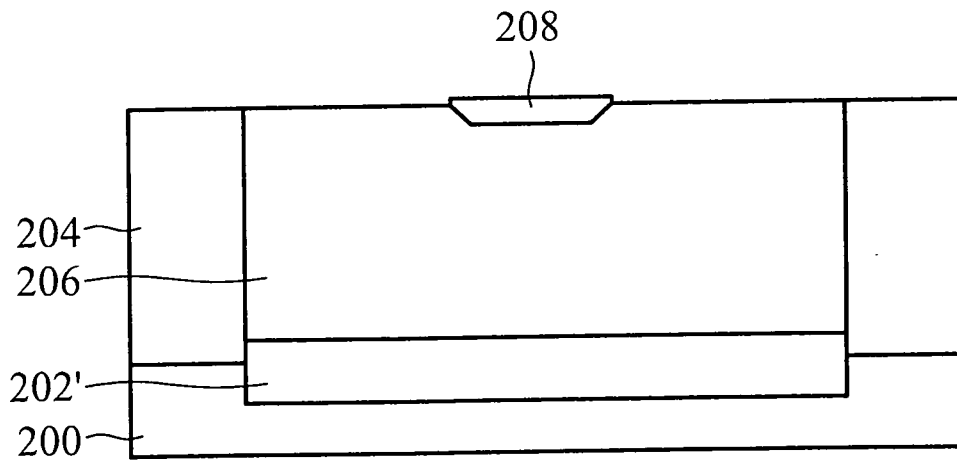
第 1 圖



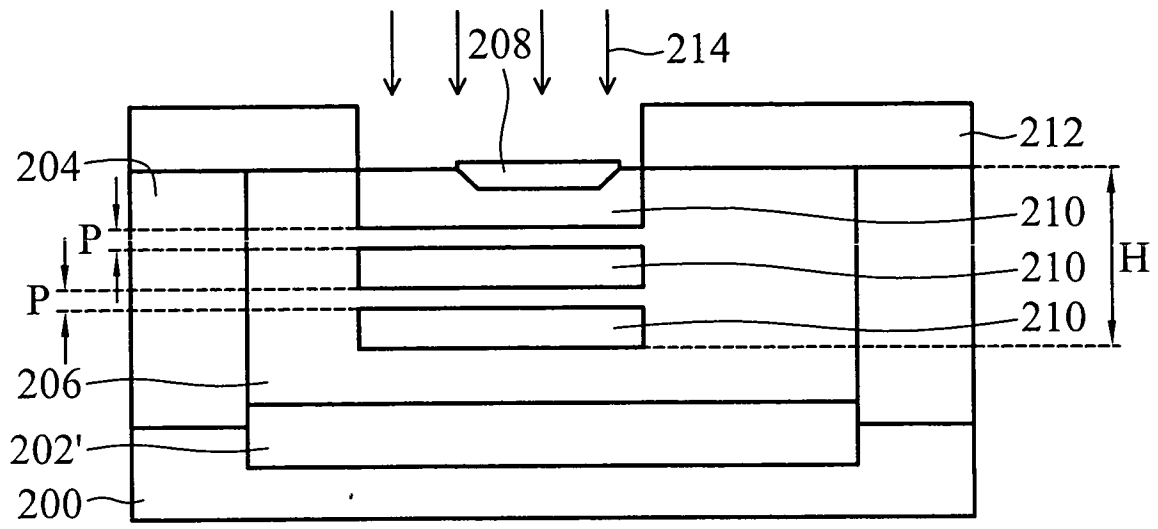
第 2 圖



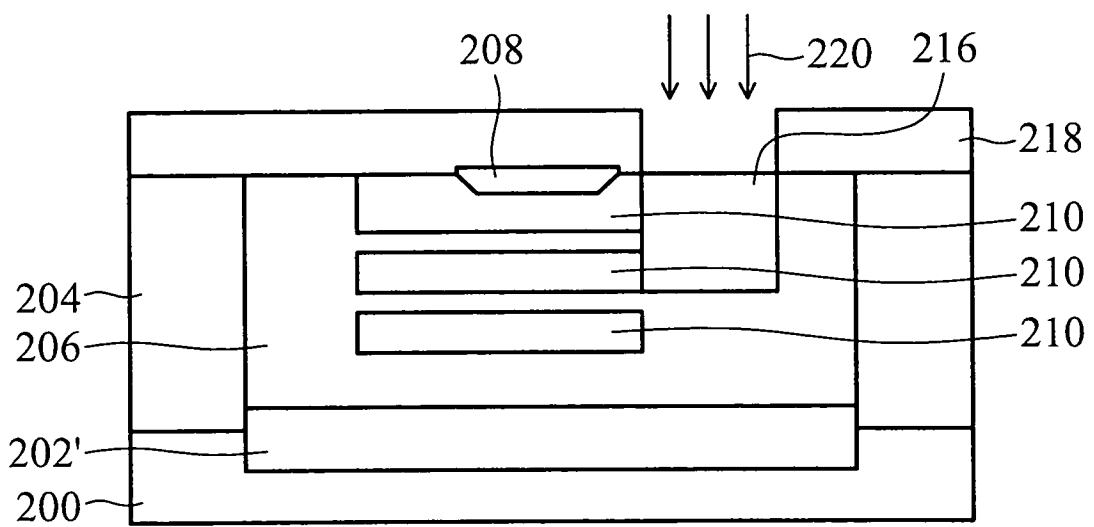
第 3 圖



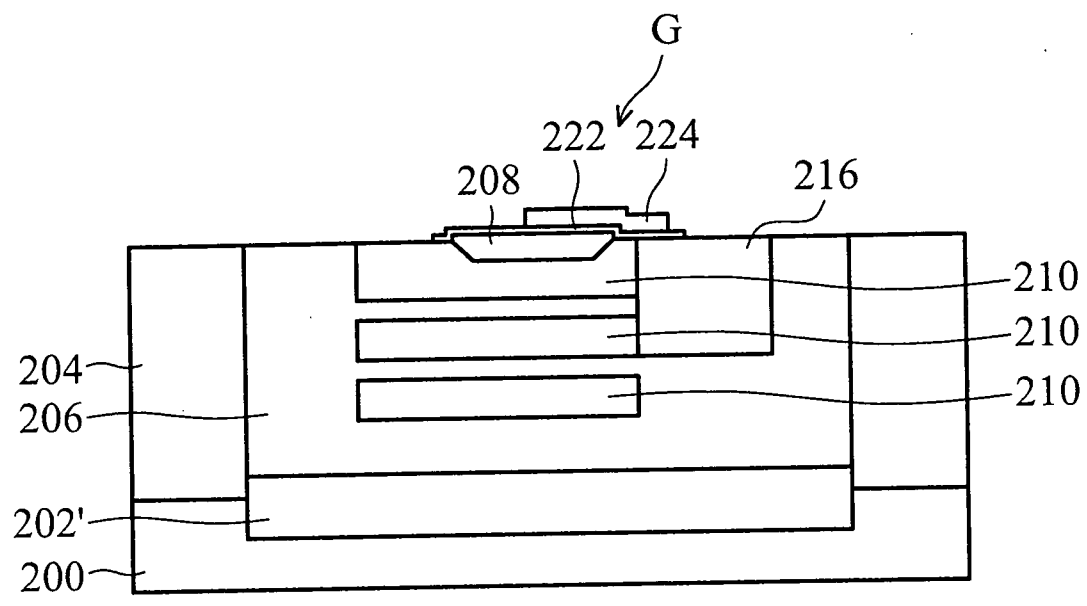
第 4 圖



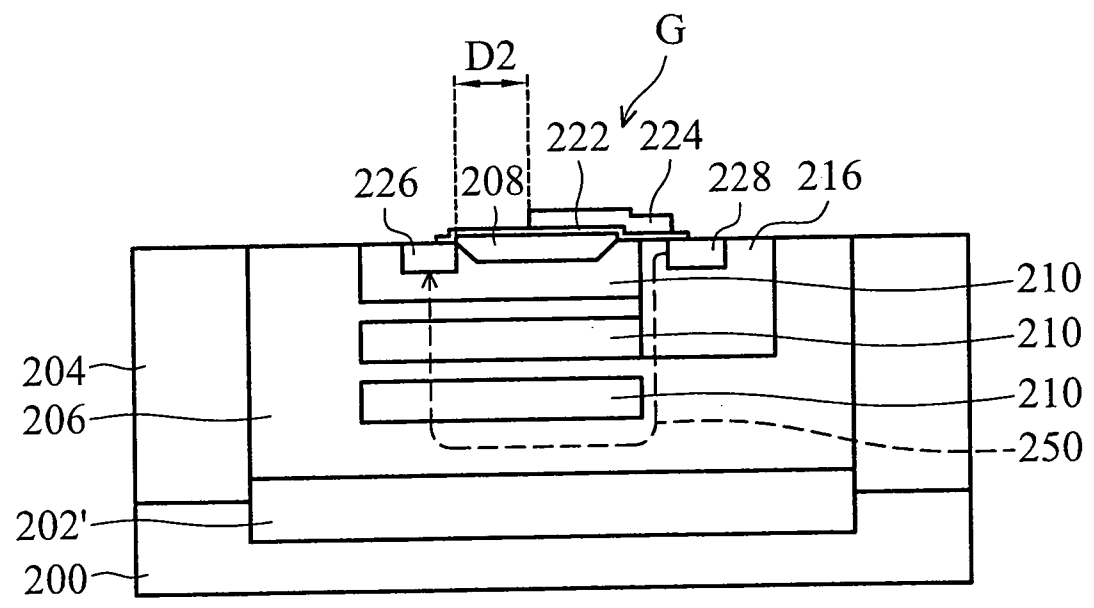
第 5 圖



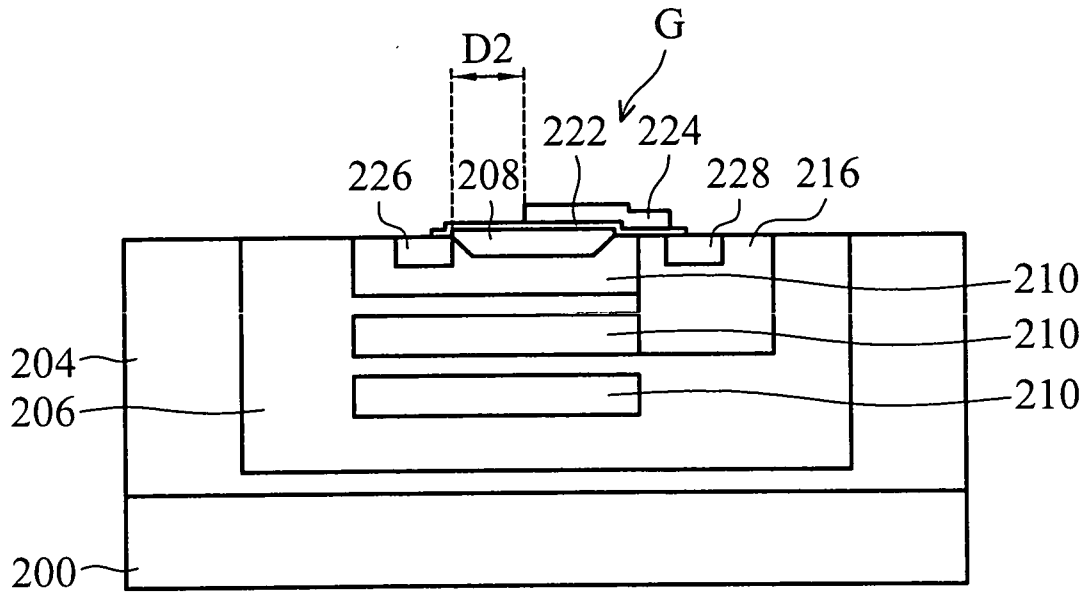
第 6 圖



第 7 圖



第 8 圖



第 9 圖