

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4238877号
(P4238877)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.

F 1

G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)G02F 1/1343
G02F 1/1368

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2006-88208 (P2006-88208)
 (22) 出願日 平成18年3月28日 (2006.3.28)
 (65) 公開番号 特開2007-264231 (P2007-264231A)
 (43) 公開日 平成19年10月11日 (2007.10.11)
 審査請求日 平成20年1月7日 (2008.1.7)

早期審査対象出願

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅善
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 金子 英樹
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 (72) 発明者 堀口 正寛
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内

審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】FFSモードの液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

平行に設けられた複数の走査線と、前記走査線と直交する方向にクランク状に設けられた複数の信号線と、複数の前記走査線及び信号線の間にそれぞれ形成された画素電極とを有し、前記画素電極が、デルタ状に配置され、且つ前記信号線に対して互い違いの接続となるように形成されるフリンジ・フィールド・スイッチングモードの液晶表示パネルにおいて、前記複数の画素電極のそれぞれは隣り合う前記走査線の間に位置する前記走査線に平行な軸に対して互いに異なる方向に傾いた複数のスリットを有し、前記画素電極に形成されたスリットのパターンは奇数行の画素電極と偶数行の画素電極とで互いに左右反転した構造を備えていることを特徴とするフリンジ・フィールド・スイッチングモードの液晶表示パネル。

【請求項2】

前記走査線に平行な軸の両側に設けられたスリットの数はそれぞれの側で同一数であることを特徴とする請求項1に記載のフリンジ・フィールド・スイッチングモードの液晶表示パネル。

【請求項3】

前記走査線に平行な軸と平面視で重なる領域の前記画素電極の下部には、コモン配線が設けられていることを特徴とする請求項1に記載のフリンジ・フィールド・スイッチングモードの液晶表示パネル。

【請求項4】

前記走査線に平行な軸に最も近接する両側のスリットの端部は前記走査線に平行な軸上で結合されていることを特徴とする請求項1～3のいずれかに記載のフリンジ・フィールド・スイッチングモードモードの液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フリンジ・フィールド・スイッチング (Fringe Field Switching: 以下、「FFS」という。) モードの液晶表示パネルに関し、特に画素の配列をデルタ配置としたデュアルドメイン構造の FFS モードの液晶表示パネルに関する。

【背景技術】

【0002】

近年、情報通信機器のみならず一般の電気機器においても液晶表示パネルが多く利用されている。従来から多く用いられている液晶表示パネルは、表面に電極等が形成された一对のガラス等からなる基板と、この一对の基板間に形成された液晶層と、からなり、両基板上の電極に電圧が印加されることにより、液晶分子を再配列させて光の透過率を変えることにより種々の映像を表示する、言わば縦方向電界モードともいべきものである。このような縦方向電界モードの液晶表示パネルは、TN (Twisted Nematic) モードやVA (Vertical Alignment) モードのもの存在するが、視野角が狭いという問題点が存在するため、MVA (Multidomain Vertical Alignment) モード等種々の改良された縦方向電界モードの液晶表示パネルが開発されている。

【0003】

一方、上述の縦方向電界モードの液晶表示パネルとは異なり、一方の基板にのみ電極を備えた横方向電界モードと言うべき液晶表示パネルも、IPS (In-Plane Switching) モードの液晶表示パネルとして知られている(下記特許文献1参照)。ここでこのIPSモードの液晶表示パネルの動作原理を図11及び図12を用いて説明する。なお、図11はIPSモードの液晶表示パネルの1画素分の概略平面図であり、図12は図11のXII-XII線に沿った概略断面図である。

【0004】

このIPSモードの液晶表示パネル50は、アレイ基板ARとカラーフィルタ基板CFとを備えている。アレイ基板ARは、第1の透明基板51の表面にそれぞれ平行に複数の走査線52及びコモン配線53が設けられ、これら走査線52及びコモン配線53に直交する方向に複数の信号線54が設けられている。そして、各画素の中央部にコモン配線53から帯状に、図11においては逆T字状に、対向電極55が設けられ、この対向電極55の周囲を囲むように画素電極56が設けられている。

【0005】

そして、走査線52と信号線54との間にはスイッチング素子としてのTFT (Thin Film Transistor) が形成されている。このTFTは、走査線52と信号線54との間に半導体層57が配置され、半導体層57上の信号線部分がTFTのソース電極Sを構成し、半導体層57の下部の走査線部分がゲート電極Gを構成し、また、半導体層57の一部分と重なる画素電極56の部分がドレイン電極Dを構成している。

【0006】

また、カラーフィルタ基板CFは、第二の透明基板58の表面にカラーフィルタ層59が設けられた構成を有している。そして、アレイ基板ARの画素電極56及び対向電極55とカラーフィルタ基板CFのカラーフィルタ層59とが互いに対向するようにアレイ基板AR及びカラーフィルタ基板CFを対向させ、その間に液晶LCを封入するとともに、両基板のそれぞれ外側に偏光板60及び61を偏光方向が互いに直交する方向となるように配置することにより、IPSモードの液晶表示パネル50が形成される。

【0007】

このIPSモードの液晶表示パネル50は、図12に示したように、画素電極56と対向電極55との間に電界を形成すると、水平方向に配向していた液晶分子が水平方向に旋

10

20

30

40

50

回することによりバックライトからの入射光の透過量を制御することができるようになる。このIPSモードの液晶表示パネル50は、広視野角で、高コントラストであり、また、画素電極56と対向電極55とが比較的狭い間隔で配置されているために保持容量が副次的に生じるという長所があるが、対向電極55がコモン配線53と同じ金属材料で形成されるために開口率及び透過率が低く、又、視角による色変化があるという問題点が存在する。

【0008】

このようなIPSモードの液晶表示パネルの低開口率及び低透過率という問題点を解決するために、いわゆる斜め電界方式とも言うべきFFSモードの液晶表示装置が開発されている（下記特許文献2～4参照）。このFFSモードの液晶表示パネル動作原理を図13及び図14を用いて説明する。なお、図13はFFSモードの液晶表示パネルの1画素分の概略平面図であり、図14は図13のXIV-XIV線に沿った概略断面図である。

10

【0009】

このFFSモードの液晶表示パネル70Aは、アレイ基板ARとカラーフィルタ基板CFとを備えている。アレイ基板ARは、第1の透明基板71の表面にそれぞれ平行に複数の走査線72及びコモン配線73が設けられ、これら走査線72及びコモン配線73に直交する方向に複数の信号線74が設けられている。そして、各画素の表面全体を覆うようにコモン配線73に接続されたITO（Indium Tin Oxide）等からなる透明材料で形成された対向電極75が設けられ、この対向電極75の表面に絶縁膜76を介してストライプ状に複数のスリット77Aが形成されたITO等の透明材料からなる画素電極78Aが設けられている。

20

【0010】

そして、走査線72と信号線74との交点近傍にはスイッチング素子としてのTFTが形成されている。このTFTは、走査線72の表面に半導体層79が配置され、半導体層79の表面の一部を覆うように信号線74の一部が延在されてTFTのソース電極Sを構成し、半導体層79の下部の走査線部分がゲート電極Gを構成し、また、半導体層79の一部分と重なる画素電極78Aの部分がドレイン電極Dを構成している。

【0011】

また、カラーフィルタ基板CFは、第二の透明基板80の表面にカラーフィルタ層81が設けられた構成を有している。そして、アレイ基板ARの画素電極78A及び対向電極75とカラーフィルタ基板CFのカラーフィルタ層81とが互いに対向するようにアレイ基板AR及びカラーフィルタ基板CFを対向させ、その間に液晶LCを封入するとともに、両基板のそれぞれ外側に偏光板82及び83を偏光方向が互いに直交する方向となるように配置することにより、FFSモードの液晶表示パネル70Aが形成される。

30

【0012】

このFFSモードの液晶表示パネル70Aは、画素電極78Aと対向電極75の間に電界を形成すると、図14に示したように、この電界は画素電極78Aの両側で対向電極75に向かうため、画素電極78A間に存在する液晶分子だけでなく画素電極78A上に存在する液晶分子も動くことができる。そのため、FFSモードの液晶表示パネル70Aは、IPSモードの液晶表示パネル50よりも広視野角かつ高コントラストであり、更に高透過率であるため明るい表示が可能となるという特徴を備えている。加えて、FFSモードの液晶表示パネル70Aは、IPSモードの液晶表示パネル50よりも平面視で画素電極78Aと対向電極75との重複面積が大きいためにより大きな保持容量が副次的に生じ、別途補助容量線を設ける必要がなくなるという長所が存在する。

40

【0013】

なお、FFSモードの液晶表示パネルにおいては、下記特許文献1に開示されているIPSモードの液晶表示パネルの場合と同様に、表示特性上、ラビング方向は信号線と直交するのがよく、また画素電極とラビング方向とは微小角度の傾きを設けた方がよいことから、図15に示したFFSモードの液晶表示パネル70Bのように画素電極78Bに設けるストライプ状のスリット77Bを走査線72ないしコモン配線73に対して傾いた構造

50

とすることが行われており、同じく、視角によって色変化が認められなくなるようにするため、図16に示したFFSモードの液晶表示パネル70Cのように、画素電極78Cに設けるストライプ状のスリット77Cを「く」字状となるように配置してデュアルドメイン化することも行われている。なお、図15及び図16に示したFFSモードの液晶表示パネル70B及び70Cは、図13に示したFFSモードの液晶表示パネル70Aとは画素電極78Bないし78Cに設けるスリット77Bないし77Cの傾きが相違するのみであるので、図13に示したFFSモードの液晶表示パネル70Aと同一の構成部分については同一の参照符号を付与してその詳細な説明は省略する。

【特許文献1】特開2005-338256号公報（段落[0026]～[0060]、図1、図12～図17）

10

【特許文献2】特開2000-131720号公報（段落[0002]～[0006]、図1～図3）

【特許文献3】特開2002-14363号公報（特許請求の範囲、段落[0002]～[0010]、[0019]～[0026]、図1、図2）

【特許文献4】特開2002-244158号公報（特許請求の範囲、段落[0002]～[0013]、[0023]～[0032]、図1～図4）

【発明の開示】

【発明が解決しようとする課題】

【0014】

上述のように、FFSモードの液晶表示パネルは、IPSモードの液晶表示パネルよりも広視野角かつ高コントラストであるとともに、高透過率であるため明るい表示が可能となり、更に低電圧駆動ができるとともににより大きな保持容量が副次的に生じるために別途補助容量線を設けなくても表示画質が良好となるという特徴を備えている。ところで、上記特許文献2～4に開示されているFFSモードの液晶表示パネルは、各画素が行方向及び列方向に整列されており、通常はストライプ配置のカラーフィルタないしはダイアゴナル配置のカラーフィルタと組み合わされて使用されるものであるが、特にデジタルスチルカメラなどの画像を主に表示する用途においては各画素を互い違いに配置するデルタ配置（トライアングル配置ともいう）が採用されることがある。

【0015】

この場合、FFSモードの液晶表示パネルにおいては、各画素をデルタ配置とする場合、表示ムラを少なくするためにスリットの形状は全ての画素電極において同一形状とすることが好ましい。しかしながら、信号線をクランク状ではあるが実質的に走査線と直交する方向に配線長を短くして配置する必要があるため、奇数行と偶数行とでTFTの位置が異なってしまう。このような状態を図17を用いて説明する。なお、図17は、各画素をデルタ配置としたFFSモードの液晶表示パネル70Dの数画素分の概略平面図であって、画素電極78Dとこの画素電極78Dに設けられたスリット77Dのみを示し、その他の具体的構成は省略してある。また、図17における各画素間の破線は各画素の境界を示し、実線は信号線の経路を示し、また、破線丸印で囲んだ部分はそれぞれの画素のTFTが設けられている位置を示す。

【0016】

図17に示したFFSモードの液晶表示パネル70Dは、奇数行の画素のTFTは図面上右下に位置するが、偶数行の画素のTFTは図面上左下に位置しているため、信号線をクランク状にではあるが縦方向に直線状にかつ配線長を短く配置することができる。しかしながら、このFFSモードの液晶表示パネル70Dは、奇数行の画素の画素電極に設けられたスリットの形状を表示開口を有効利用できるように最適な形状としたものであるが、偶数行の画素電極に設けられたスリットの形状は矢印Xで示す位置のスリットの形状が奇数行のものと異なってしまい、同じ形状にすることができないので、視角対称性が失われてしまう。そのため、このFFSモードの液晶表示パネル70Dを表示させた際には横方向に斑が生じてしまう。逆に各画素の画素電極のスリットの形状を奇数行と偶数行とで同一になるようにすると、表示開口を有効に利用することができなくなる。このような状

20

30

40

50

況は、画素電極に設けるスリットをデュアルドメイン構造とした各画素をデルタ配置したFFSモードの液晶表示パネルについても同様に生じる現象である。

【0017】

本発明は、上述のような画素電極に設けるスリットをデュアルドメイン構造とした各画素をデルタ配置したFFSモードの液晶表示パネルにおける問題点を解決すべくなされたものであって、視角対称性を有し、横方向の斑の発生がなく、しかも広視野角で、透過率が高く明るい表示が可能で、表示画質が良好なFFSモードの液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するため、本願のFFSモードの液晶表示パネルの発明は、平行に設けられた複数の走査線と、前記走査線と直交する方向にクランク状に設けられた複数の信号線と、複数の前記走査線及び信号線の間にそれぞれ形成された画素電極とを有し、前記画素電極が、デルタ状に配置され、且つ前記信号線に対して互い違いの接続となるように形成されるフリンジ・フィールド・スイッチングモードの液晶表示パネルにおいて、前記複数の画素電極のそれぞれは隣り合う前記走査線の間に位置する前記走査線に平行な軸に対して互いに異なる方向に傾いた複数のスリットを有し、前記画素電極に形成されたスリットのパターンは奇数行の画素電極と偶数行の画素電極とで互いに左右反転した構造を備えていることを特徴とする。

【0019】

また、本願のFFSモードの液晶表示パネルの発明は、上記FFSモードの液晶表示パネルにおいて、前記走査線に平行な軸の両側に設けられたスリットの数はそれぞれの側で同一数であることを特徴とする。

【0020】

また、本願のFFSモードの液晶表示パネルの発明は、上記FFSモードの液晶表示パネルにおいて、前記走査線に平行な軸と平面視で重なる領域の前記画素電極の下部には、コモン配線が設けられていることを特徴とする。

【0021】

また、本願のFFSモードの液晶表示パネルの発明は、上記FFSモードの液晶表示パネルにおいて、前記走査線に平行な軸に最も近接する両側のスリットの端部は前記走査線に平行な軸上で結合されていることを特徴とする。

【発明の効果】

【0022】

本発明は上記構成を備えることにより以下に述べるような優れた効果を奏する。すなわち、上記のFFSモードの液晶表示パネルの発明によれば、奇数行の画素と偶数行の画素とで画素電極を駆動するためのスイッチング素子、例えばTFTが異なる位置に存在することとなるが、信号線の配線長を短くできるとともに、しかも各画素の画素電極に設けられたスリットの形状は、デッドスペースを最小限にしながら走査線に平行な軸に対して対称な実質的に同じ形状となっているとともに、行毎に走査線に垂直な軸に対して対称性を備えているから、表示開口を有効に利用しながら走査線に平行な方向及び垂直な方向ともに視角対称性が維持され、従来例のような横方向に斑が生じることがなくなるとともに明るい表示のFFSモードの液晶表示パネルが得られる。

【0023】

また、上記発明によれば、走査線に平行な軸の両側に設けられた画素電極のスリットの数はそれぞれの側で同一数とされているから、画素電極の形状は一画素内で走査線と平行な軸に対して完全に近い対称性を有するようになり、走査線に垂直な方向の視角の対称性が高まり、より広視野角で表示画質が良好なFFSモードの液晶表示パネルが得られる。

【0024】

また、上記発明によれば、コモン配線は、通常は走査線と同材質の導電性材料から作製されるために不透明であるが、このコモン配線によって互いに異なる方向に傾いたスリット

10

20

30

40

50

同士が隣り合う位置で発生するディスクリネーション部分を遮光することができ、表示画質が良好な FFS モードの液晶表示パネルが得られる。

【0025】

上記発明によれば、走査線に平行な軸に最も近接する両側のスリットの端部を走査線に平行な軸上で結合することによって、画素電極の面積を有効に利用することができ、しかも両スリットの結合点近傍のディスクリネーションの発生が抑制されるため、表示画質がより良好な FFS モードの液晶表示パネルが得られる。

【発明を実施するための最良の形態】

【0026】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための FFS モードの液晶表示パネルの構成を製造工程順に例示するものであって、本発明をこの FFS モードの液晶表示パネルに特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものも等しく適応し得るものである。 10

【0027】

なお、図 1 は走査線及びコモン配線形成工程で形成された走査線及びコモン配線のパターンを示す図であり、図 2 は対向電極形成工程で形成された対向電極のパターンを示す図であり、図 3 は半導体層形成工程で形成された半導体層のパターンを示す図であり、図 4 は信号線及びドレイン電極形成工程で形成された信号線及びドレイン電極のパターンを示す図であり、図 5 はコンタクトホール形成工程で形成されたコンタクトホールのパターンを示す図であり、図 6 は図 1 ~ 図 5 の全てパターンを上下関係を無視して重ねて表した平面図である。 20

【0028】

更に、図 7 は画素電極形成工程で形成された画素電極のパターンを示す図であり、図 8 は図 6 及び図 7 のパターンを上下関係を無視して重ねて表した平面図であり、図 9 はカラーフィルタ基板に設けるブラックマトリクスのパターンを示す図であり、図 10 は図 7 のパターンの上に図 9 のパターンを重ねて表した図である。 30

【0029】

この実施例の FFS モードの液晶表示パネル 10 の製造工程を、アレイ基板の製造工程とカラーフィルタ基板の製造工程に分けて説明する。 30

【アレイ基板製造工程】

(1) 走査線・コモン配線形成工程

まず、ガラス基板等の透明基板 11 の表面全体に亘って下部が A1 金属からなり表面が M0 金属からなる 2 層膜を形成した後、フォトリソグラフィー法及びエッチング法によって、図 1 に示したようなパターンのそれぞれ M0 / A1 の 2 層配線からなる複数の走査線 12 及び複数のコモン配線 13 を互いに平行に形成する。その際、走査線 12 の一部に TFT のゲート電極 G 部分を突出させておく。なお、コモン配線 13 は隣り合う走査線 12 の中間に設けられる。なお、図 1 において破線部分は各画素の境界部分を示す（以下、他の図面においても同じ。） 40

【0030】

(2) 対向電極形成工程

次いで、ITO からなる透明導電性層を (1) の走査線・コモン配線形成工程を経た透明基板 11 の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッチング法によって、図 2 に示したようなパターンの対向電極 15 を形成する。この対向電極 15 はコモン配線 13 とは電気的に接続されているが、走査線 12 ないしゲート電極 G とは接続されていない。

【0031】

(3) 絶縁膜形成工程

次いで、窒化硅素層ないしは酸化硅素層からなる絶縁膜を (2) の対向電極形成工程を経た透明基板 11 の表面全体に亘って被覆する。 50

【0032】

(4) 半導体層形成工程

次いで、CVD法によりアモルファス・シリコン（以下「a-Si」という。）層を（3）の絶縁膜形成工程を経た透明基板11の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッティング法によって、図3に示したようなパターンのa-Si層からなる半導体層19をゲート電極G上に位置するように形成する。

【0033】

(5) 信号線・ドレイン電極形成工程

次いで、Mo/A1/Moの3層構造の導電性層を（4）の半導体層形成工程を経た透明基板11の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッティング法によって、図4に示したようなパターンの信号線14及びドレイン電極Dを形成する。この信号線14のソース電極S部分及びドレイン電極D部分は、いずれも半導体層19の表面に部分的に重なっている。

10

【0034】

(6) パッシベーション膜形成工程

次いで、窒化硅素層からなるパッシベーション膜を（5）の信号線・ドレイン電極形成工程を経た透明基板11の表面全体に被覆する。

【0035】

(7) コンタクトホール形成工程

次いで、（6）のパッシベーション膜形成工程を経た透明基板11に対し、同じくフォトリソグラフィー法及びエッティング法によって、パッシベーション膜の所定位置にコンタクトホール20を形成し、ドレイン電極Dの一部を露出させる。このコンタクトホール形成工程を経た透明基板11の平面図を、各層の上下関係を無視して透視して表すと図6に示したとおりとなる。

20

【0036】

(8) 画素電極形成工程

更に、ITOからなる透明導電性層を（7）のコンタクトホール形成工程を経た透明基板11の表面全体に亘って被覆し、同じくフォトリソグラフィー法及びエッティング法によって、図7に示したパターンとなるようにスリット17₁を有する奇数行の画素電極18₁及びスリット17₂を有する偶数行の画素電極18₂を形成する。この画素電極18₁及び18₂はともにコンタクトホール20を介してドレイン電極Dと電気的に接続されている。この画素電極形成工程を経た透明基板11の平面図を、各層の上下関係を無視して透視して表すと図8に示したとおりとなる。この後、表面全体に所定の配向膜（図示せず）を形成することによりアレイ基板ARが完成される。なお、画素電極18₁及び18₂に設けるそれぞれのスリット17₁及び17₂の形状等については後述する。

30

【0037】

[カラーフィルタ基板製造工程]

カラーフィルタ基板は、図示しないガラス基板等からなる透明基板の表面全体に例えれば感光性樹脂からなるブラックマトリクス形成材料の層を設け、フォトリソグラフィー法により図9に示すようなパターンのブラックマトリクス21を形成し、次いで、各画素に対応する位置にそれぞれ例えればRGBの3原色のカラーフィルタ層を形成し、次いで、カラーフィルタ層の表面に表面が平らになるようにオーバーコート層を形成する。更に、オーバーコート層の表面に所定の配向膜を形成するとともに所定位置にスペーサを形成することによりカラーフィルタ基板が完成される。

40

【0038】

その後、アレイ基板AR及びカラーフィルタ基板を対向させ、周囲をシール材でシールして両基板間に液晶を注入することにより実施例に係るFFSモードの液晶表示パネル10が得られる。なお、この実施例に係るFFSモードの液晶表示パネル10の画素電極18₁及び18₂とブラックマトリクス21との配置関係は、ブラックマトリクス21側から見ると図10に示したとおりとなる。

50

【0039】

以下では、この実施例に係るFFSモードの液晶表示パネル10の画素電極18₁及び18₂に設けるそれぞれのスリット17₁及び17₂の形状について図7、図8及び図10を参照しながら説明する。奇数行の画素電極18₁に設けられた複数のスリット17₁は、隣り合う走査線12の間に位置するコモン配線13が設けられている箇所に該当する走査線12に平行な軸x(図7及び図8参照)に対して左上側及び左下側に傾いた状態に、実質的に軸xに対して線対称となるように、同一の本数ずつ設けられている。同様に、偶数行の画素電極18₂に設けられた複数のスリット17₂は、軸xに対して右上側及び右下側に傾いた状態に、実質的に軸xに対して線対称となるように、同一の本数ずつ設けられている。従って、この実施例に係るFFSモードの液晶表示パネル10における全ての画素の画素電極は、画素電極単位で走査線12に平行な軸xに対して対称性を備えているため、走査線12に直交する方向には表示画質に視角依存性が少なくなる。なお、軸xの両側に設けられるスリットの本数は、互いに異なっていてもよいが、あえて異なるようにすることの利点はないので、視角対称性を確保するために同一の本数ずつ設けることが好ましい。

【0040】

加えて、この実施例に係るFFSモードの液晶表示パネル10においては、奇数行の画素電極18₁に設けられた複数のスリット17₁と偶数行の画素電極18₂に設けられた複数のスリット17₂とは走査線12に垂直な軸に対して互いに反転した構成となっている。このことは、奇数行の画素電極18₁の製造用マスクを反転(裏返す)させて使用することにより偶数行の画素電極18₂を製造できることを意味する。従って、この実施例に係るFFSモードの液晶表示パネル10においては行毎に走査線に垂直な軸に対して対称性を備えているから、走査線12に沿った方向においても表示画質に視角依存性が少なくなる。このように、実施例に係るFFSモードの液晶表示パネル10においては、表示開口を有効に利用しながら走査線に垂直な方向及び走査線に沿った方向ともに視角対称性が維持され、従来例のような横方向に斑が生じることがなくなるとともに明るい表示のFFSモードの液晶表示パネルが得られる。

【0041】

また、実施例に係るFFSモードの液晶表示パネル10においては、コモン配線13は走査線12と同材質のMo/A1の2層配線からなるため、遮光性である。そして走査線12に平行な軸xに最も近接する両側のスリットの端部は、軸x上で、すなわちコモン配線13の上部で結合されて「く」字状とされている。この走査線12に平行な軸xに最も近接する両側のスリットは、それぞれ傾斜方向が異なるために軸xを起点として液晶分子の配向方向が異なる状態となるので、軸xに沿ってディスクリネーションが発生するが、このディスクリネーション発生部分はコモン配線13によって遮光されている。そのため、発生したディスクリネーションは外部から視認し難くなるため、表示画質が向上する。

【図面の簡単な説明】

【0042】

【図1】走査線及びコモン配線形成工程で形成された走査線及びコモン配線のパターンを示す図である。

【図2】対向電極形成工程で形成された対向電極のパターンを示す図である。

【図3】半導体層形成工程で形成された半導体層のパターンを示す図である。

【図4】信号線及びドレイン電極形成工程で形成された信号線及びドレイン電極のパターンを示す図である。

【図5】コンタクトホール形成工程で形成されたコンタクトホールのパターンを示す図である。

【図6】図1～図5の全てパターンを上下関係を無視して重ねて表した平面図である。

【図7】画素電極形成工程で形成された画素電極のパターンを示す図である。

【図8】図6及び図7のパターンを上下関係を無視して重ねて表した平面図である。

【図9】カラーフィルタ基板に設けるブラックマトリクスのパターンを示す図である。

10

20

30

40

50

【図10】図7のパターンの上に図9のパターンを重ねて表した図である。

【図11】IPSモードの液晶表示パネルの1画素分の概略平面図である。

【図12】図10のXII-XII線に沿った概略断面図である。

【図13】FFSモードの液晶表示パネルの1画素分の概略平面図である。

【図14】図13のXIII-XIII線に沿った概略断面図である。

【図15】スリットを傾けて設けたFFSモードの液晶表示パネルの1画素分の平面図である。

【図16】デュアルドメイン化したFFSモードの液晶表示パネルの1画素分の平面図である。

【図17】画素をデルタ配置としたFFSモードの液晶表示パネル70Dの数画素分の概略平面図である。

10

【符号の説明】

【0043】

10 FFSモードの液晶表示パネル

11 透明基板

12 走査線

13 コモン配線

14 信号線

15 対向電極

17₁、17₂ スリット

20

18₁、18₂ 画素電極

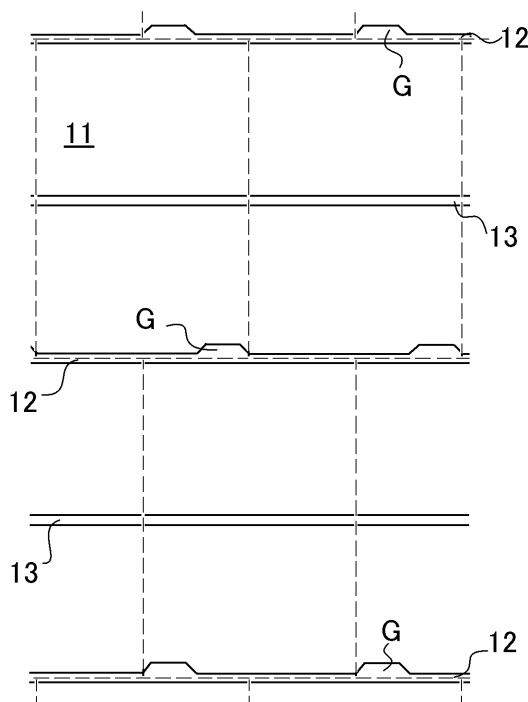
19 半導体層

20 コンタクトホール

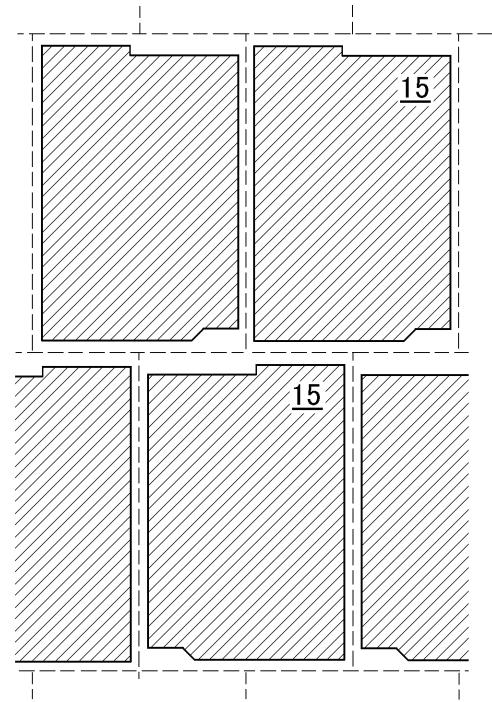
21 ブラックマトリクス

× 走査線に平行な軸

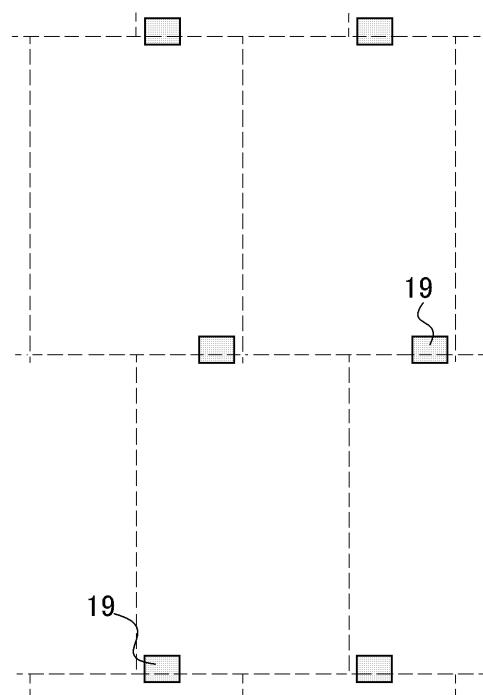
【図1】



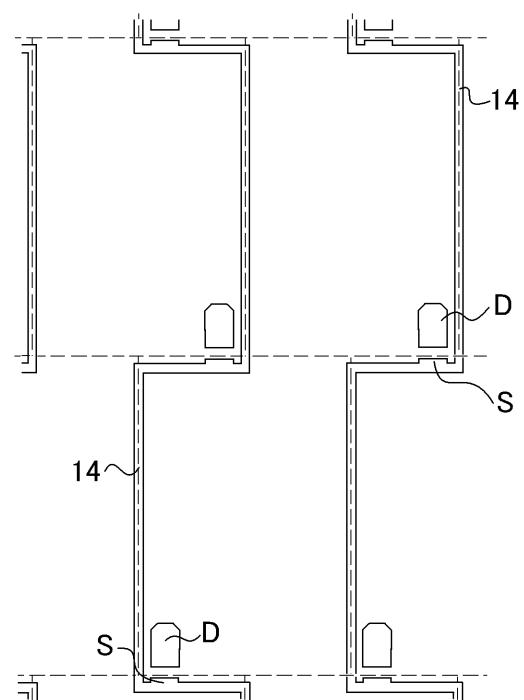
【図2】



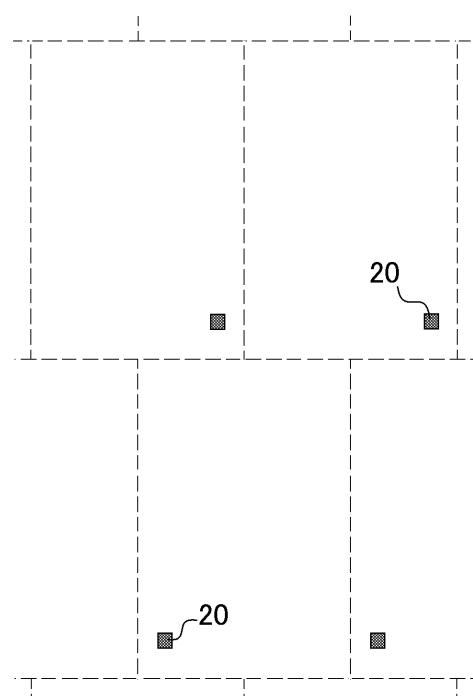
【図3】



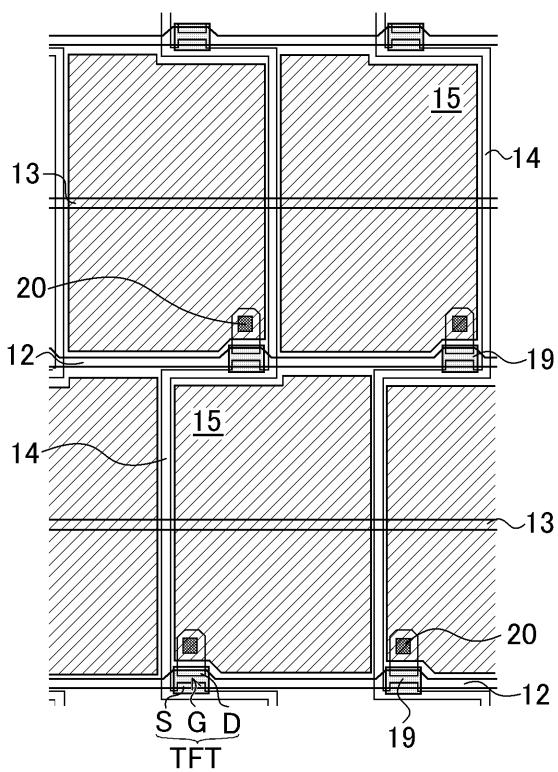
【図4】



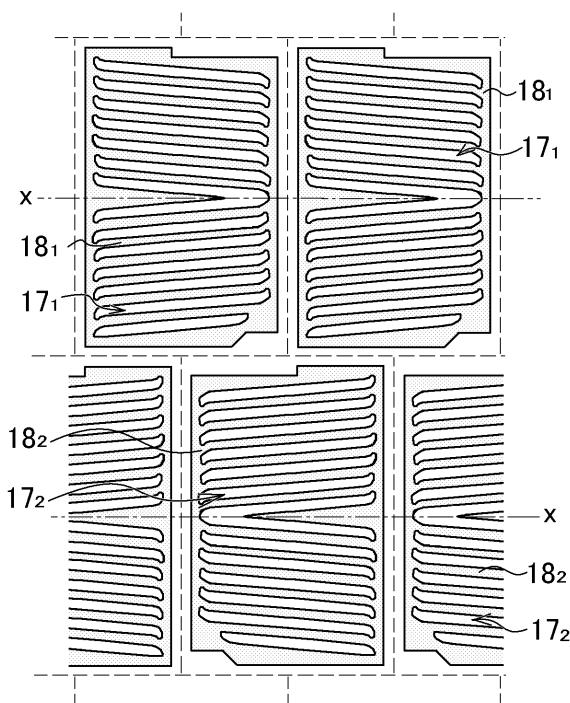
【図5】



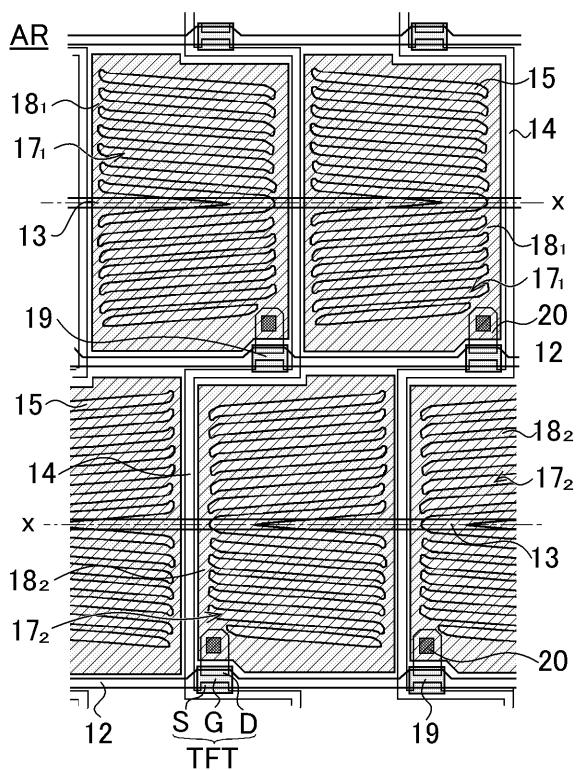
【図6】



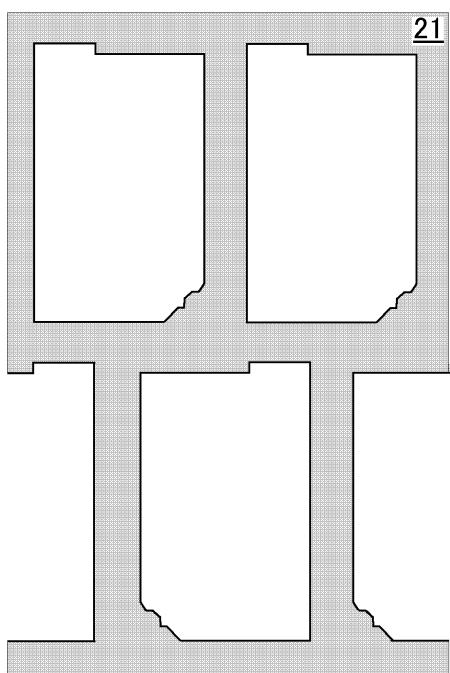
【図7】



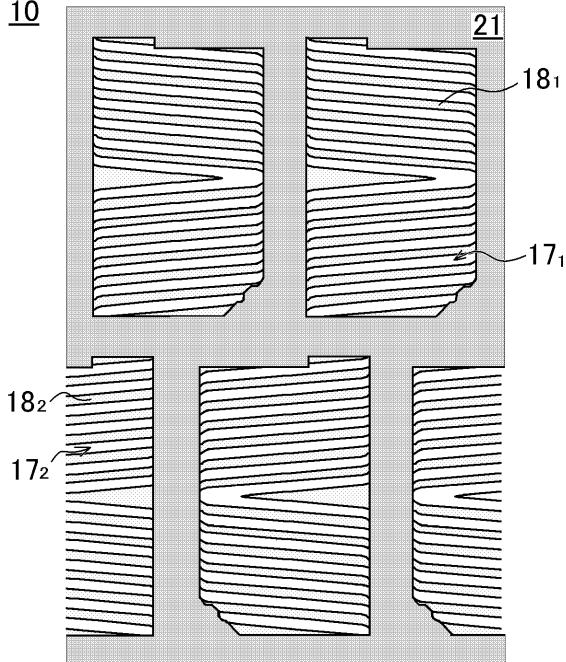
【図8】



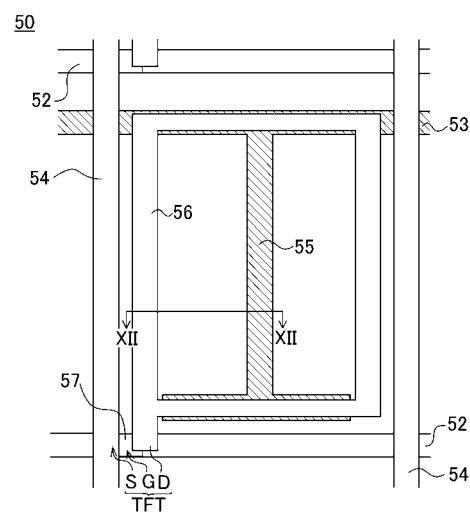
【図9】



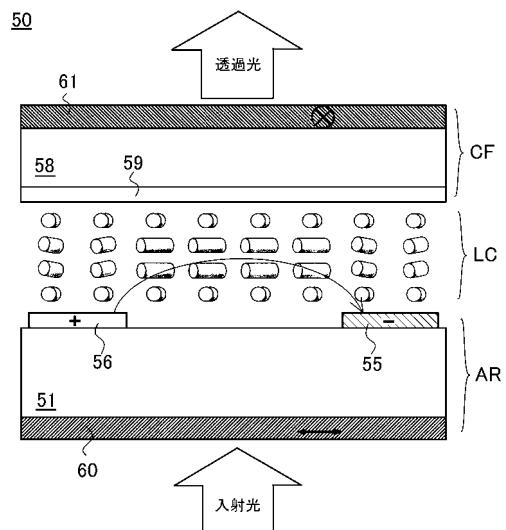
【図10】



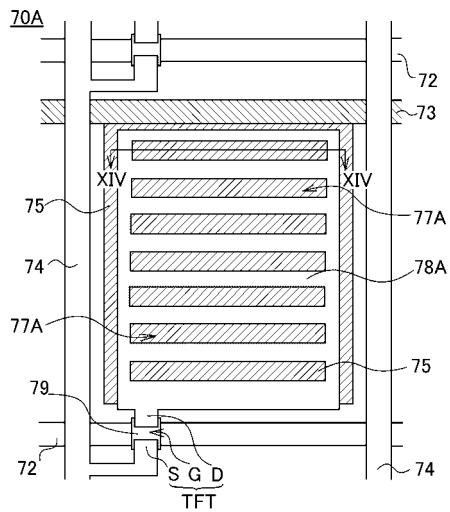
【図 1 1】



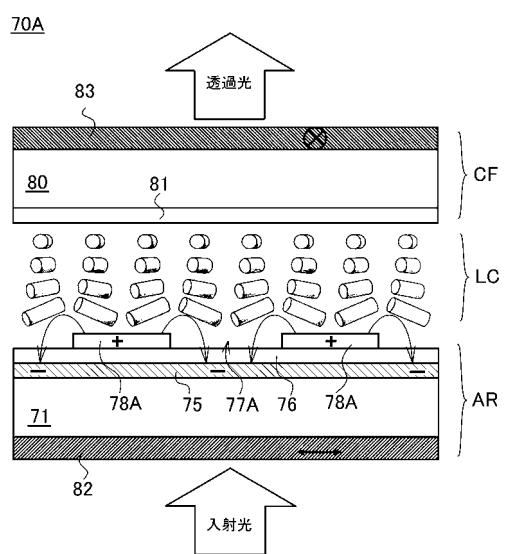
【図 1 2】



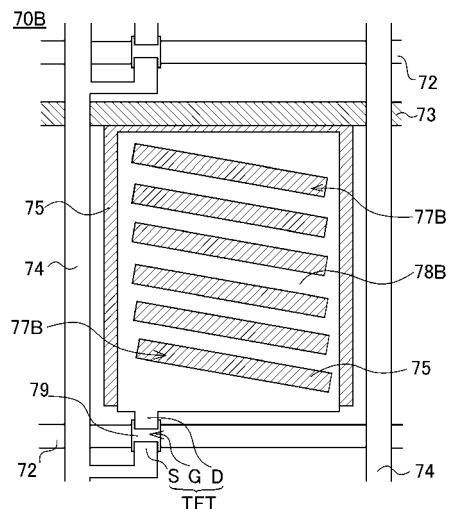
【図 1 3】



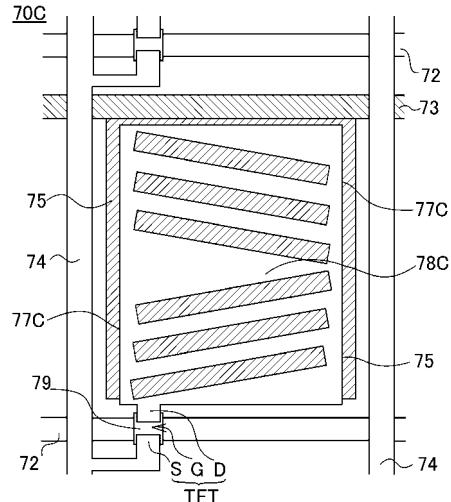
【図 1 4】



【図15】

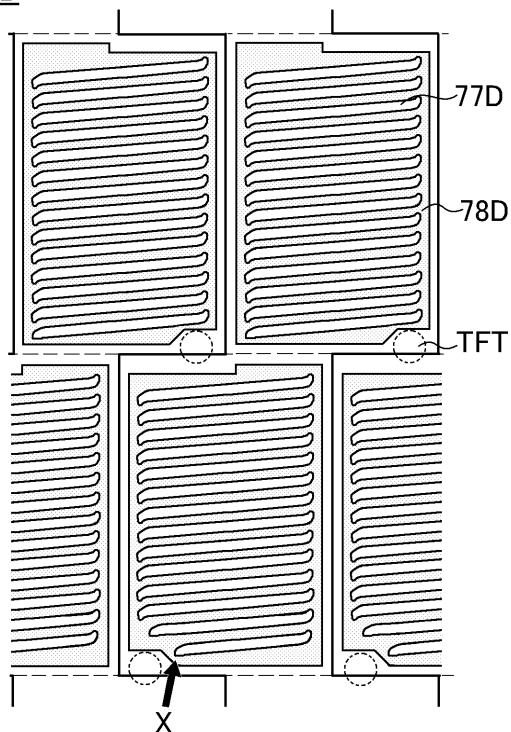


【図16】



【図17】

70D



フロントページの続き

(56)参考文献 特開2002-182230(JP,A)
特開2005-189614(JP,A)
特開2003-322869(JP,A)
特開2002-244145(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 F 1 / 1343
G 02 F 1 / 1368