

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5813227号
(P5813227)

(45) 発行日 平成27年11月17日(2015.11.17)

(24) 登録日 平成27年10月2日(2015.10.2)

(51) Int. Cl. F I
HO1C 17/28 (2006.01) HO1C 17/28
HO1C 7/10 (2006.01) HO1C 7/10
HO1C 7/04 (2006.01) HO1C 7/04
HO1C 1/142 (2006.01) HO1C 1/142

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2014-522103 (P2014-522103)	(73) 特許権者	300002160
(86) (22) 出願日	平成24年7月26日 (2012.7.26)		エプコス アクチエンゲゼルシャフト
(65) 公表番号	特表2014-524154 (P2014-524154A)		EPCOS AG
(43) 公表日	平成26年9月18日 (2014.9.18)		ドイツ連邦共和国 ミュンヘン ザンクト
(86) 国際出願番号	PCT/EP2012/064726		-マルティン-シュトラッセ 53
(87) 国際公開番号	W02013/017531		St. -Martin-Strasse
(87) 国際公開日	平成25年2月7日 (2013.2.7)		53, D-81669 Muenche
審査請求日	平成26年3月18日 (2014.3.18)		n, Germany
(31) 優先権主張番号	102011109007.3	(74) 代理人	100090022
(32) 優先日	平成23年7月29日 (2011.7.29)		弁理士 長門 侃二
(33) 優先権主張国	ドイツ (DE)	(72) 発明者	ファイヒティンガー, トーマス
			オーストリア国 A-8010 グラーツ
			, トウンメルプラッツ 5

最終頁に続く

(54) 【発明の名称】 電子デバイスの製造方法

(57) 【特許請求の範囲】

【請求項 1】

電子デバイスの製造方法であって、

表面(010)とこの表面(010)に対向する第1の基板面(S10a)とを有し、その内部に金属層(40)が含まれているセラミック半導体基板(10)を準備するステップと、

前記基板の前記基板面(S10a)に、互いに分離された少なくとも2つの他の金属層(210)を設けるステップと、

前記基板(10)と前記他の金属層(210)とからなる構成体を焼結するステップと、

前記基板面(S10a)に、前記少なくとも2つの他の金属層(210)の間に、電気絶縁層(30)を設けるステップと、

化学プロセスを用いて前記少なくとも2つの他の金属層(210)の上にそれぞれコンタクト層(220)を設けるステップであって、前記化学プロセスによって前記基板(10)の材質が、前記表面(010)から、最大で基板内に設けられた金属層(40)まで除去されるステップと、

を備え、

前記基板(10)内に設けられた金属層(40)は、少なくとも2つの部位(U1, U2)で分断され、

前記少なくとも2つの他の金属層(210)は、基板(10)の第1の基板面(S10

a) に設けられ、前記基板の前記第1の基板面(S10a)の第1の領域(B1)および第2の領域(B2)は、前記少なくとも2つの他の金属層(210)によって覆われておらず、

前記化学プロセスによって、前記基板(10)の材質が、前記基板(10)の前記第1の基板面(S10a)の領域(B1, B2)でエッチングされる、
ことを特徴とする方法。

【請求項2】

請求項1に記載の方法において、

前記電子デバイス(1, 2, 3)の前記基板(10)の材質からの分離は、前記化学プロセスの後のエッチングプロセスで行われることを特徴とする方法。

10

【請求項3】

請求項1または2に記載の方法において、

前記基板(10)の、前記少なくとも2つの他の金属層(210)と前記電気絶縁層(30)とで覆われた領域(B0)での前記基板の材質のエッチングが阻止されることを特徴とする方法。

【請求項4】

請求項3に記載の方法において、

前記電子デバイス(1, 2, 3)の、前記基板(10)内に設けられた金属層(40)と前記コンタクト層(220)との間の構造部分高さが最大150μm、好ましくは50μmとなるように、前記基板内の前記金属層(40)が配設されることを特徴とする方法

20

【請求項5】

請求項1乃至4のいずれか1項に記載の方法において、

前記セラミック半導体基板(10)は、酸化亜鉛およびプラセオジウムからなる材質または負の温度係数を有する材質を含むことを特徴とする方法。

【請求項6】

請求項1乃至5のいずれか1項に記載の方法において、

前記絶縁層(30)は、ガラスまたは窒化珪素または炭化珪素または酸化アルミニウムまたはポリマーからなる材質を含み、前記金属層(40)および前記他の金属層(210)は、銀からなる材質を含むことを特徴とする方法。

30

【請求項7】

請求項1乃至6のいずれか1項に記載の方法において、

前記コンタクト層(220)は、ニッケルおよび/または金、および/またはパラジウム、および/または錫、および/または銀からなる材質を含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、たとえば静電気の放電に対する保護またはセンサに適用可能な電子デバイスの製造方法に関する。

【背景技術】

40

【0002】

一般的に低電圧の電源および信号電圧で駆動される電子回路は、たとえば電圧入力接続端子に静電気の過電圧が印加されると、破損する可能性がある。この繊細な回路部品をこのような過電圧から保護するために、静電気放電の保護のための保護素子が電圧入力接続端子に接続され、たとえば接地電位等の基準電位に対して高い静電気電圧をバイパスすることができる。

【0003】

静電気放電の保護回路として、たとえばSMD(表面実装技術)によって多層バリスタ(Vielschichtvaristoren)を用いることができる。回路基板またはLED(発光ダイオード)のハウジングへの組み込みには、できる限り薄いESD(Electro-Stat

50

i c - D i s c h a r g e) 保護素子を必要とする。しかしながら、構造部分高さすなわち層厚に関して、SMD多層バリスタでは従来製造技術的な限界があった。

【発明の概要】

【発明が解決しようとする課題】

【0004】

非常に小さな構造部分高さ (Bauteilhöhe) を備えたデバイスを製造することができる電子デバイス製造方法を提供することが望まれている。さらにこの方法で製造されたデバイスを提供することが望まれている。

【課題を解決するための手段】

【0005】

本発明による電子デバイスの製造方法は、表面とこの表面に対向した第1の基板面とを有するセラミック半導体基板を準備するステップを備え、この基板内には金属層が含まれている。この基板の基板面には、少なくとも2つの他の金属層が互いに別々に設けられている。この基板およびこれら他の金属層からなる構成体は焼結される。基板の第1の基板面の少なくとも2つの他の金属層の間に、保護層として電気絶縁層が設けられる。この少なくとも2つの他の金属層にはそれぞれ、化学プロセスを用いてコンタクト層が設けられる。この化学プロセスによって、この基板の材質は、基板の表面から、最大で基板内部に設けられた金属層まで除去される。ここで基板(10)内に設けられた金属層(40)は、少なくとも2つの部位(U1, U2)で分断され、少なくとも2つの他の金属層(210)は、基板(10)の第1の基板面(S10a)に設けられ、基板の第1の基板面(S10a)の第1の領域(B1)および第2の領域(B2)は、少なくとも2つの他の金属層(210)によって覆われておらず、化学プロセスによって、基板(10)の材質が、基板(10)の第1の基板面(S10a)の領域(B1, B2)でエッチングされる。

【0006】

このようにして、この基板内に含まれる金属層の上に設けられた基板の材質が犠牲層となり、この犠牲層は、コンタクト層の取付けの化学プロセスの際には既に、この化学プロセスに含まれる酸/溶剤によってエッチング除去される。これと同時に、第1の基板面のパッシベーションの無い部分では、基板材質に溝がエッチングされる。この第1の基板面のパッシベーションの無い部分は、この第1の面に取付けられた金属層および電気絶縁層で覆われていない。コンタクト層を取付けるための化学プロセスとして、たとえば無電解メッキ (stromloses Galvanisieren) があり、たとえばENIG (無電解ニッケル浸漬金メッキ; electroless Nickel immersion plating)、ENEPiG (無電解ニッケル、無電解パラジウム浸漬金メッキ; electroless Nickel, electroless Palladium immersion gold)、または電解液がエッチングの酸と溶剤であるような電解メッキを用いることができる。

【0007】

次のエッチングプロセスでは、デバイスを基板から分離するために、溝がさらにエッチングされ、基板内に設けられた金属層まで犠牲層が剥ぎ取られる。この基板内の金属層は、エッチング停止層として機能し、この下にある基板の材質はこれ以上エッチングされない。この基板の材質内に設けられた金属層は、基板の第1の基板面の近傍で基板の材質の中へ導入されることができ、本方法は小さな高さのデバイスの製造を可能とする。

【0008】

コンタクト間の電気絶縁層は保護層であり、この保護層は、デバイスの分離のための化学プロセスもしくはエッチングプロセスの際に、この電気絶縁層の下に設けられた基板材質がエッチングされることを阻止する。このコンタクト間に設けられる保護層は、たとえばガラス、窒化珪素 (Si_3N_4)、炭化珪素 (SiC)、酸化アルミニウム (Al_2O_3) またはポリマーなどの材質を含んでいる。コンタクト層は、個別の層として、たとえば銀で形成されてよい。代替として、このコンタクト層は、複数の部分層、たとえばニッケル、パラジウム、金または錫等を含む種々の金属類を含んでよい。

【0009】

10

20

30

40

50

本発明による電子デバイスの製造方法の実施形態は、とりわけ、電極として機能する金属層と、150 μmより薄い特に略50 μmのコンタクト層との間の部品高さのESD保護デバイスまたはセラミックセンサを実現することを可能とする。この際、この電子デバイスは安価に製造でき、極めて薄い個々のチップやこれらのアレイの製造に用いることができる。

【0010】

この方法で製造された電子デバイスは、第1の基板面を有するセラミック半導体基板を備え、この第1の基板面に少なくとも2つの互いに離間したコンタクトが設けられており、この第1の基板面に対向する第2の基板面は、金属層の上に設けられている。すべてのコンタクトはそれぞれ、基板の第1の基板面に設けられた、さらにもう1つの金属層と、このもう1つの金属層の上に設けられたコンタクト層とを備える。少なくとも2つのコンタクトの間には、電気絶縁層が設けられており、この少なくとも2つのコンタクトは、この電気絶縁層によって互いに電氣的に絶縁されている。この電子デバイスは、金属層とそれぞれのコンタクトのコンタクト層との間で、最大150 μmの部品高さおよび好ましくは50 μmの部品高さを有する。

10

【図面の簡単な説明】

【0011】

電子デバイスの製造方法の実施形態およびこの方法によって製造可能な電子デバイスの実施形態が、以下に図を参照して例示的に説明される。

【図1A】図1Aは、電子デバイスの1つの実施形態の断面図を示す。

20

【図1B】図1Bは、電子デバイスの上記の実施形態の平面図を示す。

【図2A】図2Aは、電子デバイスの製造方法の1つの製造ステップを示す。

【図2B】図2Bは、電子デバイスの製造方法のさらにもう1つの製造ステップを示す。

【図2C】図2Cは、電子デバイスの製造方法のさらにもう1つの製造ステップを示す。

【図2D】図2Dは、電子デバイスの製造方法のさらにもう1つの製造ステップを示す。

【図2E】図2Eは、電子デバイスの製造方法のさらにもう1つの製造ステップを示す。

【図2F】図2Fは、電子デバイスの製造方法のさらにもう1つの製造ステップを示す。

【図3A】図3Aは、電子デバイスのさらにもう1つの実施形態の断面図を示す。

【図3B】図3Bは、電子デバイスの上記のさらにもう1つの実施形態の平面図を示す。

【図4A】図4Aは、電子デバイスのさらにもう1つの実施形態の断面図を示す。

30

【図4B】図4Bは、電子デバイスの上記のさらにもう1つの実施形態の平面図を示す。

【図5A】図5Aは、静電気放電保護用の電子デバイスあるいはセラミックセンサの実施形態を示す。

【図5B】図5Bは、静電気放電保護用の電子デバイスの実施形態の等価回路を示す。

【図5C】図5Cは、セラミックセンサである電子デバイスの実施形態の等価回路を示す。

【発明を実施するための形態】

【0012】

図1Aは電子デバイスの第1の実施形態を示し、この電子デバイスは、たとえば静電気保護用またはセンサとして使用可能である。この電子デバイスは、セラミック半導体基板10を備える。この基板10は、基板面S10aとこの基板面S10aに対向する基板面S10bとを備える。基板の材質には、基板面S10aとS10bとの間に金属層40が設けられている。この金属層40は、たとえば銀を含んでよい。基板面S10aには、少なくとも2つの互いに離間したコンタクト21および22が設けられている。これらのコンタクト21および22はそれぞれ、金属層210とコンタクト層220とを備える。これらのコンタクト21および22の金属層210はそれぞれ、基板10の基板面S10aに設けられている。これらのコンタクト21および22のコンタクト層220はそれぞれ、金属層210の上に設けられている。

40

【0013】

これらのコンタクト21および22の金属層210は、たとえば銀を含んでよい。コン

50

タクト層 220 は、たとえばニッケルおよび / または金からなる材質を備えてよい。たとえば、コンタクト 21 および 22 のそれぞれのコンタクト層 220 は、部分層 221 と部分層 222 とを備えてよい。部分層 221 は金属層 210 の上に設けられてよく、部分層 222 はこの部分層 221 の上に設けられてよい。部分層 221 は、たとえばニッケルからなる材質を備えてよく、部分層 222 は、たとえば金からなる材質を備えてよい。

【0014】

これらのコンタクト 21 および 22 の間には、基板 10 の基板面 S10a に電気絶縁層 30 が設けられている。この電気絶縁層 30 は、コンタクト端子 21 および 22 の金属層 210 とを互いに分離し、これら 2 つのコンタクト 21 および 22 のコンタクト層 220 を互いに分離するように形成されている。この層 30 によって 2 つのコンタクト 21 および 22 は、電氣的に互いに絶縁されている。この電気絶縁層 30 は、たとえばガラスからなる材質を含んでよい。

10

【0015】

図 1B は、図 1A に示す電子デバイスの第 1 の実施形態の平面図を示す。コンタクト 21 および 22、特にこれらのコンタクト 21 および 22 のそれぞれのコンタクト層 220 が示されているが、これらは電気絶縁層 30 によって互いに分離され、これにより電氣的に互いに絶縁されている。

図 1A および 1B に示す第 1 の実施形態では、金属層 40 とコンタクト面 220 との間の電子デバイスの構造部分高さ (Bauteilhöhe) H は、 $50\ \mu\text{m}$ となっている。デバイスの幅 B は、たとえば $100\ \mu\text{m}$ であり、長さ L は $250\ \mu\text{m}$ であってよい。この際、これらのコンタクト層 220 はそれぞれ、長さ L1 が $50\ \mu\text{m}$ であってよく、電気絶縁層 30 は、長さ L2 が $150\ \mu\text{m}$ であってよい。

20

【0016】

図 2A ~ 2F は、電子デバイスの製造方法の 1 つの実施形態を示す。この電子デバイスは静電気放電の保護用かまたはセンサとして使用可能である。表面 O10 およびこの表面 O10 に対向する基板面 S10a を有するセラミック半導体基板 10 が準備され、この基板内に金属層 40 が含まれている。この基板 10 内に設けられた金属層 40 は、少なくとも 2 つの部位 U1, U2 で分断されている。これらの部位 U1, U2 の外側に設けられた金属層 40 の断片は、他のデバイスに属している。この金属層 40 は、表面 O10 もしくは基板の基板面 S10a にほぼ平行に、基板内部に設けられている。この内部に金属層 40 を含む基板 10 は、ウェーハとして形成されることができる。図 2A に示す本発明の製造方法の第 1 の製造ステップでは、基板 10 の積層、積み重ねおよび押圧が行われる。

30

【0017】

さらに次の図 2B に示す製造ステップでは、このウェーハもしくは基板 10 は、基板面 S10a で、少なくとも 2 つの金属層 210 のパターンが設けられており、これらは電子デバイスのコンタクト 21 および 22 の一部を形成している。ここでこれらの金属層 210 は、互いに距離を置いて基板面 S10a に設けられている。これに加えて、たとえば銀からなる材質の薄い層を、基板面 S10a の互いに離間した断片の上に設けてよい。これらの少なくとも 2 つの金属層 210 は、基板 10 の基板面 S10a に設けられ、基板 10 の基板面 S10a の領域 B1 および領域 B2 は、この少なくとも 2 つの他の金属層によって覆われていない。これらの領域 B1 および B2 は、投影して見ると部位 U1 および U2 の下に配置されている。領域 B1 および B2 の隣に、他のデバイスに属する金属層 210 が設けられている。これらの金属層 210 は、この下にある基板の材質の保護層を形成している。

40

【0018】

さらに次の図 2C に示す製造ステップでは、この基板 10 の構成体が、これに設けられた金属層パターン 210 と共に焼結される。

【0019】

図 2D は、さらに次の製造ステップを示す。このステップは、金属層 210 の間の基板面 S10a の部分に保護層を取付ける。保護層としては、コンタクト 21 および 22 の金

50

属層 2 1 0 の間に、たとえばガラスからなる材質の電気絶縁層 3 0 が付けられる。この電気絶縁層 3 0 は、上記の離間した金属層 2 1 0 の間で、基板 1 0 の基板面 S 1 0 a の部分に直接設けられてよい。この際、この保護層 3 0 は、金属層 2 1 0 の断片の一部の上にも取付けられてよい。これらの領域 B 1 および B 2 は、この後も保護層で覆われないままとなる。

【 0 0 2 0 】

図 2 E に示すさらに次のステップでは、コンタクト 2 1 および 2 2 が完成され、ここでそれぞれの金属層 2 1 0 の上にコンタクト層 2 2 0 が取付けられる。さらに加えて、この金属層 2 1 0 の上に、たとえばニッケルおよび/または金からなる材質を取付けてもよい。たとえば、全ての金属層 2 1 0 のそれぞれの上に、まずニッケルを含む部分層が取付けられ、この部分層 2 2 1 の上に、続いて金を含む部分層 2 2 2 が取付けられてよい。金属層 2 1 0 へのコンタクト層 2 2 0 の取付けは、化学プロセスによって電流を用いずに行うことができる。

10

【 0 0 2 1 】

コンタクト層 2 2 0 を取付けるための、酸もしくは溶剤が関与する化学プロセスによって、このコンタクト層 2 2 0 の取り付けの際に、保護層の無い領域 B 1 および B 2 で、基板の材質がエッチングされる。この際、基板の基板面 S 1 0 a で、上記の保護層の無い領域 B 1 , B 2 から溝 G が基板にエッチングされる。このエッチングは、たとえば異方性で行われる。コンタクト層 2 1 0 を取付ける化学プロセスによって、基板の材質は、溝の表面 O G まで除去される。基板 1 0 の材質は、領域 B 1 および B 2 において、この溝の表面が金属層 2 1 0 と金属層 4 0 との間に位置するようになるまで除去されてよい。基板面 S 1 0 a の領域 B 0 は、保護層として機能する金属層 2 1 0 および電気絶縁層 3 0 で覆われており、この領域 B 0 の下では基板の材質のエッチングが阻止される。

20

【 0 0 2 2 】

さらに基板の材質は、保護層の無い表面 O 1 0 でも金属層 4 0 に向かってエッチングされる。表面 O 1 0 および金属層 4 0 の間にある基板の材質は、犠牲層となり、コンタクト層の取り付けのための化学プロセスの際に、表面 O 1 0 から表面 O 1 0 ' まで除去される。最初の表面 O 1 0 および金属層 4 0 の間の領域を当初の犠牲層の厚さとする、この犠牲層の表面 O 1 0 ' は、コンタクト面 2 2 0 の取り付けのための化学プロセスの作用の後、この犠牲層の最初の表面 O 1 0 と金属層 4 0 との間に位置されてよい。このようにしてコンタクト層 2 2 0 の取り付けのための化学プロセスの際に、金属層 4 0 より上の基板の層厚が除去される。

30

【 0 0 2 3 】

図 2 F は、ウェーハ 1 0 から電子デバイス 1 を分離する、さらに次の製造ステップを示す。ここでさらに次の、たとえば異方性のエッチングプロセスで、既にコンタクト面 2 2 0 の取り付けの化学プロセスで形成された領域 B 1 および B 2 の溝がさらにエッチングされ、金属層 4 0 の分断部 U 1 および U 2 の下の基板までが完全に除去される。ここで、化学プロセスの際にプリエッチングされた溝の表面 O G から少なくとも金属層 4 0 までの基板の材質が除去されてよい。さらに、金属層 4 0 の上側にまだ存在する、犠牲層を形成するセラミック半導体の基板の材質は、金属層 4 0 までエッチング除去されてよい。この金属層 4 0 は、エッチング停止層として機能し、この下にある基板の材質はこれ以上エッチングされない。このようにして、ウェーハ集合体からデバイスが分離される。この分離は、エッチングの他に代替として、個々のデバイスをウェーハ集合体からチップング (Ausbrechen) によって行われてよい。

40

【 0 0 2 4 】

図 3 A は電子デバイスのさらなる第 2 の実施形態の断面図を示し、この電子デバイスは、たとえば静電気保護用またはセンサとして使用可能である。この静電気用のデバイスは、セラミック半導体基板 1 0 を備える。このセラミック半導体基板 1 0 は、表面 O10 とこの表面 O10 に対向した基板面 S 1 0 a とを備える。このセラミック半導体基板 1 0 の材質の内部には、金属層 4 0 が設けられている。この金属層 4 0 は、たとえば銀からなる材質

50

を含んでよい。セラミック半導体基板10の基板面S10aには、互いに離間した少なくとも2つのコンタクト21および22が設けられている。これらのコンタクト21および22はともにそれぞれ、金属層210とコンタクト層220とを備える。それぞれのコンタクトの金属層210は、基板の基板面S10aに直接設けられ、たとえば銀からなる材質を含んでよい。

【0025】

すべてのコンタクトのそれぞれのコンタクト層220は、それぞれの金属層210の上に設けられている。コンタクト層220は、たとえばニッケルおよび/または金からなる材質を備えてよい。このコンタクト層220は、たとえばそれぞれのコンタクトの金属層210の上に設けられた部分層221を備える。コンタクト層220のもう1つの部分層222は、この部分層221の上に設けられてよい。部分層221は、たとえばニッケルからなる材質を含んでよく、部分層222は、金からなる材質を含んでよい。

10

【0026】

コンタクト21および22の間には、図1Aおよび1Bに示す電子デバイスの変形例のように、電気絶縁層30は、保護層として設けられる。この電気絶縁層30は、上記の金属層210の間で、基板面S10aの部分に設けられてよい。この保護層30は、それぞれのコンタクト21および22の金属層210とコンタクト層220とを互いに電氣的に絶縁するように形成されている。

【0027】

図3Bは、図3Aに示す電子デバイスの第2の実施形態の平面図を示す。電子デバイスの下面には、コンタクト21および22が設けられ、詳細にはそれぞれのコンタクト21および22のコンタクト層220が設けられている。これらは、電気絶縁層30によって互いに電氣的に絶縁されている。

20

【0028】

図3Aおよび3Bに示す電子デバイス2は、たとえば表面010とコンタクト層220との間で測った構造部分高さHが50 μ mで作製される。デバイスの幅Bは、100 μ mであり、長さLは250 μ mであってよい。この際、コンタクト21および22はそれぞれ、長さL1が50 μ mであってよく、電気絶縁層30は、長さL2が150 μ mであってよい。この第2の実施形態によるデバイスは、たとえば、最後の図2Eの製造ステップで、金属層40の上に設けられた基板10の犠牲層が金属層40まで完全に除去されずに製造されてよい。

30

【0029】

図4Aは電子デバイスのさらなる第3の実施形態の断面図を示し、この電子デバイスは、たとえば静電気保護用またはセンサとして使用可能である。図1に示す実施形態と同様に、この電子デバイスはセラミック半導体基板10を備える。基板10の基板面S10aには、互いに離間した少なくとも2つのコンタクトが設けられている。図4Aに示す実施形態例では、電子デバイスは2つ以上のコンタクトのアレイを有して形成されている。このデバイスは、たとえば4つのコンタクト21, 22, 23および24を備えてよい。図4Aに示す断面図では、コンタクト21および22のみが見えている。

【0030】

コンタクト21および22はともにそれぞれ、たとえば銀からなる層である金属層をそなえ、これらは基板面S10aで互いに離間して設けられている。さらにこれらのコンタクトは、それぞれコンタクト層220を備え、このコンタクト層は、それぞれのコンタクトの金属層210の上に設けられている。コンタクト層220は、ニッケルおよび/または金からなる材質を備えてよい。コンタクト層220は、たとえば部分層221および部分層222を備えてよい。この部分層221は、それぞれのコンタクトの金属層210の上に直接設けられている。部分層222は、それぞれのコンタクトの部分層221の上に設けられている。部分層221は、たとえばニッケルからなる材質を含んでよく、部分層222は、金からなる材質を含んでよい。

40

【0031】

50

これら2つのコンタクト21および22の間には、電気絶縁層30が設けられ、これによりコンタクト21と22とが、そしてそれぞれの金属層210とそれぞれのコンタクト層220とが電氣的に互いに絶縁されている。この電気絶縁層30は、たとえば上記の金属層210の間で、基板10の基板面S10aの部分に直接設けられてよい。この電気絶縁層は、保護層となり、たとえばガラスからなる材質を備えてよい。

【0032】

図4Bは、図4Aに示す電子デバイスの第3の実施形態を平面図で示し、ここでコンタクト21、22、23および24と電気絶縁層30が示されている。図4Bに示すように、これらのコンタクト21、22、23、および24は、これらの間に設けられた電気絶縁層30によって、互いに高抵抗で分離され、すなわち互いに電氣的に絶縁されている。

10

【0033】

図4Aおよび4Bに示す第3の実施形態では、金属層40とコンタクト面220との間の電子デバイス3の構造部分高さHは、 $50\mu\text{m}$ となっている。電子デバイスの第1および第2の実施形態と異なり、この電子デバイスの第3の実施形態は、正方形の設置面を備える。この電子デバイスは、たとえば幅Bおよび長さLが $250\mu\text{m}$ であってよい。この際、コンタクトはそれぞれ、幅B1が $100\mu\text{m}$ であってよく、電気絶縁層は、幅B2が $50\mu\text{m}$ であってよい。このコンタクトはそれぞれ、長さL1が $50\mu\text{m}$ であってよく、電気絶縁層は、長さL2が $150\mu\text{m}$ であってよい。

【0034】

図5Aは、電子デバイスの第1の実施形態を保護層付きのセラミックチップの形態で示したものであり、このチップは、基板10、コンタクト21および22、これらの間に設けられた電気絶縁層30、およびさらなる金属層40を備える。このような構造によって、たとえば多層バリスタを有するデバイス、もしくはセンサとして使用可能な、多層NTC(負温度係数、Negative Temperature Coefficient)抵抗を有するデバイスを実現することができる。

20

【0035】

図5Bは、デバイスをバリスタとして実現したものを示すが、このデバイスは、たとえばESD保護デバイスとして使用可能である。多層バリスタとしての実施形態では、デバイスの基板10は、たとえば酸化亜鉛およびプラセオジウムからなる材質、たとえばZnO(Pr)を含む。たとえば、基板10の材質として、プラセオジウムがドープされた酸化亜鉛が用いられてよい。代替として、酸化亜鉛およびピスマスからなる材質、たとえばZnO(Bi)が用いられてもよい。コンタクト21および22はそれぞれ、基準電位、たとえば接地電位の印加のための接続端子を形成する。金属層40は、製造の際のエッチング停止層としての機能の他に、後にこのデバイスが動作する時に電流を輸送する電極としての機能を有する。この電流輸送電極40とコンタクト21との間に、セラミック半導体基板は電圧依存抵抗R1を形成する。金属層の形態の電流輸送電極40およびコンタクト22の間に、セラミック半導体基板10は、さらにもう1つの電圧依存抵抗R2を形成する。

30

【0036】

図5は、基板の材質として負の温度係数を有する材質、たとえばNTC材料が用いられた場合の、デバイスの等価回路を示す。この場合、このデバイスはセラミックセンサとしてして使用することができる。基板10は、コンタクト21および22と金属層40との間に、それぞれ温度依存抵抗R3およびR4を形成する。これらのコンタクト21および22はそれぞれ、基準電位、たとえば接地電位の印加のための接続端子として用いることができる。金属層40は、このデバイスの動作の際に電流輸送電極として機能する。この金属層40とコンタクト21との間に、セラミック半導体基板10は温度依存抵抗R3を形成する。この金属層40とコンタクト22との間に、セラミック半導体基板10はさらなる温度依存抵抗R4を形成する。

40

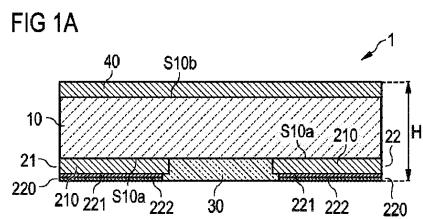
【符号の説明】

【0037】

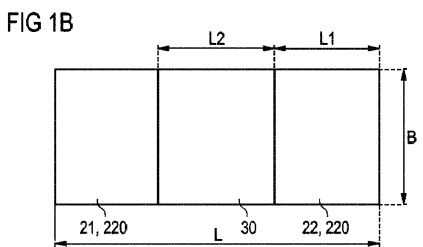
50

- 1, 2, 3 本発明によるデバイスの実施形態
- 10 セラミック半導体基板
- 21, 22 コンタクト
- 30 電気絶縁層
- 40 金属層
- 210 金属層
- 220 コンタクト層
- 221, 222 コンタクト層の部分層
- R1, R2 電圧依存抵抗
- R3, R4 温度依存抵抗

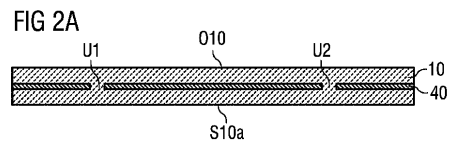
【図1A】



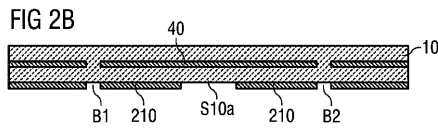
【図1B】



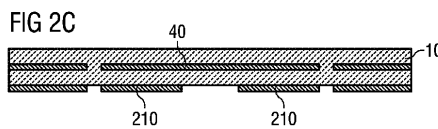
【図2A】



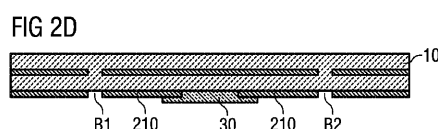
【図2B】



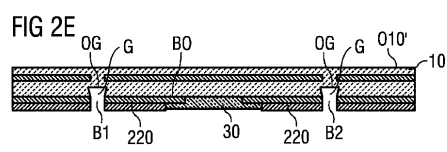
【図2C】



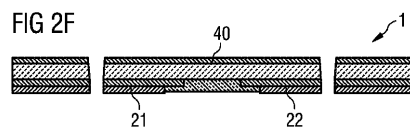
【図2D】



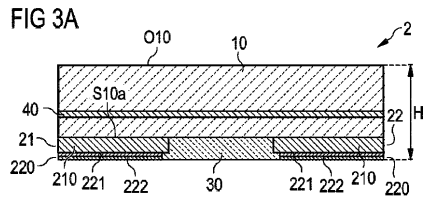
【図2E】



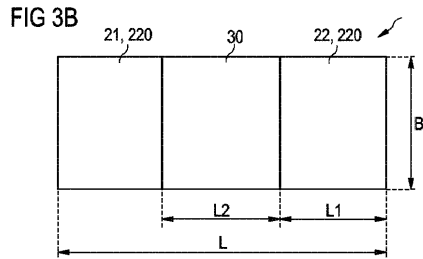
【図2F】



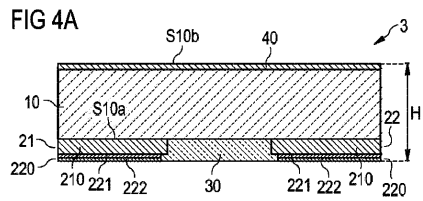
【 図 3 A 】



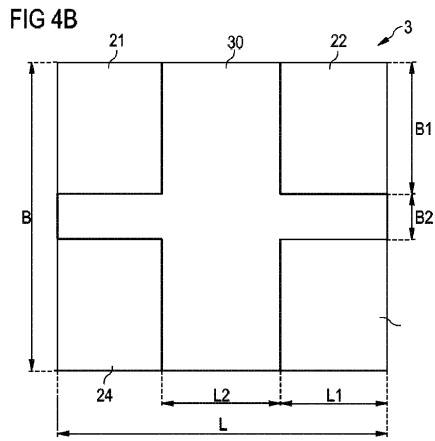
【 図 3 B 】



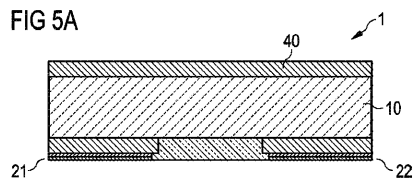
【 図 4 A 】



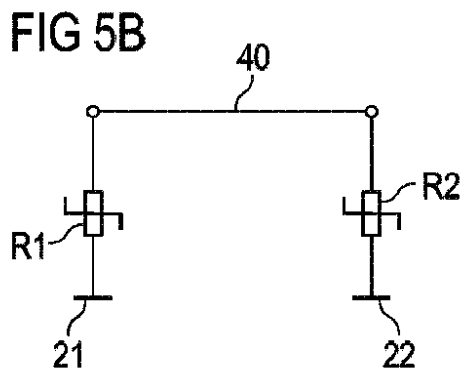
【 図 4 B 】



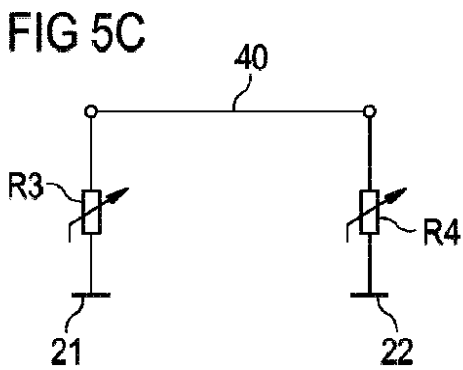
【 図 5 A 】



【 図 5 B 】



【 図 5 C 】



フロントページの続き

(72)発明者 ブルンナー, セバスティアン
オーストリア国 A - 8042 グラーツ, アウターラー シュトラーセ 17a

審査官 多田 幸司

(56)参考文献 国際公開第2011/024724(WO, A1)
特開平11-283803(JP, A)
特開2006-173159(JP, A)
特表平10-508430(JP, A)
特開平06-302406(JP, A)
特開平10-335114(JP, A)
特開平10-149901(JP, A)
特開平11-54301(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01C 1/00 - 1/16
H01C 7/02 - 7/22
H01C 17/00 - 17/30
H01G 4/00 - 4/22
H01G 4/255 - 4/40
H01G 13/00 - 17/00
H01L 21/301
H01L 21/78