

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 30 日 (30.09.2021)



(10) 国际公布号
WO 2021/189329 A1

(51) 国际专利分类号:

H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2020/081221

(22) 国际申请日: 2020 年 3 月 25 日 (25.03.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。

(72) 发明人: 屈忆(QU, Yi); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。尚
庭华(SHANG, Tinghua); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。杨
路路(YANG, Lulu); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。李慧君
(LI, Huijun); 中国北京市北京经济技术开发区

地泽路 9 号, Beijing 100176 (CN)。张猛(ZHANG,
Meng); 中国北京市北京经济技术开发区地泽路
9 号, Beijing 100176 (CN)。张鑫(ZHANG, Xin);
中国北京市北京经济技术开发区地泽路 9 号,
Beijing 100176 (CN)。姜晓峰(JIANG, Xiaofeng);
中国北京市北京经济技术开发区地泽路 9 号,
Beijing 100176 (CN)。代洁(DAI, Jie); 中国北京
市北京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。白露(BAI, Lu); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。和
玉鹏(HE, Yupeng); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。张昊
(ZHANG, Hao); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 显示基板和显示装置

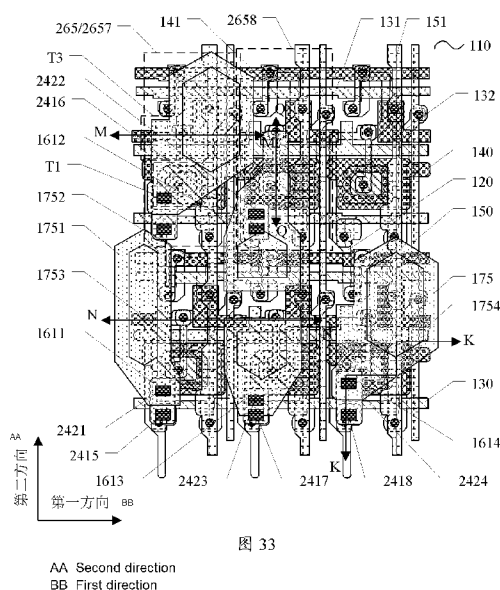


图 33

(57) Abstract: Disclosed are a display panel (100) and a display device (400). The display substrate (100) comprises a base substrate (110), a pixel circuit layer (260), and an anode layer (170). The pixel circuit layer (260) is disposed on the base substrate (110) and comprises a plurality of pixel drive circuits (265); and the anode layer (170) is disposed on one side of the pixel circuit layer (260) away from the base substrate (110) and comprises a plurality of anodes (175). The plurality of pixel drive circuits (265) are arranged to correspond, in an one to one manner, to the plurality of anodes (175). Each pixel drive circuit (265) comprises a functional thin film transistor. The plurality of pixel drive circuits (265) comprise a first pixel drive circuit (2657) and a second pixel drive circuit (2658) that are arranged to be adjacent. Orthographic projections of a channel region of the functional thin film transistor in the first pixel drive circuit (2657) and a channel region of the functional thin film transistor in the second pixel drive circuit (2658) on the base substrate (110) both overlap with orthographic projections of corresponding anodes (175) in the first pixel drive circuit (2657) on the base substrate (110). As a result, the display substrate (100) can increase the stability and service life of the functional thin film transistors, and thus can increase the long-term light-emitting stability and service life of the display substrate (100).



JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示基板(100)和显示装置(400)。显示基板(100)包括衬底基板(110)、像素电路层(260)和阳极层(170); 像素电路层(260)位于衬底基板(110)上且包括多个像素驱动电路(265); 阳极层(170)位于像素电路层(260)远离衬底基板(110)的一侧且包括多个阳极(175)。多个像素驱动电路(265)与多个阳极(175)一一对应设置, 各像素驱动电路(265)包括功能薄膜晶体管; 多个像素驱动电路(265)包括相邻设置的第一像素驱动电路(2657)和第二像素驱动电路(2658), 第一像素驱动电路(2657)中的功能薄膜晶体管的沟道区和第二像素驱动电路(2658)中的功能薄膜晶体管的沟道区在衬底基板(110)上的正投影均与第一像素驱动电路(2657)对应的阳极(175)在衬底基板(110)上的正投影交叠。由此, 显示基板(100)可提高功能薄膜晶体管的稳定性和寿命, 从而可提高显示基板(100)的长期发光稳定性和寿命。

显示基板和显示装置

技术领域

本公开实施例涉及一种显示基板和显示装置。

5

背景技术

随着显示技术的不断发展，有机发光二极管（Organic Light Emitting Diode，OLED）显示技术因其自发光、广视角、高对比度、低功耗、高反应速度等优点已经越来越多地被应用于各种电子设备中。

10

另一方面，随着有机发光二极管显示技术的不断发展，人们对于有机发光二极管显示产品的功耗、色偏、亮度、稳定性等性能提出了更高的要求。

发明内容

15

本公开实施例提供一种显示基板和显示装置。该显示基板通过阳极对第一像素驱动电路中的补偿薄膜晶体管的沟道区和第二像素驱动电路中的补偿薄膜晶体管的沟道区同时进行遮挡，从而可提高补偿薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

20

本公开至少一个实施例提供一种显示基板，其包括：衬底基板；像素电路层，位于所述衬底基板上，且包括多个像素驱动电路；以及阳极层，位于所述像素电路层远离所述衬底基板的一侧，且包括多个阳极，所述多个像素驱动电路与所述多个阳极一一对应设置，各所述像素驱动电路包括功能薄膜晶体管，所述多个像素驱动电路包括相邻设置的第一像素驱动电路和第二像素驱动电路，所述第一像素驱动电路中的功能薄膜晶体管的沟道区和所述第二像素驱动电路中的功能薄膜晶体管的沟道区在所述衬底基板上的正投影均与所述第一像素驱动电路对应的阳极在所述衬底基板上的正投影交叠。

25

例如，在本公开一实施例提供的显示基板中，所述功能薄膜晶体管的所述沟道区包括间隔设置的第一沟道区和第二沟道区，所述功能薄膜晶体管还包括位于所述第一沟道区和第二沟道区之间的共用电极，

30

所述第一像素驱动电路中的功能薄膜晶体管的所述共用电极和所述第二像素驱动电路中的功能薄膜晶体管的所述共用电极在所述衬底基板上的正投影均与所述第一像素驱动电路对应的阳极在所述衬底基板上的正投影交叠。

35

例如，在本公开一实施例提供的显示基板中，所述多个阳极包括多个阳极组，所述多个阳极组沿第一方向排列以形成多个阳极组列，沿第二方向排列以形成多个阳极组行，各所述阳极组包括一个第一阳极、一个第二阳极、一个第三阳极和一个第四阳极，第一像素驱动电路和第二像素驱动电路沿所述第一方向设置，一个所述阳极组中的所述第四阳极与所述第一像素驱动电路对应设置且电性相连，另一个所述阳极组中的所述第二阳极与所述第二像素驱动电路对应设置且电性相连。

例如，本公开一实施例提供的显示基板还包括：像素限定层，位于所述阳极层远离所述衬底基板的一侧，且包括多个开口，所述多个开口包括多个开口组，各所述开口组包括一个第一开口、一个第二开口、一个第三开口和一个第四开口，所述第一开口与所述第一阳极对应设置并暴露所述第一阳极，所述第二开口与所述第二阳极对应设置并暴露所述第二阳极，所述第三开口与第三阳极对应设置并暴露所述第三阳极，所述第四开口与第四阳极对应设置并暴露所述第四阳极，所述第一阳极包括第一主体部和第一连接部，所述第一开口在衬底基板上的正投影落入所述第一主体部在所述衬底基板上的正投影，所述第一连接部与所述第一阳极对应的所述像素驱动电路相连，所述第二阳极包括第二主体部和第二连接部，所述第二开口在衬底基板上的正投影落入所述第二主体部在所述衬底基板上的正投影，所述第二连接部与第二阳极对应的所述像素驱动电路相连，所述第三阳极包括第三主体部和第三连接部，所述第三开口在衬底基板上的正投影落入所述第三主体部在所述衬底基板上的正投影，所述第三连接部与第三阳极对应的所述像素驱动电路相连，所述第四阳极包括第四主体部和第四连接部，所述第四开口在衬底基板上的正投影落入所述第四主体部在所述衬底基板上的正投影，所述第四连接部与第四阳极对应的所述像素驱动电路相连。

例如，在本公开一实施例提供的显示基板中，所述第四阳极还包括第一增补部，所述第四阳极对应的所述第一像素驱动电路中的所述功能薄膜晶体管的所述第一沟道区和所述第二沟道区在所述衬底基板上正投影分别与所述第一增补部在衬底基板上的正投影交叠。

例如，在本公开一实施例提供的显示基板中，所述第一增补部从所述第四主体部向所述第三阳极凸出，所述第一增补部位于所述第四连接部靠近所述第四主体部的一侧。

例如，在本公开一实施例提供的显示基板中，所述第一增补部与所述第四主体部和所述第四连接部均相连。

例如，在本公开一实施例提供的显示基板中，所述第四阳极还包括第二增补部，所述第二像素驱动电路中的功能薄膜晶体管的所述第二沟道区在所述衬底基板上的正投影与所述第二增补部在所述衬底基板上的正投影交叠。

例如，在本公开一实施例提供的显示基板中，所述第二增补部从所述第四主体部向在第一方向上相邻的所述阳极组中的所述第一阳极凸出。

例如，在本公开一实施例提供的显示基板中，所述第一像素驱动电路中的功能薄膜晶体管的所述共用电极与所述第一增补部在所述衬底基板上的正投影交叠，所述第二像素驱动电路中的功能薄膜晶体管的所述共用电极在所述衬底基板上的正投影与所述第一像素驱动电路对应的所述第四阳极的所述第四主体部在所述衬底基板上的正投影交叠。

例如，在本公开一实施例提供的显示基板中，所述第一阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的沟道区在所述衬底基板上正投影落入所述第一主体部在所述衬底基板上的正投影。

例如，在本公开一实施例提供的显示基板中，所述像素驱动电路还包括驱动薄膜晶

体管，所述驱动薄膜晶体管的栅极与所述功能薄膜晶体管的漏极相连，所述第一阳极还包括第三增补部，从所述第一主体部向所述第三阳极凸出，所述第一阳极对应的所述像素驱动电路中的驱动薄膜晶体管的栅极和所述功能薄膜晶体管的漏极在所述衬底基板上正投影落入所述第三增补部在衬底基板上的正投影。

5 例如，在本公开一实施例提供的显示基板中，所述第三阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的第一沟道区在所述衬底基板上正投影落入所述第三主体部在衬底基板上的正投影。

10 例如，在本公开一实施例提供的显示基板中，所述第三阳极还包括第四增补部，所述第三阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的第二沟道区在所述衬底基板上正投影落入所述第四增补部在衬底基板上的正投影。

例如，在本公开一实施例提供的显示基板中，相邻的两个所述阳极组行错位 $1/2$ 节距设置，所述节距等于在所述第一方向相邻的两个所述阳极组中两个所述第一阳极的中心之间的距离，在一个所述阳极组中，所述第二阳极和所述第三阳极沿所述第二方向排列以形成阳极对，所述第一阳极、所述阳极对和所述第四阳极沿所述第二方向排列。

15 例如，在本公开一实施例提供的显示基板中，所述像素电路层包括：半导体层，位于所述衬底基板上；以及第一栅极层，位于所述半导体层远离所述衬底基板的一侧，所述半导体层包括多个像素驱动单元，与多个阳极一一对应设置，各所述像素驱动单元包括第一单元、第二单元、第三单元、第四单元、第五单元、第六单元和第七单元，所述第一单元包括第一沟道区和位于所述第一沟道区两侧的第一源极区和第一漏极区
20 域，所述第二单元包括第二沟道区和位于所述第二沟道区两侧的第二源极区和第二漏极区域，所述第三单元包括第三沟道区和位于所述第三沟道区两侧的第三源极区和第三漏极区域，所述第四单元包括第四沟道区和位于所述第四沟道区两侧的第四源极区和第四漏极区域，所述第五单元包括第五沟道区和位于所述第五沟道区两侧的第五源极区和第五漏极区域，所述第六单元包括第六沟道区和位于所述第六沟道区两侧的第六源极区和第六漏极区域，所述第七单元包括第七沟道区和位于所述第七沟道区两侧的第七源极区和第七漏极区域，所述第三源极区、所述第一漏极区和所述第五源极区连接至第一节点，所述第六漏极区和所述第三漏极区相连，所述第一源极区、所述第二漏极区和所述第四漏极区连接至第二节点，所述第五漏极区和所述第七漏极区相连，所述第一栅极层包括复位信号线、栅线、第一电极块和第三栅线，所述复位信号线与所述第七沟道区和所述
25 第六沟道区交叠，以与所述第七单元和所述第六单元形成第七薄膜晶体管和第六薄膜晶体管，所述栅线分别与所述第三沟道区和所述第二沟道区交叠，以与所述第三单元和所述第二单元形成第三薄膜晶体管和第二薄膜晶体管，所述第一电极块与所述第一沟道区交叠，以与所述第一单元形成第一薄膜晶体管，所述第三栅线与所述四沟道区和所述第五沟道区交叠，以与所述第四单元和所述第五单元形成第四薄膜晶体管和第五薄膜晶体
30 管，所述第三薄膜晶体管为所述功能薄膜晶体管。

35 例如，在本公开一实施例提供的显示基板中，所述复位信号线、栅线和第三栅线均

沿所述第一方向延伸，所述复位信号线、所述栅线、所述第一电极块和所述第三栅线沿所述第二方向排列。

例如，在本公开一实施例提供的显示基板中，所述像素电路层包括：第二栅极层，位于所述第一栅极层远离所述半导体层的一侧；所述第二栅极层包括初始化信号线和第二电极块，所述初始化信号线与所述第七源极区和第六源极区相连，所述第二电极块在衬底基板上的正投影与所述第一电极块在所述衬底基板上的正投影至少部分重叠以形成存储电容。

例如，在本公开一实施例提供的显示基板中，所述像素电路层还包括：第一导电层，位于所述第二栅极层远离所述第一栅极层的一侧，所述第一导电层包括数据线和电源线，所述第二源极区与所述数据线相连，所述第四源极区与所述电源线相连。

例如，本公开一实施例提供的显示基板还包括：第一平坦层，位于所述第一导电层远离所述衬底基板的一侧；第二导电层，位于所述第一平坦层远离所述第一导电层的一侧，且包括连接电极；以及第二平坦层，位于所述第二导电层远离所述第一平坦层的一侧，所述第一平坦层包括第一过孔，所述连接电极通过所述第一过孔与第五漏极区相连，所述第二平坦层包括第二过孔，所述阳极通过所述第二过孔与所述连接电极相连。

例如，本公开一实施例提供的显示基板还包括：发光层，位于所述阳极层远离所述衬底基板的一侧，且包括多个发光部，所述多个发光部包括多个发光组，各所述发光组包括一个第一发光部、一个第二发光部、一个第三发光部和一个第四发光部，所述第一发光部至少部分位于所述第一开口并覆盖被暴露的所述第一阳极，所述第二发光部至少部分位于所述第二开口并覆盖被暴露的所述第二阳极，所述第三发光部至少部分位于所述第三开口并覆盖被暴露的所述第三阳极，所述第四发光部至少部分位于所述第四开口并覆盖被暴露的所述第四阳极，所述第一发光部被配置为发出第一颜色的光，所述第二发光部和所述第三发光部被配置为发出第二颜色的光，所述第四发光部被配置为发出第三颜色的光。

例如，在本公开一实施例提供的显示基板中，所述第一颜色为红色，所述第二颜色为绿色，所述第三颜色为蓝色。

例如，在本公开一实施例提供的显示基板中，所述第一方向和所述第二方向大致垂直。

本公开至少一个实施例还提供一种显示装置，其包括上述任一项所述的显示基板。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图1为一种显示基板的局部剖面示意图；

图2示出了如图1所示的显示基板进行发光的示意图；

图3为本公开一实施例提供的一种显示基板的平面示意图；

图 4A 为本公开一实施例提供的一种显示基板沿图 3 中 AA 方向的剖面示意图;

图 4B 为本公开一实施例提供的另一种显示基板沿图 3 中 AA 方向的剖面示意图;

图 5A 为本公开一实施例提供的一种显示基板沿图 3 中 BB 方向的剖面示意图;

图 5B 为本公开一实施例提供的一种显示基板沿图 3 中 GG 方向的剖面示意图;

5 图 6 为本公开一实施例提供的一种显示基板中发光元件的平面示意图;

图 7 为本公开一实施例提供的一种显示基板中的第二导电层和阳极层的平面关系示意图;

图 8 为根据本公开一实施例提供的一种显示装置的示意图;

图 9 为另一种显示基板的局部剖面示意图;

10 图 10 为另一种显示基板的局部剖面示意图;

图 11 为本公开一实施例提供的另一种显示基板的平面示意图;

图 12A 为本公开一实施例提供的一种显示基板沿图 11 中 HH 方向的剖面示意图;

图 12B 为本公开一实施例提供的一种显示基板沿图 11 中 JJ 方向的剖面示意图;

图 13 为根据本公开一实施例提供的另一种显示基板的平面示意图;

15 图 14 为根据本公开一实施例提供的另一种显示基板的平面示意图;

图 15 为根据本公开一实施例提供的另一种显示基板的平面示意图;

图 16 为根据本公开一实施例提供的一种显示装置的示意图;

图 17 为一种使用精细金属掩膜进行蒸镀工艺的示意图;

图 18 为本公开一实施例提供的一种显示基板的平面示意图;

20 图 19 为本公开一实施例提供的一种显示基板沿图 18 中 CC 方向的剖面示意图;

图 20 为根据本公开一实施例提供的另一种显示基板的平面示意图;

图 21 为本公开一实施例提供的一种显示基板沿图 20 中 DD 方向的剖面示意图;

图 22 为本公开一实施例提供的一种显示基板沿图 20 中 EE 方向的剖面示意图;

图 23 为根据本公开一实施例提供的一种显示装置的示意图;

25 图 24 为根据本公开一实施例提供的一种显示基板的制作方法;

图 25-图 27 为根据本公开一实施例提供的一种掩膜板组的平面示意图;

图 28A 为本公开一实施例提供的另一种显示基板的局部示意图;

图 28B 为本公开一实施例提供的另一种显示基板的局部示意图;

图 29 为本公开一实施例提供的一种显示基板沿图 28A 中 FF 方向的剖面示意图;

30 图 30A-图 30D 为本公开一实施例提供的一种显示基板中多个膜层的平面示意图;

图 31 为本公开一实施例提供的一种显示基板中的像素驱动电路的等效示意图;

图 32 为根据本公开一实施例提供的一种显示装置的示意图;

图 33 为本公开一实施例提供的一种显示基板的局部示意图;

图 34 为本公开一实施例提供的一种显示基板沿图 33 中 KK 方向的剖面示意图;

35 图 35A 为本公开一实施例提供的一种显示基板沿图 33 中 MM 方向的剖面示意图;

图 35B 为本公开一实施例提供的一种显示基板沿图 33 中 NN 方向的剖面示意图;

图 35C 为本公开一实施例提供的一种显示基板沿图 33 中 QQ 方向的剖面示意图；

图 36 为本公开一实施例提供的另一种显示基板的平面示意图；

图 37A 为本公开一实施例提供的另一种显示基板的局部示意图；

图 37B 为本公开一实施例提供的另一种显示基板的局部示意图；以及

5 图 38 为根据本公开一实施例提供的一种显示装置的示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普
10 通技术人员在无需创造性劳动的前提下所获得的所有其它实施例，都属于本公开保护的
范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词
15 语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者
“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的
元件或者物件及其等同，而不排除其他元件或者物件。

显示装置有功耗、亮度、色坐标等诸多性能规格，而色偏是其中的一个重要参数。
通常，影响有机发光二极管（OLED）显示装置的色偏的因素有很多，从显示基板（机发
20 光二极管的阵列基板或背板）的设计角度而言，阳极的平坦度对色偏有很大影响。

图 1 为一种显示基板的局部剖面示意图；图 2 示出了如图 1 所示的显示基板进行发
光的示意图。如图 1 所示，该显示基板的子像素包括依次设置的衬底基板 110、半导体层
120、第一栅极层 130、第二栅极层 140、第一导电层 150、第一平坦层 241、第二导电层
160、第二平坦层 242、阳极 175 和像素限定层 190。半导体层 120、第一栅极层 130、第
25 二栅极层 140 和第一导电层 150 可形成包括薄膜晶体管和存储电容的像素驱动电路，第
二导电层 160 包括连接电极 161，连接电极 161 通过第一平坦层 241 中的过孔（未示出）
与像素驱动电路相连，阳极 170 通过第二平坦层 242 中的过孔 271 与连接电极 161 相连。
像素限定层 190 包括开口 191 以暴露部分阳极 170，当后续的有机发光层 180 形成在开口
191 中时，阳极 175 可与有机发光层 180 接触并驱动有机发光层进行发光；开口 191 限定
30 的区域为该子像素的有效发光区。

第二平坦层 242 中的过孔 271 会影响阳极 175 的平坦性，如果过孔 271 与开口 191
（也即有效发光区）的距离较近，则会使得开口 191 所在位置处的阳极 175 产生“倾斜”
现象，从而导致该子像素的发光方向出现偏移。如果不同颜色的子像素中的阳极的“倾斜”
的方向不同，则会导致不同颜色（例如红绿蓝）的子像素向不同方向发出的光的强度不
35 匹配，从而产生色偏现象。例如从包括该显示基板的显示装置的一侧进行观察时显示画
面发红，从而该显示装置的另一侧观察时显示画面发青的现象。

对此,本公开实施例提供一种显示基板和显示装置。该显示基板包括衬底基板、第一导电层、第一平坦层、第二导电层、第二平坦层和多个发光元件组;第一导电层位于衬底基板上;第一平坦层位于第一导电层远离衬底基板的一侧;第二导电层位于第一平坦层远离第一导电层的一侧;第二平坦层位于第二导电层远离第一平坦层的一侧;多个发光元件组位于第二平坦层远离衬底基板的一侧。多个发光元件组沿第一方向排列以形成多个发光元件列,沿第二方向排列以形成多个发光元件行,各发光元件组包括一个第一发光元件、一个第二发光元件、一个第三发光元件和一个第四发光元件,第二发光元件和第三发光元件沿第二方向排列形成发光元件对,第一发光元件、发光元件对和第三发光元件沿第一方向排列,第一发光元件包括第一阳极,第二发光元件包括第二阳极,第三发光元件包括第三阳极,第四发光元件包括第四阳极,第二导电层包括第一连接电极、第二连接电极、第三连接电极和第四连接电极,第二平坦层包括第一过孔,第二过孔,第三过孔和第四过孔,第一阳极通过第一过孔与第一连接电极相连,第二阳极通过第二过孔与第二连接电极相连,第三阳极通过第三过孔与第三连接电极相连,第四阳极通过第四过孔与第四连接电极相连,一个发光元件行对应的多个第三过孔大致位于沿第一方向延伸的第一直线上,与第一直线距离最近的第四过孔在衬底基板上的正投影位于第一直线靠近第四过孔对应的第四阳极的一侧。由此,该显示基板通过将第四过孔的位置向靠近第四阳极的方向移动,增加了第四过孔与相邻的第一发光元件的有效发光区的距离,从而保证了位于第一发光元件的有效发光区的第一阳极的平坦性,进而避免发生色偏现象;减少了第四过孔与第四发光元件的有效发光区的距离,从而降低了位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻;并且还增加了第一阳极和第四阳极之间的距离,从而可避免第一阳极和第四阳极因制作过程留下的残留造成短接。

下面,结合附图对本公开实施例提供的显示基板和显示装置进行详细的说明。

本公开一实施例提供一种显示基板。图3为本公开一实施例提供的一种显示基板的平面示意图;图4A和图4B为本公开一实施例提供的一种显示基板沿图3中AA方向的剖面示意图;图5A为本公开一实施例提供的一种显示基板沿图3中BB方向的剖面示意图;图5B为本公开一实施例提供的一种显示基板沿图3中GG方向的剖面示意图;图6为本公开一实施例提供的一种显示基板中发光元件的平面示意图。

如图3、图4A、图4B、图5A、图5B和图6所示,该显示基板100包括衬底基板110、第一导电层150、第一平坦层241、第二导电层160、第二平坦层242和多个发光元件组310;第一导电层150位于衬底基板110上;第一平坦层241位于第一导电层150远离衬底基板110的一侧;第二导电层160位于第一平坦层241远离第一导电层150的一侧;第二平坦层242位于第二导电层160远离第一平坦层241的一侧;多个发光元件组310位于第二平坦层242远离衬底基板110的一侧。多个发光元件组310沿第一方向排列以形成多个发光元件列320,沿第二方向排列以形成多个发光元件行330,各发光元件组310包括一个第一发光元件311、一个第二发光元件312、一个第三发光元件313和

一个第四发光元件 314, 第二发光元件 312 和第三发光元件 313 沿第二方向排列形成发光元件对 315, 第一发光元件 311、发光元件对 315 和第四发光元件 314 沿第一方向排列, 第一发光元件 311 包括第一阳极 1751, 第二发光元件 312 包括第二阳极 1752, 第三发光元件 313 包括第三阳极 1753, 第四发光元件 314 包括第四阳极 1754, 第二导电层 160 包括第一连接电极 1611、第二连接电极 1612、第三连接电极 1613 和第四连接电极 1614, 第二平坦层 242 包括第一过孔 2421, 第二过孔 2422, 第三过孔 2423 和第四过孔 2424, 第一阳极 1751 通过第一过孔 2421 与第一连接电极 1611 相连, 第二阳极 1752 通过第二过孔 2422 与第二连接电极 1612 相连, 第三阳极 1753 通过第三过孔 2423 与第三连接电极 1613 相连, 第四阳极 1754 通过第四过孔 2424 与第四连接电极 1614 相连, 一个发光元件行 330 对应的多个第三过孔 2423 大致位于沿第一方向延伸的第一直线 301 上, 与第一直线 301 距离最近的第四过孔 2424 在衬底基板 110 上的正投影位于第一直线 301 靠近第四过孔 2424 对应的第四阳极 1754 的一侧。需要说明的是, 上述的第一导电层和第二导电层是沿着远离衬底基板的方向依次层叠设置的。

在本公开实施例提供的显示基板中, 第二发光元件和第三发光元件沿第二方向排列形成发光元件对, 第一发光元件、发光元件对和第三发光元件沿第一方向排列, 也就是说, 第二阳极和第三阳极沿第二方向排列形成阳极对, 第一阳极、阳极对和第三阳极沿第一方向排列。与第一直线距离最近的第四过孔在衬底基板上的正投影位于第一直线靠近第四阳极的一侧, 即该显示基板将第四过孔的位置向靠近第四阳极的方向移动。由此, 该显示基板具有以下有益效果: (1) 增加了第四过孔与相邻的第一发光元件的有效发光区的距离, 从而保证了位于第一发光元件的有效发光区的第一阳极的平坦性, 进而避免发生色偏现象; (2) 减少了第四过孔与第四发光元件的有效发光区的距离, 从而降低了位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻; (3) 增加了第一阳极和第四阳极之间的距离, 从而可避免第一阳极和第四阳极因制作过程留下的残留造成短接。

例如, 如图 5A、图 5B 和图 6 所示, 该显示基板将第四过孔 2424 的位置向靠近第四阳极 1754 的方向移动, 因此第四过孔 2424 与相邻的第一发光元件的有效发光区 (即开口 1951 限定的区域) 的距离增加。并且, 由于第四阳极具有与其下方的像素驱动电路相连的连接部, 将第四过孔 2424 的位置向靠近第四阳极 1754 的方向移动并不会与第四发光元件的有效发光区 (即开口 1954 限定的区域) 重叠。此时, 第四过孔 2424 与相邻的第一发光元件的有效发光区和第四发光元件的有效发光区均具有合适的距离, 从而可同时保证了位于第一发光元件的有效发光区的第一阳极和位于第四发光元件的有效发光区的第四阳极的平坦性, 进而避免发生色偏现象。

例如, 如图 5A、图 5B 和图 6 所示, 该显示基板通过将第四过孔 2424 的位置向靠近第四阳极 1754 的方向移动, 还减少了第四过孔 2424 与第四发光元件的有效发光区的距离, 从而降低了位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻。另一方面, 该显示基板通过将第四过孔 2424 的位置向靠近第四阳极 1754 的方向移动,

还增加了第一阳极 1751 和第四阳极 1754 之间的距离,从而可避免第一阳极 1751 和第四阳极 1754 因制作过程留下的残留造成短接。

例如,第一阳极在衬底基板上的正投影和相邻的第四阳极在衬底基板上的正投影的最短距离大于第一发光元件的有效发光区在第一方向上的宽度的 0.8 倍,从而可有效避免第一阳极和第四阳极因制作过程留下的残留造成短接。

例如,如图 6 所示,第四阳极 1754 包括主体部 1754A 和连接部 1754B,第四发光元件 314 的有效发光区落入主体部 1754A 在衬底基板 110 的正投影之内,连接部 1754B 通过第四过孔 2424 与对应的第四连接电极 1614 相连,连接部 1754B 位于第一直线 301 靠近主体部 1754A 的一侧,从而可有效地降低连接部的面积,从而降低了位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻。例如,如图 6 所示,第四阳极 1754 还包括第一增补部 1754C,第一增补部 1754C 可以覆盖对应的像素驱动电路中的补偿薄膜晶体管的两个沟道区,从而可提高补偿薄膜晶体管的稳定性和寿命,从而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中,如图 6 所示,第一增补部 1754C 从第四主体部 1754A 向第三阳极 1753 凸出,第一增补部 1754C 位于第四连接部 1754B 靠近第四主体部 1754A 的一侧。

在一些示例中,如图 6 所示,第一增补部 1754C 与第四主体部 1754A 和第四连接部 1754B 均相连。由此,该显示基板可充分利用显示基板上的面积,将第一阳极、第二阳极、第三阳极和第四阳极紧密地排列,从而可保证显示基板的分辨率。

例如,如图 4A 所示,该显示基板包括依次设置的衬底基板 110、半导体层 120、第一绝缘层 361、第一栅极层 130、第二绝缘层 362、第二栅极层 140、层间绝缘层 363、第一导电层 150、第一平坦层 241、第二导电层 160 和第二平坦层 242。第一栅极层 130 可包括栅线 131 和第一电极块 CE1,第二栅极层可包括第二栅极块 CE2,第一电极块 CE1 在衬底基板 110 上的正投影与第二电极块 CE2 在衬底基板 110 上的正投影至少部分重叠,从而可形成存储电容。

例如,如图 4A 所示,第一导电层 150 还可包括电源线和数据线,第二导电层 160 可包括与电源线交叠的导电部,该导电部可与电源线电性相连,从而可降低电源线的电阻。

例如,如图 4B 所示,该显示基板还可包括钝化层 364,位于第一导电层 150 和第一平坦层 241 之间。当然,本公开实施例包括但不限于此,该显示基板也可不设置钝化层。

在一些示例中,如图 6 所示,与第一直线 301 对应的发光元件行 330 相邻的发光元件行 330 对应的多个第二过孔 2422 也大致位于第一直线 301 上。

在一些示例中,如图 3 所示,一个发光元件组 310 中的第四过孔 2424 位于与该发光元件组 310 在第二方向上相邻的发光元件组 310 中的第一阳极 1751 沿第二方向的平分线的一侧,例如第一阳极 1751 沿第二方向的平分线靠近该第一阳极 1751 所在的发光元件组 310 的第二阳极 1752 的一侧。也就是说,一个发光元件组中的第四过孔位于与发光元件组在第二方向上相邻的发光元件组中的第一阳极沿第二方向的平分线的一侧。在一

些示例中,如图3所示,在一个发光元件组310中,第一过孔2421位于第一阳极1751沿第二方向的平分线的一侧,例如第一阳极1751沿第二方向的平分线靠近第三阳极1753的一侧;第二过孔2422位于第二阳极1752沿第二方向的平分线靠近第一阳极1751的一侧;第三过孔2423位于第三阳极1753沿第二方向的平分线靠近第一阳极1751的一侧。

5 在一些示例中,如图6所示,一个发光元件行330对应的多个第四过孔2424大致位于沿第一方向延伸的直线上,该直线穿过该发光元件行330对应的多个第一阳极1751或多个第一过孔2421。

10 在一些示例中,如图6所示,一个发光元件列320对应的多个第四过孔2424大致位于沿第二方向延伸的第二直线上,第二直线穿过该发光元件列320对应的多个第一阳极1751或多个第一发光元件311的有效发光区。

在一些示例中,如图6所示,第四阳极1754到距离其最近的第一阳极1751之间的距离小于位于同一行的第一阳极1751到距离其最近的第四阳极1754之间的距离。

15 在一些示例中,如图6所示,发光元件组310包括在第二方向上相邻的第一发光元件组和第二发光元件组,第一发光元件组和第二发光元件组分别设置相邻的两个发光元件行330中;第一发光元件组中的第四阳极1754的连接部与第二发光元件组中的第一阳极1751的连接部均位于该第四阳极1754沿第二方向的平分线的同一侧。也就是说,第四阳极的主体部沿第二方向的平分线的同一侧设置有第四阳极的连接部和在第二方向上与第四阳极相邻的第一阳极的连接部。

20 在一些示例中,如图6所示,第一阳极1751的主体部的形状包括六边形,第一阳极1751与在第二方向上与第一阳极1751相邻的第四阳极1754距离最近的点为六边形的顶点。

在一些示例中,如图6所示,相邻的两个发光元件行330错位 $1/2$ 节距设置,上述的节距等于在第一方向相邻的两个发光元件组310中两个第一发光元件311的有效发光区的中心之间的距离。

25 在一些示例中,如图6所示,第一直线301位于相邻的两个发光元件行330之间。

30 在一些示例中,如图5A、图5B和图6所示,与第一直线301距离最近的第一过孔2421在衬底基板110上的正投影位于第一直线301靠近该第一过孔2421对应的第一阳极1751的一侧。也就是说,即该显示基板将第一过孔的位置向靠近第一阳极的方向移动。由此,该显示基板具有以下有益效果:(1)增加了第一过孔与在第二方向上距离最近的第四发光元件的有效发光区的距离,从而保证了位于相邻的第四发光元件的有效发光区的第四阳极的平坦性,进而避免发生色偏现象;(2)减少了第一过孔与第一发光元件的有效发光区的距离,从而降低了位于第一发光元件的有效发光区的第一阳极和第一连接电极之间的电阻;(3)增加了第一阳极和第四阳极之间的距离,从而可避免第一阳极和第四阳极因制作过程留下的残留造成短接。当然,本公开实施例包括不限于此,第一过孔在衬底基板上的正投影也可位于第一直线上。

35 在一些示例中,如图6所示,第四过孔2424在衬底基板110上的正投影与第一直线

301 在衬底基板 110 上的正投影的距离大于第一过孔 2421 在衬底基板 110 上的正投影与第一直线 301 在衬底基板 110 上的正投影的距离。也就是说，相对于第一直线，第四过孔偏移的量更大。当然，本公开实施例包括但不限于此，相对于第一直线，第四过孔偏移的量也可与第一过孔偏移的量相等。

5 在一些示例中，如图 6 所示，第二发光元件 312 的有效发光区在衬底基板 110 上的正投影与第二过孔 2422 在衬底基板 110 上的正投影具有第一最短距离 L1，第三发光元件 313 的有效发光区在衬底基板 110 上的正投影与所述第三过孔 2423 在衬底基板 110 上的正投影具有第二最短距离 L2，第一最短距离 L1 和第二最短距离 L2 大致相等。需要说明的是，上述的第一最短距离和第二最短距离大致相等包括第一最短距离和第二最短距离完全相等的情况，也包括第一最短距离和第二最短距离之差小于 1 微米的情况。

10 由此，该显示基板可使得位于第二发光元件的有效发光区的第二阳极和位于第三发光元件的有效发光区的第三阳极的倾斜程度相同，倾斜方向相反，从而可有效地避免色偏现象的发生。需要说明的是，当位于第二发光元件的有效发光区的第二阳极和位于第三发光元件的有效发光区的第三阳极不产生倾斜时，可认为第二发光元件的有效发光区的第二阳极和位于第三发光元件的有效发光区的第三阳极的倾斜程度为零；另外，上述的第二发光元件的有效发光区在衬底基板上的正投影与第二过孔在衬底基板上的正投影的第一最短距离可为第二发光元件的有效发光区在衬底基板上的正投影的边缘与第二过孔在衬底基板上的正投影的边缘之间的最短距离；同样地，第三发光元件的有效发光区在衬底基板上的正投影与所述第三过孔在衬底基板上的正投影之间的第二最短距离可为第三发光元件的有效发光区在衬底基板上的正投影的边缘与所述第三过孔在衬底基板上的正投影的边缘之间的最短距离。

20 在一些示例中，如图 6 所示，第四过孔 2424 在衬底基板 110 上的正投影与在第二方向相邻的第一发光元件 311 的有效发光区在衬底基板 110 上的正投影之间的距离 C 大于在第二方向相邻的第一发光元件 311 的有效发光区在第一方向上的宽度 A 的 1.2 倍。由此，该显示基板可保证位于第一发光元件的有效发光区的第一阳极具有较好的平坦性。

25 在一些示例中，如图 6 所示，一个发光元件组 310 中的第四过孔 2424 与相邻的发光元件组 310 中第一阳极 1751 的最短距离 B 小于该发光元件组 310 中第四过孔 2424 和对应的第四发光元件 314 的有效发光区之间的距离 E。

30 在一些示例中，如图 6 所示，一个发光元件组 310 中的第四阳极 1754 与在第二方向上和该四阳极 1754 距离最近的发光元件组 310 中第一阳极 1751 的最短距离为相邻的发光元件组 310 中第一阳极 1751 的顶点与发光元件组 310 中的第四阳极 1754 的距离。也就是说，相邻的发光元件组 310 中第一阳极 1751 的顶点为距离发光元件组 310 中的第四阳极 1754 的距离最近的点。例如，第一阳极 1751 在衬底基板 110 上的正投影的形状为六边形，上述的顶点为六边形的长轴上的顶点。

35 在一些示例中，如图 3、图 4A、图 4B、图 5A、图 5B 和图 6 所示，该显示基板 100 还包括像素限定层 190；像素限定层 190 位于第一阳极 1751、第二阳极 1752、第三阳极

1753 和第四阳极 1754 远离衬底基板 110 的一侧；像素限定层 190 包括第一开口 1951、第二开口 1952、第三开口 1953 和第四开口 1954。第一发光元件 311 包括第一发光部 1851，第二发光元件 312 包括第二发光部 1852，第三发光元件 313 包括第三发光部 1853，第四发光元件 314 包括第四发光部 1854。第一开口 1951 落入第一阳极 1751 在衬底基板 110 上的正投影之内，第一发光部 1851 的至少一部分位于第一开口 1951 并覆盖第一阳极 1751 被暴露的部分，第二开口 1952 落入第二阳极 1752 在衬底基板 110 上的正投影之内，第二发光部 1852 的至少一部分位于第二开口 1952 并覆盖第二阳极 1752 被暴露的部分，第三开口 1953 落入第三阳极 1753 在衬底基板 110 上的正投影之内，第三发光部 1853 的至少一部分位于第三开口 1953 并覆盖第三阳极 1753 被暴露的部分，第四开口 1954 落入第四阳极 1754 在衬底基板 110 上的正投影之内，第四发光部 1854 的至少一部分位于第四开口 1954 并覆盖第四阳极 1754 被暴露的部分。第一开口 1951 限定的区域为第一发光元件 311 的有效发光区，第二开口 1952 限定的区域为第二发光元件 312 的有效发光区，第三开口 1953 限定的区域为第三发光元件 313 的有效发光区，第四开口 1954 限定的区域为第四发光元件 314 的有效发光区。

在一些示例中，如图 6 所示，第四过孔 2424 在衬底基板 110 上的正投影与在第二方向相邻的第一开口 1951 在衬底基板 110 上的正投影之间的距离 C 大于第一开口 1951 在第一方向上的宽度 A 的 1.2 倍。由此，该显示基板可保证位于第一开口的第一阳极（也即第一阳极被第一开口暴露的部分）具有较好的平坦性。

在一些示例中，如图 3、图 4A、图 4B、图 5A、图 5B 和图 6 所示，该显示基板 100 包括第一平坦层 241 和第一导电层 150；第一平坦层 241 位于第二导电层 160 靠近衬底基板 110 的一侧；第一导电层 150 位于第一平坦层 241 靠近衬底基板 110 的一侧。第一导电层 150 包括第一漏极 1511、第二漏极 1512、第三漏极 1513 和第四漏极 1514；第一平坦层 241 包括第五过孔 2415、第六过孔 2416、第七过孔 2417 和第八过孔 2418，第一连接电极 1611 通过第五过孔 2415 与第一漏极 1511 相连，第二连接电极 1612 通过第六过孔 2416 与第二漏极 1512 相连，第三连接电极 1613 通过第七过孔 2417 与第三漏极 1513 相连，第四连接电极 1614 通过第八过孔 2418 与第四漏极 1514 相连。

在一些示例中，如图 4A 和图 4B 所示，该显示基板 100 还包括第一像素驱动电路 2651、第二像素驱动电路 2652、第三像素驱动电路 2653 和第四像素驱动电路 2654；第一漏极 1511 为第一像素驱动电路 2651 的一部分，第二漏极 1512 为第二像素驱动电路 2652 的一部分，第三漏极 1513 为第三像素驱动电路 2653 的一部分，第四漏极 1514 为第四像素驱动电路 2654 的一部分。第一像素驱动电路 2651 通过第一连接电极 1611 与第一阳极 1751 相连，从而向第一阳极 1751 施加驱动信号；第二像素驱动电路 2652 通过第二连接电极 1612 与第二阳极 1752 相连，从而向第二阳极 1752 施加驱动信号；第三像素驱动电路 2653 通过第三连接电极 1613 与第三阳极 1753 相连，从而向第三阳极 1753 施加驱动信号；第四像素驱动电路 2654 通过第四连接电极 1614 与第四阳极 1754 相连，从而向第四阳极 1754 施加驱动信号。

图 7 为本公开一实施例提供的一种显示基板中的第二导电层和阳极层的平面关系示意图。如图 6 和图 7 所示, 第二阳极 1752 和第三阳极 1753 沿第二方向排列形成阳极对 1755, 第一阳极 1751、阳极对 1755 和第四阳极 1754 沿第一方向排列; 第二导电层 160 还包括沿第二方向延伸的第一导电部 1621、第二导电部 1622、第三导电部 1623 和第四导电部 1624, 第一导电部 1621 位于第一阳极 1751 远离阳极对 1755 的一侧, 第二导电部 1622 位于第一阳极 1751 和阳极对 1755 之间, 第三导电部 1623 位于阳极对 1755 与第四阳极 1754 之间, 第四导电部 1624 与第四阳极 1754 交叠。在该显示基板中, 沿第二方向延伸的第一导电部 1621、第二导电部 1622、第三导电部 1623 和第四导电部 1624 可与第一导电层 150 中的电源线相连, 从而降低电源线的电阻。

在一些示例中, 如图 7 所示, 第一导电部 1621 和第二导电部 1622 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板 110 上的正投影不交叠, 第二导电部 1622 和第三导电部 1623 在衬底基板 110 上的正投影与所述阳极对 1755 在衬底基板 110 上的正投影不交叠。由此, 第一导电部 1621 和第二导电部 1622 对第一阳极 175 的平坦性影响较小; 第二导电部 1622 和第三导电部 1623 对阳极对 1755 中的第二阳极 1752 和第三阳极 1753 的平坦性影响较小。当然, 本公开实施例包括但不限于此, 第一导电部、第二导电部和第三导电部也可与阳极交叠。

例如, 第一导电部 1621 和第二导电部 1622 在衬底基板 110 上的正投影分别与第一阳极 1751 在衬底基板 110 上的正投影具有第一交叠部和第二交叠部, 第一交叠部和第二交叠部的面积大致相等, 从而也可提高第一阳极 1751 的平坦性。同样地, 第二导电部 1622 和第三导电部 1623 在衬底基板 110 上的正投影分别与阳极对 1755 在衬底基板 110 上的正投影具有第三交叠部和第四交叠部, 第三交叠部和第四交叠部的面积大致相等, 从而也可提高阳极对 1755 的第二阳极 1752 和第三阳极 1753 的平坦性。需要说明的是, 上述的“大致相等”包括完全相等的情况和两者的差值小于两者的平均值的 10% 的情况。

例如, 第一交叠部和第二交叠部关于第一阳极 1751 的主体部, 也即第一发光元件 311 的有效发光区沿第二方向的平分线对称, 从而可进一步提高第一发光元件 311 的有效发光区的平坦性; 第三交叠部和第四交叠部关于阳极对 1755 沿第二方向的平分线对称, 从而也可进一步提高阳极对 1755 的第二阳极 1752 和第三阳极 1753 的平坦性。

在一些示例中, 如图 7 所示, 第四导电部 1624 在衬底基板 110 上的正投影穿过第四阳极 1754 在衬底基板 110 上的正投影的中心, 第四导电部 1624 沿第二方向的平分线在衬底基板 110 上的正投影与第四发光元件 314 的有效发光区沿第二方向的平分线在衬底基板 110 上的正投影重合。从而也可提高第四阳极 1754 的平坦性。

在一些示例中, 如图 7 所示, 第二导电层 160 还包括沿第一方向延伸的第五导电部 1625 和第六导电部 1626; 第五导电部 1625 与第二导电部 1622 和第三导电部 1623 分别相连, 并且位于第二阳极 1752 和第三阳极 1753 之间; 第六导电部 1626 与第三导电部 1623 和第四导电部 1624 分别相连, 并且位于在第二方向上相邻的第一阳极 1751 和第四阳极 1754 之间。由此, 上述第一导电部 1621、第二导电部 1622、第三导电部 1623、第四导

电部 1624、第五导电部 1625 和第六导电部 1626 可形成网状结构，从而进一步降低第一导电层中的电源线的电阻，进而可提高该显示基板的电学性能。

在一些示例中，如图 7 所示，第二导电部 1622 包括沿第二方向延伸的主体部 1622A、垫块 1622B 和连接块 1622C，垫块 1622B 位于主体部 1622A 靠近第一阳极 1751 的一侧，且与主体部 1622A 间隔设置，垫块 1622B 通过连接块 1622C 与主体部 1622A 连接。由于通常的第一阳极在第一方向上的尺寸（即宽度）较小，第一导电部和第二导电部的主体部之间的距离较大，通过设置上述的垫块可提高第一阳极两侧的第一导电部和第二导电部的对称性，从而可提高第一阳极的平坦性。

在一些示例中，第一发光元件被配置为发出第一颜色的光，第二发光元件和第三发光元件被配置为发出第二颜色的光，第四发光元件被配置为发出第三颜色的光。

例如，第一颜色为红色（R），第二颜色为绿色（G），第三颜色为蓝色（B）。也就是说，该显示基板采用 GGRB 的像素排列结构。

本公开一实施例还提供一种显示装置。图 8 为根据本公开一实施例提供的一种显示装置的示意图。如图 8 所示，该显示装置 400 包括上述任一项的显示基板 100。由此，该显示装置具有与该显示基板的有益效果对应的有益效果。例如，该显示装置可保证位于第一发光元件的有效发光区的第一阳极的平坦性，从而避免发生色偏现象；可降低位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻；并且还可增加了第一阳极和第四阳极之间的距离，从而可避免第一阳极和第四阳极因制作过程留下的残留造成短接。

例如，该显示装置可为显示面板，也可为电视、电脑、笔记本电脑、平坦电脑、手机、导航仪、电子相框等具有显示功能的电子产品。

另一方面，本申请的发明人发现，因为阳极下方的第二源漏金属层厚度较大并且分布不均，因此第二源漏金属层也会导致阳极出现不平坦现象。

图 9 为另一种显示基板的局部剖面示意图；图 10 为另一种显示基板的局部剖面示意图。如图 9 所示，第二源漏金属层 160 包括多条走线 168，如果阳极 175 下方一侧存在走线 168，而另一侧没有走线 168，则该阳极 175 的两侧会产生高度差异，从而导致阳极 175 产生“倾斜”现象，进而会导致色偏现象。如图 10 所示，若阳极 175 的两侧均存在走线 168 或者阳极 175 下方不设置走线 168，阳极 175 则可保证较高的平坦度，从而保证阳极 175 在不同方向的发光强度一致，进而可有效改善色偏现象。

对此，本公开实施例提供一种显示基板和显示装置。该显示基板包括衬底基板、第一导电层、第一平坦层、第二导电层、第二平坦层和多个发光元件组；第一导电层位于衬底基板上；第一平坦层位于第一导电层远离衬底基板的一侧；第二导电层位于第一平坦层远离第一导电层的一侧；第二平坦层位于第二导电层远离第一平坦层的一侧；多个发光元件组位于第二平坦层远离第二导电层的一侧。多个发光元件组沿第一方向排列以形成多个发光元件列，沿第二方向排列以形成多个发光元件行，各发光元件组包括一个第一发光元件、一个第二发光元件、一个第三发光元件和一个第四发光元件，第一发光

元件包括第一阳极，第二导电层包括沿第二方向延伸的第一导电部和第二导电部，第一导电部位于第一阳极的一侧，第二导电部位于第一阳极远离第一导电部的一侧，第一导电部包括延伸部和偏移部，第一发光元件的有效发光区在沿第二方向延伸的直线上的正投影被偏移部在该直线上的正投影覆盖，偏移部在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置，延伸部靠近第二导电部且沿第二方向延伸的边缘所在的直线为第一直线，偏移部与第一直线间隔设置且位于第一直线远离第二导电部的一侧。由此，由于第一导电部位于第一阳极的一侧，第二导电部位于第一阳极远离第一导电部的一侧，并且偏移部在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置，因此第二导电层中的第一导电部和第二导电部对第一阳极的平坦度造成的影响较小，从而使得第一阳极可保证较高的平坦度，从而保证第一阳极在不同方向的发光强度一致，进而可有效改善色偏现象。

下面，结合附图对本公开实施例提供的显示基板和显示装置进行详细的说明。

本公开一实施例提供一种显示基板。图 11 为本公开一实施例提供的另一种显示基板的平面示意图；图 12A 为本公开一实施例提供的一种显示基板沿图 11 中 HH 方向的剖面示意图；图 12B 为本公开一实施例提供的一种显示基板沿图 11 中 JJ 方向的剖面示意图；图 13 为根据本公开一实施例提供的另一种显示基板的平面示意图；图 14 为根据本公开一实施例提供的另一种显示基板的平面示意图。为了清楚地表现第二导电层中各个导电部和阳极的位置关系，图 14 仅示出了第二导电层和阳极层。

如图 11-14 所示，该显示基板 100 包括衬底基板 110、第一导电层 150、第一平坦层 241、第二导电层 160、第二平坦层 242 和多个发光元件组 310；第二导电层 160 位于衬底基板 110 上；第二平坦层 242 位于第二导电层 160 远离衬底基板 110 一侧；多个发光元件组 310 位于第二平坦层 242 远离衬底基板 110 的一侧。多个发光元件组 310 沿第一方向排列以形成多个发光元件列 320，沿第二方向排列以形成多个发光元件行 330，各发光元件组 310 包括一个第一发光元件 311、一个第二发光元件 312、一个第三发光元件 313 和一个第四发光元件 314，第一发光元件 311 包括第一阳极 1751，第二发光元件 312 包括第二阳极 1752，第三发光元件 313 包括第三阳极 1753，第四发光元件 314 包括第四阳极 1754，第二阳极 1752 和第三阳极 1753 沿第二方向排列形成阳极对 1755，第一阳极 1751、阳极对 1755 和第四阳极 1754 沿第一方向排列。第二导电层 160 包括沿第二方向延伸的第一导电部 1621 和第二导电部 1622，第一导电部 1621 位于第一阳极 1751 远离阳极对 1755 的一侧，第二导电部 1622 位于第一阳极 1751 和阳极对 1755 之间，即第一阳极 1751 远离第一导电部 1621 的一侧。第一导电部 1621 包括延伸部 1621A 和偏移部 1621B，第一发光元件 311 的有效发光区在沿第二方向延伸的直线上的正投影被偏移部 1621B 在直线上的正投影覆盖，即第一发光元件 311 的有效发光区在第一导电部 1621 上的正投影位于偏移部 1621B 所在的位置，也就是说，偏移部 1621B 与第一发光元件 311 的有效发光区对应。偏移部 1621B 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板 110 上的正投影间隔设置，延伸部 1621A 靠近第二导电部 1622 且沿第二方向延伸的边

缘所在的直线为第一直线 302，偏移部 1621B 与第一直线 302 间隔设置且位于第一直线 302 远离第二导电部 1622 的一侧。需要说明的是，上述的第一导电层和第二导电层是沿着远离衬底基板的方向依次层叠设置的。

在本公开实施例提供的显示基板中，由于第一导电部位于第一阳极的一侧，第二导电部位于第一阳极远离第一导电部的一侧，并且偏移部在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置，因此第二导电层中的第一导电部和第二导电部对第一阳极的平坦度造成的影响较小，从而使得第一阳极可保证较高的平坦度，从而保证第一阳极在不同方向的发光强度一致，进而可有效改善色偏现象。另外，由于偏移部与第一直线间隔设置且位于第一直线远离第二导电部的一侧，偏移部向远离第一阳极的方向进行偏移，为第一阳极的设置提供的空间，从而可在实现阳极的紧密排列的同时使得第一阳极可保证较高的平坦度。

需要说明的是，上述的多个发光元件的排列方式可参见图 6 所示的排列方式，即相邻的两个发光元件行错位 1/2 节距设置，上述的节距等于在第一方向相邻的两个发光元件组中两个第一发光元件的有效发光区的中心之间的距离。

在一些示例中，第一发光元件 311 被配置为发第一颜色的光，第二发光元件 312 和第三发光元件 313 被配置为发第二颜色的光，第四发光元件 314 被配置为发第三颜色的光。

在一些示例中，第一颜色为红色，第二颜色为绿色，第三颜色为蓝色。

在一些示例中，如图 11-14 所示，第一直线 302 在衬底基板 110 上的正投影穿过第一阳极 1751 在衬底基板 110 上的正投影。由此，该显示基板可在实现阳极的紧密排列的同时使得第一阳极可保证较高的平坦度。

在一些示例中，如图 11-14 所示，延伸部 1621A 沿第二方向延伸的平分线所在的直线为第二直线 303，偏移部 1621B 与第二直线 303 间隔设置且位于第二直线 303 远离第二导电部 1622 的一侧。由此，由于偏移部与第二直线间隔设置且位于第二直线远离阳极对的一侧，偏移部向远离第一阳极的方向进行偏移，为第一阳极的设置提供的空间，从而可在实现阳极的紧密排列的同时使得第一阳极可保证较高的平坦度。

在一些示例中，如图 11-14 所示，第二直线 303 在衬底基板 110 上的正投影穿过第一阳极 1751 在衬底基板 110 上的正投影。由此，该显示基板可在实现阳极的紧密排列的同时使得第一阳极可保证较高的平坦度。

在一些示例中，如图 11-14 所示，第一阳极 1751 沿第二方向延伸，第二导电部 1622 包括沿第二方向延伸的主体部 1622A 和垫块 1622B，主体部 1622A 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板 110 上的正投影间隔设置，垫块 1622B 位于主体部 1622A 靠近第一阳极 1751 的一侧，垫块 1622B 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离与第一导电部 1621 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离大致相等。

在该显示基板中，由于通常的第一阳极在第一方向上的尺寸（即宽度）较小，第一导电部和第二导电部的主体部之间的距离较大；由于垫块在衬底基板上的正投影与第一发光元件的有效发光区的中心在衬底基板上的正投影的距离与第一导电部在衬底基板上的正投影与第一发光元件的有效发光区的中心在衬底基板上的正投影的距离大致相等，
5 因此通过设置上述的垫块可提高第一阳极两侧的第一导电部和第二导电部的对称性，从而可进一步提高第一阳极的平坦性。

在一些示例中，如图 11-14 所示，第一导电部 1621 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离小于主体部 1622A 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离。
10

例如，第一导电部 1621 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离与主体部 1622A 在衬底基板 110 上的正投影和第一发光元件 311 的有效发光区的中心在衬底基板 110 上的正投影的距离的比值小于等于 $1/3$ 。

在一些示例中，如图 11-14 所示，垫块 1622B 在衬底基板 110 上的正投影与主体部 1622A 在衬底基板 110 上的正投影间隔设置，第二导电部 1622 还包括连接部 1622C，垫块 1622B 通过连接部 1622C 与主体部 1622A 连接。由此，由于垫块 1622B 通过连接部 1622C 与主体部 1622A 连接，而并非与主体部 1622A 形成为一体，从而可避免第二导电部 1622 与下方的膜层，例如半导体层、栅极层等存在过多的交叠，从而避免加重第二导电部 1622 下方的膜层的负载。由此，该显示基板可在增加垫块的同时，确保各个子像素的正常工作。
15
20

例如，如图 12B 所示，第一导电层 150 包括沿第二方向延伸的电源线 151 和数据线 152、第一连接块 1541 和第二连接块 1542。第一连接块 1541 用于将初始化信号线与像素驱动电路中对应的源极区相连；第二连接块 1542 用于将补偿薄膜晶体管的漏极区与第一电极块 CE1 相连，第一电极块 CE1 可与第二电极块 CE2 形成存储电容，也同时作为驱动薄膜晶体管的栅极。因此，由于垫块 1622B 通过连接部 1622C 与主体部 1622A 连接，而并非与主体部 1622A 形成为一体，从而可避免第二导电部 1622 与第二连接块 1542 存在过多交叠，从而可降低第二连接块 1542 的负载，即补偿薄膜晶体管的漏极和驱动薄膜晶体管的栅极的负载，进而可提高该显示基板的性能。需要说明的是，该显示基板采用的是 7T1C 的像素驱动电路，当然，本公开实施例包括但不限于与此，该显示基板可采用其他合适的像素驱动电路结构。
25
30

例如，如图 12B 所示，偏移部 1621B 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板上的正投影间隔设置；垫块 1622B 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板 110 上的正投影间隔设置。例如，如图 12B 所示，该显示基板还可包括钝化层 364，位于第一导电层 150 和第一平坦层 241 之间。当然，本公开实施例包括但不限于此，该显示基板也可不设置钝化层。
35

在一些示例中，如图 11-14 所示，垫块 1622B 在衬底基板 110 上的正投影与主体部 1622A 在衬底基板 110 上的正投影之间的距离大于垫块 1622B 在衬底基板 110 上的正投影沿所述第一方向的宽度。由此，该显示基板可进一步避免第二导电部 1622 与下方的膜层，例如半导体层、栅极层等存在过多的交叠，从而避免加重半导体层、栅极层等膜层的负载。由此，该显示基板可在增加垫块的同时，确保各个子像素的正常工作。

在一些示例中，如图 11-14 所示，第二导电部 1622 包括两个连接部 1622C，两个连接部 1622C 分别位于垫块 1622B 在第二方向上的两端，垫块 1622B，两个连接部 1622C 和主体部 1622A 围成一个矩形开口。由此，该显示基板可进一步避免第二导电部 1622 与下方的膜层，例如半导体层、栅极层等存在过多的交叠，从而避免加重半导体层、栅极层等的负载。由此，该显示基板可在增加垫块的同时，确保各个子像素的正常工作。

在一些示例中，垫块在第一方向上的宽度与主体部在第一方向上的宽度的比值小于等于 $1/2$ ，垫块在第一方向上的宽度与主体部和垫块之间的距离的比值小于等于 $1/2$ 。

在一些示例中，垫块在第二方向上的长度与第一发光元件的有效发光区在第二方向的长度的比值大于等于 $7/8$ 。

在一些示例中，第一发光元件的有效发光区和垫块的中心连线与第一方向之间的夹角小于 30° 。例如，第一发光元件的有效发光区和垫块的中心连线与第一方向之间的夹角为零，即第一发光元件的有效发光区和垫块的中心连线与第一方向相互平行。

在一些示例中，垫块在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置，第一导电部在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置。

在一些示例中，垫块在衬底基板上的正投影与第一阳极在衬底基板上的正投影的交叠面积与第一导电部在衬底基板上的正投影与第一阳极在衬底基板上的正投影的交叠面积大致相等。在一些示例中，如图 11-14 所示，第二导电层 160 还包括沿第二方向延伸的第三导电部 1623 和第四导电部 1624；第三导电部 1623 位于阳极对 1755 与第四阳极 1754 之间，第四导电部 1624 与第四阳极 1754 交叠。

在一些示例中，如图 11-14 所示，第二导电部 1622 的主体部 1622A 在衬底基板 110 上的正投影与第二发光元件 312 的有效发光区沿第二方向的平分线在衬底基板 110 上的正投影的距离与第三导电部 162 在衬底基板 110 上的正投影与第二发光元件 312 的有效发光区沿第二方向的平分线在衬底基板 110 上的正投影的距离大致相等。由此，该显示基板可提高阳极对两侧的第三导电部和第四导电部的对称性，从而可进一步提高第二阳极和第三阳极的平坦性。

在一些示例中，如图 11-14 所示，第四阳极 1754 沿第二方向延伸，第四导电部 1624 在衬底基板 110 上的正投影穿过第四发光元件 314 的有效发光区在衬底基板 110 上的正投影的中心。由此，虽然第四导电部 162 与第四阳极 1754 存在交叠，但是由于第四导电部 1624 在衬底基板 110 上的正投影穿过第四发光元件 314 的有效发光区在衬底基板 110 上的正投影的中心，第四导电部可保证第四阳极具有较高的平坦度，从而保证第四阳极在不同方向的发光强度一致，进而可有效改善色偏现象。

在一些示例中,如图 11-14 所示,第二导电层 160 还包括沿第一方向延伸的第五导电部 1625 和第六导电部 1626,第五导电部 1625 与主体部 1622A 和第三导电部 1623 分别相连,并位于阳极对 1755 中的第二阳极 1752 和第三阳极 1753 之间;第六导电部 1626 与第三导电部 1623 和第四导电部 1624 分别相连,并位于在第二方向上相邻的第一阳极 1751 和第四阳极 1754 之间。由此,上述第一导电部 1621、第二导电部 1622、第三导电部 1623、第四导电部 1624、第五导电部 1625 和第六导电部 1626 可形成网状结构,从而进一步降低第一导电层中的电源线的电阻,进而可提高该显示基板的电学性能。

在一些示例中,如图 11-14 所示,第二导电层 160 包括第一连接电极 1611、第二连接电极 1612、第三连接电极 1613 和第四连接电极 1614,第二平坦层 242 包括第一过孔 2421、第二过孔 2422、第三过孔 2423 和第四过孔 2424,第一阳极 1751 通过第一过孔 2421 与第一连接电极 1611 相连,第二阳极 1752 通过第二过孔 2422 与第二连接电极 1612 相连,第三阳极 1753 通过第三过孔 2423 与第三连接电极 1613 相连,第四阳极 1754 通过第四过孔 2424 与第四连接电极 1614 相连。

在一些示例中,如图 11-14 所示,第一平坦层 241 位于第二导电层 160 靠近衬底基板 110 的一侧;第一导电层 150 位于第一平坦层 241 靠近衬底基板 110 的一侧。第一导电层 150 包括第一漏极 1511、第二漏极 1512、第三漏极 1513 和第四漏极 1514;第一平坦层 241 包括第五过孔 2415、第六过孔 2416、第七过孔 2417 和第八过孔 2418,第一连接电极 1611 通过第五过孔 2415 与第一漏极 1511 相连,第二连接电极 1612 通过第六过孔 2416 与第二漏极 1512 相连,第三连接电极 1613 通过第七过孔 2417 与第三漏极 1513 相连,第四连接电极 1614 通过第八过孔 2418 与第四漏极 1514 相连。

在一些示例中,如图 11-14 所示,该显示基板 100 还包括第一像素驱动电路 2651、第二像素驱动电路 2652、第三像素驱动电路 2653 和第四像素驱动电路 2654;第一漏极 1511 为第一像素驱动电路 2651 的一部分,第二漏极 1512 为第二像素驱动电路 2652 的一部分,第三漏极 1513 为第三像素驱动电路 2653 的一部分,第四漏极 1514 为第四像素驱动电路 2654 的一部分。第一像素驱动电路 2651 通过第一连接电极 1611 与第一阳极 1751 相连,从而向第一阳极 1751 施加驱动信号;第二像素驱动电路 2652 通过第二连接电极 1612 与第二阳极 1752 相连,从而向第二阳极 1752 施加驱动信号;第三像素驱动电路 2653 通过第三连接电极 1613 与第三阳极 1753 相连,从而向第三阳极 1753 施加驱动信号;第四像素驱动电路 2654 通过第四连接电极 1614 与第四阳极 1754 相连,从而向第四阳极 1754 施加驱动信号。

例如,第二导电层的厚度范围可为 0.6-0.8 微米,例如 0.7 微米;第二平坦层的厚度范围可为 1.3-1.7 微米,例如 1.5 微米。

图 15 为根据本公开一实施例提供的另一种显示基板的平面示意图。为了清楚地表现第二导电层中各个导电部和阳极的位置关系,图 15 仅示出了第二导电层和阳极层。如图 15 所示,第二导电层 160 的第二导电部 1622 没有设置垫块,第二导电层 160 的第一导电部 1621 包括延伸部 1621A 和偏移部 1621B,第一发光元件 311 的有效发光区在第一导电

部 1621 上的正投影位于偏移部 1621B 所在的位置，也就是说，偏移部 1621B 与第一发光元件 311 的有效发光区对应。偏移部 1621B 在衬底基板 110 上的正投影与第一阳极 1751 在衬底基板 110 上的正投影间隔设置，延伸部 1621A 靠近第一阳极 1751 且沿第二方向延伸的边缘所在的直线为第一直线 302，偏移部 1621B 与第一直线 302 间隔设置且位于第一直线 302 远离阳极对 1755 的一侧。

在本公开实施例提供的显示基板中，由于第一导电部位于第一阳极远离阳极对的一侧，第二导电部位于第一阳极和阳极对之间，并且偏移部在衬底基板上的正投影与第一阳极在衬底基板上的正投影间隔设置，因此第二导电层中的第一导电部和第二导电部对第一阳极的平坦度造成的影响较小，从而使得第一阳极可保证较高的平坦度，从而保证第一阳极在不同方向的发光强度一致，进而可有效改善色偏现象。另外，由于偏移部与第一直线间隔设置且位于第一直线远离阳极对的一侧，偏移部向远离第一阳极的方向进行偏移，为第一阳极的设置提供的空间，从而可在实现阳极的紧密排列的同时使得第一阳极可保证较高的平坦度。

例如，如图 15 所示，第一阳极 1751 可包括主体部 1751A、连接部 1751B 和增补部 1751C；第一发光元件的有效发光区落入主体部 1751A，连接部 1751B 用于将第一阳极 1751 与对应的像素驱动电路相连，增补部 1751C 可覆盖对应的像素驱动电路中的驱动薄膜晶体管 T1 的栅极 G1 和补偿薄膜晶体管 T3 的漏极 D3 上的电位，从而稳定驱动薄膜晶体管 T1 的栅极 G1 和补偿薄膜晶体管 T3 的漏极 D3 上的电位，从而进一步提高该显示基板的长期发光稳定性和寿命。

例如，如图 15 所示，第一阳极 1751 与偏移部 1621B 的距离范围可为 2.5-3.2 微米，例如 2.9 微米；第一阳极 1751 的主体部 1751A 与第二导电部 1622 的距离范围可为 9-11 微米，例如，10.5 微米；第一阳极 1751 的连接部 1751B 与第二导电部 1622 的距离范围可为 5-7 微米；第一阳极 1751 的增补部 1751C 可与第二导电部 1622 部分重叠，且重叠的部分在第一方向上的宽度小于 1 微米，例如，0.79 微米。由于增补部靠近第二导电部的边缘与主体部的距离较大，因此增补部 1751C 可与第二导电部 1622 部分重叠对第一阳极的平坦性的影响较小。

本公开一实施例还提供一种显示装置。图 16 为根据本公开一实施例提供的一种显示装置的示意图。如图 16 所示，该显示装置 400 包括上述任一项的显示基板 100。由此，该显示装置具有与该显示基板的有益效果对应的有益效果。例如，该显示装置可保证位于第一发光元件的有效发光区的第一阳极的平坦性，从而避免发生色偏现象；可降低位于第四发光元件的有效发光区的第四阳极和第四连接电极之间的电阻；并且还可增加了第一阳极和第四阳极之间的距离，从而可避免第一阳极和第四阳极因制作过程留下的残留造成短接。

例如，该显示装置可为电视、电脑、笔记本电脑、平坦电脑、手机、导航仪、电子相框等具有显示功能的电子产品。

另一方面，在制作有机发光二极管显示装置的过程中，通常采用蒸镀工艺来制作发

光层。并且，为了防止精细金属掩膜（FMM）在蒸镀工艺中触碰并损伤有机发光二极管显示基板，通常需要在有机发光二极管显示基板上形成隔垫物，并将精细金属掩膜放置在隔垫物上。此时，隔垫物可起到支撑精细金属掩膜的作用，从而可起到保护有机发光二极管显示基板的作用。

然而，在研究中，本申请的发明人注意到，通常的隔垫物位于子像素的有效发光区的直边的中间位置，当使用精细金属掩膜进行蒸镀工艺时，精细金属掩膜的开口边缘位于隔垫物的中间位置；而隔垫物的中间位置因其制备工艺等原因通常为隔垫物的厚度最大的位置（即隔垫物的顶端），精细金属掩膜的开口边缘恰好与隔垫物的顶端接触，从而容易刮蹭隔垫物并产生颗粒物（Particle）等异物。图 17 为一种使用精细金属掩膜进行蒸镀工艺的示意图。如图 17 所示，精细金属掩膜 250 的开口边缘 252 位于隔垫物 220 的顶端，容易刮蹭隔垫物 220 的顶端并产生颗粒物等异物；在蒸镀工艺之后，会在显示基板上形成封装层等膜层，而产生的颗粒物等异物容易导致封装层产生裂缝（Crack）等不良，从而造成产品的稳定性和信赖性降低。

对此，本公开实施例还提供一种显示基板及其制作方法和显示装置。该显示基板包括衬底基板、发光层和隔垫物；发光层位于衬底基板上且包括多个发光部；隔垫物位于发光层远离衬底基板的一侧；隔垫物远离衬底基板的顶端在衬底基板上的正投影与发光部在衬底基板上的正投影的边缘间隔设置。由此，在采用精细金属掩膜进行蒸镀工艺以形成上述的发光部时，精细金属掩膜的开口边缘在衬底基板上的正投影与隔垫物的顶端在衬底基板上的正投影间隔设置，从而可避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，进而可提高该显示基板的良率。

下面，结合附图对本公开实施例提供的显示基板及其制作方法和显示装置进行详细的说明。

本公开一实施例提供一种显示基板。图 18 为本公开一实施例提供的一种显示基板的平面示意图；图 19 为本公开一实施例提供的一种显示基板沿图 18 中 CC 方向的剖面示意图。

如图 18 和图 19 所示，该显示基板 100 包括衬底基板 110、发光层 180 和隔垫物 220；发光层 180 位于衬底基板 110 上且包括多个发光部 185；隔垫物 220 位于衬底基板 110 上发光层 180 所在的一侧。隔垫物 220 远离衬底基板 110 的顶端 225 在衬底基板 110 上的正投影与发光部 185 在衬底基板 110 上的正投影的边缘间隔设置。需要说明的是，上述的隔垫物的顶端是指隔垫物远离衬底基板的部分，即厚度较大的部分；另外，上述的“间隔设置”是指隔垫物远离衬底基板的顶端在衬底基板上的正投影与发光部在衬底基板上的正投影具有一定的间隔，相互不重叠或者接触。

在本公开实施例提供的显示基板的制作过程中，在采用精细金属掩膜 250 进行蒸镀工艺以形成上述的发光部 185 时，如图 19 所示，精细金属掩膜 250 的开口边缘 252 在衬底基板 110 上的正投影与隔垫物 220 的顶端 225 在衬底基板 110 上的正投影间隔设置；从而可避免精细金属掩膜 250 的开口边缘 252 与隔垫物 220 的顶端 225 接触，并避免产

生颗粒物等异物。例如，如图 19 所示，精细金属掩膜 250 的开口边缘 252 位于隔垫物 220 的边缘部分，由于隔垫物 220 的边缘部分的厚度小于隔垫物 220 的顶端 225 的厚度，精细金属掩膜 250 的开口边缘 252 处于悬空状态，与隔垫物 220 没有接触，从而可避免因刮蹭而产生颗粒物等异物。由此，该显示基板可提高显示基板的稳定性、信赖性和产品的良率。

在一些示例中，如图 19 所示，隔垫物 220 的中间部分在垂直于衬底基板 110 的方向上的尺寸大于隔垫物 220 的边缘部分在垂直于衬底基板 110 的方向上的尺寸。也就是说，隔垫物 220 的中间部分的厚度大于隔垫物 220 的边缘部分的厚度。由此，当精细金属掩膜的开口边缘在衬底基板上的正投影与隔垫物的中间部分（即隔垫物的顶端）在衬底基板上的正投影间隔设置时，精细金属掩膜的开口边缘可处于悬空状态，与隔垫物没有接触，从而可避免因刮蹭而产生颗粒物等异物。

例如，如图 19 所示，隔垫物 220 在垂直于衬底基板 110 的平面中的横截面形状可包括半圆形。当然，本公开实施例包括但不限于此。例如，当隔垫物 220 的横截面形状为半圆形时，该半圆形的坡度角的范围为 8-10 度。

在一些示例中，如图 18 所示，隔垫物 220 在衬底基板 110 上的正投影的形状为矩形，隔垫物 220 在长度方向上的中轴线在衬底基板 110 上的正投影与发光部 185 在衬底基板 110 上的正投影的边缘间隔设置。由此，该显示基板可避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可提高显示基板的稳定性、信赖性和产品的良率。当然，本公开实施例中的隔垫物在衬底基板上的正投影的形状包括但不限于上述的矩形，也可为其他形状。

在一些示例中，如图 18 所示，隔垫物 220 在长度方向上的中轴线在衬底基板 110 上的正投影与发光部 185 在衬底基板 110 上的正投影的边缘的距离大于 6 微米。由此，该显示基板可有效地避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可提高显示基板的稳定性、信赖性和产品的良率。

图 20 为根据本公开一实施例提供的另一种显示基板的平面示意图；图 21 为本公开一实施例提供的一种显示基板沿图 20 中 DD 方向的剖面示意图。为了清楚地示出隔垫物与发光部之间的关系，图 20 中仅示出了衬底基板、阳极层、发光层和隔垫物。如图 20 所示，隔垫物 220 远离衬底基板 110 的顶端 225 在衬底基板 110 上的正投影与发光部 185 在衬底基板 110 上的正投影的边缘间隔设置。如图 21 所示，在采用精细金属掩膜进行蒸镀工艺以形成上述的发光部时，精细金属掩膜 250 的开口边缘 252 处于悬空状态，与隔垫物 220 没有接触。因此，该显示基板可避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可进一步地提高显示基板的稳定性、信赖性和产品的良率。

在一些示例中，如图 20 所示，多个发光部 185 包括多个发光组 1850，多个发光组 1850 沿第一方向排列以形成多个发光组列 280，沿第二方向排列以形成多个发光组行 290；各发光组 1850 包括一个第一发光部 1851、一个第二发光部 1852、一个第三发光部

1853 和一个第四发光部 1854; 相邻的两个发光组行 290 错位 1/2 节距设置, 上述的节距等于在第一方向相邻的两个发光组 1850 中两个第一发光部 1851 的中心之间的距离; 第二发光部 1852 和第三发光部 1853 沿第二方向排列形成发光对 1855, 第一发光部 1851、发光对 1855 和第四发光部 1854 沿第一方向排列。如图 20 所示, 隔垫物 220 的顶端 225 在衬底基板 110 上的正投影位于一个发光组 1850 中的第一发光部 1851 在衬底基板 110 上的正投影和第三发光部 1853 在衬底基板 110 上的正投影, 和在第二方向相邻的另一个一个发光组 1850 中的第二发光部 1852 和第四发光部 1854 在衬底基板 110 上的正投影之间。由此, 该显示基板可保证隔垫物 220 的顶端 225 在衬底基板 110 上的正投影与第一发光部 1851、第二发光部 1852、第三发光部 1853 和第四发光部 1854 在衬底基板 110 上的正投影均间隔设置, 并充分利用显示基板上的空间。

例如, 第一方向和第二方向大致垂直。需要说明的是, 上述的第一方向和第二方向大致垂直包括第一方向和第二方向之间的夹角为 90 度的情况, 也包括第一方向和第二方向之间的夹角范围在 85-95 度的情况。

例如, 如图 20 所示, 在该显示基板 100 中, 在第二方向上相邻的两个发光组 1850 可为第一发光组 1850A 和第二发光组 1850B, 隔垫物 220 的顶端 225 在衬底基板 110 上的正投影位于第一发光组 1850A 的第一发光部 1851 在衬底基板 110 上的正投影、第一发光组 1850A 的第三发光部 1853 在衬底基板 110 上的正投影、第二发光组 1850B 的第二发光部 1852 在衬底基板 110 上的正投影和第二发光组 1850B 的第四发光部 1854 在衬底基板 110 上的正投影之间。由此, 该显示基板可保证隔垫物 220 的顶端 225 在衬底基板 110 上的正投影与第一发光部 1851、第二发光部 1852、第三发光部 1853 和第四发光部 1854 在衬底基板 110 上的正投影均间隔设置, 并充分利用显示基板上的空间。

例如, 隔垫物 220 在衬底基板 110 上的正投影可为长度为 20 微米, 宽度为 9.5 微米的矩形。此时, 隔垫物 220 在衬底基板 110 上的正投影与第一发光组 1850A 的第三阳极 1753 在衬底基板 110 上的正投影之间的距离范围可为 8.5-9.5 微米, 例如 8.9 微米; 隔垫物 220 在衬底基板 110 上的正投影与第二发光组 1850B 的第四阳极 1754 在衬底基板 110 上的正投影之间的距离范围可为 6-7 微米, 例如 6.3 微米。

例如, 隔垫物 220 在衬底基板 110 上的正投影与第一发光组 1850A 的第三发光部 1853 在衬底基板 110 上的正投影之间的距离范围可为 0 微米, 甚至相互交叠。隔垫物 220 在衬底基板 110 上的正投影与第二发光组 1850B 的第二发光部 1852 在衬底基板 110 上的正投影之间的距离范围可为 0 微米, 甚至相互交叠。

在一些示例中, 如图 20 和图 21 所示, 该显示基板 100 还包括阳极层 170 和像素限定层 190; 阳极层 170 位于衬底基板 110 和隔垫物 220 之间, 像素限定层 190 位于阳极层 170 靠近隔垫物 220 的一侧。阳极层 170 包括多个阳极 175, 像素限定层 190 包括多个开口 195 以暴露多个阳极 175。多个阳极 175 与多个发光部 185 对应设置, 多个开口 195 与多个发光部 185 对应设置, 多个开口 195 包括多个开口组 1950, 各开口组 1950 包括一个第一开口 1951、一个第二开口 1952、一个第三开口 1953 和一个第四开口 1954, 多个

阳极 175 与多个发光部 185 对应设置,多个阳极 175 包括多个阳极组 1750,各阳极组 1750 包括一个第一阳极 1751、一个第二阳极 1752、一个第三阳极 1753 和一个第四阳极 1754; 第一发光部 1851 至少部分位于第一开口 1951 中并覆盖暴露的第一阳极 1751, 第二发光部 1852 至少部分位于第二开口 1952 中并覆盖暴露的第二阳极 1752, 第三发光部 1853 至少部分位于第三开口 1953 中并覆盖暴露的第三阳极 1753, 第四发光部 1854 至少部分位于第四开口 1954 中并覆盖暴露的第四阳极 1754。

例如,如图 20 和图 21 所示,隔垫物 220 在衬底基板 110 上的正投影可与第一阳极 1751 在衬底基板 110 上的正投影部分重叠。

例如,如图 20 和图 21 所示,第一虚拟直线与隔垫物 220 的长度方向平行且经过隔垫物 220 的中心;第一开口 1951 在衬底基板 110 上的正投影的形状大致为椭圆形,该椭圆形在长轴方向的顶点到第一虚拟直线的距离与第一开口 1951 到第一虚拟直线的最短距离的比值的范围是: 1.5 - 1。

例如,第一开口 1951 和第二开口 1952 之间的距离范围为 20-25 微米;第一开口 1951 和第三开口 1953 之间的距离也为 20-25 微米;第一开口 1951 与第四开口 1954 之间的距离范围也为 20-25 微米。当然,本公开实施例包括但不限于此,各个开口之间的距离可根据实际的产品尺寸确定。

在一些示例中,如图 20 和图 21 所示,隔垫物 220 在衬底基板 110 上的正投影与第一开口 1951 在衬底基板 110 上的垫块设置。由此,在本公开实施例提供的显示基板的制作过程中,在采用精细金属掩膜进行蒸镀工艺以形成上述的发光部时,该显示基板可避免精细金属掩膜的开口边缘与隔垫物的顶端接触,并避免产生颗粒物等异物。

例如,如图 20 和图 21 所示,隔垫物 220 在衬底基板 110 上的正投影与第一开口 1951 在衬底基板 110 上的正投影间隔设置。

在一些示例中,如图 20 和图 21 所示,第一开口 1951 在衬底基板 110 上的正投影的形状为近似椭圆形,隔垫物 220 在衬底基板 110 上的正投影的形状为矩形;第一开口 1951 在衬底基板 110 上的正投影的形状的长轴方向与隔垫物 220 在衬底基板 110 上的正投影的延伸方向之间的夹角范围为 20-70 度。

在一些示例中,如图 20 和图 21 所示,该显示基板 100 还包括像素电路层 260; 像素电路层 260 位于阳极层 170 靠近衬底基板 110 的一侧,且包括多个像素驱动电路 265; 多个像素驱动电路 265 与多个阳极 175 对应设置,各阳极 175 与对应的像素驱动电路 265 电性相连,第一阳极 1751 包括主体部 1751A 和与主体部 1751A 相连的连接部 1751B, 第一开口 1951 在衬底基板 110 上的正投影落入主体部 1751A 在衬底基板 110 上的正投影之内,连接部 1751B 与对应的像素驱动电路 265 电性相连。

在一些示例中,如图 20 和图 21 所示,隔垫物 220 在衬底基板 110 上的正投影与连接部 1751B 在衬底基板 110 上的正投影至少部分重叠。由此,该显示基板可在避免精细金属掩膜的开口边缘与隔垫物的顶端接触,并避免产生颗粒物等异物的同时,并充分利用显示基板上的空间。

在一些示例中，如图 20 和图 21 所示，连接部 1751B 位于主体部 1751A 靠近相同发光组 1850 中的第三阳极 1753 和在第二方向相邻的发光组 1850 中的第四阳极 1754 所在的位置。

在一些示例中，第一开口 1951 限定的区域为第一子像素的第一有效发光区，第二开口 1952 限定的区域为第二子像素的第二有效发光区，第三开口 1953 限定的区域为第三子像素的第三有效发光区，第四开口 1954 限定的区域为第四子像素的第四有效发光区。由此，上述的多个发光组、多个开口组和多个阳极组分别对应多个像素结构。

在一些示例中，第一发光部被配置为发出第一颜色的光，第二发光部和第三发光部相连，并被配置为发出第二颜色的光，第四发光部被配置为发出第三颜色的光。

例如，第一颜色为红色（R），第二颜色为绿色（G），第三颜色为蓝色（B）。也就是说，该显示基板采用 GGRB 的像素排列结构。

图 22 为本公开一实施例提供的一种显示基板沿图 20 中 EE 方向的剖面示意图。如图 22 所示，在实际的制作过程中，通过精细金属掩膜形成的发光部 185（例如第一发光层 1851 和第四发光层 1854）会扩散形成厚度较薄的扩散部（例如扩散部 1851A 和 1854A），导致最后得到的发光层 185 的尺寸大于精细金属掩膜的开口尺寸，从而会与隔垫物 220 发生交叠，甚至相邻的发光部会接触或者交叠。此时，上述的发光层是指发光层的厚度大于或等于扩散部的厚度的部分，而并不包括扩散部。

本公开一实施例还提供一种显示装置。图 23 为根据本公开一实施例提供的一种显示装置的示意图。如图 23 所示，该显示装置 400 包括上述任一项的显示基板 100。由此，该显示装置具有与该显示基板的有益效果对应的有益效果。例如，该显示装置可避免在制作过程中精细金属掩膜的开口边缘 252 与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可提高显示基板的稳定性、信赖性和产品的良率。

例如，该显示装置可为电视、电脑、笔记本电脑、平坦电脑、手机、导航仪、电子相框等具有显示功能的电子产品。

本公开一实施例还提供一种显示基板的制作方法。图 24 为根据本公开一实施例提供的一种显示基板的制作方法。如图 24 所示，该显示基板的制作方法包括以下步骤 S101-S103。

步骤 S101：在衬底基板上形成像素限定层，包括多个开口。

例如，衬底基板可采用石英基板、玻璃基板、塑料基板等；像素限定层可采用气相沉积工艺制作，多个开口可通过刻蚀工艺制作。当然，本公开实施例包括但不限于此。

步骤 S102：在像素限定层远离衬底基板的一侧形成隔垫物。

例如，隔垫物可与像素限定层采用同一膜层经过半色调掩膜或灰色调掩膜形成，从而可节省掩膜工艺，降低成本。例如，可先在衬底基板上形成用于形成像素限定层和隔垫物的层结构；然后利用半色调掩膜或灰色调掩膜在层结构远离衬底基板的一侧形成第一光刻胶图案，该第一光刻胶图案包括完全保留部分、部分保留部分和完全去除部分；利用第一光刻胶图案对层结构进行刻蚀（例如湿刻工艺），将完全去除部分对应的层结

构去除，从而形成像素限定层的多个开口；然后对第一光刻胶图案进行灰化工艺，去除部分保留部分以形成第二光刻胶图案；利用第二光刻胶图案对层结构进行进一步刻蚀，以在完全保留部分对应的层结构处形成隔垫物，在部分保留部分对应的层结构处形成像素限定层。当然，本公开实施例包括但不限于此，隔垫物也可单独形成。

5 步骤 S103：在隔垫物远离衬底基板的一侧放置掩模板，并以掩模板为掩膜在多个开口中蒸镀发光材料以形成包括多个发光部的发光层，掩模板包括多个掩膜开口，隔垫物远离衬底基板的顶端在衬底基板上的正投影与掩膜开口在衬底基板上的正投影的边缘间隔设置。

10 在本公开实施例提供的显示基板的制作过程中，在隔垫物远离衬底基板的一侧放置掩模板，并以掩模板为掩膜在多个开口中蒸镀发光材料以形成包括多个发光部的发光层时，掩模板的开口边缘在衬底基板上的正投影与隔垫物的顶端在衬底基板上的正投影间隔设置；从而可避免掩模板的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物。由此，该显示基板的制作方法可提高显示基板的稳定性、信赖性和产品的良率。

在一些示例中，上述的掩模板为精细金属掩膜（FMM）。

15 在一些示例中，隔垫物在衬底基板上的正投影的形状为矩形，隔垫物在长度方向上的中轴线在衬底基板上的正投影与发光部在衬底基板上的正投影的边缘间隔设置。由此，该显示基板的制作方法可避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可提高显示基板的稳定性、信赖性和产品的良率。

20 在一些示例中，隔垫物在衬底基板上的正投影与发光部在衬底基板上的正投影的边缘间隔设置。由此，该显示基板可进一步地避免精细金属掩膜的开口边缘与隔垫物的顶端接触，并避免产生颗粒物等异物，从而可进一步地提高显示基板的稳定性、信赖性和产品的良率。

图 25-图 27 为根据本公开一实施例提供的一种掩模板组的平面示意图。如图 25-图 27 所示，该掩模板组包括第一掩模板 510、第二掩模板 520 和第三掩模板 530；第一掩模板 510 包括多个第一掩膜开口 412，各第一掩膜开口 412 用于形成上述的第一发光部 1851；第二掩模板 520 包括多个第二掩膜开口 422，各第二掩膜开口 422 用于形成上述的第二发光部 1852 和第三发光部 1853，也就是说，第二发光部 1852 和第三发光部 1853 可通过同一掩膜开口形成；第三掩模板 530 包括多个第三掩膜开口 432，各第三掩膜开口 432 用于形成上述的第四发光部 1854。

30 例如，如图 25-图 27 所示，在该显示基板的制作方法中，上述的步骤 S103 可包括：如图 25 所示，在隔垫物 220 远离衬底基板 110 的一侧放置第一掩模板 510，并以第一掩模板 510 为掩膜在多个开口 1951 中蒸镀发光材料以形成多个第一发光部 1851；撤去第一掩模板 510；如图 26 所示，在隔垫物 220 远离衬底基板 110 的一侧放置第二掩模板 520，并以第二掩模板 520 为掩膜在多个开口 1951 和 1952 中蒸镀发光材料以形成多个第二发光部 1852 和多个第三发光部 1853；撤去第二掩模板 520；如图 27 所示，在隔垫物 220 远离衬底基板 110 的一侧放置第三掩模板 530，并以第三掩模板 530 为掩膜在多个开口

1954 中蒸镀发光材料以形成多个第四发光部 1854。

例如，如图 25-图 27 所示，隔垫物 220 远离衬底基板 110 的顶端在衬底基板 110 上的正投影与第一发光部 1851 或者第四发光部 1854 在衬底基板 110 上的正投影的边缘间隔设置。

5 另一方面，随着有机发光二极管（OLED）显示技术的不断发展，人们对显示效果的要求也越来越高。在研究中，本申请的发明人注意到：影响有机发光二极管显示装置的显示效果的因素有很多，其中栅极层的负载（Loading）的大小影响像素驱动电路的充电时间，而像素驱动电路的充电时间对显示效果的影响较大。通常，栅极层的负载主要是由栅线和复位信号线的负载构成。另一方面，数据线（或源极线）的负载的大小直接关
10 系到 IC 的功耗，数据线的负载越大，对 IC 驱动的要求则越高，从而使得 IC 的功耗也越大。因此，控制栅线和复位信号线之间的负载和数据线上的负载可提高有机发光二极管显示装置的显示效果，并可降低有机发光二极管显示装置的功耗。

对此，本公开实施例提供一种显示基板和显示装置。该显示基板包括衬底基板、第一栅极层、第二栅极层和第一导电层；第一栅极层位于衬底基板上，第二栅极层位于第一栅极层远离衬底基板的一侧；第一导电层位于第二栅极层远离衬底基板的一侧；第一
15 栅极层包括沿第一方向延伸的复位信号线和第一电极块，第二栅极层包括第二电极块，第二电极块被配置为与第一电极块形成存储电容，第一导电层包括沿第二方向延伸的电源线，复位信号线与电源线具有第一交叠区域，第二电极块与电源线具有第二交叠区域，位于第一交叠区域的电源线的宽度小于位于第二交叠区域的电源线的宽度，第一方向与
20 第二方向相交。由此，通过减小复位信号线与电源线交叠的第一交叠区域中的电源线的宽度，该显示基板可降低复位信号线的负载，从而可提高像素驱动电路的充电时间，进而提高该显示基板的显示效果。

下面，结合附图对本公开实施例提供的显示基板和显示装置进行详细的说明。

本公开一实施例提供一种显示基板。图 28A 为本公开一实施例提供的另一种显示基板的局部示意图；图 28B 为本公开一实施例提供的另一种显示基板的局部示意图；图 29
25 为本公开一实施例提供的一种显示基板沿图 28A 中 FF 方向的剖面示意图。为了清楚地示出该显示基板中的像素驱动电路结构中各个膜层的层叠结构，图 28B 省去了阳极层和第二导电层。

如图 28A、图 28B 和图 29 所示，该显示基板 100 包括衬底基板 110、第一栅极层 130、
30 第二栅极层 140 和第一导电层 150；第一栅极层 130 位于衬底基板 110 上，第二栅极层 140 位于第一栅极层 130 远离衬底基板 110 的一侧；第一导电层 150 位于第二栅极层 140 远离衬底基板 110 的一侧。第一栅极层 130 包括沿第一方向延伸的复位信号线 131 和第一电极块 CE1；第二栅极层 140 包括第二电极块 CE2，第二电极块 CE2 被配置为与第一电极块 CE1 形成存储电容；第一导电层 150 包括沿第二方向延伸的电源线 151，复位信
35 号线 131 与电源线 151 具有第一交叠区域 351，第二电极块 CE2 与电源线 151 具有第二交叠区域 352，位于第一交叠区域 351 的电源线 151 的宽度小于位于第二交叠区域 352

的电源线 151 的宽度。也就是说，电源线 151 在第一交叠区域 351 的宽度进行了缩小设计；第一方向与第二方向相交，例如相互垂直。需要说明的是，上述的电源线的宽度是指电源线沿第一方向上的尺寸，相应地，电源线的长度是电源线沿第二方向上的尺寸。

5 在本公开实施例提供的显示基板中，减小复位信号线与电源线交叠的第一交叠区域中的电源线的宽度可减小复位信号线和电源线的重叠面积，从而可减小复位信号线和电源线之间的寄生电容的大小。由此，通过减小复位信号线与电源线交叠的第一交叠区域中的电源线的宽度，该显示基板可降低复位信号线的负载，从而可提高像素驱动电路的充电时间，进而提高该显示基板的显示效果。

10 在一些示例中，第一导电层可为第一源漏金属层，该显示基板还可以包括第二导电层，即第二源漏金属层。需要说明的是，为了清楚地示出显示基板上的膜层结构，图 28A 示出的显示基板没有示出第二导电层（第二源漏金属层）；当然，本公开实施例包括但不限于此，该显示基板也可不包括第二导电层，为单层源漏金属层的显示基板。

在一些示例中，位于第一交叠区域 351 的电源线 151 的宽度小于电源线 151 的平均宽度。

15 在一些示例中，如图 28A 和图 28B 所示，在第一交叠区域 351 的电源线 151 的宽度小于电源线 151 的最大宽度的 5/7。由此，该显示基板可有效地降低复位信号线的负载。

在一些示例中，如图 28B 所示，电源线 151 包括主体延伸部 151A 和缩窄部 151B，缩窄部 151B 的宽度小于主体延伸部 151A 的宽度，缩窄部 151B 在衬底基板 110 上的正投影与复位信号线 131 在衬底基板 110 上的正投影交叠。

20 在一些示例中，如图 28A 和图 28B 所示，第一栅极层 130 还包括沿第一方向延伸的栅线 132，栅线 132 与电源线 151 具有第三交叠区域 353，在第三交叠区域 353 的电源线 151 的宽度小于位于第二交叠区域 352 的电源线 151 的宽度。也就是说，第三交叠区域的电源线的宽度也进行了缩小设计。由此，通过减小栅线与电源线交叠的第二交叠区域中的电源线的宽度，该显示基板可降低栅线的负载，从而可进一步提高像素驱动电路的充电时间，进而提高该显示基板的显示效果。

25 在一些示例中，在第三交叠区域 353 的电源线 151 的宽度小于电源线 151 的平均宽度。

在一些示例中，如图 28A 和图 28B 所示，在第三交叠区域 353 的电源线 151 的宽度小于电源线 151 的最大宽度的 5/7。由此，该显示基板可有效地降低复位信号线的负载。

30 在一些示例中，如图 28B 所示，电源线 151 包括主体延伸部 151A 和缩窄部 151B，缩窄部 151B 的宽度小于主体延伸部 151A 的宽度，缩窄部 151B 在衬底基板 110 上的正投影与栅线 132 在衬底基板 110 上的正投影交叠。

35 在一些示例中，如图 28A 和图 28B 所示，第一导电层 150 还包括沿第二方向延伸的数据线 152，数据线 152 与复位信号线 131 具有第四交叠区域 354，在第四交叠区域 354 的复位信号线 131 的宽度小于复位信号线 131 的平均宽度。在该显示基板中，减小第四交叠区域的复位信号线的宽度可减小复位信号线和数据线的重叠面积，从而可减小复位

信号线和数据线之间的寄生电容的大小。由此，通过减小第四交叠区域的复位信号线的宽度，该显示基板可降低数据线的负载，从而可降低驱动功耗，进而降低该显示基板的功耗。需要说明的是，上述的复位信号线的宽度是指复位信号线沿第二方向上的尺寸，相应地，复位信号线的长度是复位信号线沿第一方向上的尺寸。

5 在一些示例中，如图 28A 和图 28B 所示，在第四交叠区域 354 的复位信号线 131 的宽度小于复位信号线 131 的最大宽度的 $3/4$ 。由此，该显示基板可有效地降低数据线的负载。

10 在一些示例中，如图 28A 和图 28B 所示，该显示基板 100 还包括半导体层 120，位于第一栅极层 130 靠近衬底基板 110 的一侧，第二栅极层 140 包括沿所述第一方向延伸的初始化信号线 141，数据线 152 与初始化信号线 141 具有第五交叠区域 355，初始化信号线 141 与半导体层 120 具有第六交叠区域 356，位于第五交叠区域 355 的初始化信号线 141 的宽度小于位于第六交叠区域 356 的初始化信号线 141 的宽度。在该显示基板中，减小第五交叠区域的初始化信号线的宽度可减小初始化信号线和数据线的重叠面积，从而可减小初始化信号线和数据线之间的寄生电容的大小。由此，通过减小第五交叠区域的
15 初始化信号线的宽度，该显示基板可进一步降低数据线的负载，从而可降低驱动功耗，进而降低该显示基板的功耗。需要说明的是，上述的初始化信号线的宽度是指初始化信号线沿第二方向上的尺寸，相应地，初始化信号线的长度是初始化信号线沿第一方向上的尺寸。

20 在一些示例中，位于第四交叠区域 354 的初始化信号线 141 的宽度小于初始化信号线 141 的平均宽度。

例如，如图 28B 所示，与复位信号线 131 交叠的缩窄部 151B 在衬底基板 110 的正投影同时还与初始化信号线 141 在衬底基板 110 上的正投影交叠。

25 在一些示例中，如图 28B 所示，电源线 151 包括主体延伸部 151A 和缩窄部 151B，缩窄部 151B 的宽度小于主体延伸部 151A 的宽度，缩窄部 151B 在衬底基板 110 上的正投影与半导体层 110 在衬底基板 110 上的正投影不交叠。

30 在一些示例中，如图 28B 所示，第二栅极层 140 还包括导电块 143，主体延伸部 151A 包括与导电块 143 相连的连接部 151C，连接部 151C 在衬底基板 110 上正投影与半导体层 110 在衬底基板 110 上的正投影部分交叠，连接部 151C 与缩窄部 151B 在第二方向上相邻。

例如，如图 28B 所示，连接部 151C 可位于两个缩窄部 151B 之间。

35 在一些示例中，如图 28A 和图 28B 所示，在第四交叠区域 354 的初始化信号线 141 的宽度小于初始化信号线 151 的最大宽度的 $3/4$ 。由此，该显示基板可有效地降低数据线的负载。

例如，半导体层 120 可采用硅基半导体材料，例如多晶硅。当然，本公开实施例包括但不限于此，半导体层还可采用半导体材料。

图 30A-图 30D 为本公开一实施例提供的一种显示基板中多个膜层的平面示意图；图

31 为本公开一实施例提供的一种显示基板中的像素驱动电路的等效示意图。

例如，如图 30A 所示，半导体层 120 包括第一单元 121、第二单元 122、第三单元 123、第四单元 124、第五单元 125、第六单元 126 和第七单元 127；第一单元 121 包括第一沟道区 C1 和位于第一沟道区 C1 两侧的第一源极区 S1 和第一漏极区 D1，第二单元 122 包括第二沟道区 C2 和位于第二沟道区 C2 两侧的第二源极区 S2 和第二漏极区 D2，第三单元 123 包括第三沟道区 C3 和位于第三沟道区 C3 两侧的第三源极区 S3 和第三漏极区 D3，第四单元 124 包括第四沟道区 C4 和位于第四沟道区 C4 两侧的第四源极区 S4 和第四漏极区 D4，第五单元 125 包括第五沟道区 C5 和位于第五沟道区 C5 两侧的第五源极区 S5 和第五漏极区 S5，第六单元 126 包括第六沟道区 C6 和位于第六沟道区 C6 两侧的第六源极区 S6 和第六漏极区 D6，第七单元 127 包括第七沟道区 C7 和位于第七沟道区 C7 两侧的第七源极区 S7 和第七漏极区 D7。

例如，如图 30A 和图 31 所示，第六漏极区 D6 和第三漏极区 D3 相连，第三源极区 S3、第一漏极区 D1 和第五源极区 S5 连接至第一节点 N1，第一源极区 S1、第二漏极区 D2 和第四漏极区 D4 连接至第二节点 N2，第五漏极区 D5 和第七漏极区 D7 相连。

例如，如图 30B 所示，第一栅极层 130 包括沿第一方向延伸的复位信号线 131、沿第一方向延伸的栅线 132、第一电极块 CE1 和沿第一方向延伸的发射控制线 133。

例如，如图 30C 所示，第二栅极层 140 包括沿第一方向延伸的初始化信号线 141、第二电极块 CE2 和导电块 143。例如，导电块 143 可与电源线相连，从而降低电源线的电阻。

如图 31 所示，第六源极区 S6 和第七源极区 S7 与初始化信号线 141 相连；第一电极块 CE1 和第二电极块 CE2 可形成存储电容 Cst。

例如，如图 30D 所示，第一导电层 150 包括沿第二方向延伸的电源线 151 和数据线 152、第一连接块 1541、第二连接块 1542 和第三连接块 1543。第一连接块 1541 用于将初始化信号线 141 与第六源极区 S6 和第七源极区 S7 相连；第二连接块 1542 用于将第三漏极区 D3 与第一电极块 CE1 相连；第三连接块 1543 与第五漏极区 D5 相连，可作为漏极与对应的阳极相连。

例如，如图 31 所示，第二源极区 S2 与数据线 152 相连；第四源极区 S4 与电源线 151 相连。由此，半导体层 120 的第一单元 121、第二单元 122、第三单元 123、第四单元 124、第五单元 125、第六单元 126 和第七单元 127 可与上述的复位信号线 131 和栅线 132 形成第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5、第六薄膜晶体管 T6 和第七薄膜晶体管 T7。

下面将对图 31 所示的像素驱动电路的一种工作方式进行示意性描述。首先，当向复位信号线 131 传输复位信号并使得第七薄膜晶体管 T7 导通时，流经各个子像素的阳极的剩余电流通过第七薄膜晶体管 T7 放电到第六薄膜晶体管 T6，从而可抑制由于流经各个子像素的阳极的剩余电流导致的发光。然后，当向复位信号线 131 传输复位信号并向初始化信号线 141 传输初始化信号时，第六薄膜晶体管 T6 导通，并且通过第六薄膜晶体管

T6 向第一薄膜晶体管 T1 的第一栅极和存储电容 Cst 的第一电极块 CE1 施加初始化电压 Vint, 使得第一栅极和存储电容 Cst 初始化。第一栅极初始化可使得第一薄膜晶体管 T1 导通。

5 随后, 当向栅线 132 传输栅极信号并向数据线 152 传输数据信号时, 第二薄膜晶体管 T2 和第三薄膜晶体管 T3 都导通, 通过第二薄膜晶体管 T2 和第三薄膜晶体管 T3 向第一栅极施加数据电压 Vd。此时, 施加到第一栅极的电压是补偿电压 $V_d + V_{th}$, 并且施加到第一栅极的补偿电压也被施加到存储电容 Cst 的第一电极块 CE1。

10 随后, 电源线 151 向存储电容 Cst 的第二电极块 CE2 施加驱动电压 Vel, 向第一电极块 CE1 施加补偿电压 $V_d + V_{th}$, 使得与分别施加到存储电容 Cst 的两个电极的电压之间的差对应的电荷存储在存储电容 Cst 中, 第一薄膜晶体管 T1 导通达到预定时间。

15 随后, 当向发射控制线 133 施加发射控制信号时, 第四薄膜晶体管 T4 和第五薄膜晶体管 T5 都导通, 使得第四薄膜晶体管 T4 向第五薄膜晶体管 T5 施加驱动电压 Vel。驱动电压 Vel 穿过由存储电容 Cst 导通的第一薄膜晶体管 T1 时, 对应的驱动电压 Vel 与通过存储电容 Cst 向第一栅极施加的电压之间的差驱动电流 Id 流经第一薄膜晶体管 T1 的第一漏极区 D3, 驱动电流 Id 通过第五薄膜晶体管 T5 施加到各个子像素, 使得各个子像素的发光层发光。

20 在一些示例中, 如图 29 和图 31 所示, 该显示基板 100 还包括第一平坦层 241、第二导电层 160、第二平坦层 242 和阳极 175; 第一平坦层 241 位于第一导电层 150 远离衬底基板 110 的一侧; 第二导电层 160 位于第一平坦层 241 远离第一导电层 150 的一侧, 且包括连接电极 161; 第二平坦层 242 位于第二导电层 160 远离第一平坦层 241 的一侧; 阳极 175 位于第二平坦层 242 远离第二导电层 160 的一侧, 第一平坦层 241 包括第一过孔 H1, 连接电极 161 通过第一过孔 H1 与第五漏极区 S5 相连, 第二平坦层 242 包括第二过孔 H2, 阳极 175 通过第二过孔 H2 与连接电极 161 相连。

25 本公开一实施例还提供一种显示装置。图 32 为根据本公开一实施例提供的一种显示装置的示意图。如图 32 所示, 该显示装置 400 包括上述任一项的显示基板 100。由此, 该显示装置具有与该显示基板的有益效果对应的有益效果。例如, 该显示装置可降低栅极层的负载, 从而可提高像素驱动电路的充电时间, 进而提高该显示基板的显示效果。

例如, 该显示装置可为电视、电脑、笔记本电脑、平板电脑、手机、导航仪、电子相框等具有显示功能的电子产品。

30 另一方面, 有机发光二极管 (OLED) 显示装置的长期发光稳定性也是有机发光二极管显示装置的一个重要的规格或指标。在研究中, 本申请的发明人注意到: 影响有机发光二极管显示装置的长期发光稳定性的因素有很多, 除了发光材料本身的寿命之外, 像素驱动电路中的薄膜晶体管的工作状态对发光亮度和长期发光稳定性都有一定程度的影响。

35 对此, 本公开实施例提供一种显示基板和显示装置。该显示基板包括衬底基板、像素电路层和阳极层; 像素电路层位于衬底基板上且包括多个像素驱动电路; 阳极层位于

像素电路层远离衬底基板的一侧且包括多个阳极。多个像素驱动电路与多个阳极一一对应设置，各像素驱动电路包括功能薄膜晶体管；多个像素驱动电路包括相邻设置的第一像素驱动电路和第二像素驱动电路，第一像素驱动电路中的功能薄膜晶体管的沟道区和第二像素驱动电路中的功能薄膜晶体管的沟道区在衬底基板上的正投影均与第一像素驱动电路对应的阳极在衬底基板上的正投影交叠。由此，该显示基板通过阳极对第一像素驱动电路中的功能薄膜晶体管的沟道区和第二像素驱动电路中的功能薄膜晶体管的沟道区同时进行遮挡，从而可提高功能薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

下面，结合附图对本公开实施例提供的显示基板和显示装置进行详细的说明。

本公开一实施例提供一种显示基板。图 33 为本公开一实施例提供的一种显示基板的局部示意图；图 34 为本公开一实施例提供的一种显示基板沿图 33 中 KK 方向的剖面示意图；图 35A 为本公开一实施例提供的一种显示基板沿图 33 中 MM 方向的剖面示意图；图 35B 为本公开一实施例提供的一种显示基板沿图 33 中 NN 方向的剖面示意图；图 35C 为本公开一实施例提供的一种显示基板沿图 33 中 QQ 方向的剖面示意图。

如图 33 和图 34 所示，该显示基板 100 包括衬底基板 110、像素电路层 260 和阳极层 170；像素电路层 260 位于衬底基板 110 上且包括多个像素驱动电路 265；阳极层 170 位于像素电路层 260 远离衬底基板 110 的一侧且包括多个阳极 175。多个像素驱动电路 265 与多个阳极 175 一一对应设置，各像素驱动电路 256 包括功能薄膜晶体管，例如补偿薄膜晶体管 T3；多个像素驱动电路 265 包括相邻设置的第一像素驱动电路 2657 和第二像素驱动电路 2658，第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的沟道区和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的沟道区在衬底基板 110 上的正投影均与第一像素驱动电路 2657 对应的阳极 175 在衬底基板 110 上的正投影交叠。需要说明的是，上述的第一像素驱动电路和第二像素驱动电路中的“第一”和“第二”仅用于在文字上将两个像素驱动电路进行区分，这两个像素驱动电路的具体结构相同；另外，上述的功能薄膜晶体管也可作为像素驱动电路中的其他的薄膜晶体管。

在本公开实施例提供的显示基板中，由于第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的沟道区和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的沟道区在衬底基板 110 上的正投影均与第一像素驱动电路 2657 对应的阳极 175 在衬底基板 110 上的正投影交叠，第一像素驱动电路 2657 对应的阳极 175 则可对第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的沟道区和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的沟道区进行部分遮挡或完全遮挡。由此，该显示基板可提高第一像素驱动电路中的补偿薄膜晶体管 T3 和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。图 30A-图 30D 为本公开一实施例提供的一种显示基板中多个膜层的平面示意图；图 31 为本公开一实施例提供的一种显示基板中的像素驱动电路的等效示意图。该像素驱动电路采用 7T1C 的像素驱动结构，在发光阶段，N3 节点的电压可控制第一薄膜晶体管 T1（即驱动薄膜晶体管）的开启关断状态，而第一薄膜晶体

管 T1 的稳定性直接影响了有机发光二极管显示装置的长期发光稳定性；在充电阶段，N3 节点的充电电压与第三薄膜晶体管 T3（即补偿薄膜晶体管）、第一薄膜晶体管 T1 和第二薄膜晶体管 T2 的状态有关。通常，薄膜晶体管对光照特别敏感，当薄膜晶体管（特别是沟道区）受到光照时容易使得薄膜晶体管的特性产生漂移，影响像素驱动电路的正常工作。本公开实施例通过阳极对补偿薄膜晶体管的沟道区进行遮挡，可提高补偿薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中，如图 33-图 35C 所示，第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的沟道区和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的沟道区均落入第一像素驱动电路 2657 对应的阳极 175（即第四阳极 1754）在衬底基板 110 上的正投影，第一像素驱动电路 2657 对应的阳极 175 则可对第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的沟道区和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的沟道区进行完全遮挡，从而进一步提高补偿薄膜晶体管的稳定性和寿命，进而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中，如图 30A 所示，补偿薄膜晶体管 T3 可为双栅结构的薄膜晶体管，从而可提高补偿薄膜晶体管的可靠性。补偿薄膜晶体管 T3 的沟道区包括间隔设置的第一沟道区 C1 和第二沟道区 C2，补偿薄膜晶体管 T3 还包括位于第一沟道区 C1 和第二沟道区 C2 之间的共用电极 SE。如图 33-图 35B 所示，第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的共用电极 SE 和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的共用电极 SE 在衬底基板 110 上的正投影均与第一像素驱动电路 2657 对应的阳极 175 在衬底基板 110 上的正投影交叠。由此，第一像素驱动电路 2657 对应的阳极 175 则可对第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的共用电极 SE 和第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的共用电极 SE 进行部分遮挡或完全遮挡，从而进一步提高补偿薄膜晶体管的稳定性和寿命，进而可提高该显示基板的长期发光稳定性和寿命。

图 36 为本公开一实施例提供的另一种显示基板的平面示意图。如图 36 所示，多个阳极 175 包括多个阳极组 1750，各阳极组 1750 包括一个第一阳极 1751、一个第二阳极 1752、一个第三阳极 1753 和一个第四阳极 1754。需要说明的是，上述的第一阳极、第二阳极、第三阳极和第四阳极可为不同形状和不同颜色子像素的阳极。当然，本公开实施例包括但不限于此，上述的第一阳极、第二阳极、第三阳极和第四阳极中的至少两个可为相同形状和相同颜色子像素的阳极。

在一些示例中，如图 36 所示，多个阳极 175 包括多个阳极组 1750，多个阳极组 1750 沿第一方向排列以形成多个阳极组列 380，沿第二方向排列以形成多个阳极组行 390，各阳极组 1750 包括一个第一阳极 1751、一个第二阳极 1752、一个第三阳极 1753 和一个第四阳极 1754；相邻的两个阳极组行 390 错位 1/2 节距设置，节距等于在第一方向相邻的两个阳极组 1750 中两个第一阳极 1751 的中心之间的距离。第二阳极 1752 和第三阳极 1753 沿第二方向排列以形成阳极对 1755，第一阳极 1751、阳极对 1755 和第四阳极 1754 沿第二方向排列。由此，该显示基板可提供一种像素排列结构，从而可提高采用该显示

基板的显示装置的显示效果。需要说明的是，本公开实施例提供的阳极组包括但不限于上述的像素排列结构；另外，上述的第一阳极的中心是指第一阳极的主体部的中心，也即第一阳极对应的第一发光元件的有效发光区。例如，第一方向和第二方向大致垂直。需要说明的是，上述的第一方向和第二方向大致垂直包括第一方向和第二方向之间的夹角为 90 度的情况，也包括第一方向和第二方向之间的夹角范围在 85-95 度的情况。

在一些示例中，如图 33 所示，第一像素驱动电路 2657 和第二像素驱动电路 2658 沿所述第一方向设置，一个阳极组 1750 中的第四阳极 1754 与第一像素驱动电路 2657 对应设置且电性相连，另一个阳极组 1750 中的第二阳极 1752 与第二像素驱动电路 2658 对应设置且电性相连。

在一些示例中，如图 33、图 34 和图 36 所示，该显示基板 100 还包括像素限定层 190；像素限定层 190 位于阳极层 170 远离衬底基板 110 的一侧且包括多个开口 195；多个开口 195 包括多个开口组 1950，各开口组 1950 包括一个第一开口 1951、一个第二开口 1952、一个第三开口 1953 和一个第四开口 1954，第一开口 1951 与第一阳极 1751 对应设置并暴露第一阳极 1751，第二开口 1952 与第二阳极 1752 对应设置并暴露第二阳极 1752，第三开口 1953 与第三阳极 1753 对应设置并暴露第三阳极 1753，第四开口 1954 与第四阳极 1754 对应设置并暴露第四阳极 1754。

如图 33 和图 36 所示，第一阳极 1751 包括第一主体部 1751A 和第一连接部 1751B，第一开口 1951 在衬底基板 110 上的正投影落入第一主体部 1751A 在衬底基板 110 上的正投影，第一连接部 1751B 与第一阳极 1751 对应的像素驱动电路 265 相连；第二阳极 1752 包括第二主体部 1752A 和第二连接部 1752B，第二开口 1952 在衬底基板 110 上的正投影落入第二主体部 1752A 在衬底基板 110 上的正投影，第二连接部 1752B 与第二阳极 1752 对应的像素驱动电路 265 相连；第三阳极 1753 包括第三主体部 1753A 和第三连接部 1753B，第三开口 1953 在衬底基板 110 上的正投影落入第三主体部 1753A 在衬底基板 110 上的正投影，第三连接部 1753B 与第三阳极 1753 对应的像素驱动电路 265 相连；第四阳极 1754 包括第四主体部 1754A 和第四连接部 1754B，第四开口 1954 在衬底基板 110 上的正投影落入第四主体部 1754A 在衬底基板 110 上的正投影，第四连接部 1754B 与第四阳极 1754 对应的像素驱动电路 265（例如，上述的第一像素驱动电路 2657）相连。

在一些示例中，如图 33 和图 36 所示，第一主体部 1751A 的形状与第一开口 1951 的形状大致相同；第二主体部 1752A 的形状与第二开口 1952 的形状大致相同；第三主体部 1753A 的形状与第三开口 1953 的形状大致相同；第四主体部 1754A 的形状与第四开口 1954 的形状大致相同。例如，当第四开口 1954 的形状为六边形时，第四主体部 1754A 的形状也为六边形。当然，第四开口和第四主体部的形状也不限于六边形，例如还可为椭圆形等其他形状。

例如，如图 33-图 36 所示，第四阳极 1754 还包括第一增补部 1754C，第四阳极 1754 对应的第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的第一沟道区 C31 和第二沟道区 C32 在衬底基板 110 上正投影分别与第一增补部 1754C 在衬底基板 110 上的正投影交叠。

在该显示基板中，通过在第四阳极增加第一增补部，使得第四阳极可以覆盖对应的像素驱动电路中的补偿薄膜晶体管的两个沟道区，从而可提高补偿薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中，如图 33-图 36 所示，第一增补部 1754C 从第四主体部 1754A 向第三阳极 1753 凸出，第一增补部 1754C 位于第四连接部 1754B 靠近第四主体部 1754A 的一侧。在一些示例中，如图 33-图 36 所示，第一增补部 1754C 与第四主体部 1754A 和第四连接部 1754B 均相连。由此，该显示基板可充分利用显示基板上的面积，将第一阳极、第二阳极、第三阳极和第四阳极紧密地排列，从而可保证显示基板的分辨率。

例如，如图 35A 所示，第一增补部 1754C 在衬底基板 110 上的正投影与补偿薄膜晶体管 T3 的共用电极 SE 在衬底基板 110 上的正投影部分重叠。

例如，如图 35A 所示，第一增补部 1754C 在衬底基板 110 上的正投影覆盖补偿薄膜晶体管 T3 的第二沟道区 C32 在衬底基板 110 上的正投影。

例如，如图 35A 所示，第四主体部 1754A 在衬底基板 110 上的正投影覆盖补偿薄膜晶体管 T3 的漏极区 D3。例如，如图 35C 所示，第一导电层 150 包括第二连接块 1542，第二连接块 1542 用于将补偿薄膜晶体管的漏极区与第一电极块 CE1 相连，第一电极块 CE1 可与第二电极块 CE2 形成存储电容，也同时作为驱动薄膜晶体管的栅极。由于第二阳极 1752 的连接部 1752B 向远离第三阳极 1753 的方向延伸并与上述的第二连接块 1542 交叠，甚至覆盖上述的第二连接块 1542，连接部 1752 可稳定驱动薄膜晶体管的栅极和补偿薄膜晶体管的漏极上的电位，从而进一步提高该显示基板的长期发光稳定性和寿命。

图 37A 为根据本公开一实施例提供的另一种显示基板的局部示意图；图 37B 为根据本公开一实施例提供的另一种显示基板的局部示意图。为了清楚地表示各个阳极的形状，图 37B 仅示出了阳极层。

如图 37A 和图 37B 所示，第四阳极 1754 还包括第二增补部 1754D；第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的第二沟道区 C2 在衬底基板 110 上的正投影与第二增补部 1754D 在衬底基板 110 上的正投影交叠。通过在第四阳极增加第二增补部，使得第四阳极可以部分甚至完全覆盖第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的第二沟道区 C2，从而可提高补偿薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中，如图 37A 和图 37B 所示，第二增补部 1754D 从第四主体部 1754A 向在第一方向上相邻的阳极组 1750 中的第一阳极 1751 凸出。

需要说明的是，如图 37A 和图 37B 所示，第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的第一沟道区 C1 在衬底基板 110 上的正投影可落入第四主体部 1754A 在衬底基板 110 上的正投影。

在一些示例中，如图 37A 和图 37B 所示，第一像素驱动电路 2657 中的补偿薄膜晶体管 T3 的共用电极 SE 与第一增补部 1754C 在衬底基板 110 上的正投影交叠，第二像素驱动电路 2658 中的补偿薄膜晶体管 T3 的共用电极 SE 在衬底基板 110 上的正投影与第

一像素驱动电路 2657 对应的第四阳极 1754 的第四主体部 1754A 在衬底基板 110 上的正投影交叠。

在一些示例中,如图 37A 和图 37B 所示,第一阳极 1751 对应的像素驱动电路 265 中的补偿薄膜晶体管 T3 的沟道区在衬底基板 110 上正投影落入第一主体部 1751A 在衬底基板 110 上的正投影。

在一些示例中,如图 31 所示,像素驱动电路 265 还包括驱动薄膜晶体管 T1,驱动薄膜晶体管 T1 的栅极 G1 与补偿薄膜晶体管 T3 的漏极 D3 相连。如图 37A 所示,第一阳极 1751 还包括第三增补部 1751C,从第一主体部 1751A 向第三阳极 1753 凸出,第一阳极 1751 对应的像素驱动电路 265 中的驱动薄膜晶体管 T1 的栅极 G1 和补偿薄膜晶体管 T3 的漏极 D3 在衬底基板 110 上正投影落入第三增补部 1751C 在衬底基板 110 上的正投影。由此,该显示基板可通过第三增补部 1751C 来稳定驱动薄膜晶体管 T1 的栅极 G1 和补偿薄膜晶体管 T3 的漏极 D3 上的电位,从而进一步提高该显示基板的长期发光稳定性和寿命。

在一些示例中,如图 37A 和图 37B 所示,第三阳极 1753 对应的像素驱动电路 265 中的补偿薄膜晶体管 T3 的第一沟道区 C31 在衬底基板 110 上正投影落入第三主体部 1753A 在衬底基板 110 上的正投影。

在一些示例中,如图 37A 和图 37B 所示,第三阳极 1753 还包括第四增补部 1753C,第三阳极 1753 对应的像素驱动电路 265 中的补偿薄膜晶体管 T3 的第二沟道区 C32 在衬底基板 110 上正投影落入第四增补部 1753C 在衬底基板 110 上的正投影。由此,第三阳极的主体部和第四增补部可对第三阳极 1753 对应的像素驱动电路 265 中的补偿薄膜晶体管 T3 的第一沟道区 C31 和第二沟道区 C32 进行部分遮挡或完全遮挡,从而提高补偿薄膜晶体管的稳定性和寿命,从而可提高该显示基板的长期发光稳定性和寿命。

在一些示例中,如图 33 和图 34 所示,像素电路层 260 还包括半导体层 120、第一栅极层 130、第二栅极层 140 和第一导电层 150;第一栅极层 130 位于半导体层 120 远离衬底基板 110 的一侧,第二栅极层 140 位于第一栅极层 130 远离衬底基板 110 的一侧,第一导电层 150 位于第二栅极层 140 远离衬底基板 110 的一侧。

例如,如图 30A 所示,半导体层 120 包括多个像素驱动单元 1200,与多个阳极 175 对应设置,各像素驱动单元 1200 包括第一单元 121、第二单元 122、第三单元 123、第四单元 124、第五单元 125、第六单元 126 和第七单元 127;第一单元 121 包括第一沟道区 C1 和位于第一沟道区 C1 两侧的第一源极区 S1 和第一漏极区 D1,第二单元 122 包括第二沟道区 C2 和位于第二沟道区 C2 两侧的第二源极区 S2 和第二漏极区 D2,第三单元 123 包括第三沟道区 C3 和位于第三沟道区 C3 两侧的第三源极区 S3 和第三漏极区 D3,第四单元 124 包括第四沟道区 C4 和位于第四沟道区 C4 两侧的第四源极区 S4 和第四漏极区 D4,第五单元 125 包括第五沟道区 C5 和位于第五沟道区 C5 两侧的第五源极区 S5 和第五漏极区 S5,第六单元 126 包括第六沟道区 C6 和位于第六沟道区 C6 两侧的第六源极区 S6 和第六漏极区 D6,第七单元 127 包括第七沟道区 C7 和位于第七沟道区 C7 两侧的第

七源极区 S7 和第七漏极区 D7。

例如，如图 30A 和图 31 所示，第六漏极区 D6 和第三漏极区 D3 相连，第三源极区 S3、第一漏极区 D1 和第五源极区 S5 连接至第一节点 N1，第一源极区 S1、第二漏极区 D2 和第四漏极区 D4 连接至第二节点 N2，第五漏极区 D5 和第七漏极区 D7 相连。

5 例如，如图 30B 所示，第一栅极层 130 包括沿第一方向延伸的复位信号线 131、沿第一方向延伸的栅线 132、第一电极块 CE1 和沿第一方向延伸的发射控制线 133。复位信号线 131 可与第七沟道区 C7 和第六沟道区 C6 交叠，以与第七单元 127 和第六单元 126 形成第七薄膜晶体管 T7 和第六薄膜晶体管 T6，栅线 132 分别与第三沟道区 C3 和第二沟道区 C2 交叠，以与第三单元 123 和第二单元 122 形成第三薄膜晶体管 T3 和第二薄膜晶体管 T2，第一电极块 CE1 与第一沟道区 C1 交叠，以与第一单元 121 形成第一薄膜晶体管 T1，发射控制线 133 与第四沟道区 C4 和第五沟道区 C5 交叠，以与第四单元 124 和第五单元 125 形成第四薄膜晶体管 T4 和第五薄膜晶体管 T5。可见，上述的第三薄膜晶体管 T3 为补偿薄膜晶体管。

15 例如，如图 30B 所示，复位信号线 131、栅线 132 和发射控制线 133 均沿第一方向延伸，复位信号线 131、栅线 132、第一电极块 CE1 和发射控制线 133 沿第二方向排列。

例如，如图 30C 所示，第二栅极层 140 包括沿第一方向延伸的初始化信号线 141、第二电极块 CE2 和导电块 143。例如，导电块 143 可与电源线相连，从而降低电源线的电阻。另外，初始化信号线 141 与第七源极区 S7 和第一源极区 S1 相连，第二电极块 CE2 在衬底基板 110 上的正投影与第一电极块 CE1 在衬底基板 110 上的正投影至少部分重叠以形成存储电容 Cst。需要说明的是，导电块也可起到一定的遮光作用；另外，图 33 最左侧的导电块仅示出了一部分，图 33 最左侧的导电块的形状与其他导电块的形状相同。

20 例如，如图 30D 所示，第一导电层 150 包括沿第二方向延伸的电源线 151 和数据线 152、第一连接块 1541、第二连接块 1542 和第三连接块 1543。数据线 152 可与第二源极区 S2 相连，第四源极区 S4 与电源线 151 相连；第一连接块 1541 用于将初始化信号线 141 与第六源极区 S6 和第七源极区 S7 相连；第二连接块 1542 用于将第三漏极区 D3 与第一电极块 CE1 相连；第三连接块 1543 与第五漏极区 D5 相连，可作为漏极与对应的阳极相连。

下面将对图 31 所示的像素驱动电路的一种工作方式进行示意性描述。首先，当向复位信号线 131 传输复位信号并使得第七薄膜晶体管 T7 导通时，流经各个子像素的阳极的剩余电流通过第七薄膜晶体管 T7 放电到第六薄膜晶体管 T6，从而可抑制由于流经各个子像素的阳极的剩余电流导致的发光。然后，当向复位信号线 131 传输复位信号并向初始化信号线 141 传输初始化信号时，第六薄膜晶体管 T6 导通，并且通过第六薄膜晶体管 T6 向第一薄膜晶体管 T1 的第一栅极和存储电容 Cst 的第一电极块 CE1 施加初始化电压 Vint，使得第一栅极和存储电容 Cst 初始化。第一栅极初始化可使得第一薄膜晶体管 T1 导通。

35 随后，当向栅线 132 传输栅极信号并向数据线 152 传输数据信号时，第二薄膜晶体

管 T2 和第三薄膜晶体管 T3 都导通, 通过第二薄膜晶体管 T2 和第三薄膜晶体管 T3 向第一栅极施加数据电压 V_d 。此时, 施加到第一栅极的电压是补偿电压 $V_d + V_{th}$, 并且施加到第一栅极的补偿电压也被施加到存储电容 Cst 的第一电极块 CE1。

随后, 电源线 151 向存储电容 Cst 的第二电极块 CE2 施加驱动电压 V_{el} , 向第一电极块 CE1 施加补偿电压 $V_d + V_{th}$, 使得与分别施加到存储电容 Cst 的两个电极的电压之间的差对应的电荷存储在存储电容 Cst 中, 第一薄膜晶体管 T1 导通达到预定时间。

随后, 当向发射控制线 133 施加发射控制信号时, 第四薄膜晶体管 T4 和第五薄膜晶体管 T5 都导通, 使得第四薄膜晶体管 T4 向第五薄膜晶体管 T5 施加驱动电压 V_{el} 。驱动电压 V_{el} 穿过由存储电容 Cst 导通的第一薄膜晶体管 T1 时, 对应的驱动电压 V_{el} 与通过存储电容 Cst 向第一栅极施加的电压之间的差驱动电流 I_d 流经第一薄膜晶体管 T1 的第一漏极区 D3, 驱动电流 I_d 通过第五薄膜晶体管 T5 施加到各个子像素, 使得各个子像素的发光层发光。

在一些示例中, 如图 33 和图 34 所示, 该显示基板 100 还包括第一平坦层 241、第二导电层 160、第二平坦层 242 和阳极 175; 第一平坦层 241 位于第一导电层 150 远离衬底基板 110 的一侧; 第二导电层 160 位于第一平坦层 241 远离第一导电层 150 的一侧, 且包括连接电极 161; 第二平坦层 242 位于第二导电层 160 远离第一平坦层 241 的一侧; 阳极 175 位于第二平坦层 242 远离第二导电层 160 的一侧, 第一平坦层 241 包括第一过孔 H1, 连接电极 161 通过第一过孔 H1 与第六漏极区 S6 相连, 第二平坦层 242 包括第二过孔 H2, 阳极 175 通过第二过孔 H2 与连接电极 161 相连。

在一些示例中, 如图 33、图 34 和图 36 所示, 该显示基板 100 还包括发光层 180, 位于阳极层 170 远离衬底基板 110 的一侧, 且包括多个发光部 185, 多个发光部 185 包括多个发光组 1850, 各发光组 1850 包括一个第一发光部 1851、一个第二发光部 1852、一个第三发光部 1853 和一个第四发光部 1854; 第一发光部 1851 至少部分位于第一开口 1951 并覆盖被暴露的第一阳极 1751, 第二发光部 1852 至少部分位于第二开口 1952 并覆盖被暴露的第二阳极 1752, 第三发光部 1753 至少部分位于第三开口 1953 并覆盖被暴露的第三阳极 1753, 第四发光部 1854 至少部分位于第四开口 1954 并覆盖被暴露的第四阳极 1754; 第一发光部 1851 被配置为发出第一颜色的光, 第二发光部 1852 和第三发光部 1853 被配置为发出第二颜色的光, 第四发光部 1854 被配置为发出第三颜色的光。

例如, 第一颜色为红色 (R), 第二颜色为绿色 (G), 第三颜色为蓝色 (B)。也就是说, 该显示基板采用 GGRB 的像素排列结构。

例如, 如图 34 所示, 位于第一阳极 1751 远离第二阳极 1752 的一侧的第一导电部 1621 和位于第一导电层 150 中的电源线 151 的重叠面积小于位于第一阳极 1751 靠近第二阳极 1752 的一侧的第二导电部 1622 与第一导电层 150 中的电源线 151 的重叠面积。

本公开一实施例还提供一种显示装置。图 38 为根据本公开一实施例提供的一种显示装置的示意图。如图 38 所示, 该显示装置 400 包括上述任一项的显示基板 100。由此, 该显示装置具有与该显示基板的有益效果对应的有益效果。例如, 该显示装置可提高补

偿薄膜晶体管的稳定性和寿命，从而可提高该显示基板的长期发光稳定性和寿命。

例如，该显示装置可为电视、电脑、笔记本电脑、平坦电脑、手机、导航仪、电子相框等具有显示功能的电子产品。

有以下几点需要说明：

- 5 (1) 本公开的实施例附图中，只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

(2) 在不冲突的情况下，本公开的同一实施例及不同实施例中的特征可以相互组合。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种显示基板，包括：

衬底基板；

- 5 像素电路层，位于所述衬底基板上，且包括多个像素驱动电路；以及
阳极层，位于所述像素电路层远离所述衬底基板的一侧，且包括多个阳极，
其中，所述多个像素驱动电路与所述多个阳极一一对应设置，各所述像素驱动电路
包括功能薄膜晶体管，

10 所述多个像素驱动电路包括相邻设置的第一像素驱动电路和第二像素驱动电路，所述
第一像素驱动电路中的功能薄膜晶体管的沟道区和所述第二像素驱动电路中的功能薄
膜晶体管的沟道区在所述衬底基板上的正投影均与所述第一像素驱动电路对应的阳极在
所述衬底基板上的正投影交叠。

2、根据权利要求1所述的显示基板，其中，所述功能薄膜晶体管的所述沟道区包括
间隔设置的第一沟道区和第二沟道区，所述功能薄膜晶体管还包括位于所述第一沟道区
15 和第二沟道区之间的共用电极，

所述第一像素驱动电路中的功能薄膜晶体管的所述共用电极和所述第二像素驱动电
路中的功能薄膜晶体管的所述共用电极在所述衬底基板上的正投影均与所述第一像素驱
动电路对应的阳极在所述衬底基板上的正投影交叠。

20 3、根据权利要求2所述的显示基板，其中，所述多个阳极包括多个阳极组，所述多
个阳极组沿第一方向排列以形成多个阳极组列，沿第二方向排列以形成多个阳极组行，
各所述阳极组包括一个第一阳极、一个第二阳极、一个第三阳极和一个第四阳极，

第一像素驱动电路和第二像素驱动电路沿所述第一方向设置，一个所述阳极组中的
所述第四阳极与所述第一像素驱动电路对应设置且电性相连，另一个所述阳极组中的所
述第二阳极与所述第二像素驱动电路对应设置且电性相连。

25 4、根据权利要求3所述的显示基板，还包括：

像素限定层，位于所述阳极层远离所述衬底基板的一侧，且包括多个开口，所述多
个开口包括多个开口组，各所述开口组包括一个第一开口、一个第二开口、一个第三开
口和一个第四开口，所述第一开口与所述第一阳极对应设置并暴露所述第一阳极，所述
第二开口与所述第二阳极对应设置并暴露所述第二阳极，所述第三开口与所述第三阳极
30 对应设置并暴露所述第三阳极，所述第四开口与所述第四阳极对应设置并暴露所述第四
阳极，

所述第一阳极包括第一主体部和第一连接部，所述第一开口在衬底基板上的正投影
落入所述第一主体部在所述衬底基板上的正投影，所述第一连接部与所述第一阳极对应
的所述像素驱动电路相连，

35 所述第二阳极包括第二主体部和第二连接部，所述第二开口在衬底基板上的正投影
落入所述第二主体部在所述衬底基板上的正投影，所述第二连接部与所述第二阳极对应

的所述像素驱动电路相连，

所述第三阳极包括第三主体部和第三连接部，所述第三开口在衬底基板上的正投影落入所述第三主体部在所述衬底基板上的正投影，所述第三连接部与所述第三阳极对应的所述像素驱动电路相连，

5 所述第四阳极包括第四主体部和第四连接部，所述第四开口在衬底基板上的正投影落入所述第四主体部在所述衬底基板上的正投影，所述第四连接部与所述第四阳极对应的所述像素驱动电路相连。

5、根据权利要求4所述的显示基板，所述第四阳极还包括第一增补部，

10 其中，所述第四阳极对应的所述第一像素驱动电路中的所述功能薄膜晶体管的所述第一沟道区和所述第二沟道区在所述衬底基板上正投影分别与所述第一增补部在衬底基板上的正投影交叠。

6、根据权利要求5所述的显示基板，其中，所述第一增补部从所述第四主体部向所述第三阳极凸出，所述第一增补部位于所述第四连接部靠近所述第四主体部的一侧。

15 7、根据权利要求5所述的显示基板，其中，所述第一增补部与所述第四主体部和所述第四连接部均相连。

8、根据权利要求5所述的显示基板，其中，所述第四阳极还包括第二增补部，

其中，所述第二像素驱动电路中的功能薄膜晶体管的所述第二沟道区在所述衬底基板上的正投影与所述第二增补部在所述衬底基板上的正投影交叠。

20 9、根据权利要求8所述的显示基板，其中，所述第二增补部从所述第四主体部向在第一方向上相邻的所述阳极组中的所述第一阳极凸出。

25 10、根据权利要求5-9中任一项所述的显示基板，其中，所述第一像素驱动电路中的功能薄膜晶体管的所述共用电极与所述第一增补部在所述衬底基板上的正投影交叠，所述第二像素驱动电路中的功能薄膜晶体管的所述共用电极在所述衬底基板上的正投影与所述第一像素驱动电路对应的所述第四阳极的所述第四主体部在所述衬底基板上的正投影交叠。

11、根据权利要求3-8中任一项所述的显示基板，其中，所述第一阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的沟道区在所述衬底基板上正投影落入所述第一主体部在所述衬底基板上的正投影。

30 12、根据权利要求3-8中任一项所述的显示基板，其中，所述像素驱动电路还包括驱动薄膜晶体管，所述驱动薄膜晶体管的栅极与所述功能薄膜晶体管的漏极相连，

所述第一阳极还包括第三增补部，从所述第一主体部向所述第三阳极凸出，所述第一阳极对应的所述像素驱动电路中的驱动薄膜晶体管的栅极和所述功能薄膜晶体管的漏极在所述衬底基板上正投影落入所述第三增补部在衬底基板上的正投影。

35 13、根据权利要求3-8中任一项所述的显示基板，其中，所述第三阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的第一沟道区在所述衬底基板上正投影落入所述第三主体部在衬底基板上的正投影。

14、根据权利要求 3-8 中任一项所述的显示基板，其中，所述第三阳极还包括第四增补部，所述第三阳极对应的所述像素驱动电路中的所述功能薄膜晶体管的第二沟道区在所述衬底基板上正投影落入所述第四增补部在衬底基板上的正投影。

5 15、根据权利要求 3-14 中任一项所述显示基板，其中，相邻的两个所述阳极组行错位 $1/2$ 节距设置，所述节距等于在所述第一方向相邻的两个所述阳极组中两个所述第一阳极的中心之间的距离，

在一个所述阳极组中，所述第二阳极和所述第三阳极沿所述第二方向排列以形成阳极对，所述第一阳极、所述阳极对和所述第四阳极沿所述第二方向排列。

10 16、根据权利要求 3-15 中任一项所述的显示基板，其中，所述像素电路层包括：半导体层，位于所述衬底基板上；以及

第一栅极层，位于所述半导体层远离所述衬底基板的一侧，

其中，所述半导体层包括多个像素驱动单元，与所述多个阳极一一对应设置，各所述像素驱动单元包括第一单元、第二单元、第三单元、第四单元、第五单元、第六单元和第七单元，所述第一单元包括第一沟道区和位于所述第一沟道区两侧的第一源极区和第一漏极区域，所述第二单元包括第二沟道区和位于所述第二沟道区两侧的第二源极区和第二漏极区域，所述第三单元包括第三沟道区和位于所述第三沟道区两侧的第三源极区和第三漏极区域，所述第四单元包括第四沟道区和位于所述第四沟道区两侧的第四源极区和第四漏极区域，所述第五单元包括第五沟道区和位于所述第五沟道区两侧的第五源极区和第五漏极区域，所述第六单元包括第六沟道区和位于所述第六沟道区两侧的第六源极区和第六漏极区域，所述第七单元包括第七沟道区和位于所述第七沟道区两侧的第七源极区和第七漏极区域，

所述第三源极区、所述第一漏极区和所述第五源极区连接至第一节点，所述第六漏极区和所述第三漏极区相连，所述第一源极区、所述第二漏极区和所述第四漏极区连接至第二节点，所述第五漏极区和所述第七漏极区相连，

25 所述第一栅极层包括复位信号线、栅线、第一电极块和第三栅线，所述复位信号线与所述第七沟道区和所述第六沟道区交叠，以与所述第七单元和所述第六单元形成第七薄膜晶体管和第六薄膜晶体管，所述栅线分别与所述第三沟道区和所述第二沟道区交叠，以与所述第三单元和所述第二单元形成第三薄膜晶体管和第二薄膜晶体管，所述第一电极块与所述第一沟道区交叠，以与所述第一单元形成第一薄膜晶体管，所述第三栅线与
30 所述四沟道区和所述第五沟道区交叠，以与所述第四单元和所述第五单元形成第四薄膜晶体管和第五薄膜晶体管，

所述第三薄膜晶体管为所述功能薄膜晶体管。

17、根据权利要求 16 所述的显示基板，其中，所述复位信号线、栅线和第三栅线均沿所述第一方向延伸，所述复位信号线、所述栅线、所述第一电极块和所述第三栅线沿
35 所述第二方向排列。

18、根据权利要求 16 或 17 所述的显示基板，其中，所述像素电路层包括：

第二栅极层, 位于所述第一栅极层远离所述半导体层的一侧;

其中, 所述第二栅极层包括初始化信号线和第二电极块, 所述初始化信号线与所述第七源极区和第六源极区相连, 所述第二电极块在衬底基板上的正投影与所述第一电极块在所述衬底基板上的正投影至少部分重叠以形成存储电容。

5 19、根据权利要求 18 所述的显示基板, 其中, 所述像素电路层还包括:

第一导电层, 位于所述第二栅极层远离所述第一栅极层的一侧,

其中, 所述第一导电层包括数据线和电源线, 所述第二源极区与所述数据线相连, 所述第四源极区与所述电源线相连。

20、根据权利要求 19 所述的显示基板, 还包括:

10 第一平坦层, 位于所述第一导电层远离所述衬底基板的一侧;

第二导电层, 位于所述第一平坦层远离所述第一导电层的一侧, 且包括连接电极;
以及

第二平坦层, 位于所述第二导电层远离所述第一平坦层的一侧,

15 其中, 所述第一平坦层包括第一过孔, 所述连接电极通过所述第一过孔与第五漏极区相连, 所述第二平坦层包括第二过孔, 所述阳极通过所述第二过孔与所述连接电极相连。

21、根据权利要求 3-20 中任一项所述的显示基板, 还包括:

20 发光层, 位于所述阳极层远离所述衬底基板的一侧, 且包括多个发光部, 所述多个发光部包括多个发光组, 各所述发光组包括一个第一发光部、一个第二发光部、一个第三发光部和一个第四发光部,

所述第一发光部至少部分位于所述第一开口并覆盖被暴露的所述第一阳极, 所述第二发光部至少部分位于所述第二开口并覆盖被暴露的所述第二阳极, 所述第三发光部至少部分位于所述第三开口并覆盖被暴露的所述第三阳极, 所述第四发光部至少部分位于所述第四开口并覆盖被暴露的所述第四阳极,

25 所述第一发光部被配置为发出第一颜色的光, 所述第二发光部和所述第三发光部被配置为发出第二颜色的光, 所述第四发光部被配置为发出第三颜色的光。

22、根据权利要求 21 所述的显示基板, 其中, 所述第一颜色为红色, 所述第二颜色为绿色, 所述第三颜色为蓝色。

30 23、根据权利要求 3-22 中任一项所述的显示基板, 其中, 所述第一方向和所述第二方向大致垂直。

24、一种显示装置, 包括根据权利要求 1-23 中任一项所述的显示基板。

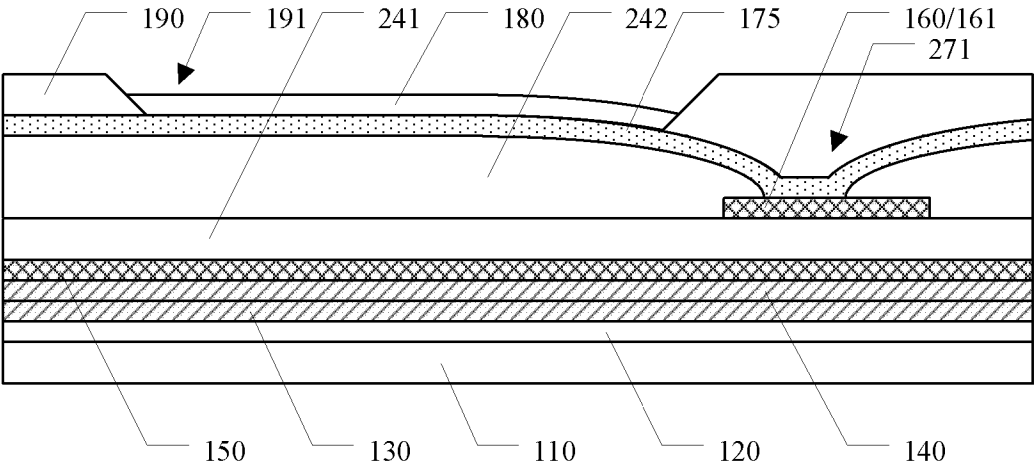


图 1

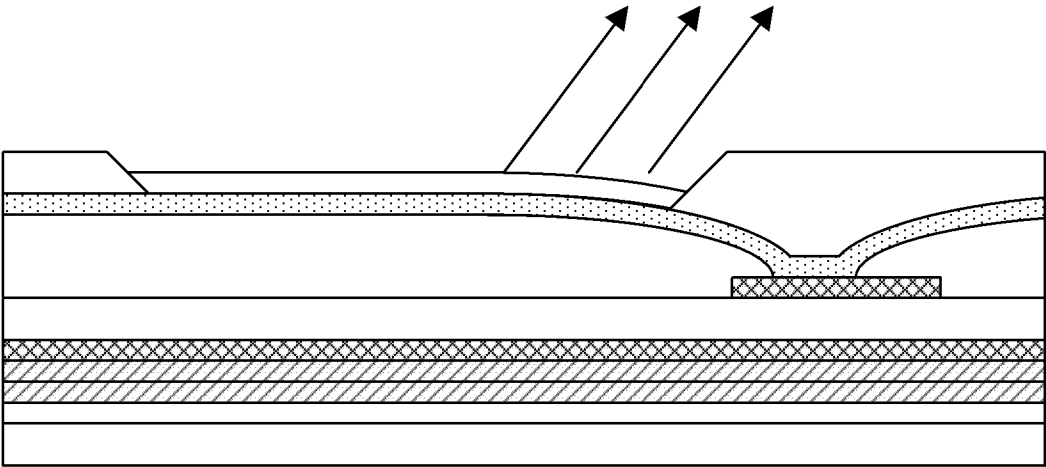


图 2

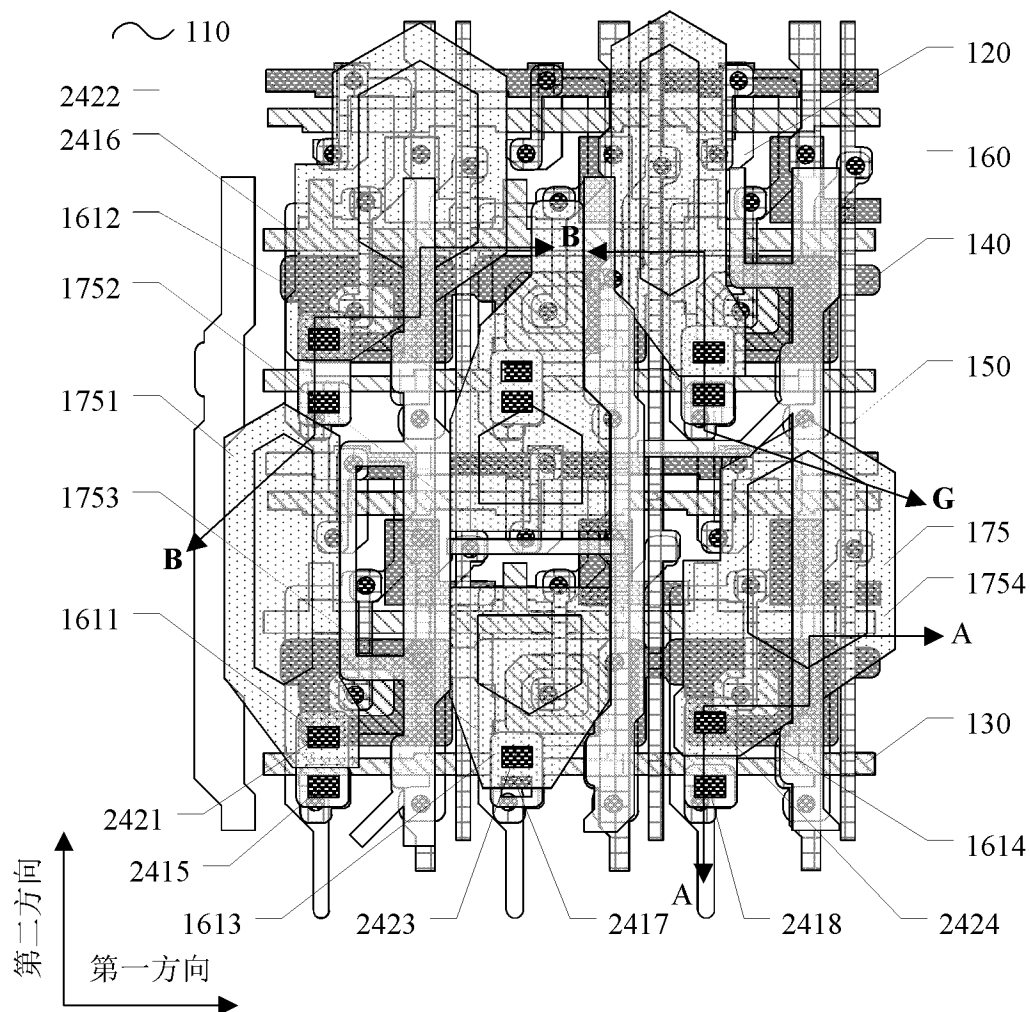


图 3

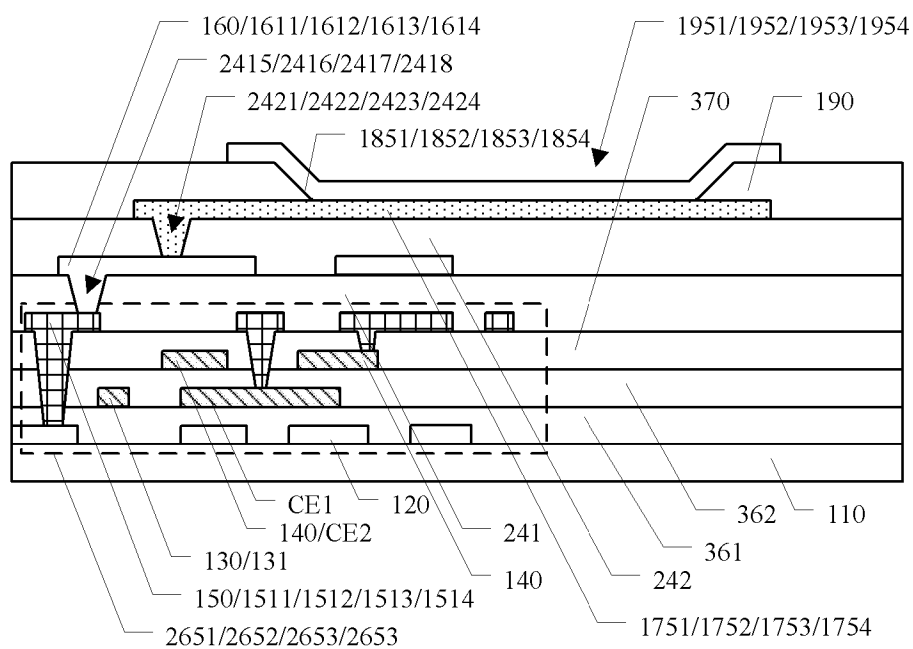


图 4A

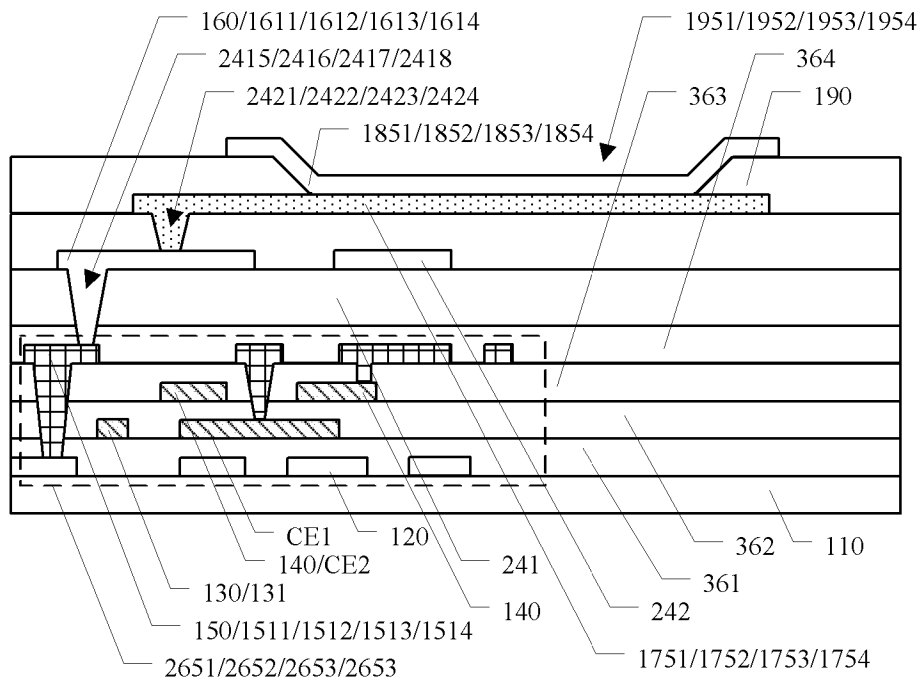


图 4B

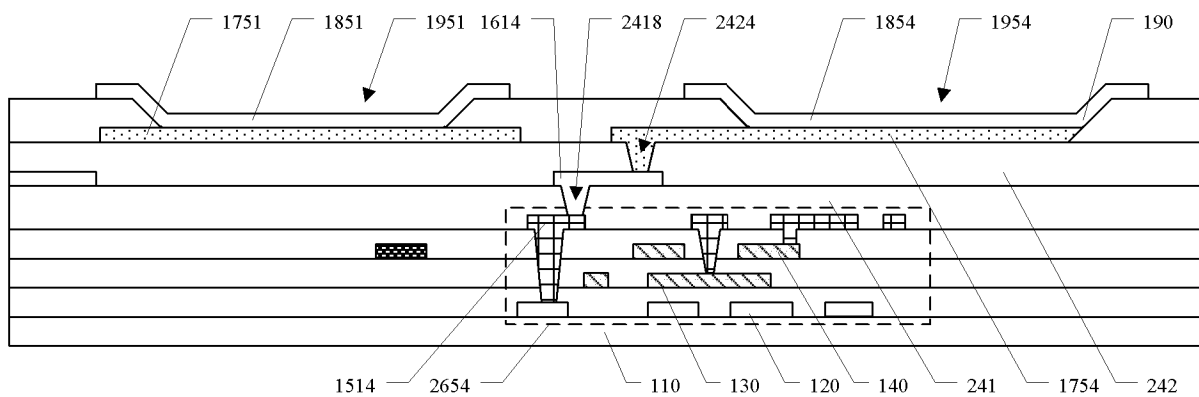


图 5A

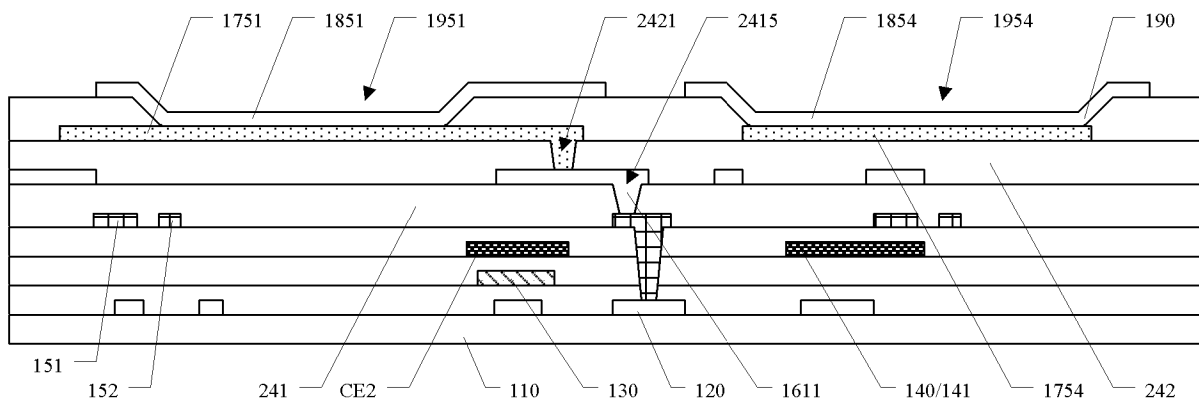


图 5B

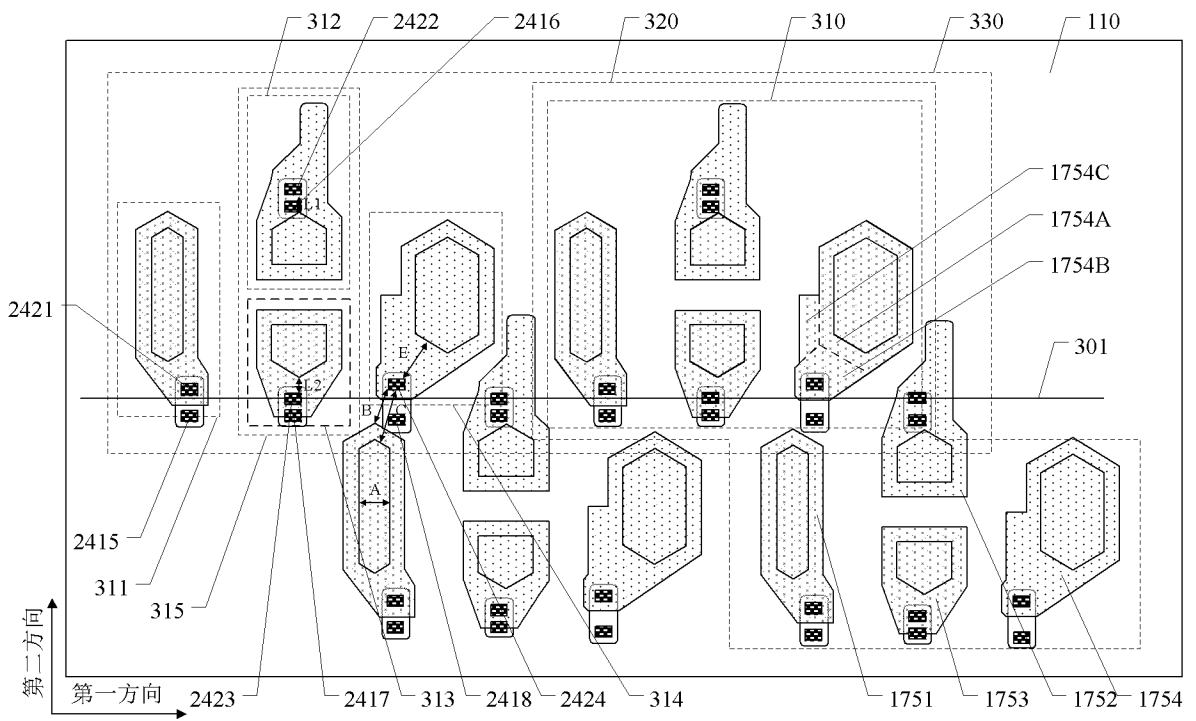


图 6

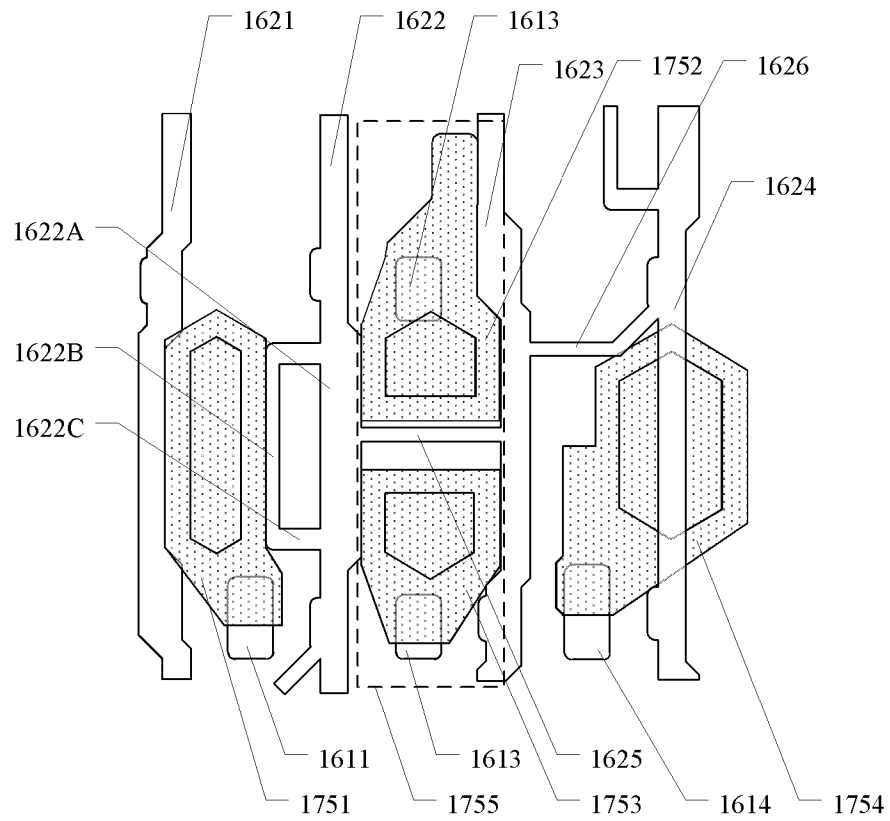


图 7



图 8

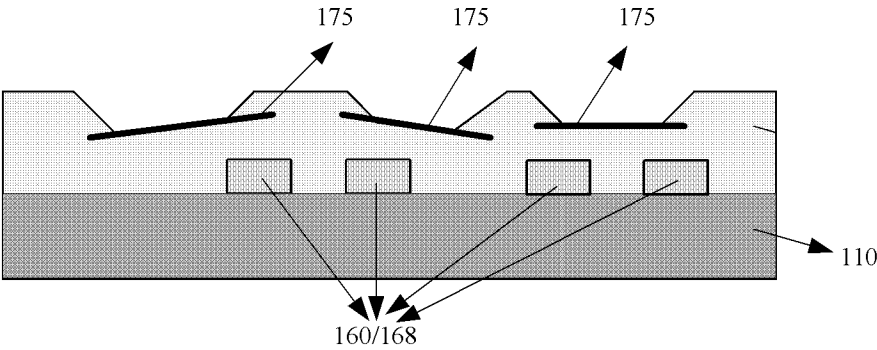


图 9

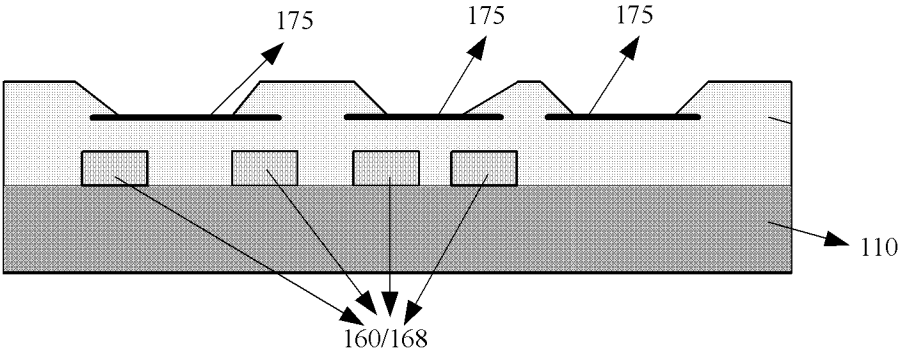


图 10

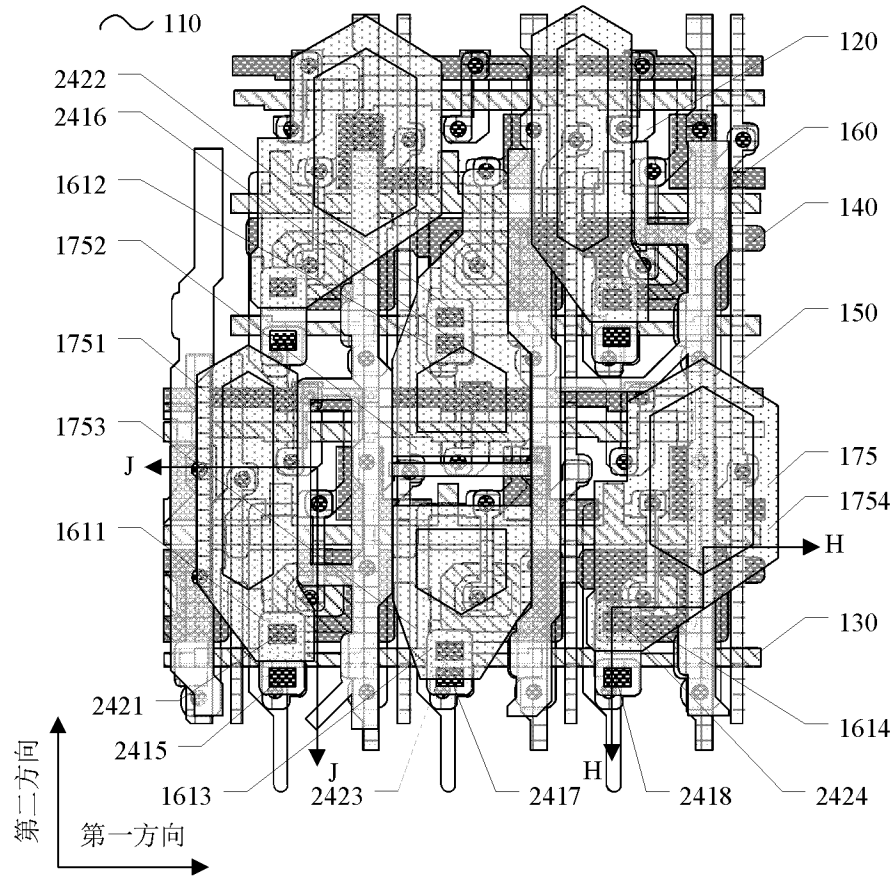


图 11

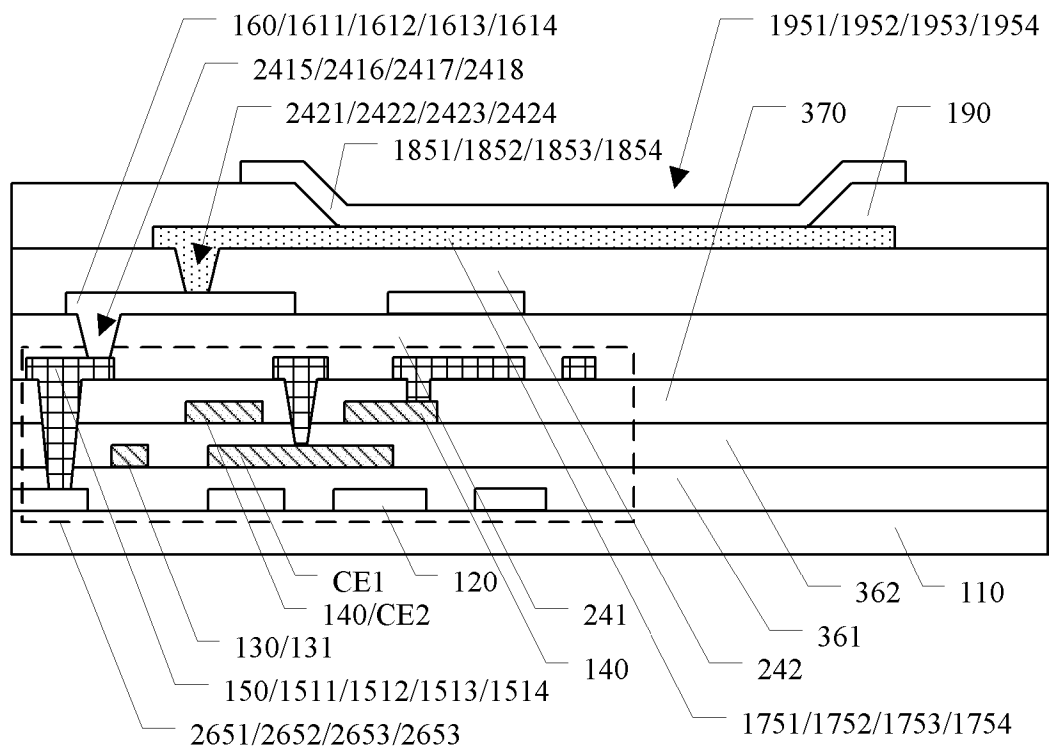


图 12A

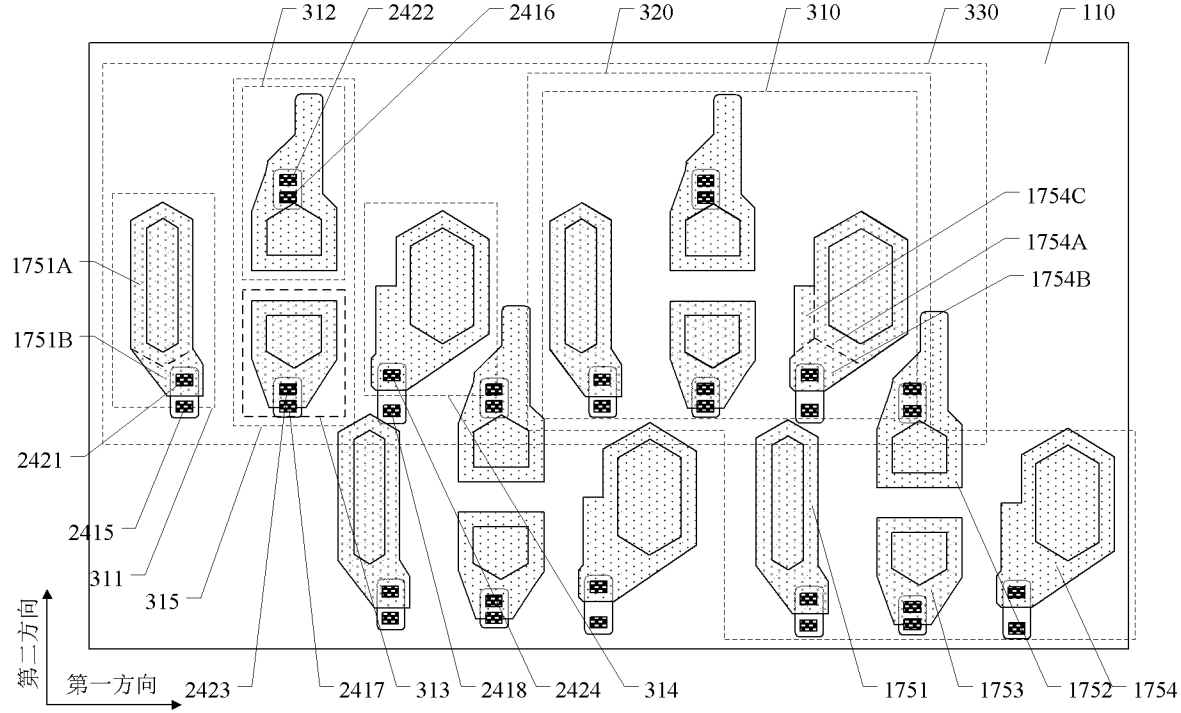
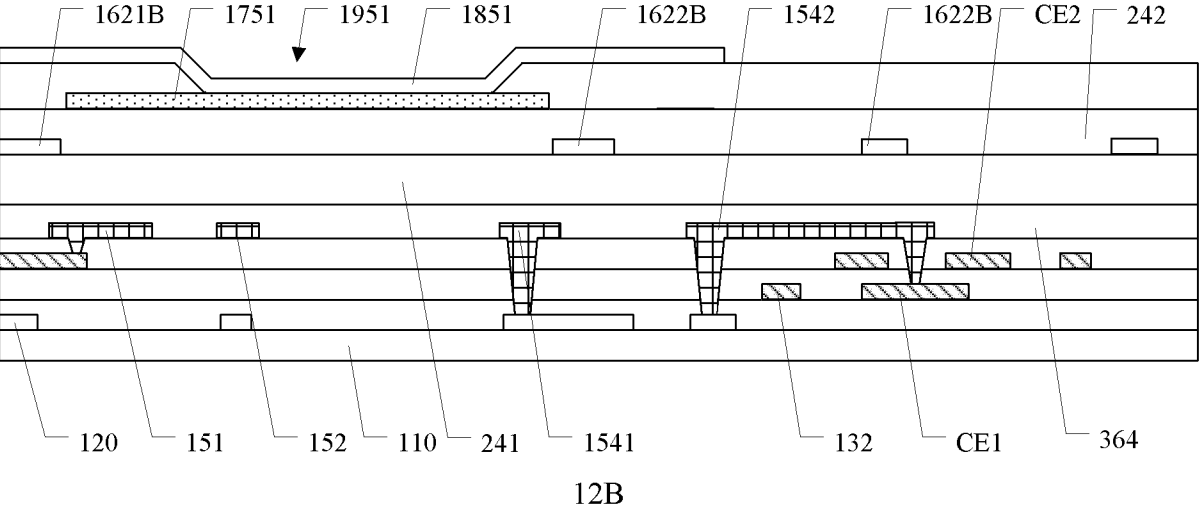


图 13

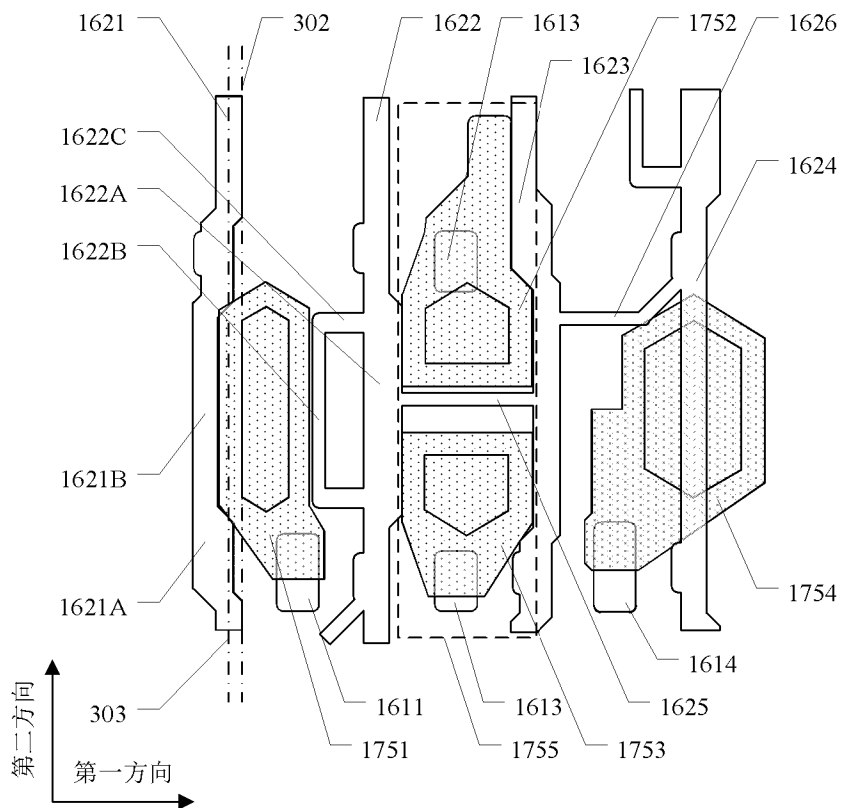


图 14

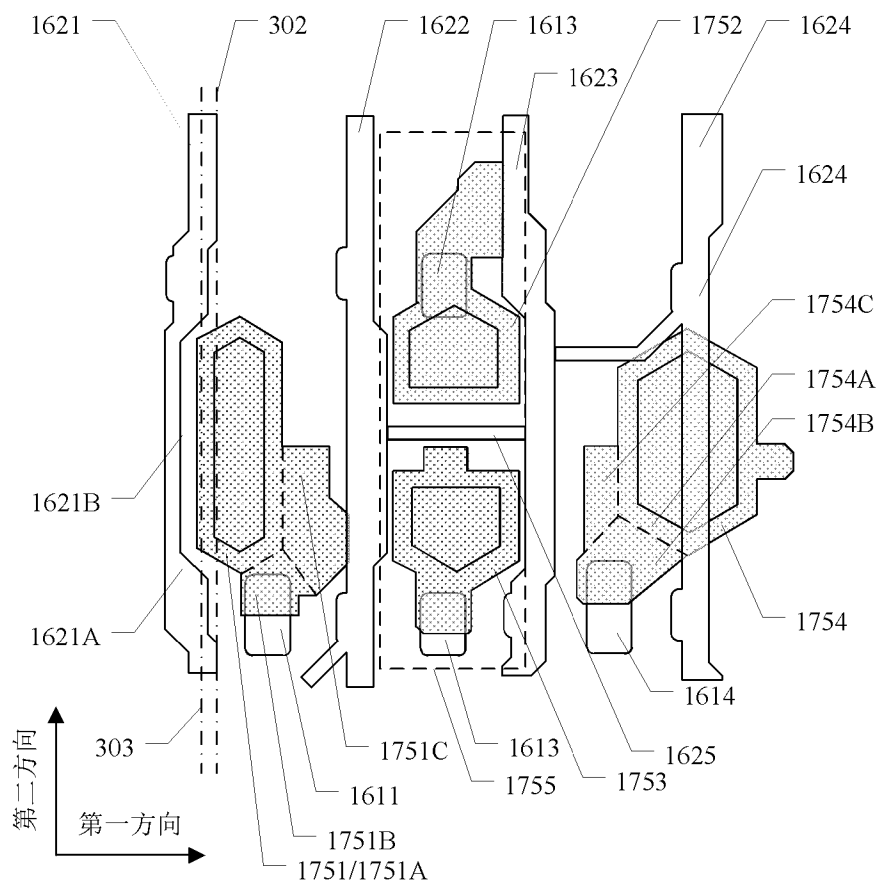


图 15



图 16

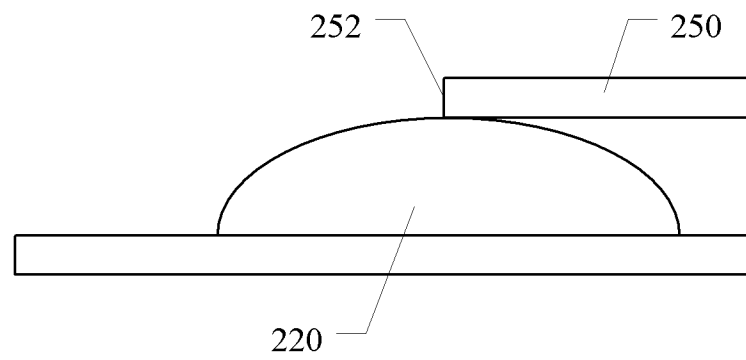


图 17

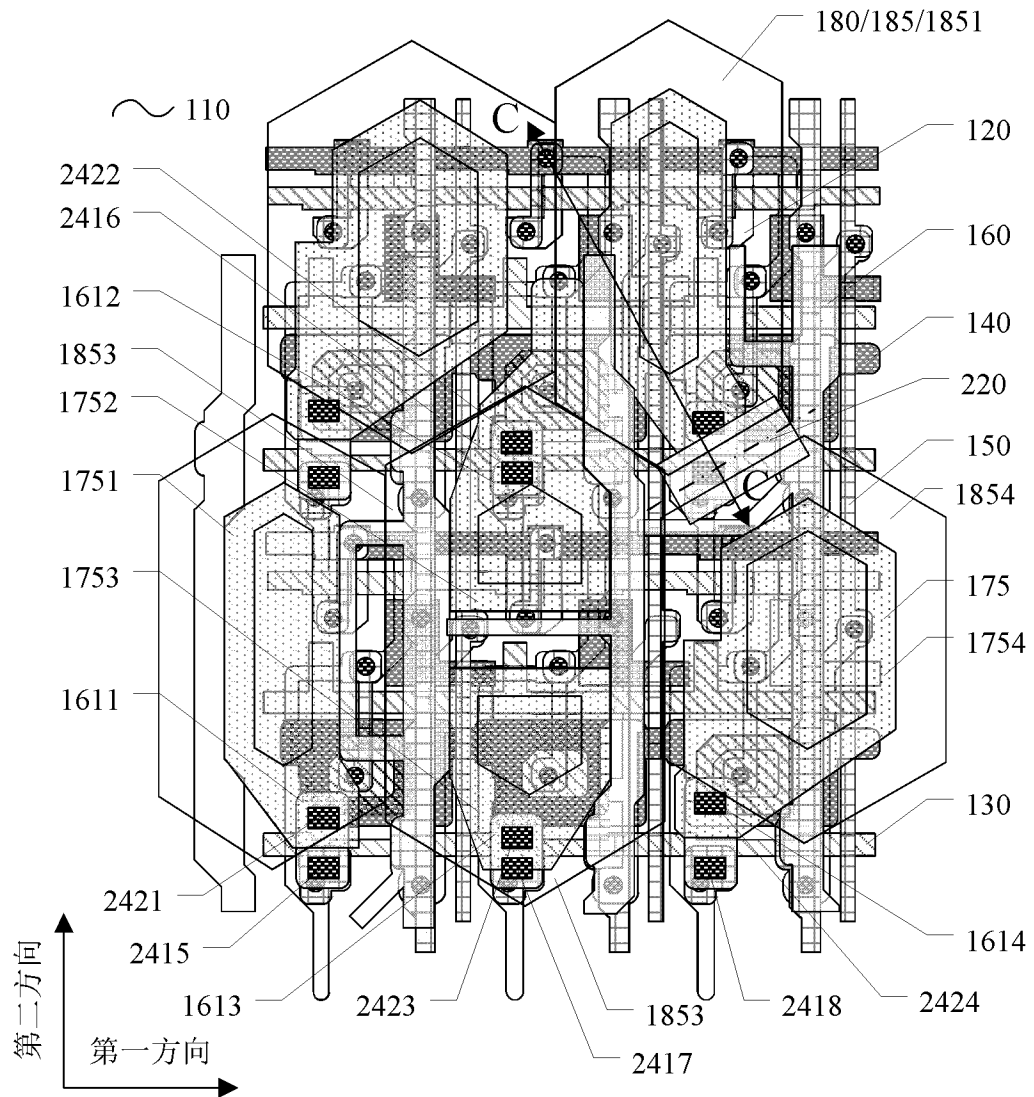


图 18

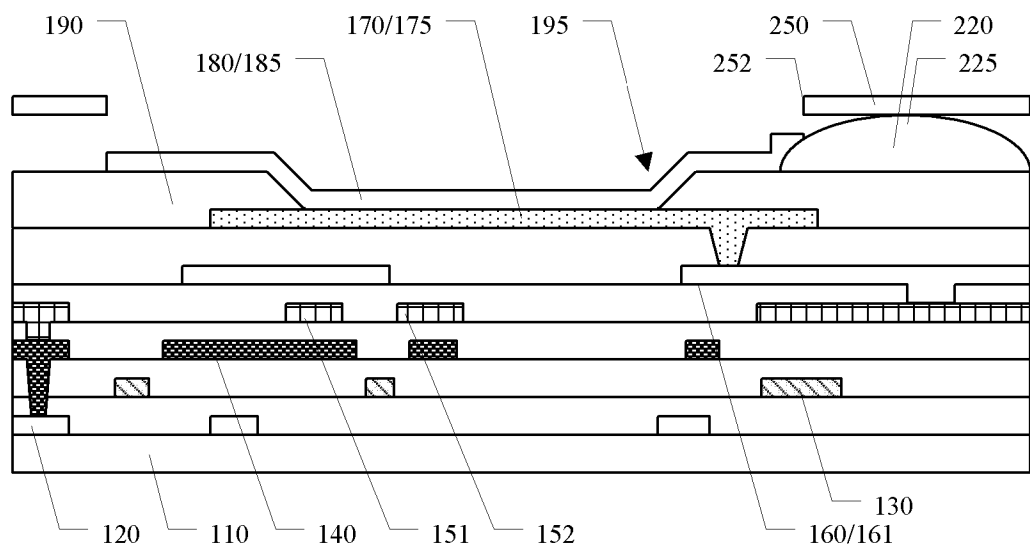


图 19

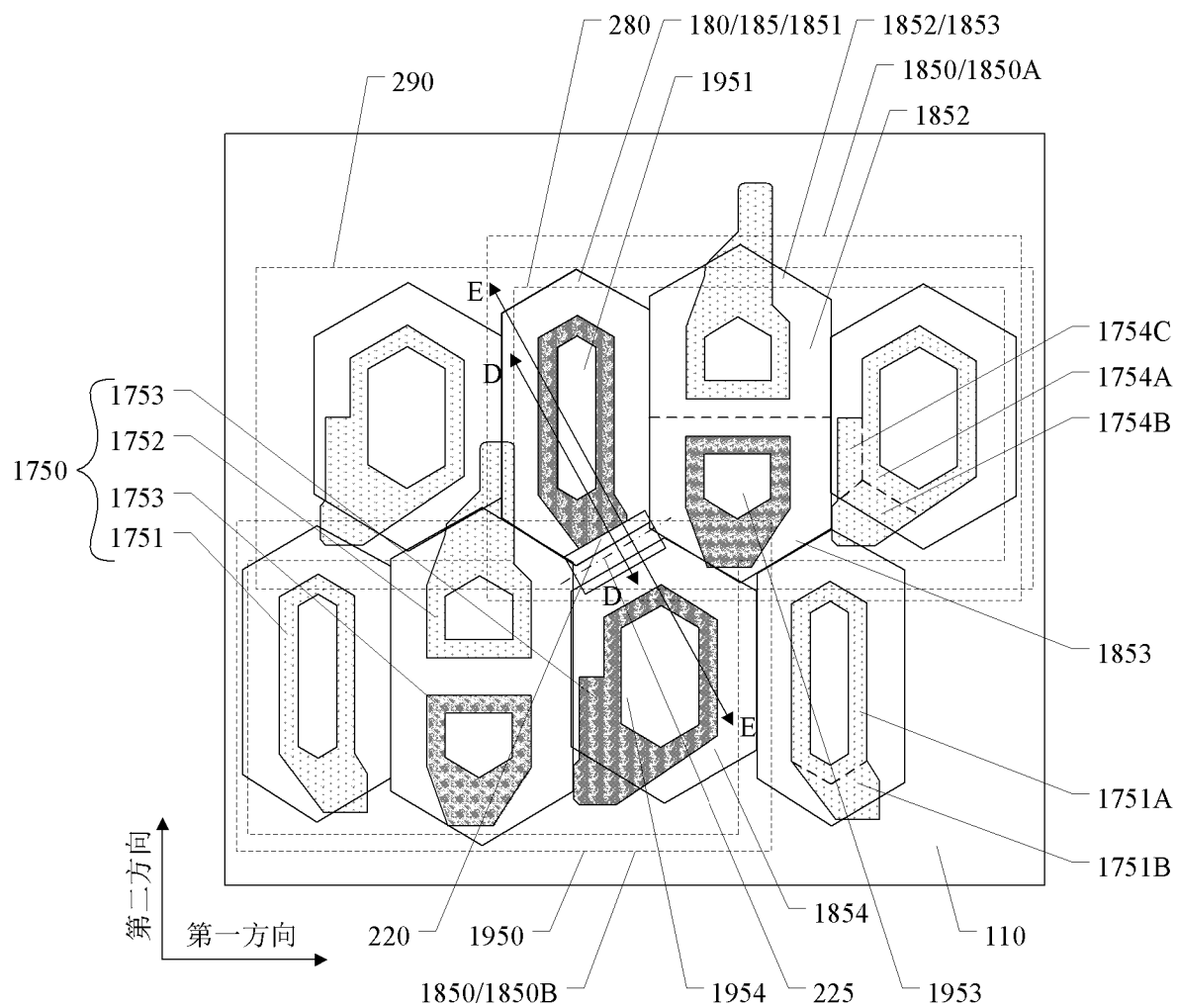


图 20

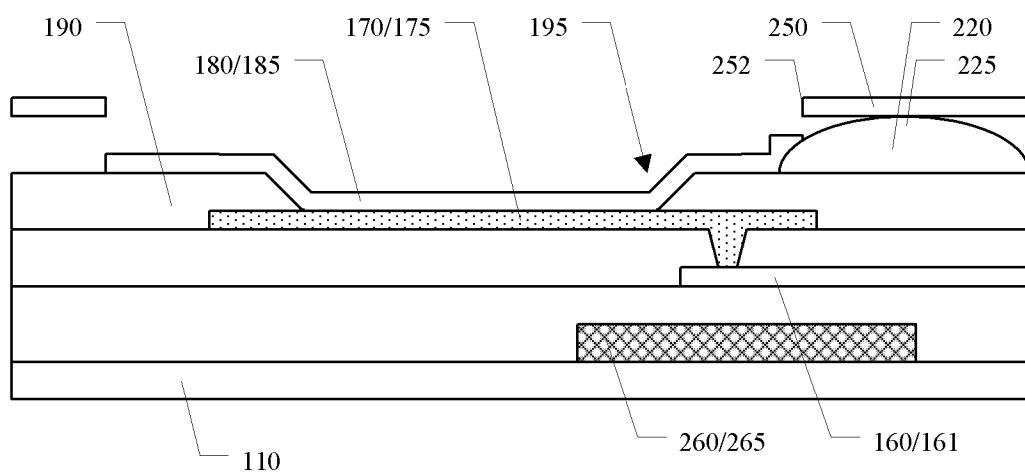


图 21

12/24

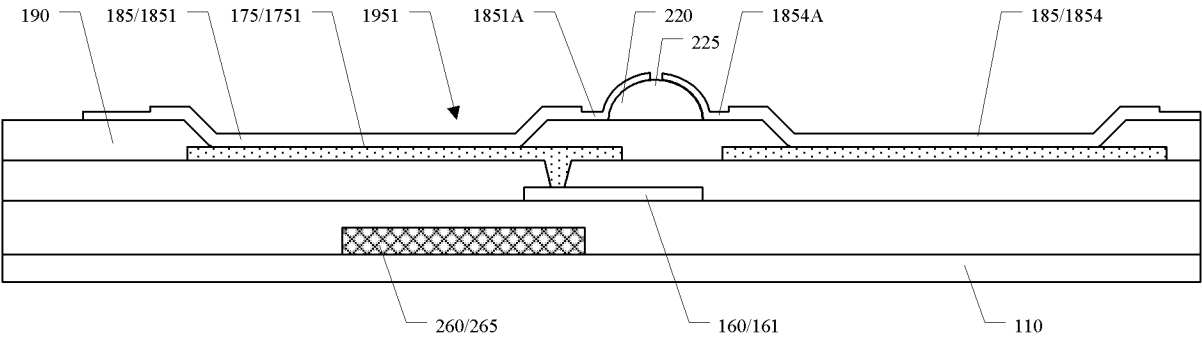


图 22



图 23

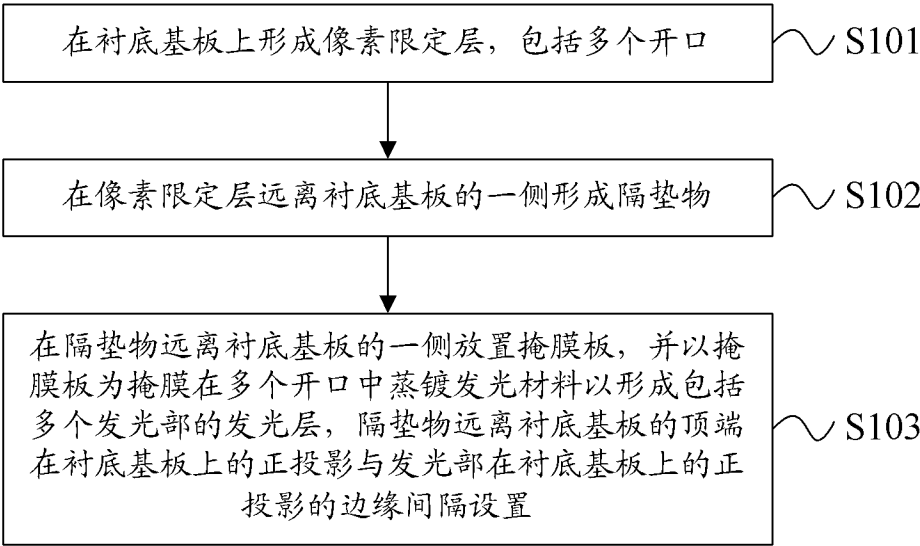


图 24

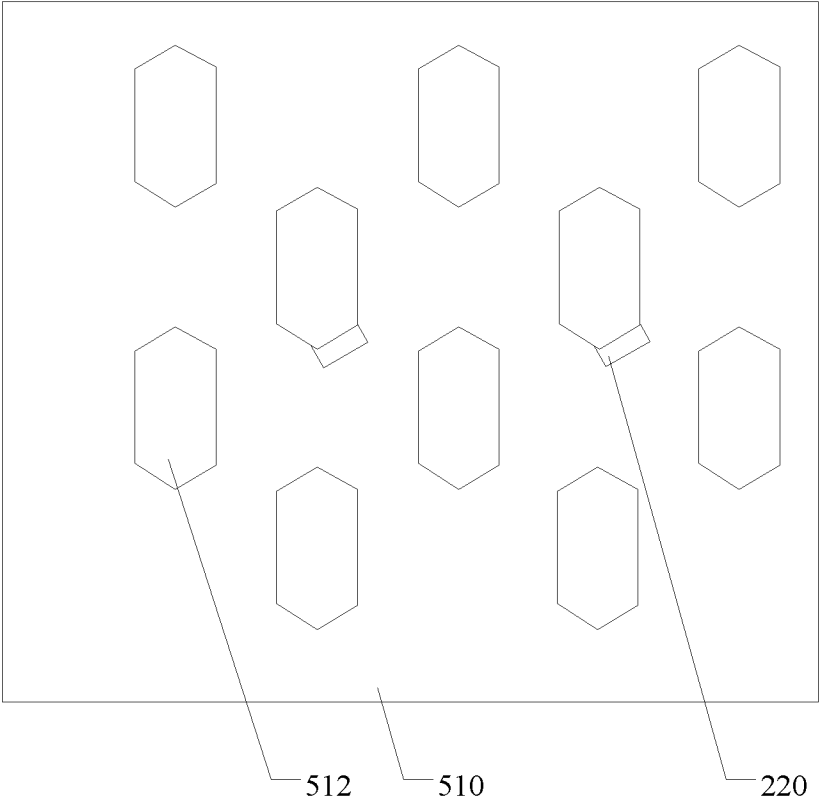


图 25

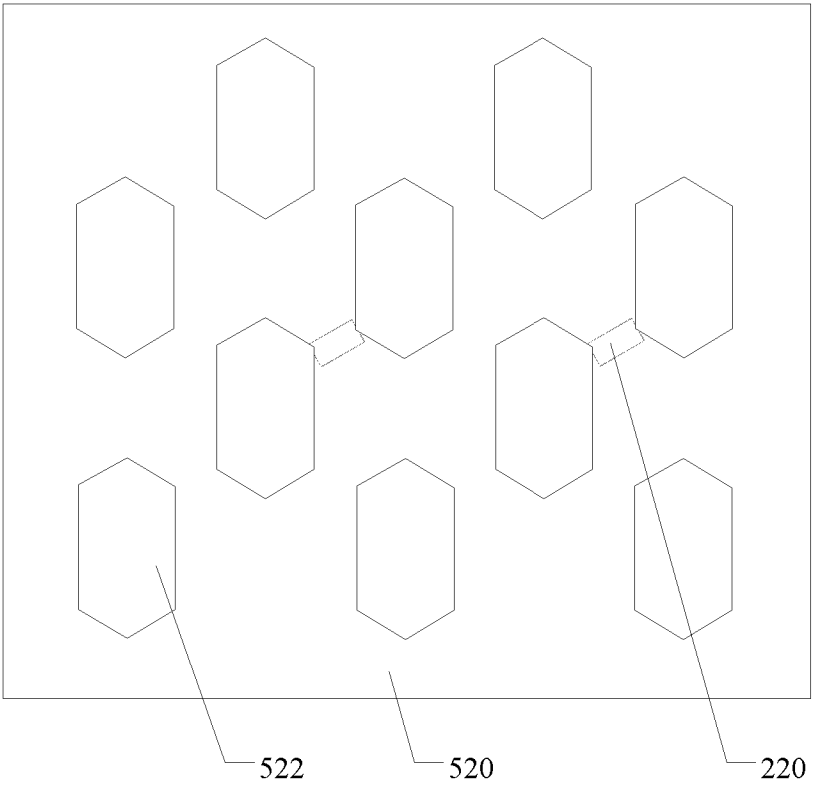


图 26

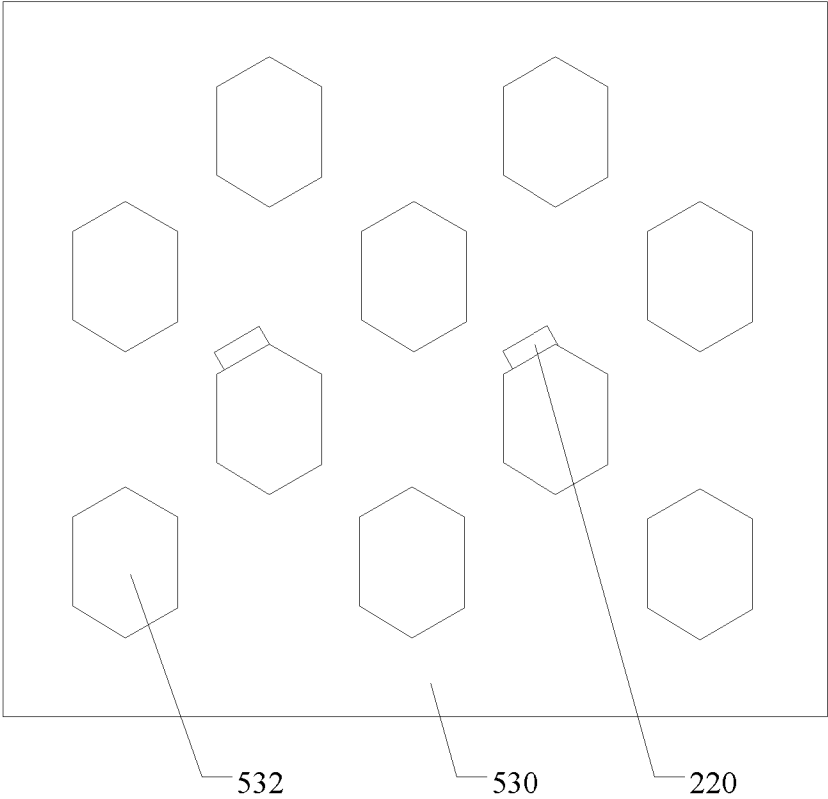


图 27

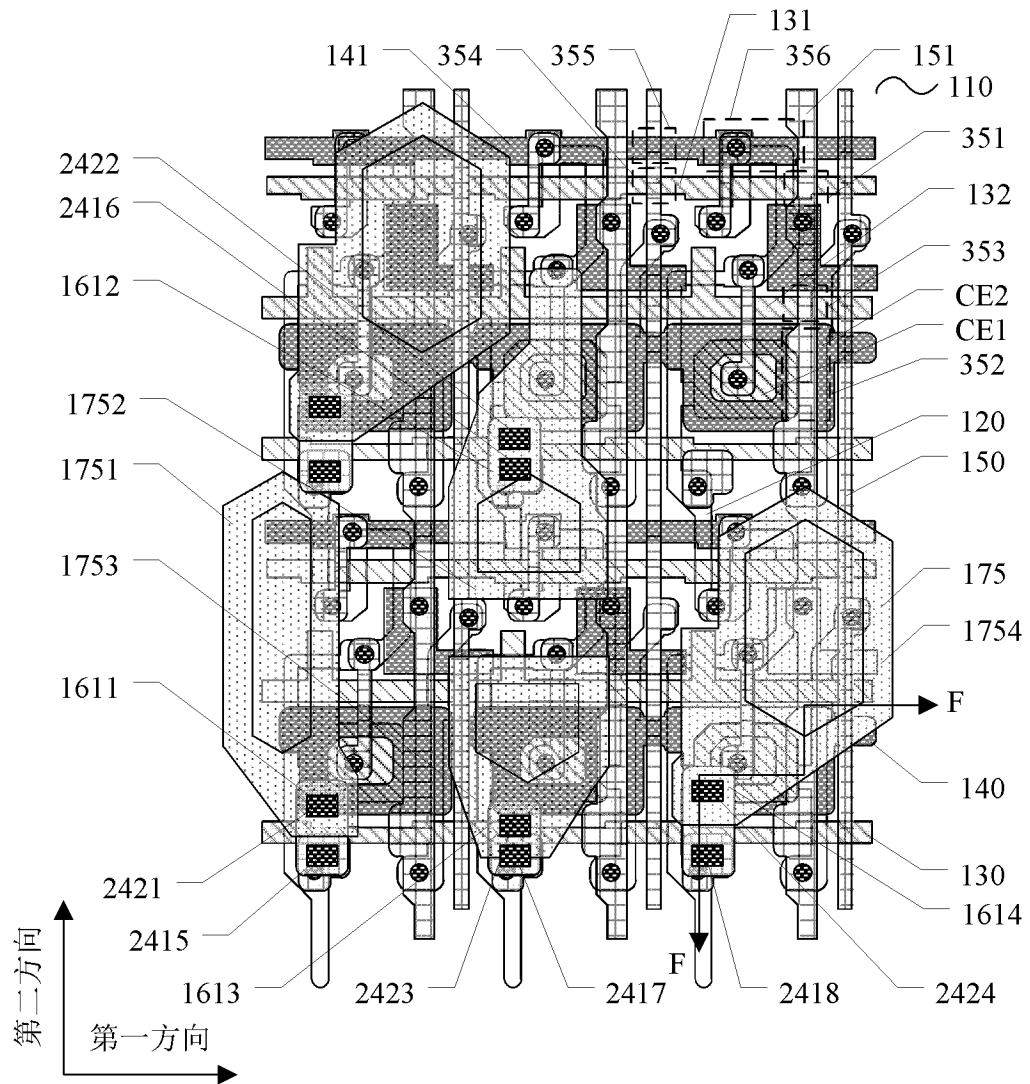


图 28A

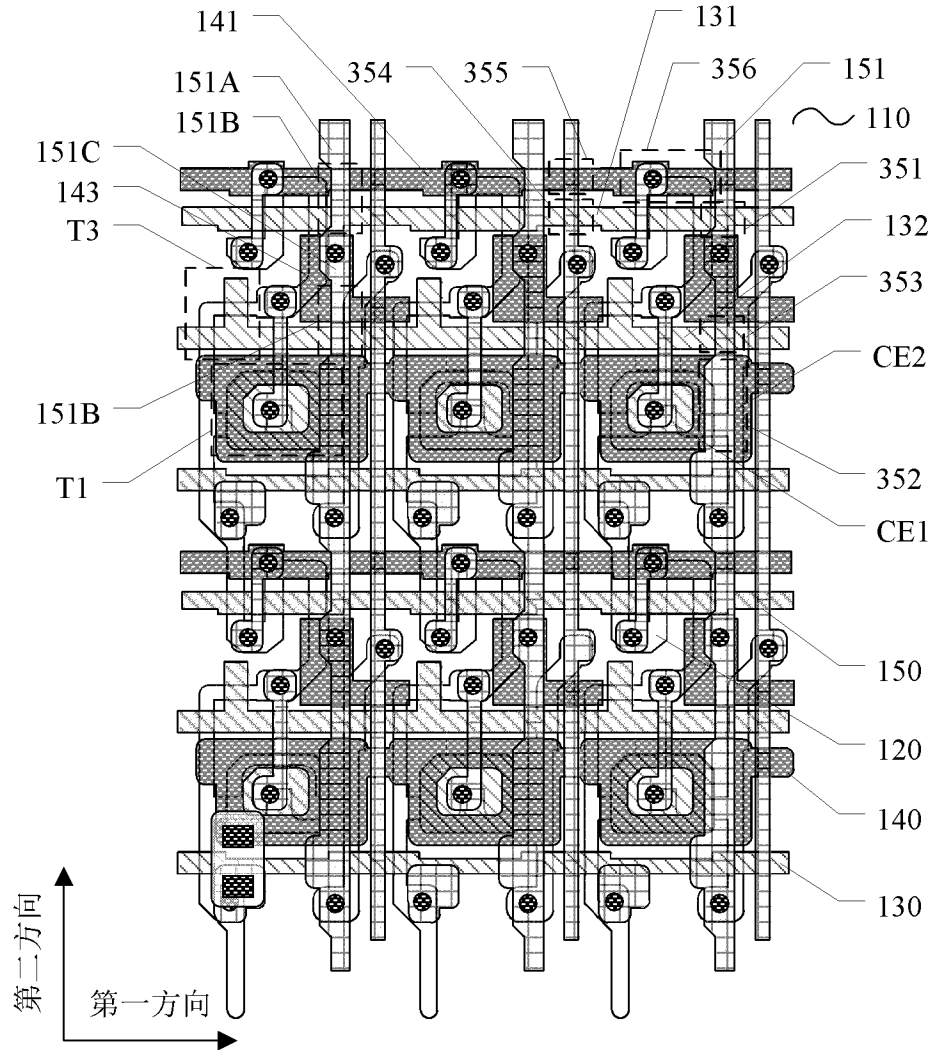


图 28B

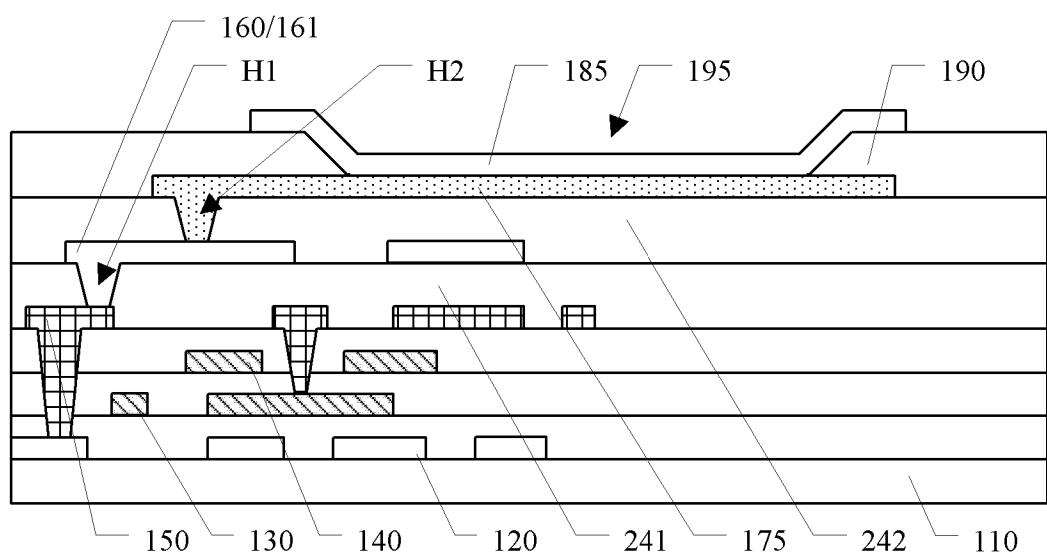


图 29

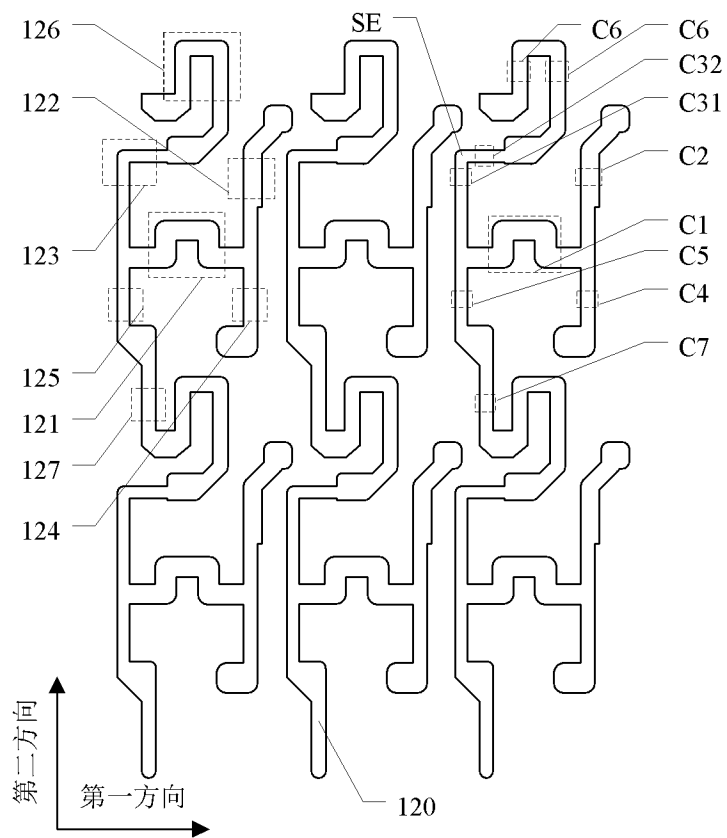


图 30A

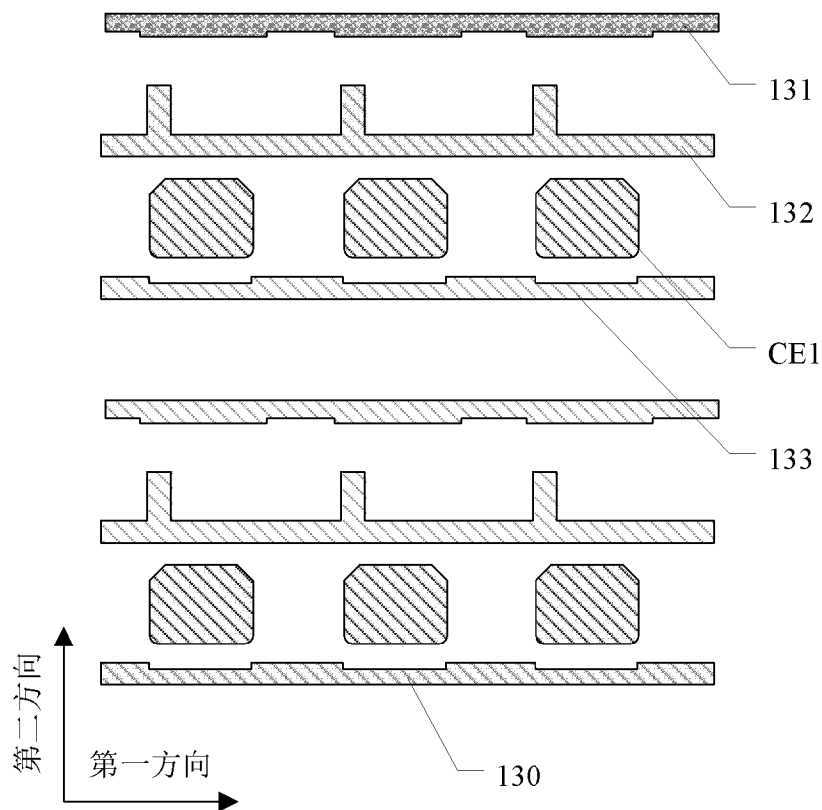


图 30B

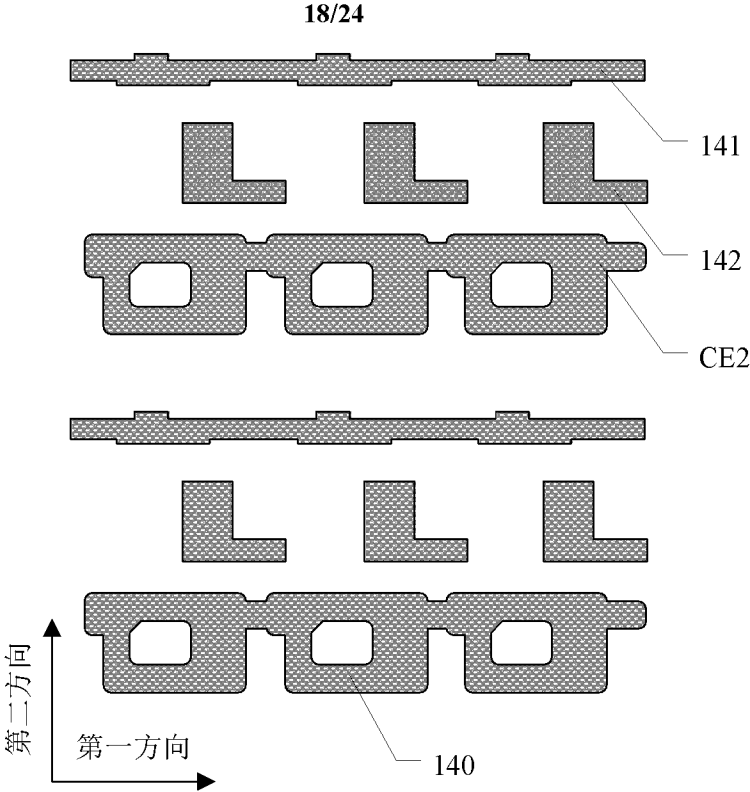


图 30C

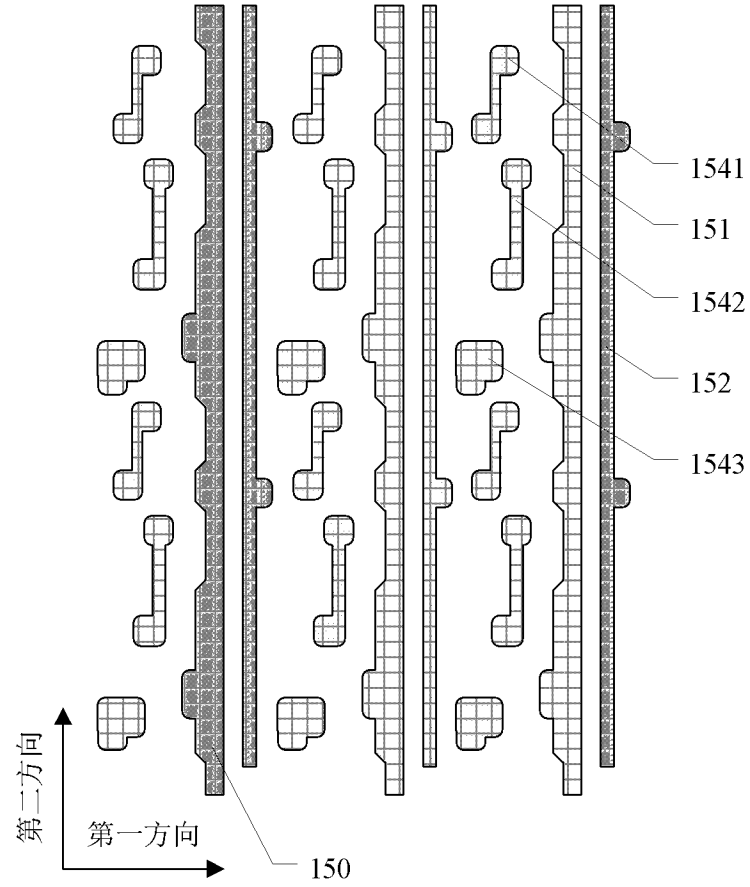
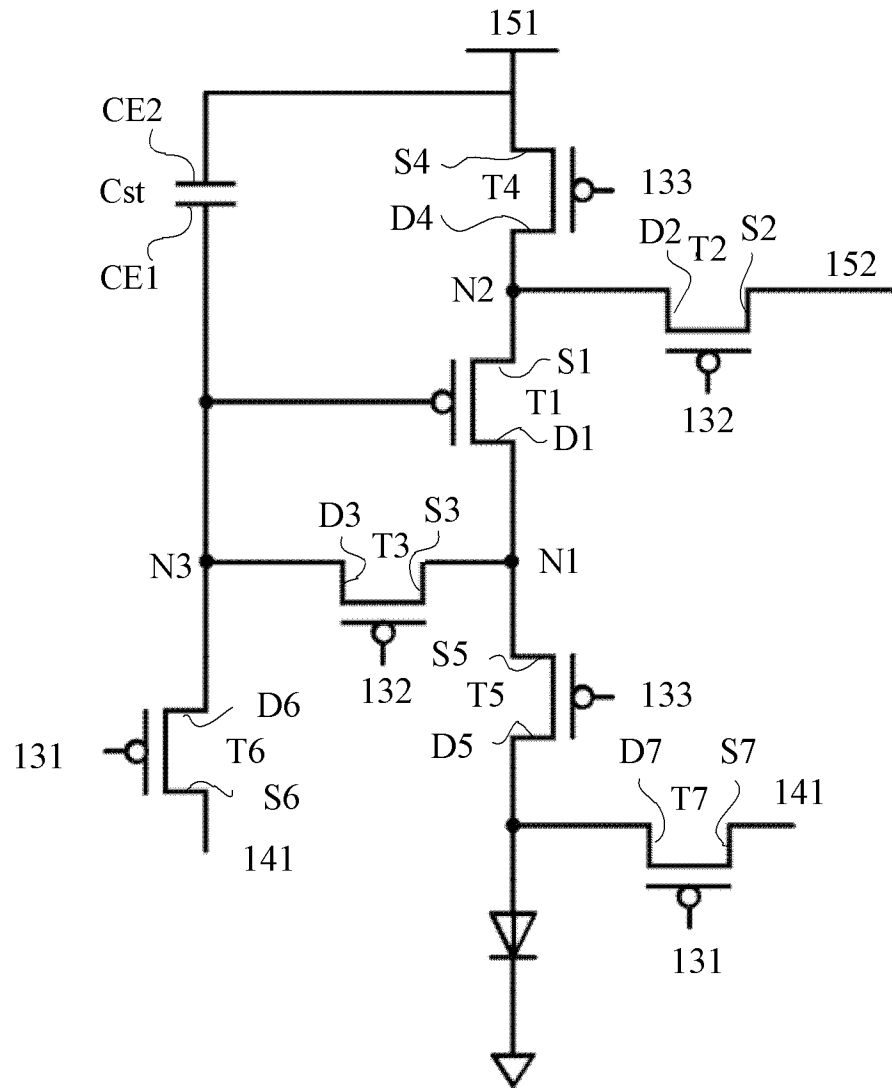


图 30D



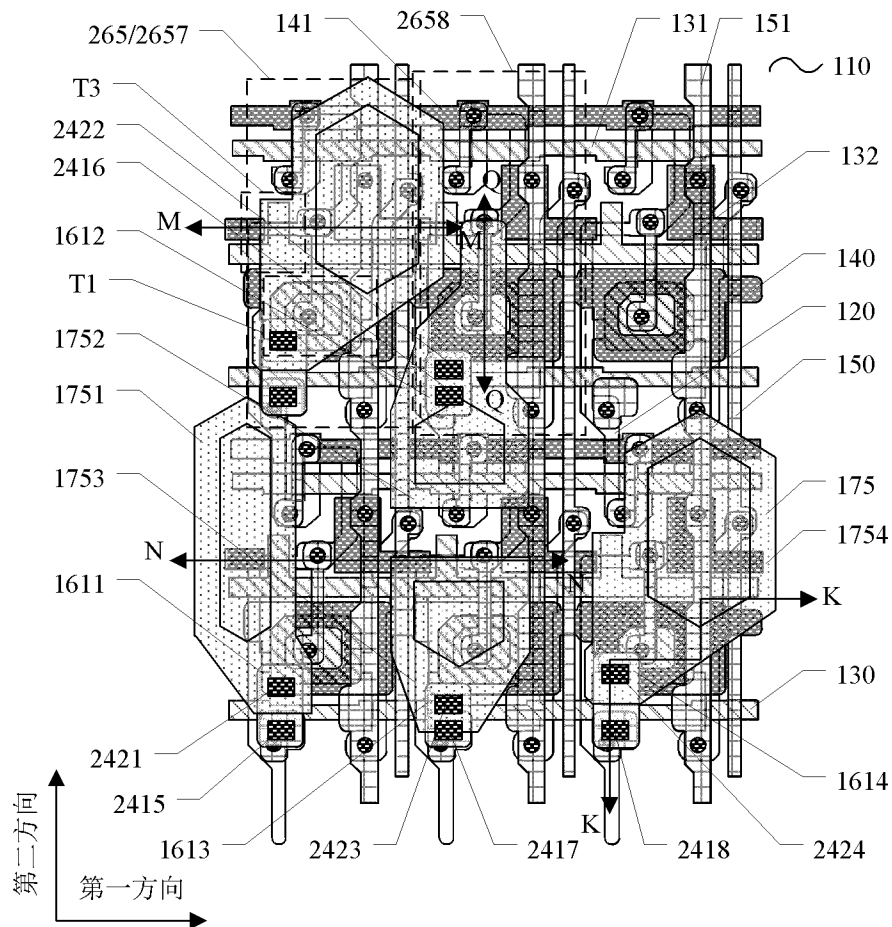


图 33

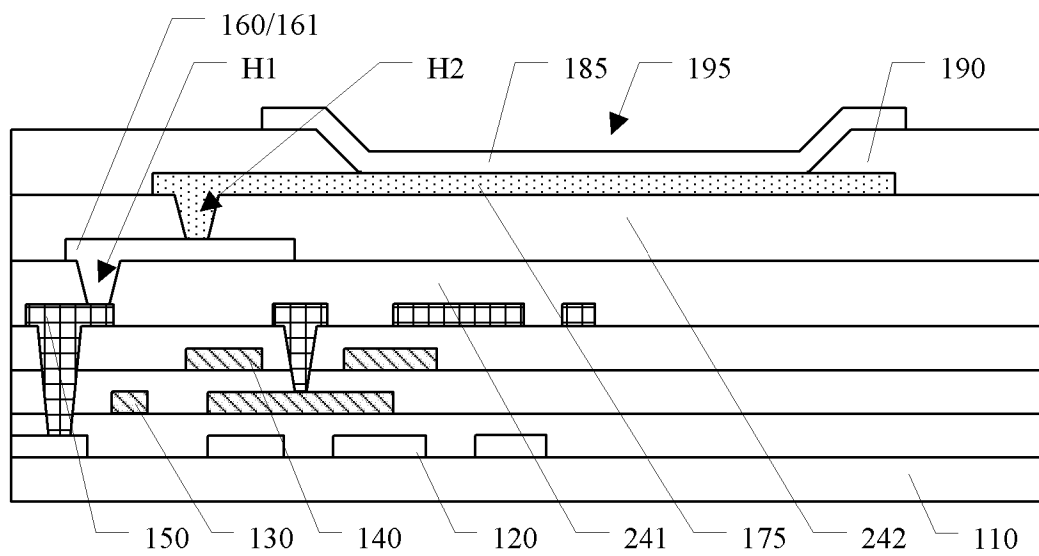


图 34

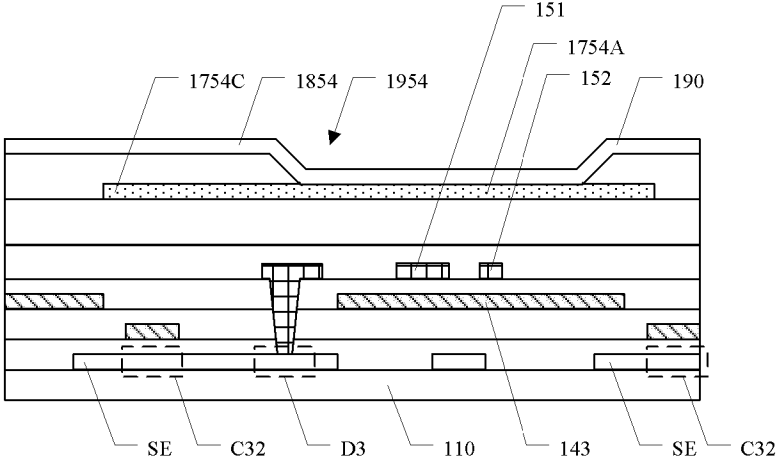


图 35A

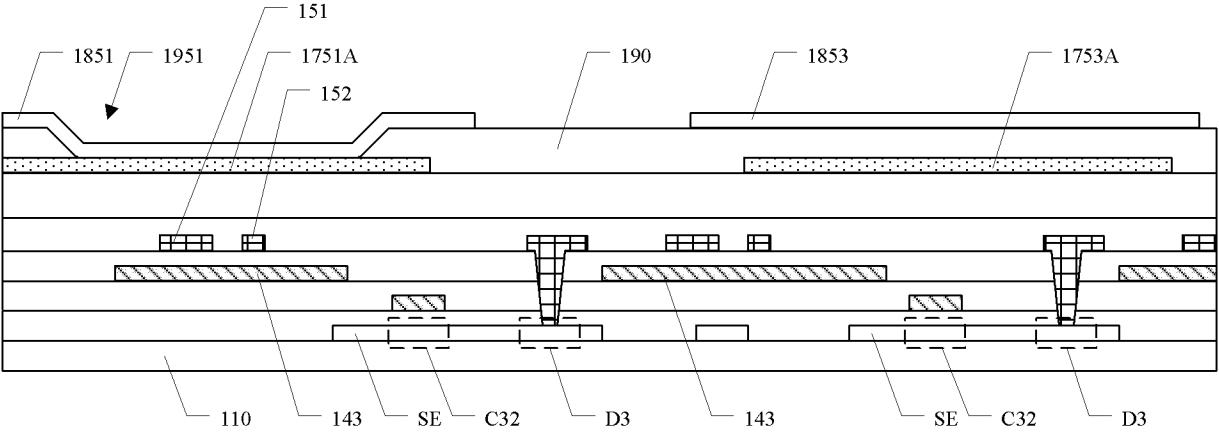


图 35B

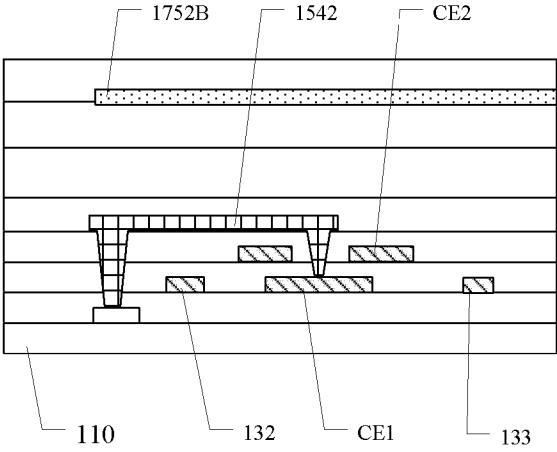


图 35C

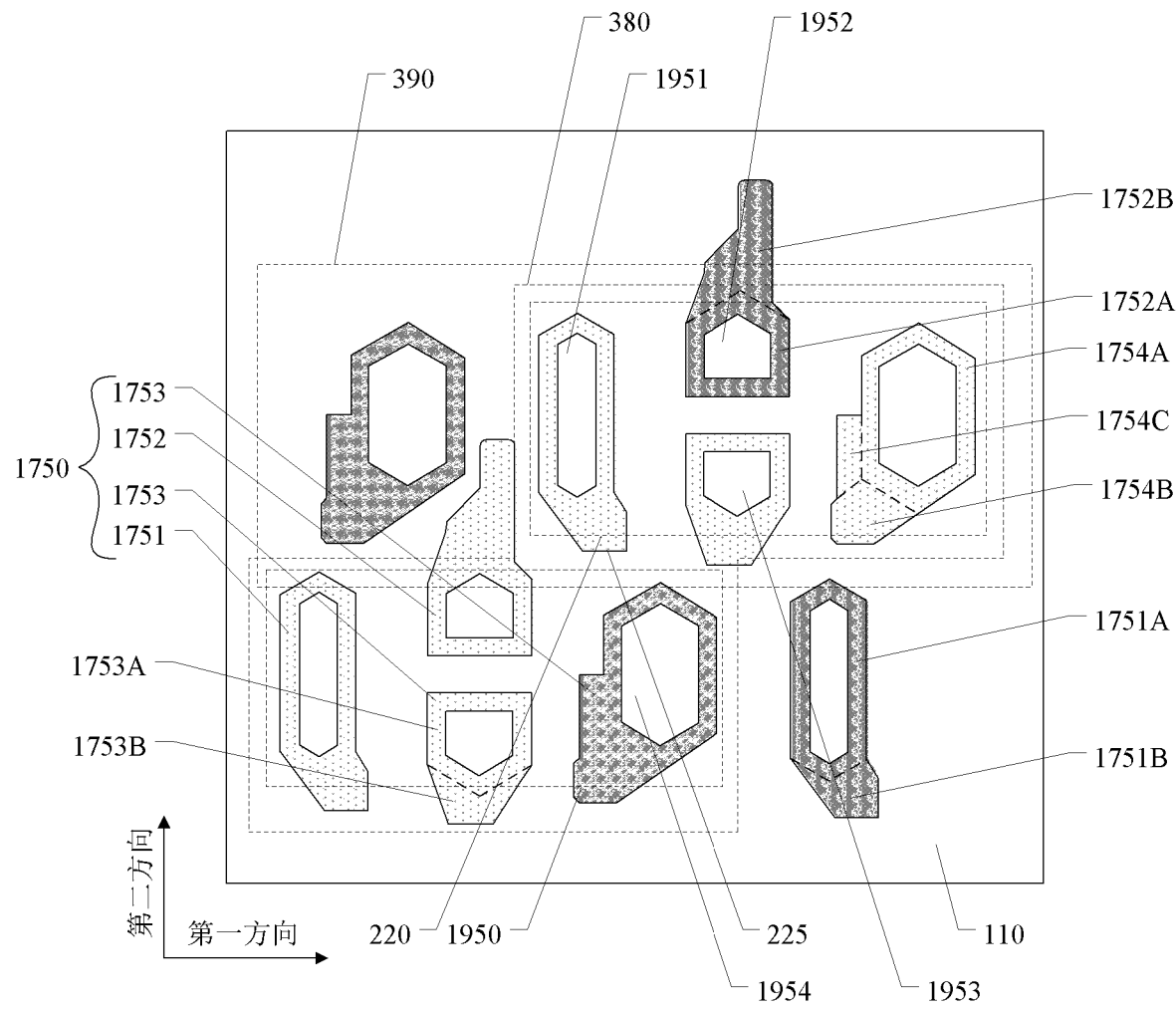


图 36

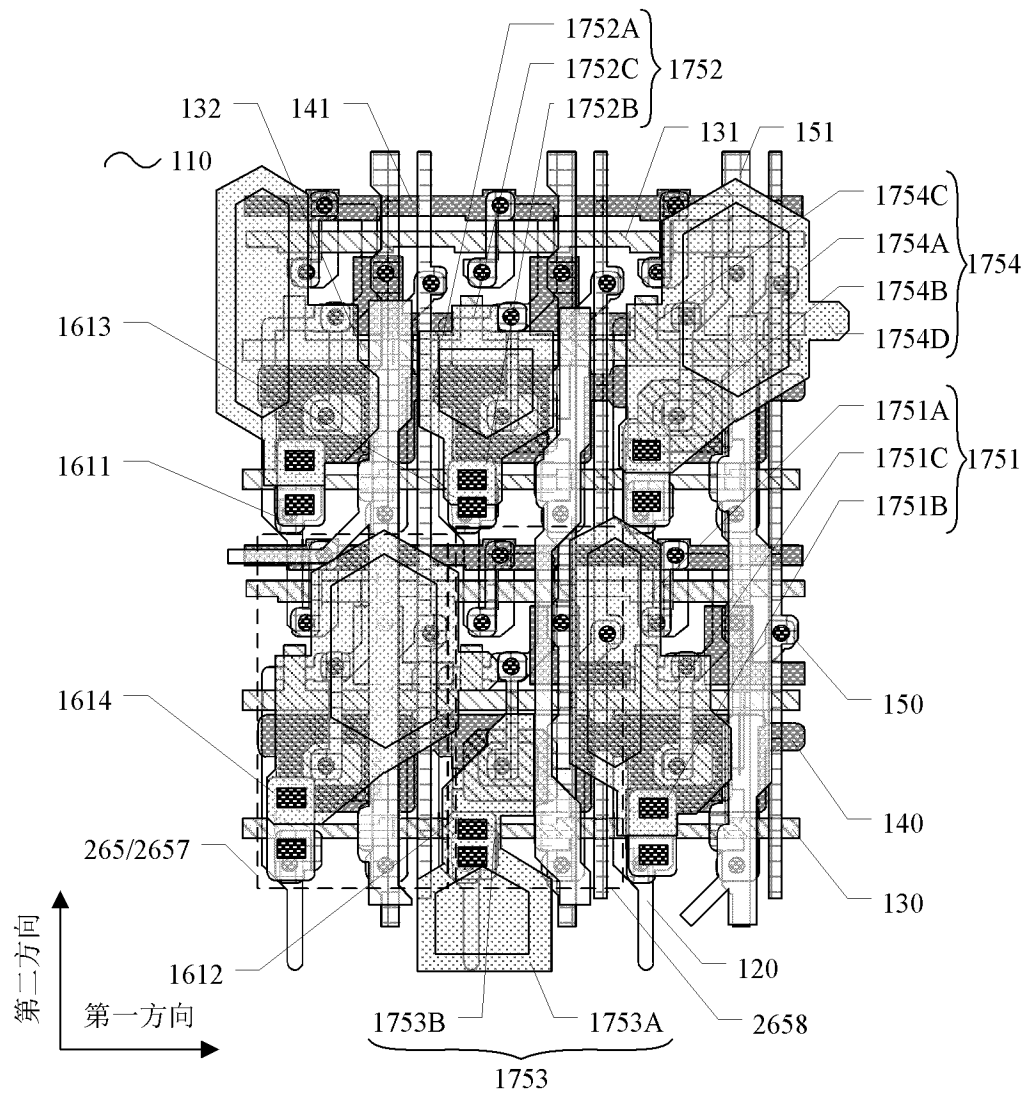


图 37A

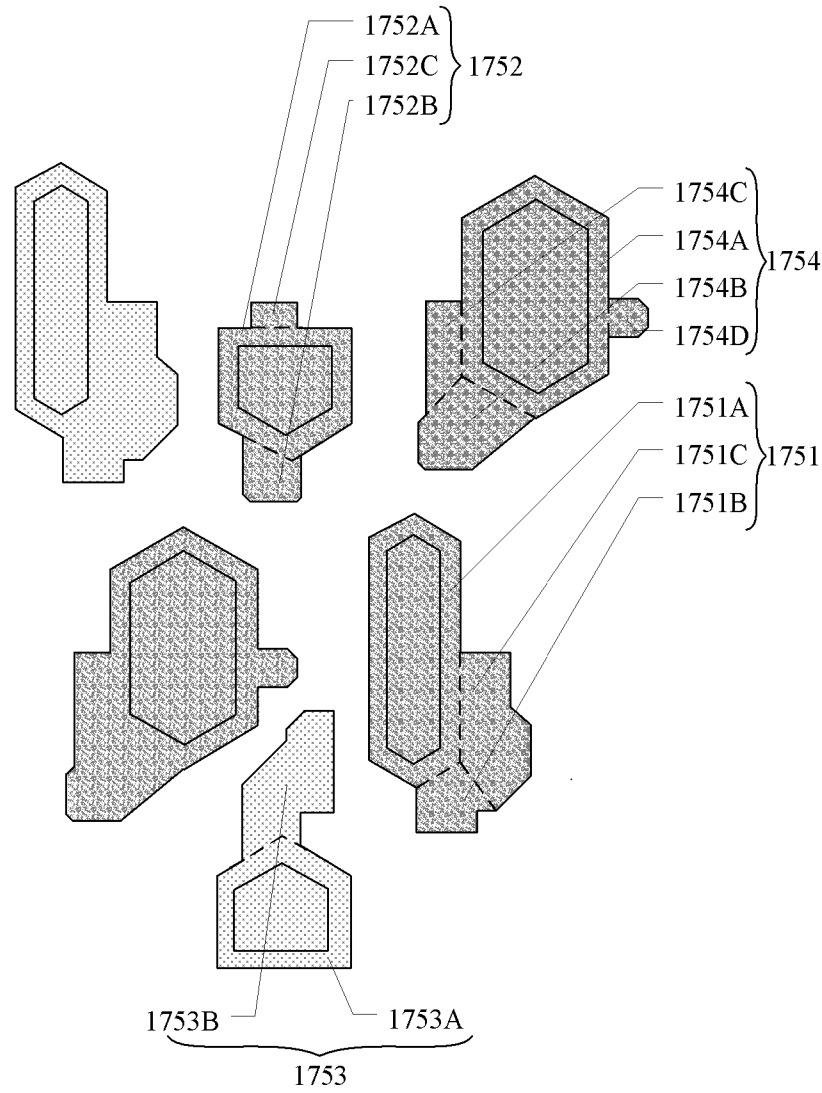


图 37B



图 38

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/081221

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/32(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L; G09G; H05B Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN; CNABS: 屏, 遮, 蔽, 重叠, 交叠, 覆盖, 落入, 阳极, 电极, 沟道, 有源, 主动, 半导体, shield+, over+, cover+, anode+, electrode+, channel+, active, semiconductor+																										
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description</td> <td>1-4, 11, 15, 21-24</td> </tr> <tr> <td>Y</td> <td>CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description</td> <td>5-24</td> </tr> <tr> <td>Y</td> <td>CN 101409305 A (LG DISPLAY CO., LTD.) 15 April 2009 (2009-04-15) figure 3, and corresponding part in description</td> <td>5-24</td> </tr> <tr> <td>A</td> <td>US 2009184898 A1 (SONY CORP.) 23 July 2009 (2009-07-23) figure 13</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 1523935 A (AU OPTRONICS CORPORATION) 25 August 2004 (2004-08-25) entire document</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 103762223 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 April 2014 (2014-04-30) entire document</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 110729324 A (SAMSUNG DISPLAY CO., LTD.) 24 January 2020 (2020-01-24) entire document</td> <td>1-24</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description	1-4, 11, 15, 21-24	Y	CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description	5-24	Y	CN 101409305 A (LG DISPLAY CO., LTD.) 15 April 2009 (2009-04-15) figure 3, and corresponding part in description	5-24	A	US 2009184898 A1 (SONY CORP.) 23 July 2009 (2009-07-23) figure 13	1-24	A	CN 1523935 A (AU OPTRONICS CORPORATION) 25 August 2004 (2004-08-25) entire document	1-24	A	CN 103762223 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 April 2014 (2014-04-30) entire document	1-24	A	CN 110729324 A (SAMSUNG DISPLAY CO., LTD.) 24 January 2020 (2020-01-24) entire document	1-24
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																								
X	CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description	1-4, 11, 15, 21-24																								
Y	CN 110265458 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) figures 1A-8E, and corresponding part in description	5-24																								
Y	CN 101409305 A (LG DISPLAY CO., LTD.) 15 April 2009 (2009-04-15) figure 3, and corresponding part in description	5-24																								
A	US 2009184898 A1 (SONY CORP.) 23 July 2009 (2009-07-23) figure 13	1-24																								
A	CN 1523935 A (AU OPTRONICS CORPORATION) 25 August 2004 (2004-08-25) entire document	1-24																								
A	CN 103762223 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 April 2014 (2014-04-30) entire document	1-24																								
A	CN 110729324 A (SAMSUNG DISPLAY CO., LTD.) 24 January 2020 (2020-01-24) entire document	1-24																								
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																										
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																										
Date of the actual completion of the international search 04 January 2021		Date of mailing of the international search report 07 January 2021																								
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.																								

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/081221

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109166865 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 January 2019 (2019-01-08) entire document	1-24
A	CN 110854173 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 28 February 2020 (2020-02-28) entire document	1-24
A	JP 2001109404 A (SANYO ELECTRIC CO., LTD.) 20 April 2001 (2001-04-20) entire document	1-24
A	US 2017317156 A1 (SAMSUNG DISPLAY CO., LTD.) 02 November 2017 (2017-11-02) entire document	1-24

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/081221

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110265458	A	20 September 2019	None			
CN	101409305	A	15 April 2009	KR	101308466	B1	16 September 2013
				KR	20080108062	A	11 December 2008
US	2009184898	A1	23 July 2009	US	2019392756	A1	26 December 2019
				JP	2009175198	A	06 August 2009
				US	2013265214	A1	10 October 2013
				US	10217405	B2	26 February 2019
				US	8698707	B2	15 April 2014
				US	10467955	B2	05 November 2019
				US	2015179100	A1	25 June 2015
				US	2014125566	A1	08 May 2014
				US	2019172389	A1	06 June 2019
				US	9001011	B2	07 April 2015
				US	8633875	B2	21 January 2014
CN	1523935	A	25 August 2004	CN	100394612	C	11 June 2008
CN	103762223	A	30 April 2014	WO	2015100808	A1	09 July 2015
				US	2015206930	A1	23 July 2015
CN	110729324	A	24 January 2020	KR	20200009171	A	30 January 2020
				US	2020027939	A1	23 January 2020
CN	109166865	A	08 January 2019	None			
CN	110854173	A	28 February 2020	None			
JP	2001109404	A	20 April 2001	US	2005082540	A1	21 April 2005
				KR	20010050803	A	25 June 2001
				US	6958740	B1	25 October 2005
				TW	508974	B	01 November 2002
				US	7122832	B2	17 October 2006
US	2017317156	A1	02 November 2017	US	10707287	B2	07 July 2020
				US	10229962	B2	12 March 2019
				US	2018226464	A1	09 August 2018
				KR	20170124679	A	13 November 2017
				US	2019245023	A1	08 August 2019
				US	9954047	B2	24 April 2018

国际检索报告

国际申请号

PCT/CN2020/081221

A. 主题的分类 H01L 27/32 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																													
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G09G; H05B 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN; CNABS: 屏, 遮, 蔽, 重叠, 交叠, 覆盖, 落入, 阳极, 电极, 沟道, 有源, 主动, 半导体, shield+, over+, cover+, anode+, electrodo+, channel+, active, semiconduct+																													
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分</td> <td>1-4, 11, 15, 21-24</td> </tr> <tr> <td>Y</td> <td>CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分</td> <td>5-24</td> </tr> <tr> <td>Y</td> <td>CN 101409305 A (乐金显示有限公司) 2009年 4月 15日 (2009 - 04 - 15) 图3以及说明书相应部分</td> <td>5-24</td> </tr> <tr> <td>A</td> <td>US 2009184898 A1 (SONY CORP) 2009年 7月 23日 (2009 - 07 - 23) 图13</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 1523935 A (友达光电股份有限公司) 2004年 8月 25日 (2004 - 08 - 25) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 103762223 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 110729324 A (三星显示有限公司) 2020年 1月 24日 (2020 - 01 - 24) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 109166865 A (深圳市华星光电技术有限公司) 2019年 1月 8日 (2019 - 01 - 08) 全文</td> <td>1-24</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分	1-4, 11, 15, 21-24	Y	CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分	5-24	Y	CN 101409305 A (乐金显示有限公司) 2009年 4月 15日 (2009 - 04 - 15) 图3以及说明书相应部分	5-24	A	US 2009184898 A1 (SONY CORP) 2009年 7月 23日 (2009 - 07 - 23) 图13	1-24	A	CN 1523935 A (友达光电股份有限公司) 2004年 8月 25日 (2004 - 08 - 25) 全文	1-24	A	CN 103762223 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-24	A	CN 110729324 A (三星显示有限公司) 2020年 1月 24日 (2020 - 01 - 24) 全文	1-24	A	CN 109166865 A (深圳市华星光电技术有限公司) 2019年 1月 8日 (2019 - 01 - 08) 全文	1-24
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																											
X	CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分	1-4, 11, 15, 21-24																											
Y	CN 110265458 A (京东方科技集团股份有限公司等) 2019年 9月 20日 (2019 - 09 - 20) 图1A-8E以及说明书相应部分	5-24																											
Y	CN 101409305 A (乐金显示有限公司) 2009年 4月 15日 (2009 - 04 - 15) 图3以及说明书相应部分	5-24																											
A	US 2009184898 A1 (SONY CORP) 2009年 7月 23日 (2009 - 07 - 23) 图13	1-24																											
A	CN 1523935 A (友达光电股份有限公司) 2004年 8月 25日 (2004 - 08 - 25) 全文	1-24																											
A	CN 103762223 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-24																											
A	CN 110729324 A (三星显示有限公司) 2020年 1月 24日 (2020 - 01 - 24) 全文	1-24																											
A	CN 109166865 A (深圳市华星光电技术有限公司) 2019年 1月 8日 (2019 - 01 - 08) 全文	1-24																											
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																													
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																												
国际检索实际完成的日期 2021年 1月 4日		国际检索报告邮寄日期 2021年 1月 7日																											
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 周宇 电话号码 (86-10)62085894																											

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 110854173 A (深圳市华星光电半导体显示技术有限公司) 2020年 2月 28日 (2020 - 02 - 28) 全文	1-24
A	JP 2001109404 A (SANYO ELECTRIC CO) 2001年 4月 20日 (2001 - 04 - 20) 全文	1-24
A	US 2017317156 A1 (SAMSUNG DISPLAY CO LTD) 2017年 11月 2日 (2017 - 11 - 02) 全文	1-24

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/081221

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110265458	A	2019年 9月 20日	无			
CN	101409305	A	2009年 4月 15日	KR	101308466	B1	2013年 9月 16日
				KR	20080108062	A	2008年 12月 11日
US	2009184898	A1	2009年 7月 23日	US	2019392756	A1	2019年 12月 26日
				JP	2009175198	A	2009年 8月 6日
				US	2013265214	A1	2013年 10月 10日
				US	10217405	B2	2019年 2月 26日
				US	8698707	B2	2014年 4月 15日
				US	10467955	B2	2019年 11月 5日
				US	2015179100	A1	2015年 6月 25日
				US	2014125566	A1	2014年 5月 8日
				US	2019172389	A1	2019年 6月 6日
				US	9001011	B2	2015年 4月 7日
				US	8633875	B2	2014年 1月 21日
CN	1523935	A	2004年 8月 25日	CN	100394612	C	2008年 6月 11日
CN	103762223	A	2014年 4月 30日	WO	2015100808	A1	2015年 7月 9日
				US	2015206930	A1	2015年 7月 23日
CN	110729324	A	2020年 1月 24日	KR	20200009171	A	2020年 1月 30日
				US	2020027939	A1	2020年 1月 23日
CN	109166865	A	2019年 1月 8日	无			
CN	110854173	A	2020年 2月 28日	无			
JP	2001109404	A	2001年 4月 20日	US	2005082540	A1	2005年 4月 21日
				KR	20010050803	A	2001年 6月 25日
				US	6958740	B1	2005年 10月 25日
				TW	508974	B	2002年 11月 1日
				US	7122832	B2	2006年 10月 17日
US	2017317156	A1	2017年 11月 2日	US	10707287	B2	2020年 7月 7日
				US	10229962	B2	2019年 3月 12日
				US	2018226464	A1	2018年 8月 9日
				KR	20170124679	A	2017年 11月 13日
				US	2019245023	A1	2019年 8月 8日
				US	9954047	B2	2018年 4月 24日