(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-54267
(P2011-54267A)
(43)公開日　平成23年3月17日(2011.3.17)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 16/06	(2006.01)	G11C	17/00	634A	5B125
G11C 16/04	(2006.01)	G11C	17/00	622E	
G11C 16/02	(2006.01)	G11C	17/00	624	
		G11C	17/00	611E	

審査請求 未請求　請求項の数 10　ＯＬ　（全 20 頁）

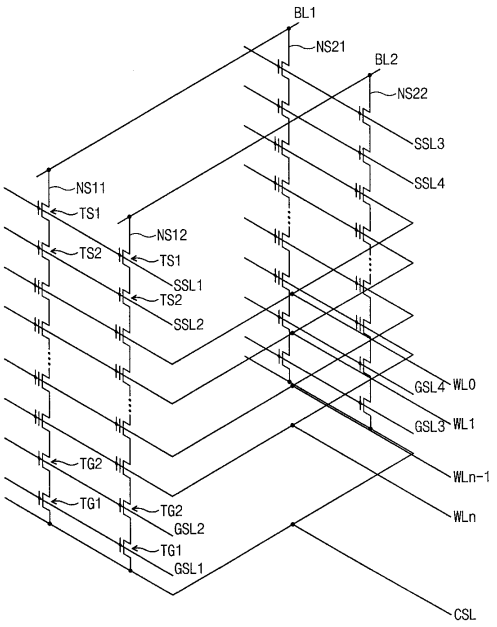
(21)出願番号　特願2010-194427 (P2010-194427)
(22)出願日　平成22年8月31日 (2010.8.31)
(31)優先権主張番号　10-2009-0083148
(32)優先日　平成21年9月3日 (2009.9.3)
(33)優先権主張国　韓国 (KR)
(31)優先権主張番号　10-2010-0006475
(32)優先日　平成22年1月25日 (2010.1.25)
(33)優先権主張国　韓国 (KR)

(71)出願人　390019839
三星電子株式会社
ＳＡＭＳＵＮＧ　ＥＬＥＣＴＲＯＮＩＣＳ　ＣＯ．，ＬＴＤ．
大韓民国京畿道水原市靈通区梅灘洞４１６
４１６，Ｍａｅｔａｎ－ｄｏｎｇ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ，Ｇｙｅｏｎｇｇｉ－ｄｏ　４４２－７４２（ＫＲ）
(74)代理人　100086368
弁理士　萩原　誠
(72)発明者　金　杜　坤
大韓民国京畿道華城市陵洞　プランマウル　モアミレドアパート９４８棟５０３号

最終頁に続く

(54)【発明の名称】垂直構造の不揮発性メモリ装置及びその動作方法

(57)【要約】
【課題】垂直構造の不揮発性メモリ装置及びその動作方法を提供する。
【解決手段】不揮発性メモリ装置は垂直構造のＮＡＮＤストリングを含む。ＮＡＮＤストリングは複数のメモリセル及び複数のメモリセルの一側に隣り合うように配置される少なくとも一対の第１選択トランジスタを含む。ワードラインはＮＡＮＤストリングの複数のメモリセルと結合する。第１選択ラインはＮＡＮＤストリングの少なくとも一対の第１選択トランジスタに共通に結合する。
【選択図】　図２



【特許請求の範囲】
【請求項１】
不揮発性メモリ装置の動作方法であって、
第１ＮＡＮＤストリングの第１及び第２ストリング選択トランジスタの各々にターンオン電圧を印加する段階と、
第２ＮＡＮＤストリングの第３及び第４ストリング選択トランジスタの各々に第１及び第２電圧を印加する段階と、
前記第１及び第２ＮＡＮＤストリングのメモリセルに連結するワードラインに高電圧を印加する段階を含むことを特徴とする不揮発性メモリ装置の動作方法。
【請求項２】
前記第２電圧のレベルは前記第１電圧のレベルより高いことを特徴とする請求項１に記載の不揮発性メモリ装置の動作方法。
【請求項３】
前記第１電圧のレベルは接地電圧より低いことを特徴とする請求項１に記載の不揮発性メモリ装置の動作方法。
【請求項４】
前記第２電圧のレベルは前記第４ストリング選択トランジスタのスレッショルド電圧より低いことを特徴とする請求項１に記載の不揮発性メモリ装置の動作方法。
【請求項５】
前記第４ストリング選択トランジスタと前記第２ＮＡＮＤストリングに対応するビットラインとの間に前記第３ストリング選択トランジスタが連結することを特徴とする請求項１に記載の不揮発性メモリ装置の動作方法。
【請求項６】
前記ワードラインに高電圧を印加するとき、前記メモリセルと前記第１乃至第４ストリング選択トランジスタとの間のダミーセルに第２高電圧を印加する段階をさらに含み、
前記第２高電圧のレベルは前記高電圧のレベルより低いことを特徴とする請求項１に記載の不揮発性メモリ装置の動作方法。
【請求項７】
不揮発性メモリ装置であり、
メモリセルアレイと、
前記メモリセルアレイにアクセスする周辺回路とを含み、
前記メモリセルアレイは、
基板と、
前記基板と交差する方向に沿って積層した複数のメモリセルを含むメモリセル群と、
前記基板上に行及び列に配列した複数の前記メモリセル群と、
前記基板と前記複数のメモリセル群との間に各々提供される複数の第１選択トランジスタ群と、
前記複数のメモリセル群上に各々提供される複数の第２選択トランジスタ群とを含み、
プログラム動作の際に、前記周辺回路は前記複数のメモリセル群中の非選択メモリセル群に対応する第２選択トランジスタ群の第２選択トランジスタを独立的に駆動することを特徴とする不揮発性メモリ装置。
【請求項８】
プログラム動作の際に、前記周辺回路はさらに、前記非選択メモリセル群に対応すると繋がる第２選択トランジスタ群の第２選択トランジスタを異なる電圧で駆動することを特徴とする請求項７に記載の不揮発性メモリ装置。
【請求項９】
プログラム動作の際に、前記非選択メモリセル群に対応する選択トランジスタ群の特定の第２選択トランジスタを第１電圧で駆動し、前記非選択メモリセル群と前記特定の第２選択トランジスタとの間に提供されるもう１つの第２選択トランジスタを前記第１電圧より高い第２電圧で駆動することを特徴とする請求項７に記載の不揮発性メモリ装置。

【請求項１０】
メモリシステムであり、
不揮発性メモリ装置と、
前記不揮発性メモリ装置を制御するコントローラとを含み、
前記不揮発性メモリ装置はメモリセルアレイ及び前記メモリセルアレイにアクセスする周辺回路を含み、
前記メモリセルアレイは３次元構造を有する複数のメモリセルストリングを含み、
各メモリセルストリングは少なくとも２つの第１選択トランジスタを一端に、少なくとも２つの第２選択トランジスタをもう一端に含み、
プログラム動作の際に、前記周辺回路は前記複数のメモリセルストリング中の非選択メモリセルストリングの前記少なくとも２つの第２選択トランジスタを異なる電圧で駆動することを特徴とするメモリシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体装置に係り、特に垂直構造の不揮発性メモリ装置及びその動作方法に関する。
【背景技術】
【０００２】
電子製品はユーザの要求等によって小型化されているが、なお高容量のデータ処理が要求されている。そのため、電子製品に使用する不揮発性メモリ装置を小型化するとともに集積度を高める技術開発が活発に行なわれている。斯かる観点から、従来の平面形構造に代わる垂直構造を有する不揮発性メモリ装置が研究されている。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】韓国特許出願公開第２００９－００３５２０３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
しかし、垂直構造の不揮発性メモリ装置は構造が複雑であるため、製品の性能が落ちる。
従って、本発明が解決しようとする課題は性能が高い垂直構造の不揮発性メモリ装置及びその動作方法を提供することである。
【課題を解決するための手段】
【０００５】
本発明の実施形態による不揮発性メモリ装置の動作方法は、第１ＮＡＮＤストリングの第１及び第２ストリング選択トランジスタの各々にターンオン電圧を印加する段階と、第２ＮＡＮＤストリングの第３及び第４ストリング選択トランジスタの各々に第１及び第２電圧を印加する段階と、第１及び第２ＮＡＮＤストリングのメモリセルに連結するワードラインに高電圧を印加する段階を含む。
第２電圧のレベルは第１電圧のレベルより高い。
第１電圧のレベルは接地電圧より低い。
第２電圧のレベルは第４ストリング選択トランジスタのスレッショルド電圧より低い。
第４ストリング選択トランジスタと第２ＮＡＮＤストリングと対応するビットラインとの間に第３ストリング選択トランジスタを連結する。
【０００６】
本発明の不揮発性装置の動作方法は、メモリセルと第１乃至第４ストリング選択トランジスタとの間のダミーセルに第２高電圧を印加する段階をさらに含み、第２高電圧のレベルは高電圧のレベルより低い。

【０００７】
本発明の実施形態による不揮発性メモリ装置はメモリセルアレイと、メモリセルアレイにアクセスする周辺回路とを含み、メモリセルアレイは、複数のメモリセル群が行及び列に配列された基板を含む。基板上の各メモリセル群は基板と交差する方向に沿って積層した複数のメモリセルを含み、基板と複数のメモリセル群との間に複数の第１選択トランジスタ群、複数のメモリセル群上に複数の第２選択トランジスタ群を含む。プログラム動作の際に、周辺回路は、複数のメモリセル群中の非選択メモリセル群と対応する第２選択トランジスタ群の第２選択トランジスタを独立的に駆動する
【０００８】
プログラム動作の際に、周辺回路は非選択メモリセル群と対応する第２選択トランジスタ群の第２選択トランジスタを異なる電圧で駆動する。
プログラム動作の際に、非選択メモリセル群と対応する第２選択トランジスタ群の特定の第２選択トランジスタを第１電圧で駆動し、非選択メモリセル群と特定の第２選択トランジスタとの間の、非選択メモリ群と対応する別の第２選択トランジスタを、第１電圧より高い第２電圧で駆動する。
【０００９】
本発明の実施形態によるメモリシステムは不揮発性メモリ装置と、不揮発性メモリ装置を制御するコントローラを含み、不揮発性メモリ装置はメモリセルアレイ及びメモリセルアレイにアクセスする周辺回路を含む。
メモリセルアレイは３次元構造を有する複数のメモリセルストリングを含み、各メモリセルストリングは、一端に少なくとも２つの第１選択トランジスタと、もう一端に少なくとも２つの第２選択トランジスタを含む。プログラム動作の際に、周辺回路は複数のメモリセルストリング中の非選択メモリセルストリングの少なくとも２つの第２選択トランジスタを異なる電圧で駆動する。
【発明の効果】
【００１０】
本発明の実施形態による不揮発性メモリ装置は、ストリング選択トランジスタの数を少なくとも２つ以上にすることによって、ストリング選択ゲート電極のゲート長を、ストリング選択トランジスタが１つである場合より小さくすることができる。そのため、隙間なしに層間絶縁層の間を詰めることができる。さらに、接地選択トランジスタの数を少なくとも２つ以上にすることによって、接地選択ゲート電極のゲート長を、接地選択トランジスタが１つである場合より小さくすることができる。そのため、隙間なしに層間絶縁層の間を詰めることができる。また、ストリング選択トランジスタ、メモリセル及び接地選択トランジスタのゲート長と、ゲート電極間の離隔幅を調節することによって隙間の形成をさらに抑制できる。従って、ストリング選択トランジスタ、メモリセル及び接地選択トランジスタの性能が向上する。
【図面の簡単な説明】
【００１１】
【図１】本発明の第一の実施形態による不揮発性メモリ装置を示す回路図。
【図２】本発明の他の実施形態による不揮発性メモリ装置を示す回路図。
【図３】図２のメモリ装置においてプログラム動作を行うときのバイアス電圧の条件を示す図面。
【図４】本発明の実施形態による電圧制御方法を示す表。
【図５】図２の不揮発性メモリ装置をビットライン方向から捉えた断面図。
【図６】図２の不揮発性メモリ装置をビットライン方向から捉えた、他の実施形態による断面図。
【図７】図２の不揮発性メモリ装置をビットライン方向から捉えた、他の実施形態による断面図。
【図８】図２の不揮発性メモリ装置をビットライン方向から捉えた、他の実施形態による断面図。

【図９】図２の不揮発性メモリ装置をビットライン方向から捉えた、他の実施形態による断面図。
【図１０】本発明の第２実施形態による不揮発性メモリ装置を示す回路図。
【図１１】本発明の第３実施形態による不揮発性メモリ装置を示す回路図。
【図１２】本発明の第４実施形態による不揮発性メモリ装置を示す回路図。
【図１３】本発明の第５実施形態による不揮発性メモリ装置を示す回路図。
【図１４】本発明の他の実施形態による不揮発性メモリ装置を示すブロック図。
【図１５】本発明の一実施形態によるメモリカードを示す概略図。
【図１６】本発明の一実施形態による電子システムを示すブロック図。
【図１７】図１乃至図１３の不揮発性メモリ装置を含む不揮発性メモリ装置を備えたメモリシステムを示すブロック図。
【図１８】図１７のメモリシステムの応用例を示すブロック図。
【図１９】図１８のメモリシステムを含むコンピューティングシステムを示すブロック図。

【発明を実施するための形態】
【００１２】
以下図面を参考にして本発明の好ましい実施形態を詳しく説明する。しかし、本発明は以下に開示する実施形態によって限定されず、様々な形態で実現できる。また、図面の構成要素は説明の便宜のために大きさが誇張されている。
【００１３】
本発明の実施形態において、用語は当該技術分野から一般に知られた意味を有する。また、「少なくとも１つ」と言及する時、１つまたは複数の関連項目を示す。
図１は本発明の実施形態による不揮発性メモリ装置を示す回路図である。
図１を参考にすると、ＮＡＮＤストリングＮＳは垂直に伸びる構造を有し、基板に対し垂直である。ＮＡＮＤストリングＮＳは少なくとも一対のストリング選択トランジスタＴＳ１、ＴＳ２、複数のメモリセルＭＣ及び少なくとも一対の接地選択トランジスタＴＧ１、ＴＧ２を含む。ビットラインＢＬはＮＡＮＤストリングＮＳの一端と連結し、共通ソースラインＣＳＬはＮＡＮＤストリングＮＳのもう一端と連結する。
【００１４】
複数のメモリセルＭＣは垂直に直列で配置され、データを保存する。複数のワードラインＷＬ０、ＷＬ１．．．ＷＬｎ－１、ＷＬｎはメモリセルＭＣと結合してメモリセルＭＣを制御する。メモリセルＭＣの数はｎより１多い数であり、不揮発性メモリ装置の容量により適切に選択される。
【００１５】
少なくとも一対の第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２はメモリセルＭＣの一側に隣り合うように配列される。ストリング選択トランジスタＴＳ１、ＴＳ２はビットラインＢＬとメモリセルＭＣとの間に配置され、信号を制御する。第１ストリング選択ラインＳＳＬ１は第１ストリング選択トランジスタＴＳ１と結合し、第２ストリング選択ラインＳＳＬ２は第２ストリング選択トランジスタＴＳ２と結合する。従って、第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２は各々分離して別々に動作する。
【００１６】
少なくとも一対の第１及び第２接地選択トランジスタＴＧ１、ＴＧ２は、ストリング選択トランジスタＴＳ１、ＴＳ２及びメモリセルＭＣの反対側、ＮＡＮＤストリングＮＳのもう一端に隣り合うよう配列される。接地選択ラインＴＧ１、ＴＧ２は、共通ソースラインＣＳＬとメモリセルＭＣとの間に配置され、メモリセルと並列して接続する。第１接地選択ラインＧＳＬ１は第１接地選択トランジスタＧＳ１と結合し、第２接地選択ラインＧＳＬ２は第２接地選択トランジスタＧＳ２と結合する。従って、第１及び第２接地選択トランジスタＧＳ１、ＧＳ２は各々分離して別々に動作する。この実施形態の異なる例において、第１及び第２接地選択トランジスタＧＳ１、ＧＳ２は１つの接地選択ラインＧＳＬに共通で結合する。

【００１７】
次に、この実施形態による不揮発性メモリ装置の動作方法を説明する。
例えば、プログラム動作はビットラインＢＬに０Ｖまたは動作電圧を印加し、共通ソースラインに０Ｖを印加して実行する。ビットラインＢＬに０Ｖを印加すると、ＮＡＮＤストリングＮＳはプログラムのために選択される。然し、ビットラインＢＬに動作電圧を印加すると、ＮＡＮＤストリングＮＳはチャンネルブースティングによってプログラムが実行されない。
【００１８】
メモリセルＭＣ中の選択メモリセルにはプログラム電圧を印加し、残りの非選択メモリセルにはパス電圧を印加する。パス電圧はプログラム電圧より低く、メモリセルＭＣのスレッショルド電圧より高い。プログラム電圧はＦ－Ｎトンネリング効果によって電荷が注入されるように設定される。
【００１９】
第１及び第２接地選択ラインＧＳＬ１、ＧＳＬ２にはオフ電圧（ターンオフ電圧）を印加する。メモリセルＭＣにすぐ隣接する第２ストリング選択ラインＳＳＬ２には第１電圧を印加し、ビットラインＢＬにすぐ隣接する第１ストリング選択ラインＳＳＬ１には第２電圧を印加する。第２電圧は第１ストリング選択トランジスタＴＳ１をターンオンさせるとともに、そのオフ電流を低くするためにできるだけ低く設定される。例えば、第２電圧は第１ストリング選択トランジスタＴＳ１のスレッショルド電圧より大きいか同じ電圧である。
【００２０】
第１電圧は、第２ストリング選択トランジスタＴＳ２と隣接するメモリセルＭＣとの間の電圧差を小さくするように設定される。例えば、第１電圧はパス電圧と実質的に同じである。このように、第１電圧を第２電圧より大きくし、パス電圧と第１電圧の差を小さくすることによって、メモリセルＭＣから隣接する第２ストリング選択トランジスタＴＳ２に漏れ電流が発生してチャンネルブースティングの効率が減少することを防止する。
【００２１】
この実施形態による不揮発性メモリ装置の動作方法によると、第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２を別々に動作させることによって、オフ電流と漏れ電流を同時に減らすことができる。電流漏れを防止する機能は図２乃至図４を参考にしてさらに詳しく説明する。
【００２２】
読み込み動作は、ビットラインＢＬに読み込み電圧を印加し、ストリング選択ラインＳＳＬ１、ＳＳＬ２及び接地選択ラインＧＳＬ１、ＧＳＬ２にオン電圧を印加することで実行する。メモリセルＭＣ中の選択されたメモリセルには基準電圧を印加し、残りの非選択メモリセルにはパス電圧を印加する。
消去動作は、メモリセルＭＣ群に消去電圧を印加し、ワードラインＷＬ０、ＷＬ１．．．ＷＬｎ－１、ＷＬｎに０Ｖを印加することで実行する。これによって、メモリセルＭＣのデータが一時に消去される。
【００２３】
図２は本発明の他の実施形態による不揮発性メモリ装置を示す回路図である。この実施形態による不揮発性メモリ装置は図１の不揮発性メモリ装置のアレイ配置と同様である。２つの実施形態において、重複する部分の説明は省略する。
【００２４】
図２を参考にすると、垂直構造を有する複数のＮＡＮＤストリングＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２が行列に配列される。第１列に配列されたＮＡＮＤストリングＮＳ１１、ＮＳ２１はそれぞれ第１ビットラインＢＬの一端と共通に連結し、第２列に配列されたＮＡＮＤストリングＮＳ１２、ＮＳ２２はそれぞれ第２ビットラインＢＬと共通に連結する。共通ソースラインＣＳＬは、第１及び第２ビットラインＢＬ１、ＢＬ２と接続するＮＡＮＤストリングＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２の他側に共通で連結する

。ＮＡＮＤストリングＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２の数及びビットラインＢＬ１、ＢＬ２の数は例として示され、この実施形態の範囲を制限しない。

【００２５】

ワードラインＷＬ０、ＷＬ１．．．ＷＬｎ－１、ＷＬｎは同じ層に配列されたメモリセルＭＣに共通に連結する。第１ストリング選択ラインＳＳＬ１は第１行に配列されたＮＡＮＤストリングＮＳ１１、ＮＳ１２の第１ストリング選択トランジスタＴＳ１に共通に結合する。第２ストリング選択ラインＳＳＬ２は第１行に配列されたＮＡＮＤストリングＮＳ１１、ＮＳ１２のストリング選択トランジスタＴＳ２に共通に結合する。第３ストリング選択ラインＳＳＬ３は第２行に配列されたＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１ストリング選択トランジスタＴＳ１に共通に結合する。第４ストリング選択ラインＳＳＬ４は第２行に配列されたＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２に共通に結合する。

【００２６】

第１接地選択ラインＧＳＬ１は第１行に配列されたＮＡＮＤストリングＮＳ１１、ＮＳ１２の第１接地選択トランジスタＴＧ２に共通に結合する。第２接地選択ラインＧＳＬ２は第１行に配列されたＮＡＮＤストリングＮＳ１１、ＮＳ１２の第２接地選択トランジスタＴＧ２に共通に結合する。第３接地選択ラインＧＳＬ３は第２行に配列されたＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１接地選択トランジスタＴＧ１に共通に結合する。第４接地選択ラインＧＳＬ４は第２行に配列されたＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２接地選択トランジスタＴＧ２に共通に結合する。

【００２７】

プログラム動作は、ビットラインＢＬ１、ＢＬ２の１つに０Ｖを印加し、残りのビットラインにはチャンネルブースティングのために動作電圧を印加することで実行する。また、ストリング選択ラインＳＳＬ１～ＳＳＬ４中の選択されたラインに動作電圧を印加し、残りのラインにオフ電圧を印加する。このように、選択されたビットライン及びストリング選択ラインに共通に結合するＮＡＮＤストリングＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２の内、１つのＮＡＮＤストリングを選択的に動作させることができる。

【００２８】

読み込み動作は、ビットラインＢＬ１、ＢＬ２の中で選択された１つに読み込み電圧を印加し、残りの非選択ビットラインはフローティングさせることで実行する。また、ストリング選択ラインＳＳＬ１～ＳＳＬ４の中で選択されたラインに動作電圧を印加し、残りの非選択ラインにオフ電圧を印加する。このように、選択されたビットライン及びストリング選択ラインに共通に結合するＮＡＮＤストリング等ＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２の内、１つのＮＡＮＤストリングを選択的に動作させることができる。

【００２９】

消去動作は、メモリセルＭＣ群に消去電圧を印加し、ワードラインＷＬ０、ＷＬ１．．．ＷＬｎ－１、ＷＬｎに０Ｖを印加することで実行する。これによって、ＮＡＮＤストリングＮＳ１１、ＮＳ１２、ＮＳ２１、ＮＳ２２のメモリセルＭＣのデータが一時に消去される。

【００３０】

図３は図２のメモリ装置においてプログラム動作を行うときの電圧バイアスの条件を示す。例えば、第１行に配列された第１ＮＡＮＤストリングＮＳ１１中のメモリセルの内、１つをプログラムするとき、第１行に配列された第２ＮＡＮＤストリングＮＳ１２、そして第２行に配列されたＮＡＮＤストリングＮＳ２１、ＮＳ２２のプログラムは禁止される。

【００３１】

図２及び図３を参考にすると、第１行に配列された第１ＮＡＮＤストリングＮＳ１１中のメモリセルがプログラムされ、第１ＮＡＮＤストリングＮＳ１１に連結する第１ビットラインＢＬ１に電源電圧Ｖｃｃが供給される。さらに、第１ビットラインＢＬ１に連結する第２行の第１ＮＡＮＤストリングＮＳ２１にも電源電圧Ｖｃｃが供給される。

【００３２】
第１行に配列された第２ＮＡＮＤストリングＮＳ１２のプログラムが禁止され、第２ＮＡＮＤストリングＮＳ１２に連結する第２ビットラインＢＬ２に接地電圧Ｖｓｓが供給される。さらに、第２ビットラインＢＬ２に連結する第２行の第２ＮＡＮＤストリングＮＳ２２にも接地電圧Ｖｓｓが供給される。
【００３３】
第１行の第１ＮＡＮＤストリングＮＳ１１がプログラムされると、第１ＮＡＮＤストリングＮＳ１１に連結する第１及び第２ストリング選択ラインＳＳＬ１、ＳＳＬ２にターンオン電圧が供給される。ターンオン電圧は第１ＮＡＮＤストリングＮＳ１１の第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２をターンオンする電圧である。例えば、ターンオン電圧は電源電圧Ｖｃｃである。
【００３４】
第１行の第２ＮＡＮＤストリングＮＳ１２の第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２も第１及び第２ストリング選択ラインＳＳＬ１、ＳＳＬ２に各々連結する。従って、第１ＮＡＮＤストリングＮＳ１１がプログラムされると、第１行の第１及び第２ＮＡＮＤストリングＮＳ１１、ＮＳ１２の第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２はターンオンする。
【００３５】
第２行の第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２のプログラムを禁止するとき、第３及び第４ストリング選択ラインＳＳＬ３、ＳＳＬ４にターンオフ電圧が供給される。ターンオフ電圧は第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１及び第２ストリング選択トランジスタＴＳ１、ＴＳ２をターンオフさせる電圧であり。、例えば、接地電圧Ｖｓｓである。
【００３６】
ワードラインＷＬ０～ＷＬｎにはプログラム電圧Ｖｐｇｍまたはパス電圧Ｖｐａｓｓが供給される。例として、選択されたメモリセルに連結するワードラインにプログラム電圧Ｖｐｇｍを供給すると、非選択メモリセルに連結するワードラインにパス電圧Ｖｐａｓｓが供給される。プログラム電圧Ｖｐｇｍ及びパス電圧Ｖｐａｓｓは高電圧である。
【００３７】
ワードラインＷＬ０～ＷＬｎに高電圧（ＶｐｇｍまたはＶｐａｓｓ）が印加されると、第２行に配列された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２のメモリセルにチャンネルが形成される。形成されたチャンネルの電圧は高電圧（ＶｐｇｍまたはＶｐａｓｓ）によってブースティングされる。この際、第２行に配列された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２のゲートに接地電圧Ｖｓｓが印加される。そのため、第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２のゲート電圧（例えば、接地電圧Ｖｓｓ）とドレーン電圧（例えば、ブースティングされたチャンネル電圧）との間の電圧差によって、ゲート誘導ドレーン漏れ（ＧＩＤＬ）が発生する。
【００３８】
また、第２行に配列された第２ＮＡＮＤストリングＮＳ２２と連結する第２ビットラインＢＬ２に接地電圧Ｖｓｓが印加される。第２ＮＡＮＤストリングＮＳ２２に連結するビットライン電圧（例えば、接地電圧Ｖｓｓ）とブースティングされたチャンネル電圧との間の電圧差によって、第２ＮＡＮＤストリングＮＳ２２からさらにドレーン漏れが発生する。
【００３９】
このような問題を解決するために、本発明はメモリ装置のストリング選択ラインの電圧制御方法を提供する。
【００４０】
図４は本発明の実施形態による電圧制御方法を示す表である。図２及び図４を参考にすると、第３ストリング選択ラインＳＳＬ３に第３電圧Ｖ３が供給されると、第２行に配列

された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１ストリング選択トランジスタＴＳ１のゲートに第３電圧Ｖ３が印加される。第３電圧Ｖ３は第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１ストリング選択トランジスタＴＳ１をターンオフする電圧である。

【００４１】

第４ストリング選択ラインＳＳＬ４に第４電圧Ｖ４が供給されると、第２行に配列された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２のゲートに第４電圧Ｖ４が印加される。第４電圧Ｖ４は第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２をターンオフする電圧である。

【００４２】

第４電圧Ｖ４と第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２のブースティングされたチャンネル電圧の差が減るほど、第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２から発生するゲート誘導ドレーン漏れが減る。第４電圧Ｖ４のレベルは第２行に配列された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２から発生するゲート誘導ドレーン漏れを防止または減少させる。第４電圧Ｖ４は接地電圧Ｖｓｓより高いレベルを有し、接地電圧Ｖｓｓと第２ストリング選択トランジスタＴＳ２のスレッショルド電圧との間のレベルを有する。

【００４３】

第３電圧Ｖ３のレベルが低いほど、第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１ストリング選択トランジスタＴＳ１を通じてビットラインＢＬ１、ＢＬ２に漏れる電荷が減少する。第３電圧Ｖ３のレベルは第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第１ストリング選択トランジスタＴＳ１を通じた漏れを防止または減少させる。第３電圧Ｖ３は接地電圧Ｖｓｓより低いレベルを有する。

【００４４】

上述したように、プログラムされるＮＡＮＤストリングと異なる行に配列されたＮＡＮＤストリング（例えば、ＮＳ２１、ＮＳ２２）のストリング選択ライン（例えば、ＳＳＬ３、ＳＳＬ４）に供給される電圧のレベルが制御されると、プログラムされるＮＡＮＤストリング（例えば、ＮＳ１１）と異なる行に配列されたＮＡＮＤストリング（例えば、ＮＳ２１、ＮＳ２２）から発生される漏れが防止または減少される。従って、メモリ装置の性能が向上する。

【００４５】

また、漏れ量を一定にし、メモリ装置の性能を維持しながら、ストリング選択トランジスタＴＳ１、ＴＳ２と隣接するワードラインに供給される電圧のレベルが上昇する。即ち、メモリ装置の性能を維持しながら、ストリング選択トランジスタＴＳ１、ＴＳ２と隣接するワードラインの電圧ウィンドウが向上する。

【００４６】

図４において、第４電圧Ｖ４はターンオフ電圧であると説明した。しかし、第４電圧Ｖ４は第２行に配列された第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２をターンオンさせる電圧であればよい。例として、第４電圧Ｖ４は第１及び第２ＮＡＮＤストリングＮＳ２１、ＮＳ２２の第２ストリング選択トランジスタＴＳ２のスレッショルド電圧より高いレベルとすることができる。例として、第４電圧Ｖ４はパス電圧Ｖｐａｓｓより低いレベルを有することができる。第４電圧Ｖ４はパス電圧Ｖｐａｓｓと同じもしくはそれ以上のレベルを有することができる。

【００４７】

図５は図２の不揮発性メモリ装置をビットライン方向に沿って捉えた概略断面図である。図５を参考にすると、ストリング選択ゲート電極１６６はコンタクトプラグ１７４を通じて第１ストリング選択ラインＳＳＬ１及び第２ストリング選択ラインＳＳＬ２に各々連結する。接地選択ゲート電極１６２はコンタクトプラグ１７０を通じて第１及び第２接地

選択ラインＧＳＬ１、ＧＳＬ２と各々連結する。

【００４８】

図６は図２の不揮発性メモリ装置をビットラインに沿って捉えた概略断面図の他の実施形態を示す。簡潔な説明のために、ＮＡＮＤストリングアレイ部分は省略するる。図６を参考にすると、ＮＡＮＤストリングアレイの一側面で、接地選択ゲート電極１６２はコンタクトプラグ１７０、１７１を通じて第１及び第２接地選択ラインＧＳＬ１、ＧＳＬ２に各々連結する。また、ＮＡＮＤストリングアレイの一側面で、制御ゲート電極１６４はコンタクトプラグ１７２を通じてワードラインＷＬ０～ＷＬｎと各々連結する。ＮＡＮＤストリングアレイの異なる一側面で、ストリング選択ゲート電極１６６はコンタクトプラグ１７５、１７６を通じて第１及び第２ストリング選択ラインＳＳＬ１、ＳＳＬ２と各々連結する。

【００４９】

ストリング選択ラインＳＳＬ１、ＳＳＬ２、ワードラインＷＬ０～ＷＬｎ、そして接地選択ラインＧＳＬ１、ＧＳＬ２は同じレイヤ上に形成される。ストリング選択ラインＳＳＬ１、ＳＳＬ２、ワードラインＷＬ０～ＷＬｎ、そして接地選択ラインＧＳＬ１、ＧＳＬ２はメタルレイヤに形成され、ストリング選択ラインＳＳＬ１、ＳＳＬ２、ワードラインＷＬ０～ＷＬｎ、そして接地選択ラインＧＳＬ１、ＧＳＬ２はメタル０レイヤまたはメタル１レイヤに形成される。

【００５０】

図７は図２の不揮発性メモリ装置をビットライン方向に沿って捉えた概略断面図の他の実施形態を示す。図６の断面図と比較すると、図７において、第１ストリング選択ラインＳＳＬ１は第２ストリング選択ラインＳＳＬ２と異なるレイヤに形成される。第１ストリング選択ラインＳＳＬ１は第２ストリング選択ラインＳＳＬ２が形成されたレイヤの上層レイヤに形成され、メタル１レイヤに形成される。第２ストリング選択ラインＳＳＬ２はメタル０レイヤに形成される。

【００５１】

図８は図２の不揮発性メモリ装置のビットライン方向に沿って捉えた概略断面図の他の実施形態を示す。図７の断面図と比較すると、図８において、ワードラインＷＬ０～ＷＬｎ、共通ソースラインＧＳＬ１、ＧＳＬ２、そして第１ストリング選択ラインＳＳＬ１は同じレイヤに形成される。ワードラインＷＬ０～ＷＬｎ、共通ソースラインＧＳＬ１、ＧＳＬ２、そして第１ストリング選択ラインＳＳＬ１はメタル１レイヤに形成される。第２ストリング選択ラインＳＳＬ２は第１ストリング選択ラインＳＳＬ１より下層レイヤに形成され、メタル０レイヤに形成される。

【００５２】

図９は図２の不揮発性メモリ装置のビットライン方向に沿って捉えた概略断面図の他の実施形態を示す。図８の断面図と比較すると、図９において、接地選択ゲート電極１６２は１つの接地選択ラインＧＳＬと連結し、接地選択トランジスタＴＧ１、ＴＧ２は接地選択ラインＧＳＬに共通に連結する。

【００５３】

第１ストリング選択ラインＳＳＬ１、ワードラインＷＬ０～ＷＬｎ、そして接地選択ラインＧＳＬは同じレイヤに形成され、メタル１レイヤに形成される。第２ストリング選択ラインＳＳＬ２は第１ストリング選択ラインＳＳＬ１より下層レイヤに形成され、メタル０レイヤに形成される。

【００５４】

ワードラインＷＬ０～ＷＬｎ、共通ソースラインＧＳＬ１、ＧＳＬ２、そして第１ストリング選択ラインＳＳＬ１は同じレイヤに形成され、メタル１レイヤに形成される。第２ストリング選択ラインＳＳＬ２は第１ストリング選択ラインＳＳＬ１より下層レイヤに形成され、メタル０レイヤに形成される。

【００５５】

図１０は本発明の第２実施形態による不揮発性メモリ装置を示す回路図である。図２に

図示されたメモリ装置と比較すると、図１０に図示されたメモリ装置の選択トランジスタＴＳ１、ＴＳ２、ＴＧ１、ＴＧ２にメモリセルと同様に電荷蓄積層が構成される。即ち、選択トランジスタＴＳ１、ＴＳ２、ＴＧ１、ＴＧ２及びメモリセルは同じ構造を有する。例として、選択トランジスタＴＳ１、ＴＳ２、ＴＧ１、ＴＧ２及びメモリセルに構成される電荷蓄積層は電荷トラップ層である。

【００５６】

図１１は本発明の第３実施形態による不揮発性メモリ装置を示す回路図である。図１０に図示されたメモリ装置と比較すると、図１１に図示されたメモリ装置はストリング選択ラインＳＳＬ１～ＳＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間にダミーワードラインＤＷＬをさらに含む。プログラム動作の際に、ダミーワードラインＤＷＬにダミーパス電圧を印加する。ダミーパス電圧のレベルはノーマルパス電圧のレベルより低い。

ストリング選択ラインＳＳＬ１～ＳＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に２つ以上のダミーワードラインＤＷＬが構成される。

【００５７】

図１２は本発明の第４実施形態による不揮発性メモリ装置を示す回路図である。図１０に図示されたメモリ装置と比較すると、図１２に図示されたメモリ装置は接地選択ラインＧＳＬ１～ＧＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間にダミーワードラインＤＷＬをさらに含む。プログラム動作の際に、ダミーワードラインＤＷＬにダミーパス電圧が印加される。ダミーパス電圧のレベルはノーマルパス電圧のレベルより低い。

接地選択ラインＧＳＬ１～ＧＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に２つ以上のダミーワードラインＤＷＬが構成される。

【００５８】

図１３は本発明の第５実施形態による不揮発性メモリ装置を示す回路図である。図１０に図示したメモリ装置と比較すると、図１３に図示したメモリ装置はストリング選択ラインＳＳＬ１～ＳＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に第１ダミーワードラインＤＷＬ１、そして接地選択ラインＧＳＬ１～ＧＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に第２ダミーワードラインＤＷＬ２をさらに含む。プログラム動作の際に、第１及び第２ダミーワードラインＤＷＬ１、ＤＷＬ２に各々第１及び第２ダミーパス電圧が印加される。第１及び第２ダミーパス電圧のレベルはノーマルパス電圧のレベルより低い。

【００５９】

ストリング選択ラインＳＳＬ１～ＳＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に２つ以上の第１ダミーワードラインＤＷＬ１が構成される。また、接地選択ラインＧＳＬ１～ＧＳＬ４とノーマルワードラインＷＬ０～ＷＬｎとの間に２つ以上の第２ダミーワードラインＤＷＬ２が構成される。

【００６０】

図１４は本発明の他の実施形態による不揮発性メモリ装置を含むメモリ装置２００のブロック図である。図１４を参考にすると、ＮＡＮＤセルアレイ２５０はコア回路ユニット２７０と結合される。例えば、ＮＡＮＤセルアレイ２５０は図１乃至図１３の不揮発性メモリ装置を含むこ。コア回路ユニット２７０は制御ロジック２７１、ローデコーダ２７２、カラムデコーダ２７３、感知増幅器２７４及び／またはページバッファ２７５を含む。

【００６１】

制御ロジック２７１はローデコーダ２７２、カラムデコーダ２７３及び／またはページバッファ２７５と通信する。ローデコーダ２７２はストリング選択ラインＳＳＬ、ワードラインＷＬ及び／または接地選択ラインＧＳＬを通じて積層構造のＮＡＮＤセルアレイ２５０と通信する。カラムデコーダ２７３はビットラインＢＬを通じてＮＡＮＤセルアレイ２５０と通信する。感知増幅器２７４はＮＡＮＤセルアレイ２５０から信号が出力されるときはカラムデコーダ２７３と連結し、ＮＡＮＤセルアレイ２５０に信号を伝送するときには、カラムデコーダ２７３と連結しない。

【００６２】

制御ロジック２７１はローアドレス信号をローデコーダ２７２に伝送し、ローデコーダ２７２はローアドレス信号をデコーディングしてストリング選択ラインＳＳＬ、ワードラインＷＬ及び接地選択ラインＧＳＬを通じてＮＡＮＤセルアレイ２５０に伝送する。制御ロジック２７１はカラムアドレス信号をカラムデコーダ２７３またはページバッファ２７５に伝送し、カラムデコーダ２７３はその信号をデコーディングしてビットラインＢＬを通じてＮＡＮＤセルアレイ２５０にカラムアドレス信号を伝送する。積層ＮＡＮＤセルアレイ２５０の信号はカラムデコーダ２７３を通じて感知増幅器２７４に伝送され、増幅されてページバッファ２７５を経て制御ロジック２７１に伝送される。

【００６３】

図１５は本発明の一実施形態によるメモリカード４００を示す概略図である。図１５を参考にすると、メモリカード４００はハウジング４３０内にコントローラ４１０とメモリ４２０とを含む。コントローラ４１０とメモリ４２０は電気信号を交換する。例えば、コントローラ４１０の信号命令によって、メモリ４２０とコントローラ４１０はデータをやり取りする。これによって、メモリカード４００はメモリ４２０にデータを保存またはメモリ４２０からデータを出力する。

【００６４】

メモリ４２０は図１乃至図１３の不揮発性メモリ装置を含む。メモリカード４００は様々な携帯用機器のデータ記憶媒体に利用できる。例えば、メモリカード４００はマルチメディアカード（ＭＭＣ）またはセキュアデジタル（ＳＤ）カードである。

【００６５】

図１６は本発明の一実施形態による電子システム５００を示すブロックである。図１６を参考にすると、電子システム５００はプロセッサ５１０、メモリチップ５２０及び入出力装置５３０を含み、これらはバス５４０を利用して互いにデータ通信する。プロセッサ５１０はプログラムを実行し、システム５００を制御する。入出力装置５３０はシステム５００のデータを入力または出力に利用される。システム５００は入出力装置５３０を利用して外部装置、例えば、コンピュータまたはネットワークと連結し、外部装置とデータをやり取りする。メモリ５２０は図１乃至図１３の不揮発性メモリ装置を含む。

【００６６】

電子システム５００は、メモリ５２０を用いる様々な電子制御装置に利用される。例えば、携帯電話、ＭＰ３プレーヤ、ナビゲーション、ソリッドステートディスク（ＳＳＤ）または家電製品などに利用される。

【００６７】

図１７は図１乃至図１３の不揮発性メモリ装置を含む不揮発性メモリ装置６２０を備えたメモリシステム６００を示すブロック図である。図１７を参考にすると、メモリシステム６００は不揮発性メモリ装置６２０及びコントローラ６１０を含む。

コントローラ６１０はホスト及び不揮発性メモリ装置６２０と連結する。ホストからの要求に応じて、コントローラ６１０は不揮発性メモリ装置６２０にアクセスする。例えば、コントローラ６１０は不揮発性メモリ装置６２０の読み込み、書き込み、消去、そして背景動作を制御する。コントローラ６１０は不揮発性メモリ装置６２０とホストとの間にインタフェースを提供し、不揮発性メモリ装置６２０を制御するためのファームウエアを駆動する。

【００６８】

例として、コントローラ６１０はランダムアクセスメモリ（ＲＡＭ）、処理装置、ホストインタフェース、そしてメモリインタフェースなどの構成要素をさらに含む。ＲＡＭは処理装置の動作メモリ、不揮発性メモリ装置６２０とホストとの間のキャッシュメモリ、そして不揮発性メモリ装置６２０とホストとの間のバッファメモリに利用される。処理装置はコントローラ６１０全体の動作を制御する。

【００６９】

ホストインタフェースはホストとコントローラ６１０との間のデータ交換を行なうためのプロトコルを含む。例として、コントローラ６１０はＵＳＢプロトコル、マルチメディ

アカード（ＭＭＣ）プロトコル、ペリフェラルコンポーネントインターコネクション（ＰＣＩ）プロトコル、シリアル－ＡＴＡプロトコル、パラレル－ＡＴＡプロトコル、小型計算機システムインターフェイス（ＳＣＳＩ）プロトコル、ＥＳＤＩプロトコル、そしてＩＤＥプロトコルなどからなる様々なインタフェースプロトコルを通じてホストと通信する。メモリインタフェースは、例えばＮＡＮＤインタフェース、またはＮＯＲインタフェースを含み、不揮発性メモリ装置６２０とインタフェーシングする。

【００７０】

メモリシステム６００はエラー訂正ブロックをさらに含む。エラー訂正ブロックは不揮発性メモリ装置６２０から読み込んだデータのエラーを検出し、訂正する。また、エラー訂正ブロックはコントローラ６１０の構成要素でもある。

【００７１】

コントローラ６１０及び不揮発性メモリ装置６２０は１つの半導体装置に集積される。例として、コントローラ６１０及び不揮発性メモリ装置６２０は１つの半導体装置に集積されて、図１２のようにメモリカードを構成する。例えばＰＣカード（ＰＣＭＣＩＡ）、コンパクトフラッシュ（登録商標）カード（ＣＦ）、スマートメディアカード（ＳＭ、ＳＭＣ）、メモリスティック、マルチメディアカード（ＭＭＣ、ＲＳ－ＭＭＣ、ＭＭＣｍｉｃｒｏ）、ＳＤカード（ＳＤ、ｍｉｎｉＳＤ、ｍｉｃｒｏ　ＳＤ、ＳＤＨＣ）、ユニバーサルフラッシュ記憶装置（ＵＦＳ）のようなメモリカードである。

【００７２】

コントローラ６１０及び不揮発性メモリ装置６２０は１つの半導体装置に集積されて半導体ドライブ（ＳＳＤ）を構成する。半導体ドライブは半導体メモリにデータを保存する記憶装置を含む。メモリシステム６００が半導体ドライブとして利用される場合、メモリシステム６００と連結するホストの動作速度は画期的に改善する。

【００７３】

メモリシステム６００は様々な電子機器に搭載される。例えば、コンピュータ、携帯用コンピュータ、ウルトラモバイルＰＣ（ＵＭＰＣ）、ワークステーション、ネットブック、携帯端末（ＰＤＡ）、ウェブタブレット、無線電話、携帯電話、スマートフォン、電子書籍、携帯マルチメディアプレイヤ（ＰＭＰ）、携帯用ゲーム機、ナビゲーション装置、ブラックボックス、デジタルカメラ、デジタルマルチメディア放送（ＤＭＢ）再生機、デジタル音声録音機、デジタル音声再生機、デジタル映像録画機、デジタル映像再生機、デジタルビデオレコーダ、デジタルビデオプレーヤ、情報を無線環境で送受信する装置、ホームネットワークを構成する電子装置、ＲＦＩＤ装置、またはコンピューティングシステムを構成する電子装置などに搭載される。

【００７４】

不揮発性メモリ装置６１０、またはメモリシステム６００は様々な電子部品に組み込まれている。例えば、パッケージオンパッケージ（ＰｏＰ）、ボールグリッドアレイ（ＢＧＡ）、チップスケールパッケージ（ＣＳＰ）、プラスチックリードチップキャリア（ＰＬＣＣ）、プラスチックデュアルインラインパッケージ（ＰＤＩＰ）、ダイインワッフルパック、ダイインウェハフォーム、チップオンボード（ＣＯＢ）、セラミックデュアルインラインパッケージ（ＣＥＲＤＩＰ）、プラスチックメトリッククワッドフラットパック（ＭＱＦＰ）、シンクワッドフラットパック（ＴＱＦＰ）、スモールアウトライン（ＳＯＩＣ）、シュリンクスモールアウトラインパッケージ（ＳＳＯＰ）、シンスモールアウトライン（ＴＳＯＰ）、シンクワッドフラットパック（ＴＱＦＰ）、システムインパッケージ（ＳＩＰ）、マルチチップパッケージ（ＭＣＰ）、ウェハレベルパッケージ（ＷＦＰ）、ウェハレベルプロセスドスタックパッケージ（ＷＳＰ）のような電子部品である。

【００７５】

図１８は図１７のメモリシステム６００の応用例を示すブロック図である。図１８を参考にすると、メモリシステム７００は不揮発性メモリ装置７２０及びコントローラ７１０を含む。不揮発性メモリ装置７００は複数の不揮発性メモリチップを含む。複数の不揮発性メモリチップは複数の群に分割され、各々の群は１つの共通チャンネルを通じてコント

ローラ７１０と通信する。図１８において、複数の不揮発性メモリチップは第１乃至ｋチャンネルＣＨ１～ＣＨｋを通じてコントローラ７１０と通信する。各不揮発性メモリチップは図１乃至図１３の不揮発性メモリ装置を含む。

【００７６】

図１９は図１８のメモリシステム７００を含むコンピューティングシステム８００を示すブロック図である。図１９を参考にすると、コンピューティングシステム８００は中央処理装置（ＣＰＵ）８１０、ＲＡＭ８２０、使用者インタフェース８３０、電源８４０、そしてメモリシステム７００を含む。

【００７７】

メモリシステム７００はシステムバス８５０を通じて中央処理装置８１０、ＲＡＭ８２０、使用者インタフェース８３０、そして電源８４０と電気的に接続する。使用者インタフェース８３０を通じて供給されたり、中央処理装置８１０によって処理されたデータはメモリシステム７００に保存される。メモリシステム７００はコントローラ７１０及び不揮発性メモリ装置７２０を含む。

【００７８】

図１９において、不揮発性メモリ装置７２０はコントローラ７１０を通じてシステムバス８５０と連結するが、システムバス８５０に直接連結することもできる。

図１９において、不揮発性メモリ装置７００は複数の不揮発性メモリチップを含むが、１つの不揮発性メモリチップを有する場合もある。また、不揮発性メモリ装置７００は複数の不揮発性メモリチップを含むとともに各不揮発性メモリチップに固有のチャンネルが構成される。

【００７９】

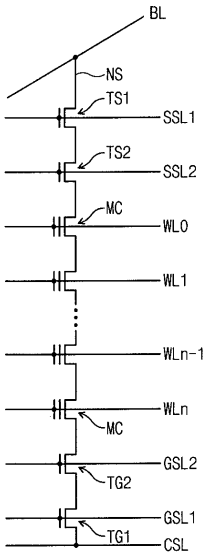
発明の実施形態による以上の説明は例示に過ぎない。従って、本発明は本明細書中の実施形態に限らず、本発明の技術範囲内で該当分野の通常の知識を有する者によって様々な修正及び変更が可能である。

【符号の説明】

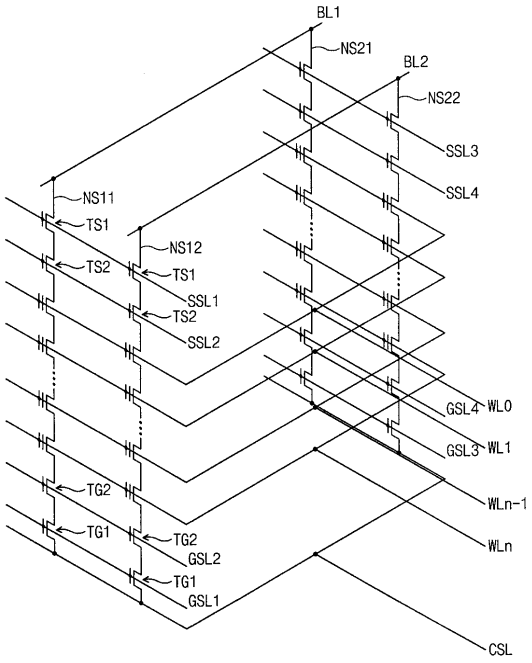
【００８０】

２５０　ＮＡＮＤセルアレイ
２７２　ローデコーダ
２７１　制御ロジック
２７３　カラムデコーダ
２５４　感知増幅器
２７５　ページバッファ
４１０　コントローラ
４２０、５２０　メモリ
５１０　プロセッサ
５３０　入出力装置
６１０、７１０　コントローラ
６２０　不揮発性メモリ装置
７２０　不揮発性メモリチップ
８３０　使用者インタフェース
８４０　電源

【図１】



【図２】



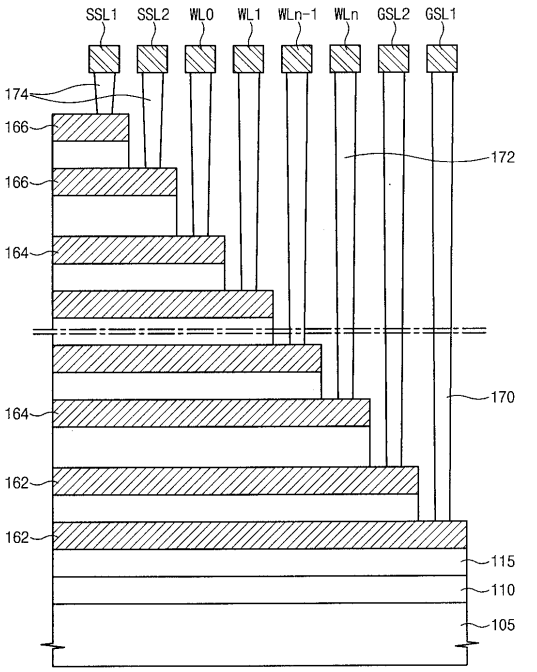
【図３】

	NS11	NS12	NS21	NS22
BL	BL1にVcc供給	BL2にVss供給	BL1にVcc供給	BL2にVss供給
TS1	Vccオン		Vssオフ	
TS2				
WL	Vpassまたは Vpgm			

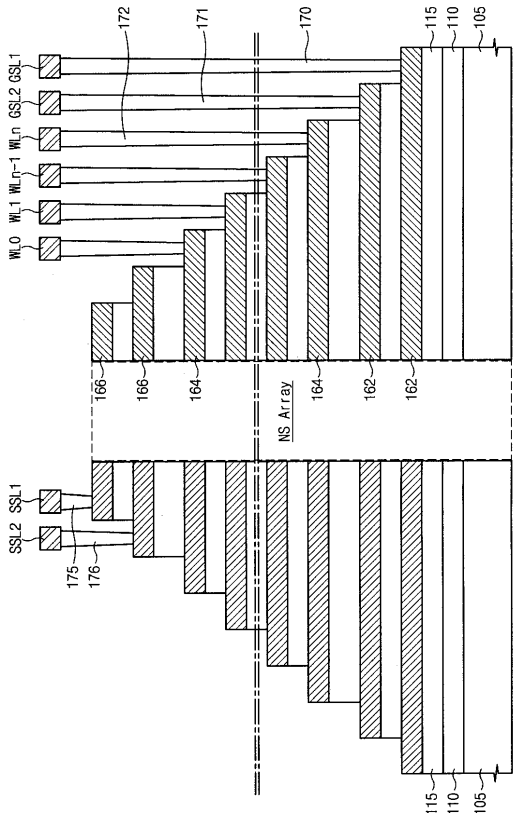
【図４】

	ストリング選択		ストリング非選択	
	NS11	NS12	NS21	NS22
BL	BL1にVcc供給	BL2にVss供給	BL1にVcc供給	BL2にVss供給
TS1	Vccオン		V3オフ	
TS2			V4オフ	
WL	Vpassまたは Vpgm			

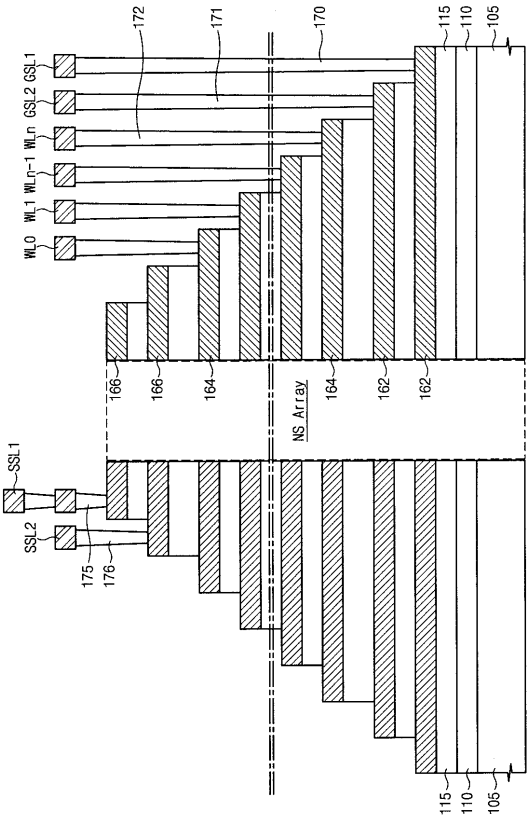
【図５】



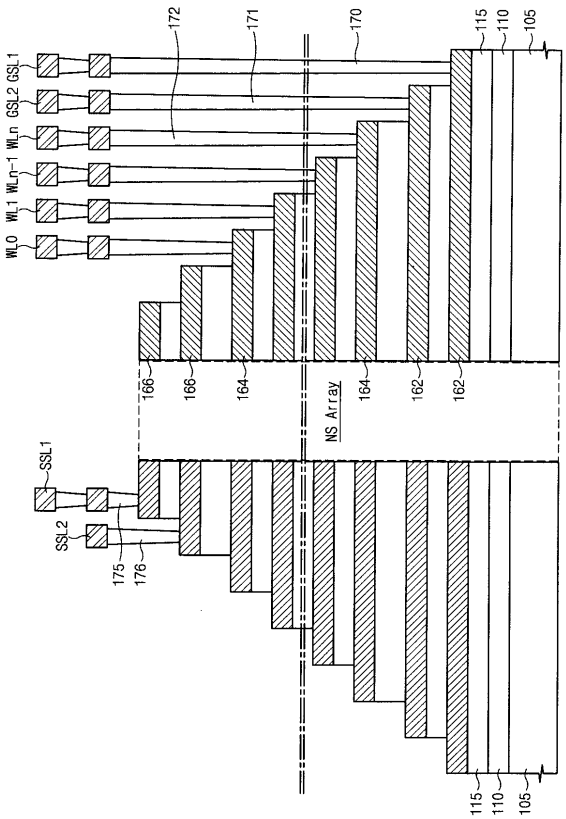
【図６】


172
171
170
115
110
105
GSL2 GSL1
WLn
WLn−1 WL1
WL0
166
164
162
NS Array
SSL1
SSL2
175
176

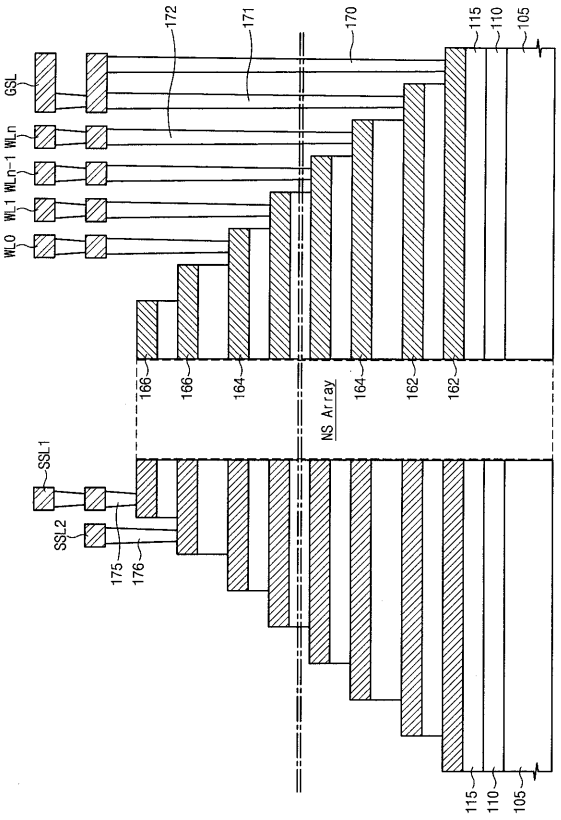
【図７】


172
171
170
115
110
105
GSL2 GSL1
WLn
WLn−1 WL1
WL0
166
164
162
NS Array
SSL1
SSL2
175
176

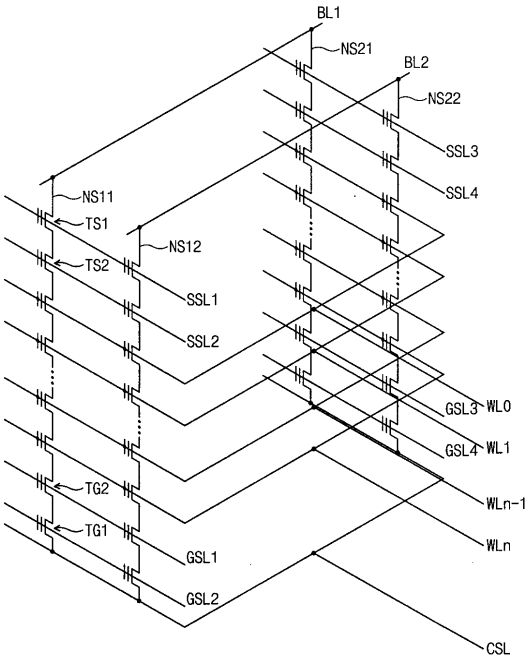
【図８】


172
171
170
115
110
105
GSL2 GSL1
WLn
WLn−1 WL1
WL0
166
164
162
NS Array
SSL1
SSL2
175
176

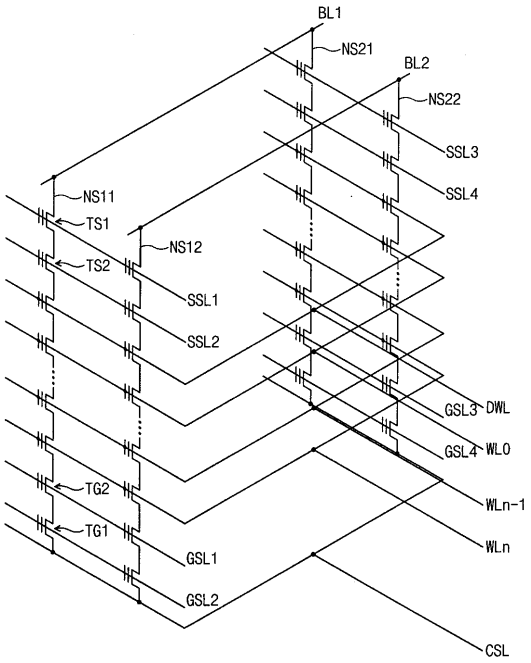
【図９】


172
171
170
115
110
105
GSL
WLn
WLn−1 WL1
WL0
166
164
162
NS Array
SSL1
SSL2
175
176

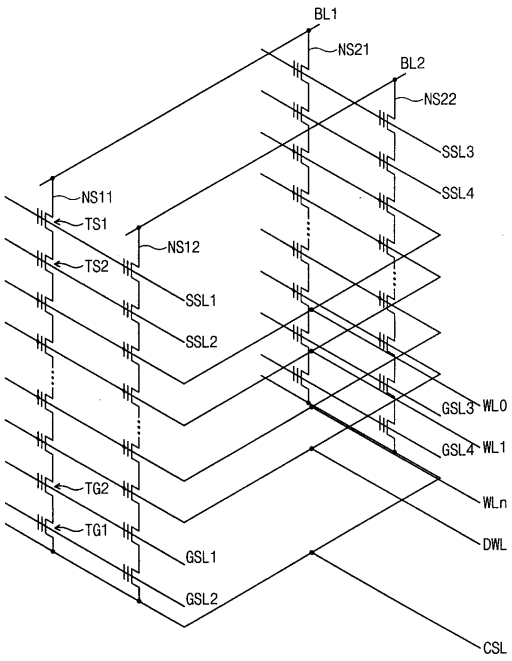
【図１０】



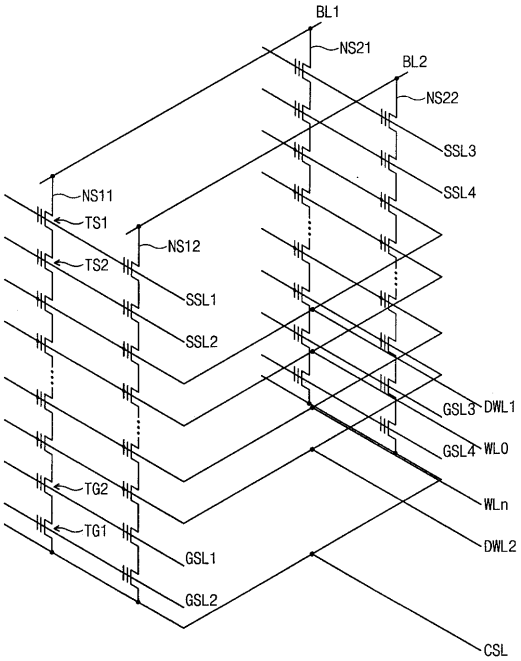
【図１１】



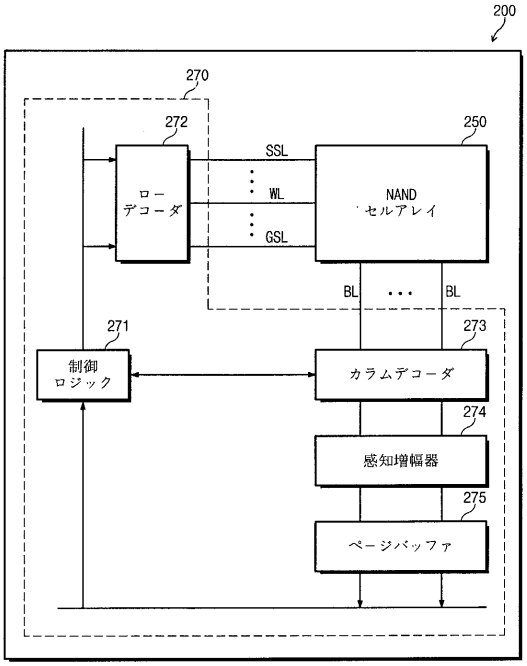
【図１２】



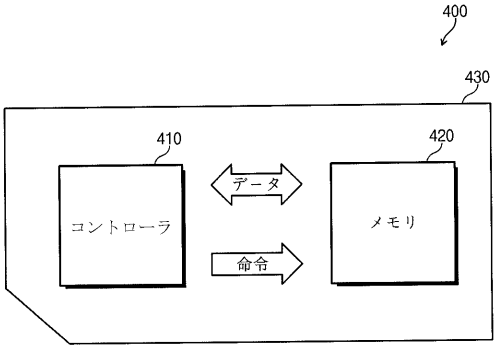
【図１３】



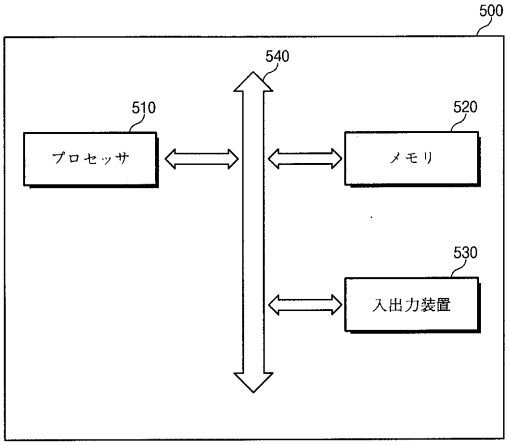
【図１４】



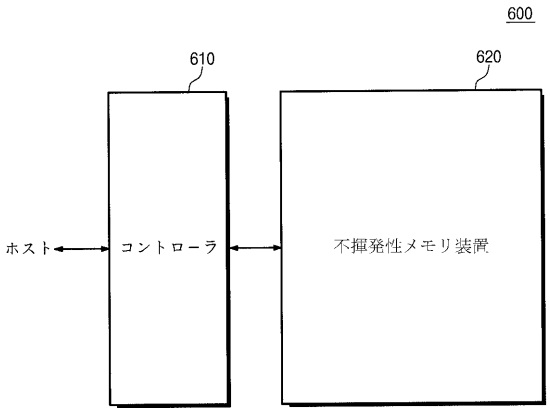
【図１５】



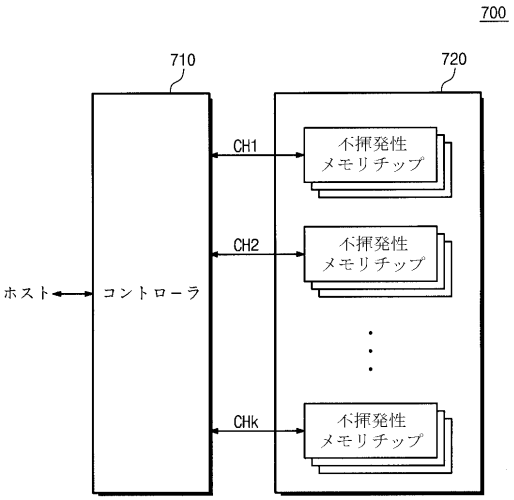
【図１６】



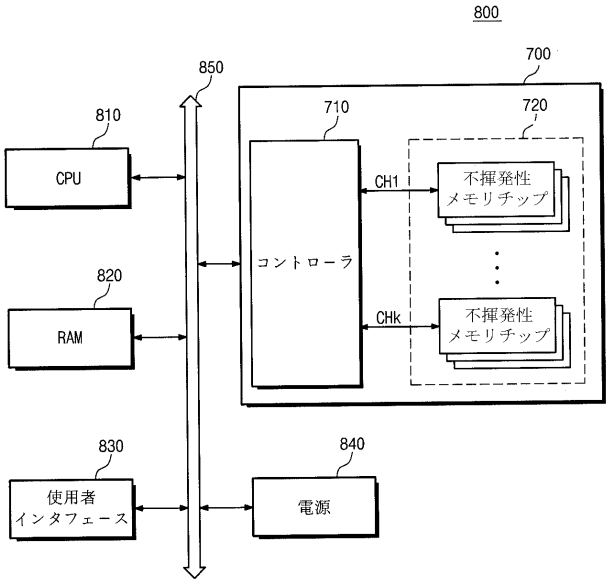
【図１７】



【図１８】



【図１９】


800
700
850
810
CPU
710
720
CH1
不揮発性
メモリチップ
コントローラ
820
RAM
CHk
不揮発性
メモリチップ
830
使用者
インタフェース
840
電源

フロントページの続き

(72)発明者　沈　善　一
大韓民国ソウル松坡区芳▲ギ▼１洞　コロンアパート１０４棟７０４号
(72)発明者　金　漢　洙
大韓民国京畿道水原市靈通区靈通洞　チェンミュン　ブンノ３３　三星來美安アパート４３１棟６０１号
(72)発明者　趙　源　錫
大韓民国京畿道水原市靈通区靈通１洞　ハングルマウル　２團地碧山アパート２２４棟１２０２号
(72)発明者　張　在　薫
大韓民国京畿道城南市盆唐区藪内洞　ヤンジマウル　青丘アパート２１０棟１０３号
(72)発明者　鄭　載　勳
大韓民国京畿道華城市半月洞新東灘大宇　プルギオアパート３０５棟１２０６号

Ｆターム(参考) 5B125 BA02 BA08 CA16 DA09 DB11 DB12 DC12 EA05 EB10 EC03
ED04 ED10 EG08 EG14 EJ09 EJ10 EK02 EK03 FA06 FA10