

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 15 日(15.09.2016)



(10) 国際公開番号

WO 2016/143023 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2015/056795
- (22) 国際出願日: 2015 年 3 月 9 日(09.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社安川電機(KABUSHIKI KAISHA YASKAWA DENKI) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 Fukuoka (JP).
- (72) 発明者: 川波 靖彦(KAWANAMI Yasuhiko); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP).
- (74) 代理人: 益田 博文, 外(MASUDA Hirofumi et al.); 〒1100015 東京都台東区東上野 1-7-1 3 東上野上村ビル 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

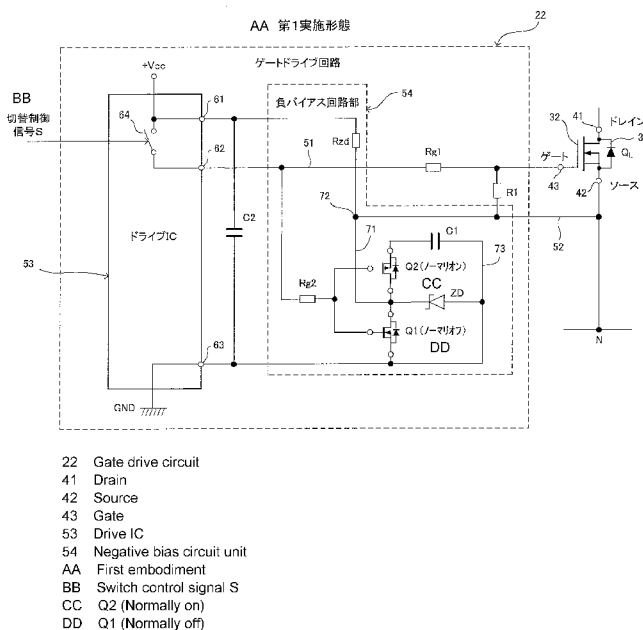
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: GATE DRIVE CIRCUIT, INVERTER CIRCUIT, AND MOTOR CONTROL DEVICE

(54) 発明の名称: ゲートドライブ回路、インバータ回路、及びモータ制御装置



(57) Abstract: A gate drive circuit (22) configured to control the on-state or the off-state of a semiconductor switching element (32) has: a drive IC (53) configured to output a gate voltage V_g to a gate electrode (43) of the semiconductor switching element (32), said gate voltage controlling the on-state or the off-state of the semiconductor switching element (32); and a negative bias circuit unit (54) configured to apply, corresponding to the potential of the gate voltage V_g , substantially 0 potential or a negative bias potential to a source electrode (42) of the semiconductor switching element (32) by performing switching between the potentials. Consequently, power can be saved in a circuit scale.

(57) 要約: 半導体スイッチング素子 (32) の導通または遮断を制御するように構成されたゲートドライブ回路 (22) は、半導体スイッチング素子 (32) のゲート電極 (43) に対して、当該半導体スイッチング素子 (32) の導通または遮断を制御するゲート電圧 V_g を出力するように構成されたドライブ IC (53) と、ゲート電圧 V_g の電位に応じて、半導体スイッチング素子 (32) のソース電極 (42) に対し略 0 電位と負バイアス電位を切り替えて付加するように構成された負バイアス回路部 (54) と、を有す

る。これにより、回路規模の省力化を可能とする。

明 細 書

発明の名称：

ゲートドライブ回路、インバータ回路、及びモータ制御装置

技術分野

[0001] 開示の実施形態は、ゲートドライブ回路、インバータ回路、及びモータ制御装置に関する。

背景技術

[0002] 特許文献1には、例えばGaN-FETのように寄生ダイオードを持たないノーマリオフタイプの半導体スイッチング素子における安定動作と回生時の電力損失を低減させるためのスイッチング回路の構成が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-59189号公報

発明の概要

発明が解決しようとする課題

[0004] 例えばFET等の半導体スイッチング素子においては、ドレイン電極とゲート電極の間、及びソース電極とゲート電極の間のそれぞれに寄生容量が潜在的に存在する。このため、周辺回路の影響によりドレイン電極またはソース電極のいずれか一方の電位が急激に上昇（ dV/dt 大）した場合には、ミラー効果によって両側の寄生容量が充電してゲート電極の電位が上昇し、その結果ゲート電極の電位が作動閾値を超えて当該半導体スイッチング素子が強制的に接続状態（縦短絡）にさせられるセルフターンオン現象を発生してしまう。

[0005] このようなセルフターンオンを防止する対策として、ミラー効果によるゲート電位の上昇前に当該半導体スイッチング素子のゲートソース間に負バイアス電圧を付加する手法が考えられる。しかし上記従来技術ではこのような負バイアスを付加する構成を備えておらず、また負バイアスを付加するため

にはその分の電位を確保できるよう供給電圧の高いドライブ用電源を用意する必要があり、それだけ全体の回路規模が大型化してしまう。

[0006] 本発明はこのような問題点に鑑みてなされたものであり、回路規模の省力化が可能なゲートドライブ回路、インバータ回路、及びモータ制御装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するため、半導体スイッチング素子の導通または遮断を制御するように構成されたゲートドライブ回路であって、前記半導体スイッチング素子のゲート電極に対して、当該半導体スイッチング素子の導通または遮断を制御するゲート制御信号を出力するように構成されたゲート制御部と、前記ゲート制御信号の電位に応じて、前記半導体スイッチング素子のソース電極に対し略0電位と負バイアス電位を切り替えて付加するように構成された負バイアス回路部と、を有するゲートドライブ回路が適用される。

[0008] また、本発明の別の観点によれば、半導体スイッチング素子の導通または遮断を制御するゲートドライブ回路であって、負バイアス電位の付加と無付加を切り替えるように構成された手段を有するゲートドライブ回路が適用される。

[0009] また、本発明の別の観点によれば、モータへ電力を給電するインバータ回路であって、前記半導体スイッチング素子を2つ直列に接続した組を直流母線間に複数並列に接続したブリッジ回路と、前記ブリッジ回路における複数の前記半導体スイッチング素子の導通または遮断をそれぞれ制御するように構成された請求項1乃至10のいずれか1項に記載のゲートドライブ回路と、を有するインバータ回路が適用される。

[0010] また、本発明の別の観点によれば、モータを駆動するモータ制御装置であって、請求項11に記載のインバータ回路と、交流電源からの交流電圧を直流電圧に整流して前記直流母線に給電するように構成された整流部と、前記整流部で整流された前記直流母線間の直流電圧を平滑するように構成された平滑コンデンサと、を有するモータ制御装置が適用される。

発明の効果

[0011] 本発明によれば、回路規模の省力化が可能となる。

図面の簡単な説明

[0012] [図1]第1実施形態に係るモータ制御装置全体の回路構成を概略的に表す図である。

[図2]ブリッジ回路における1組の上アームスイッチング素子と下アームスイッチング素子の接続構成を拡大して示す図である。

[図3]セルフターンオンを防止する比較例のゲートドライブ回路の回路構成を表す図である。

[図4]比較例のゲートドライブ回路を用いた場合の各種切替状態及びゲートソース間電圧のタイムチャートを表す図である。

[図5]比較例のゲートドライブ回路を用いた場合にゲートソース間電圧を合成する正バイアス電圧と負バイアス電圧を表す図である。

[図6]第1実施形態のゲートドライブ回路の回路構成を表す図である。

[図7]第1実施形態のゲートドライブ回路において切替制御信号がON出力された場合の状態を表す図である。

[図8]第1実施形態のゲートドライブ回路において切替制御信号がOFF出力された場合の状態を表す図である。

[図9]第1実施形態のゲートドライブ回路を用いた場合の各種切替状態及びゲートソース間電圧のタイムチャートを表す図である。

[図10]第1実施形態のゲートドライブ回路を用いた場合にゲートソース間電圧を合成する正バイアス電圧と負バイアス電圧を表す図である。

[図11]第2実施形態に係るモータ制御装置全体の回路構成を概略的に表す図である。

[図12]デッドタイム中における還流電流の発生状態を表す図である。

[図13]通常のダイオードの電圧電流特性を表す図である。

[図14]特性のよくない寄生ダイオードを備えた半導体スイッチング素子の電圧電流特性を表す図である。

[図15]特性のよくない寄生ダイオードを備えた半導体スイッチング素子を用いた場合に生じるデッドタイムロスを説明する図である。

[図16]第2実施形態のゲートドライブ回路の回路構成を表す図である。

[図17]第2実施形態のゲートドライブ回路において切替制御信号がON出力されている第1工程の状態を表す図である。

[図18]第2実施形態のゲートドライブ回路において切替制御信号がOFF出力された直後の第2工程の状態を表す図である。

[図19]第2実施形態のゲートドライブ回路において切替制御信号がOFF出力された後の安定期である第3工程の状態を表す図である。

[図20]第2実施形態のゲートドライブ回路において切替制御信号がON出力された直後の第4工程の状態を表す図である。

[図21]第2実施形態のゲートドライブ回路を用いた場合の各種切替状態及びゲートソース間電圧のタイムチャートを表す図である。

[図22]電流型ゲート構造の半導体スイッチング素子を用いた場合のゲートドライブ回路の回路構成を表す図である。

発明を実施するための形態

[0013] <第1実施形態>

以下、第1の実施の形態について図面を参照しつつ説明する。

[0014] <第1実施形態のモータ制御装置の概略構成>

まず、図1を用いて、本実施形態に係るモータ制御装置全体の回路構成について説明する。図1に示すように、モータ制御装置100は、3相交流電源1に接続するコンバータ2と、モータ3に接続するとともに直流母線4を介してコンバータ2にも接続するインバータ5を備える。

[0015] コンバータ2は、整流部11と、平滑コンデンサ12とを備えている。整流部11は、6つのダイオード13からなるダイオードブリッジであり、3相交流電源1からの交流電力を全波整流して直流母線4に出力する。平滑コンデンサ12は、直流母線4間を渡すように接続され、上記整流部11が全波整流した直流電力を平滑する。以上の構成によって、コンバータ2は、3

相交流電源 1 から供給される交流電力を整流、平滑して直流電力に変換し、正極側の P 線及び負極側の N 線の 2 本 1 組からなる直流母線 4 に直流電力を出力する。

[0016] インバータ 5 は、ブリッジ回路 2 1 と、ゲートドライブ回路 2 2 と、制御電源 2 3 と、制御回路 2 4 と、I/O 2 5 とを備えている。なお、このインバータ 5 が、各請求項記載のインバータ回路に相当する。

[0017] ブリッジ回路 2 1 は、例えば IGBT、MOSFET、HEMT などの半導体で構成する 6 つのアームスイッチング素子 3 1 をブリッジ接続したデバイスである。詳しくは、半導体スイッチング素子 3 2 とフライホイールダイオード (FWD) であるダイオード 3 3 とを並列接続して構成したアームスイッチング素子 3 1 を 2 つ直列に接続して 1 組とし、上記直流母線 4 に対して 3 組並列に接続している。そのうち、以下では、直流母線 4 の正極側 (P 線側) に接続するアームスイッチング素子 3 1 を上アームスイッチング素子 Q_H といい、負極側 (N 線側) に接続するアームスイッチング素子 3 1 を下アームスイッチング素子 Q_L という。3 組それぞれにおける上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L の間の中間点が、各相に対応してモータ 3 に接続されている。各アームスイッチング素子 3 1 は、それぞれのゲートソース間電圧 V_{gs} をゲートドライブ回路 2 2 により制御されることでその導通状態 (ON 状態) と遮断状態 (OFF 状態) を切り替える。

[0018] ゲートドライブ回路 2 2 は、後述の制御回路 2 4 から入力される切替制御信号に基づき、ブリッジ回路 2 1 の各アームスイッチング素子 3 1 に対しそれぞれのゲートソース間電圧 V_{gs} を制御することでその ON 状態と OFF 状態を切り替える。なお、本実施形態が備えるゲートドライブ回路 2 2 の具体的な回路構成については後に図 6 を用いて詳述する。

[0019] 制御回路 2 4 は、電力制御用のソフトウェアを実行する CPU 等で構成されており、図示しない上位制御装置から I/O 2 5 や図示しない信号入力回路等を介して入力されるモータ制御指令に基づいて、モータ 3 に所望の電力を供給するようゲートドライブ回路 2 2 に切替制御信号を出力する。この切

替制御信号は上記モータ制御指令に対応するPWM制御により出力されるものであり、ブリッジ回路21の各アームスイッチング素子31に対してそれぞれ直流母線4間の直流電力を各組の間接続位置から3相交流モータ3の各相に対応して出力させるようゲートドライブ回路22を制御する。ブリッジ回路21の各組においては、同じ組の上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L を同時に導通させると上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L に大電流が流れて両アームスイッチング素子31を損傷させてしまう。このような直流母線4間の短絡を防ぐために上記PWM制御では、同じ組の上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L を同時に導通させることがないように切替制御信号を出力する。

[0020] 制御電源23（ドライブ用電源に相当）は、例えば3相交流電源1の2相に接続してインバータ5内の各部に電力を供給する。

[0021] <アームスイッチング素子の動作とセルフターンオンについて>

図2は、ブリッジ回路21における1組の上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L の接続構成を拡大して示している。この図2に示す例において、各アームスイッチング素子 Q_H 、 Q_L は、ドレイン電極41、ソース電極42、及びゲート電極43の3つの電極を有する半導体スイッチング素子32と、ソース電極42側からドレイン電極41側へ向かう方向を順方向とする向きで半導体スイッチング素子32に並列に接続したフライホイールダイオード33で構成されている。上アームスイッチング素子 Q_H のソース電極42と下アームスイッチング素子 Q_L のドレイン電極41が接続して、上下2つのアームスイッチング素子 Q_H 、 Q_L が直列に接続されている。

[0022] 各アームスイッチング素子 Q_H 、 Q_L は、それぞれのゲートソース間電圧 V_{gs} によってドレイン電極41とソース電極42の間の導通と遮断（ONとOFF）を切り替える。ゲートソース間電圧 V_{gs} は、ソース電極42の電位を基準としたゲート電極43の電位の相対電位差であり、ソース電極42の電位よりゲート電極43の電位が高い場合に正バイアスとなり、ソース電

極 4 2 の電位よりゲート電極 4 3 の電位が低い場合に負バイアスとなる。そして、図示するように N チャンネル型ノーマリオフタイプの半導体スイッチング素子 3 2 を用いる場合には、ゲートソース間電圧 V_{gs} が所定値以上の（いわゆるゲート閾値電圧より高い）正バイアス電圧で付加された際に導通状態（ON 状態）となり、ゲートソース間電圧 V_{gd} が無付加（ソース電極 4 2 の電位とゲート電極 4 3 の電位が略同等）または負バイアス電圧で付加された際に遮断状態（OFF 状態）となる。このようなアームスイッチング素子 Q_H 、 Q_L の切替制御を行うゲートドライブ回路 2 2 では、ゲート電極 4 3 に接続する制御線 5 1 と、ソース電極 4 2 に接続する電極線 5 2 との間の電位の高低関係を切り替えることで ON 状態と OFF 状態の切り替えを制御する。

[0023] しかし上記半導体スイッチング素子 3 2 においては、ドレイン電極 4 1 とゲート電極 4 3 の間、及びソース電極 4 2 とゲート電極 4 3 の間のそれぞれに端子間静電容量が潜在的に存在する。このため、例えば図示するように、上アームスイッチング素子 Q_H の ON 切り替え（ターンオン）により下アームスイッチング素子 Q_L のドレイン電極 4 1 の電位が急激に上昇（ dV/dt 大）した場合には、そのドレイン電極 4 1 とゲート電極 4 3 との間の端子間静電容量（図中の C_{gd} ）において電流が流れて充電し、さらにその影響でソース電極 4 2 とゲート電極 4 3 との間の端子間静電容量（図中の C_{gs} ）においても電流が流れて充電してしまう。このように両側の端子間静電容量の充電によってゲート電極 4 3 の電位が上昇するミラー効果が生じ、その結果ゲート電極 4 3 の電位が作動閾値（ゲート閾値電圧）を超えることで、それまで OFF 状態であった当該下アームスイッチング素子 Q_L が強制的に ON 状態（縦短絡）にさせられるというセルフターンオン現象が生じてしまう。特にソース電極 4 2 とドレイン電極 4 1 のいずれかに付加される dV/dt が大きいほど、端子間静電容量には大きな過渡電流（ dI/dt ）が流れてセルフターンオンしやすくなる。

[0024] そして上記インバータ 5 のブリッジ回路 2 1 のように直流母線 4 間で 2 つ

のアームスイッチング素子 Q_H 、 Q_L を直列に接続した構成では、セルフターンオンにより意図しない縦短絡を起こした場合、直流母線4間に大電流が流れて各アームスイッチング素子 Q_H 、 Q_L を損傷させてしまう。特に各アームスイッチング素子 Q_H 、 Q_L にスイッチングスピードの速い半導体スイッチング素子32を用いた場合には、直列に接続した他方のアームスイッチング素子 Q_H 、 Q_L に付加される dV/dt が大きくなり、それだけセルフターンオンが発生しやすくなる。

[0025] <セルフターンオン防止の比較例>

このようなセルフターンオンを防止する1つの対策として、従来ではソース電極42に常に一定の正電位を付加する手法が提案されていた。この手法を実現する比較例としてのゲートドライブ回路22Eの回路構成を図3に示す。なお、この図3においては、1つの下アームスイッチング素子 Q_L に接続するゲートドライブ回路22Eの部分だけ示している（以下、対応する各図において同様）。

[0026] 図示する比較例のゲートドライブ回路22Eは、給電端子61、制御端子62、及び接地端子63を備えたドライブIC53と、制御端子62と下アームスイッチング素子 Q_L のゲート電極43を接続する制御線51と、制御線51上に設けられた第1ゲート抵抗 R_{g1} と、給電端子61と接地端子63を接続する接続線71と、この接続線71上の接続点72とソース電極42を接続する電極線52と、制御線51と電極線52の間に接続されるよう設けられたバイアス抵抗 R_1 と、接続線71上で給電端子61と接続点72の間に設けられた制限抵抗 R_{zd} と、接続線71上で接続点72と接地端子63の間に設けられたツェナーダイオード ZD と、このツェナーダイオード ZD の両端子間に並列に接続する並列線73と、この並列線73上に設けられた負バイアス用コンデンサ C_1 （第1コンデンサに相当）と、接続線71と並列に給電端子61と接地端子63の間に接続されるよう設けられたパスコン C_2 とを有する。

[0027] ドライブIC53は、内部に1つの切替スイッチ64を有している。切替

スイッチ 6 4 は、上記制御回路 2 4 からの切替制御信号 S に基づいて、ドライブ用電源（上記制御電源 2 3 相当；図示省略）から常に正電位電力（+ V c c）が供給されている端子 6 4 a と上記制御端子 6 2 に接続する端子 6 4 b との間の導通状態と遮断状態を切り替える。切替制御信号 S が O N 出力された場合には、切替スイッチ 6 4 が導通状態となり、制御線 5 1 に給電電位 + V c c の電位（以下、ハイレベルという）が付加される。また、切替制御信号 S が O F F 出力された場合には、切替スイッチ 6 4 が遮断状態となり、制御線 5 1 は略 0 電位（G N D 接地電位と略同等；以下、ローレベルという）となる。また、給電端子 6 1 にはドライブ用電源から常に給電電位 + V c c が付加され、接地端子 6 3 は G N D 接地されて常に略 0 電位を保持している。

[0028] 第 1 ゲート抵抗 $R_g 1$ は、上述したように制御線 5 1 上でドライブ I C 5 3 の制御端子 6 2 と下アームスイッチング素子 Q_L のゲート電極 4 3 との間に配置されて当該下アームスイッチング素子 Q_L のスルーレート（ dV/dt ）を調整するための抵抗である。なお、ここでの「配置」とは、実基板上での要素部品間の物理的な配置ではなく、回路上における接続関係としての配置を意味する（以下同様）。

[0029] バイアス抵抗 $R 1$ は、プルダウン抵抗であり、オフ時のゲートソース間電圧 $V_{gs 1}$ を接続点 7 2 の電位に維持するため数 m A 程度の電流がバイアス抵抗 $R 1$ に流れる程度の抵抗値を持つ。

[0030] パスコン C 2 は、ノイズ除去用のコンデンサである。

[0031] 制限抵抗 R_{zd} は、後述のツェナーダイオード Z D に流れる電流を適宜制限するために設ける抵抗である。

[0032] ツェナーダイオード Z D は、逆方向電圧が所定の降伏電圧を超えた際に導通状態となるいわゆる定電圧ダイオードであり、この例では接地端子 6 3 から給電端子 6 1 へ向かう方向を順方向として接続線 7 1 上に配置されている。これにより、降伏電圧を超える正電圧 + V c c が給電端子 6 1 から給電されることで、ツェナーダイオード Z D に並列接続されている負バイアス用コ

ンデンサ C_1 には降伏電圧と同等の電圧だけ充電され、その結果ツェナーダイオード ZD の両端端子間には常に降伏電圧と同等の電位差（ $+V_{zd}$ ）が維持される。つまり、この比較例のゲートドライブ回路 $22E$ においては、電極線 52 を介して接続点 72 に接続されるソース電極 42 に対し常に $+V_{zd}$ の電位が付加されている。

[0033] 以上のように構成された比較例のゲートドライブ回路 $22E$ を接続したブリッジ回路 21 中の 1 組のアームスイッチング素子 Q_H 、 Q_L における各種切替状態及びゲートソース間電圧 V_{gsL} のタイムチャートを図 4 に示す。この図 4 においては、上から順に上アームスイッチング素子 Q_H に対応する切替制御信号 S_H の切替状態（ ON/OFF ）と、下アームスイッチング素子 Q_L に対応する切替制御信号 S_L の切替状態（ ON/OFF ）と、下アームスイッチング素子 Q_L におけるゲートソース間電圧 V_{gsL} と、上アームスイッチング素子 Q_H の切替状態（ ON/OFF ）と、下アームスイッチング素子 Q_L の切替状態（ ON/OFF ）の時系列変化の一例を示している。なお、図示する例では、各アームスイッチング素子 Q_H 、 Q_L にノーマリオフタイプの半導体スイッチング素子 32 を用いるものとし、それらのゲートソース間電圧 V_{gs} における正バイアス電圧を $+10V$ 、負バイアス電圧を $-5V$ としている（以下、対応する各図において同様）。なお、この正バイアス電圧の $+10V$ 、負バイアス電圧の $-5V$ は、半導体スイッチング素子 32 を例えば $GaN-HEMT$ デバイスで構成している場合を想定して設定しているが、他の種類のデバイスで構成する場合はそれに対応した適宜の正バイアス電圧、負バイアス電圧で設定すればよい。

[0034] まず、上記制御回路 24 におけるPWM制御により、同じ組の上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L は交互に ON 状態となるよう切替制御される。このとき、上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L が同時に ON 状態となって直流母線 4 間を短絡するのを確実に防ぐよう、それぞれの切替制御信号 S_H 、 S_L における ON 期間と ON 期間の間（一方のターンオフから他方のターンオンまでの間）には両方を OFF

F状態とするデットタイムDTが一律同じ時間だけ設定されている。

[0035] このような作動を行わせるよう、下アームスイッチング素子 Q_L に付加するゲートソース間電圧 V_{gsL} に対しては、上アームスイッチング素子 Q_H がOFF状態にあってさらに当該下アームスイッチング素子 Q_L をON状態とすべき期間の間だけ、正バイアス電圧（この例の+10V）となるよう制御する必要がある。また、下アームスイッチング素子 Q_L に付加するゲートソース間電圧 V_{gsL} に対しては、デットタイムDTを含めて上アームスイッチング素子 Q_H がON状態となる間、つまり当該下アームスイッチング素子 Q_L をOFF状態とすべき期間の間だけ、略0電圧以下となるよう制御する必要がある。

[0036] ここでこの比較例においては、上述したようにソース電極42に対して常に+ V_{zd} （この例の+5V）の電位が付加されている。このため、制御切替信号 S_L がOFF出力されてゲート電極43の電位がローレベルとなった際には、ソース電極42の電位がゲート電極43の電位より高くなり、すなわちゲートソース間電圧 V_{gsL} には- V_{zd} （この例の-5V）の負バイアス電圧が付加される。これにより、上アームスイッチング素子 Q_H のターンオン直後において上記ミラー効果により下アームスイッチング素子 Q_L のゲート電極43に付加される電位A（以下、セルフターンオン電位という）が負バイアス電圧- V_{zd} に相殺され、下アームスイッチング素子 Q_L におけるセルフターンオンを防ぐことができる。

[0037] しかしこの比較例の場合には、図5に示すように、ゲートソース間電圧 V_{gsL} の正バイアス電圧もまたソース電極42に付加されるソース電圧- V_{sL} 分、つまり負バイアス電圧- V_{zd} 分だけオフセットされる。このため、ゲートソース間電圧 V_{gsL} の正バイアス電圧をゲート閾値電圧 V_{th} より十分高く確保（この例では+10Vを確保）するためには、制御端子62からゲート電極43に対して出力するゲート電圧 V_{gL} を負バイアス電圧- V_{zd} のオフセット分（-5V分）だけ高く供給する必要がある。このため、その高いゲート電圧 V_{gL} （+15V）を出力できる分だけ供給電圧（+ V_{cc} ）の

高いドライブ用電源を用意する必要があり、全体の回路規模を大型化してしまう。

[0038] <第1実施形態のゲートドライブ回路>

以上に対して、本実施形態が備えるゲートドライブ回路22では、ゲート電圧 V_g に応じてゲートソース間電圧 V_{gs} に対する負バイアス電圧 $-V_{zd}$ の付加を切り替える。このような動作を実現する本実施形態のゲートドライブ回路22の回路構成を図6に示す。

[0039] 上記図3に示した比較例のゲートドライブ回路22Eとの差異点としては、図6に示す本実施形態のゲートドライブ回路22がさらにツェナーダイオードZDの両端子間の短絡または遮断を制御するよう設けられた第1補助スイッチング素子Q1（第1補助素子に相当）と、並列線73の導通または遮断を制御するよう設けられた第2補助スイッチング素子Q2（第2補助素子に相当）とを有している点にある。また、これら2つの補助スイッチング素子Q1、Q2の各ゲート電極（第1補助ゲート電極、第2補助ゲート電極に相当）は、スルーレート（ dV/dt ）調整用の共通の第2ゲート抵抗 R_{g2} を介して制御線51に接続されている。そして本実施形態では、接続線71、電極線52、制限抵抗 R_{zd} 、ツェナーダイオードZD、並列線73、負バイアス用コンデンサC1、第1補助スイッチング素子Q1、第2補助スイッチング素子Q2、及び第2ゲート抵抗 R_{g2} が負バイアス回路部54を構成する。なお、この負バイアス回路部54が、各請求項記載の負バイアス電位の付加と無付加を切り替えるように構成された手段に相当する。

[0040] 第1補助スイッチング素子Q1は、例えばNチャンネル型MOSで構成したノーマリオフタイプの半導体スイッチング素子であり、上記ゲート電圧 V_g （ゲート制御信号に相当）がハイレベルである場合、つまり制御線51に給電電位 $+V_{cc}$ の電位（所定の正電位に相当）が付加された場合にツェナーダイオードZDの両端子間を短絡する。また第2補助スイッチング素子Q2は、例えばPチャンネル型MOSで構成したノーマリオンタイプの半導体スイッチング素子であり、上記ゲート電圧 V_g がハイレベルである場合に並

列線 7 3 を遮断する。

[0041] 以上のように構成された本実施形態のゲートドライブ回路 2 2 では、切替制御信号 S が ON 出力された場合、図 7 に示すような状態となる。なお、ここでは負バイアス用コンデンサ C 1 があらかじめ充電されているとする（この初期充電のシーケンスについては後に詳述する）。また図中においては、各補助スイッチング素子 Q 1, Q 2 を簡略化してそれらの ON/OFF 状態が明確になるよう示している。図 7 において、切替制御信号 S が ON 出力されていることによりドライブ IC 5 3（ゲート制御部）の制御端子 6 2 には給電電位 +V_{cc} が付加され、下アームスイッチング素子 Q_L のゲート電極 4 3 にはハイレベルのゲート電圧 V_g が付加される。一方、ゲート電圧 V_g がハイレベルであることで、第 1 補助スイッチング素子 Q 1 が導通してツェナーダイオード Z D の両端子間を短絡するとともに、第 2 補助スイッチング素子 Q 2 が並列線 7 3 を遮断して負バイアス用コンデンサ C 1 の放電を防ぐ。これにより、接続点 7 2 における電位が GND 接地電位（略 0 電位に相当）となり、下アームスイッチング素子 Q_L のソース電極 4 2 には略 0 電位が付加される。以上により、切替制御信号 S が ON 出力された場合には、下アームスイッチング素子 Q_L のゲートソース間電圧 V_{gs} に正バイアス電圧（+V_{cc}）が付加され、当該下アームスイッチング素子 Q_L が ON 状態となる。

[0042] また、切替制御信号 S が OFF 出力された場合、図 8 に示すような状態となる。すなわち、切替制御信号 S が OFF 出力されていることによりドライブ IC 5 3 の制御端子 6 2 は略 0 電位となり、下アームスイッチング素子 Q_L のゲート電圧 V_g はローレベル（略 0 電位に相当）となる。一方、ゲート電圧 V_g がローレベルであることで、第 1 補助スイッチング素子 Q 1 が遮断してツェナーダイオード Z D を有効に機能させるとともに、第 2 補助スイッチング素子 Q 2 が並列線 7 3 を導通して負バイアス用コンデンサ C 1 をツェナーダイオード Z D に並列接続させる。これにより、接続点 7 2 における電位が負バイアス用コンデンサ C 1 の充電電位（V_{zd}：所定の電位差に相当）となり、これに相当する負バイアス電位が下アームスイッチング素子 Q_L のソ

ース電極42に付加される。以上により、切替制御信号 S がOFF出力された場合には、下アームスイッチング素子 Q_L のゲートソース間電圧 V_{gs} に負バイアス電圧($-V_{zd}$)が付加され、当該下アームスイッチング素子 Q_L がOFF状態となる。

[0043] 以上のように作動する本実施形態のゲートドライブ回路22の場合の各種切替状態及びゲートソース間電圧 V_{gs_L} のタイムチャートを、図9に示す。この図9においては、第1補助スイッチング素子 Q_1 と第2補助スイッチング素子 Q_2 のそれぞれの切替状態(ON/OFF)も併せて示しており、第1補助スイッチング素子 Q_1 の挙動波形は切替制御信号 S_L とほぼ同じとなり、第2補助スイッチング素子 Q_2 の挙動波形は切替制御信号 S_L 及び第1補助スイッチング素子 Q_1 とほぼ逆位相となる。それ以外は、上記図4に示したタイムチャートと同じ挙動波形となっており、すなわち本実施形態のゲートドライブ回路22においても上記比較例と同等に負バイアス電圧によってセルフターンオン電位 A を相殺し、セルフターンオンを防止できる。

[0044] しかし本実施形態のゲートドライブ回路22の場合は、上記図5に対応する図10に示すように、切替制御信号 S_L がOFF出力されている間だけ、すなわちゲート電圧 V_{g_L} がローレベルである間だけソース電極42に負バイアス電位が付加され、ゲートソース間電圧 V_{gs_L} が負バイアス電圧 $-V_{zd}$ 分だけオフセットされる。また、切替制御信号 S_L がON出力されている間、すなわちゲート電圧 V_{g_L} がハイレベルである間は、ソース電極42は略0電位となりゲートソース間電圧 V_{gs_L} はオフセットされない。このため、切替制御信号 S_L がON出力されている間に制御端子62から正バイアス電圧分のゲート電圧 V_{g_L} (この例では+10V)を出力するだけで、ゲートソース間電圧 V_{gs_L} の正バイアス電圧をゲート閾値電圧 V_{th} より十分高く確保(この例では+10Vを確保)できる。すなわち本実施形態では、ゲート電圧 V_{g_L} に応じてソース電極42に対しGND接地電位(略0電位)と負バイアス電位($-V_{zd}$)を切り替えて付加することで、上記比較例の場合よりもドライブ用電源の必要供給電圧(+ V_{cc})を抑えることができ、全体の回路規

模を省力化できる。

[0045] なお、本実施形態では下アームスイッチング素子 Q_L にノーマリオフタイプの半導体スイッチング素子32を適用した場合を例に説明したが、これに限られず、下アームスイッチング素子 Q_L にノーマリオンタイプの半導体スイッチング素子32を適用してもよい。この場合には、第1補助スイッチング素子 Q_1 をノーマリオンタイプとし、第2補助スイッチング素子 Q_2 をノーマリオフタイプとすることで、上記実施形態と同等の機能が得られる（特に図示せず）。なおこの場合には、切替制御信号 S_L をON出力した際には下アームスイッチング素子 Q_L がOFF状態となり、切替制御信号 S_L をOFF出力した際には下アームスイッチング素子 Q_L がON状態となる。

[0046] <負バイアス用コンデンサの初期充電シーケンス>

以下において、モータ制御装置100における負バイアス用コンデンサC1の初期充電シーケンスについて説明する。まず、本実施形態の例のようにノーマリオフタイプの下アームスイッチング素子 Q_L を制御するゲートドライブ回路22だけを見れば、切替制御信号 S_L をOFF出力することで第2補助スイッチング素子 Q_2 をON状態とし、並列線73を導通させて負バイアス用コンデンサC1を充電できる（上記図8参照）。しかし、上述したように下アームスイッチング素子 Q_L にノーマリオンタイプの半導体スイッチング素子32を適用した場合には、切替制御信号 S_L をON出力した際に負バイアス用コンデンサC1を充電できる（図示省略）。また上述したように、インバータ5のブリッジ回路21では直流母線4間の縦短絡を防ぐために、直列に接続する上下2つのアームスイッチング素子 Q_H 、 Q_L を同時にON状態にすることはできない。

[0047] そこで、モータ3を駆動する前の準備シーケンスとして、まずブリッジ回路21が備える6つのアームスイッチング素子 Q_H 、 Q_L のうち各相の上アームスイッチング素子 Q_H を全てOFF状態とすることで、直流母線4間の縦短絡とモータ3への給電を阻止する。その間に、各下アームスイッチング素子 Q_L に対してPWM制御の作動に準じたON/OFFの切り替えを複数回繰り返す。

返して行うことで、各アームスイッチング素子 Q_H 、 Q_L がノーマリオフ、ノーマリオンのいずれのタイプであっても同等に負バイアス用コンデンサ C_1 を充電できる。そして下段側の充電完了後に各相の下アームスイッチング素子 Q_L を全てOFF状態とし、その間に各上アームスイッチング素子 Q_H に対してPWM制御の作動に準じたON/OFFの切り替えを複数回繰り返して上段側の充電を行えばよい。

[0048] なお、上記の初期充電シーケンスにおいて、各ゲートドライブ回路22に対し切替制御信号 S_L のON/OFFを繰り返す際の必要スイッチング回数 N については、以下のように求められる。

$$N = a \cdot f \cdot R_{zd} \cdot C_1 \cdots (1)$$

ただし、 a は係数、 f はPWM制御のキャリア周波数、 R_{zd} は制限抵抗 R_{zd} の抵抗値、 C_1 は負バイアスコンデンサ C_1 の容量である。なお、 $R_{zd} \cdot C_1$ の値は、負バイアス用コンデンサ C_1 がツェナーダイオード ZD の降伏電圧 V_{zd} の約63%に達するまでの時定数に相当する。

[0049] ここで、切替制御信号 S のデューティ比が平均50%であるとした場合、負バイアス用コンデンサ C_1 の両端子間電圧をツェナーダイオード ZD の降伏電圧 V_{zd} と同等にするには、係数 a の値を2以上に設定するのが望ましいと考えられる。例えば、 $f = 50\text{kHz}$ 、 $R_{zd} = 1.5\text{k}\Omega$ 、 $C_1 = 1\mu\text{F}$ とした場合、上記(1)式から、

$$N = 2 \times 50000 \times 1500 \times 0.000001 = 150$$

となり、150回程度という現実的な回数でスイッチングを繰り返すことで負バイアス用コンデンサ C_1 の両端子間電圧をツェナーダイオード ZD の降伏電圧 V_{zd} と同等に充電できる。実際の設計では、最終的に C_1 の両端子間電圧を実測して適正な係数 a を設定すればよい。なお、同じ下段側において各アームスイッチング素子 Q_L のスイッチングを同時に行ってもよいし、個別に行ってもよい。また、上段側を先に充電した後に下段側を充電してもよい。

[0050] <本実施形態の効果>

以上説明したように、本実施形態のゲートドライブ回路22、インバータ5、及びモータ制御装置100によれば、ゲート電圧 V_{g_L} の電位に応じて、下アームスイッチング素子 Q_L のソース電極42に対しGND接地電位（略0電位）と負バイアス電位（ $-V_{zd}$ ）を切り替えて付加するように構成された負バイアス回路部54を備えている。これにより、ソース電極42にはゲート電圧 V_{g_L} の電位に応じて必要時にだけ負バイアス電位を付加し、それ以外では略0電位にできる。すなわち当該下アームスイッチング素子 Q_L をOFF状態としてセルフターンオン現象を防ぐ際には、ソース電極42に負バイアス電位を付加すればよい。またその一方で、当該下アームスイッチング素子 Q_L を導通状態とする際には、ソース電極42を略0電位とすることで、ゲート電圧 V_{g_L} はゲート閾値電圧 V_{th} を超えるだけの電位で出力するだけでゲートソース間電圧 V_{gs_L} の正バイアス電圧を十分確保でき、つまりドライブ用電源の供給電圧（ $+V_{cc}$ ）を低減できる。この結果、ゲートドライブ回路22全体、ひいてはモータ制御装置100全体の回路規模の省力化が可能となる。

[0051] また、本実施形態によれば、下アームスイッチング素子 Q_L がいわゆるノーマリオフタイプである場合、ON状態とする際にはゲート電圧 V_{g_L} をハイレベル（所定の正電位）とする。また、OFF状態とする際には、ゲート電圧 V_{g_L} をローレベル（略0電位）とする。これに対応して、負バイアス回路部54は、下アームスイッチング素子 Q_L がON状態である際、つまりゲート電圧 V_{g_L} がハイレベルである際にソース電極42に対して略0電位を付加する。これにより、ゲート電圧 V_{g_L} はゲート閾値電圧 V_{th} を超えるだけの電位で出力するだけでゲートソース間電圧 V_{gs_L} の正バイアス電圧を十分確保でき、つまりドライブ用電源の供給電圧を低減できる。また、負バイアス回路部54は、下アームスイッチング素子 Q_L が遮断状態である際、つまりゲート電圧 V_{g_L} がローレベルである際にゲート電極43の略0電位に対してソース電極42の電位がセルフターンオン電位Aを超える電位差で高くなるよう負バイアス電位（ $+V_{zd}$ ）を付加する。これにより、上記ミラー効果によっ

てゲート電極 4 3 に付加されるセルフターンオン電位 A を相殺してセルフターンオン現象を防ぐことができる。以上のように作動することで、本実施形態のゲートドライブ回路 2 2 をノーマリオフタイプの下アームスイッチング素子 Q_L の制御に適用できる。

[0052] なお、本実施形態では下アームスイッチング素子 Q_L に対応したゲートドライブ回路 2 2 について説明したが、本発明はこれに限られない。例えば、デットタイム D_T 後に上アームスイッチング素子 Q_H を OFF 状態としたまま下アームスイッチング素子 Q_L を ON 状態にターンオンした場合でも、上アームスイッチング素子 Q_H においてミラー効果によるセルフターンオン現象が発生する。このため、上アームスイッチング素子 Q_H に対しても本実施形態のゲートドライブ回路 2 2 を適用することは有効である。また、各アームスイッチング素子 Q_H 、 Q_L がノーマリオンタイプである場合でも、第 1 補助スイッチング素子 Q_1 をノーマリオンタイプとし、第 2 補助スイッチング素子 Q_2 をノーマリオフタイプとすることで、本実施形態のゲートドライブ回路 2 2 を適用できる。

[0053] また、本実施形態によれば、負バイアス回路部 5 4 は、ゲート電圧 V_g がハイレベルである際にドライブ用電源から充電した充電電位を、ゲート電圧 V_g がローレベルである際に負バイアス電位としてソース電極 4 2 に付加する。これにより、ドライブ用電源と独立した個別の電源を用意せずとも、負バイアス回路部 5 4 がその必要時に負バイアス電位を生成してソース電極 4 2 に付加できるため、回路構成を簡略化できる。

[0054] また、本実施形態によれば、ドライブ IC 5 3 は、ドライブ用電源からの給電正電位 ($+V_{cc}$) を出力する給電端子 6 1 と、制御線 5 1 を介してゲート電極 4 3 に接続されてゲート電圧 V_g を給電正電位のハイレベルと略 0 電位のローレベルに切り替えて出力する制御端子 6 2 と、略 0 電位の GND 接地電位を保持する接地端子 6 3 と、を有し、負バイアス回路部 5 4 は、給電端子 6 1 と接地端子 6 3 を接続する接続線 7 1 と、接続線 7 1 上の接続点 7 2 にソース電極 4 2 を接続する電極線 5 2 と、接続線 7 1 上で接続点 7 2

より接地端子 6 3 側に配置され、接地端子 6 3 から給電端子 6 1 へ向かう方向を順方向として所定の降伏電圧 (V_{zd}) を有するツェナーダイオード Z D と、ツェナーダイオード Z D の両端子間を接続する並列線 7 3 上に配置された負バイアス用コンデンサ C 1 と、ツェナーダイオード Z D の両端子間の短絡または遮断を制御するように構成された第 1 補助スイッチング素子 Q 1 と、を有する。このような回路構成とすることにより、ツェナーダイオード Z D と負バイアス用コンデンサ C 1 の並列回路が負バイアス電位を生成保持し、第 1 補助スイッチング素子 Q 1 がソース電極 4 2 に対してその負バイアス電位の付加と無付加（接地）を切り替える動作を実現できる。

[0055] また、本実施形態によれば、負バイアス回路部 5 4 が、並列線 7 3 の導通または遮断を制御するように構成された第 2 補助スイッチング素子 Q 2 を有することにより、負バイアス電位として生成される負バイアス用コンデンサ C 1 の充電電位を不必要に放電することを防ぐことができる。

[0056] また、本実施形態によれば、第 1 補助スイッチング素子 Q 1 がノーマリオフタイプの半導体スイッチング素子であり、第 2 補助スイッチング素子 Q 2 がノーマリオンタイプの半導体スイッチング素子であり、各補助スイッチング素子 Q 1, Q 2 のゲート電極が制御線 5 1 に接続されている。このように構成することで、下アームスイッチング素子 Q_L がノーマリオフタイプであって ON 状態にある際、つまりゲート電圧 V_{g_L} がハイレベルである際には、第 1 補助スイッチング素子 Q 1 が導通してツェナーダイオード Z D を短絡させ、ソース電極 4 2 を接地させることができる。またこのとき第 2 補助スイッチング素子 Q 2 は、並列線 7 3 を遮断して負バイアス用コンデンサ C 1 の充電電位の放電を防ぐことができる。一方、下アームスイッチング素子 Q_L が OFF 状態である際、つまりゲート電圧 V_g がローレベルである際には、第 1 補助スイッチング素子 Q 1 が遮断してツェナーダイオード Z D と負バイアス用コンデンサ C 1 の並列回路における充電電位をソース電極 4 2 に負バイアス電位として付加できる。またこのとき第 2 補助スイッチング素子 Q 2 は、並列線 7 3 を導通させて負バイアス用コンデンサ C 1 の充電と充電電位の付

加を可能にする。よって、本実施形態における上記動作を具体的に実現できる。

[0057] <第2実施形態>

以下、第2の実施の形態について図面を参照しつつ説明する。

[0058] まず、図11を用いて、第2実施形態に係るモータ制御装置100A全体の回路構成について説明する。この図11において、上記図1に示したモータ制御装置100との差異点としては、インバータ5Aのブリッジ回路21Aが備える全てのアームスイッチング素子 Q_H 、 Q_L がフライホイールダイオード33を設けずに半導体スイッチング素子32だけで構成している点にある。例えば特性のよくない寄生ダイオード34を備えるGaN-FETで構成する半導体スイッチング素子32を用いた場合、フライホイールダイオード33を設けると特に実装面積が増大してしまう。このような場合に、インバータ5A、特にブリッジ回路21Aにおいては、周波数特性の向上を目的とした小型高密度での実装を図るためこのようにフライホイールダイオード33を省略した構成が取られる。

[0059] <フライホイールダイオードの設置を省略した場合の問題点について>

しかし、このようにフライホイールダイオード33の設置を省略した場合には、図12に示すような還流電流の発生時に消費電力で以下のような問題が生じる。すなわち、モータ3の回転駆動中で少なくとも同じ組（同じ相）の上下2つのアームスイッチング素子 Q_H 、 Q_L が同時にOFF状態となっている間、つまり上述したデッドタイム期間DT中においては、モータ3のコイルにおけるインダクタンスの作用で直流母線4のN線からP線へ向けて回生電流を半導体スイッチング素子32の逆方向（つまりソース電極42からドレイン電極41へ向かう方向）に流そうとする還流作用が生じる。なお、図12においては、図示の煩雑を回避するために、2相分のアームスイッチング素子 Q_H 、 Q_L だけを図示している。

[0060] このような還流期間（デッドタイム期間DT）において、各アームスイッチング素子 Q_H 、 Q_L にフライホイールダイオード33を設けている場合には

、それを介して還流電流を円滑に流すことができる。しかし、上記図 11 に示した第 2 実施形態のように、各アームスイッチング素子 Q_H 、 Q_L でフライホイールダイオード 33 の設置を省略した場合、還流電流は半導体スイッチング素子 32 自体に潜在的に備えられている寄生ダイオード 34 を介して流すことになる。

[0061] 図示するように半導体スイッチング素子 32 が潜在的に備える寄生ダイオード 34 は、ソース電極 42 からドレイン電極 41 へ向かう方向を順方向とし、当該半導体スイッチング素子 32 を構成する素材や内部の回路構成によって特性が大きく相違する。ここで例えば、図 13 は一般的な IGBT の半導体スイッチング素子 32 に逆並列で接続されるフライホイールダイオード 33（通常のダイオードと同等）の電圧電流特性を示しているが、図示するように通常のダイオードであってもその順方向に対してある一定の順方向電圧 V_f を超える電圧を付加しない限り順方向電流が流れない。なお、ここでは順方向電圧領域だけに着目し、逆方向電圧領域におけるリーク電流とブレークダウン現象については無視する。このような通常のダイオードの場合においては、電圧の変化割合 ΔV に対する電流の変化割合 ΔI の比の逆数 $\Delta V / \Delta I$ が抵抗値 R に相当し、順方向通電状態における消費電力が $P = V_f \cdot I + I^2 \cdot \Delta V / \Delta I$ となる。

[0062] これに対し、例えば特性のよくない寄生ダイオード 34 を備える GaN-HEMT で構成する半導体スイッチング素子 32（フライホイールダイオード 33 非設置）の電圧電流特性は図 14 に示すようになる。この図 14 において、ゲートソース間電圧 V_{gs} に負バイアス電圧が付加された遮断状態（ $V_{gs} < 0$ ）では、ソースドレイン間電圧 V_{sd} に逆方向電圧（ $V_{sd} < 0$ ）を付加した場合にだけ逆方向電流（ $I_{ds} < 0$ ）が流れ、つまり寄生ダイオード 34 を介してソース電極 42 からドレイン電極 41 へ向かう方向に電流が流れる（図中の左下の領域参照）。しかしこの逆方向電流の特性においては、ゲートソース間電圧 V_{gs} に付加された負バイアス電圧の大きさに比例して、当該寄生ダイオード 34 における上述の順方向電圧 V_f （この場合、

逆方向電流を流すために最低限必要な逆方向ソースドレイン間電圧 V_{sd})
が増大してしまう。

[0063] このように特性のよくない寄生ダイオード 34 を潜在的に備える半導体スイッチング素子 32 では、負バイアス電圧を付加した状態で回生電流を還流した際に、当該半導体スイッチング素子 32 内において軽視できないほどの大きな導通損失（導通時における消費電力）が発生してしまう。つまり、上記図 9 に対応する図 15 に示すように、上アームスイッチング素子 Q_H と下アームスイッチング素子 Q_L の両方が OFF 状態となるデッドタイム期間 D_T においては、逆方向電流である還流電流 I_{ds} が流れる。また同時に、当該デッドタイム期間 D_T 中においては、ソースドレイン間電圧 V_{ds} として負バイアス電圧に比例した大きさを寄生ダイオード 34 の順方向電圧 V_f 分の逆方向電位差（ $-V_{fv}$ ）が生じる。このため、デッドタイム期間 D_T 中には、ゲートソース間電圧 V_{gs} に付加される負バイアス電圧に比例した大きな通電損失 $P = I_{ds} \cdot (V_{ds} + V_{gs})$ （以下、デッドタイムロス P という）が生じてしまう。

[0064] <第 2 実施形態のゲートドライブ回路>

以上に対して、第 2 実施形態のゲートドライブ回路 22A では、図 16 に示す回路構成の負バイアス回路部 54A を備えることで上記デッドタイムロスの低減を図る。上記図 6 に示した第 1 実施形態の負バイアス回路部 54 との差異点としては、図 16 に示す第 2 実施形態の負バイアス回路部 54A がさらに制御線 51 を接地する接地線 74 と、接地線 74 上に直列に配置された時定数抵抗 R_2 （第 1 抵抗）及び時定数コンデンサ C_3 （第 2 コンデンサ）と、を有し、2つの補助スイッチング素子 Q_1 、 Q_2 の各ゲート電極が、共通の第 2 ゲート抵抗 R_{g2} を介して時定数抵抗 R と時定数コンデンサ C の間で接地線 74 に接続し、さらに接地線 74 上の時定数抵抗 R_2 を介して制御線 51 に接続している点で相違している。その他の部分については上記第 1 実施形態と同じであり、説明を省略する。

[0065] 以上のように構成された第 2 実施形態のゲートドライブ回路 22A では、

1 動作周期中（PWM制御の1キャリア周期中）に4つ工程Ⅰ～Ⅳを経て状態が切り替わる。まず、切替制御信号SがON出力されている際には、図17に示すような第1工程Ⅰの状態となる。なお、この場合でも負バイアス用コンデンサC1と時定数コンデンサC3があらかじめ初期充電シーケンスにより充電済みであるとする。

[0066] 図17に示す第1工程Ⅰにおいて、切替制御信号SがON出力されていることによりドライブIC53の制御端子62には給電電位+Vccが付加され、下アームスイッチング素子Q_Lのゲート電極43にはハイレベルのゲート電圧V_gが付加される。一方、ゲート電圧V_gがハイレベルであるとともに時定数コンデンサC3が充電状態であることで、第1補助スイッチング素子Q1が導通してツェナーダイオードZDの両端子間を短絡し、また第2補助スイッチング素子Q2が並列線73を遮断して負バイアス用コンデンサC1の放電を防ぐ。これにより、接続点72における電位がGND接地電位となり、下アームスイッチング素子Q_Lのソース電極42には略0電位が付加される。以上により、切替制御信号SがON出力されているこの第1工程Ⅰでは、下アームスイッチング素子Q_Lのゲートソース間電圧V_{gs}に正バイアス電圧（+Vcc）が付加され、当該下アームスイッチング素子Q_LがON状態となる（上記図7の状態と同等）。

[0067] 次に、切替制御信号SがOFF出力に切り替えた場合、その初期時には図18に示すような第2工程Ⅱの状態となる。すなわち、切替制御信号SがOFF出力されていることによりドライブIC53の制御端子62は略0電位となり、下アームスイッチング素子Q_Lのゲート電圧V_gはローレベルとなる。一方、ゲート電圧V_gがローレベルであるものの、時定数コンデンサC3が充電状態であることで各補助スイッチング素子Q1、Q2のゲート電極電位はハイレベルを維持しており、上記第1工程Ⅰに引き続きこの第2工程Ⅱにおいても第1補助スイッチング素子Q1の導通状態と第2補助スイッチング素子Q2の遮断状態が維持される。つまり、ツェナーダイオードZDにおける両端子間の短絡状態と、負バイアス用コンデンサC1の充電保持状

態が維持される。以上により、切替制御信号 S を OFF 出力に切り替えた直後の第2工程 I I では、下アームスイッチング素子 Q_L のゲートソース間電圧 V_{gs} に略0バイアス電圧（つまり略0電圧）が付加され、当該下アームスイッチング素子 Q_L が OFF 状態となる。

[0068] しかし、その後に時定数コンデンサ C_3 の放電が進んだ際には、図19に示すような第3工程 I I I の状態となる。すなわち、時定数コンデンサ C_3 の放電が進むことにより各補助スイッチング素子 Q_1 、 Q_2 のゲート電位もまたゲート電圧 V_g と同様のローレベルとなることで、第1補助スイッチング素子 Q_1 が遮断状態に切り替わり、第2補助スイッチング素子 Q_2 が導通状態に切り替わる。つまり、ツェナーダイオード ZD と負バイアス用コンデンサ C_1 の並列回路が有効に機能して接続点 72 における電位が負バイアス用コンデンサ C_1 の充電電位（ V_{zd} ）となり、これに相当する負バイアス電位が下アームスイッチング素子 Q_L のソース電極 42 に付加される。以上により、切替制御信号 S を OFF 出力に切り替えた後の安定期である第3工程 I I I では、下アームスイッチング素子 Q_L のゲートソース間電圧 V_{gs} に負バイアス電圧（ $-V_{zd}$ ）が付加され、当該下アームスイッチング素子 Q_L が OFF 状態となる（上記図8の状態と同等）。なお、上記第2工程 I I から第3工程 I I I へ切り替わるタイミングは、時定数抵抗 R_2 と時定数コンデンサ C_3 で決まる時定数を調整することで任意に設定できる。

[0069] 次に、切替制御信号 S を ON 出力に切り替えた場合、その初期時には図20に示すような第4工程 I V の状態となる。すなわち、切替制御信号 S が ON 出力されていることによりドライブ IC 53 の制御端子 62 には給電電位 $+V_{cc}$ が付加され、下アームスイッチング素子 Q_L のゲート電極 43 にはハイレベルのゲート電圧 V_g が付加される。一方、ゲート電圧 V_g がハイレベルであるものの、上記第3工程 I I I 中に放電された時定数コンデンサ C_3 がまだ十分に充電していない間は各補助スイッチング素子 Q_1 、 Q_2 のゲート電極電位がローレベルを維持しており、上記第3工程 I I I に引き続きこの第4工程 I V においても第1補助スイッチング素子 Q_1 の遮断状態と第2

補助スイッチング素子 Q_2 の導通状態が維持される。つまり、負バイアス用コンデンサ C_1 の充電電位(V_{zd})に相当する負バイアス電位が下アームスイッチング素子 Q_L のソース電極42に付加される。以上により、切替制御信号 S をON出力に切り替えた直後の第4工程IVでは、下アームスイッチング素子 Q_L のゲートソース間電圧 V_{gs} に正バイアス電圧と負バイアス電圧の差分電圧($+V_{cc}-V_{zd}$)が付加される。給電電位 $+V_{cc}$ の絶対値が、負バイアス用コンデンサ C_1 の充電電位 V_{zd} の絶対値よりも十分大きく確保できていれば、結果的にゲートソース間電圧 V_{gs} にゲート閾値電圧 V_{th} を超える正バイアス電圧を付加することができ、当該下アームスイッチング素子 Q_L がON状態となる。なお、この第4工程IVは、時定数コンデンサ C_3 が十分に充電した際に上記第1工程Iに移行するため、比較的短い期間の工程となる。

[0070] 以上のような工程I～IVを経て作動する第2実施形態のゲートドライブ回路22Aの場合の各種切替状態及びゲートソース間電圧 V_{gs_L} のタイムチャートを、図21に示す。上記図9に対応するこの図21においては、制御切替信号 S_L がOFF出力されてゲート電極43の電位がローレベルとなった後でも、時定数抵抗 R_2 と時定数コンデンサ C_3 で決まる時定数期間 L_T (所定時間に相当)の間だけソース電極42の電位 V_s が略0電位に維持されてゲートソース間電圧 V_{gs_L} には略0電圧が付加される(負バイアス電圧が無付加;第2工程II)。その後に時定数期間 L_T が経過した時点では、時定数コンデンサ C_3 が放電状態となって2つの補助スイッチング素子 Q_1 , Q_2 のON/OFF状態が切り替わることにより、ソース電極42の電位 V_s がゲート電極43の電位 V_g より高くなり、すなわちゲートソース間電圧 V_{gs_L} には $-V_{zd}$ (この例の $-5V$)の負バイアス電圧が付加される(第3工程III)。この状態では、セルフターンオン電位 A が負バイアス電圧 $-V_{zd}$ に相殺され、上記第1実施形態と同様に下アームスイッチング素子 Q_L におけるセルフターンオン現象を防ぐことができる。

[0071] そして図示するように、上記時定数期間 L_T をデッドタイム D_T とほぼ同

じ期間に設定してセルフターンオン電位 A の発生前に第 2 工程 11 から第 3 工程 111 に移行することで、少なくともその時定数期間 $L T$ と同等のデッドタイム $D T$ 中においては、ゲートソース間電圧 V_{gsL} に付加される負バイアス電圧を略 0 電圧にできる。すなわち、当該下アームスイッチング素子 Q_L が備える寄生ダイオード 34 の順方向電圧 V_f を小さく抑えることができ（上記図 14 参照）、またソースドレイン間電圧 V_{ds} も同等に低減できる。このため、同じデッドタイム $D T$ 中に大きな還流電流 I_{ds} が流れても（上記図 15 参照）、その間のデッドタイムロス $P = I_{ds} \cdot (V_{sd} + V_{gs})$ を低減できる。

[0072] <第 2 実施形態の効果>

以上説明したように、第 2 実施形態のゲートドライブ回路 22 A、インバータ 5 A、及びモータ制御装置 100 A によれば、負バイアス回路部 54 A が、ゲート電圧 V_g がローレベルとなってから時定数期間 $L T$ 経過後にゲートソース間電圧 V_{gs} に負バイアス電位を付加する。これにより、半導体スイッチング素子 Q_L が OFF 状態となってから時定数期間 $L T$ が経過するまでの間は当該半導体スイッチング素子 Q_L に負バイアス電圧が付加されずに寄生ダイオード 34 の順方向電圧 V_f の増加を抑えてデッドタイムロス P を低減できる。以上により第 2 実施形態では、デッドタイムロス P を低減しつつ、上述したドライブ用電源の省力化と併せてブリッジ回路 21 A におけるフライホイールダイオード 33 の設置を省略した小型高密度での実装を可能とし、ゲートドライブ回路 22 A 全体の回路規模の省力化を実現できる。

[0073] また、本実施形態によれば、上記時定数期間 $L T$ は、ゲート電圧 V_g がローレベルとなってからゲート電極 43 にミラー効果によるセルフターンオン電位 A が付加されるまでの所要時間以内に設定されている。これにより、セルフターンオン現象の発生前に負バイアス電圧を付加できるため、上記デッドタイムロス P の低減とセルフターンオン現象の防止を両立できる。

[0074] また、本実施形態によれば、負バイアス回路部 54 A は、制御線 51 を接地する接地線 74 と、接地線 74 上に直列に配置された時定数抵抗 R_2 及び

時定数コンデンサ C_3 と、を有し、2つの補助スイッチング素子 Q_1 、 Q_2 の各ゲート電極は、時定数抵抗 R_2 と時定数コンデンサ C_3 の間で接地線74に接続し、当該接地線74を介して制御線51に接続している。このような回路構成とすることにより、時定数抵抗 R_2 と時定数コンデンサ C_3 の時定数を調整することで、上記時定数期間 L_T を任意に設定することができる。

[0075] なお、上記第2実施形態は、上記図14に示したような特性のよくない寄生ダイオード34を備える $GaN-FET$ （ノーマリオン）を半導体スイッチング素子32として用いた場合にデッドタイムロス P を低減できる構成として有用であるが、これに限られない。他にも、特性が良好な寄生ダイオード34を備える $Si-MOSFET$ 、 $SiC-MOSFET$ 、及び $GaN-HEMT$ を半導体スイッチング素子32として用いた場合であっても、上記第2実施形態を適用してもよい。また、寄生ダイオード34を備えずにフライホイールダイオード33の設置が不可欠な $Si-IGBT$ や $SiC-IGBT$ に対しても、フライホイールダイオード33を設置した上で、負バイアス回路部54Aを含めた上記第2実施形態を適用してもよい。

[0076] なお、開示の実施形態は、上記に限られるものではなく、その趣旨及び技術的思想を逸脱しない範囲内で種々の変形が可能である。以下、そのような変形例を説明する。

[0077] <半導体スイッチング素子のゲート構造が電流型である場合>

例えば、 $GaN-GIT$ のようにゲート構造がトランジスタと同様の電流型である半導体スイッチング素子32をアームスイッチング素子 Q_H 、 Q_L に用いた場合には、ゲート電極43の導通抵抗が増加して電力損失（スイッチング損失）が増大しやすい。これに対しては、図22に示すような回路構成のゲートドライブ回路22Bを適用することで解決できる。

[0078] つまり、図22に示す本変形例のゲートドライブ回路22Bでは、上記図16に示した第2実施形態のゲートドライブ回路22Aと比較して、第3ゲート抵抗 R_{g3} とゲートコンデンサ C_4 の直列回路を第1ゲート抵抗 R_{g1}

に対して並列に接続し、第3ゲート抵抗 R_{g3} とゲートコンデンサ C_4 の間点を第4ゲート抵抗 R_{g4} を介してドライブIC53Bの排電端子65に接続している点で相違している。また、ドライブIC53Bの排電端子65は、切替制御信号SがOFF出力された場合に接地するよう構成されている。

[0079] このようなゲートドライブ回路22Bの構成とすることで、切替制御信号SがON出力された場合には制御端子62からのゲート電圧 V_g がハイレベルになるとともに低インピーダンスのゲートコンデンサ C_4 を通して下アームスイッチング素子 Q_L のゲート電極43の電位がチャージされ、下アームスイッチング素子 Q_L をすぐにON状態に切り替えることができる。その後、第1ゲート抵抗 R_{g1} を介してゲート電極43に継続的に電流を流して当該ゲート電極43の低導通抵抗を維持できる。つまり、半導体スイッチング素子32のターンオン動作を早めることができ、スイッチング損失を低減できる。

[0080] また、切替制御信号SがOFF出力に切り替わった際には、排電端子65から第4ゲート抵抗 R_{g4} を介してゲート電極43及びゲートコンデンサ C_4 の電荷を抜いて下アームスイッチング素子 Q_L をOFF状態に切り替えることができる。

[0081] なお、上述した各実施形態及び各変形例では、下アームスイッチング素子 Q_L を制御するゲートドライブ回路を例に説明したが、上アームスイッチング素子 Q_H を制御するゲートドライブ回路に対しても同等の構成とすることで、同様の効果を得ることができる。

[0082] また、以上既に述べた以外にも、上記実施形態や各変形例による手法を適宜組み合わせて利用しても良い。

[0083] その他、一々例示はしないが、上記実施形態や各変形例は、その趣旨を逸脱しない範囲内において、種々の変更が加えられて実施されるものである。

符号の説明

[0084] 1 3相交流電源

2	コンバータ
3	モータ
4	直流母線
5, 5 A	インバータ (インバータ回路)
2 1, 2 1 A	ブリッジ回路
2 2, 2 2 A	ゲートドライブ回路
, 2 2 B	
2 3	制御電源 (ドライブ用電源)
2 4	制御回路
3 2	半導体スイッチング素子
3 3	フライホイールダイオード
3 4	寄生ダイオード
4 1	ドレイン電極
4 2	ソース電極
4 3	ゲート電極
5 1	制御線
5 2	電極線
5 3, 5 3 B	ドライブ I C (ゲート制御部)
5 4, 5 4 A	負バイアス回路部
6 1	給電端子
6 2	制御端子
6 3	接地端子
6 5	排電端子
7 1	接続線
7 2	接続点
7 3	並列線
7 4	接地線
1 0 0	モータ制御装置

, 100 A

Q_H	上アームスイッチング素子
Q_L	下アームスイッチング素子
Q_1	第1補助スイッチング素子（第1補助素子）
Q_2	第2補助スイッチング素子（第2補助素子）
C_1	負バイアス用コンデンサ
C_3	時定数コンデンサ（第2コンデンサ）
C_4	ゲートコンデンサ
R_1	バイアス抵抗
R_2	時定数抵抗（第1抵抗）
R_{g1}	第1ゲート抵抗
R_{g2}	第2ゲート抵抗
R_{g3}	第3ゲート抵抗
R_{g4}	第4ゲート抵抗
R_{zd}	制限抵抗
Z_D	ツェナーダイオード
V_{gs}	ゲートソース間電圧

請求の範囲

- [請求項1] 半導体スイッチング素子の導通または遮断を制御するように構成されたゲートドライブ回路であって、
- 前記半導体スイッチング素子のゲート電極に対して、当該半導体スイッチング素子の導通または遮断を制御するゲート制御信号を出力するように構成されたゲート制御部と、
- 前記ゲート制御信号の電位に応じて、前記半導体スイッチング素子のソース電極に対し略0電位と負バイアス電位を切り替えて付加するように構成された負バイアス回路部と、
- を有することを特徴とするゲートドライブ回路。
- [請求項2] 前記ゲート制御部は、
- 前記半導体スイッチング素子を導通させる場合には前記ゲート制御信号をドライブ用電源から給電された所定の正電位で出力し、
- 前記半導体スイッチング素子を遮断する場合には前記ゲート制御信号を略0電位で出力し、
- 前記負バイアス回路部は、
- 前記ゲート制御信号が前記所定の正電位である際に前記ソース電極に対して略0電位を付加し、
- 前記ゲート制御信号が略0電位である際に前記ゲート電極の略0電位に対して前記ソース電極の電位が所定の電位差で高くなるよう前記負バイアス電位を付加することを特徴とする請求項1記載のゲートドライブ回路。
- [請求項3] 前記負バイアス回路部は、
- 前記ゲート制御信号が前記所定の正電位である際に前記ドライブ用電源から充電した充電電位を、前記ゲート制御信号が略0電位である際に前記負バイアス電位として前記ソース電極に付加することを特徴とする請求項2記載のゲートドライブ回路。
- [請求項4] 前記ゲート制御部は、

前記ドライブ用電源から給電された前記所定の正電位を出力する給電端子と、

制御線を介して前記ゲート電極に接続されて前記ゲート制御信号を前記所定の正電位と略0電位に切り替えて出力する制御端子と、

略0電位を保持する接地端子と、を有し、

前記負バイアス回路部は、

前記給電端子と前記接地端子を接続する接続線と、

前記接続線上の接続点に前記ソース電極を接続する電極線と、

前記接続線上で前記接続点より前記接地端子側に配置され、前記接地端子から前記給電端子へ向かう方向を順方向として所定の降伏電圧を有するツェナーダイオードと、

前記ツェナーダイオードの両端子間を接続する並列線上に配置された第1コンデンサと、

前記ツェナーダイオードの両端子間の短絡または遮断を制御するように構成された第1補助素子と、

を有することを特徴とする請求項3記載のゲートドライブ回路。

[請求項5]

前記負バイアス回路部は、

前記並列線の導通または遮断を制御するように構成された第2補助素子を有することを特徴とする請求項4記載のゲートドライブ回路。

[請求項6]

前記第1補助素子は、ノーマリオフタイプの半導体スイッチング素子であり、

前記第2補助素子は、ノーマリオンタイプの半導体スイッチング素子であり、

前記第1補助素子の第1補助ゲート電極と前記第2補助素子の第2補助ゲート電極は、前記制御線に接続されていることを特徴とする請求項5記載のゲートドライブ回路。

[請求項7]

前記負バイアス回路部は、

前記ゲート制御信号が略0電位となってから所定時間経過後に前記

負バイアス電位を付加することを特徴とする請求項 6 記載のゲートドライブ回路。

[請求項 8] 前記所定時間は、前記ゲート制御信号が略 0 電位となってから前記ゲート電極にミラー効果によるセルフターンオン電位が付加されるまでの所要時間以内であることを特徴とする請求項 7 記載のゲートドライブ回路。

[請求項 9] 前記負バイアス回路部は、
前記制御線を接地する接地線と、
前記接地線上に直列に配置された第 1 抵抗及び第 2 コンデンサと、
を有し、
前記第 1 補助ゲート電極と前記第 2 補助ゲート電極は、前記第 1 抵抗と前記第 2 コンデンサの間で前記接地線に接続し、当該接地線を介して前記制御線に接続していることを特徴とする請求項 8 記載のゲートドライブ回路。

[請求項 10] 半導体スイッチング素子の導通または遮断を制御するゲートドライブ回路であって、
負バイアス電位の付加と無付加を切り替えるように構成された手段を有することを特徴とするゲートドライブ回路。

[請求項 11] モータへ電力を給電するインバータ回路であって、
前記半導体スイッチング素子を 2 つ直列に接続した組を直流母線間に複数並列に接続したブリッジ回路と、
前記ブリッジ回路における複数の前記半導体スイッチング素子の導通または遮断をそれぞれ制御するように構成された請求項 1 乃至 10 のいずれか 1 項に記載のゲートドライブ回路と、
を有することを特徴とするインバータ回路。

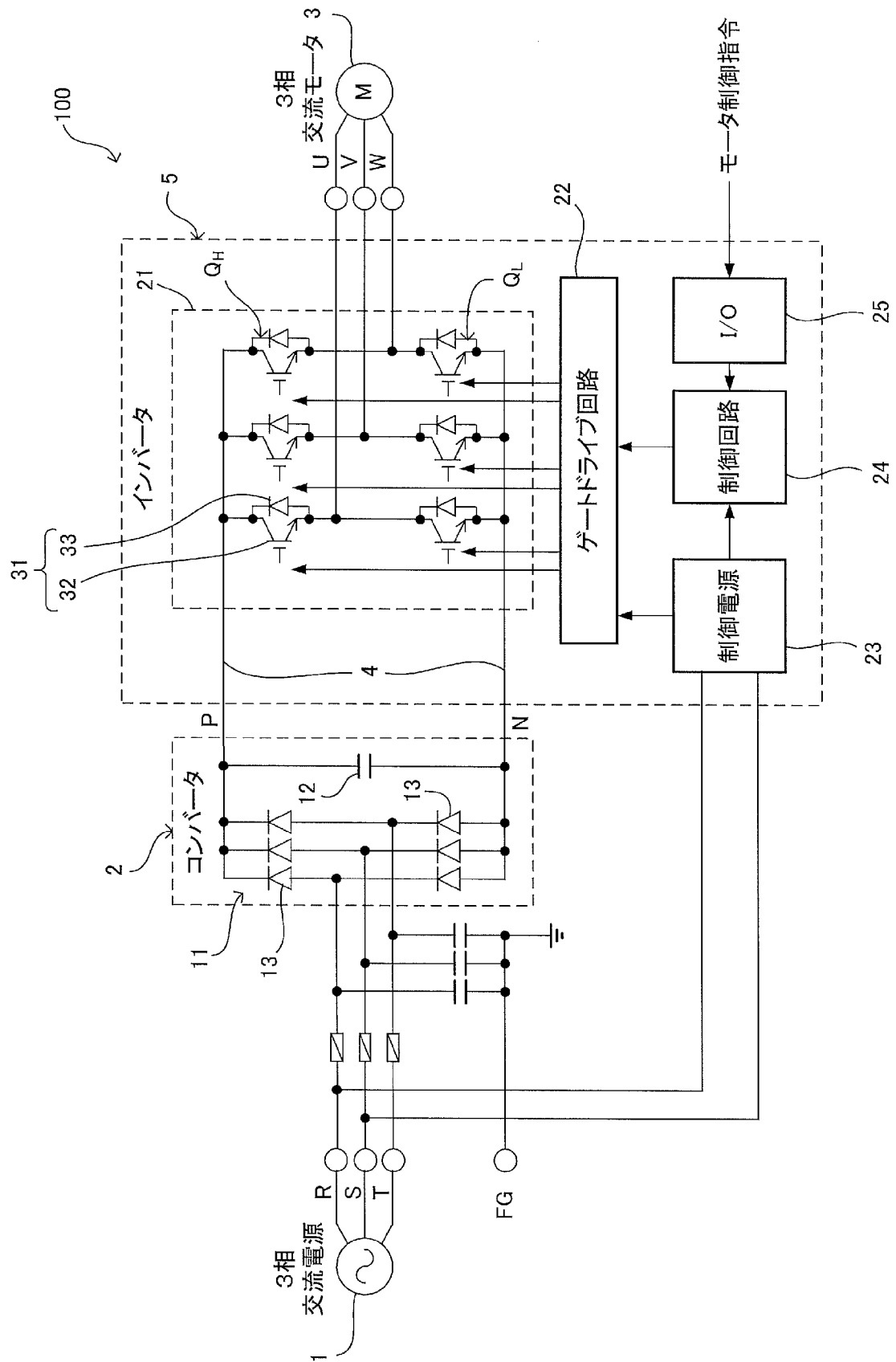
[請求項 12] モータを駆動するモータ制御装置であって、
請求項 11 に記載のインバータ回路と、
交流電源からの交流電圧を直流電圧に整流して前記直流母線に給電

するように構成された整流部と、

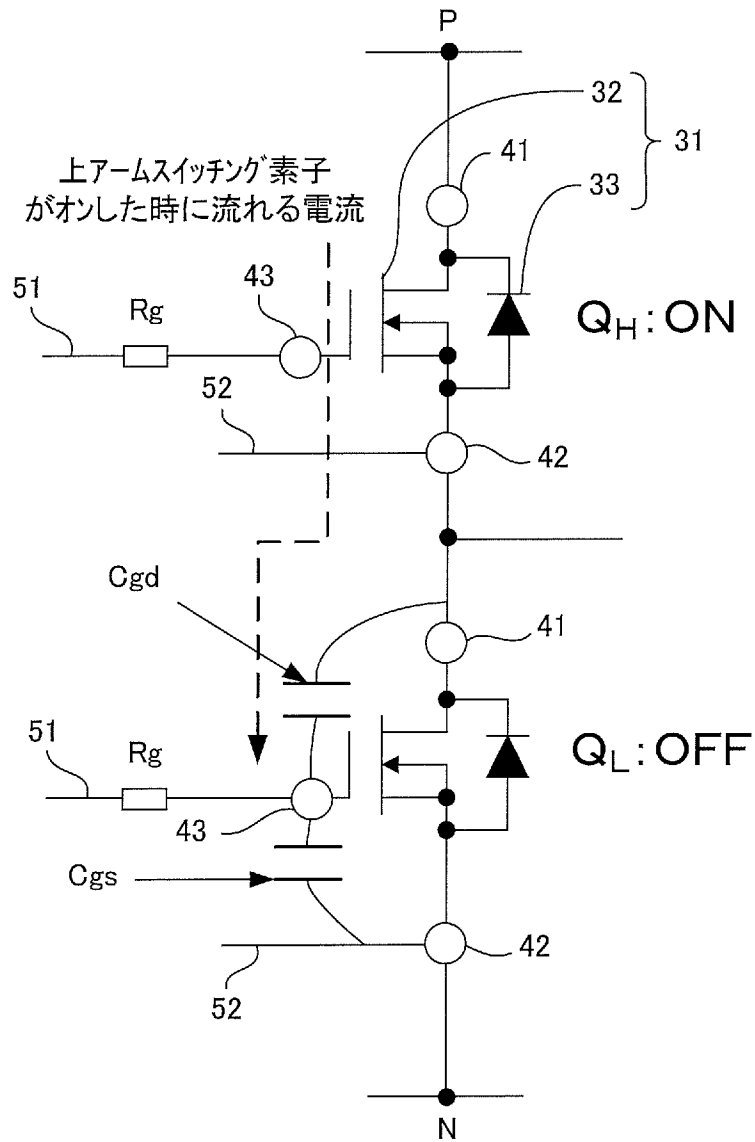
前記整流部で整流された前記直流母線間の直流電圧を平滑するように構成された平滑コンデンサと、

を有することを特徴とするモータ制御装置。

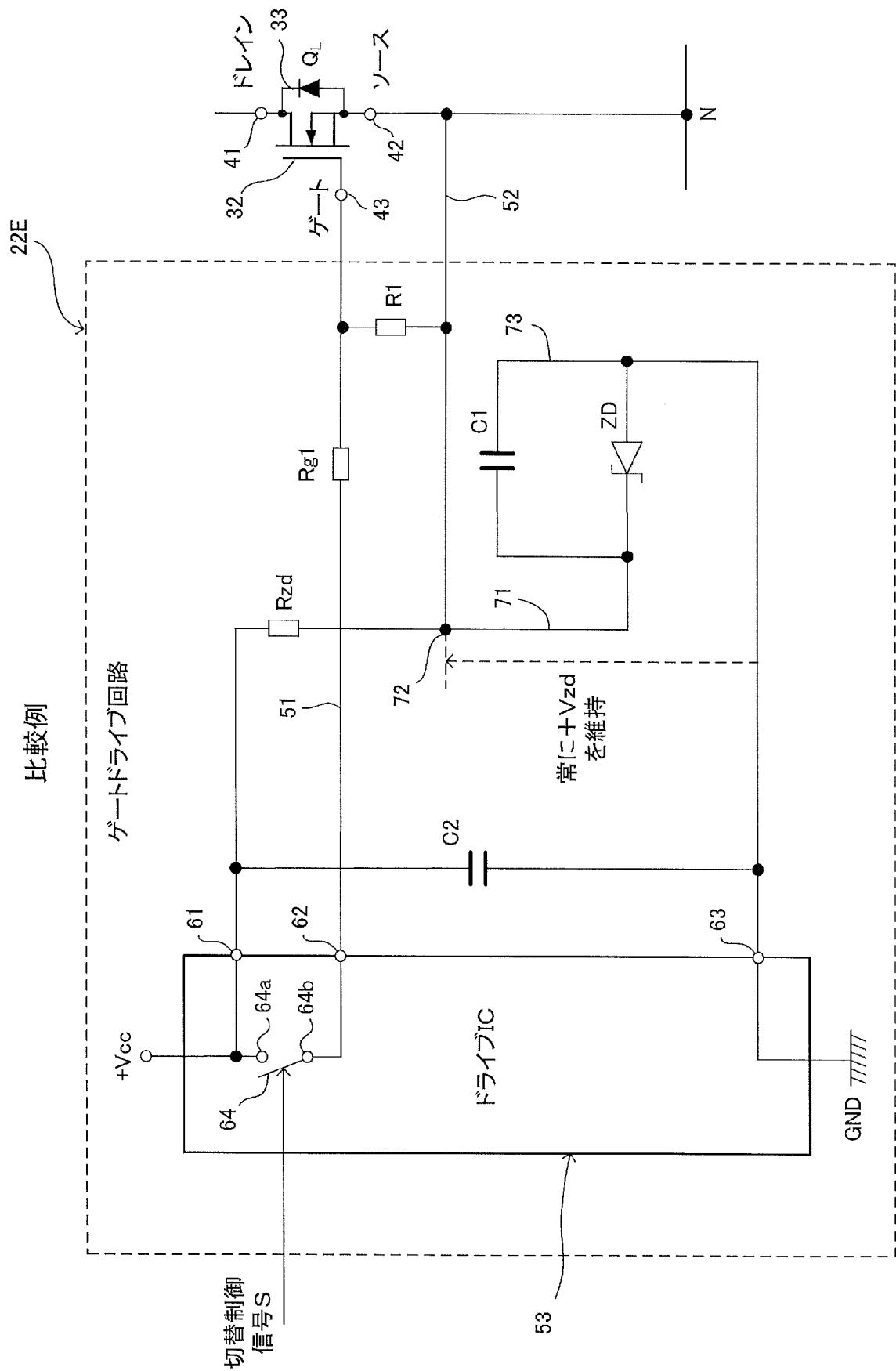
[図1]



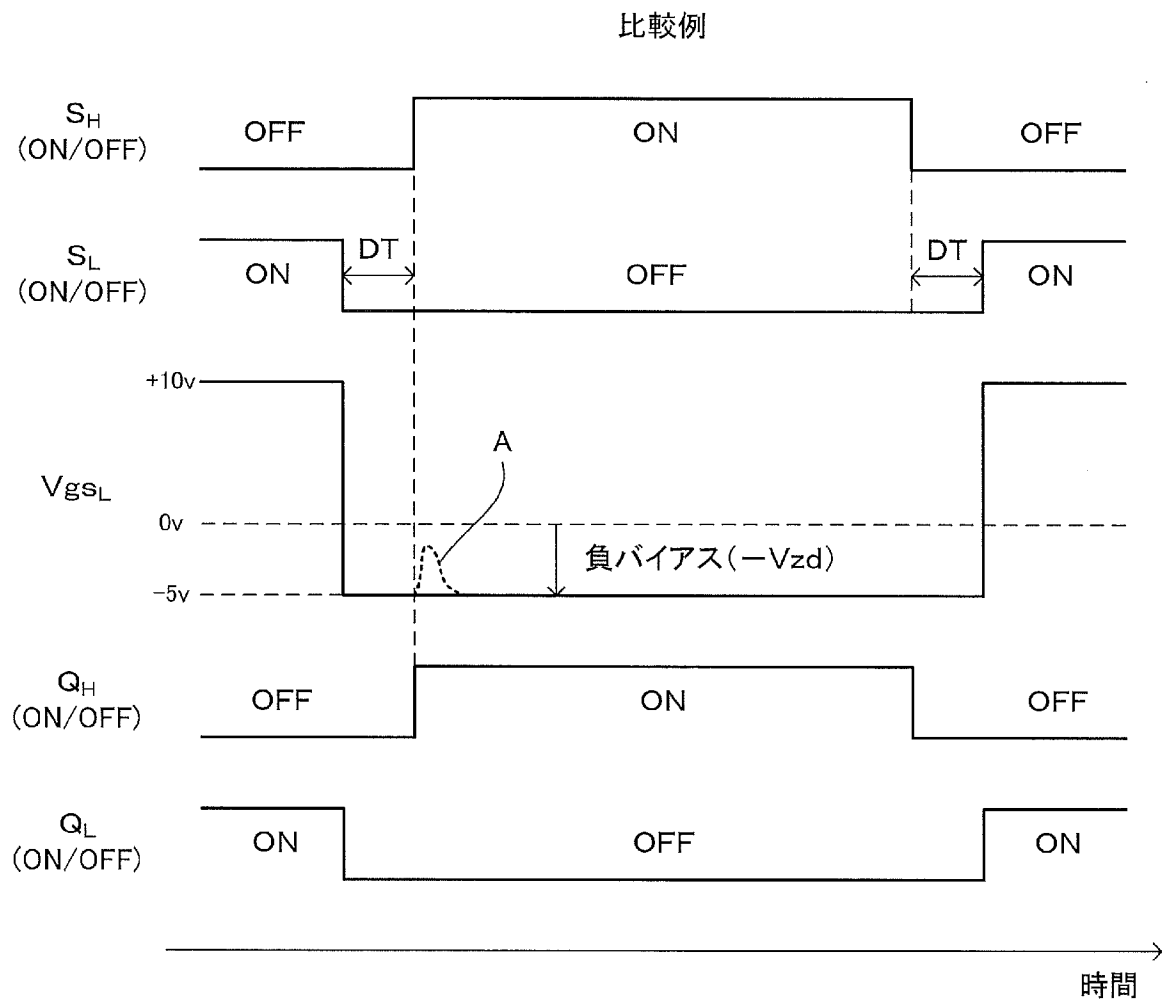
[図2]



[図3]

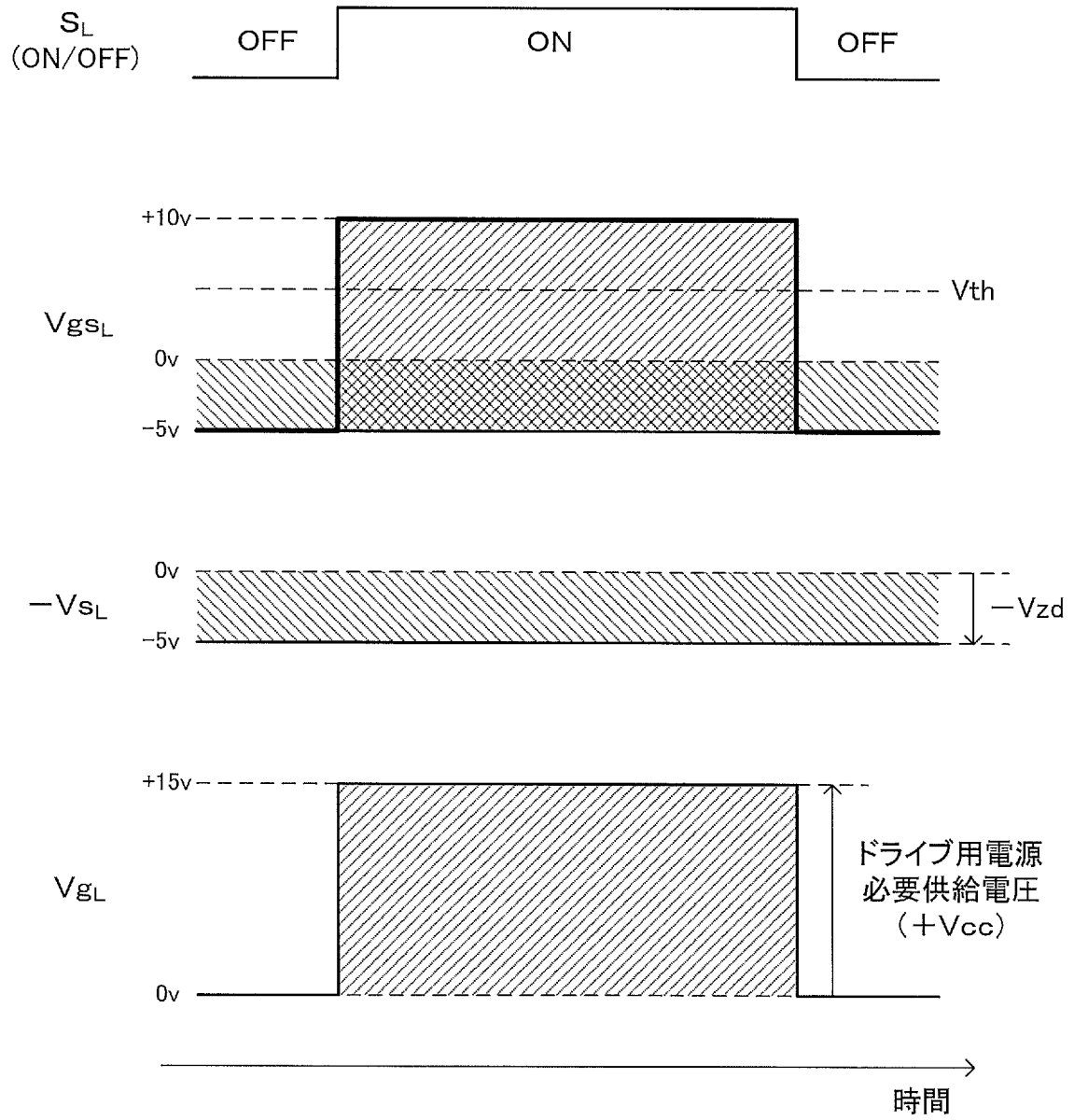


[図4]

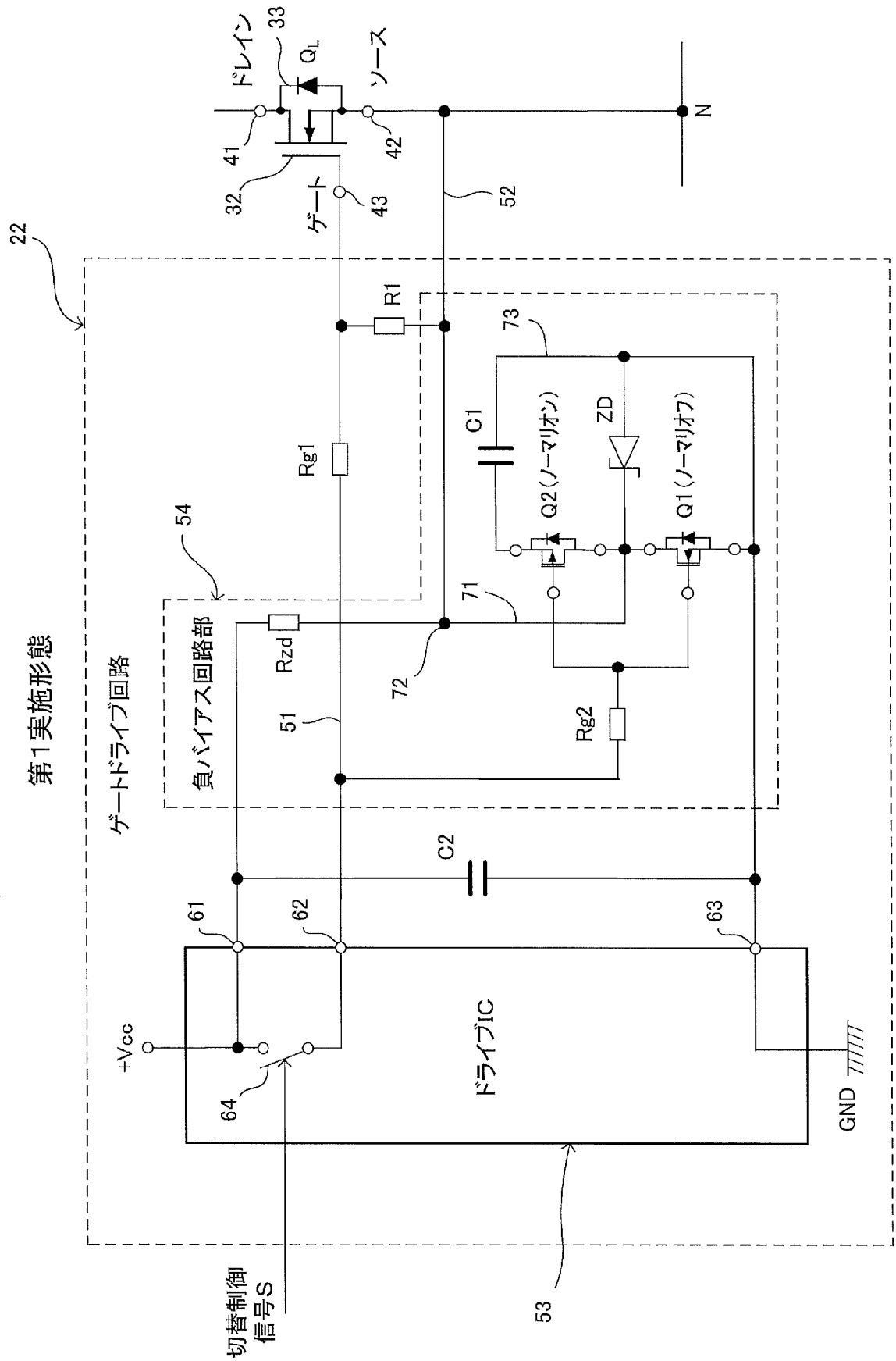


[図5]

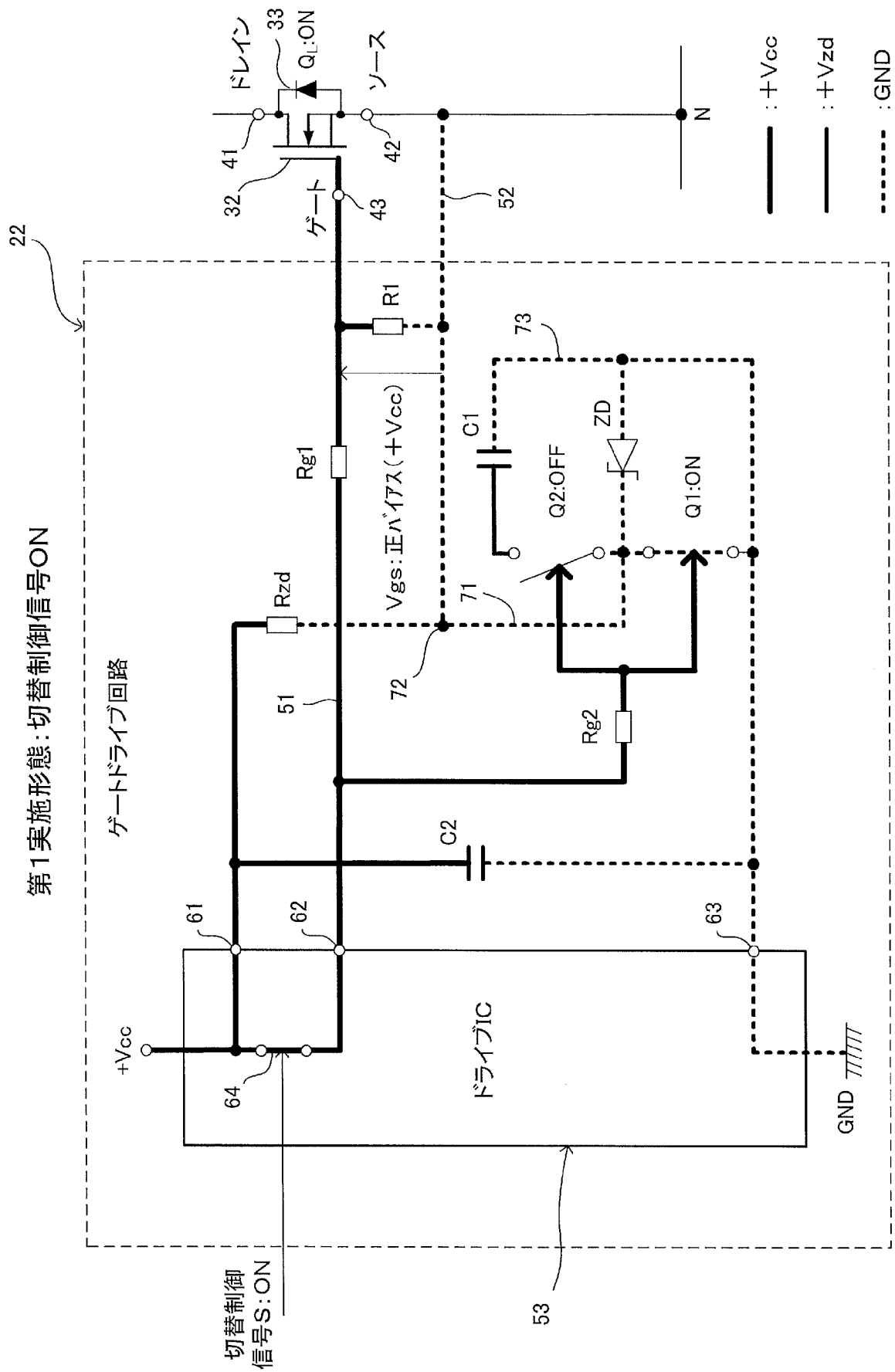
比較例



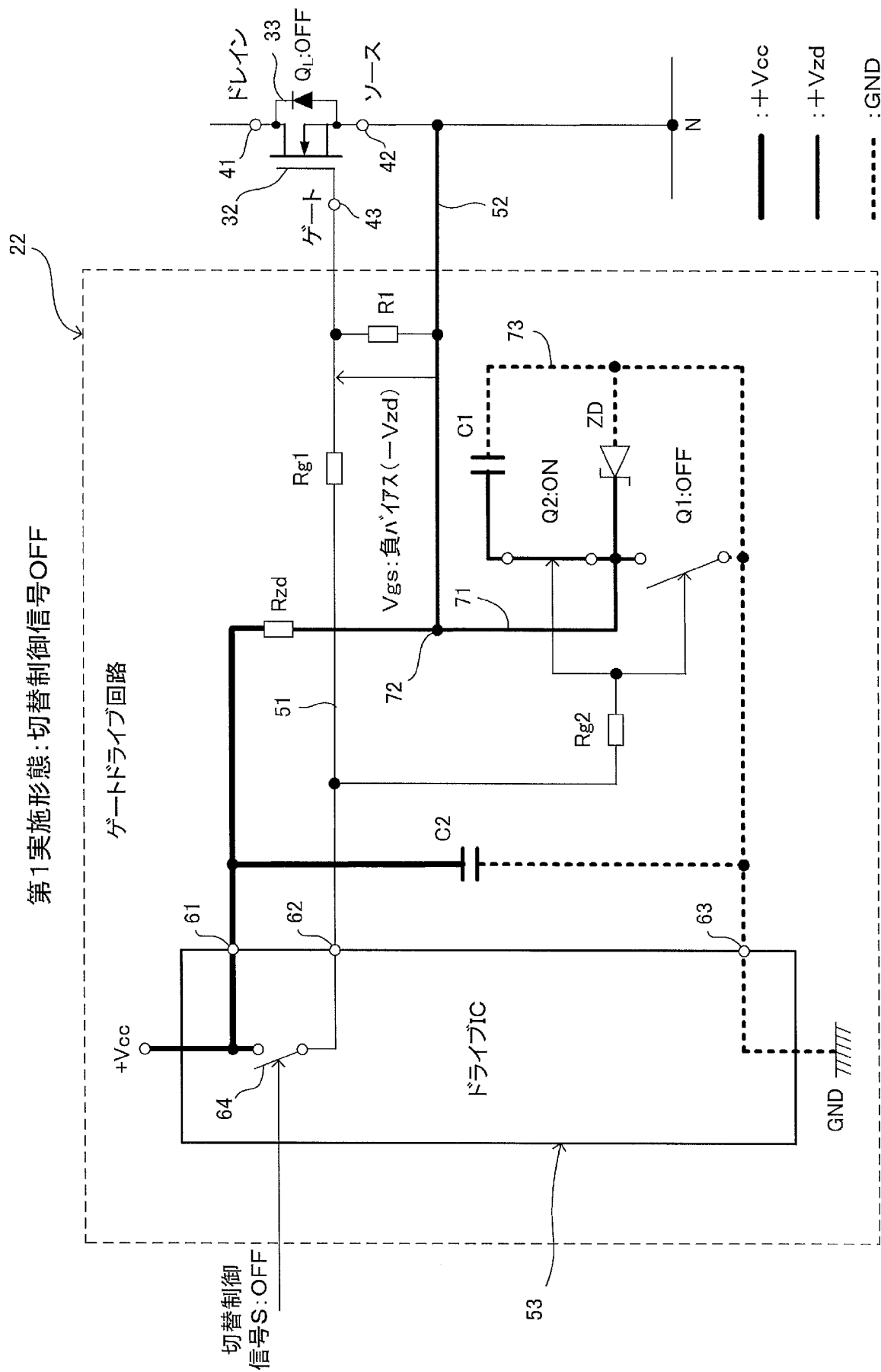
[図6]



第1実施形態：切替制御信号ON

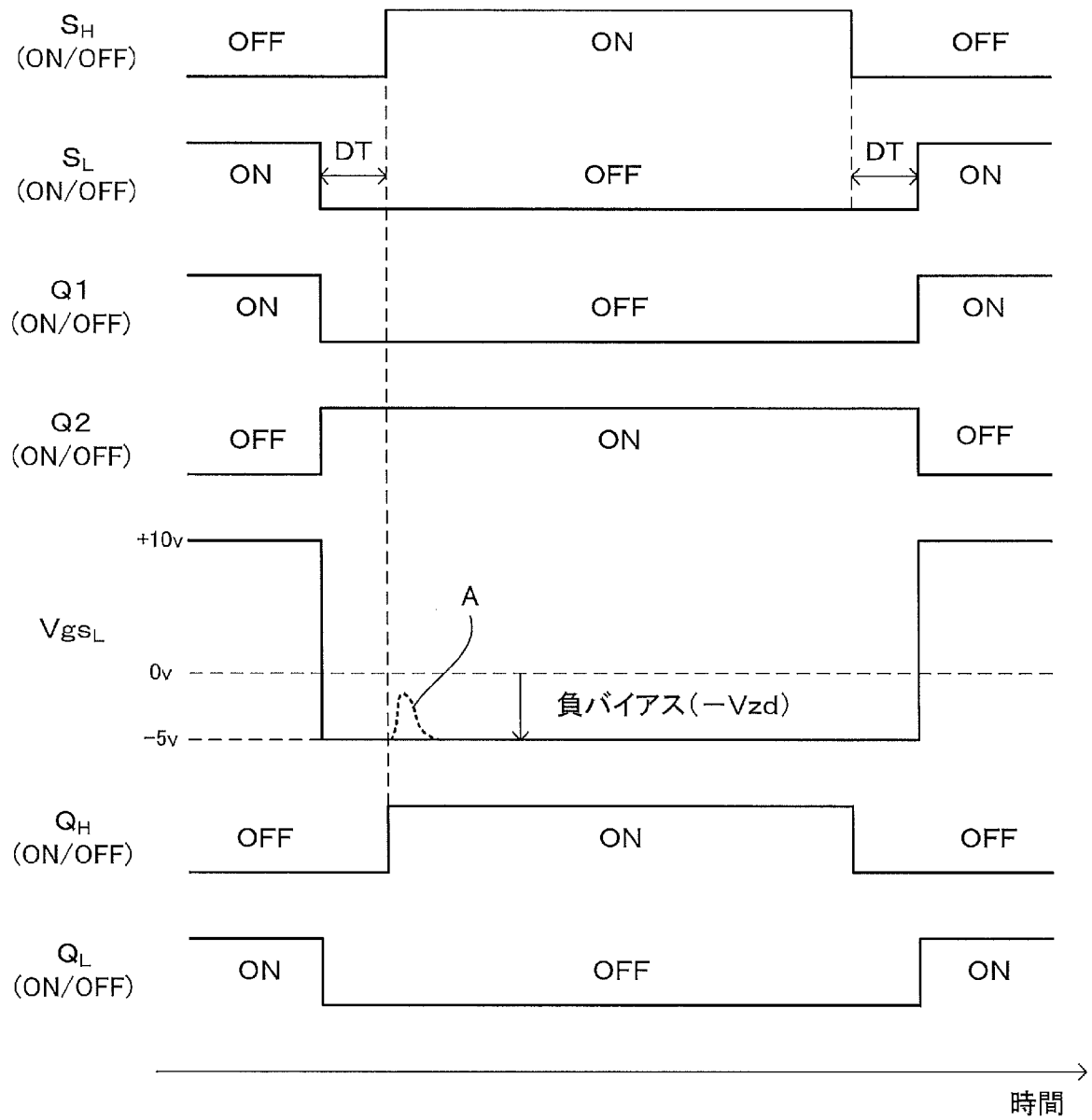


第1実施形態：切替制御信号OFF



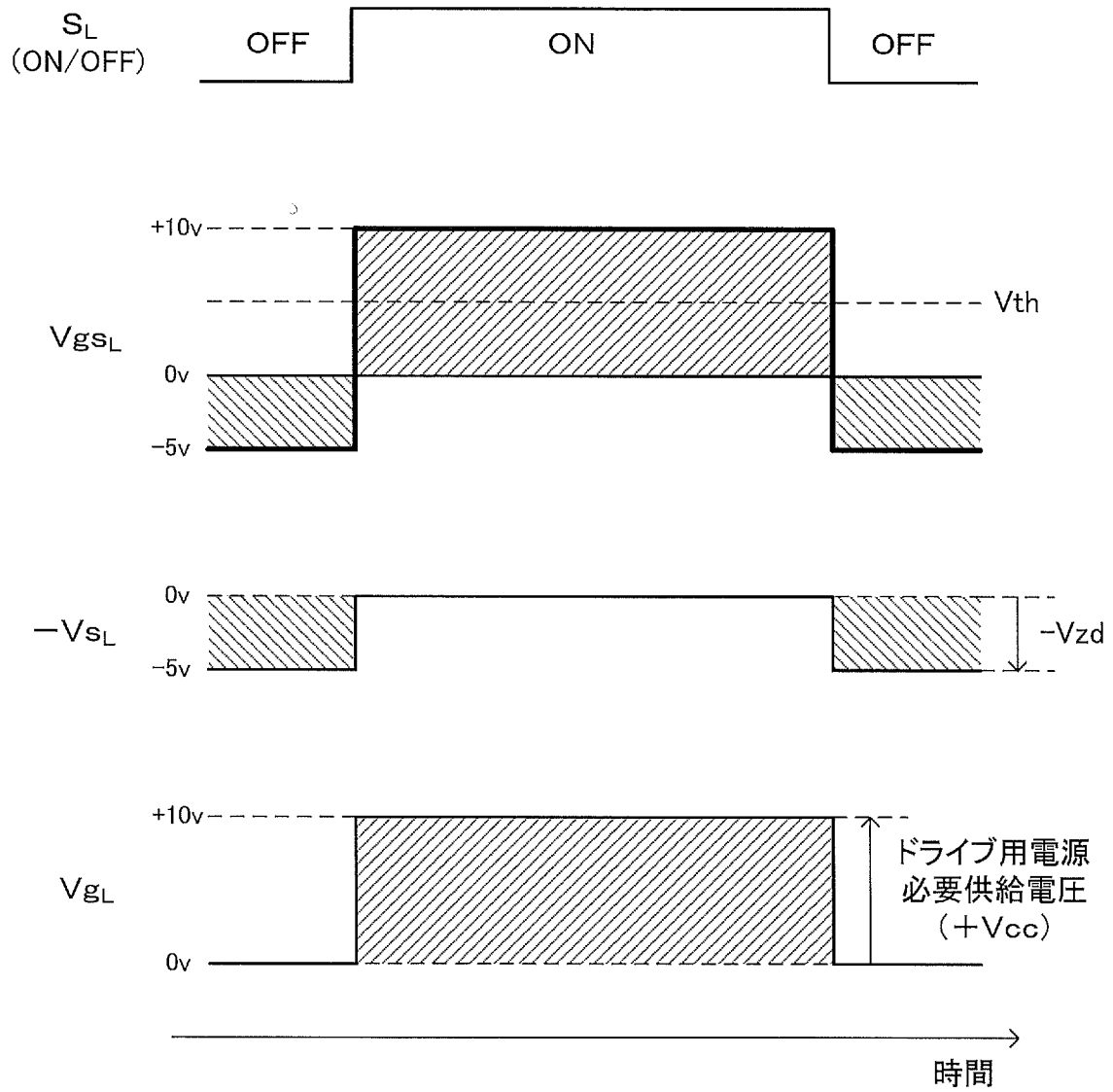
[図9]

第1実施形態

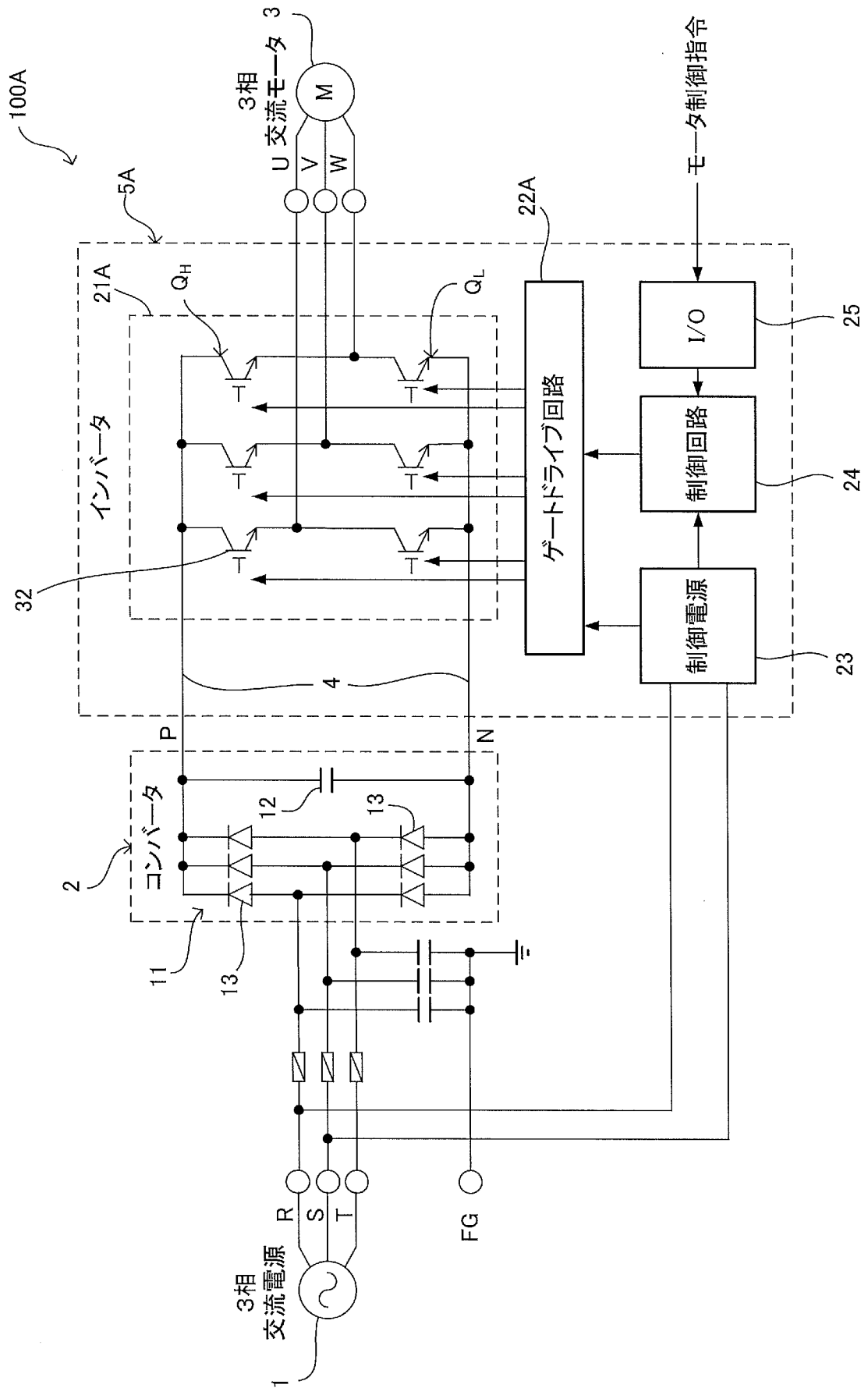


[図10]

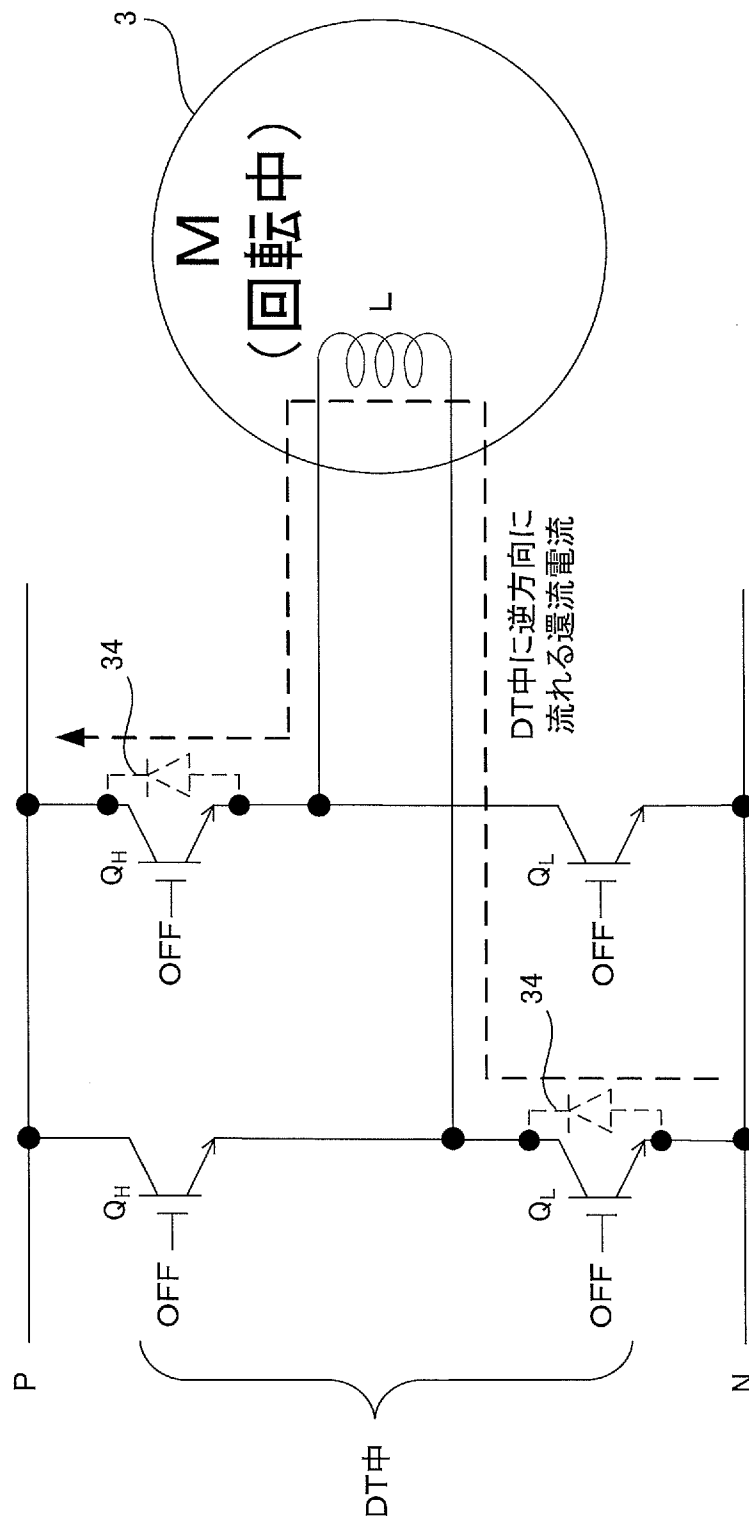
第1実施形態



[図11]

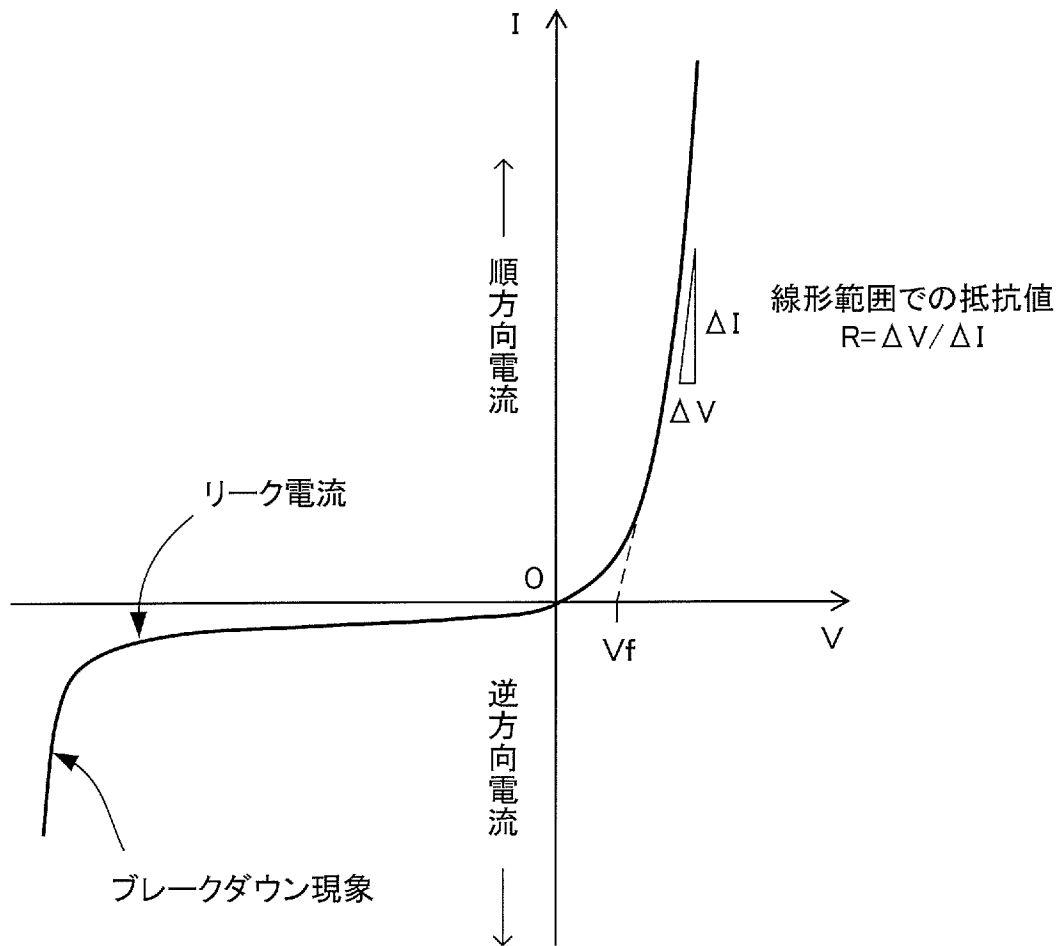


[図12]



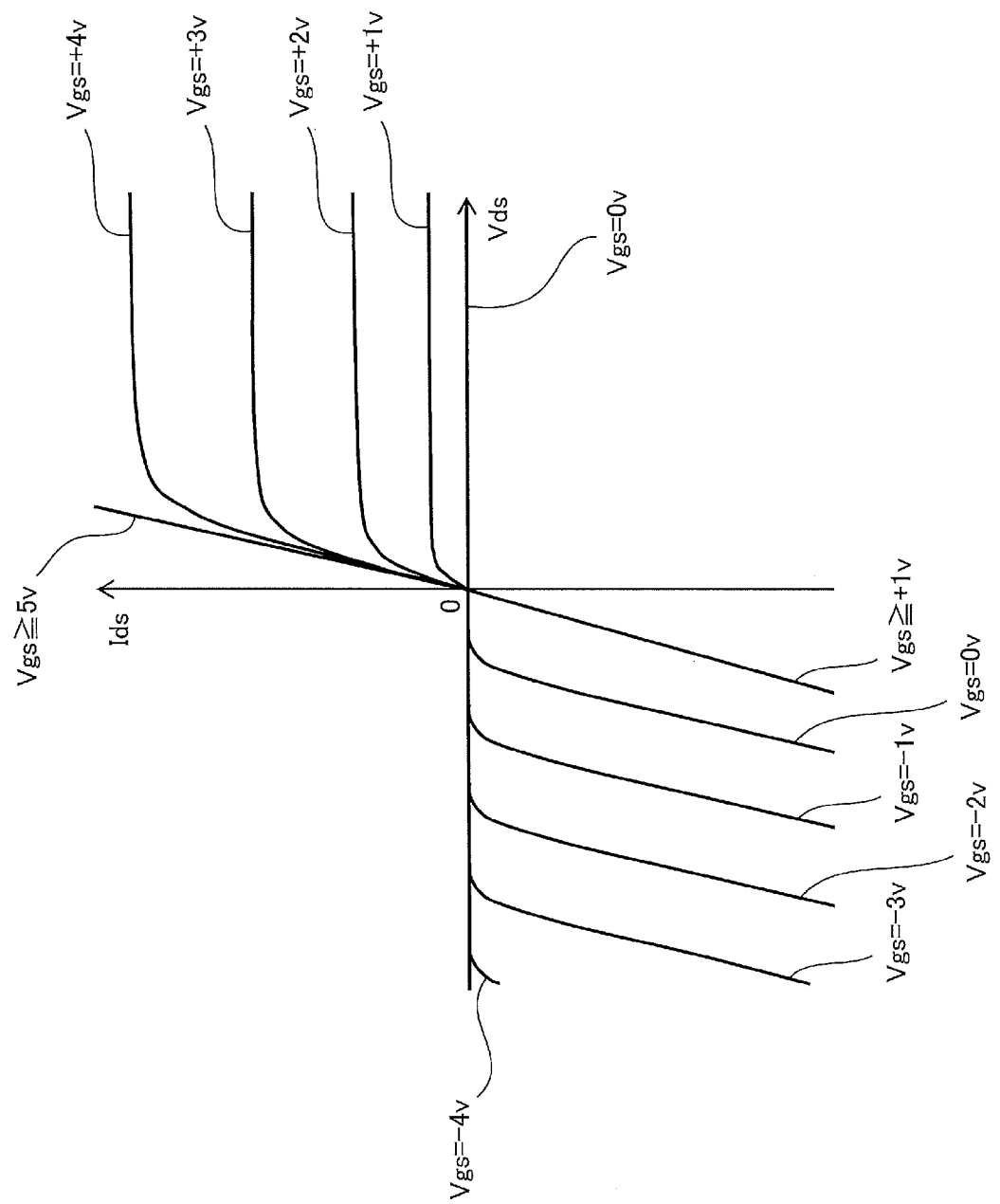
[図13]

一般的なダイオードの電流特性

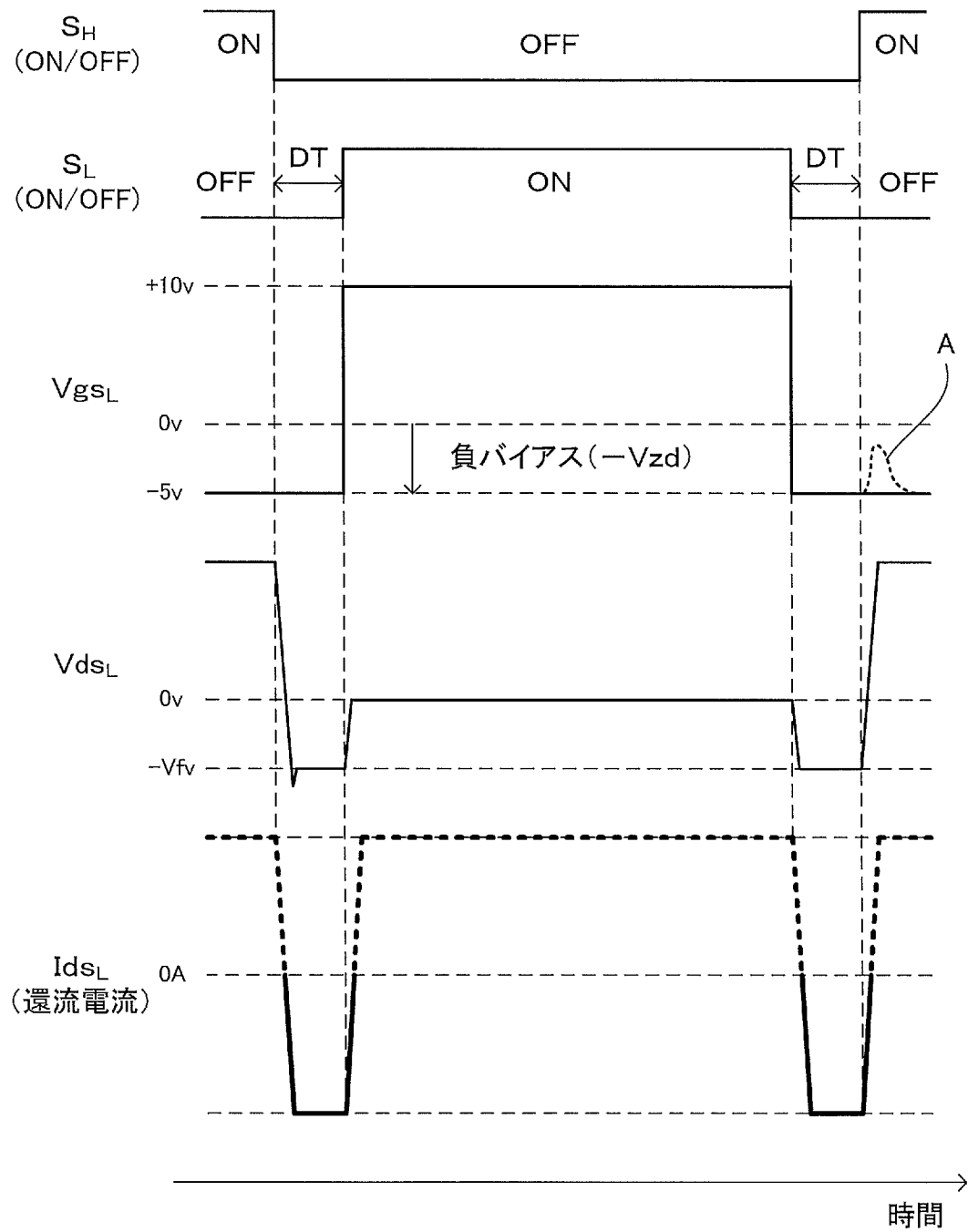


[図14]

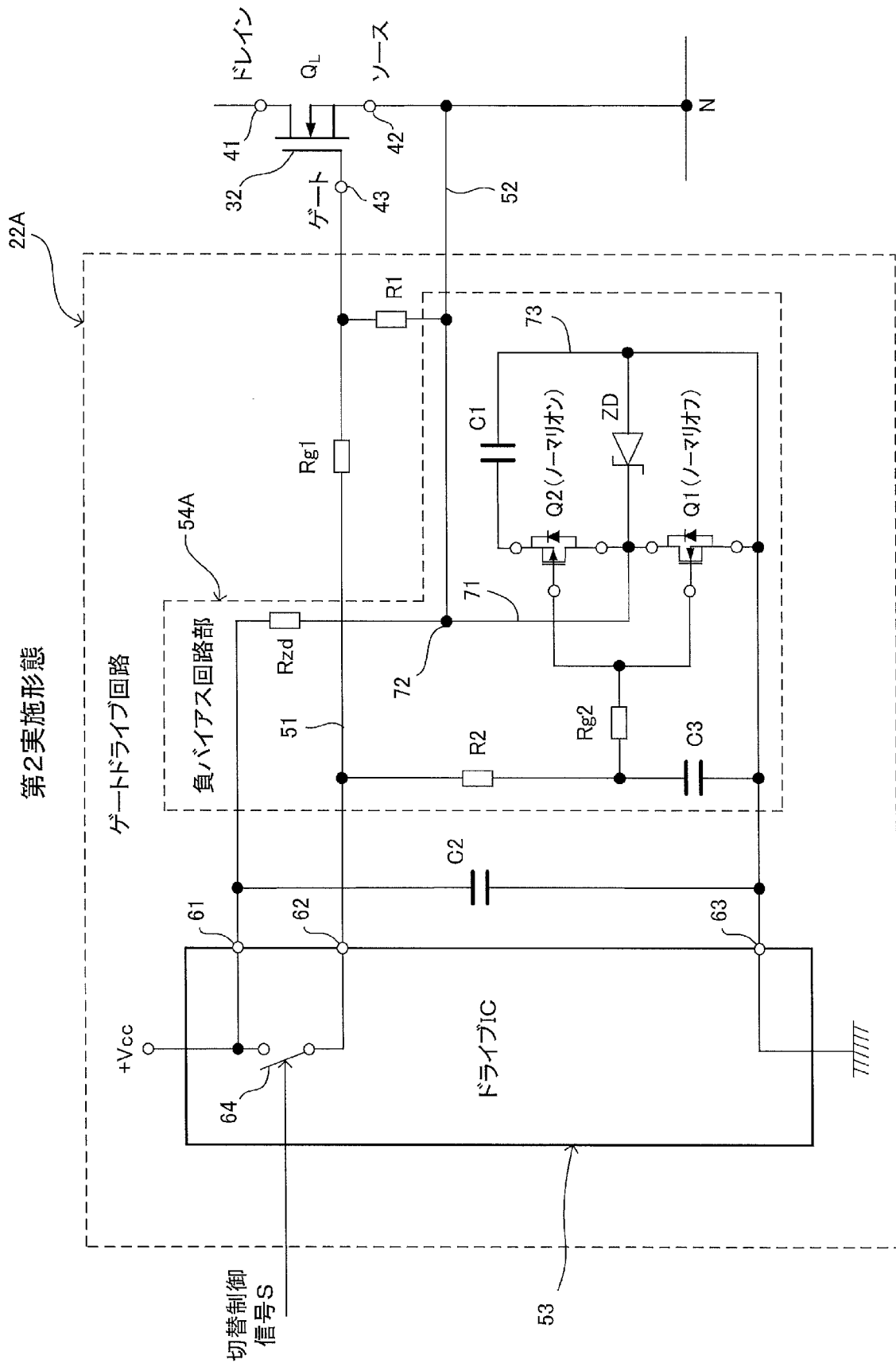
V_{th}特性の悪い寄生ダイオードを有する半導体スイッチング素子のソースドレイン間電圧電流特性



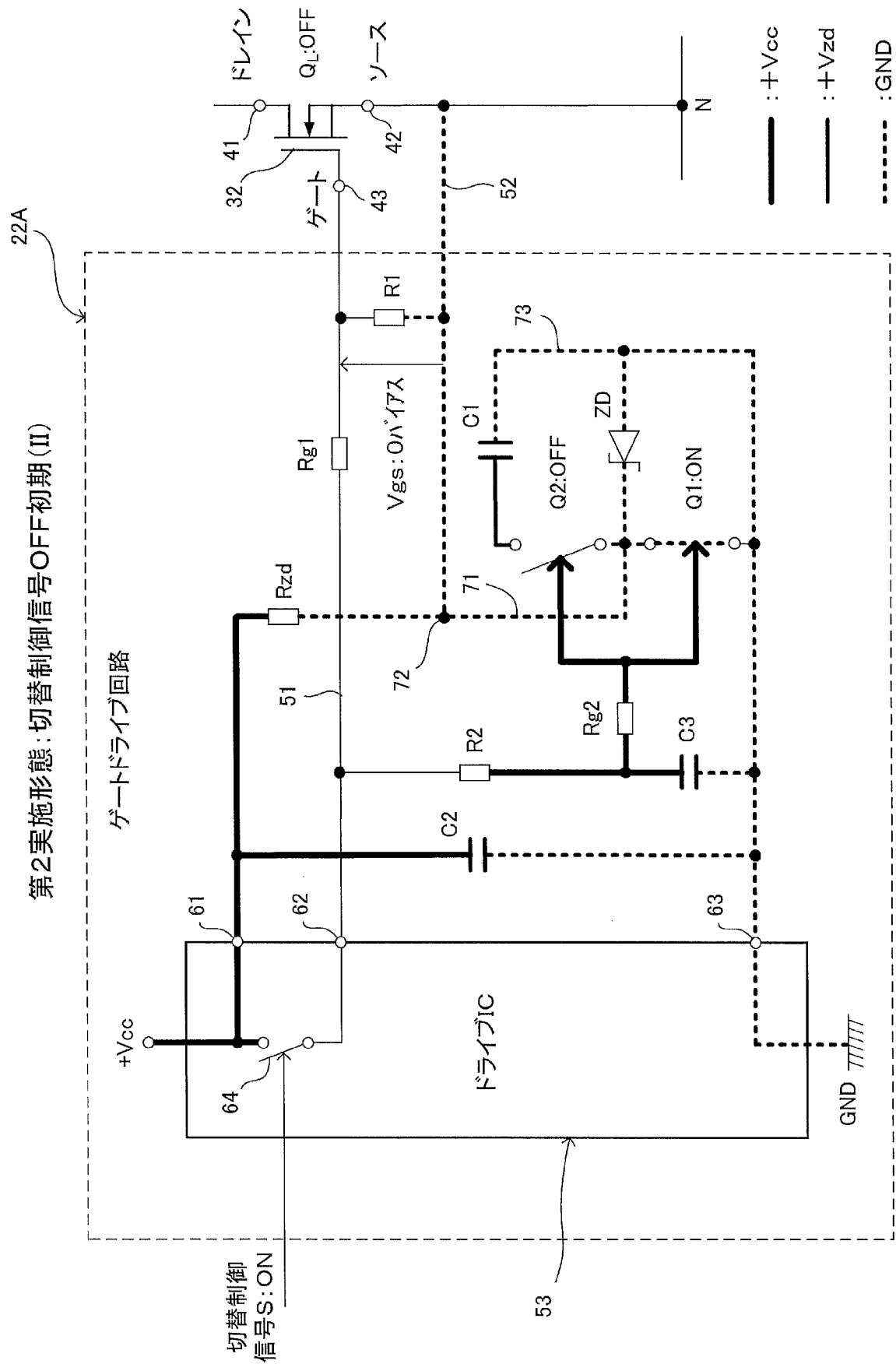
[図15]



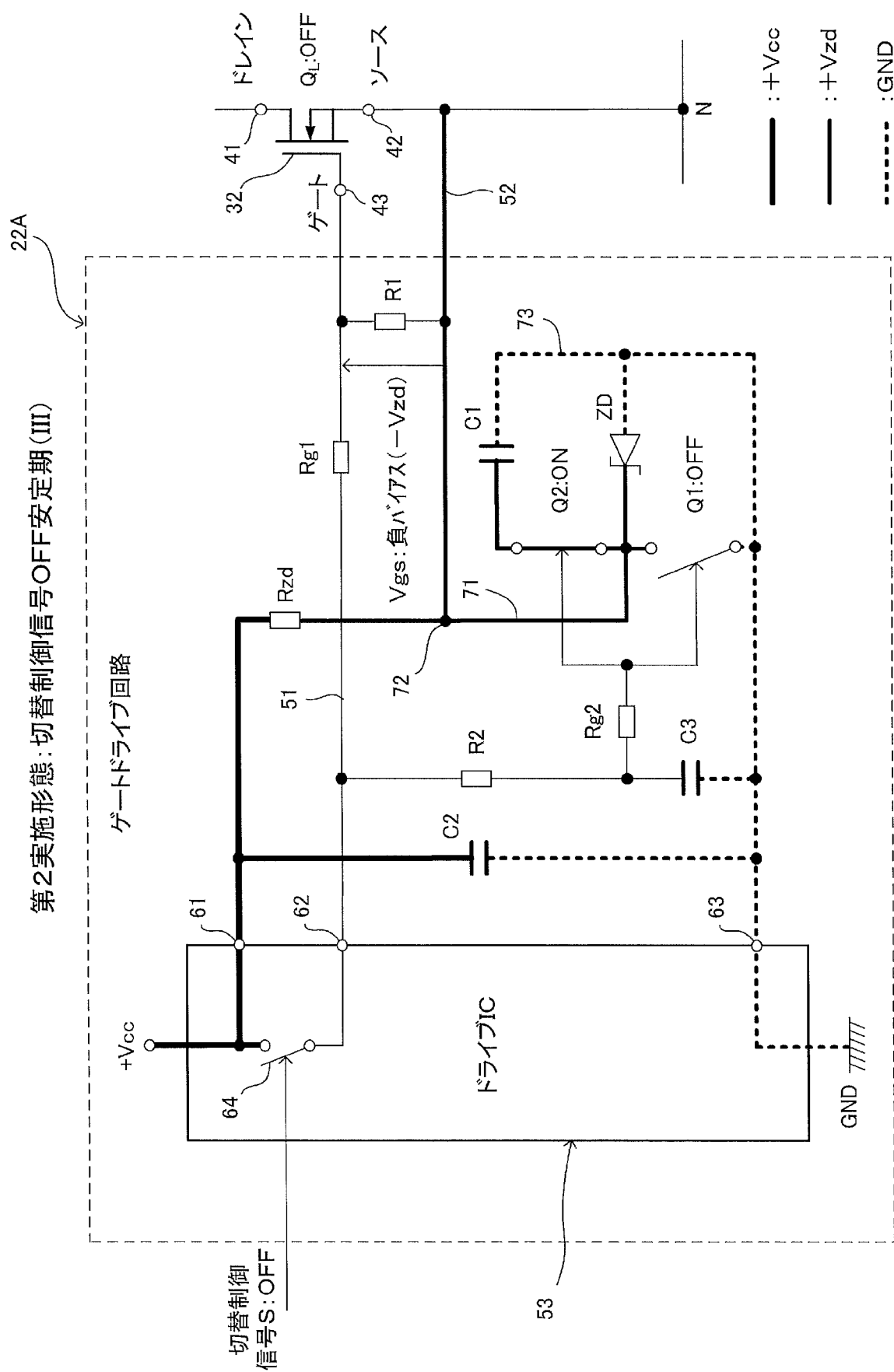
[図16]



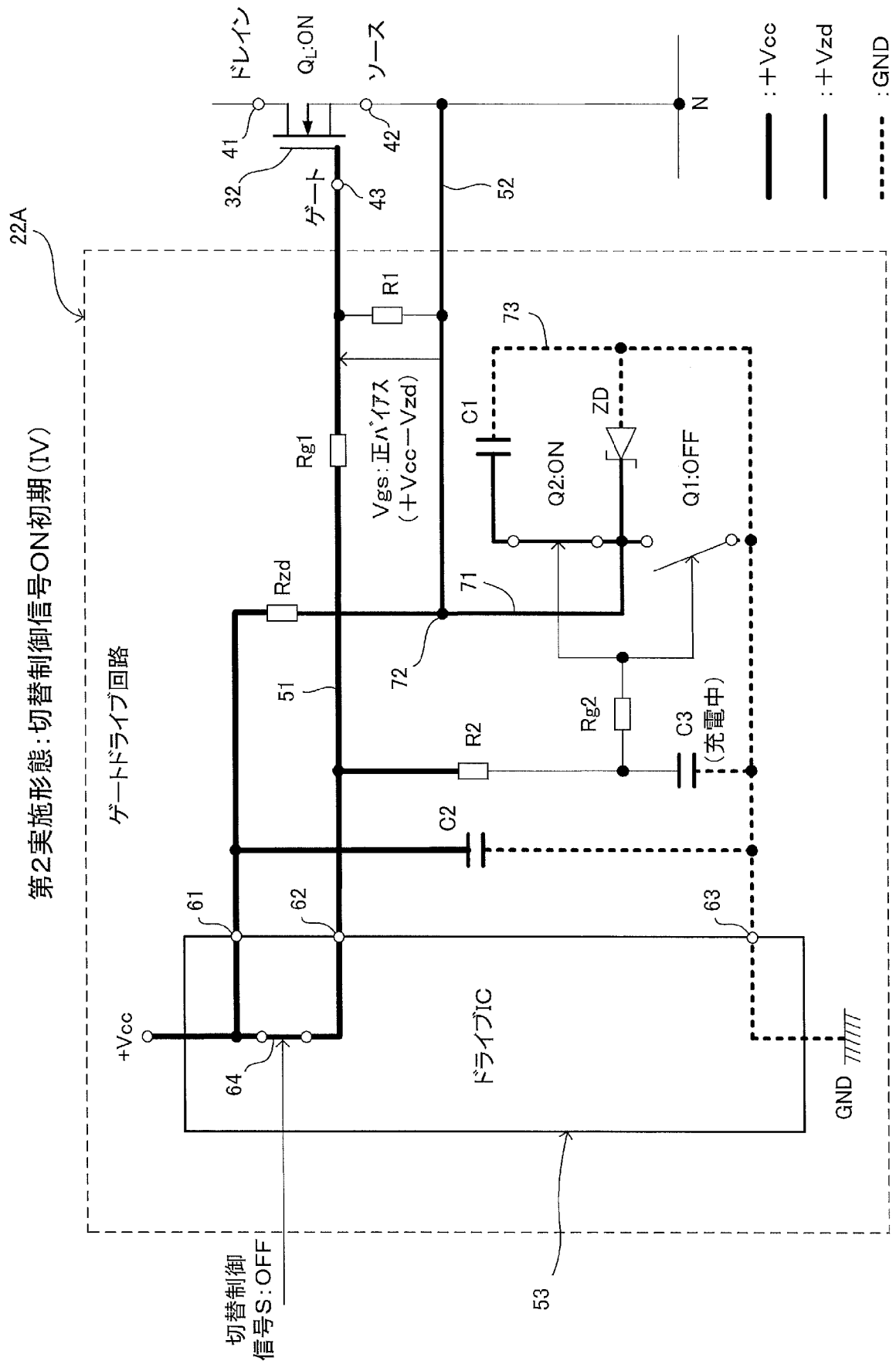
[図18]



第2実施形態：切替制御信号OFF安定期(III)

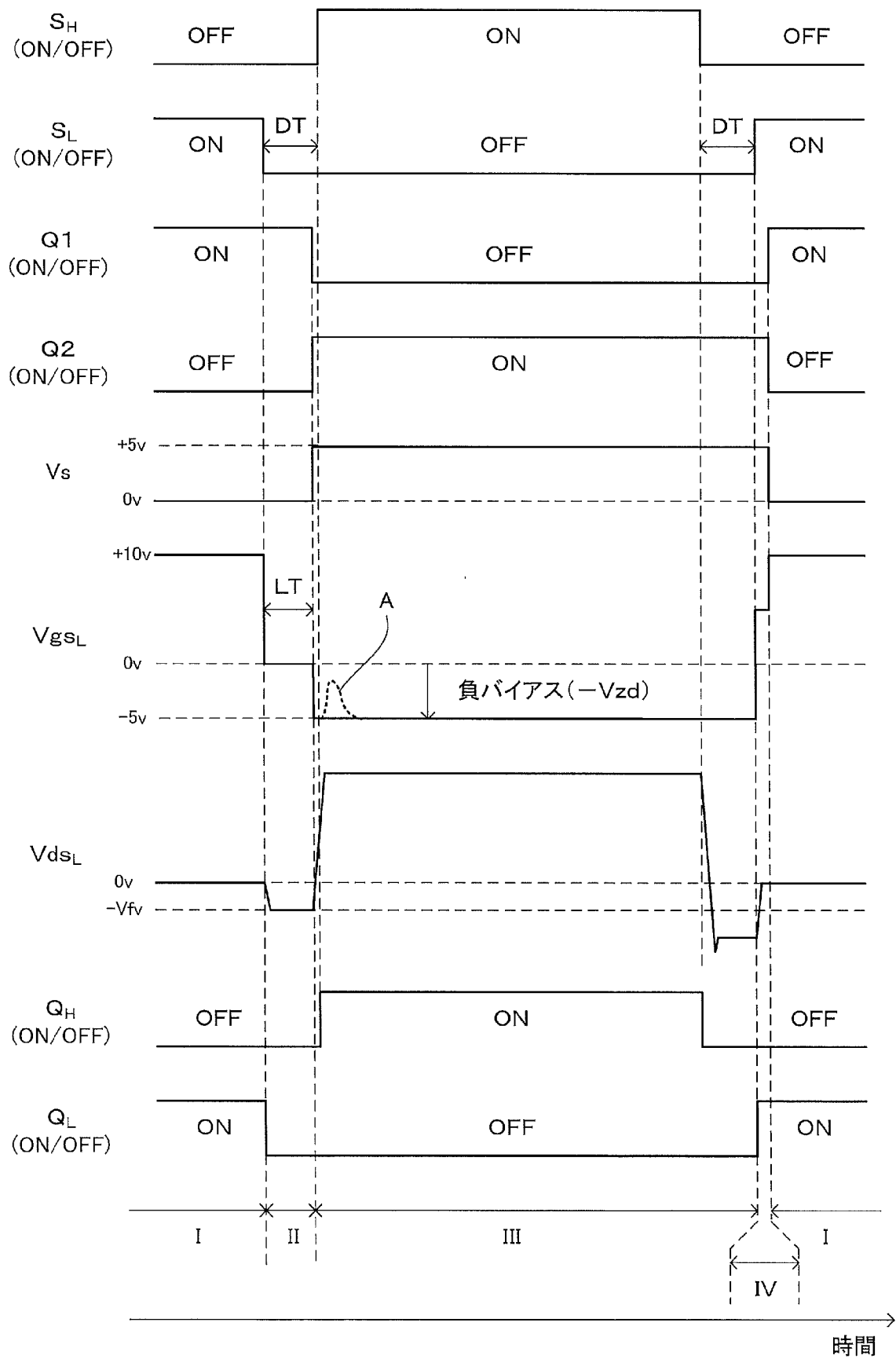


[図20]

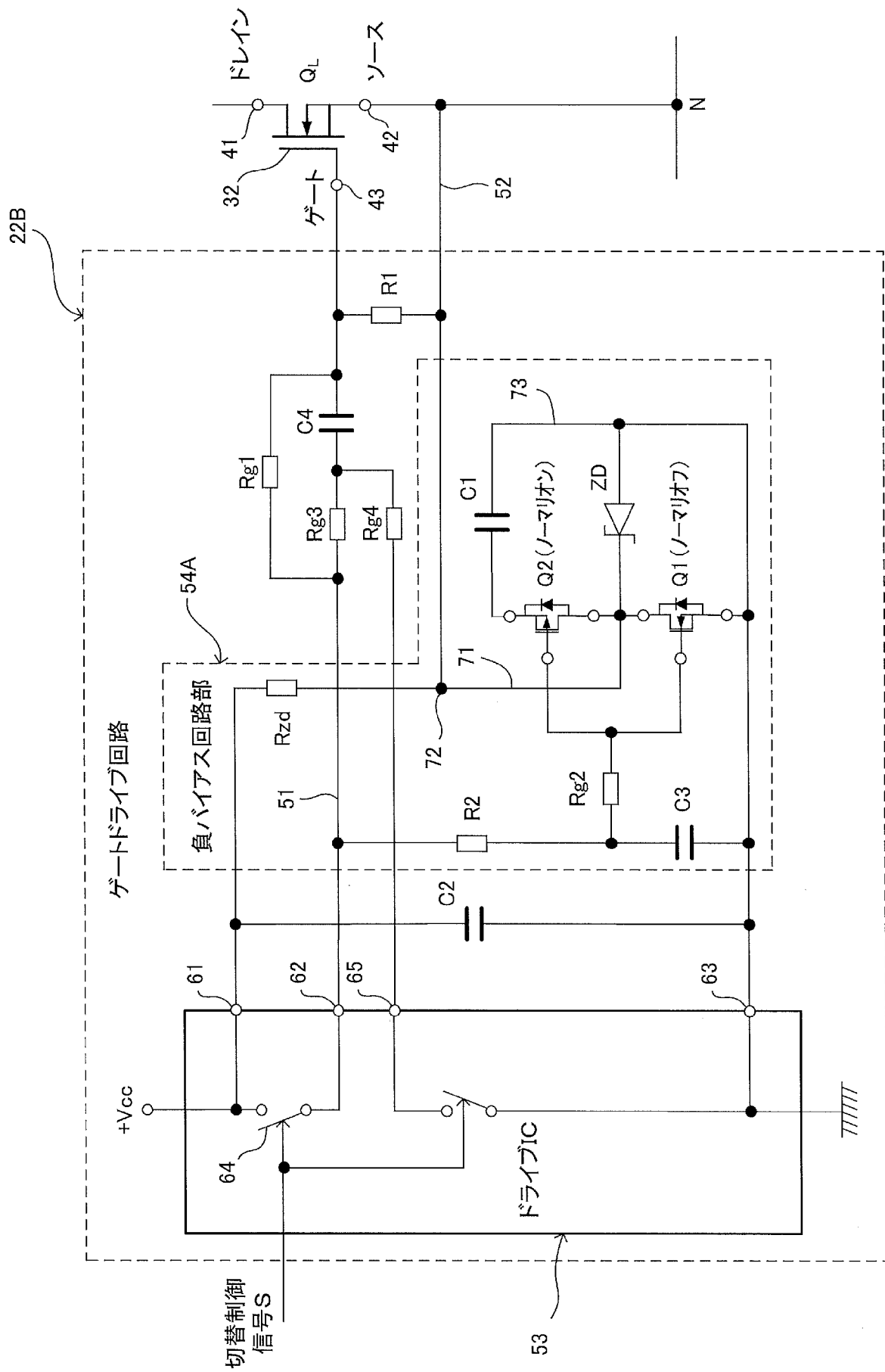


[図21]

第2実施形態



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/056795

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-21823 A (Hitachi, Ltd.), 29 January 2009 (29.01.2009), paragraphs [0024] to [0028]; fig. 5 to 7 & US 2009/0033377 A1 & EP 2015439 A2 & CN 101345472 A & KR 10-2009-0006785 A & TW 200924381 A	1-3 4-9
X Y A	WO 2015/025512 A1 (Panasonic Intellectual Property Management Co., Ltd.), 26 February 2015 (26.02.2015), paragraphs [0011] to [0012], [0094] to [0095]; fig. 1, 15 (Family: none)	10-11 12 4-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 May 2015 (18.05.15)

Date of mailing of the international search report
26 May 2015 (26.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/056795

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-776 A (Mitsubishi Electric Corp.), 05 January 2015 (05.01.2015), fig. 1 (Family: none)	12
A	JP 2014-166085 A (Aisin Seiki Co., Ltd.), 08 September 2014 (08.09.2014), entire text; all drawings (Family: none)	1-12
A	US 5912810 A (LUCENT TECHNOLOGIES INC.), 15 June 1999 (15.06.1999), entire text; all drawings & US 5822199 A & US 6038145 A & US 5822199 A	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M1/08(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M1/08, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-21823 A（株式会社日立製作所）2009.01.29, 段落 [0024]-[0028], 図 5-7 & US 2009/0033377 A1 & EP 2015439 A2 & CN 101345472 A & KR 10-2009-0006785 A & TW 200924381 A	1-3 4-9
X Y A	WO 2015/025512 A1（パナソニック I P マネジメント株式会社） 2015.02.26, 段落[0011]-[0012], [0094]-[0095], 図 1, 15（ファミリ ーなし）	10-11 12 4-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 5 . 2 0 1 5

国際調査報告の発送日

2 6 . 0 5 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

神山 貴行

3 V

3 4 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-776 A (三菱電機株式会社) 2015.01.05, 図1 (ファミリーなし)	12
A	JP 2014-166085 A (アイシン精機株式会社) 2014.09.08, 全文, 全図 (ファミリーなし)	1-12
A	US 5912810 A (LUCENT TECHNOLOGIES INC) 1999.06.15, 全文, 全図 & US 5822199 A & US 6038145 A & US 5822199 A	1-12