

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5592055号
(P5592055)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl. F I
HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 B
 HO 1 L 23/12 5 O 1 W

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2007-540408 (P2007-540408)	(73) 特許権者	504142411
(86) (22) 出願日	平成17年11月3日 (2005.11.3)		テッセラ, インコーポレイテッド
(65) 公表番号	特表2008-519467 (P2008-519467A)		アメリカ合衆国 カリフォルニア州 95
(43) 公表日	平成20年6月5日 (2008.6.5)		134, サン・ノゼ, オーチャード・
(86) 国際出願番号	PCT/US2005/039716		パークウェイ 3025
(87) 国際公開番号	W02006/052616	(74) 代理人	100099623
(87) 国際公開日	平成18年5月18日 (2006.5.18)		弁理士 奥山 尚一
審査請求日	平成20年9月19日 (2008.9.19)	(74) 代理人	100096769
審査番号	不服2013-3409 (P2013-3409/J1)		弁理士 有原 幸一
審査請求日	平成25年2月22日 (2013.2.22)	(74) 代理人	100107319
(31) 優先権主張番号	60/624,667		弁理士 松島 鉄男
(32) 優先日	平成16年11月3日 (2004.11.3)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 積層パッケージングの改良

(57) 【特許請求の範囲】

【請求項1】

(a) 複数の超小型電子素子と、前記超小型電子素子の上に拡がる少なくとも1つの上部基板と、前記超小型電子素子の下に拡がっている少なくとも1つの下部基板とを含む製造過程ユニットを提供するステップであって、前記各基板が1つ以上の領域を含み、前記各基板のうちの少なくとも一方が複数の領域を有し、前記超小型電子素子の各々が前記下部基板の1つの前記領域と前記上部基板の1つの前記領域との間に配置されている、ステップと、

(b) 個々のユニットを形成するため、前記製造過程ユニットを切断するステップであって、前記各ユニットが、前記各基板の1つの領域と、少なくとも1つの前記超小型電子素子とを含む、ステップと

を含む、複数の超小型電子アセンブリを形成する方法であって、

前記下部基板および前記上部基板のうちの少なくとも一方の各領域は、その基板上に、少なくとも1つの前記超小型電子素子のうちの複数の接点に電気的に接続した複数の導電性接続素子を有しており、前記下部基板および前記上部基板の各領域は、対応する複数の導電性取付け端子と層間接続端子とを有しており、前記上部基板および前記下部基板の少なくとも一方の各領域の前記導電性取付け端子は、少なくとも1つの前記超小型電子素子のそれぞれに前記導電性接続素子を介して電気的に接続されており、

前記製造過程ユニットは、前記上部基板の各領域の前記層間接続端子に係合した第1端部と前記下部基板の対応する各領域の前記層間接続端子に係合した第2端部とを有するワ

イヤ接合をさらに含み、該ワイヤ接合の各々の前記第1端部を前記上部基板の1つの前記領域の1つの前記層間接続端子に係合し、前記ワイヤ接合の各々の前記第2端部を前記下部基板の1つの前記領域の1つの前記層間接続端子に係合することによって、該ワイヤ接合は、前記上部基板の各領域と、前記下部基板の対応する各領域とを電氣的に接続している、複数の超小型電子アセンブリを形成する方法。

【請求項2】

前記上部基板および下部基板が共に複数の領域を含み、前記切断するステップは、前記各ユニットが、前記上部基板の一部と、前記下部基板の一部と、前記基板間に配置された1つ以上の超小型電子素子とを含むように実行される請求項1に記載の方法。

【請求項3】

前記切断するステップの前に、少なくとも前記上部基板と下部基板との間に封止材を注入するステップをさらに含む請求項1に記載の方法。

【請求項4】

上部基板および下部基板と、

前記上部基板と下部基板の間に配置された複数の超小型電子素子と

を備える製造過程ユニットであって、

前記超小型電子素子が半導体チップを含み、前記各基板が複数の領域を含み、前記上部基板の各領域が、少なくとも1つの前記超小型電子素子を前記上部基板と前記下部基板の間に配置した状態で、前記下部基板の対応する領域と位置合わせされ、前記上部基板および前記下部基板の前記領域の各々がその基板上に導電性接続素子を有し、少なくとも1つの前記超小型電子素子が、前記上部基板の少なくとも1つの前記領域の前記導電性接続素子または前記下部基板の対応する領域の前記導電性接続素子に電氣的に接続され、前記上部基板の前記各領域の層間接続端子のうちの少なくともいくつかに係合する第1端部と前記下部基板の対応する領域の層間接続端子のいくつかに係合する第2端部とを有するワイヤ接合をさらに含み、該ワイヤ接合の各々が前記上部基板の1つの前記領域の1つの前記層間接続端子に係合する前記第1端部と前記下部基板の1つの前記領域の1つの前記層間接続端子に係合する前記第2端部とを有することにより、該ワイヤ接合は、前記上部基板の前記領域と、前記下部基板の対応する領域とを電氣的に接続している、製造過程ユニット。

【請求項5】

少なくとも前記上部基板と下部基板との間に配置された封止材をさらに備える請求項4に記載の製造過程ユニット。

【請求項6】

複数の超小型電子素子と、前記超小型電子素子の上に広がる複数の領域を有する上部基板と、前記超小型電子素子の下に拡がっており前記超小型電子素子に電氣的に接続している下部基板とを含む製造過程ユニットを提供するステップであって、前記下部基板が複数の領域を有する、ステップと、

個々のユニットを形成するため、前記製造過程ユニットを切断するステップであって、前記各ユニットが、前記上部基板の領域と、前記下部基板の領域と、前記超小型電子素子のうちの少なくとも1つとを含む、ステップと

を含む、複数の超小型電子アセンブリを形成する方法であって、

各々の前記上部基板と前記下部基板の各々の領域とは、対応する電氣的に接続した複数の導電性取付け端子と層間接続端子を有しており、各々の上部基板の少なくとも1つの前記導電性取付け端子と前記下部基板の対応する領域の各々の前記導電性取付け端子とは、少なくとも1つの前記超小型電子素子の各々に導電性接続素子を介して電氣的に接続されており、前記製造過程ユニットは、前記上部基板の各々の前記層間接続端子に係合した第1端部と前記下部基板の対応する領域の前記層間接続端子に係合した第2端部とを有するワイヤ接合をさらに含み、該ワイヤ接合の各々は前記上部基板の1つの前記領域の1つの前記層間接続端子に係合する前記第1端部と前記下部基板の1つの前記領域の1つの前記層間接続端子に係合する前記第2端部とを有することによって、該ワイヤ接合は、前記上

10

20

30

40

50

部基板の前記導電性接続素子と、前記下部基板の対応する領域の前記導電性接続素子とを電氣的に接続している、複数の超小型電子アセンブリを形成する方法。

【請求項 7】

前記切断するステップの前に、前記上部基板と下部基板との間に封止材を注入するステップをさらに含む請求項 6 に記載の方法。

【請求項 8】

複数の領域を有する誘電性の下部基板と、
前記下部基板の各領域に位置合わせされた、複数の領域を有する誘電性の上部基板と、
前記上部基板の 1 つと前記下部基板の前記各領域との間に配置された、複数の超小型電子素子であって、該超小型電子素子の各々が半導体チップを含んでいる、複数の超小型電子素子と

10

を備える製造過程ユニットであって、

前記上部基板および前記下部基板の前記領域の各々が層間接続端子を有し、前記上部基板の前記各領域の前記層間接続端子のうちの少なくともいくつかに係合する第 1 端部と前記下部基板の対応する領域の前記層間接続端子のいくつかに係合する第 2 端部とを有するワイヤ接合をさらに含み、該ワイヤ接合の各々が前記上部基板の 1 つの前記領域の 1 つの前記層間接続端子に係合する前記第 1 端部と前記下部基板の 1 つの前記領域の 1 つの前記層間接続端子に係合する前記第 2 端部とを有することにより、該ワイヤ接合は、前記上部基板の前記領域と、前記下部基板の対応する領域とを電氣的に接続している、製造過程ユニット。

20

【請求項 9】

少なくとも前記上部基板と下部基板との間に配置された封止材をさらに備える請求項 8 に記載の製造過程ユニット。

【請求項 10】

複数の領域を有する誘電性の上部基板と、
前記上部基板の各領域に位置合わせされた、複数の領域を有する誘電性の下部基板と、
前記下部基板の 1 つと前記上部基板の前記各領域との間に配置された、複数の超小型電子素子であって、該超小型電子素子の各々が半導体チップを含んでいる、複数の超小型電子素子と

30

を備える製造過程ユニットであって、

前記下部基板および前記上部基板の前記領域の各々が層間接続端子を有し、前記下部基板の前記各領域の前記層間接続端子のうちの少なくともいくつかに係合する第 1 端部と前記上部基板の対応する領域の前記層間接続端子のいくつかに係合する第 2 端部とを有するワイヤ接合をさらに含み、該ワイヤ接合の各々が前記上部基板の 1 つの前記領域の 1 つの前記層間接続端子に係合する前記第 1 端部と前記下部基板の 1 つの前記領域の 1 つの前記層間接続端子に係合する前記第 2 端部とを有することにより、該ワイヤ接合は、前記下部基板の前記領域と、前記上部基板の対応する領域とを電氣的に接続している、製造過程ユニット。

【請求項 11】

少なくとも前記下部基板と上部基板との間に配置された封止材をさらに備える請求項 10 に記載の製造過程ユニット。

40

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2004年11月3日に提出された米国仮特許出願第60/624,667号の出願日の優先権を主張し、この開示を参照により本明細書に組み込む。

【背景技術】

【0002】

半導体チップ等の超小型電子素子は、典型的には、該半導体チップまたは他の超小型電

50

子素子のための物理的および化学的保護を実現できるパッケージ内に設けられる。このようなパッケージは、典型的には、誘電体から形成され、かつその上に導電性端子を有する小さな回路パネル等のパッケージ基板を含む。該チップは、該パネル上に実装されて、該パッケージ基板の端子に電氣的に接続される。典型的には、該チップおよび該基板の一部は、封止材またはオーバーモールドによって被覆され、その結果、該基板の該端子を支持する外面のみが露出されたままになる。このようなパッケージは、容易に輸送し、格納し、かつ取扱うことができる。該パッケージは、標準的な実装技術、最も典型的には、表面実装技術を用いた回路基板等のより大きな回路パネルに実装することができる。当分野においては、このようなパッケージをより小さくすることに対して、相当な努力がなされ、その結果、パッケージ化されたチップは、該回路基板上でより小面積を占める。例えば、チップスケールパッケージと呼ばれるパッケージは、該チップ自体の面積に等しい、または、該チップ自体の面積よりもわずかに大きい面積の、該回路基板の面積を占める。しかし、チップスケールパッケージを用いても、いくつかのパッケージ化されたチップによって占められる総面積は、個々のチップの総面積以上になる。

10

【 0 0 0 3 】

複数のチップが、共通のパッケージにおいて、上下に実装される「積層」パッケージを形成することが提案されてきた。この共通のパッケージは、単一のチップを含有する単一のパッケージを実装するのに典型的に必要な面積に等しいか、または、それよりほんのわずかに大きい回路パネルの面積に実装することができる。該積層パッケージのアプローチは、該回路パネル上のスペースを節約する。互いに機能的に関連しているチップまたは他の素子は、共通の積層パッケージ内に設けることができる。該パッケージは、それらの素子間に相互配線を組み込んでよい。従って、該パッケージが実装される主回路パネルは、それらの相互配線に必要な導体および他の素子を含む必要がない。このことも、よりシンプルな回路パネルの使用を可能にし、場合によっては、金属接続部からなる少数の層を有する回路パネルの使用を可能にし、それによって、該回路パネルのコストを著しく低減する。また、積層パッケージ内の該相互配線は、回路パネル上に実装された個々のパッケージ間の類似の相互配線よりも低い電氣的インピーダンスおよびより短い信号伝播遅延時間で形成することができる可能性がある。このことも、例えば、これらの素子間の信号伝送におけるより高いクロック速度の使用を可能にすることにより、該積層パッケージ内の超小型電子素子の動作の速度を向上させることができる。

20

30

【 0 0 0 4 】

これまでに提案されてきた積層パッケージの1つの形態は、「ボールスタック」と呼ばれることがある。ボールスタックパッケージは、2つ以上の個別のユニットを含む。各ユニットは、個々のパッケージのパッケージ基板と同様のユニット基板と、該ユニット基板に実装され、かつ該ユニット基板の端子に接続された1つ以上の超小型電子素子とを含む。該個々のユニットは、はんだボールまたはピン等の導電性素子によって、各個々のユニット基板の端子を別のユニット基板の端子に接続した状態で、上下に積層されている。底部のユニット基板の端子は、該パッケージの端子を構成することができ、または、追加的な基板を、該パッケージの底部に取付けてもよく、また、様々なユニット基板の端子に接続された端子を有してもよい。ボールスタックパッケージは、例えば、米国公開特許出願第2003/0107118号および同第2004/0031972号の特定の好ましい実施形態に示され、これらの開示を参照により本明細書に組み込む。

40

【 0 0 0 5 】

フォールドスタック (f o l d s t a c k) パッケージと呼ばれる場合もある別の種類の積層パッケージにおいては、2つ以上のチップまたは他の超小型電子素子が単一の基板に実装される。この単一の基板は、典型的には、該基板上に実装された超小型電子素子を互いに接続するために該基板に沿って伸びている導電体を有する。また、同じ基板は、該基板上に実装された超小型電子素子の一方または両方に接続されている導電性端子も有する。該基板は、1つの部分上の超小型電子素子が、別の部分上の超小型電子素子の上に位置するように、および該パッケージ基板の端子が、該パッケージを回路パネルに実装す

50

るために、折り重ねられたパッケージの底部で露出されるように、それ自体の上に折り重ねられる。この折り重ねられたパッケージの特定の変形例においては、該基板が、その最終的な形態に折り重ねられた後に、1つ以上の超小型電子素子が該基板に付着される。フォールドスタックの実施例は、米国特許第6,121,676号明細書、米国特許出願第10/007,388号明細書、米国特許出願第10/655,952号明細書、米国仮特許出願第60/403,939号明細書、米国仮特許出願第60/408,664号明細書、および米国仮特許出願第60/408,644号明細書の特定の好ましい実施形態に示されている。フォールドスタックは、幅広い目的のために用いられているが、互いに繋げなければならないチップをパッケージ化する際、例えば、コンパクトな内蔵型アセンブリを形成するために、携帯電話内のベースバンド信号処理チップと、高周波電力増幅器 (radio frequency power amplifier; 「RFPA」) チップとを含むアセンブリを形成する際の特定の用途が見出されている。

10

【0006】

当分野におけるこれらの努力の全てにもかかわらず、さらなる改良が望ましい。特に、基板を実際に折り重ねる必要性がないフォールドスタックで実現される利点と同様の利点を提供することができるパッケージを形成することが好ましい。

【発明の開示】

【0007】

本発明の一つの態様は、複数の超小型電子アセンブリを形成する方法を提供する。本発明のこの態様による方法は、望ましくは、複数の超小型電子素子と、該超小型電子素子の上に拡がっている少なくとも1つの上部基板と、該超小型電子素子の下に拡がっている少なくとも1つの下部基板とを含む製造過程ユニットを形成するステップであって、これらの基板のうちの少なくとも一方が複数の領域を含むステップと、その後、該製造過程ユニットを切断して、個々のユニットを形成するステップであって、前記各ユニットが、前記基板のうちの少なくとも一方の領域と、前記超小型電子素子のうちの少なくとも一方を含むステップとを含む。

20

【0008】

本発明の別の態様は、製造過程ユニットを提供する。本発明のこの態様による該製造過程ユニットは、上部および下部基板と、これらの基板の間に配置された複数の超小型電子素子とを望ましくは含む。各基板は、望ましくは、複数の領域を含み、該上部基板の各領域は、少なくとも1つの前記超小型電子素子をこれらの基板の間に配置した状態で、該下部基板の対応する領域と位置合わせされている。望ましくは、前記上部および下部基板の領域の各々は、導電性素子を有し、該上部基板の各領域の前記導電性素子のうちの少なくともいくつかは、前記下部基板の対応する領域の導電性素子に電氣的に接続されている。

30

【0009】

本発明のまた別の態様は、超小型電子アセンブリを形成する方法を提供する。本発明のこの態様による方法は、望ましくは、リードフレームのリードが第1の基板から突出するように、該リードフレームを該第1の基板に取付けることと、少なくとも1つの超小型電子素子が、該第1の基板と第2の基板との間に配置されるように、該第1の基板と第2の基板とを組立てることと、前記リードを前記第2の基板に接続することとを含む。

40

【発明を実施するための最良の形態】

【0010】

本発明の一実施形態による組立て方法は、上部面22および下部面24を画定する誘電体層21を含む、便宜上、本明細書において、下部基板20と呼ぶ基板を用いる。下部基板20は、典型的には、多数の領域26を有する連続的または半連続的なテープまたはシート状である。以下に説明するように、各領域26は、該プロセスの終了時点において、個々のパッケージの一部を構成することになり、また、各領域26は、以下に説明するように、単一のパッケージの部分を形成することになる形状構成を含む。

【0011】

誘電体層21は、単一の層とすることができ、または、いくつかの副層を含む積層体と

50

することもできる。該誘電体層は、望ましくは、主に、ポリイミド、BT樹脂、エポキシまたは他の誘電性ポリマー等の高分子誘電体から形成され、また、例えば、ガラス繊維等の強化繊維を含んでもよい。誘電体層21は、フレキシブルでも堅くてもよい。下部基板20は、取付け端子28と、該誘電体層の下部面24に露出されている後の層間接続端子29と、上部面22に露出している導電性接続素子30とを含む。図示した特定の実施形態において、端子28および29は、接続素子30とは別の層内に形成され、それらの層は、誘電体層21によって互いに分離され、かつ該誘電体層を貫通して伸びるビア32等の導電性素子によって互いに電氣的に接続されている。このような構成は、一般に、「2メタル(two-metal)」構造と呼ばれている。しかし、下部基板20は、単一の金属層が、導電性接続素子30および端子28および29を構成する状態の単一の金属構造として形成することができる。例えば、このような層は、導電性接続素子30を、該誘電体層内の上部面22のスルーホール(図示せず)に露出させた状態で、該誘電体層の底部面24上に配置することができる。同様に、このような単一の金属層は、端子28および29を、該誘電体層内の下部面24のスルーホール(図示せず)に露出させた状態で、上部面22上に配置することができる。さらに別の代替例においては、導電性取付け素子を構成する1つ以上の金属層、該端子またはこれらの両方は、該誘電体層の厚みの中に配置することができ、また、スルーホールを適当な面に露出させることができる。

【0012】

下部基板20は、該上部面から該下部面へ該誘電体層を貫通して伸びる開口34を有する。開口34は、個々の穴または細長いスロット状とすることができる。開口34は、層間接続端子29の近くに配置されている。超小型電子素子36は、下部基板20の上部面22上に実装される。各領域26は、該領域上に実装された1つ以上の超小型電子素子を有する。図示した特定の実施形態においては、下部基板の各領域26は、1つの超小型電子素子を有する。図示した該超小型電子素子は、該チップの接触部(図示せず)を、例えば、はんだ等の接合材料を用いて、該接触部を該導電性取付け素子に接合することにより、該基板の導電性接続素子30に接続した、フェースダウン方向で実装した半導体チップである。しかし、他の方法を用いることもできる。例えば、各超小型電子素子36は、上に端子を有するパッケージ基板(図示せず)を含むパッケージ化された超小型電子素子とすることができる。これらの端子は、下部基板上の導電性接続素子30に接続されている。さらに他の変形例においては、異方性導電接着剤等の方法を用いることができる。封止材38は、各超小型電子素子36の露出面を覆う。他の実施形態においては、封止材38は省略される。該下部基板の各領域26内の超小型電子素子36は、該領域の導電性接続素子30を介して、同じ領域の取付け端子28のうちの少なくともいくつかに、該領域の層間接続端子29のうちの少なくともいくつかに、またはこれらの両方に電氣的に接続される。超小型電子素子36は、本明細書に記載した組立てプロセスの一部として、または、下部基板20を準備するのに用いられる別の工程において、従来の方法を用いて、該下部基板上に実装することができる。

【0013】

また、本発明のこの実施形態によるプロセスは、上部面42および下部面44を画定する、下部誘電体層に関して上述したのと同じ材料から形成することができる誘電体層41を含む上部基板40を用いる。該上部基板は、下部面44に露出された層間接続端子49と、該上部面に露出された導電性取付け端子50とを有する。ここでも再び、これらの形状構成は、2層構造として示されているが、該誘電体層内の一方または両方の面のスルーホールに該形状構成を露出させた単一の層または多数の層から形成することができる。また、上部基板40は、複数の領域46も有し、このような各領域は、層間接続端子49からなるセットと、取付け端子50からなるセットとを含み、少なくともいくつかの取付け端子50は、同じ領域の少なくともいくつかの層間接続端子49に電氣的に接続されている。

【0014】

組立てプロセスにおいて、上に超小型電子素子36を有する下部基板20は、上部基板

10

20

30

40

50

40と共に一体化され、その結果、上部基板40の下部面44は、超小型電子素子36の上に載り、該下部基板に対向する。このため、超小型電子素子36は、これらの基板の間に配置される。接着剤52は、該下部基板から離間した超小型電子素子36の面上の該上部基板の下部面44に塗布することができ、該面は、各超小型電子素子を包囲する封止材38によって画定された面とすることができる。これらの基板を互いに組付けるプロセスは、最も好ましくは、両方の基板が複数の領域26および46を含む大きな基板の形態をとっている間に実施される。例えば、これらの基板が、細長いテープまたはストリップの形態をしている場合、該基板は、該上部基板を該下部基板の超小型電子素子36の面に係合させるために、1組のニップローラを介して、または、押圧ローラを介して進めることができる。別法として、両基板が、大きな円形または正方形のシート等の大きなシートの形態をしている場合には、該組立てプロセスは、該基板を互いに組付けるように、単に、1つのシートを他方のシートの上に置くことによって実施することができる。該基板は、上部基板20の各領域46が、下部基板20の対応する領域26と位置合わせされるように、互いに組付けられる。

10

【0015】

該基板を互いに組付けた後、該下部基板の各領域内の該層の層間接続端子29は、該上部基板上の対応する領域の該層の層間接続端子49に接続される。この接続は、該層の層間接続端子間にワイヤ接合53を施すことによって実行される。該ワイヤ接合は、該下部基板内の開口34を通して伸びる。ワイヤ接合の後、下方取付け端子28のうちの少なくともいくつか、または、各下方領域に関連するチップ36上の少なくともいくつかの接触部は、該ワイヤ接合および層の層間接続端子を介して、該上部基板の対応する領域上の取付け端子50のうちの少なくともいくつかに接続される。

20

【0016】

ワイヤ接合を施した後、封止材54が、下部基板20と上部基板40との間に導入される(図4)。該封止材は、構造材料と親和性があり流動性のある何らかの封止材とすることができる。最も望ましくは、封止材54は、未硬化状態において、比較的低い粘性を有する液体であり、かつ固体または半固体状態に硬化することが可能な硬化可能な材料である。このような材料の実施例は、エポキシ、シリコン、および超小型電子パッケージにおける封止材として通常用いられる他の材料を含む。これらの材料は、典型的には、加熱によって促進された化学反応によって硬化する。加熱時に液化し、冷却により固体状態に硬化する熱可塑性材料等の他の封止材を使用することもできる。該封止材は、何らかの適当なプロセスにより、該基板間に注入することができる。該封止材の注入中に、一部の封止材は、該下部基板の開口34(図3)を通して漏れ出す可能性がある。該基板は、該封止材の注入中に、モールドまたは他の材料固定具からなる要素の間に拘束することができ、また、これらの要素は、該上部基板の開口34を密封してもよい。別法として、または、追加的に、該下部基板の開口34は、ワイヤ接合後に、該開口上に塗布されたはんだマスク等の誘電体膜によって覆ってもよい。参照により本明細書にその開示を組み込む、同一出願人による米国特許第6,329,224号明細書および同第5,766,987号明細書において教示された方法を、この工程に用いることができる。封止材の注入工程は、望ましくは、各基板の様々な領域が、この段階において互いに接続されたままである、基板40および20が元の形態である間にも実行される。該封止材は、ワイヤ接合部53(図3)を包囲し、望ましくは、該超小型電子素子が占めるスペース以外の、該上部基板と下部基板との間のスペースを実質的にまたは完全に充填する。

30

40

【0017】

該封止材の注入および硬化の後、1つ以上の追加的な超小型電子素子56が、上部基板40の露出した上面42の上に実装され、該上部基板の取付け端子50に電気的に接続される。ここでもまた、超小型電子素子56が、該上部基板の様々な領域46に実装される。はんだボール58等の導電性接合材料を、該下部基板の取付け端子28に塗布してもよい。追加的な超小型電子素子56は、「ベアチップ」またはパッケージ化されていない半導体チップあるいは他の超小型電子素子であってもよく、または、パッケージ化された半

50

導体チップ等のパッケージ化された超小型電子素子であってもよい。図示した実施形態においては、各追加的な超小型電子素子は、該超小型電子素子上の接触部を、該上部基板の取付け素子50に直接接合することによって実装される。しかし、他の取付けおよび接続方法を用いることもできる。例えば、変形例においては、追加的な超小型電子素子56は、該上部基板上に「フェースアップ」配置で実装して、ワイヤ接合によって取付け素子50に接続することができる。また、封止材または他のカバーを、該追加的な超小型電子素子の上に施してもよい。

【0018】

追加的な超小型電子素子56および導電性接合材料58を実装した後、該上部および下部基板は、個々のユニット60を形成するように切断される(図6)。このようなユニットの各々は、該下部基板の超小型電子素子36および該上部基板の超小型電子素子56と共に、該下部基板の1つの領域46と、該上部基板の対応する領域46とを含む。このようなユニットの各々は、内蔵型積層パッケージである。各ユニット60は、1つ以上の追加的な超小型電子素子56が1つ以上の超小型電子素子36に接続された状態の完全な積層形パッケージを形成する。このようなパッケージは、回路基板または他のより大きな基板に、従来の単一素子超小型電子パッケージと実質的に同じ方法で実装することができる。

10

【0019】

上述したプロセスの変形例においては、追加的な超小型電子素子56、結合ボンディング材料58またはこれらの両方を、切断後に該基板に実装することができる。未切断状態の、または独立した切断済みユニットとしての、接合材料58を伴うまたは伴わない組立て済みの基板または超小型電子素子36は、半製品として取扱い、輸送し、かつ保管することができる。例えば、同じ超小型電子素子36を、多数のパッケージに組込むが、異なる追加的な素子56が、該パッケージの異なるものに使用される場合、このような構成を用いることができる。

20

【0020】

また別の変形例においては、封止材54は省略してもよい。この変形例においては、該基板間に配置された超小型電子素子36は、構造支持体を形成する。追加的な構造支持体は、超小型電子素子36またはワイヤ接合53が占めていない位置における誘電体素子間に伸びるスペーサを設けることによって、該基板間に形成することができる。

30

【0021】

本発明の追加的な実施形態によるプロセスは、図1~図6に関して上述したものと同様の下部基板120および上部基板140を用いる。しかし、下部基板120上に実装された超小型電子素子136は、封止材を要することなく、「フェースアップ」配置で実装される。超小型電子素子136上の接触部は、上部基板140の組立て前に、ワイヤ接合102によって下部基板120の上面の導電性取付け素子130に電氣的に接続される。スペーサ104は、ワイヤ接合102の上に該上部基板を保持するように、超小型電子素子136の上方を向いている面に、または、上部基板140の下面に設けられる。スペーサ104は、望ましくは、誘電体から形成され、また、接着層を含むかまたは該接着層からなっているもよい。ここでもまた、該下部基板の層間接続端子129が、ワイヤ接合152によって、該上部基板の層間接続パッド149に接続されている。ワイヤ接合の後、図7に示すアセンブリは、図4~図6に関して上述したのと同様の方法で処理し、取扱うことができる。

40

【0022】

本発明のまた別の実施形態によるプロセスも同様に、上述したのと同様の下部基板220および上部基板240を用いる。超小型電子素子236は、下部基板220の上面222に実装される。望ましくは、これらの超小型電子素子は、封止材238によって、各超小型電子素子の周りが被覆される。ここでもまた、超小型電子素子236は、パッケージ化された、またはされていない素子とすることができる。しかし、図8の実施形態においては、該下部基板の層間接続端子229は、該基板の上面222で露出され、一方、該上

50

部基板の層間接続端子249は、該上部基板の下面244で露出されている。これらの基板は、上述したのと同様の方法で、互いに組付けられる。しかし、はんだボール等の導電性離間要素が、該下部基板の層間接続端子229、または、該上部基板の下部基板249の上の基板間に配置される。これらの基板が互いに組付ける際、該導電性要素は、反対側の基板上の層間接続端子に係合して、互いに接合される。この結果、導電性要素202は、該基板間の電氣的接続および該基板間の物理的離間の両方を実現できる。追加的な超小型電子素子256を、組立ての前または後に、該上部基板上に実装することができる。上述した他の実施形態の場合、該組立て工程は、該上部基板の多数の領域と、該下部基板の多数の領域とを単一の工程で相互接続するように機能する。上述した実施形態の場合、相互接続された基板は、個々のユニットを形成するように切断することができる。望ましくは、該基板を切断する前に、必要に応じて、封止材（図示せず）を、上述した方法で該基板間に注入してもよい。追加的な変形例（図9）においては、下部基板320上の超小型電子素子336は、封止されていない「ベア」半導体チップである。これらのチップは、図7に関して上述したワイヤ接合と同様のワイヤ接合302を用いて該下部基板の導電性取付け要素330にワイヤ接合される。上部基板340は、該下部基板に組み付けられて、図8に関して上述したのと同様の導電性要素304によって、該下部基板に接続される。望ましくは、該基板を切断して個々のユニットを形成する前に、封止材354（図示せず）が、該基板間に注入される。はんだボール以外の導電性要素を、様々な実施形態に用いてもよい。例えば、その開示を参照により本明細書に組み込む、国際特許公開第2004/077525号パンフレットに開示されているように、細長いバンプまたはピンの形をした金属導電性要素を、スタックパッケージにおけるユニット間接続部として用いてもよい。その開示を参照により本明細書に組み込む、2004年6月25日に出願された米国仮特許出願第60/583,066号明細書に記載されているように、開示を全て参照により本明細書に組み込む、全て2003年12月30日に出願された同一出願人による同時係属中の米国仮特許出願第60/533,210号明細書、同第60/533,393号明細書および同第60/533,437号明細書に開示されたタイプのピンを、スタックパッケージにおけるユニット間接続部として用いることができる。これらおよび他のタイプのピンは、上述したアセンブリに用いることができる。該基板の一方または両方は、組立て前に、これらのピンを用いて形成することができ、この結果、該ピンは、対向する基板上の層間接続端子に係合する。

【0023】

本発明のまた別の実施形態によるプロセスは、上部取付け端子450と、単一のメタルテープの下面上の金属製特徴部からなる単一の層によって画定された層間接続端子449とを有する誘電体層421を含む該単一のメタルテープの形態をとる上部基板440を用い、取付け端子450は、該誘電体層内の穴451を介して、該上部基板の上面422に露出されている。多数のリード452を含むリードフレームは、図12を見て分かるように、各リード452が、層間接続端子449のうちの1つから伸びるように、上部基板440に付着されている。2つのリード452のみが図に描かれているが、該リードフレームが多数のリードを含み、また、バスバー、または、互いに定位置に該リードを保持する他の要素を含んでもよいことを正しく認識すべきである。バスバーまたは他の保持要素は、該リードフレームと該上部基板との組立て後に取り除いてもよい。その開示を参照により本明細書に組み込む、2003年12月24日に出願された同時係属中の同一出願人による米国特許出願第10/746,810号明細書で教示されたタイプのリードフレームを用いることができる。該リードフレームは、はんだ接合、拡散接合、熱圧着接合等のプロセスによって、該上部基板の層間接続端子449に接合することができる。別法として、層間接続端子449は、テープによる自動ボンディング（tape-automated bonding）（「TAB」）リードの形で形成してもよく、また、これらのリードは、TABリードを半導体チップ等の要素に接合するのに通常用いられるプロセスと同様のプロセスを用いて、該リードフレームに接合することができる。図12を見て最も良く分かるように、該リードフレームのリード452は、上部基板440から下方へ突出し

10

20

30

40

50

ている。また、該プロセスは、その下面 4 2 4 に露出している下方取付け端子 4 2 8 を有し、かつその上面に露出している電氣的接続部 4 3 0 と、その上面 4 2 2 に露出している層間接続端子 4 2 9 とを有する下部基板 4 2 0 も用いる。ここでもまた、図 1 3 に示す特定の実施形態においては、該下部基板は、「2メタル」構造として示されているが、該下部基板の誘電体要素 4 2 1 内の穴を介して様々な特徴部を露出させた単一の金属構造とすることができる。半導体チップまたは他の超小型電子素子 4 3 6 は、下部基板 4 2 0 に実装される。図示の実施形態において、半導体チップ 4 3 6 は、フェースアップ配置で実装され、ワイヤ接合 4 0 2 によって接続端子 4 3 0 に接続される。しかし、チップ 4 3 6 は、フェースダウンで実装することもできる。追加的な変形例においては、チップ 4 3 6 は、パッケージ化されたチップまたは他のパッケージ化された超小型電子素子とすることができる。図 1 3 に示す特定の実施形態において、チップ 4 3 6 は、スペーサ 4 0 4 によって、該下部基板の誘電体要素 4 2 1 の上に支持されている。追加的な変形例において、スペーサ 4 0 4 は、フェースアップまたはフェースダウンで実装することができる追加的な半導体チップまたは他の超小型電子素子と置換することができる。望ましくは、誘電体から形成されたスペーサ 4 0 6 は、下部基板 4 2 0 から遠く離れた超小型電子素子 4 3 6 の表面に配置される。

10

【0024】

上部基板 4 4 0 と、該リードフレームのリード 4 5 2 とを含むサブアセンブリは、該サブアセンブリを該下部基板の方へ近づけて、上部基板 4 4 1 から遠く離れた、リード 4 5 2 の下方端部を、上述した方法の何れかを用いて、該下部基板の層間接続端子 4 2 9 に接合することによって、該下部基板に取付けられる。該上部基板および下部基板の組み付け後、下部基板 4 2 0、上部基板 4 4 0、超小型電子素子 4 3 6、および該上部基板と下部基板を接続するリード 4 5 2 を含む、結果として生じるユニットは、例えば、超小型電子素子 4 3 6 の周り、および基板 4 2 0 と基板 4 4 0 との間に流動性封止材を導入することによって封止される。この封止プロセスは、上部取付け端子 4 5 0 および下部取付け端子 4 2 8 を露出させて、封止材 4 5 4 によって被覆しない状態のままにするように実施される。図 1 1 ~ 図 1 4 に関して上述した全ての工程は、個々の上部基板および下部基板および/または個々のリードフレームを用いて実施することができ、または、該上部基板、該下部基板、該リードフレームまたはこれらからなる何れかの組合せが、多数の基板および/または多数のリードフレームを含むテープまたはストリップ等のより大きなアセンブリの形態をとっている間に実施してもよい。この場合、該より大きな要素は、各々が、下部基板、上部基板および 1 つ以上の超小型電子素子 4 3 6 を含む個々のユニットを形成するように、上述したように切断される。ここでもまた、切断前の該より大きなユニットは、商品として取扱い、輸送し、かつ保管することができる。また、該個々のユニットは、それ自体、取扱うことができる。ここでもまた、パッケージ化された、またはされていない追加的な超小型電子素子 4 5 6 を、例えば、図 1 4 を見て分かるように、はんだ接合により、または、ワイヤ接合により、該上部取付け端子に取付けることができる。下部取付け端子 4 2 8 は、はんだボール等の導電性接合材料を備えてもよく、完成したアセンブリを回路パネルに実装するのに用いることができる。

20

30

【0025】

上述した実施形態の各々において、該上部基板および下部基板の役割は、逆であっても良い。例えば、図 1 4 に見られるアセンブリの上部取付け端子 4 5 0 は、該アセンブリを回路パネルに実装するのに用いてもよく、一方、下部取付け端子 4 2 8 は、追加的な超小型電子素子を該アセンブリに実装するのに用いてもよい。また、該リードフレームのリード 4 5 2 は、該上部基板ではなく該下部基板に組付けてもよい。さらに別の実施形態においては、上部基板全体は、単に、リードフレームからの要素で構成してもよい。該バスバー、または様々なリードを相互接続して、自己支持型リードフレームを形成する該リードフレームの他の部分は、封止後に取り除いてもよい。逆に、下部基板 4 2 0 は、該リードフレームからなる要素と置換してもよい。一つの変形例においては、該上部基板から遠く離れた該リードフレームの端部は、それらの端部が、該アセンブリの下部取付け端子とし

40

50

て機能するように露出されている。

【0026】

「上部」、「下部」、「上方へ」および「下方へ」などの用語および方向を示す同様の用語は、この開示において用いる場合、重力基準系ではなく、構成要素自体の基準系を指す。図に示す方向の重力基準系で部材を配置し、図の上部を重力基準系の上方に、かつ図の底部を下方にした状態で、該上部基板は、重力基準系において、実際に、該下部基板の上にある。しかし、重力基準系において、図の上部が下方に面している状態の、該部材がひっくり返った場合には、該上部基板は、重力基準系において、該下部基板の下にある。

【0027】

好ましい実施形態に関する上記の説明は、本発明を限定するのではなく、例示しようとするものである。

10

【0028】

これらおよび他の変形例、および上述した特徴の組合せは、クレームによって定義されるように、本発明から逸脱することなく用いることができ、好ましい実施形態の上記の説明は、クレームによって定義されるように、本発明の限定のためではなく、例示として解釈すべきである。

【図面の簡単な説明】

【0029】

【図1】本発明の一実施形態に係るプロセスに用いられる素子を示す概略断面図である。

【図2】図1と同様であるが、同じプロセスの順次後の段階での素子を示す断面図である

20

。

【図3】図1と同様であるが、同じプロセスの順次後の段階での素子を示す断面図である

。

【図4】図1と同様であるが、同じプロセスの順次後の段階での素子を示す断面図である

。

【図5】図1と同様であるが、同じプロセスの順次後の段階での素子を示す断面図である

。

【図6】図1と同様であるが、同じプロセスの順次後の段階での素子を示す断面図である

。

【図7】本発明の追加的な実施形態に係るプロセスに用いられる素子の概略断面図である

30

。

【図8】本発明のまた別の実施形態に係るプロセスに用いられる素子の概略断面図である

。

【図9】図7および図8と同様であるが、本発明の追加的な実施形態に係るプロセスに用いられる素子を示す断面図である。

【図10】プロセスの後の段階における、図9に示す素子を示す断面図である。

【図11】本発明の追加的な実施形態に係るプロセスに用いられる基板およびリードフレームを示す概略図である。

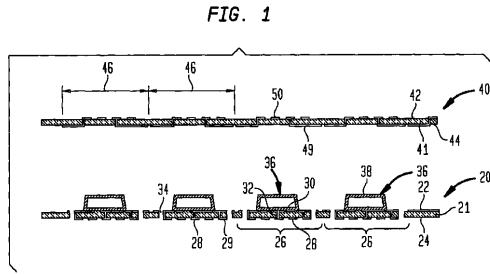
【図12】プロセスの後の段階における、図11の基板およびリードフレームを示す断面図である。

40

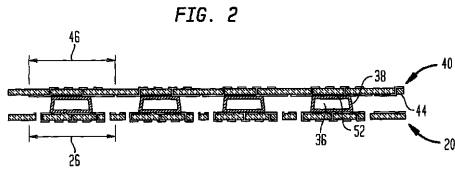
【図13】プロセスのさらに後の段階中の、図11および図12に示す素子を示す概略断面図である。

【図14】図11～図13の素子を用いて形成したアセンブリを示す概略断面図である。

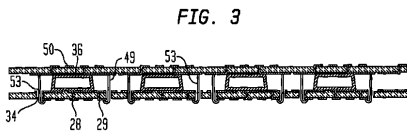
【 図 1 】



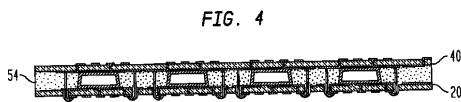
【 図 2 】



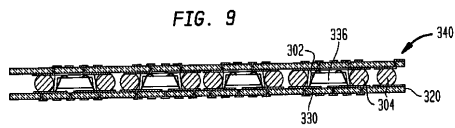
【 図 3 】



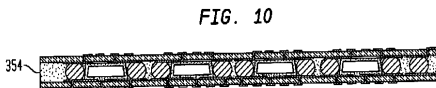
【 図 4 】



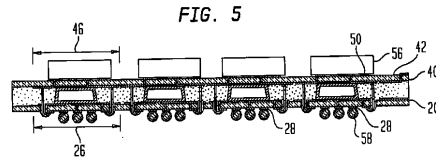
【 図 9 】



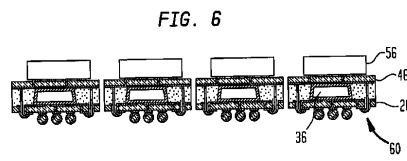
【 図 10 】



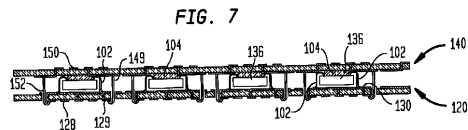
【 図 5 】



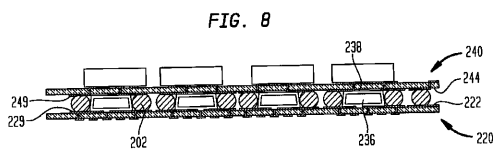
【 図 6 】



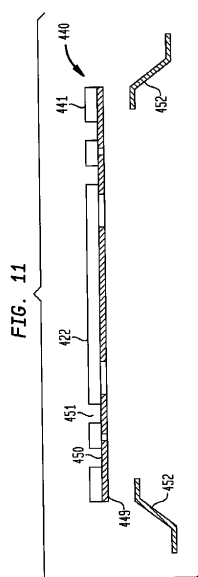
【 図 7 】



【 図 8 】

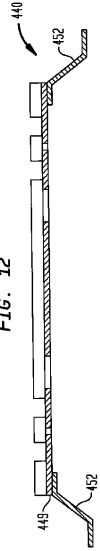


【 図 11 】



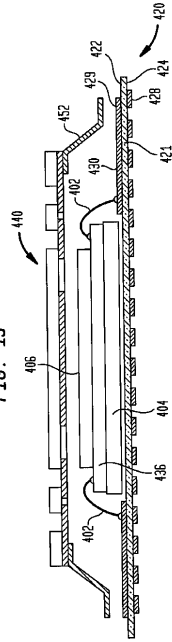
【 1 2 】

FIG. 12



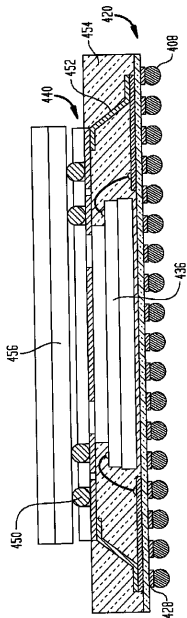
【 1 3 】

FIG. 13



【 1 4 】

FIG. 14



フロントページの続き

- (72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・ドライブ 3099,
テッセラ, インコーポレイテッド気付
- (72)発明者 ミッチェル, クレイグ・エス
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・ドライブ 3099,
テッセラ, インコーポレイテッド気付
- (72)発明者 ベロズ, マスド
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・ドライブ 3099,
テッセラ, インコーポレイテッド気付

合議体

審判長 大熊 雄治

審判官 平田 信勝

審判官 小関 峰夫

- (56)参考文献 特開7 - 122787 (JP, A)
特開平11 - 74295 (JP, A)
特開平11 - 220262 (JP, A)
特開2001 - 44313 (JP, A)
米国特許第5340771 (US, A)

- (58)調査した分野(Int.Cl., DB名)

H01L 23/12