

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <i>H01L 29/788</i> (2006.01)	(45) 공고일자 2006년05월25일
	(11) 등록번호 10-0500301
	(24) 등록일자 2005년06월30일
(21) 출원번호 10-1998-0035081	(65) 공개번호 10-1999-0023966
(22) 출원일자 1998년08월28일	(43) 공개일자 1999년03월25일
(30) 우선권주장	9-249818 1997년08월29일 일본(JP) 10-132750 1998년04월27일 일본(JP) 10-161365 1998년05월25일 일본(JP)
(73) 특허권자	가부시키가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자	야마자키 순페이 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네 루기 켄큐쇼 내
	고야마 준 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네 루기 켄큐쇼 내
(74) 대리인	황의만
심사관 : 고광석	

---

**(54) 비휘발성 메모리 및 반도체장치**

---

**요약**

절연 기판 상에 제공된 반도체 활성층, 그 반도체 활성층상에 제공된 절연막, 그 절연막 상에 제공된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막과 접촉하여 제공된 컨트롤 게이트 전극을 포함하는 비휘발성 메모리, 및 그 비휘발성 메모리를 포함하는 반도체장치, 특히 액정 표시장치이다.

**대표도**

도 1

**명세서**

**도면의 간단한 설명**

도 1은 본 발명에 따른 비휘발성 메모리의 회로도.

도 2(A)~도 2(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 3(A)~도 3(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 4(A)~도 4(E)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 5(A)~도 5(C)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 6은 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 단면도.

도 7(A)~도 7(C)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 사시도 및 단면도.

도 8은 본 발명의 비휘발성 메모리의 커패시턴스를 나타내는 도면.

도 9(A)~도 9(C)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 10(A)~도 10(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 11(A)~도 11(C)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 12는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 단면도.

도 13(A)~도 13(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 14(A)~도 14(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 15(A)~도 15(D)는 본 발명의 비휘발성 메모리를 포함하는 액정 표시장치의 제작공정을 나타내는 개략도.

도 16(A)~도 16(C)는 본 발명에 따른 비휘발성 메모리의 회로도.

도 17(A)~도 17(E)는 본 발명에 따른 비휘발성 메모리를 이용한 반도체장치의 개략도.

도 18(A) 및 도 18(B)는 각각 발명에 따른 비휘발성 메모리의 단면도 및 회로도.

도 19는 종래의 액정 표시장치를 나타내는 도면.

도 20은 액정 표시장치의 인가 전압과 투과광 강도의 관계를 나타내는 그래프.

도 21(A)~도 21(E)는 TFT 특성의 측정 결과를 나타내는 그래프.

도 22(A)~도 22(C)는 TFT 특성의 측정 결과를 나타내는 그래프.

도 23(A) 및 도 23(B)는 TFT 특성의 측정 결과를 나타내는 그래프.

도 24(A) 및 도 24(B)는 반도체 박막의 결정 입계를 확대한 HR-TEM 사진.

도 25(A)~도 25(C)는 전자빔 회절 패턴의 사진 및 개략도.

도 26(A) 및 도 26(B)는 결정성 규소막의 결정립을 나타내는 TEM 사진.

도 27(A) 및 도 27(B)는 반도체 박막의 암시야상을 나타내는 사진.

도 28은 X선 회절의 결과를 나타내는 그래프.

## \* 도면의 주요 부분에 대한 부호의 설명

101: X 어드레스 디코더 102: Y 어드레스 디코더

103, 104: 주변 회로 222': 플로팅 게이트

241: 컨트롤 게이트

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치 및 반도체 표시장치에 관한 것이다. 구체적으로는, 본 발명은, SOI(silicon on insulator) 기술을 이용하여 비휘발성 메모리가 구동회로와 같은 주변 회로 및 화소와 함께 절연 기판 상에 일체로 형성되어 있는 반도체장치 및 반도체 표시장치에 관한 것이다.

최근, 값이 저렴한 유리 기판 상에 반도체 박막을 형성한 반도체장치, 예를 들어, 박막트랜지스터(TFT)를 제조하는 기술이 급속히 발달하여 오고 있다. 이것은 액티브 매트릭스형 액정 표시장치(액정 패널)의 수요가 증가하고 있기 때문이다.

액티브 매트릭스형 액정 패널은, 수십 내지 수백만개의 화소 영역 각각에 TFT가 배치되고, 각각의 화소 전극에 출입하는 전하를 TFT의 스위칭 기능에 의해 제어하도록 구성되어 있다.

도 19에는 종래의 아날로그 계조형의 액티브 매트릭스형 액정 표시장치가 도시되어 있다. 도 19에 도시된 바와 같이, 종래의 액티브 매트릭스형 액정 표시장치는 소스 신호선 측 드라이버(2001), 게이트 신호선 측 드라이버(2002), 매트릭스 형태로 배치된 다수의 화소 TFT(2003), 및 화상 신호선(2004)을 포함한다.

소스선 측 드라이버 및 게이트선 측 드라이버는 각각 시프트 레지스터, 버퍼 회로 등을 포함하고, 최근에는 액티브 매트릭스 회로와 동일 기판 상에 일체로 형성된다.

유리 기판 상에 형성된 비정질 규소를 이용한 박막트랜지스터가 액티브 매트릭스 회로에 배치되어 있다.

기판으로서 석영을 사용하고 그 석영 기판 상에 다결정 규소막으로 박막트랜지스터를 형성하는 구성도 알려져 있다. 이 경우, 주변 구동회로와 액티브 매트릭스 회로 모두가 석영 기판 상에 형성된 박막트랜지스터로 구성된다.

또한, 레이저 어닐 기술을 이용하여 유리 기판 상에 결정성 규소막을 이용한 박막트랜지스터를 형성하는 기술도 알려져 있다. 이 기술을 이용하면, 액티브 매트릭스 회로와 주변 구동회로를 유리 기판 상에 집적화할 수 있다.

도 19에 나타낸 바와 같은 구성에서는, 화상 신호선(2004)에 공급되는 화상 신호가 소스선 측 드라이버의 시프트 레지스터 회로(수평 주사용 시프트 레지스터)로부터의 신호에 의해 선택되고, 소정의 화상 신호가 대응하는 소스 신호선에 공급된다.

소스 신호선에 공급된 화상 신호는 화소의 박막트랜지스터에 의해 선택되고, 소정의 화소 전극에 기입된다.

화소의 박막트랜지스터는 게이트선 측 드라이버의 시프트 레지스터(수직 주사용 시프트 레지스터)로부터 게이트 신호선을 통해 공급되는 선택 신호에 의해 동작한다.

이 동작은 소스선 측 드라이버의 시프트 레지스터로부터의 신호와 게이트 신호선 측 드라이버의 시프트 레지스터로부터의 신호에 의해 적당한 타이밍 설정으로 순차적으로 반복되어, 매트릭스 형태로 배치된 개개의 화소에 순차적으로 화상 신호가 기입된다.

최근, 액티브 매트릭스형 액정 표시장치가 노트북형 컴퓨터에 사용되는 일이 많다. 퍼스널 컴퓨터에서는, 다수의 소프트웨어를 동시에 기동시키거나 디지털 카메라로부터의 영상을 취하여 처리하는 기능을 실현하기 위해 다계조(多階調)의 액정 표시장치가 요구되고 있다.

대형 화면을 표시할 수 있는 액정 프로젝터의 수요가 증가되고 있다. 그러한 표시장치의 화질은 계조 표시의 미세함과 신호 처리의 신속함의 정도에 좌우된다. 이처럼, 고화질의 영상을 제공하기 위해서는, 계조 표시가 어느 정도 미세하게 될 수 있는지가 중요하다.

계조 표시의 방법으로서는, 소스선에 비디오 신호 또는 텔레비전 신호와 같은 아날로그 신호를 공급하는 경우(아날로그 계조)와, 퍼스널 컴퓨터 등으로부터의 데이터 신호와 같은 디지털 신호를 공급하는 경우(디지털 계조)가 있다.

아날로그 계조에서는, 상기한 바와 같이, 화상 신호선에 공급되는 아날로그 화상 신호가 소스 드라이버로부터의 신호에 의해 순차적으로 선택되고, 대응하는 소스선에 소정의 화상 신호가 공급된다.

디지털 계조에서는, 화상 신호선에 공급되는 디지털 신호가 순차적으로 선택되고, 선택된 신호가 D/A 변환된 후, 대응하는 소스선에 소정의 화상 신호가 공급된다.

액정 표시장치의 경우, 어떤 계조 표시가 사용되는 경우라도, 액정에 인가되는 전압(V)과 투과광 강도 사이에는, 도 20에 점선으로 나타낸 바와 같은 관계가 있다. 여기에서 사용되는 액정 표시장치는 TN(트위스티드 네마틱) 모드에서 전압이 인가되지 않을 때 광을 투과하는 노멀리 화이트(normaly white) 모드를 사용하는 것이다.

또한, 도 20으로부터 이해되는 바와 같이, 액정에 인가되는 전압과 투과광 강도 사이에는 비선형의 관계가 있기 때문에, 인가 전압에 따라 계조 표시를 행하는 것이 어렵다.

그러한 어려움을 보상하기 위해, 감마(gamma) 보정이 이용된다. 감마 보정에서는, 화상 신호가 게인(gain)되어, 투과광 강도가 인가 전압에 따라 선형적으로 변경되도록 보정이 행해진다. 이 감마 보정에 의해, 우수한 계조 표시가 얻어질 수 있다. 감마 보정이 행해진 경우에 있어서의 인가 전압과 투과광 강도 사이의 관계가 도 20에 실선으로 나타내어져 있다.

그러나, 화상 신호에 감마 보정을 행하기 위해서는, 신호 처리 회로와 메모리 회로 등을 구비한 IC 칩이 별도로 필요하다. 또한, 대형 화면을 표시하기 위해, 다른 보정회로와 신호 처리 회로뿐만 아니라 그들과 연관된 메모리 회로가 필요하다. 종래, 상기 신호 처리 회로와 메모리 회로 등은 액정 패널의 외부에 설치되는 IC 칩으로서 제공되어야 했다. 그래서, 제품을 소형화하는 것이 사실상 불가능하였다.

### 발명이 이루고자 하는 기술적 과제

도 22(A)~도 22(C)는 P채널형 TFT의 기판 온도와 게이트 누설 전류 사이의 관계를 나타내는 그래프이다. 도 23(A)는 P 채널형 TFT의 기판 온도와 게이트 누설 전류의 피크 사이의 관계를 나타내는 그래프이다. VD는 드레인 전압, ID는 드레인 전류, VG는 게이트 전압을 나타낸다. 이때, 게이트 누설 전류 값에는 피크값(IG(peak)로 나타냄)이 존재한다.

기판 온도가 증가하면, 게이트 누설 전류의 피크가 감소한다. 이것은, 기판 온도가 증가하면, 게이트 전극에 축적된 전하(전자)의 방전이 촉진되는 것을 나타내는 것으로 생각된다.

게이트 누설 전류는 게이트 전극에 전자가 주입되는 것에 의해 관찰되는 전류라는 것은 알려져 있다. 게이트 누설 전류의 절대값(IG(peak))의 감소는 주입된 전자가 온도 증가에 따라 활성화되어 방전되어 있다는 것을 의미한다. 이 현상은 커패시터에서 일어나는 것과 동일하고, 전기의 충전 및 방전이 가능하다는 것을 시사한다.

본 발명의 발명자는 이 현상을 플로팅 게이트를 가진 비휘발성 메모리에 적용할 수 있다는 것을 알았다.

그래서, 본 발명은, 상기 사정을 감안하여, 대형 화면의 양호한 계조 표시를 행할 수 있고 소형화될 수 있는 반도체 표시장치, 특히 액정 표시장치를 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

본 발명의 일 실시형태에 따르면, 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면 및 측면과 접하여 형성된 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

상기 반도체 활성층의 채널 형성 영역에서의 짹짓지 않은 결합(unpaired bond)의 수가 소스 영역 및 드레인 영역에서의 것보다 적을 수 있다.

본 발명의 다른 실시형태에 따르면, 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면에만 접하여 형성된 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

상기 반도체 활성층의 채널 형성 영역에서의 짹짓지 않은 결합의 수가 소스 영역 및 드레인 영역에서의 것보다 적을 수 있다.

본 발명의 또 다른 실시형태에 따르면, 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면 및 측면과 접하여 형성된 컨트롤 게이트 전극을 포함하고, 상기 반도체 활성층의 채널 형성 영역과 소스 영역이 서로 직접 접하여 있고, 상기 반도체 활성층의 채널 형성 영역과 드레인 영역이 서로 직접 접하여 있는 것을 특징으로 하는 비휘발성 메모리가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

상기 반도체 활성층의 채널 형성 영역에서의 짹짓지 않은 결합의 수가 소스 영역 및 드레인 영역에서의 것보다 적을 수 있다.

본 발명의 또 다른 실시형태에 따르면, 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면에만 접하여 형성된 컨트롤 게이트 전극을 포함하고, 상기 반도체 활성층의 채널 형성 영역과 소스 영역이 서로 직접 접하여 있고, 상기 반도체 활성층의 채널 형성 영역과 드레인 영역이 서로 직접 접하여 있는 것을 특징으로 하는 비휘발성 메모리가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

상기 반도체 활성층의 채널 형성 영역에서의 짹짓지 않은 결합의 수가 소스 영역 및 드레인 영역에서의 것보다 적을 수 있다.

본 발명의 또 다른 실시형태에 따르면, 절연 기판 위에 제공되고, 매트릭스 형태로 배치된 다수의 화소 TFT를 포함하는 화소 회로, 상기 다수의 화소 TFT를 구동하는 TFT를 포함하는 구동회로, 및 비휘발성 메모리를 포함하고, 상기 비휘발성 메모리는 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면 및 측면과 접하여 형성된 컨트롤 게이트 전극을 포함하며, 상기 화소 회로, 상기 구동회로 및 상기 비휘발성 메모리가 상기 절연 기판 위에 일체로 형성되어 있는 것을 특징으로 하는 반도체장치가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

본 발명의 또 다른 실시형태에 따르면, 절연 기판 위에 제공되고, 매트릭스 형태로 배치된 다수의 화소 TFT를 포함하는 화소 회로, 상기 다수의 화소 TFT를 구동하는 TFT를 포함하는 구동회로, 및 비휘발성 메모리를 포함하고, 상기 비휘발성 메모리는 절연 기판 위에 형성된 반도체 활성층, 그 반도체 활성층 위에 형성된 절연막, 그 절연막 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 그 양극산화막의 상면에만 접하여 형성된 컨트롤 게이트 전극을 포함하며, 상기 화소 회로, 상기 구동회로 및 상기 비휘발성 메모리가 상기 절연 기판 위에 일체로 형성되어 있는 것을 특징으로 하는 반도체장치가 제공된다. 이 실시형태에 의해 본 발명의 목적이 달성될 수 있다.

상기 반도체장치는 액정 표시장치일 수 있다.

[실시예 1]

본 실시예에서는, 신호 처리에 사용되는 데이터를 기억하는 비휘발성 메모리를 SOI(Silicon On Insulator) 기술을 이용하여 절연 기판 상에 다른 회로와 함께 일체로 형성한 반도체 표시장치에 대하여 설명한다. 반도체 표시장치들 중에도, 액정 표시장치에 대하여 설명한다. 여기에서 사용되는 규소는 단결정 형태 또는 실질적으로 단결정 형태이다.

도 1은 본 실시예의 비휘발성 메모리의 회로도를 나타낸다. 본 실시예의 비휘발성 메모리는 다수의 메모리 셀(cell)과, X 및 Y 어드레스 디코더(101, 102), 및 주변 회로(103, 104)를 포함한다. 도 1에 나타낸 바와 같이, 각각의 비트 정보가 기록되는 메모리 셀은 2개의 TFT로 구성되고, 그중 하나는 플로팅 게이트를 가진 P채널 FAMOS(Floating Gate Avalanche Injection Mos)형 TFT(Tr1)이고, 다른 하나는 N채널형 스위칭 TFT(Tr2)이다. 2개의 TFT(Tr1, Tr2)는 그들의 드레인 전극이 서로 직렬로 접속되어 있고, 이 직렬 접속 회로에 의해 1 비트의 메모리 셀이 구성된다. 본 실시예의 비휘발성 메모리에서는, 메모리 셀들이 64열과 64행의 매트릭스 형태로 배치되어 있다. 각각의 메모리 셀은 1 비트 정보를 기억할 수 있기 때문에, 본 실시예의 비휘발성 메모리는 4096 비트(= 약 4k 비트)의 기억 용량을 갖는다. 주변 회로(103, 104)는 다른 신호 처리 회로이다.

각각의 열(列)에 배치된 메모리 셀들 각각의 양 단부는 신호선(A0, B0~A63, B63)에 접속되어 있고, 각각의 행(行)에 배치된 각각의 메모리 셀의 게이트 전극은 신호선(C0, D0~C63, D63)에 접속되어 있다. 본 실시예에서는, 도 1에 나타낸 바와 같이, 비휘발성 메모리를 구성하는 메모리 셀이 (0,0), (1,0), (63,63)과 같은 부호로 표시되어 있다.

각각의 신호선(A0, B0~A63, B63; C0, D0~C63, D63)은 Y 어드레스 디코더(102) 및 X 어드레스 디코더(101)에 각각 접속되어 있다. 메모리 셀의 어드레스가 Y 어드레스 디코더(102) 및 X 어드레스 디코더(101)에 의해 지정되고, 데이터의 기입 또는 판독이 행해진다.

다음, 메모리 셀(1,1)을 예로 들어 비휘발성 메모리의 동작에 대하여 설명한다.

먼저, 메모리 셀(1,1)에 데이터를 기입하는 경우, 50 V의 고전압이 신호선(C1)에 인가되고, 5 V의 전압이 신호선(D1)에 인가된다. 그리고, 신호선(B1)이 GND에 접속되고, -5 V의 전압이 신호선(A1)에 인가되면, TFT(Tr1)의 플로팅 게이트에 전하가 축적된다. TFT(Tr1)의 플로팅 게이트에 축적된 전하는 유지된다.

다음, 메모리 셀(1,1)로부터 데이터를 판독하는 경우, 0 V의 전압이 신호선(C1)에 인가되고, 5 V의 전압이 신호선(D1)에 인가된다. 그리고, 신호선(B1)이 GND에 접속되면, 기억된 신호가 신호선(A1)으로부터 판독된다.

상기 동작을 아래의 표 1에 요약한다.

[표 1]

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
기입 시	0 또는 -5	접지	50	5
판독 시	-	접지	0	5

메모리 셀에 기억된 데이터는 X선, 자외선, 전자빔 등을 비휘발성 메모리에 조사(照射)하거나 비휘발성 메모리를 가열함으로써 소거(消去)될 수 있다.

다음, 본 실시예의 비휘발성 메모리를 구비한 반도체장치의 제작공정을 설명한다. 반도체장치들 중에도, 액정 표시장치의 제작공정을 설명한다. 여기서 설명되는 액정 표시장치에서는, 본 실시예의 비휘발성 메모리가 감마 보정의 데이터를 기억하는 기억 수단으로서 사용된다.

본 실시예에서는, 다수의 TFT가 기판의 절연 표면상에 형성되고, 화소 영역의 매트릭스 회로와 구동회로를 포함한 주변 회로가 모놀리식(monolithic) 구조로 구성되는 예를 도 2(A)~도 5(C)를 참조하여 설명한다. 감마 보정 데이터를 기억하는 비휘발성 메모리는 플로팅 게이트를 가진 P채널형 FAMOS 회로와 그를 위한 스위칭 소자를 포함한다. 비휘발성 메모리와 화소 TFT의 제작공정을 설명한다. 또한, 구동회로와 같은 주변 회로로서 대표적으로 사용되는 CMOS 회로도 유사하게 제조될 수 있다. 또한, 본 실시예에서는, P채널형 TFT와 N채널형 TFT가 각각 하나의 게이트 전극을 가지는 회로의 제작공정을 설명하지만, 이중 게이트형과 같은 다수의 게이트 전극을 가진 회로도 동일한 방식으로 제조될 수 있다.

도 2(A)~도 2(D)를 참조한다. 먼저, 절연 표면을 가진 기판으로서 석영 기판(201)을 준비한다. 석영 기판 대신에, 표면에 열산화막이 형성된 실리콘 기판을 사용할 수도 있다. 또한, 석영 기판 상에 비정질 규소막을 형성한 다음, 그 막을 완전히 열산화하여 얻어진 기판이 사용될 수도 있다. 또한, 절연막으로서 질화규소막을 형성한 석영 기판 또는 세라믹 기판이 사용될 수도 있다.

부호 202는 비정질 규소막을 나타내고, 이 규소막은 최종 막 두께(열산화 후의 막 감소를 고려한 막 두께)가 10~100 nm, 바람직하게는 20~80 nm가 되도록 조절된다. 그러한 막 두께로 조절함으로써, FAMOS형 TFT의 충돌 이온화(impact ionization)를 용이하게 하고, 플로팅 게이트에의 캐리어의 주입을 용이하게 하는 것이 가능하다. 성막 시, 막 중의 불순물의 농도를 철저히 관리하는 것이 중요하다. FAMOS형 TFT의 비정질 규소막의 두께는 10~400 nm일 수 있고, 다른 TFT의 비정질 규소막의 두께는 20~80 nm일 수 있다. 이들 경우, 소망의 두께는 선택적 산화공정에 의해 얻어질 수 있다.

본 실시예에서는, 비정질 규소막(202) 내의 대표적 불순물인 C(탄소), N(질소), O(산소) 및 S(황) 각각의 농도가  $5 \times 10^{18}$  원자/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이하가 되도록 관리한다. 이를 불순물이  $5 \times 10^{18}$  원자/cm<sup>3</sup> 이상의 농도로 존재하면, 그 불순물이 결정화 시에 막에 악영향을 미칠 수 있고, 이것이 결정화 후의 막질을 저하시키는 원인이 될 수 있다.

비정질 규소막(202) 내의 수소 농도도 매우 중요한 파라미터이다. 수소 농도를 억제함으로써, 양호한 결정성을 가진 막이 얻어질 수 있는 것으로 고려된다. 따라서, 비정질 규소막(202)을 감압 CVD법으로 성막하는 것이 바람직하다. 성막 조건을 최적화하면, 플라즈마 CVD법을 사용하는 것도 가능하다.

다음, 비정질 규소막(202)의 결정화 공정을 행한다. 결정화 수단으로서는, 일본 공개특허공고 평7-130652호 공보에 개시된 기술을 이용한다. 이 공보에 개시된 실시예 1 및 실시예 2의 어떠한 수단이라도 사용될 수 있지만, 본 실시예에서는, 상기 공보의 실시예 2에 기재된 기술 내용(상세한 것은 일본 공개특허공고 평8-78329호 공보에 설명되어 있음)을 이용하는 것이 바람직하다.

일본 공개특허공고 평8-78329호 공보에 개시된 기술에 따르면, 먼저, 촉매원소 첨가 영역을 선택하기 위한 마스크 절연막(203)을 형성한다. 이 마스크 절연막(203)은 촉매원소를 첨가하기 위한 다수의 개구부를 가지고 있다. 이 개구부의 위치에 의해 결정 영역의 위치를 결정할 수 있다.

비정질 규소막(202)의 결정화를 조장하는 촉매원소로서 니켈(Ni)을 함유하는 용액을 스픬 코팅법에 의해 도포하여, Ni 함유 층(204)을 형성한다. 촉매원소로서는, 니켈 이외에도, 코발트(Co), 철(Fe), 팔라듐(Pd), 백금(Pt), 구리(Cu), 금(Au), 게르마늄(Ge) 등이 사용될 수 있다. 이 공정까지의 상태가 도 2(A)에 도시되어 있다.

상기 촉매원소 첨가 공정으로서, 레지스트 마스크를 이용한 이온 주입법 또는 플라즈마 도핑법이 사용될 수도 있다. 이 경우, 첨가 영역의 점유 면적을 감소시키고 횡방향 성장 영역의 성장 거리를 제어하는 것이 용이하기 때문에, 상기 방법은 미세한 회로를 형성하는 경우 효과적인 기술이 된다.

다음, 촉매원소 첨가 공정의 완료 후, 약 450°C에서 1시간 정도 탈수소화를 행한 다음, 불활성 가스 분위기, 수소 분위기 또는 산소 분위기에서 500~700°C, 대표적으로는 550~650°C의 온도로 4~24시간 가열처리를 행하여 비정질 규소막(202)의 결정화를 행한다. 본 실시예에서는, 질소 분위기에서 570°C로 14시간 가열처리를 행하였다.

이때, 비정질 규소막(202)의 결정화는 니켈이 첨가된 영역(205, 206)에 발생된 핵으로부터 우선적으로 진행하고, 기판(201)의 표면에 대략 평행하게 성장한 결정 영역(207, 208)이 형성된다. 이 결정 영역(207, 208)을 횡방향 성장 영역이라 부른다. 횡방향 성장 영역은 각각의 결정들이 비교적 균일한 상태로 집합되어 있기 때문에 전체적인 결정성이 우수하다는 이점을 가진다. 이 공정까지의 상태가 도 2(B)에 도시되어 있다.

한편, 상기한 일본 공개특허공고 평7-130652호의 실시예 1에 설명된 기술을 사용하는 경우에도, 미시적으로는 횡방향 성장 영역이라 불릴 수 있는 영역이 형성된다. 그러나, 핵 발생이 막내에서 불규칙하게 일어나기 때문에, 결정 입계를 제어하는 것이 어렵다.

결정화를 위한 가열처리가 종료된 후, 마스크 절연막(203)을 제거하고, 패터닝을 행하여, 횡방향 성장 영역(207, 208)으로 된 섬 형상의 반도체층(활성층)(209, 210, 211)을 형성한다. 이 공정까지의 상태가 도 2(C)에 도시되어 있다.

부호 209는 P채널 FAMOS형 TFT의 활성층을 나타내고, 210은 N채널형 스위칭 TFT의 활성층을 나타내고, 211은 화소 매트릭스 회로를 구성하는 N채널형 TFT(화소 TFT)의 활성층을 나타낸다.

활성층(209, 210, 211)이 형성된 후, 규소를 함유하는 절연막으로 된 게이트 절연막(212)을 그 위에 형성한다. 이 게이트 절연막의 두께는 10~200 nm이다. FAMOS형 TFT의 게이트 절연막의 두께는 10~50 nm일 수 있고, 다른 TFT들의 게이트 절연막의 두께는 50~200 nm일 수 있다. 게이트 절연막으로서,  $\text{SiO}_2$ ,  $\text{SiON}$  및  $\text{SiN}$ 이 사용될 수 있다.

다음, 도 2(D)에 나타낸 바와 같이, 촉매원소(니켈)를 제거하거나 감소시키기 위한 가열처리(촉매원소 게터링 공정)를 행한다. 이 가열처리에서는, 처리 분위기에 할로겐 원소를 첨가하여, 그 할로겐 원소에 의한 금속원소의 게터링 효과를 이용한다.

할로겐 원소에 의한 게터링 효과를 충분히 얻기 위해서는, 상기 가열처리를 700°C를 초과하는 온도에서 행하는 것이 바람직하다. 온도가 700°C 이하인 경우, 처리 분위기에서의 할로겐 화합물의 분해가 어렵게 되어, 게터링 효과가 얻어지지 않을 우려가 있다.

따라서, 본 실시예에서는, 가열처리를 700°C를 초과하는 온도, 바람직하게는 800~1000°C(대표적으로는 950°C)의 온도에서 행하고, 처리 시간은 0.1~6시간, 대표적으로는 0.5~1시간으로 한다.

본 실시예에서는, 0.5~10 vol%(본 실시예에서는, 3 vol%)의 염화 수소(HCl)를 함유한 산소 분위기에서 950°C로 30분간 가열처리를 행하는 예를 나타낸다. HCl의 농도가 상기한 농도보다 높으면, 활성층(209, 210, 211)의 표면에 요철이 생기기 때문에, 그러한 높은 농도는 바람직하지 않다.

할로겐 원소를 함유한 화합물로서 HCl 가스를 사용하는 예를 나타냈지만, HCl 가스 이외에, 대표적으로는 HF,  $\text{NF}_3$ , HBr,  $\text{Cl}_2$ ,  $\text{ClF}_3$ ,  $\text{BCl}_3$ ,  $\text{F}_2$  및  $\text{Br}_2$ 와 같은 할로겐 함유 화합물로부터 선택된 일 종류 또는 다수 종류의 가스가 사용될 수 있다.

이 게터링 공정에서는, 활성층(209, 210, 211)내에 함유된 니켈이 염소의 작용에 의해 게터링되고 휘발성 염화 니켈로 전환되어 대기 중으로 이탈하여 니켈이 제거되는 것으로 고려된다. 이 공정에 의해, 활성층(209, 210, 211)내의 니켈의 농도는  $5 \times 10^{17}$  원자/ $\text{cm}^3$  이하로까지 낮아진다.

한편,  $5 \times 10^{17}$  원자/ $\text{cm}^3$ 의 값은 SIMS(이차 이온 질량 분석)의 검출 하한이다. 본 발명자들에 의해 시작(試作)된 TFT의 분석 결과, 니켈 농도가  $1 \times 10^{18}$  원자/ $\text{cm}^3$  이하(바람직하게는  $5 \times 10^{17}$  원자/ $\text{cm}^3$  미만)인 경우, TFT 특징에 대한 니켈의 영향이 확인되지 않았으나, 본 명세서에서의 불순물 농도는 SIMS 분석의 측정 결과의 최소 값으로서 정의된다.

또한, 상기 가열처리에 의해, 게이트 절연막(212)과 활성층(209, 210, 211) 사이의 계면에서 열산화가 진행하여, 게이트 절연막(212)의 두께가 열산화막의 두께만큼 증가한다. 이렇게 열산화막이 형성되면, 매우 적은 계면 준위를 갖는 반도체/절연막의 계면이 얻어질 수 있다. 또한, 활성층의 단부에서의 열산화막의 형성 불량(엣지 시닝(edge thinning))을 방지하는 효과도 있다.

또한, 상기 할로겐 분위기에서의 가열처리를 행한 후, 질소 분위기에서 대략 950°C로 1시간의 가열처리를 행하여 게이트 절연막(212)의 막질을 향상시키는 것도 효과적이다.

한편, 게터링 공정에 사용된 할로겐 원소가  $1 \times 10^{15} \sim 1 \times 10^{20}$  원자/ $\text{cm}^3$ 의 농도로 활성층(209, 210, 211)에 잔존하는 것도 SIMS 분석에 의해 확인되었다. 또한, 이때, 활성층(209, 210, 211)과 가열처리에 의해 형성된 열산화막 사이에 상기 할로겐 원소가 고농도로 분포하는 것도 SIMS 분석에 의해 확인되었다.

다른 원소에 대한 SIMS 분석의 결과, 대표적인 불순물인 C(탄소), N(질소), O(산소), S(황) 각각의 농도가  $5 \times 10^{18}$  원자/ $\text{cm}^3$  미만(대표적으로는  $1 \times 10^{18}$  원자/ $\text{cm}^3$  이하)인 것이 확인되었다.

다음, 도 3(A)~도 3(D)를 참조한다. 알루미늄을 주성분으로 하는 금속 막(도시되지 않음)을 형성하고, 패터닝에 의해 후의 게이트 전극의 원형(原型)(213, 214, 215)을 형성한다. 본 실시예에서는, 2 wt%의 스칸듐을 함유한 알루미늄 막을 사용하였다. 이 공정까지의 상태가 도 3(A)에 도시되어 있다. 한편, 원형(213)의 일부는 후에 P채널 FAMOS형 TFT의 플로팅 게이트가 된다.

다음, 일본 공개특허공고 평7-135318호 공보에 개시된 기술에 의해, 다공성 양극산화막(216, 217, 218), 무공성(無孔性) 양극산화막(219, 220, 221), 및 게이트 전극(222, 223, 224)을 형성한다. 이 공정까지의 상태가 도 3(B)에 도시되어 있다.

이렇게 하여, 도 3(B)에 나타낸 상태가 얻어진 후, 게이트 전극(222, 223, 224) 및 다공성 양극산화막(216, 217, 218)을 마스크로 하여 게이트 절연막(212)을 에칭한다. 그 다음, 다공성 양극산화막(216, 217, 218)을 제거하여, 도 3(C)에 나타낸 상태를 얻는다. 한편, 도 3(C)에서 부호 225, 226, 227은 가공후의 게이트 절연막을 나타낸다.

다음, 게이트 전극(222)을 분할하여 플로팅 게이트를 형성한다. 이 공정까지의 상태가 도 3(D)에 도시되어 있다.

다음, 도 4(A)~도 4(E)를 참조한다. 일 전도성을 부여하는 불순물 원소의 첨가를 행한다. 불순물 원소로서는, N형에 대해서는 P(인) 또는 As(비소), P형에 대해서는 B(붕소)가 사용될 수 있다.

본 실시예에서는, 불순물 첨가를 2회의 공정으로 나누어 행하였다. 첫번째 불순물 첨가(본 실시예에서는 P(인)가 사용된다)를 약 80 KeV의 높은 가속 전압으로 행하여 n- 영역을 형성한다. n- 영역에서의 P 이온의 농도가  $1 \times 10^{17}$  원자/cm<sup>3</sup> 이상(바람직하게는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이상)이 되도록 조절한다.

그리고, 두번째 불순물 첨가를 약 10 KeV의 낮은 가속 전압으로 행하여 n+ 영역을 형성한다. 이때 가속 전압이 낮기 때문에, 게이트 절연막이 마스크로서 기능한다. n+ 영역의 시트 저항이 500 Ω 이하(바람직하게는 300 Ω이하)가 되도록 조절한다.

상기 공정들을 통해, N채널형 TFT의 소스 영역(228), 드레인 영역(229), 저농도 불순물 영역(230), 및 채널 형성 영역(231)이 형성된다. 또한, 화소 TFT를 구성하는 N채널형 TFT의 소스 영역(232), 드레인 영역(233), 저농도 불순물 영역(234), 및 채널 형성 영역(235)이 확정(劃定)된다. 이 공정까지의 상태가 도 4(A)에 도시되어 있다. 본 실시예에서는, 반도체 활성층의 채널 형성 영역에서의 짹짓지 않은 결합(unpaired bond)의 수가 소스 및 드레인 영역에서의 것보다 적다. 이것은 채널 형성 영역이 단결정 또는 실질적으로 단결정을 되어 있기 때문이라고 생각된다.

도 4(A)에 나타낸 상태에서, P채널형 TFT의 활성층도 N채널형 TFT의 활성층과 동일한 구성을 가진다.

다음, 도 4(B)에 나타낸 바와 같이, N채널형 TFT를 덮는 레지스트 마스크(236)를 제공하고, P형을 부여하는 불순물 이온(본 실시예에서는 붕소가 사용된다)을 첨가한다. 붕소 이외의 불순물로서 Ga 및 In이 사용될 수도 있다.

이 공정도 상기한 불순물 첨가 공정과 같이 2회의 공정으로 나뉘어 행하지만, N형이 P형으로 반전되어야 하기 때문에, 상기한 P 이온의 첨가 농도의 수 배 높은 농도로 B(붕소) 이온을 첨가한다. 이렇게 하여 형성된 p- 영역에서의 P형 이온의 농도는  $1 \times 10^{17}$  원자/cm<sup>3</sup> 이상(바람직하게는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이상)이 되도록 조절한다.

이렇게 하여, P채널형 TFT의 소스 영역(237), 드레인 영역(238), 저농도 불순물 영역(239), 채널 형성 영역(240)이 형성된다. 이 공정까지의 상태가 도 4(B)에 도시되어 있다. 저농도 불순물 영역에서의 P형 이온의 농도는  $1 \times 10^{17}$  원자/cm<sup>3</sup> 이상(바람직하게는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이상)이 되도록 조절한다. P형 이온의 농도를 이 범위로 조절함으로써, 충돌 이온화가 일어나기 쉽게 되는 경우가 있다.

상기한 방식으로 활성층이 완성된 후, 노(furnace) 어닐, 레이저 어닐, 램프 어닐 등의 조합에 의해 불순물 이온의 활성화를 행한다. 동시에, 첨가 공정들에서 발생된 활성층의 손상도 치유된다.

P채널 FAMOS형 TFT의 컨트롤 게이트 전극(241)을 제조한다. 이 컨트롤 게이트 전극(241)은 무공성 양극산화막(219)의 상면 및 측면과 접하여 형성되기 때문에, 컨트롤 게이트 전극(241)과 플로팅 게이트 전극(222') 사이의 절연성이 유지된다. 이 공정까지의 상태가 도 4(C)에 도시되어 있다.

다음, 도 4(D)에 도시된 바와 같이, 층간절연막(241)으로서, 산화규소막과 질화규소막의 적층 막을 형성한다. 도 4(E)는 도 4(D)에 도시된 FAMOS형 TFT의 상면도이다.

다음, 도 5(A)~도 5(C)를 참조한다. 층간절연막(242)에 콘택트 홀을 형성한 다음, 소스 전극(243, 244, 245) 및 드레인 전극(246, 247)을 형성하여, 도 5(A)에 나타낸 상태를 얻는다.

다음, 도 5(B)에 도시된 바와 같이, 유기성 수지 막으로 된 제2 층간절연막(249)을  $0.5\sim3\ \mu\text{m}$ 의 두께로 형성한다. 이 유기성 수지막으로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드 등이 사용될 수 있다. 제2 층간절연막(249)으로서 유기성 수지 막을 사용하는 이점으로서는, (1) 성막 방법이 간단하다는 것, (2) 막 두께를 두껍게 하는 것이 용이하다는 것, (3) 비유전율이 낮기 때문에 기생 용량을 감소시킬 수 있다는 것, (4) 평탄성이 우수하다는 것 등을 들 수 있다.

다음, 도 5(B)에 도시된 바와 같이, 블랙 마스크(250)를 형성한다.

다음, 산화규소막, 질화규소막, 유기성 수지막, 또는 이들의 적층 막 중 하나로 된 제3 층간절연막(251)을  $0.1\sim0.3\ \mu\text{m}$ 의 두께로 형성한다. 이 제3 층간절연막(251)에 콘택트 홀을 형성한 후, 형성된 도전성 막을 패터닝하여 화소 전극(252)을 형성한다. 본 실시예는 투과형 액정표시장치에 관한 것이기 때문에, 화소 전극(252)을 구성하는 도전성 막으로서 ITO와 같은 투명 도전 막이 사용된다.

도 5(B)에 나타낸 구성에서는, 화소 전극(252) 및 블랙 마스크(250)가 제3 층간절연막(251)을 사이에 두고 서로 중첩되는 영역에 보조 용량이 형성된다.

도 5(B)에 나타낸 구성에서는, 넓은 면적을 차지하기 쉬운 보조 용량을 TFT 위에 형성함으로써 개구율의 저하를 방지하는 것이 가능하다. 또한, 높은 유전율 및 적절한 두께를 갖는 질화규소막이 사용되는 경우, 작은 면적으로 매우 큰 용량을 확보하는 것이 가능하다.

다음, 기판 전체를 수소 분위기에서 약  $350^{\circ}\text{C}$ 의 온도로 1~2시간 가열하여 소자 전체를 수소화하여, 막(특히 활성층) 중의 맹글링 결합(dangling bond)(짝짓지 않은 결합)을 보상한다. 상기 공정들을 통해, 동일 기판 상에 CMOS 회로와 화소 매트릭스 회로를 제조하는 것이 가능하다.

다음, 도 5(C)에 나타낸 바와 같이, 상기 공정들을 통해 제조된 액티브 매트릭스 기판을 사용하여 액정 패널을 제조하는 공정을 설명한다.

도 5(B)에 나타낸 상태의 액티브 매트릭스 기판 상에 배향막(253)을 형성한다. 본 실시예에서는, 배향막(253)에 폴리이미드를 사용하였다. 다음, 유리 기판(254), 투명 도전 막(255), 및 배향막(256)으로 구성된 대향 기판을 준비한다.

본 실시예에서는, 배향막으로서, 액정 문자가 기판에 평행하게 배향되는 폴리이미드막을 사용하였다. 또한, 배향막이 형성된 후, 러빙(rubbing) 처리를 행하여, 액정 문자가 어느 일정한 프리틸트(pre-tilt) 각으로 평행하게 배향되게 한다.

필요에 따라 블랙 마스크, 컬러 필터 등이 대향 기판 상에 형성되지만, 여기서는 이들을 생략한다.

다음, 상기 공정들을 통해 얻어진 액티브 매트릭스 기판과 대향 기판을 공지의 셀 조립 공정에 의해 밀봉 부재 또는 스페이서(도시되지 않음)를 통해 서로 접합한다. 그 후, 양 기판 사이에 액정재료(257)를 주입하고, 밀봉제(도시되지 않음)에 의해 완전히 밀봉한다. 그리하여, 도 5(C)에 나타낸 바와 같은 투과형 액정 패널이 완성된다.

본 실시예에서는, 액정 패널이 TN 모드로 표시를 행하도록 설계되었다. 따라서, 한 쌍의 편광판(도시되지 않음)을, 크로스 니콜(cross nicol)(한 쌍의 편광판의 편광축이 서로 직교하는 상태로 배치됨)로 편광판들 사이에 액정 패널이 보유되도록 배치한다.

따라서, 본 실시예에서는, 액정 패널의 화소 TFT에 전압이 인가되지 않은 때 광이 투과하는 노멀리 화이트 모드로 표시를 행한다.

도 6은 FAMOS형 TFT를 포함하는 메모리 셀, 화소 TFT 및 논리 회로가 동일 기판 상에 일체로 형성되어 있는 상태를 나타낸다.

도 7(A)~도 7(C)는 본 실시예의 액정 패널의 외관을 개략적으로 나타낸다. 이들 도면에서, 부호 701은 석영 기판, 702는 화소 매트릭스 회로, 703은 소스선 측 드라이버 회로, 704는 게이트 신호선 측 드라이버 회로, 705는 신호 처리 회로와 같은 논리 회로 및 비휘발성 메모리 회로를 나타낸다. 부호 706은 대향 기판을 나타내고, 707은 FPC(flexible print circuit) 단자를 나타낸다. 일반적으로, 액정 모듈이라 불리는 것은 FPC를 부착된 상태의 액정 패널이다.

논리 회로(705)는 넓은 의미에서는 TFT로 구성된 모든 논리 회로를 포함하지만, 통상 화소 매트릭스 회로 또는 드라이버 회로로 불리는 회로와 구별하기 위해, 본 명세서에서의 논리 회로(705)는 그러한 회로 이외의 회로를 지칭한다.

본 실시예의 비휘발성 메모리에는, 화상 신호를 감마 보정하기 위한 데이터가 기억되어 있다. 이 데이터는 각각의 액정 표시장치에 고유의 데이터이고, 제조 후에 감마 보정 데이터를 작성할 때 비휘발성 메모리에 저장된다.

비휘발성 메모리에 사용되는 FAMOS형 TFT의 플로팅 게이트 및/또는 컨트롤 게이트에 Si가 사용되는 경우에도, 비휘발성 메모리는 주변 회로 및 논리 회로와 동일한 구조를 가지므로, 본 발명이 적용될 수 있다.

본 실시예의 비휘발성 메모리에서는, 플로팅 게이트 전극을 제조할 때 형성된 무공성 양극산화막을 사이에 두고 컨트롤 게이트 전극이 형성되어 있다.

도 8을 참조하면, 컨트롤 게이트 전극과 플로팅 게이트 전극 사이의 용량이 C2로 표시되고, 플로팅 게이트 전극과 활성층 사이의 용량이 C1로 표시되고, 게이트 전압이 Vc로 표시되고, 드레인 전압이 Vd로 표시되고, 소스가 접지된 때, 플로팅 게이트 전극에는 용량 분할 전압 Vf가 발생된다. Vf는 이하의 식으로 나타내어질 수 있다.

$$Vf = \frac{C2 Vc + C3 Vd}{C1 + C2 + C3}$$

본 실시예에서는, 플로팅 게이트와 컨트롤 게이트 사이의 용량(C3)이 크기 때문에, Vf가 크게 되고, 플로팅 게이트 전극에 캐리어가 주입되기 쉽다.

## [실시예 2]

본 실시예에서는, FAMOS형 TFT의 컨트롤 게이트 전극의 제작공정이 실시예 1에서의 것과 다르다. 다른 공정은 실시예 1과 동일하므로, 실시예 1을 참조하고 본 실시예에서는 설명을 생략한다. 본 실시예의 액정 표시장치에서는, 본 실시예의 비휘발성 메모리가 감마 보정 데이터를 기억하는 기억 수단으로서 사용된다. 구동 회로와 같은 주변 회로에 대표적으로 사용되는 CMOS 회로도 동일 공정으로 제조될 수 있다. 본 실시예에서는 각각 1개의 게이트 전극을 갖는 P채널형 TFT와 N채널형 TFT의 회로의 제작공정을 설명하지만, 다수의 게이트 전극을 갖는 이중 게이트형 회로도 유사한 공정으로 제조될 수 있다.

도 9(A)~도 9(C)를 참조한다. 도 9(A)는 실시예 1의 도 4(B)의 공정이 완료된 후의 상태에 대응하는 상태를 나타낸다. 도 9(A) 이전의 공정에 대해서는 실시예 1을 참조할 수 있다. 도 9(A)에서, 부호 901은 하지(下地) 기판을 나타내고, 부호 903은 P채널 FAMOS형 TFT의 소스 영역, 902는 드레인 영역 904는 저농도 불순물 영역, 905는 채널 형성 영역, 906은 게이트 절연막, 907은 플로팅 게이트 전극, 908은 무공성 양극산화막을 나타낸다. 부호 909는 N채널형 TFT의 소스 영역, 910은 드레인 영역, 911은 저농도 불순물 영역, 912는 채널 형성 영역, 913은 게이트 절연막, 914는 게이트 전극, 915는 무공성 양극산화막을 나타낸다. 부호 916은 화소 TFT를 구성하는 N채널형 TFT의 소스 영역, 917은 드레인 영역, 918은 저농도 불순물 영역, 919는 채널 형성 영역, 920은 게이트 절연막, 921은 게이트 전극, 922는 무공성 양극산화막을 나타낸다.

다음, 도 9(B)에 나타낸 바와 같이, 층간절연막(923)으로서 산화규소막과 질화규소막의 적층 막을 형성한다.

다음. 도 9(C)에 나타낸 바와 같이, 층간절연막(923)에 콘택트 홀을 형성한 후, P채널 FAMOS형 TFT의 소스 전극(924, 925, 926), 드레인 전극(927, 928), 및 컨트롤 게이트 전극(929)을 형성한다.

P채널 FAMOS형 TFT의 컨트롤 게이트 전극은 무공성 양극산화막(908)에 접속되어 있다.

다음, 실시예 1의 공정에 따라 유기성 수지 막으로 된 제2 층간절연막(도시되지 않음)을 형성한다. 그 후의 공정들도 실시예 1의 공정에 따라 실시한다.

본 실시예의 공정에 따라, FAMOS형 TFT를 포함하는 비휘발성 메모리를 가진 액정 표시장치가 제작공정의 증가 없이 제조될 수 있다.

### [실시예 3]

도 21(A)~도 21(E)를 참조한다. 도 21(A)~도 21(E)는 실시예 1에서 제조된 TFT의 첫번째 붕소 도즈량의 변화에 따른 게이트 누설 전류(IG)의 변화를 나타낸다. VD는 드레인 전압, ID는 드레인 전류, VG는 게이트 전압을 나타낸다.

도 21(A)~도 21(E) 및 도 23(B)는 붕소의 첫번째 붕소 도즈량을 0(없음)으로부터  $6 \times 10^{13}$  (6E13) 원자/cm<sup>3</sup>으로 변화시킨 때의 그래프를 나타낸다. 이때, 게이트 누설 전류는 피크 值(IG(peak)로 표시됨)을 갖는다. 이를 그래프로부터, 첫번째 붕소 도즈량이 증가하면, 게이트 누설 전류의 피크 값이 커진다는 것이 확인된다. 따라서, 저농도 불순물 영역이 존재하지 않을 때 게이트 누설 전류가 증가되므로, 플로팅 게이트 전극에 캐리어가 주입되기 쉽다.

도 23(B)는 첫번째 붕소 도즈량과 게이트 누설 전류의 피크 사이의 관계를 나타낸다.

본 실시예에서는, 첫번째 붕소 도즈량이 큰 때 게이트 누설 전류가 커진다는 관점에서, FAMOS형 TFT에 저농도 불순물 영역을 형성하지 않는다.

본 실시예에서는 FAMOS형 TFT의 불순물 이온 첨가 공정이 실시예 1에서의 것과 다르다. 본 실시예의 액정 표시장치에서는, 본 실시예의 비휘발성 메모리가 감마 보정 데이터를 기억하는 기억 수단으로 사용된다. 구동 회로와 같은 주변 회로에 대표적으로 사용되는 CMOS 회로도 유사한 공정으로 제조될 수 있다.

도 10(A)~도 10(D)를 참조한다. 도 10(A)는 실시예 1의 도 3(D)의 공정(플로팅 게이트 형성 공정)이 완료된 후의 상태에 대응하는 상태를 나타낸다. 도 10(A) 이전의 공정에 대해서는 실시예 1을 참조할 수 있다.

도 10(A)에서, 부호 1001은 하지 기판을 나타내고, 1002, 1003, 1004는 섬 형상의 반도체층(활성층)을 나타내고, 1005, 1006, 1007은 게이트 절연막을 나타내고, 1008, 1009, 1010은 게이트 전극을 나타내고(단, 1008은 FAMOS형 TFT의 플로팅 게이트이다), 1011, 1012, 1013은 무공성 양극산화막을 나타낸다.

먼저, FAMOS형 TFT에 대한 불순물 첨가를 행한다. 본 실시예에서는 불순물로서 B(붕소)가 사용되지만, Ga 및 In이 사용될 수도 있다. 불순물 첨가를 약 80 KeV의 가속 전압으로 행하여, 소스 영역(1014), 드레인 영역(1015) 및 채널 형성 영역(1016)을 형성한다. 이때, 원하는 영역 이외의 영역에 레지스트 마스크(1017)를 형성하여, 다른 영역에는 불순물이 첨가되지 않도록 한다.

다음에, FAMOS형 TFT 이외에 대한 불순물 첨가를 행한다. 본 실시예에서는, 불순물 첨가를 2회의 공정으로 나누어 행한다. 첫번째 공정에서의 불순물(본 실시예에서는 P(인)) 첨가를 레지스트 마스크(1018)의 형성 후 약 80 KeV의 높은 가속 전압으로 행하여 n- 영역을 형성한다. n- 영역에서의 P 이온 농도가  $1 \times 10^{18}$  원자/cm<sup>3</sup>~ $1 \times 10^{19}$  원자/cm<sup>3</sup>이 되도록 조절한다.

두번째 공정에서의 불순물 첨가를 약 10 KeV의 낮은 가속 전압으로 행하여 n+ 영역을 형성한다. 이 첨가에서는, 가속 전압이 낮기 때문에 게이트 절연막이 마스크로서 기능한다. n+ 영역에서의 시트 저항이 500 Ω 이하(바람직하게는 300 Ω이하)가 되도록 조절한다.

상기 공정들을 통해, N채널형 TFT의 소스 영역(1019), 드레인 영역(1020), 저농도 불순물 영역(1021) 및 채널 형성 영역(1022)이 형성된다. 화소 TFT를 구성하는 N채널형 TFT의 소스 영역(1023), 드레인 영역(1024), 저농도 불순물 영역(1025) 및 채널 형성 영역(1026)이 확정된다. 이 공정까지의 상태가 도 10(C)에 도시되어 있다.

도 10(C)에 나타낸 상태에서는, P채널형 TFT의 활성층도 N채널형 TFT의 활성층과 동일한 구조를 가진다.

다음, 도 10(D)에 나타낸 바와 같이, N채널형 TFT를 덮는 레지스트 마스크(1027)를 형성하고, P형을 부여하는 불순물 이온(본 실시예에서는 붕소)의 첨가를 행한다. 도 10(D)에는, FAMOS형 TFT 이외의 P채널형 TFT는 도시되지 않았다.

이 첨가 공정도 상기한 불순물 첨가 공정과 마찬가지로 2회의 공정으로 나누어 행한다. 이 공정에서는 N형을 P형으로 반전시킬 필요가 있으므로, B(붕소) 이온을 앞서 첨가된 P형 이온의 농도의 수 배 높은 농도로 첨가한다.

그리하여, P채널형 TFT의 소스 영역, 드레인 영역, 저농도 불순물 영역 및 채널 형성 영역이 형성된다. 이 공정까지의 상태가 도 10(D)에 도시되어 있다.

활성층 형성이 완료된 후, 노 어닐, 레이저 어닐, 램프 어닐 등의 조합에 의해 불순물 이온의 활성화를 행한다. 동시에, 첨가 공정에서 받은 활성층의 손상이 치유된다.

다음, P채널 FAMOS형 TFT의 컨트롤 게이트 전극(1028)을 형성한다. 이 컨트롤 게이트 전극(1028)은 도 11(A)에 나타낸 바와 같이 무공성 양극산화막(1011)을 둘러싸도록 형성된다. 따라서, 컨트롤 게이트 전극(1028)과 플로팅 게이트 전극(1008) 사이의 절연성이 유지된다.

다음, 도 11(B)에 나타낸 바와 같이, 층간절연막(1029)으로서 산화규소막과 질화규소막의 적층 막을 형성한다.

층간절연막(1029)에 콘택트 홀을 형성한 후, 소스 전극(1030, 1031, 1032) 및 드레인 전극(1033, 1034)을 형성하여, 도 11(C)에 나타낸 상태를 얻는다.

이 공정 후에는, 실시예 1의 도 5(B) 이후에 나타낸 공정들을 행한다.

본 실시예의 액정 패널의 단면도가 도 12에 나타내어져 있고, 이 도면에는, FAMOS형 TFT를 포함하는 메모리 셀, 화소 TFT 및 논리 회로가 동일 기판 상에 일체로 형성되어 있는 상태가 도시되어 있다. 논리 회로로서는, 실시예 1에서와 마찬가지로 CMOS 회로가 대표적으로 나타내어져 있다.

도 12에 나타낸 바와 같이, 메모리 셀의 P채널 FAMOS형 TFT의 반도체 활성층에는 저농도 불순물 영역이 형성되어 있지 않고, 다른 TFT들에는 저농도 불순물 영역(1201, 1202, 1203, 1204)이 형성되어 있다. 따라서, 플로팅 게이트 전극에 캐리어 주입이 일어나기 쉽게 되어, 양호한 메모리 기능이 실현된다.

#### [실시예 4]

본 실시예에서는, 메모리 셀을 구성하는 FAMOS형 TFT와 스위칭 TFT 모두를 P채널형 TFT로서 제조한다. 메모리의 디코더 및 다른 논리 회로를 구성하는 TFT는 N채널형 TFT와 P채널형 TFT로 구성된다. 본 실시예의 설명에서 생략한 모든 공정에 대해서는, 실시예 1의 공정을 참조할 수 있다.

도 13(A)~도 13(D)를 참조한다. 먼저, 절연 표면을 가진 기판으로서 석영 기판(1301)을 준비한다. 석영 기판 대신에, 표면에 열산화막이 형성된 실리콘 기판을 사용할 수도 있다. 또한, 석영 기판 상에 비정질 규소막을 형성한 다음, 그 막을 완전히 열산화하여 얻어진 기판이 사용될 수도 있다. 또한, 절연막으로서 질화규소막을 형성한 석영 기판 또는 세라믹 기판이 사용될 수도 있다.

부호 1302는 비정질 규소막을 나타내고, 이 규소막은 최종 막 두께(열산화 후의 막 감소를 고려한 막 두께)가 10~100 nm, 바람직하게는 20~80 nm가 되도록 조절된다. 그러한 막 두께로 조절함으로써, FAMOS형 TFT에서 충돌 이온화(impact ionization)가 일어나기 쉽게 되고, 플로팅 게이트에의 캐리어의 주입이 일어나기 쉽게 된다. 성막 시, 막 중의 불순물의 농도를 철저히 관리하는 것이 중요하다. FAMOS형 TFT의 비정질 규소막의 두께는 10~400 nm일 수 있고, 다른 TFT의 비정질 규소막의 두께는 20~80 nm일 수 있다. 이들 경우, 소망의 두께는 선택적 산화공정에 의해 얻어질 수 있다.

본 실시예에서는, 비정질 규소막(1302) 내의 대표적 불순물인 C(탄소), N(질소), O(산소) 및 S(황) 각각의 농도가  $5 \times 10^{18}$  원자/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이하가 되도록 관리한다. 이들 불순물이 이 값보다 높은 농도로 존재하면, 그 불순물이 결정화 시에 막에 악영향을 미칠 수 있고, 이것이 결정화 후의 막질을 저하시키는 원인이 될 수 있다.

비정질 규소막(1302) 내의 수소 농도도 매우 중요한 파라미터이다. 수소 농도를 억제함으로써, 양호한 결정성을 가진 막이 얻어질 수 있는 것으로 고려된다. 따라서, 비정질 규소막(1302)을 감압 CVD법으로 성막하는 것이 바람직하다. 성막 조건을 최적화하면, 플라즈마 CVD법을 사용하는 것도 가능하다.

다음, 비정질 규소막(1302)의 결정화 공정을 행한다. 결정화 수단으로서는, 일본 공개특허공고 평7-130652호 공보에 개시된 기술을 이용한다. 이 공보에 개시된 실시예 1 및 실시예 2의 어떠한 수단이라도 사용될 수 있지만, 본 실시예에서는, 상기 공보의 실시예 2에 기재된 기술 내용(상세한 것은 일본 공개특허공고 평8-78329호 공보에 설명되어 있음)을 이용하는 것이 바람직하다.

일본 공개특허공고 평8-78329호 공보에 개시된 기술에 따르면, 먼저, 촉매원소 첨가 영역을 선택하기 위한 마스크 절연막(1303)을 형성한다. 이 마스크 절연막(1303)은 촉매원소를 첨가하기 위한 다수의 개구부를 가지고 있다. 이 개구부의 위치에 의해 결정 영역의 위치를 결정할 수 있다.

비정질 규소막(1302)의 결정화를 조장하는 촉매원소로서 니켈(Ni)을 함유하는 용액을 스픈 코팅법에 의해 도포하여, Ni 함유 층(1304)을 형성한다. 촉매원소로서는, 니켈 이외에도, 코발트(Co), 철(Fe), 팔라듐(Pd), 백금(Pt), 구리(Cu), 금(Au), 게르마늄(Ge) 등이 사용될 수 있다. 이 공정까지의 상태가 도 13(A)에 도시되어 있다.

상기 촉매원소 첨가 공정으로서, 레지스트 마스크를 이용한 이온 주입법 또는 플라즈마 도핑법이 사용될 수도 있다. 이 경우, 첨가 영역의 점유 면적을 감소시키고 횡방향 성장 영역의 성장 거리를 제어하는 것이 용이하기 때문에, 상기 방법은 미세한 회로를 형성하는 경우 효과적인 기술이 된다.

다음, 촉매원소 첨가 공정의 완료 후, 450°C에서 1시간 정도 탈수소화를 행한 다음, 불활성 가스 분위기, 수소 분위기 또는 산소 분위기에서 500~700°C, 대표적으로는 550~650°C의 온도로 4~24시간 가열처리를 행하여 비정질 규소막(1302)의 결정화를 행한다. 본 실시예에서는, 질소 분위기에서 570°C로 14시간 가열처리를 행하였다.

이때, 비정질 규소막(1302)의 결정화는 니켈이 첨가된 영역(1305, 1306)에 발생된 핵으로부터 우선적으로 진행하고, 기판(1301)의 표면에 대략 평행하게 성장한 결정 영역(1307, 1308)이 형성된다. 이 결정 영역(1307, 1308)을 횡방향 성장 영역이라 부른다. 횡방향 성장 영역은 각각의 결정들이 비교적 균일한 상태로 집합되어 있기 때문에 전체적인 결정성이 우수하다는 이점을 가진다. 이 공정까지의 상태가 도 13(B)에 도시되어 있다.

결정화를 위한 가열처리가 종료된 후, 마스크 절연막(1303)을 제거하고, 패터닝을 행하여, 횡방향 성장 영역(1307, 1308)으로 된 섬 형상의 반도체층(활성층)(1309, 1310)을 형성한다. 이 공정까지의 상태가 도 13(C)에 도시되어 있다.

부호 1309는 P채널 FAMOS형 TFT의 활성층을 나타내고, 1310은 화소 매트릭스 회로를 구성하는 N채널형 TFT(화소 TFT)의 활성층을 나타낸다.

활성층(1309, 1310)이 형성된 후, 규소를 함유하는 절연막으로 된 게이트 절연막(1311)을 그 위에 형성한다. FAMOS형 TFT의 게이트 절연막의 두께는 10~50 nm일 수 있고, 다른 TFT들의 게이트 절연막의 두께는 50~200 nm일 수 있다. 게이트 절연막으로서,  $\text{SiO}_2$ ,  $\text{SiON}$  및  $\text{SiN}$ 이 사용될 수 있다.

다음, 도 13(D)에 나타낸 바와 같이, 촉매원소(니켈)를 제거하거나 감소시키기 위한 가열처리(촉매원소 게터링 공정)를 행한다. 이 가열처리에서는, 처리 분위기에 할로겐 원소를 첨가하여, 그 할로겐 원소에 의한 금속원소의 게터링 효과를 이용한다.

할로겐 원소에 의한 게터링 효과를 충분히 얻기 위해서는, 상기 가열처리를 700°C를 초과하는 온도에서 행하는 것이 바람직하다. 온도가 700°C 이하인 경우, 처리 분위기에서의 할로겐 화합물의 분해가 어렵게 되어, 게터링 효과가 얻어지지 않을 우려가 있다.

따라서, 본 실시예에서는, 가열처리를 700°C를 초과하는 온도, 바람직하게는 800~1000°C(대표적으로는 950°C)의 온도에서 행하고, 처리 시간은 0.1~6시간, 대표적으로는 0.5~1시간으로 한다.

본 실시예에서는, 0.5~10 vol%(본 실시예에서는, 3 vol%)의 염화 수소(HCl)를 함유한 산소 분위기에서 950°C로 30분간 가열처리를 행하는 예를 나타낸다. HCl의 농도가 상기한 농도보다 높으면, 활성층(1309, 1310)의 표면에 요철이 생기기 때문에, 그러한 높은 농도는 바람직하지 않다.

할로겐 원소를 함유한 화합물로서 HCl 가스를 사용하는 예를 나타냈지만, HCl 가스 이외에, 대표적으로는 HF, NF<sub>3</sub>, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BCl<sub>3</sub>, F<sub>2</sub> 및 Br<sub>2</sub>와 같은 할로겐 함유 화합물로부터 선택된 일 종류 또는 다수 종류의 가스가 사용될 수 있다.

또한, 할로겐 분위기에서의 가열처리를 행한 후에, 질소 분위기에서 950°C로 1시간 정도 가열처리를 행하여 게이트 절연막(1311)의 막질을 향상시키는 것이 효과적이다.

게터링 공정에서 사용된 할로겐 원소가 활성층(1309, 1310)중에  $1 \times 10^{15}$  원자/cm<sup>3</sup>~ $1 \times 10^{20}$  원자/cm<sup>3</sup>의 농도로 잔존하는 것이 SIMS 분석에 의해 확인되었다. 또한, 그 할로겐 원소가 활성층(1309, 1310)과 가열처리에 의해 형성된 열산화막 사이에 고농도로 분포하는 것이 SIMS 분석에 의해 확인되었다.

또한, 다른 원소에 대한 SIMS 분석의 결과, 대표적인 불순물인 C(탄소), N(질소), O(산소), S(황) 각각의 농도가  $5 \times 10^{18}$  원자/cm<sup>3</sup> 미만(대표적으로는  $1 \times 10^{18}$  원자/cm<sup>3</sup> 이하)인 것이 확인되었다.

다음, 도 14(A)~도 14(D)를 참조한다. 알루미늄을 주성분으로 하는 금속 막(도시되지 않음)을 형성하고, 패터닝에 의해 후의 게이트 전극의 원형(原型)(1312, 1313, 1314)을 형성한다. 본 실시예에서는, 2 wt%의 스칸듐을 함유한 알루미늄 막을 사용하였다. 이 공정까지의 상태가 도 14(A)에 도시되어 있다. 한편, 원형(1312)의 일부는 후에 P채널 FAMOS형 TFT의 플로팅 게이트가 된다.

다음, 일본 공개특허공고 평7-135318호 공보에 개시된 기술에 의해, 다공성 양극산화막(1315, 1316, 1317), 무공성(無孔性) 양극산화막(1318, 1319, 1320), 및 게이트 전극(1321, 1322, 1323)을 형성한다. 이 공정까지의 상태가 도 14(B)에 도시되어 있다.

이렇게 하여, 도 14(B)에 나타낸 상태가 얻어진 후, 게이트 전극(1321, 1322, 1323) 및 다공성 양극산화막(1315, 1316, 1317)을 마스크로 하여 게이트 절연막(1311)을 에칭한다. 그 다음, 다공성 양극산화막(1315, 1316, 1317)을 제거하여, 도 14(C)에 나타낸 상태를 얻는다. 한편, 도 14(C)에서 부호 1324, 1325, 1326은 가공후의 게이트 절연막을 나타낸다.

다음, 게이트 전극(1321)을 분할하여 플로팅 게이트(1321')를 형성한다. 이 공정까지의 상태가 도 14(D)에 도시되어 있다.

다음, 도 15(A)~도 15(D)를 참조한다. 일 전도성을 부여하는 불순물 원소의 첨가를 행한다. 불순물 원소로서는, N형에 대해서는 P(인) 또는 As(비소), P형에 대해서는 B(붕소)가 사용될 수 있다.

본 실시예에서는, 불순물 첨가를 2회의 공정으로 나누어 행하였다. 첫번째 불순물 첨가(본 실시예에서는 P(인)가 사용된다)를 약 80 KeV의 높은 가속 전압으로 행하여 n- 영역을 형성한다. n- 영역에서의 P 이온의 농도가  $1 \times 10^{18}$ ~ $1 \times 10^{19}$  원자/cm<sup>3</sup>가 되도록 조절한다.

그리고, 두번째 불순물 첨가를 약 10 KeV의 낮은 가속 전압으로 행하여 n+ 영역을 형성한다. 이때 가속 전압이 낮기 때문에, 게이트 절연막이 마스크로서 기능한다. n+ 영역의 시트 저항이 500 Ω 이하(바람직하게는 300 Ω이하)가 되도록 조절한다.

상기 공정들을 통해, N채널형 TFT의 소스 영역, 드레인 영역, 저농도 불순물 영역, 및 채널 형성 영역(이들 모두가 도면에는 도시되지 않았다)이 형성된다. 또한, 화소 TFT를 구성하는 N채널형 TFT의 소스 영역(1324), 드레인 영역(1325), 저농도 불순물 영역(1326), 및 채널 형성 영역(1327)이 확정(劃定)된다. 이 공정까지의 상태가 도 15(A)에 도시되어 있다.

도 15(A)에 나타낸 상태에서, P채널형 TFT의 활성층도 N채널형 TFT의 활성층과 동일한 구성을 가진다.

다음, 도 15(B)에 나타낸 바와 같이, N채널형 TFT를 덮는 레지스트 마스크(1328)를 제공하고, P형을 부여하는 불순물 이온(본 실시예에서는 붕소가 사용된다)을 첨가한다.

이 공정도 상기한 불순물 첨가 공정과 같이 2회의 공정으로 나뉘어 행한다. 이 공정에서는 N형이 P형으로 반전되어야 하기 때문에, 상기한 P 이온의 첨가 농도의 수 배 높은 농도로 B(붕소) 이온을 첨가한다.

이렇게 하여, P채널형 TFT의 소스 및 드레인 영역(1332, 1333) 및 채널 형성 영역(1334, 1335)이 형성된다. 이 공정까지의 상태가 도 15(B)에 도시되어 있다.

활성층이 완성된 후, 노 어닐, 레이저 어닐, 램프 어닐 등의 조합에 의해 불순물 이온의 활성화를 행한다. 동시에, 첨가 공정들에서 발생된 활성층의 손상도 치유된다.

다음, 도 15(C)에 도시된 바와 같이, 충간절연막(1336)으로서, 산화규소막과 질화규소막의 적층 막을 형성한다.

충간절연막(1336)에 콘택트 홀을 형성한 다음, 소스 및 드레인 전극(1337, 1338, 1339, 1340) 및 P채널 FAMOS형 TFT의 컨트롤 게이트 전극(1341)을 형성한다.

P채널 FAMOS형 TFT의 컨트롤 게이트 전극은 무공성 양극산화막(1318)의 상면에 접속되어 있다.

다음, 실시예 1의 공정에 따라, 유기성 수지 막으로 된 제2 충간절연막(도시되지 않음)을 형성한다. 그 후의 공정들도 실시예 1의 공정에 따라 행한다.

도 16(A)는 본 실시예의 비휘발성 메모리의 개략 회로도를 나타낸다. 도 16(B)는 도 16(A)의 선A-A'를 따라 취한 단면도를 나타내고, 도 16(C)는 도 16(A)의 등가 회로도를 나타낸다.

도 16(A)에서, 부호 1601~1604는 TFT(Tr1~Tr8)를 구성하는 반도체 층을 나타낸다. 부호 1605~1608은 TFT(Tr2, Tr4, Tr6, Tr8)의 게이트 전극 및 게이트 신호선에 사용되는 제1 배선층을 나타낸다. TFT(Tr1, Tr3, Tr5, Tr7)의 플로팅 게이트 전극(1613~1616)이 제1 배선층과 동시에 형성되고, 패터닝된 후에, 이들은 플로팅 상태가 된다. 부호 1609~1612는 Tr2, Tr4, Tr6, Tr8의 게이트 전극을 나타내고, 부호 1617~1624는 각각의 TFT의 소스 및 드레인 영역에 접속되는 신호선으로 사용되고 Tr1, Tr3, Tr5, Tr7의 컨트롤 게이트 전극으로 사용되는 제2 배선층을 나타낸다. 도 16(A)에서, 부호 1625로 나타낸 것과 같은 검은 색으로 칠해진 부분은 그 배선층이 그 아래의 배선층 또는 반도체층과 접촉하여 있는 것을 나타낸다. 한편, 도 16(A)에서, 동일 무늬를 갖는 배선은 동일 배선층을 나타낸다.

본 실시예의 비휘발성 메모리의 동작에 대하여 도 16(C)를 참조하여 설명한다. 본 실시예의 비휘발성 메모리도 실시예 1과 마찬가지로 메모리 셀들이 매트릭스 형태로 배치된 구조를 갖는다. 도 16(C)에서, 부호 A0, B0, C0, D0, A1, B1, C1 및 D1이 신호선들에 부여되어 있다. 메모리 셀들에는 부호 (0,0) 내지 (1,1)이 부여되어 있다. 여기서는, 메모리 셀(1,1)을 예로 들어 그의 동작을 설명한다.

먼저, 메모리 셀(1,1)에 데이터를 기입하는 경우, 50 V의 고전압이 신호선(C1)에 인가되고, -5 V의 전압이 신호선(D1)에 인가된다. 그리고, 신호선(B1)이 접지되고, 5 V의 전압이 신호선(A1)에 인가되면, TFT(Tr1)의 플로팅 게이트에 전하가 축적된다. TFT(Tr1)의 플로팅 게이트에 축적된 전하는 유지된다.

다음, 메모리 셀(1,1)로부터 데이터를 판독하는 경우, 0 V의 전압이 신호선(C1)에 인가되고, -5 V의 전압이 신호선(D1)에 인가된다. 그리고, 신호선(B1)이 접지되면, 기억된 신호가 신호선(A1)으로부터 판독된다.

상기 동작을 아래의 표 2에 요약한다.

[표 2]

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
기입 시	0 또는 -5	접지	50	-5
판독 시		접지	0	-5

메모리 셀에 기억되어 있는 데이터는 X선, 자외선 또는 전자빔 등을 비휘발성 메모리에 조사하거나 비휘발성 메모리를 가열함으로써 소거될 수 있다.

## [실시예 5]

본 실시예에서, 메모리에 측정된 캐리어를 전기적으로 소거할 수 있는 EEPROM에 대하여 설명한다.

도 18(A) 및 도 18(B)를 참조한다. 도 18(A)는 본 실시예의 EEPROM의 구성을 나타낸다. 부호 1901은 P채널형 TFT의 채널 영역, 1902 및 1903은 소스 및 드레인 영역, 1904는 게이트 절연막, 1905는 플로팅 게이트 전극, 1906은 양극산화막, 1907은 소스 전극, 1908은 컨트롤 전극을 나타낸다. 부호 1909는 스위칭 TFT의 저농도 불순물 영역, 1920은 채널 영역, 1921은 게이트 절연막, 1923은 게이트 전극, 1924는 양극산화막, 1926은 층간절연막을 나타낸다.

도 18(B)는 본 실시예의 EEPROM이 매트릭스 형태로 배치되어 있는 메모리를 나타낸다. 부호 1927 및 1928은 어드레스 디코더를 나타낸다.

본 실시예의 메모리의 동작을 아래의 표 3에 요약한다.

[표 3]

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
기입 시	0 또는 -5	접지	50	-5
판독 시		접지	0	-5
소거		접지	-50	-5

본 실시예의 메모리는 실시예 1~4에 설명된 바와 같은 반도체 표시장치에 사용된다.

## [실시예 6]

본 실시예에서는, 실시예 1과 유사한 반도체 표시장치에서 게이트 전극에 Ta(탄탈) 또는 탄탈 합금을 사용한 경우에 대하여 설명한다.

게이트 전극에 Ta 또는 Ta 합금을 사용하면, 약 450°C ~ 약 600°C에서 열산화를 행할 수 있어, 막질이 우수한  $Ta_2O_3$  막과 같은 산화막이 게이트 전극 상에 형성된다. 이 산화막은 실시예 1에서 설명된 바와 같이 게이트 전극에 Al(알루미늄)을 사용한 때 형성되는 산화막보다 우수한 막질을 가진다는 것이 알려져 있다.

이것은, 절연막의 내압 평가 방법 중 하나인 J-E 특성(전류 밀도-전계 강도 특성)에서, Ta 또는 Ta 합금의 산화막이 Al의 산화막보다 우수한 특성을 가진다는 사실로부터 밝혀졌다.

$Ta_2O_3$ 는 약 11.6의 비유전율을 가지고, 플로팅 게이트와 컨트롤 게이트 사이의 용량(C3)(실시예 1의 식 참조)이 크기 때문에, 게이트 전극에 Al을 사용한 경우에 비하여 플로팅 게이트에 전하가 보다 쉽게 주입된다는 이점도 있다.

또한, 게이트 전극에 Ta을 사용한 경우, 상기 실시예들에서와 같이 양극산화를 행하는 것도 가능하다.

또한, 실시예 1~5에서도, 게이트 전극에 Ta 또는 Ta 합금을 사용할 수 있다.

## [실시예 7]

실시예 1~6에 설명된 액정 표시장치는 액정 표시장치가 설치되는 반도체 표시장치에 사용된다. 반도체장치의 예로서는, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터 및 휴대형 정보 단말기(예를 들어, 모바일 컴퓨터 및 휴대 전화기)를 들 수 있고, 그들 중 몇몇 예를 도 17(A)~도 17(E)에 나타낸다.

도 17(A)는 본체(1701), 카메라부(1702), 수상부(1703), 조작 스위치(1704), 및 액정 표시장치(1705)로 구성된 모바일 컴퓨터를 나타낸다.

도 17(B)는 본체(1711), 액정 표시장치(1712), 및 랜드부(1713)로 구성된 헤드 장착형 표시장치를 나타낸다.

도 17(C)는 본체(1721), 광원(1722), 액정 표시장치(1723), 광학계(1724), 및 스크린(1725)으로 구성된 투영형 프로젝터를 나타낸다.

도 17(D)는 본체(1731), 음성 출력부(1732), 음성 입력부(1733), 액정 표시장치(1734), 조작 스위치(1735), 및 안테나(1736)로 구성된 휴대 전화기를 나타낸다.

도 17(E)는 본체(1741), 액정 표시장치(1742), 음성 입력부(1743), 조작 스위치(1744), 배터리(1745) 및 수상부(1746)로 구성된 비디오 카메라를 나타낸다.

#### [실시예 8]

실시예 1~7에서는, 표시 매체로서 액정을 사용하는 경우에 대하여 설명하였지만, 본 발명의 반도체 표시장치에 액정과 폴리머의 혼합 층을 사용하여, 소위 폴리머 분산형 액정 표시장치를 제작할 수도 있다. 또한, 본 발명은 인가 전압에 응답하여 광학 특성이 변조될 수 있는 다른 표시 매체를 구비한 어떠한 표시장치에도 사용될 수 있다. 예를 들어, 본 발명은 표시 매체로서 전계 발광(EL) 소자를 이용하는 표시장치에도 적용될 수 있다. 이 경우에도, 실시예 1에서 설명된 공정들이 메모리, 주변 회로 등을 포함하는 액티브 매트릭스 기판의 제조에 이용될 수 있다.

실시예 6에 설명된 바와 같은 게이트 전극에 탄탈 및 탄탈 합금을 사용할 수 있다.

실시예 1~4의 제작공정에 의해 제조된 반도체 박막에 대하여 설명한다. 실시예 1~4의 제작공정에 따르면, 비정질 규소막을 결정화하여, "연속 입계 결정 규소"(소위 Continuous Grain Silicon: CGS)라 부르는 결정성 규소막을 얻을 수 있다.

실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 횡방향 성장 영역은 봉 형상 또는 편평한 봉 형상 결정들의 집합체로 이루어진 특이한 결정 구조를 나타낸다. 그 특징을 아래에 설명한다.

#### [활성층의 결정 구조에 관한 지견(知見)]

실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 횡방향 성장 영역은 미시적으로 보면 다수의 봉 형상(또는 편평한 봉 형상) 결정들이 서로 대략 평행하게 특정 방향으로의 규칙성을 가지고 배열된 결정 구조를 갖는다. 이것은 TEM(투과형 전자 현미경법)에 의한 관찰로 쉽게 확인될 수 있다.

본 발명자들은 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 결정 입계를 HR-TEM(고분해능 투과형 전자 현미경법)을 사용하여 800만배 확대하여 상세히 관찰하였다. 그 결과를 도 24(A)에 나타내었다. 본 명세서에서, 달리 특정하지 않는 한, 결정 입계란, 상이한 봉 형상 결정이 서로 접촉하여 있는 경계에 형성되는 입계를 가리키는 것으로 정의한다. 따라서, 결정 입계는, 예를 들어, 별도의 횡방향 성장 영역들의 충돌에 의해 형성되는 거시적인 의미의 입계와는 다른 것으로 간주된다.

상기한 HR-TEM(고분해능 투과형 전자 현미경법)이란, 샘플에 전자빔을 수직으로 조사하고 투과 전자 또는 탄성 산란 전자의 간섭을 이용하여 원자 및 분자의 배열을 평가하는 방법이다. 이 방법을 사용함으로써, 격자 줄무늬(lattice stripe)로서 결정 격자의 배열 상태를 관찰하는 것이 가능하다. 따라서, 결정 입계를 관찰함으로써, 결정 입계에서의 원자끼리의 결합 상태를 추측할 수 있다.

본 발명자들에 의해 얻어진 TEM 사진(도 24(A))에서는, 2개의 상이한 결정립(봉 형상 결정립)이 결정 입계에서 서로 접촉하여 있는 상태가 명확하게 관찰된다. 이때, 2개의 결정립이 결정 축에 약간의 편차가 포함되지만 대략 {110} 배향인 것이 전자빔 회절에 의해 확인된다.

TEM 사진에 의한 격자 줄무늬의 관찰에서는, {111} 면에 대응하는 격자 줄무늬가 {110} 면에서 관찰되었다. {111} 면에 대응하는 격자 줄무늬란, 결정립을 격자 줄무늬를 따라 절단한 경우, {111} 면이 단면에 나타나는 격자 줄무늬를 가리킨다. 격자 줄무늬가 어느 면에 대응하는지를 격자 줄무늬들 사이의 거리에 의해 간단하게 확인할 수 있다.

실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 TEM 사진을 세밀하게 관찰한 결과, 매우 흥미 있는 지견(知見)을 얻었다. 사진에 보이는 2개의 상이한 결정립들 어느 것에서도, {111} 면에 대응하는 격자 줄무늬가 보였고, 또한, 양 결정립에서의 격자 줄무늬가 서로 명백하게 평행하다는 것이 관찰되었다.

또한, 결정 입계의 존재에 무관하게, 2개의 상이한 결정립의 격자 줄무늬는 결정 입계를 교차하도록 서로 접속되었다. 즉, 결정 입계를 교차하는 것으로 관찰되는 거의 모든 격자 줄무늬는 그들이 상이한 결정립의 격자 줄무늬라는 사실에도 불구하고 직선적으로 연속하여 있는 것이 확인되었다. 이것은 임의의 결정 입계에서도 사실이고, 전체 격자 줄무늬의 90% 이상(대표적으로는 95% 이상)이 결정 입계에서 연속성을 유지하였다.

이러한 타입의 결정 구조(정확하게는 결정 입계의 구조)는 2개의 상이한 결정립이 결정 입계에서 매우 높은 정합성을 가지고 서로 접합하여 있다는 것을 나타낸다. 즉, 결정 입계에서 결정 격자가 서로 연속적으로 이어져 있어, 결정 결합 등에 기인하는 트랩 준위가 쉽게 형성되지 않는 구성이 된다. 바꿔 말하면, 결정 입계에서 결정 격자에 연속성이 있다고 말 할 수 있다.

참고를 위해, 도 24(B)에서는, 본 발명자들이 종래의 다결정 규소막(소위 고온 폴리실리콘 막이라 불림)에 대해서도 전자빔 회절 및 HR-TEM 관찰에 의한 해석을 행하였다. 그 결과, 2개의 상이한 결정립에서, 각 결정립의 격자 줄무늬가 서로 상이한 방향으로 연장하였고, 결정 입계에서 정합성 좋게 연속하는 접합이 거의 존재하지 않았다는 것이 밝혀졌다. 즉, 결정 입계에서는 격자 줄무늬가 절단된 부분이 많았고, 많은 결정 결함이 존재하였다는 것이 밝혀졌다. 그러한 부분에서는, 짹짓지 않은 결합이 존재하고, 그 결합이 트랩 준위로서 캐리어의 이동을 차단하는 가능성이 높다.

본 발명자들은, 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막처럼, 격자 줄무늬가 양호한 정합성을 가지고 서로 대응하는 경우의 원자들의 결합 상태를 정합 결합(coordinated bond)이라 부른다. 대조적으로, 본 발명자들은 종래의 다결정 규소막에서 종종 보이는 바와 같이 격자 줄무늬가 양호한 정합성을 가지고 서로 대응하지 않는 경우의 원자들의 결합 상태를 비(非)정합 결합(또는 "짜짓지 않은 결합")이라 부른다.

본 발명에 사용된 반도체 박막은 결정 입계에서의 정합성이 매우 우수하기 때문에, 상기한 비정합 결합의 수가 매우 적다. 본 발명자들에 의해 행해진 임의의 다수의 결정 입계에 대한 연구 결과, 전체 결합에 대한 비정합 결합의 존재 비율은 10% 이하(바람직하게는 5% 이하, 더욱 바람직하게는 3% 이하)이었다. 즉, 전체 결합의 90% 이상(바람직하게는 95% 이상, 더욱 바람직하게는 97% 이상)이 정합 결합으로 구성되어 있다.

실시예 1~4의 제조 공정에 따라 형성된 횡방향 성장 영역을 전자빔 회절에 의해 조사한 결과를 도 25(A)에 나타낸다. 도 25(B)는 참고를 위한 종래의 고온 폴리실리콘 막의 대표적인 전자빔 회절 패턴을 나타낸다.

도 25(A) 및 도 25(B)에서, 전자빔의 조사(照射) 스폟(spot)의 직경을  $1.35 \mu\text{m}$ 로 하여 측정이 이루어졌기 때문에, 격자 줄무늬의 레벨에 비하여 충분히 큰 영역의 정보를 수집할 수 있는 것으로 고려될 수 있다.

도 25(C)는 단결정 규소의 {110} 면에 전자빔이 수직으로 조사된 경우의 전자빔 회절 패턴을 나타낸다. 통상, 그러한 전자빔 회절 패턴을 관찰 결과와 비교함으로써, 관찰 샘플의 배향성이 어떤지를 추측한다.

도 25(A)의 경우, <110> 입사에 대응하는 회절 스폟이 비교적 분명히 나타나기 때문에, 결정 축이 <110> 축이라는 것, 즉, 결정면이 {110} 면이라는 것이라는 확인될 수 있다.

개개의 스폟이 작은 동심원 형상의 확장을 가지는데, 이것은 결정 축을 중심으로 한 어느 정도의 회전각의 분포로부터 야기되는 것으로 추정된다. 확장의 정도는 패턴으로부터 평가하여도  $5^\circ$ 이내이다.

많은 관찰들 중, 회절 스폟이 부분적으로 보이지 않는 경우가 있었다(회절 스폟의 일부가 도 25(A)에서도 보이지 않는다). 결정이 대략 {110} 배향을 가질지라도, 결정 축이 약간 시프트(shift)되어 있기 때문에, 회절 패턴이 보이지 않게 되는 것으로 생각된다.

{111} 면이 거의 항상 결정면에 포함된다는 사실을 기초로 하여, 본 발명자들은 <111> 축을 중심으로 한 회전각의 시프트가 그러한 현상의 원인일 것이라고 추측한다.

한편, 도 25(B)에 나타낸 전자빔 회절 패턴의 경우, 회절 스폟은 명확한 규칙성을 나타내지 않고, 거의 랜덤하게 배향되어 있는 것이 확인된다. 즉, {110} 면 이외의 면 방위를 갖는 결정이 불규칙하게 혼재하여 있는 것으로 예상된다.

이들 결과로부터 보여지는 바와 같이, 본 발명의 결정성 규소막의 특징은, 거의 모든 결정립이 대략 {110} 면으로 배향되고, 결정 입계에서 결정 격자에 연속성을 갖는다는 것이다. 이들 특징은 종래의 폴리실리콘 막에서는 보이지 않는다.

상기한 바와 같이, 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막은 종래의 반도체 박막과 아주 다른 결정 구조(정확하게는 결정 입계의 구조)를 갖는 반도체 박막이다. 본 발명자들은 본 발명에서 사용된 반도체 박막에 관한 해석 결과를 일본 특허출원 평9-55633호, 평9-165216호 및 평9-212428호에서도 설명하였다.

본 발명자들은 일본 공개특허공고 평7-321339호 공보에 개시된 방법에 따라 X선 회절을 행하였고, 상기한 제조 방법에 의해 제조된 결정성 규소막에 대한 배향 비율을 계산하였다. 이 공보에서, 배향 비율은 아래의 식에 의해 나타내어지는 바와 같은 계산 방법으로 정의된다.

{220} 배향 존재비 = 1 (일정),

{111} 배향 존재비 = (샘플의 {111} 내지 {220}의 상대 강도)/(분말의 {111} 내지 {220}의 상대 강도),

{311} 배향 존재비 = (샘플의 {311} 내지 {220}의 상대 강도)/(분말의 {311} 내지 {220}의 상대 강도), 및

{220} 배향 비율 = ({220} 배향 존재비)/({220} 배향 존재비 + {111} 배향 존재비 + {311} 배향 존재비).

상기한 반도체 박막의 배향성을 X선 회절에 의해 측정한 결과의 일례를 도 28에 나타낸다. X선 회절 패턴에서, (220) 면에 대응하는 피크가 나타나지만, 이 면은 {110} 면과 등가이라는 것은 말할 필요도 없다. 이 측정의 결과, {110} 면이 주 배향이고, 배향 비율은 0.7 이상(대표적으로는 0.9 이상)인 것으로 밝혀졌다.

위에서 설명된 바와 같이, 실시예 1~4의 제조 공정에 의해 형성된 결정성 규소막은 종래의 폴리실리콘 막과 전혀 다른 결정 구조(결정 구조)를 갖는다는 것이 이해된다. 이점에서도, 본 발명의 결정성 규소막은 전혀 새로운 반도체막이라고 말 할 수 있다.

본 발명의 반도체 박막의 형성에서, 결정화 온도 이상의 온도에서의 어닐 공정은 결정립 내의 결함의 저하에 대하여 중요한 역할을 한다. 이것에 대하여 설명한다.

도 26(A)는 실시예 1~4의 결정화 공정 후의 결정성 규소막을 250,000배 확대한 TEM 사진이다. 화살표로 표시된 바와 같은 지그재그 형상으로 보이는 결함이 결정립 내에서 확인된다(검은 부분과 흰색 부분은 콘트라스트의 차이에 의해 나타난다).

그러한 결함들은 주로 규소 결정 격자 면의 원자들의 적층 순서가 어긋나는 적층 결함이지만, 전위의 경우도 있다. 도 26(A)는 {111} 면에 평행한 결함 면을 갖는 적층 결함을 나타내는 것으로 보인다. 이것은 지그재그 형상으로 보이는 결함이 약 70°로 구부러져 있는 사실로부터 추측될 수 있다.

도 26(B)는 실시예 1~4의 제조 공정에 의해 최종적으로 형성된 결정성 규소막을 동일한 확대비로 확대한 TEM 사진이다. 결정립 내에 적층 결함, 전위 등에 기인하는 결함이 거의 보이지 않고, 결정성이 매우 높은 것이 확인된다. 이러한 경향은 막 표면 전체에서 볼 수 있다. 현 상황에서는 결함의 수를 제로로 감소시키는 것이 어렵지만, 그 수를 실질적으로 제로로 보이는 정도로까지 낮추는 것이 가능하다.

따라서, 도 26(B)에 나타낸 결정성 규소막은, 결정립 내의 결함이 거의 무시될 수 있을 정도로 감소되고, 결정 입계가 높은 연속성에 기인하여 캐리어의 이동에 대한 장벽이 될 수 없기 때문에, 단결정 또는 실질적으로 단결정으로 간주될 수 있다.

도 26(A) 및 도 26(B)의 사진에 나타낸 결정성 규소막에서, 결정 입계가 거의 같은 연속성을 갖지만, 결정립 내의 결함의 수에는 큰 차이가 있다. 실시예 1~4의 제조 공정에 의해 형성된 결정성 규소막이 도 26(A)에 나타낸 결정성 규소막보다 훨씬 더 높은 전기적 특성을 나타내는 이유는 주로 결함 수의 차이 때문이다.

실시예 1~4의 제조 공정에 의해 형성된 결정성 규소막(도 26(B))은 결함의 수가 단지 결정화만이 행해진 결정성 규소막(도 26(A))보다 극히 적다는 특징을 가진다.

결함수의 차이는 ESR(Electron Spin Resonance: 전자 스핀 공명) 분석에 의한 스핀 밀도의 차이로서 나타난다. 현 상황에서는, 실시예 1~4의 제조 공정에 의해 형성된 결정성 규소막의 스핀 밀도는  $5 \times 10^{17}$  spin/cm<sup>3</sup> 이하(바람직하게는  $3 \times 10^{17}$  spin/cm<sup>3</sup> 이하)인 것이 확인된다. 그러나, 이 측정값은 현존하는 측정장치의 검출 한계에 가깝기 때문에, 실제의 스핀 밀도는 상기 값보다 낮을 것으로 예상된다.

본 발명자들은 상기한 결정 구조 및 특성을 가지는 실시예 1~4의 제조 공정에 의해 형성된 결정성 규소막을 연속 입계 결정 규소(Continuous Grain Silicon: CGS)라 부른다.

종래의 반도체 박막에서는, 결정 입계가 캐리어의 이동을 차단하는 장벽으로서 기능하지만, 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막에는 그러한 결정 입계가 실질적으로 존재하지 않기 때문에, 높은 캐리어 이동도가 실현될 수 있다. 따라서, 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막을 사용하여 제조된 TFT의 전기적 특성은 매우 우수한 값을 나타낸다. 이것을 이하에 설명한다.

#### [TFT의 전기적 특성에 관한 지견]

실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막은 실질적으로 단결정(결정 입계가 실질적으로 존재하지 않는다)으로 간주될 수 있기 때문에, 그 반도체 박막을 활성층으로 사용하는 TFT는 단결정 규소를 사용하는 MOSFET에 필적하는 전기적 특성을 나타낸다. 아래에 나타낸 바와 같은 결과가 본 발명자들에 의해 시작(試作)된 TFT로부터 얻어진다.

(1) TFT의 스위칭 성능(온/오프 동작 전환의 신속성)을 나타내는 지표로서의 서브스레시홀드(subthreshold) 계수는 N채널형 TFT와 P채널형 TFT 모두에서 60~100 mV/decade(대표적으로는 60~85 mV/decade)로 작다.

(2) TFT의 동작 속도를 나타내는 지표로서의 전계 효과 이동도( $\mu_{FE}$ )는 N채널형 TFT에서는 200~650 cm<sup>2</sup>/Vs(대표적으로는 250~300 cm<sup>2</sup>/Vs), P채널형 TFT에서는 100~300 cm<sup>2</sup>/Vs(대표적으로는 150~200 cm<sup>2</sup>/Vs)로 크다.

(3) TFT의 구동 전압을 나타내는 지표로서의 스레시홀드 전압( $V_{th}$ )은 N채널형 TFT에서는 -0.5~1.5 V, P채널형 TFT에서는 -1.5~0.5 V로 작다.

위에 설명된 바와 같이, 본 발명에서 얻어진 TFT는 매우 우수한 스위칭 특성 및 고속 동작 특성을 실현할 수 있다는 것이 확인된다.

한편, CGS의 형성에서, 결정화 온도 이상의 온도(700~1100°C)에서의 어닐 공정이 결정립 내의 결함의 저하에 대하여 중요한 역할을 한다. 이것에 대하여 이하에 설명한다.

상기로부터, 촉매원소의 게터링 공정이 CGS의 형성에 필요불가결한 공정이라는 것이 이해된다. 본 발명자들은 이 공정에서 일어나는 현상에 대하여 다음의 모델을 고려한다.

먼저, 도 26(A)에 나타낸 상태에서는, 촉매원소(대표적으로는 니켈)가 결정립 내의 결함(주로 적층 결함)에서 편석된다. 따라서, Si-Ni-Si 결합과 같은 결합이 많이 존재하고 있다고 생각된다.

그러나, 결함에 존재하는 Ni이 촉매원소의 게터링 공정을 행함으로써 제거되면, Si-Ni 결합이 절단된다. 그리하여, 규소의 나머지 짹짓지 않은 결합이 즉시 Si-Si 결합을 형성하여 안정하게 된다. 이렇게 하여, 결함이 소멸한다.

물론, 결정성 규소막내의 결함이 고온에서의 열 어닐에 의해 소멸한다는 것은 알려져 있지만, 니켈과의 결합이 절단되어 많은 짹짓지 않은 결합이 발생되기 때문에, 규소의 재결합이 원활하게 행해지는 것으로 추측된다.

또한, 본 발명자들은 결정성 규소막이 결정화 온도 이상의 온도(700~1100°C)에서의 가열처리에 의해 그의 하층에 고착되고 밀착성이 증가되어, 결함이 소멸하는 모델도 고려한다.

#### [TFT 특성과 CGS 사이의 관계에 관한 지견]

상기한 우수한 TFT 특성은 결정 입계에서 결정 격자에 연속성을 갖는 반도체 박막을 TFT의 활성층으로 사용하는 것에 의해 주로 좌우된다. 그 이유는 아래와 같은 것으로 고려된다.

결정 입계에서의 결정 격자의 연속성은 그 결정 입계가 "평면 형상 입계"(planar boundary)로 불리는 입계라는 사실에 기인한다. 본 명세서에서의 평면 형상 입계의 정의는 Japanese Journal of Applied Physics 제27권 제5호(1088년) 751-758페이지의 류이치 시모카와 및 유타카 하야시의 "Characterization of High-efficiency Cast-Si Solar Cell Wafers by MBIC measurement"에 기재된 "Planar boundary"이다.

상기 문헌에 따르면, 평면 형상 입계는 {111} 쌍정(雙晶) 입계, {111} 적층 결합, {221} 쌍정 입계, {221} 트위스트 입계 등을 포함한다. 이 평면 형상 입계는 전기적으로 불활성이라는 특징을 가진다. 즉, 그 입계는 그것이 결정 입계일지라도 캐리어의 이동을 저해하는 트랩으로서 기능하지 않기 때문에, 그 입계는 실질적으로 존재하지 않는 것으로 간주될 수 있다.

특히, {111} 쌍정 입계는  $\Sigma 3$ 의 대응 입계로도 불리고, {221} 쌍정 입계는  $\Sigma 9$ 의 대응 입계로도 불린다.  $\Sigma$ 값은 대응 입계의 정합성의 정도를 나타내는 지침이 되는 파라미터이다.  $\Sigma$ 값이 작을수록, 입계의 정합성이 우수하다는 것은 알려져 있다.

실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 TEM 관찰 결과, 거의 모든 결정 입계(90% 이상, 대표적으로는 95% 이상)는  $\Sigma 3$ 의 대응 입계, 즉, {111} 쌍정 입계라는 것이 밝혀졌다.

2개의 결정립 사이에 형성된 결정 입계에서, 양 결정의 면 방위가 {110} 인 경우, {111} 면에 대응하는 격자 줄무늬에 의해 형성되는 각도가  $\Theta$ 이면,  $\Theta$ 가  $70.5^\circ$ 일 때, 입계는  $\Sigma 3$ 의 대응 입계가 된다는 것은 알려져 있다.

따라서, 도 24(A)의 TEM 사진에 나타내어진 결정 입계에서는, 인접한 결정립들의 개개의 격자 줄무늬가 약  $70^\circ$ 의 각도로 연속적이어서, 이 결정 입계가 {111} 쌍정 입계라는 것이 쉽게 추정된다.

한편,  $\Theta$ 가  $38.9^\circ$ 인 때는, 입계는  $\Sigma 9$ 의 대응 입계가 된다. 그러한 다른 결정 입계도 존재하였다.

그러한 대응 입계는 동일 면 방위의 결정립들 사이에만 형성된다. 즉, 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막의 면 방위가 대략 {110}으로서 균일하기 때문에, 그러한 대응 입계가 넓은 범위에 걸쳐 형성될 수 있다. 이 특징은 면 방위가 불규칙한 다른 폴리실리콘 막에서는 얻어질 수 없다.

도 27(A)는 실시예 1~4의 제조 공정에 의해 얻어진 반도체 박막을 15,000배 확대한 TEM 사진(암시야 상(暗視野像))이다. 이 사진에서 백색 영역과 흑색 영역이 보이지만, 동일 색으로 보이는 부분은 동일 배향성을 갖는다.

도 27(A)에서의 주목할만한 특징은, 그러한 넓은 범위의 암시야 상에서도, 백색 영역이 다소 높은 비율로 연속적으로 결합되어 있다는 것이다. 이것은, 동일 배향성을 갖는 결정립이 어느 정도의 방향성을 가지고 존재하고, 인접한 결정립들이 거의 동일 배향성을 가지고 있다는 것을 의미한다.

한편, 도 27(B)는 종래의 고온 폴리실리콘 막을 15,000배 확대한 TEM 사진(암시야 상)이다. 종래의 고온 폴리실리콘 막에서는, 동일 면 방위의 부분들이 랜덤하게 존재하고, 도 27(A)에 나타낸 바와 같은 방향성을 가지는 균일성이 확인될 수 없다. 이것은 인접한 결정립들의 배향성이 전혀 불규칙하기 때문이라고 생각된다.

도 27(A)에 나타낸 측정 지점들 이외의 다수의 영역에 대한 관찰 및 측정을 반복함으로써, 본 발명자들은 결정 입계에서의 결정 격자의 연속성이 TFT의 제조를 위한 충분히 넓은 영역에서 유지된다는 것을 확인하였다.

### 발명의 효과

본 발명에 따르면, 비휘발성 메모리가 화소 TFT, 구동 회로 및 다른 주변 회로와 동시에 일체로 형성될 수 있어, 액정 표시 장치가 소형화 및 고성능화될 수 있다. 감마 보정을 위한 데이터가 비휘발성 메모리에 기억될 수 있기 때문에, 계조 표시가 양호한 액정 표시장치가 실현될 수 있다.

### (57) 청구의 범위

## 청구항 1.

절연 기판 위에 형성되고, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층;

절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극;

상기 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막; 및

상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면 및 측면과 접하여 있는 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리.

## 청구항 2.

제 1 항에 있어서, 상기 반도체 활성층의 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 반도체 활성층의 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 비휘발성 메모리.

## 청구항 3.

절연 기판 위에 형성되고, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층;

절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극;

상기 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막; 및

상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면에만 접하여 있는 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리.

## 청구항 4.

제 3 항에 있어서, 상기 반도체 활성층의 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 반도체 활성층의 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 비휘발성 메모리.

## 청구항 5.

절연 기판 위에 형성되고, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층;

절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극;

상기 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막; 및

상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면 및 측면과 접하여 있는 컨트롤 게이트 전극을 포함하고;

상기 채널 영역이 상기 소스 영역과 상기 드레인 영역 각각과 접하여 있는 것을 특징으로 하는 비휘발성 메모리.

## 청구항 6.

제 5 항에 있어서, 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 비휘발성 메모리.

### 청구항 7.

절연 기판 위에 형성되고, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층;

절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극;

상기 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막; 및

상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면에만 접하여 있는 컨트롤 게이트 전극을 포함하고;

상기 채널 영역이 상기 소스 영역과 상기 드레인 영역 각각과 접하여 있는 것을 특징으로 하는 비휘발성 메모리.

### 청구항 8.

제 7 항에 있어서, 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 비휘발성 메모리.

### 청구항 9.

절연 기판 위에 제공되고, 매트릭스 형태로 배치된 다수의 화소 TFT를 포함하는 화소 회로;

상기 절연 기판 위에 제공되고, 상기 다수의 화소 TFT를 구동하는 TFT들을 포함하는 구동회로; 및

상기 절연 기판 위에 제공된 비휘발성 메모리를 포함하고;

상기 비휘발성 메모리는, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층, 절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면 및 측면과 접하여 있는 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 반도체장치.

### 청구항 10.

제 9 항에 있어서, 상기 반도체장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 장치인 것을 특징으로 하는 반도체장치.

### 청구항 11.

절연 기판 위에 제공되고, 매트릭스 형태로 배치된 다수의 화소 TFT를 포함하는 화소 회로;

상기 절연 기판 위에 제공되고, 상기 다수의 화소 TFT를 구동하는 TFT들을 포함하는 구동회로; 및

상기 절연 기판 위에 제공된 비휘발성 메모리를 포함하고;

상기 비휘발성 메모리는, 적어도 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체 활성층, 절연막을 사이에 두고 상기 채널 영역 위에 제공된 플로팅 게이트 전극, 그 플로팅 게이트 전극의 양극산화에 의해 형성된 양극산화막, 및 상기 플로팅 게이트 전극 위에 제공되고, 상기 양극산화막의 상면에만 접하여 있는 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 반도체장치.

### 청구항 12.

제 11 항에 있어서, 상기 반도체장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 장치인 것을 특징으로 하는 반도체장치.

### 청구항 13.

제 1 항에 있어서, 상기 비휘발성 메모리가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 비휘발성 메모리.

### 청구항 14.

제 3 항에 있어서, 상기 비휘발성 메모리가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 비휘발성 메모리.

### 청구항 15.

제 5 항에 있어서, 상기 비휘발성 메모리가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 비휘발성 메모리.

### 청구항 16.

제 7 항에 있어서, 상기 비휘발성 메모리가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 비휘발성 메모리.

### 청구항 17.

제 9 항에 있어서, 상기 반도체장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 반도체장치.

### 청구항 18.

제 11 항에 있어서, 상기 반도체장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치에 설치되는 것을 특징으로 하는 반도체장치.

### 청구항 19.

보정 데이터를 기억하는 메모리 회로와,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 회로, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 회로가 비휘발성 메모리를 포함하고,

상기 비휘발성 메모리는, 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체층, 제1 절연막을 사이에 두고 상기 채널 영역 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극 위에 형성된 제2 절연막, 및 그 제2 절연막 위에 형성된 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 20.

제 19 항에 있어서, 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 21.

제 19 항에 있어서, 상기 제2 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 22.

제 19 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 23.

제 19 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 24.

보정 데이터를 기억하는 메모리 회로와,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 회로, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 회로가 비휘발성 메모리를 포함하고,

상기 비휘발성 메모리는, 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체층, 제1 절연막을 사이에 두고 상기 채널 영역 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극 위에 형성된 제2 절연막, 및 그 제2 절연막 위에 형성된 컨트롤 게이트 전극을 포함하고,

상기 컨트롤 게이트 전극이 상기 제2 절연막의 상면과 측면을 덮는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 25.

제 24 항에 있어서, 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 26.

제 24 항에 있어서, 상기 제2 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 27.

제 24 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 28.

제 24 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 29.

보정 데이터를 기억하는 메모리 회로와,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 회로, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 회로가 비휘발성 메모리를 포함하고,

상기 비휘발성 메모리는, 소스 영역, 드레인 영역 및 그 소스 영역과 드레인 영역 사이의 채널 영역을 가지는 반도체층, 제1 절연막을 사이에 두고 상기 채널 영역 위에 형성된 플로팅 게이트 전극, 그 플로팅 게이트 전극 위에 형성된 제2 절연막, 및 그 제2 절연막 위에 형성된 컨트롤 게이트 전극을 포함하고,

상기 컨트롤 게이트 전극이 상기 제2 절연막의 상면에만 접하여 있는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 30.

제 29 항에 있어서, 상기 채널 영역에서의 짹짓지 않은 결합의 수가 상기 소스 영역 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 31.

제 29 항에 있어서, 상기 제2 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 32.

제 29 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 33.

제 29 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 34.

보정 데이터를 기억하는 메모리 셀과,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 셀, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 셀이,

제1 소스 및 드레인 영역과 그 제1 소스 및 드레인 영역 사이의 제1 채널 영역을 가지는 제1 반도체층,

제1 절연막을 사이에 두고 상기 제1 채널 영역 위에 형성된 게이트 전극,

제2 소스 및 드레인 영역과 그 제2 소스 및 드레인 영역 사이의 제2 채널 영역을 가지는 제2 반도체층,

제2 절연막을 사이에 두고 상기 제2 채널 영역 위에 형성된 플로팅 게이트 전극,

상기 플로팅 게이트 전극 위에 형성된 제3 절연막, 및

상기 제3 절연막 위에 형성된 컨트롤 게이트 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

### 청구항 35.

제 34 항에 있어서, 상기 제2 채널 영역에서의 짹짓지 않은 결합의 수가 상기 제2 소스 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 36.**

제 34 항에 있어서, 상기 제3 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 37.**

제 34 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 38.**

제 34 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 39.**

보정 데이터를 기억하는 메모리 셀과,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 셀, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 셀이,

제1 소스 및 드레인 영역과 그 제1 소스 및 드레인 영역 사이의 제1 채널 영역을 가지는 제1 반도체층,

제1 절연막을 사이에 두고 상기 제1 채널 영역 위에 형성된 게이트 전극,

제2 소스 및 드레인 영역과 그 제2 소스 및 드레인 영역 사이의 제2 채널 영역을 가지는 제2 반도체층,

제2 절연막을 사이에 두고 상기 제2 채널 영역 위에 형성된 플로팅 게이트 전극,

상기 플로팅 게이트 전극 위에 형성된 제3 절연막, 및

상기 제3 절연막 위에 형성된 컨트롤 게이트 전극을 포함하고,

상기 컨트롤 게이트 전극이 상기 제3 절연막의 상면과 측면을 덮는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 40.**

제 39 항에 있어서, 상기 제2 채널 영역에서의 짹짓지 않은 결합의 수가 상기 제2 소스 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

**청구항 41.**

제 39 항에 있어서, 상기 제3 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

#### 청구항 42.

제 39 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

#### 청구항 43.

제 39 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

#### 청구항 44.

보정 데이터를 기억하는 메모리 셀과,

상기 보정 데이터에 의거한 보정된 신호를 화소 회로에 인가하는 구동 회로를 포함하고;

상기 메모리 셀, 상기 구동 회로 및 상기 화소 회로가 하나의 기판 위에 형성되어 있고,

상기 메모리 셀이,

제1 소스 및 드레인 영역과 그 제1 소스 및 드레인 영역 사이의 제1 채널 영역을 가지는 제1 반도체층,

제1 절연막을 사이에 두고 상기 제1 채널 영역 위에 형성된 게이트 전극,

제2 소스 및 드레인 영역과 그 제2 소스 및 드레인 영역 사이의 제2 채널 영역을 가지는 제2 반도체층,

제2 절연막을 사이에 두고 상기 제2 채널 영역 위에 형성된 플로팅 게이트 전극,

상기 플로팅 게이트 전극 위에 형성된 제3 절연막, 및

상기 제3 절연막 위에 형성된 컨트롤 게이트 전극을 포함하고,

상기 컨트롤 게이트 전극이 상기 제3 절연막의 상면에만 접하여 있는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

#### 청구항 45.

제 44 항에 있어서, 상기 제2 채널 영역에서의 짹짓지 않은 결합의 수가 상기 제2 소스 및 드레인 영역에서의 것보다 적은 것을 특징으로 하는 액티브 매트릭스형 표시장치.

#### 청구항 46.

제 44 항에 있어서, 상기 제3 절연막이 상기 플로팅 게이트 전극의 양극산화막인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

## 청구항 47.

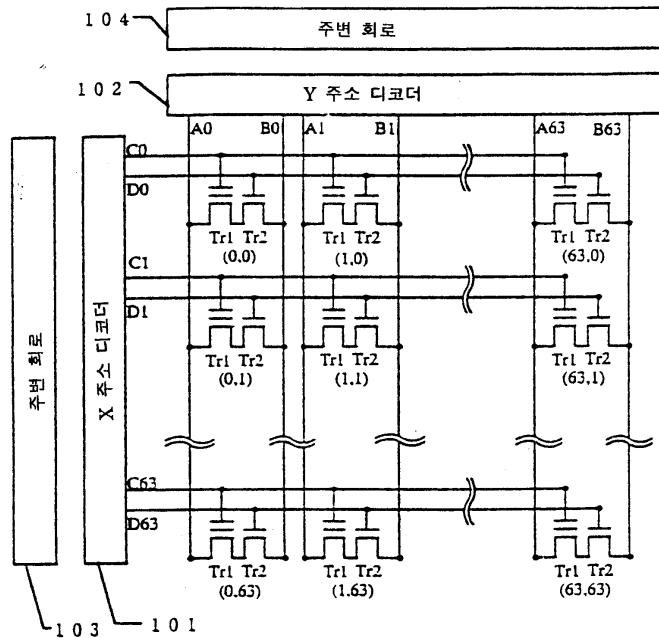
제 44 항에 있어서, 상기 액티브 매트릭스형 표시장치는 액정 표시장치와 전계발광 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

## 청구항 48.

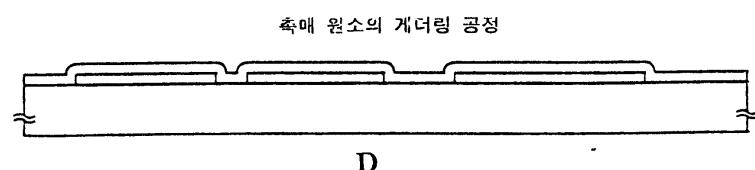
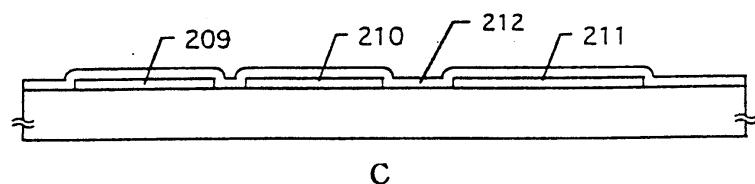
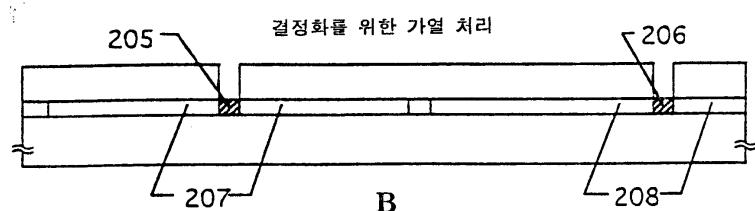
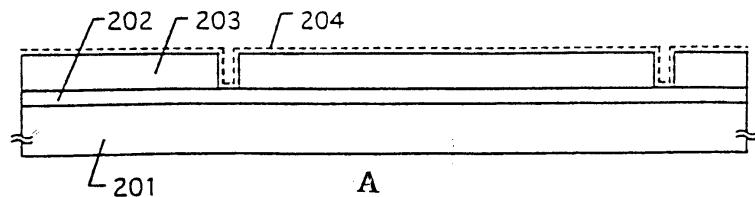
제 44 항에 있어서, 상기 액티브 매트릭스형 표시장치가, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 모바일 컴퓨터 및 휴대 전화기로 이루어진 군으로부터 선택된 장치의 표시부에 사용되는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

도면

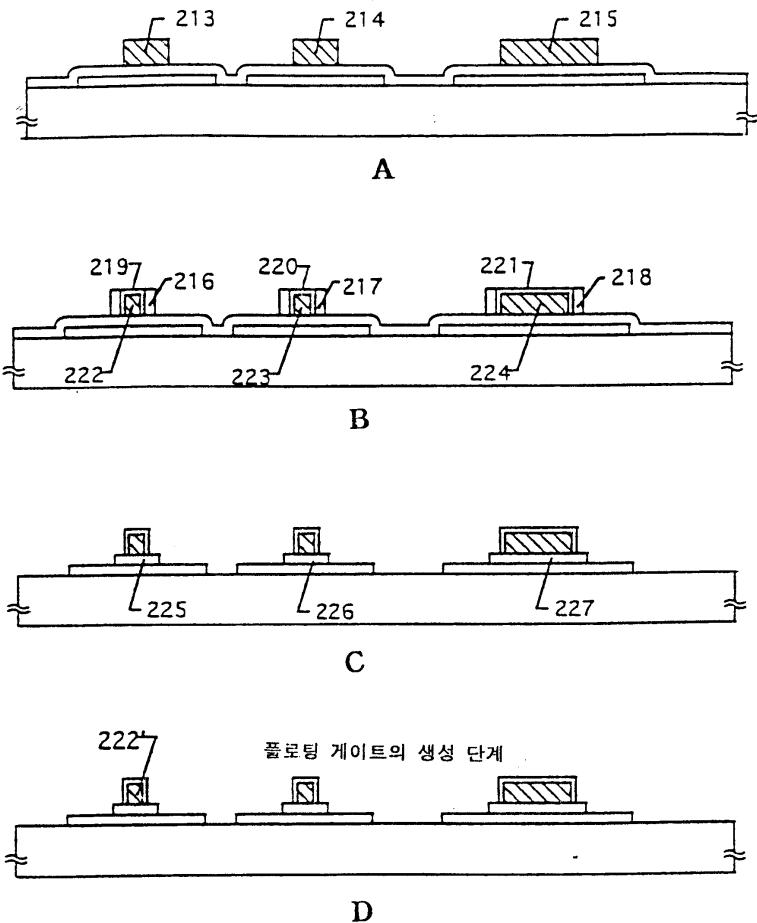
도면1



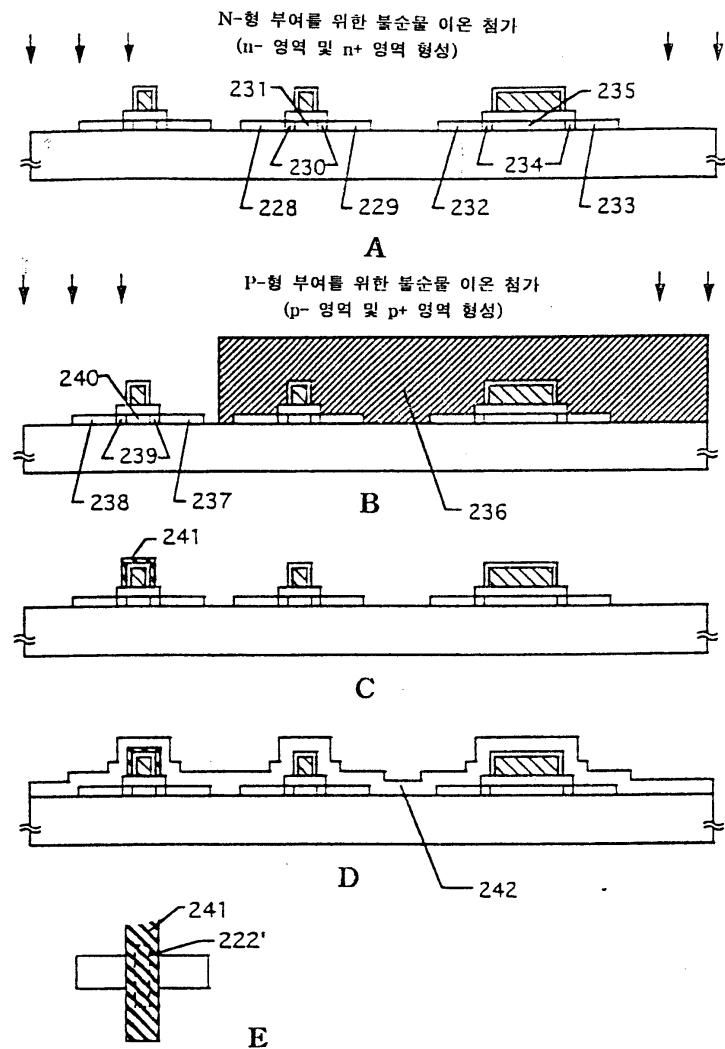
도면2



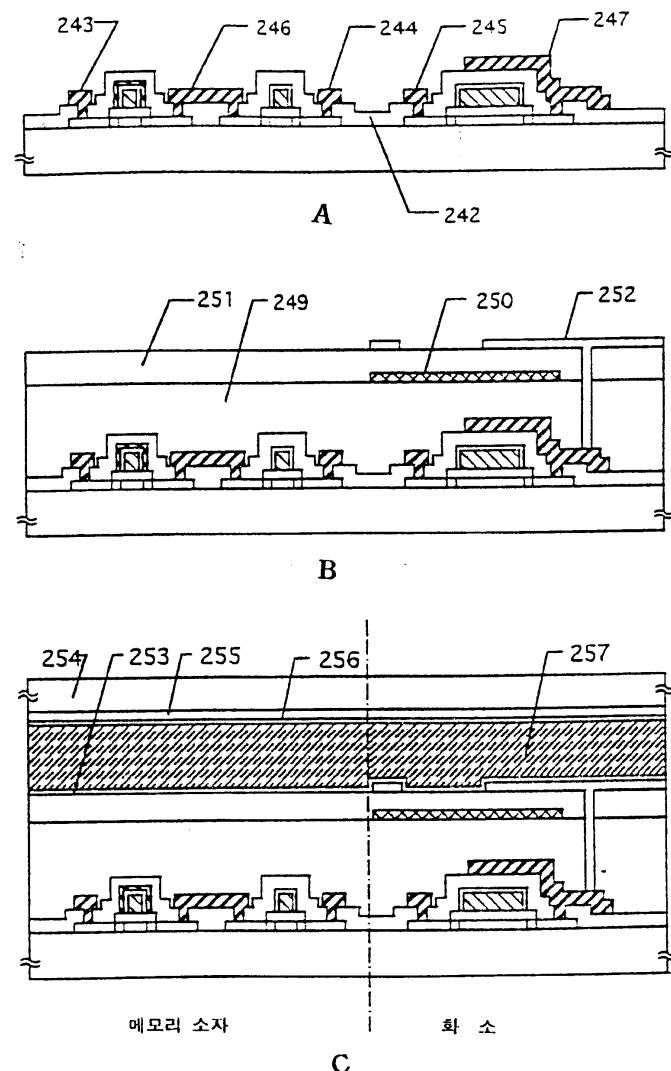
도면3



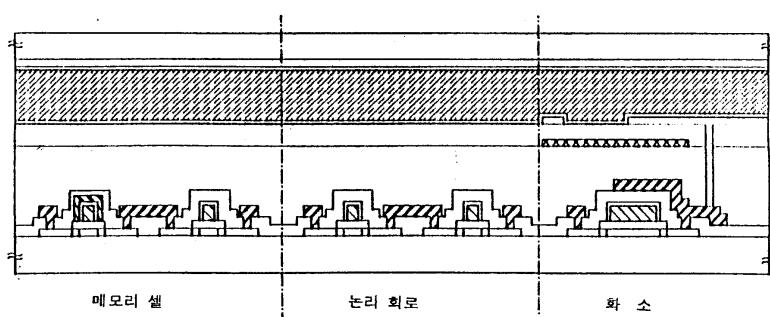
도면4



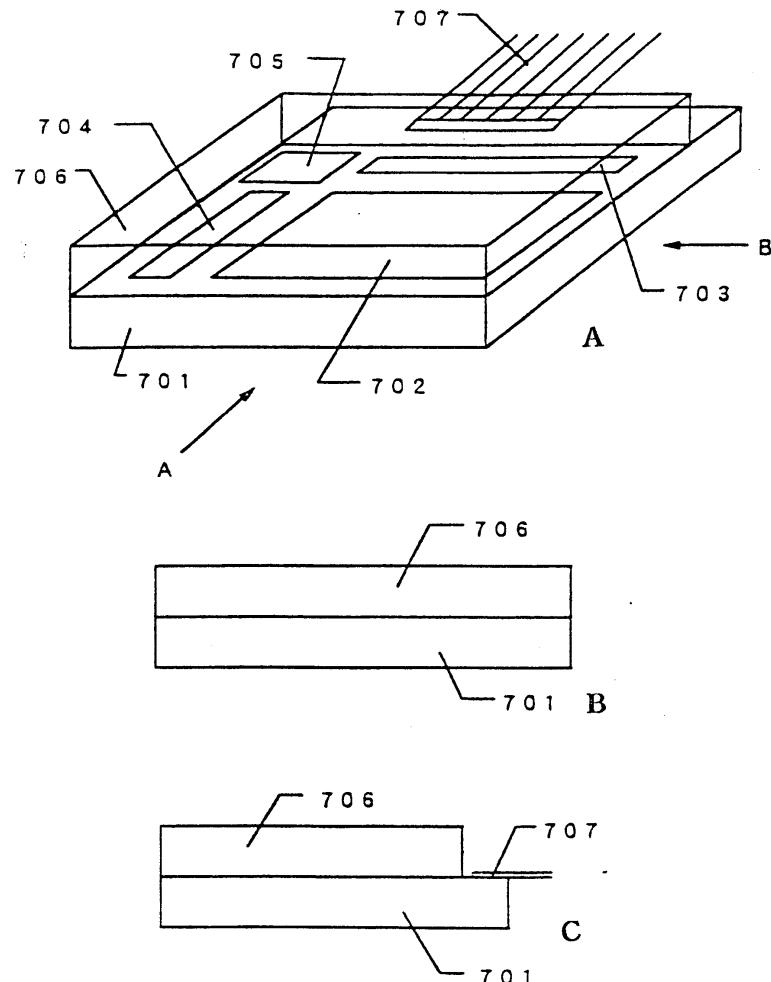
도면5



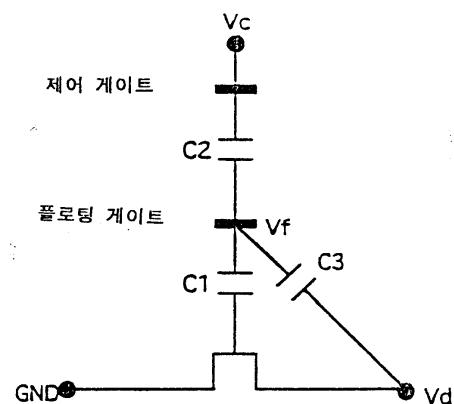
도면6



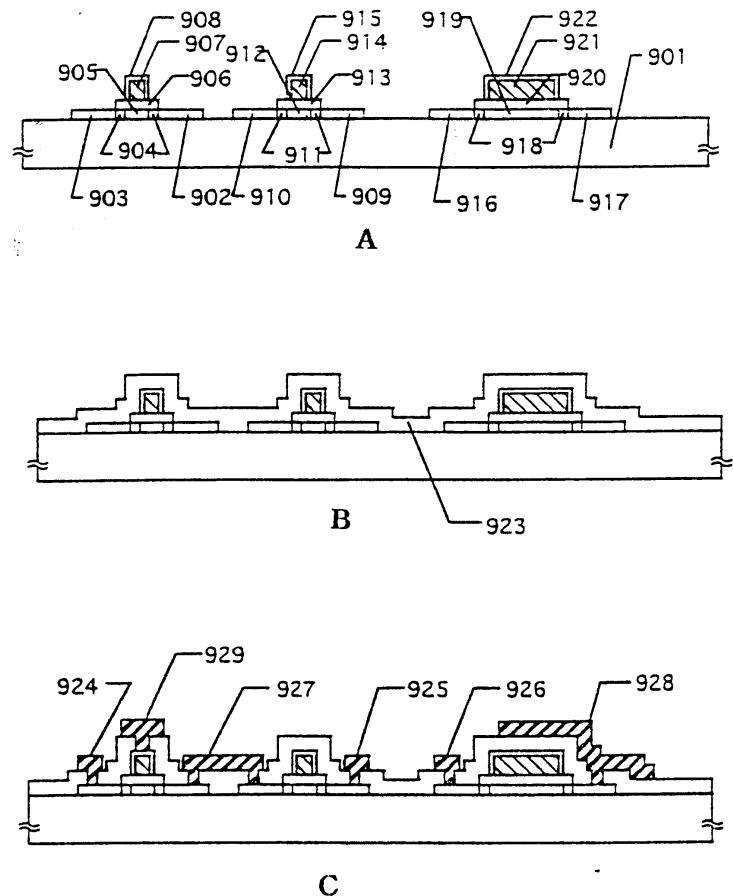
도면7



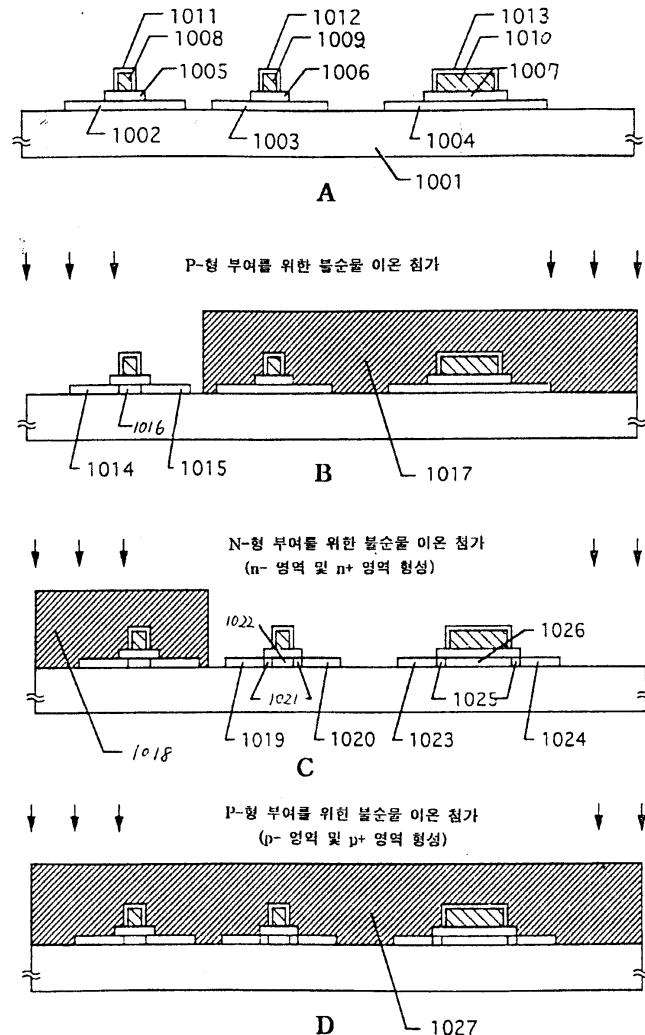
도면8



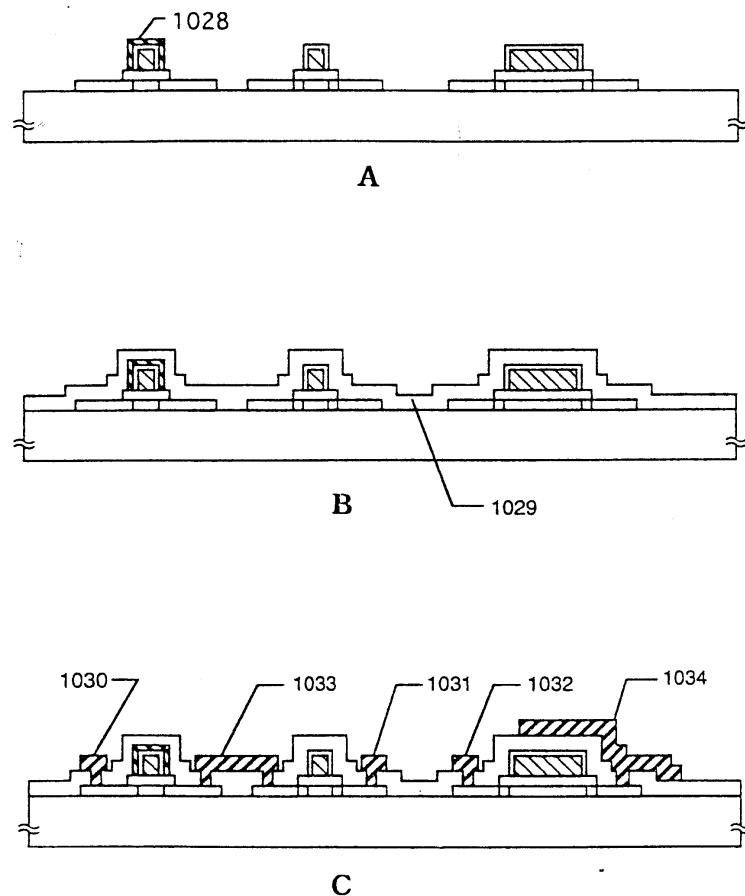
도면9



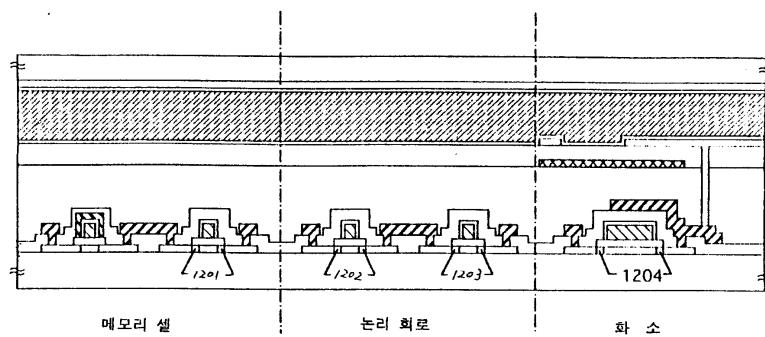
## 도면10



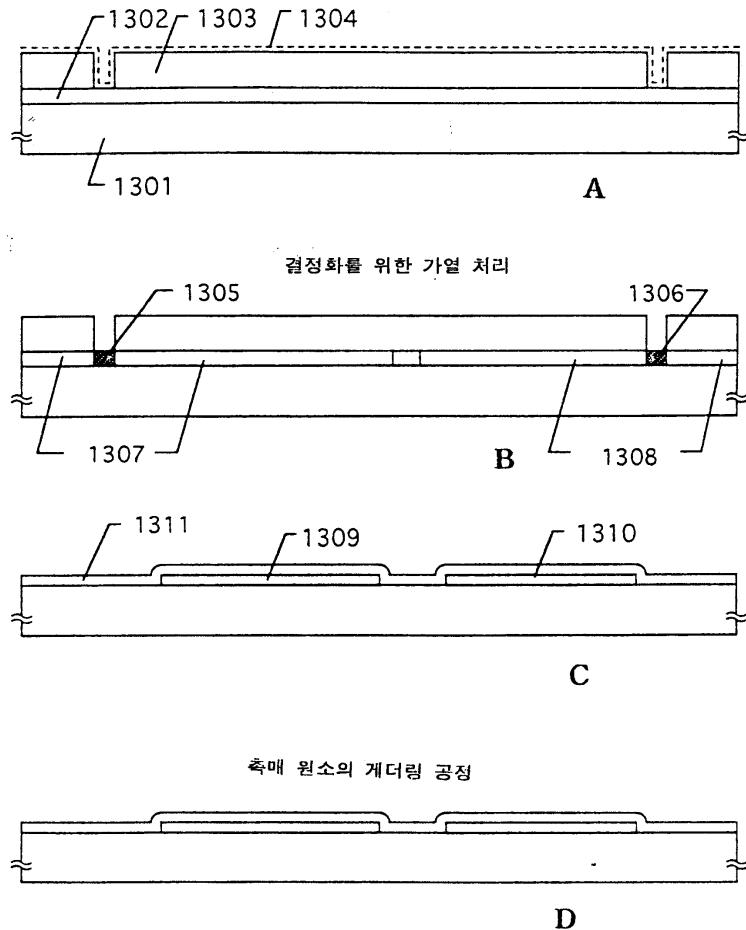
도면11



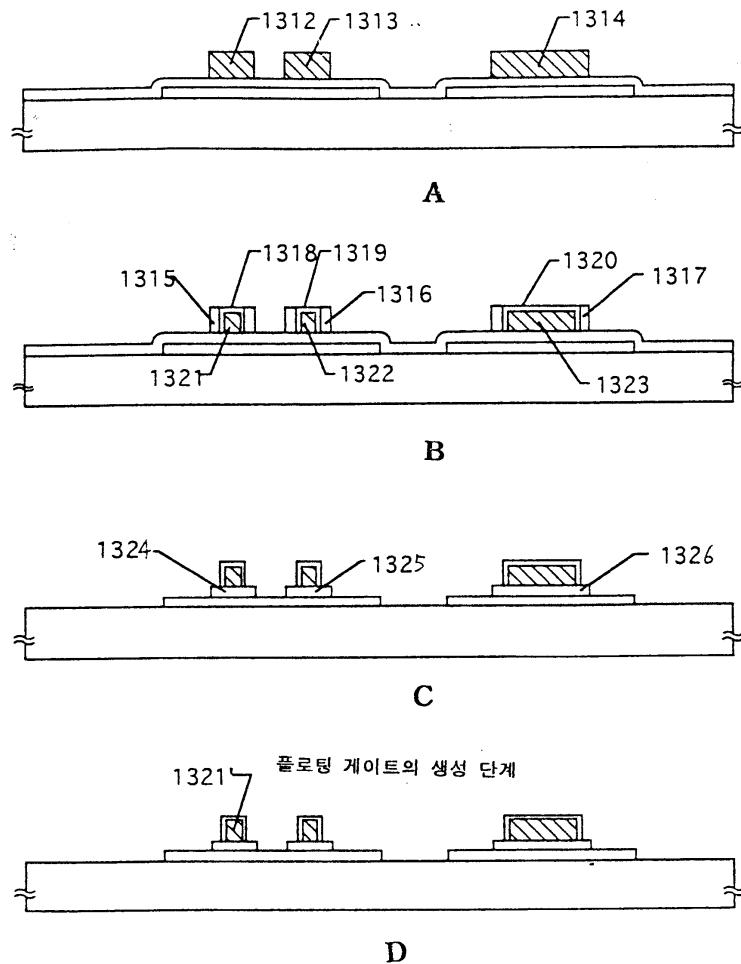
도면12



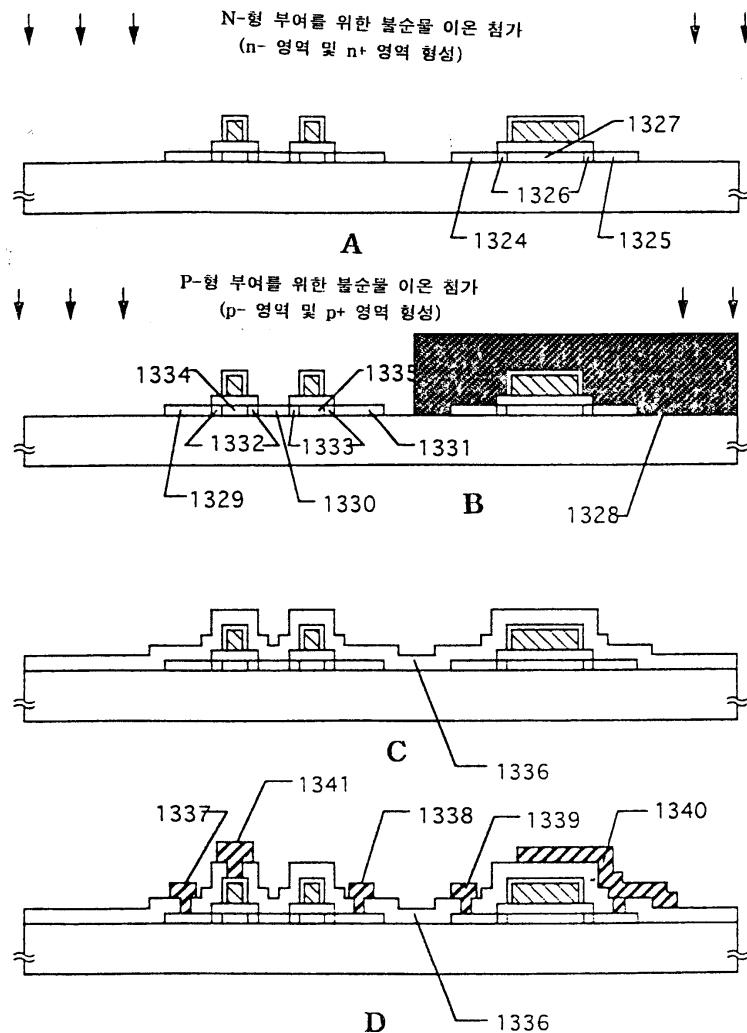
도면13



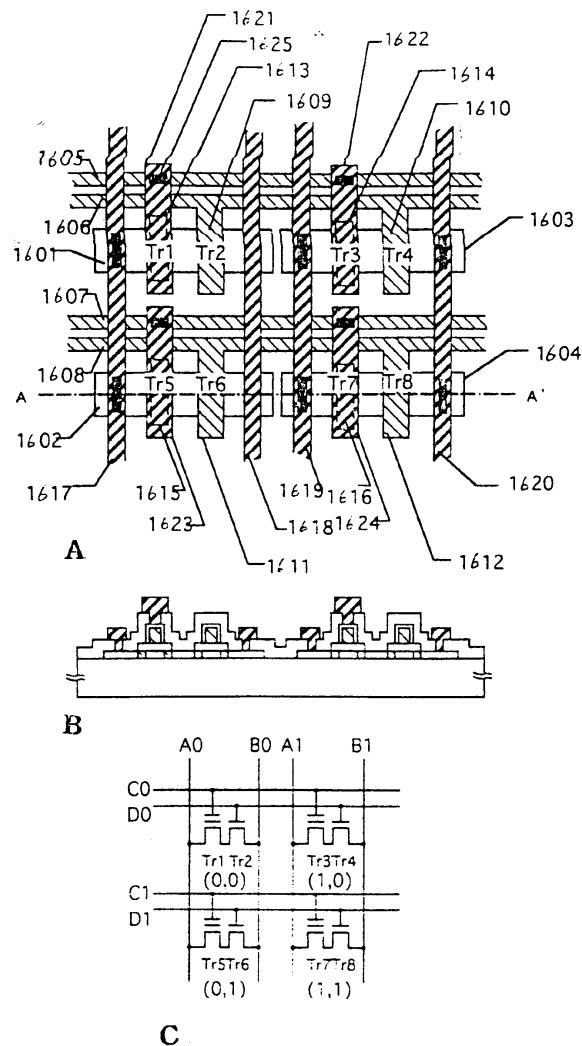
도면14



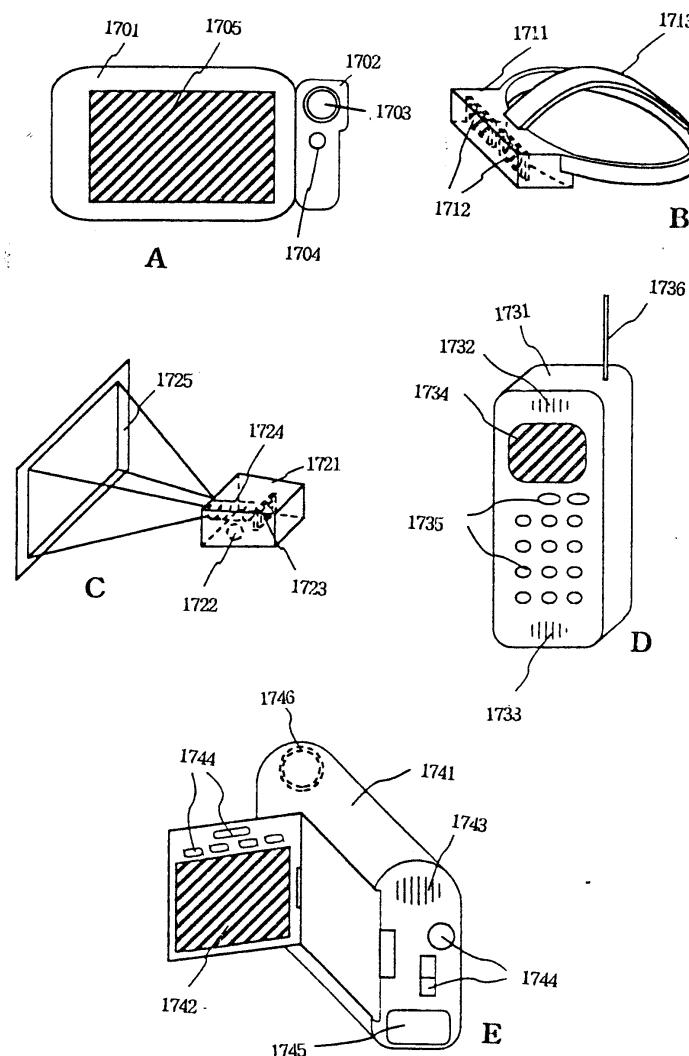
## 도면15



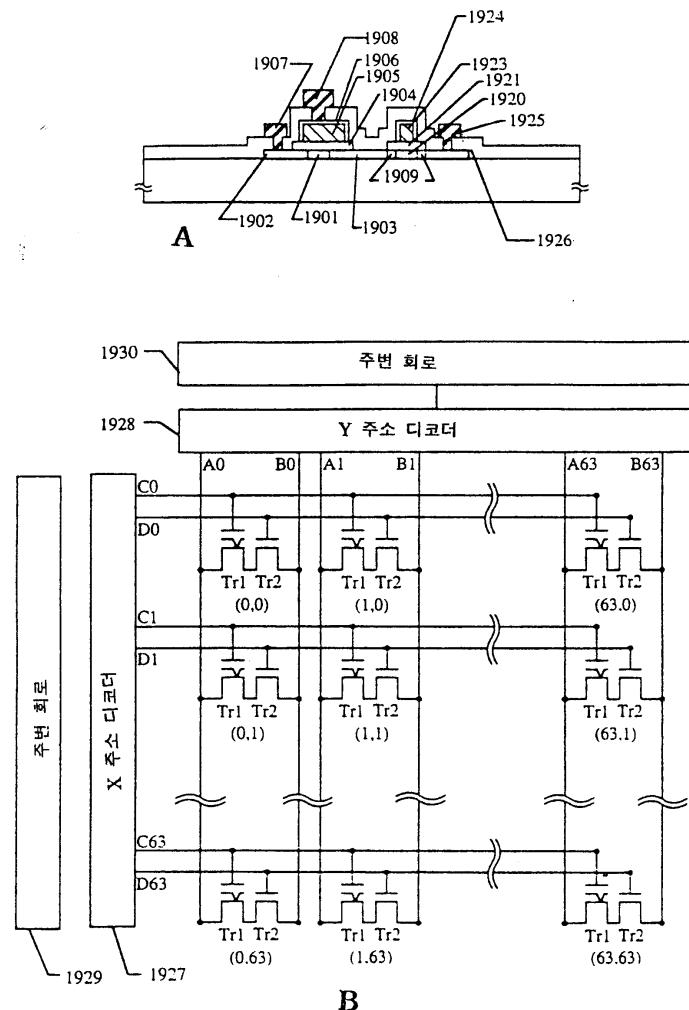
도면16



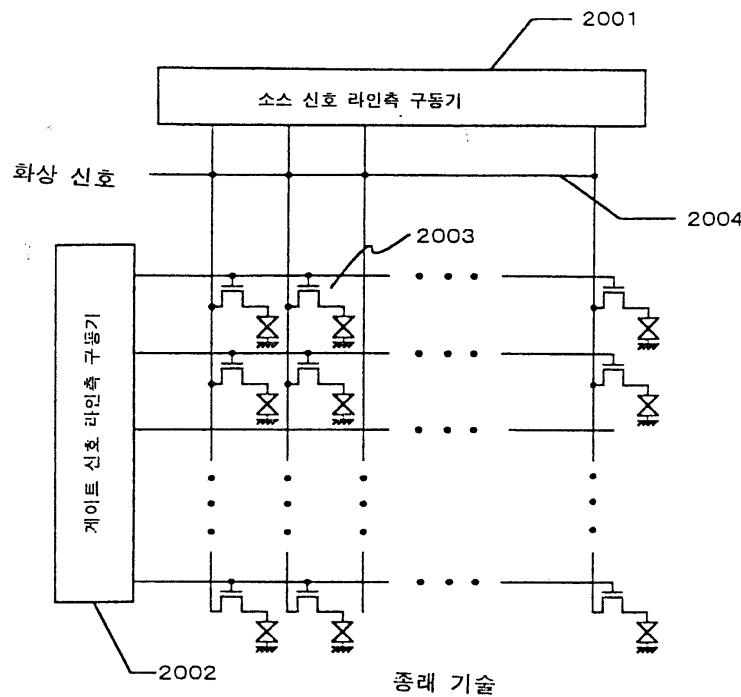
## 도면17



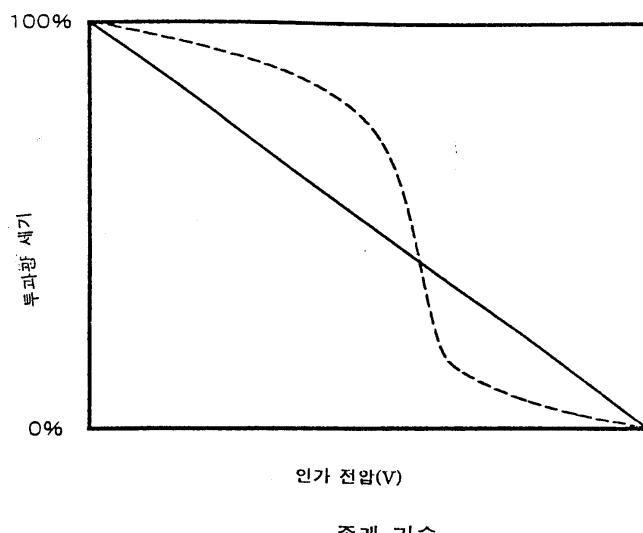
도면18



도면19

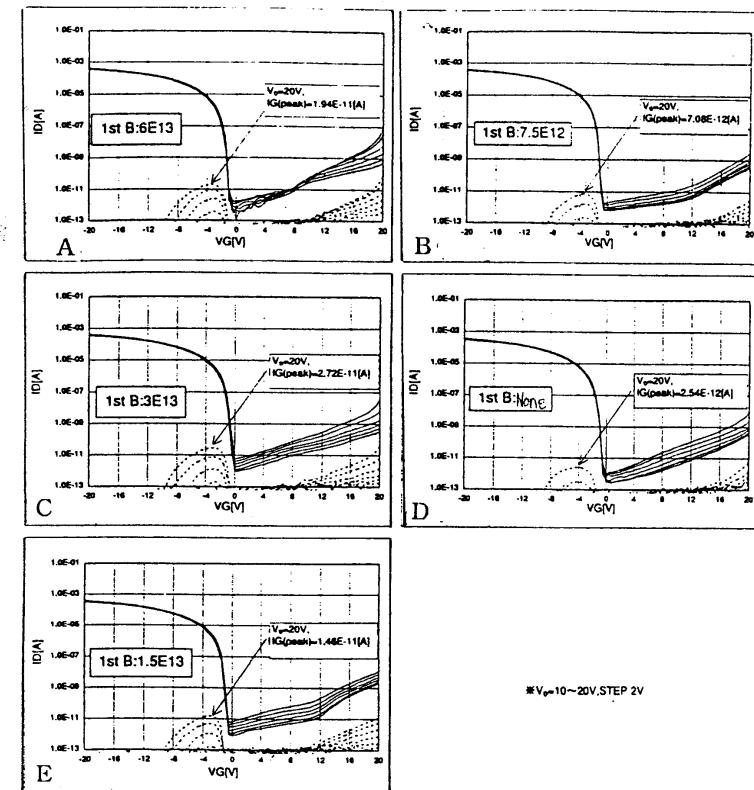


도면20

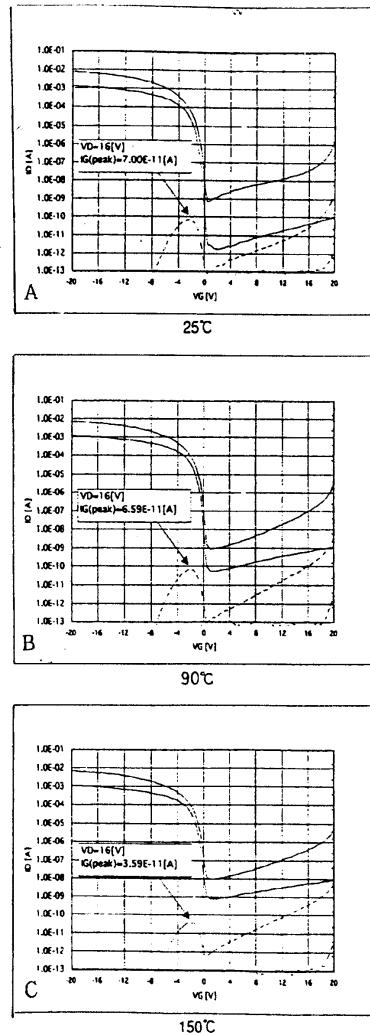


종래 기술

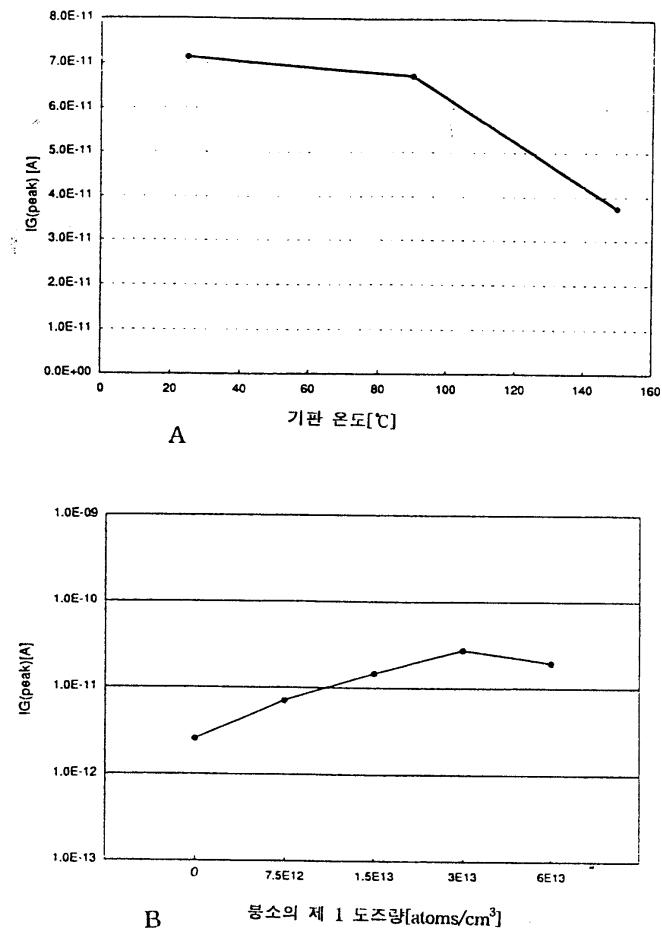
## 도면21

\*  $V_g=10\sim 20V, \text{STEP } 2V$

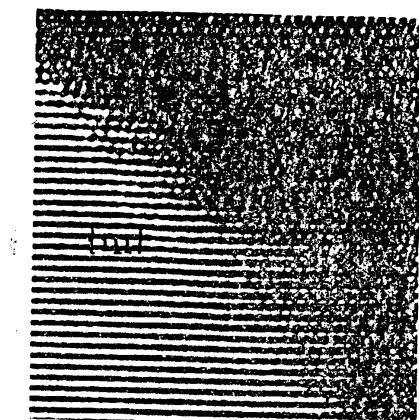
## 도면22

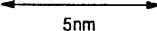


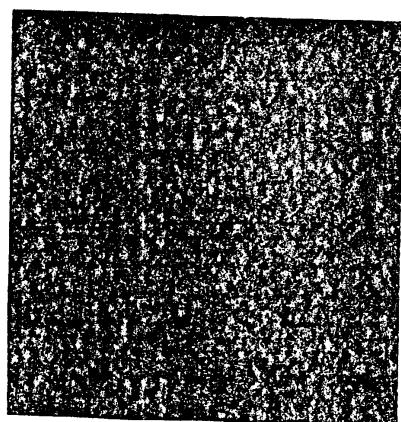
## 도면23



도면24

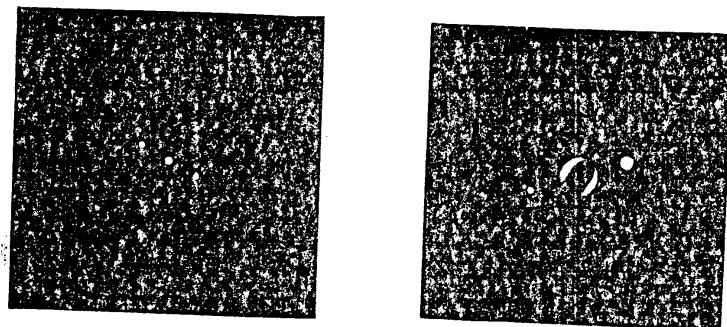


A  5nm



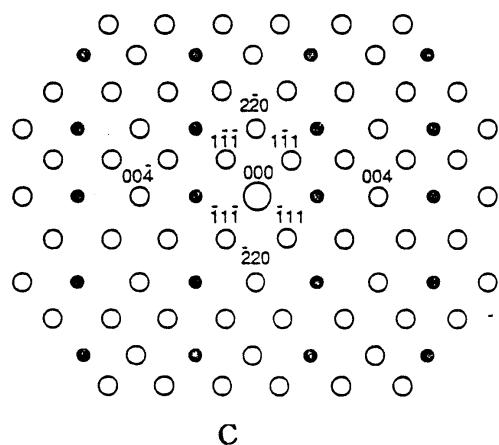
B  5nm

도면25



A

B



C

도면26



0.1  $\mu$ m

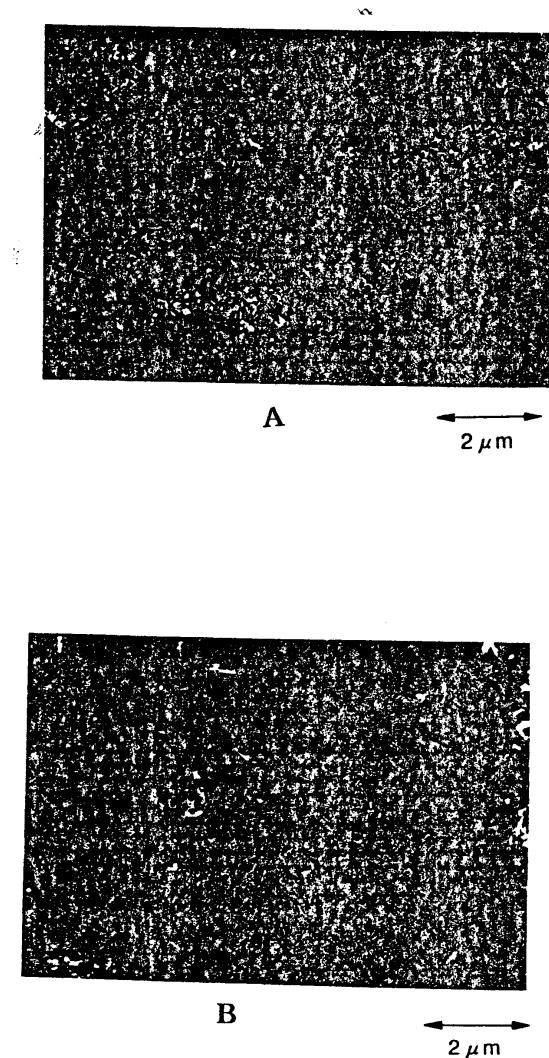
**A**



0.1  $\mu$ m

**B**

도면27



도면28

