



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

231 263

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 01 81
(21) PV 339-81

(51) Int. Cl.³
H 03 K 13/24

(40) Zveřejněno 29 10 82
(45) Vydáno 01 03 87

(75)

Autor vynálezu

ŠTORK MILAN ing., PLZEŇ

(54)

Obvod pro dekódování fázově kódovaného signálu

Vynález se týká oboru přenos dat. Vynález řeší problém dekódování fázově kódovaných dat. Vynález umožní bezchybné dekódování fázově kódovaných dat, i když došlo k fázovému zkreslení při přenosu kódového signálu filtrem. Dekódovací obvod používá tři monostabilních klopných obvodů, které pracují při průchodu kódovacího signálu nulou, avšak jsou tak zapojeny, že dojde-li k fázovému skreslení signálu, je vygenerován puls odpovídající délky, při kterém se provádí vyhodnocení kódovaných dat. Kódovaný signál je zpracováván integrátorem, čímž je odstraněn vliv poruch na kódovaný signál. Vynálezu může být použito všude tam, kde se provádí přenos dat pomocí fázově kódovaného signálu, nebo je použito podobného typu kódování odstraňující stejnosměrnou složku u kódovaného signálu.

Vynález se týká obvodu pro dekodování fázově kódovaného signálu.

U dosud známých vyhodnocovacích obvodů se používá buďto monostabilního klopného obvodu, který je nastaven na 75 % doby periody a zdvojovače kmitočtu, který je monostabilnímu klopnému obvodu předřazen, nebo se používá fázového závěsu s velkou setrvačností. V případě použití monostabilního klopného obvodu dojde k chybnému vyhodnocení kódovaného signálu, jestliže signál prochází filtrem, jehož fázová charakteristika způsobí fázové zkreslení signálu. V případě použití fázového závěsu s velkou setrvačností je možno fázově zkreslený signál vyhodnotit, avšak zasynchronizování bývá pomalé a při výpadku ze synchronismu bývá ztraceno velké množství dat.

Výše uvedené nedostatky jsou odstraněny obvodem pro dekodování fázově kódovaného signálu podle vynálezu jehož podstatou je, že výstup komparátoru je připojen ke zdvojovači kmitočtu a jednomu vstupu prvního součinnového hradla, výstup zdvojovače kmitočtu je připojen k prvnímu monostabilnímu klopnému obvodu a jednomu vstupu druhého součinnového hradla, výstup prvního monostabilního klopného obvodu je připojen k výstupu obvodu pro řízení délky pulsu prvního monostabilního klopného obvodu a k jednomu vstupu prvního, druhého a třetího součinnového hradla a k nulovacímu vstupu integrátoru, výstup druhého součinnového hradla je připojen na vstup druhého monostabilního obvodu, jehož výstup je připojen na jeden vstup třetího součinnového hradla a k přepínači, výstup třetího součinnového hradla je připojen na vstup třetího monostabilního klopného obvodu, jehož výstup je připojen na vstup obvodu pro řízení délky pulsu prvního monostabilního klopného obvodu a ke vstupu prvního monostabilního klopného obvodu, výstup prvního součinnového hradla je připojen k přepínači, jehož výstupy jsou při-

pojeny na integrátor a invertor, výstup invertoru je připojen na integrátor.

Uvedený vyhodnocovací obvod umožňuje dekódování fázově kódovaných dat při šířce pásma přenosového kanálu, který je podstatně užší než u ostatních způsobů vyhodnocení, aniž by bylo nutno zavádět jakékoli fázové korekce přenosového kanálu.

Příkladné provedení předmětu vynálezu je znázorněno na připojených výkresech, kde na obr. 1 jsou znázorněny průběhy signálů, na obr. 2 je schéma zapojení dekódovacího obvodu, na obr. 3 je frekvenční a fázová charakteristika filtru.

Obvod pro dekódování fázově kódovaného signálu (obr.2) je tvořen komparátorem 1, jehož výstup je připojen ke zdvojovači kmitočtu 2 a jednomu vstupu prvního součinnového hradla 9, výstup zdvojovače kmitočtu 2 je připojen k prvnímu monostabilnímu klopnému obvodu 3 a jednomu vstupu druhého součinnového hradla 4, výstup prvního monostabilního klopného obvodu 3 je připojen k výstupu pro řízení délky pulsu 8 a k jednomu vstupu prvního 9, druhého 4 a třetího 6 součinnového hradla a k nulovacímu vstupu integrátoru 12, výstup druhého součinnového hradla 4 je připojen na vstup druhého monostabilního klopného obvodu 5, jehož výstup je připojen na jeden vstup 6 a k třetího součinnového hradla 6 a k přepínači 10, výstup třetího součinnového hradla 6 je připojen na vstup třetího monostabilního klopného obvodu 7, jehož výstup je připojen na vstup obvodu pro řízení délky pulsu 8 a ke vstupu prvního monostabilního klopného obvodu 3, výstup prvního součinnového hradla 9 je připojen k přepínači 10, jehož výstupy jsou připojeny na integrátor 12 a invertor 11 a výstup invertoru 11 je připojen na integrátor 12.

Na obr. 1 jsou znázorněny postupně následující průběhy:

- a) signál bez návratu k nule NRZ, který vstupuje do kóderu
- b) fázově kódovaný signál na výstupu kóderu, přičemž šipky označují logickou úroveň
- c) fázově kódovaný signál po průchodu filtrem, jehož frekvenční a fázová charakteristika je na obr. 3
- d) průběhy monostabilních klopných obvodů.

První monostabilní klopný obvod 3 se spustí na nástupní hraně průběhu c (obr. 3) a doba, po kterou je spuštěn je přibližně 80 % periody T .

Jestliže je první monostabilní klopný obvod 3 ve svém přechodném stavu, spustí se při dalším průchodu nulou druhý monostabilní klopný obvod 5 s dobou 60 % periody T . Jestliže je při odcházející hraně pulsu prvního monostabilního obvodu 3, druhý monostabilní klopný obvod 5 ve svém přechodovém stavu, spustí se třetí monostabilní klopný obvod 7, který je nastaven na 40 % T . Jestliže v době, kdy je třetí monostabilní klopný obvod 7 v přechodovém stavu přijde nový průchod signálu nulou, spustí se při tomto průchodu nulou opět první monostabilní obvod 3 a vše se opakuje. Jestliže však při odcházející hraně pulsu třetího monostabilního klopného obvodu 7 je první monostabilní obvod 3 v klidovém stavu, spustí se první monostabilní obvod 3 touto hranou, avšak doba spuštění je nyní pouze 60 % T , což zajistí obvod pro řízení délky pulsu 8. Dohromady se 40 % T u třetího monostabilního klopného obvodu 7, dává toto dobu periody T . V případě, že nebude následovat další průchod signálu nulou, nevznikne puls na druhém monostabilním klopném obvodu 5 a tudíž ani na třetím monostabilním klopném obvodu 7 a dekódovací obvod se zastaví.

e) výstupní napětí integrátoru (může být realizován analogově nebo číslicově), přičemž integrátor integruje napětí komparátoru po dobu trvání přechodného stavu prvního monostabilního klopného obvodu 3. Po dobu, kdy je druhý monostabilní klopný obvod 5 v klidovém stavu, integruje se napětí bez inverze, neboť výstup přepínače 10 vede přímo na integrátor 12, přejde-li však druhý monostabilní klopný obvod 5, do přechodného stavu, integruje se inverzní signál, neboť výstup přepínače 10 vede na invertor 11 a odtud na vstup integrátoru 12. Na konci integračního intervalu, který je dán odcházející hranou pulsu vygenerovaného prvním monostabilním klopným obvodem 3 je na výstupu integrátoru 12 napětí jehož polarita představuje logickou úroveň datového signálu.

f) hodinový signál, vznikající na odcházející hraně pulsu prvního monostabilního klopného obvodu 3. Při hodinovém signálu je možno zaznamenat datový signál z výstupu integrátoru 12, integrátor 12 je pak nulován.

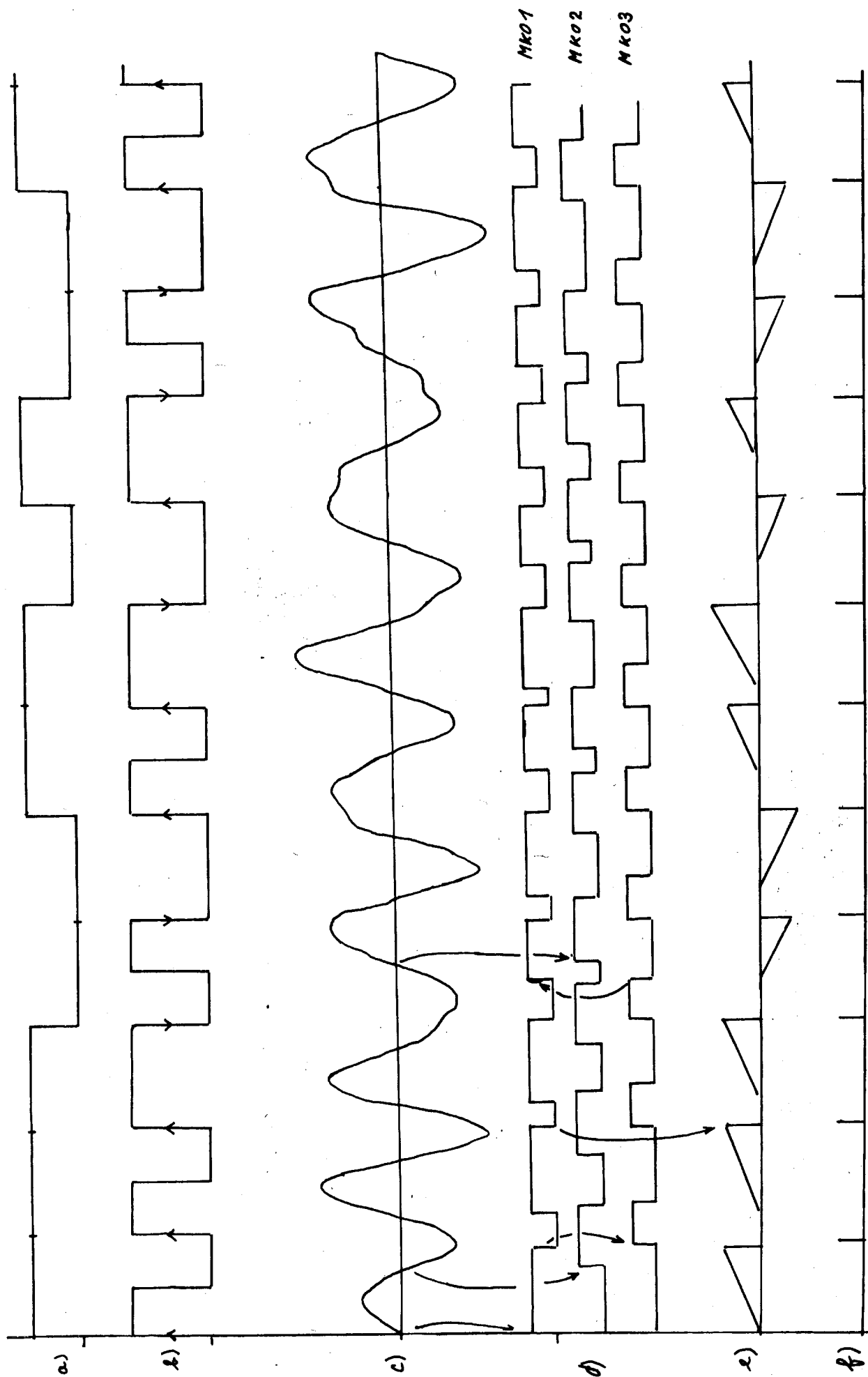
Dekódovací obvod se skládá z komparátoru 1, na jehož vstup se přivádí signál zdvojovače kmitočtu 2, který generuje impuls při každém průchodu nulou, prvního monostabilního klopného obvodu 3, druhého součinnového hradla 4, které blokuje průchod pulsů do druhého monostabilního klopného obvodu 5, pokud je první monostabilní obvod 3 ve svém klidovém stavu, třetí součinnové hradlo 6, které blokuje průchod signálu z prvního monostabilního klopného obvodu 3 do třetího monostabilního klopného obvodu 7, pokud není spuštěn druhý monostabilní klopný obvod 5, obvod pro řízení délky pulsu 8, který způsobí zkrácení pulsu prvního monostabilního klopného obvodu 3, jestliže tento puls byl vygenerován pomocí třetího monostabilního klopného obvodu 7, první součinnové hradlo 9, na jehož výstupu je napětí komparátoru pouze po dobu spuštění prvního monostabilního klopného obvodu 3, přepínač 10, který je řízen druhým monostabilním klopným obvodem 5 a je-li druhý monostabilní klopný obvod 5 spuštěn, je signál přivedený na integrátor 12 invertován invertorem 11, přičemž integrátor 12 je nulován signálem z prvního monostabilního klopného obvodu 3, je-li tento ve svém klidovém stavu.

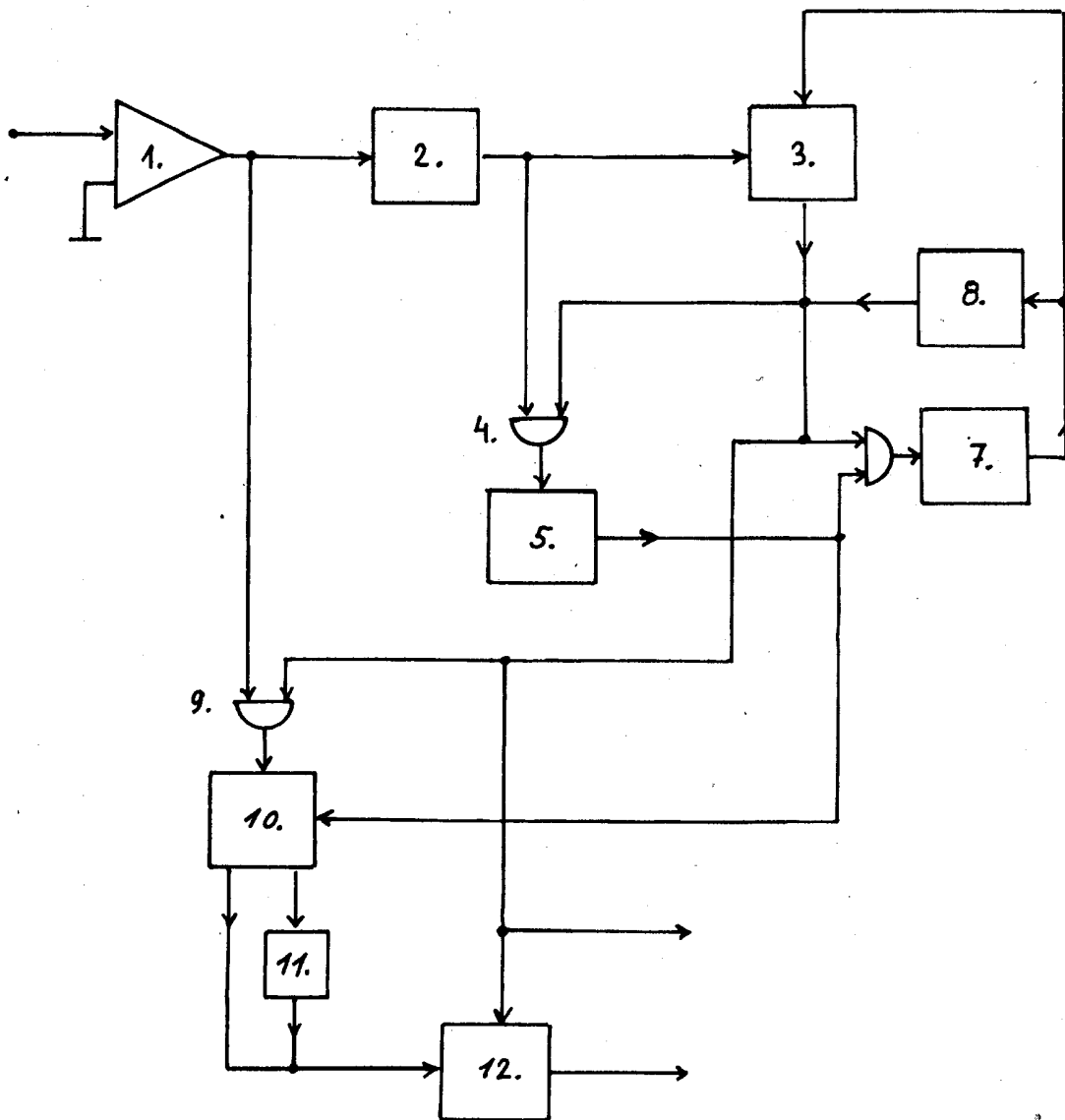
Obvod je určen pro dekódování fázově kódovaného signálu, lze však tímto obvodem dekódovat též další kódy, které neobsahují stejnosměrnou složku.

P Ř E D M Ě T V Y N Á L E Z U

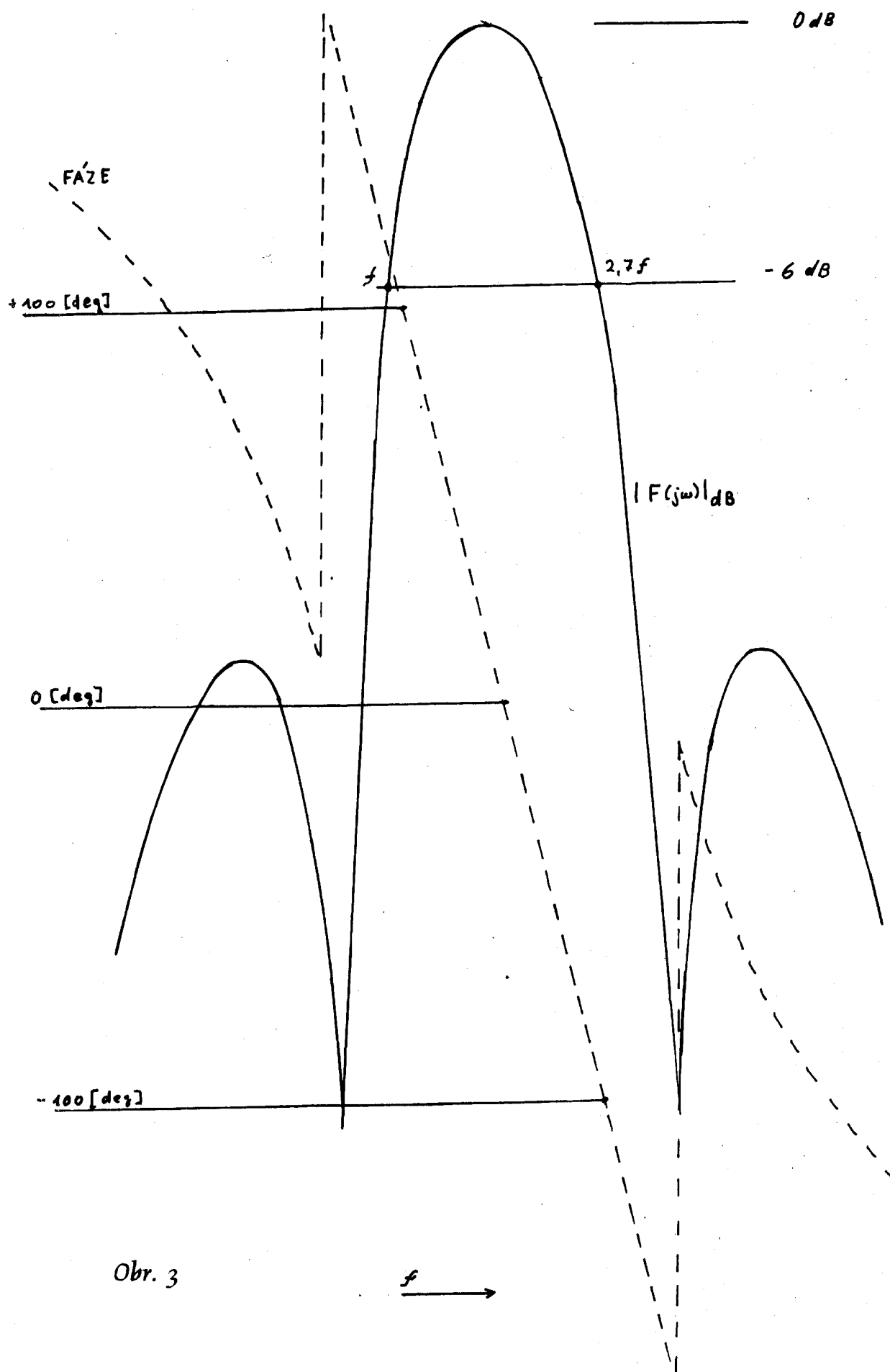
Obvod pro dekódování fázově kódovaného signálu, ^{231 263} vyznačený tím, že výstup komparátoru (1) je připojen ke zdvojovači kmitočtu (2) a jednomu vstupu prvního součinnového hradla (9), výstup zdvojovače kmitočtu (2) je připojen k prvnímu monostabilnímu klopnému obvodu (3) a jednomu vstupu druhého součinnového hradla (4), výstup prvního monostabilního klopného obvodu (3) je připojen k výstupu pro řízení délky pulsu (8) a k jednomu vstupu prvního (9), druhého (4) a třetího (6) součinnového hradla a k nulovacímu vstupu integrátoru (12), výstup druhého součinnového hradla (4) je připojen na vstup druhého monostabilního klopného obvodu (5), jehož výstup je připojen na jeden vstup třetího součinnového hradla (6) a k přepínači (10), výstup třetího součinnového hradla (6) je připojen na vstup třetího monostabilního klopného obvodu (7), jehož výstup je připojen na vstup obvodu pro řízení délky pulsu (8) a ke vstupu prvního monostabilního klopného obvodu (3), výstup prvního součinnového hradla (9) je připojen k přepínači (10) jehož výstupy jsou připojeny na integrátor (12) a invertor (11) a výstup invertoru (11) je připojen na integrátor (12).

3 výkresy





Obr. 2



Obr. 3