

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4982926号
(P4982926)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int. Cl.	F I
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 B
HO 1 L 21/02 (2006.01)	GO 2 F 1/1343
GO 2 F 1/1343 (2006.01)	GO 2 F 1/1365
GO 2 F 1/1365 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1368 (2006.01)	GO 9 F 9/00 3 3 8
	請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2001-148425 (P2001-148425)	(73) 特許権者	000002185
(22) 出願日	平成13年5月17日(2001.5.17)		ソニー株式会社
(65) 公開番号	特開2002-343945 (P2002-343945A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年11月29日(2002.11.29)	(74) 代理人	100122884
審査請求日	平成20年3月7日(2008.3.7)		弁理士 角田 芳未
		(74) 代理人	100113516
			弁理士 磯山 弘信
		(72) 発明者	名取 武久
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	萩原 周治
			最終頁に続く

(54) 【発明の名称】 素子配列方法

(57) 【特許請求の範囲】

【請求項1】

帯電させた素子に対して交差部を形成するように交差する一対の電極線の電位を切り替えて、静電気力によって前記素子を前記交差部に配列した素子配列方法において、

一方の電極線の電位を前記素子と同極性に制御し他方の電位を逆極性に制御した後、前記一方の電極線の電位を逆極性に制御して且つ前記他方の電極線の電位を同極性に制御し、

前記素子と逆極性の電位の絶対値は、前記素子と同極性の電位の絶対値より大にした、ことを特徴とする素子配列方法。

【請求項2】

前記一対の電極線は、配線用基板上にマトリクス状に複数形成されている、請求項1記載の素子配列方法。

【請求項3】

前記素子は、回転対称またはそれと同等の形状を有する、請求項1記載の素子配列方法。

【請求項4】

前記素子は、実質的に矩形状の形状を有する、請求項1記載の素子配列方法。

【請求項5】

前記素子は、誘電体材料に被覆されている、請求項1記載の素子配列方法。

【請求項6】

前記素子は、薄膜トランジスタ若しくは発光素子を含む構造を有する、請求項1記載の素

子配列方法。

【請求項 7】

前記交差部は、前記一对の電極線の中の双方の電極線の接続部が臨む構造を有し、
前記接続部は、同心円状に臨む構造を有する、請求項 1 記載の素子配列方法。

【請求項 8】

前記素子の電極パッドには、予め接着剤層が形成されており、前記接着剤層は、導電性接着剤を塗布して形成されている、請求項 1 記載の素子配列方法。

【請求項 9】

前記電極線に隣接して複数の配線電極線を配設し、前記素子の配列後に複数の配線電極線と前記素子を接続させる、請求項 1 記載の素子配列方法。

10

【請求項 10】

前記帯電させた素子の配列時に、前記複数の配線電極線を前記帯電させた素子の極性と同極性の電位に制御する、請求項 9 記載の素子配列方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、素子が装置基板の所定の位置に配設される素子配列方法に関する。

【0002】

【従来の技術】

薄型の画像表示装置として、種々の表示装置が開発されている。例えば発光ダイオード (LED) を用いた装置、液晶ディスプレイを用いた装置、プラズマディスプレイを用いた装置などがある。これら画像表示装置は、コンピューター技術の進展とともにその適用範囲が広がりつつあり、例えば対角サイズで 30 センチから 150 センチ程度の大きさの装置は、テレビジョン受像機、ビデオ再生装置、ゲーム機器の出力装置に用いられている。

20

【0003】

素子をマトリクス状に配列して画像表示装置に組み上げる場合には、液晶表示装置 (LCD: Liquid Crystal Display) やプラズマディスプレイ (PDP: Plasma Display Panel) のように基板上に素子を形成するか、或いは発光ダイオードディスプレイのように単体の LED パッケージを配列することが行なわれている。さらに、従来の LCD、PDP の如き画像表示装置においては、素子や画素のピッチとその製造プロセスに関し、素子分離が出来ないために製造プロセスの当初から素子はその画像表示装置の画素ピッチだけ間隔を空けて該画像表示装置を構成する基板上に形成することが通常行なわれている。

30

【0004】

ところで、多結晶シリコンをチャンネルとして用いた薄膜トランジスタ (TFT: Thin Film Transistor) をスイッチング素子及び周辺の駆動回路として採用し、一画素毎に画素制御用のスイッチング素子として薄膜トランジスタを配置するアクティブマトリクス型液晶表示装置が注目されている。高画質を実現するためにはスイッチング特性が良好な材料で半導体が形成される必要があり、特に多結晶シリコン (poly-Si) あるいは微結晶シリコン ($\mu\text{c-Si}$) などの多結晶シリコン (非単結晶の結晶質シリコン) からなる半導体は、アモルファスシリコンからなる半導体と比較してキャリアの移動度が 10 倍から 100 倍程度大きいという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有している。

40

【0005】

多結晶シリコンを用いた薄膜トランジスタの製造工程プロセスで半導体の不純物を拡散させるために熱拡散が主流であったころは 1200 までの高温処理も行なわれていたが、現在の最高熱処理温度は 900 程度であり製造プロセスの低温化は着実に進んでいる。しかしながら、プロセスの低温化が進む中においても、この温度領域では耐熱性に優れたガラス基板を薄膜トランジスタ製造用の絶縁基板として用いざるをえない。

【0006】

50

しかし、液晶ディスプレイの低コスト化および市場の要望から、低融点ガラス板材料の使用が必要不可欠であることから、近年、製造プロセスの最高温度が600以下になる低温プロセスの開発が進められ実際にデバイスの作成がなされている。さらに、液晶ディスプレイの大画面化に伴い、製造プロセス温度をより低くし従来のガラス基板を使用した場合よりコストを抑えることができる有機高分子基板を用いることも検討されている。

【0007】

上述のような問題に対しての解決方法として、素子を実装する基板とは別の素子形成基板上に素子を作成した後に素子を分離して実装基板に実装する方法が行なわれている。一例として、真空チャックなどを用いて個々の素子を所定の位置に実装する如き方法が行なわれており、さらに効率の良い工法も検討されている。

10

【0008】

一方、公開特許公報特開2000-29038号公報において、静電気力を利用して基板上の所定の位置にスペーサを配置する方法が提供されている。本公報では、液晶表示装置を構成する基板の基板間隔を一定にするためのスペーサを画素部以外の領域である電極線上に選択的に配置するために、スペーサを帯電し電極線をスペーサと逆極性もしくは同極性に制御してスペーサを所定の位置に配置する方法を提供している。しかし、本公報ではスペーサのみに言及するに留まり、素子の配列方法には言及していない。

【0009】

【発明が解決しようとする課題】

電子応用装置及び画像表示装置を構成する装置基板と素子の一体形成の方法では、不良な素子を選別して取り除くことができないうえに、良品のみを揃えて配置することができないため、一つの基板上に配置する素子数が増える大画面になるほど素子の歩留まりに起因する画像表示の品質の低下が問題になる。例えば、液晶表示装置では画素制御用の薄膜トランジスタ素子の製造プロセスにおいて非晶質シリコン膜から多結晶シリコン膜を作成する際に高温でアニールする必要があり、従来の液晶表示装置の装置基板上に薄膜トランジスタ素子をはじめから形成する方法を用いた場合、アニール時の高温によって基板が劣化する場合がある。特に、液晶表示装置などを大画面化するためのコストダウンの方法として装置基板に安価な低耐熱性基板を使用した場合にはアニール時の熱による装置基板の劣化が顕著であり、画像表示装置の品質を低下させる。

20

【0010】

また、装置基板とは別の素子形成基板上に素子を作成しておき真空チャックなどを用いて個々の素子を装置基板の所定の位置に配置する場合、素子サイズが小さいとハンドリングが困難になり、素子毎の位置決めや作業効率においても問題がある。さらにチャック時の衝撃や装置基板に素子を配置するときの応力によって素子がダメージを受ける場合がある。

30

【0011】

他の方法として装置基板上に複数の素子をランダムに残す方法も考えられるが、液晶表示装置の行電極線（ゲート電極）と列電極線（データ電極）以外にデータ蓄積のためのキャパシタ用電極線やサブ画素電極およびこれらに接続する装置基板上の電極線が形成されている場合、行電極線と列電極線以外の電極線上に素子が配置されることを避ける必要がある。さらに、配置される素子の向きを制御出来ないことに起因する装置基板上の電極線と素子の接続不良などの問題がある。光透過領域である画素電極領域に素子が配置された場合、光が透過する割合つまり開口率が低下し画質の低下を招く原因となる。画質の向上とともに画像表示装置の大画面化が進むにつれて、個々の画素を制御する駆動用素子や各素子を接続する電極線で消費される電力も大きくなってきている。

40

【0012】

【課題を解決するための手段】

上記課題を解決し、本発明の目的を達成するため、本発明の素子配列方法は、帯電させた素子に対して交差部を形成するように交差する一対の電極線の電位を切り替えて、静電気力によって前記素子を前記交差部に配列した素子配列方法であり、一方の電極線の電位を素子と同極性に制御し他方の電位を逆極性に制御した後、一方の電極線の電位を逆極性

50

に制御して且つ他方の電極線の電位を同極性に制御する。そして、素子と逆極性の電位の絶対値は、前記素子と同極性の電位の絶対値より大にした、ことを特徴とする。

【0013】

上記方法によれば、負に帯電させた複数の素子を交差させた電極線上にランダムに残し、交差部を形成する第1の電極線の電位を負に制御し、第2の電極線の電位を正に制御することによって、第1の電極線上に残された素子は静電斥力を受けて除去され、第2の電極線上に残された素子は静電引力を受けそのまま第2の電極線上に配置される。次に、第1の電極線の電位を正に制御し、第2の電極線の電位を負に制御することによって第2の電極線上に配置された素子のうち第1の電極線との交差部に配置された素子のみが該交差部に残留する。このとき、正の電位の絶対値を負の電位の絶対値より大きい値に制御しておくことで、交差部に素子を配置することができる。

10

【0014】

さらに、あらかじめ素子の電極パッドに接着剤層を形成しておくことで、装置基板上の素子接続領域に前記電極パッドが接触した素子のみが装置基板の素子接続部に配設される。次に、交差部に配置された素子のうち電極パッドの接着剤層が素子接続部に接触しなかった素子を除去し、再び負に帯電させた複数の素子を前記交差させた電極線上にランダムに残す。本工程を順次繰り返すことによって精度良く交差部のすべてに素子を配設することができる。

【0015】

また、装置基板上に第1の電極線と第2の電極線に隣接して素子を配置する必要のない第3の電極線が複数配線されている場合には、第3の電極線の電位を素子に帯電させた電荷と同極性の電位に制御し、第1の電極線と第2の電極線の電位を互いに逆極性になるように順次切り換えることによって第1の電極線と第2の電極線の交差部にのみ素子を配置することができる。このとき、あらかじめ素子の電極パッドに接着剤層を形成しておくことで、装置基板上の素子接続領域に電極パッドが接触した素子のみが装置基板の素子接続部に配設される。次に、交差部に配置された素子のうち電極パッドの接着剤層が素子接続部に接触しなかった素子を除去し、再び帯電させた複数の素子を装置基板上にランダムに残す。本工程を順次繰り返すことによって精度良く第1の電極線と第2の電極線の交差部のすべてに素子を配設することができる。

20

【0016】

【本発明の実施の形態】

本発明の素子配列方法について、液晶表示装置の装置基板に画素制御用の素子を配設する製造工程を例に挙げ図面を参照して説明する。

30

【0017】

[第1の実施形態]

まず、図1に素子2が素子形成基板1上に形成されたところの断面図を示す。素子2は、アクティブマトリクス型液晶表示装置の駆動用素子として用いられる二端子素子であり、例えば、MIM素子(MIM: Metal Insulator Metal)、MSI素子(MSI: Metal Semi-Insulator Metal)、DR素子(Diode Ring)、BTBダイオード(BTB: Back To Back)、P
i
nダイオード等が挙げられる。

40

素子2は誘電体膜もしくは樹脂によって素子本体が被覆されており、素子2の一つの面には電極パッド3、4が形成されており、電極パッド3、4の素子2と反対側の面には熱可塑性を有する導電性接着剤で構成される接着剤層5が形成されている。誘電体膜や樹脂は素子2内部の素子本体が劣化しない方法で被覆されていれば良い。剥離膜7は非晶質シリコン膜で形成されており、素子2が形成されている面とは反対側の素子形成基板1の面からレーザービームを照射することで剥離膜7を結晶化して素子形成基板1から素子2を分離することができる。素子2は素子形成基板1上に密に形成されたのち、エッチングまたはダイシングなどの工法により素子形成基板1に素子分離溝6が形成され、各素子が分離される。素子形成基板1上の素子2の素子間隔は、素子の配設先である装置基板上に素子

50

を配置する間隔と一致している必要はない。素子形成基板 1 から分離された素子 2 は選別された後、良品のみが負に帯電される。

【 0 0 1 8 】

次に、素子を装置基板上に配設するところを示す図 2 乃至図 7 の工程平面図を用いて、装置基板 8 の行電極線 9 と列電極線 1 0 の交差部 1 1 に素子 2 を配設する工程を順次説明する。本実施形態で用いる装置基板 8 はガラス基板等で構成されており、前記ガラス基板上に X Y マトリックス状に電極線が形成されている。前記電極線は、列電極線 1 0 をガラス基板上にパターニングして形成し、その上に列電極線 1 0 と行電極線 9 を絶縁するための絶縁膜を形成し、さらにその上行電極線 9 をパターニングして形成し配線される。装置基板 8 が液晶表示装置の装置基板である場合には、上記電極線の他に画素電極や配向膜も形成される。まず、負に帯電された複数の素子 2 を装置基板 8 上にランダムに残し、列電極線 1 0 を正の電位に制御し、行電極線 9 を負の電位に制御して、図 2 に示すように列電極線 1 0 上のみ素子 2 を残す。このとき、装置基板 8 上の列電極線 1 0 と素子 2 の間には静電引力が働き素子 2 が列電極線 1 0 上にのみ配置され、行電極線 9 と素子 2 の間には静電斥力が働くことから行電極線 9 上には素子 2 は配置されない。また、負に帯電させた素子 2 と逆極性に制御された列電極線 1 0 の正の電位の絶対値は、行電極線 9 の負の電位の絶対値より大きい値に制御されることによって、交差部 1 1 に配置された素子 2 の装置基板 8 と垂直な向きに引力が作用して、素子 2 が交差部 1 1 から除去されることはない。素子 2 は列電極線 1 0 上に配置されてはいるが向きを制御できないので、素子 2 のうち電極パッド 3、4 が列電極線 1 0 に向かう向きで配置された素子 2 a や、電極パッド 3、4 が装置基板 8 に対して反対の向きで配置された素子 2 b などが混在している。交差部 1 1 の中心に素子 2 が配置されたときのみ、装置基板 8 に平行な面内での列電極線 1 0 と行電極線 9 から受ける静電気力の成分が平衡に保たれるので、交差部 1 1 に配置された素子 2 では、素子 2 の中心と交差部 1 1 の中心は一致している。

【 0 0 1 9 】

次に、列電極線 1 0 を負の電位に制御し行電極線 9 を正の電位に制御すると、列電極線 1 0 と素子 2 間には静電斥力、行電極線 9 と素子 2 間には静電引力が作用し、図 3 に示すように、列電極線 1 0 上の交差部 1 1 以外の領域に配置されていた素子 2 を除去することができる。このとき、初めに装置基板 8 上にランダムに素子 2 を残したので、交差部 1 1 のうち素子 2 が配置されない交差部 1 1 も存在している。

【 0 0 2 0 】

次に、装置基板 8 を加熱して素子 2 を交差部 1 1 に臨む接続部に接続する。交差部 1 1 に配置された素子 2 のうち電極パッド 3、4 が交差部 1 1 に向かう向きで配置された素子 2 a は、電極パッド 3、4 の表面に熱可塑性を有する導電性接着剤が塗布された接着剤層 5 が形成されていることから、図 4 に示すように、交差部 1 1 に配置された素子 2 のうち素子 2 a のみが交差部 1 1 に臨む接続部に接続される。一方、交差部 1 1 に配置されていた素子 2 b は、交差部 1 1 に臨む接続部と接続されないことから、装置基板 8 を反転させるか、もしくは振動を与えることによって装置基板 8 上から除去される。

【 0 0 2 1 】

次に、図 2 で説明した工程と同じ手順で列電極線 1 0 を正の電位に制御し、行電極線 9 を負の電位に制御した状態で、負に帯電させた複数の素子 2 を装置基板 8 上にランダムに残し、図 5 に示すように、列電極線 1 0 上の素子 2 が配置されていない領域に素子 2 を配置する（配置された素子 2 の向きに応じて素子 2 a、2 b と区別している）。このときも、正の電位の絶対値を負の電位の絶対値より大きい値に制御する。また、図 5 の工程で残す素子 2 とすでに列電極線 1 0 上に配設されている素子 2 は伴に負に帯電していることから互いに静電斥力が作用し、素子 2 が重なり合って配置されることはない。

【 0 0 2 2 】

次に、図 3 で説明した工程と同じ手順で列電極線 1 0 を負の電位に制御し行電極線 9 を正の電位に制御すると、列電極線 1 0 と素子 2 間には静電斥力、行電極線 9 と素子 2 間には静電引力が作用し、列電極線 1 0 上の交差部 1 1 以外の領域に配置されていた素子 2 を除

10

20

30

40

50

去することができる。交差部 11 に配置された素子 2 のうち電極パッド 3、4 が交差部 11 に向かう向きで配置された素子 2 a は電極パッド 3、4 に熱可塑性を有する導電性接着剤が塗布された接着剤層 5 が形成されていることから、装置基板 8 を加熱することによって交差部 11 に配置された素子 2 のうち素子 2 a のみが、図 6 に示すように、交差部 11 に臨む接続部と接続される。一方、素子 2 b は交差部 11 に臨む接続部と接続されず、図 4 で説明した工程と同様に再び装置基板 8 から素子 2 b は除去される。

【0023】

上記工程を繰り返し行なうことによって、図 7 に示すように交差部 11 にのみ素子 2 を配設することができる。このとき、上記工程とは逆に、素子 2 を帯電させたときの極性、行電極線 9 及び列電極線 10 の電位の極性について、組み合わせを逆に制御しても素子 2 を交差部 11 に配設することが出来る。

10

【0024】

次に、上記工程のうち素子 2 を交差部 11 の接続部に接続する工程について詳細に説明する。図 8 に交差部 11 に配設された素子 2 の平面図を示す。素子 2 の形状は略正方形で回転対称、またはそれと略同等の形状をしており、交差部 11 と略同じ大きさを有し、前記正方形の各辺は行電極線 9 と列電極線 10 の線幅と略同程度の寸法を有している。電極パッド 3 は、電極パッド 3 の中心と素子 2 の外形を形成する略正方形の面の中心が一致する位置に形成されており、電極パッド 4 は電極パッド 3 の中心と同一の中心を持つ同心円上に電極パッド 4 の中心が位置するように形成されている。

20

【0025】

次に、図 9 に交差部 11 に臨む接続部に素子 2 を接続するところの工程断面図を示す。装置基板 8 はその上に列電極線 10 が形成され、さらに絶縁膜層 13 が形成されている。絶縁膜層 13 はシリコン酸化膜やシリコン窒化膜などの光透過性を有する材料で構成される。列電極線 10 と電極パッド 3 を接続するためのビアホール 14 が交差部 11 の中心に設けられており、エッチングやレーザーアブレーションなどの工法を用いるなどして形成しておく。絶縁膜層 13 上には行電極線 9 が形成されており、ビアホール 14 と行電極線 9 を絶縁するための絶縁部 15 が形成されている。さらに、行電極線 9 と電極パッド 4 の接続部 16 と列電極線 10 と電極パッド 3 の接続部 17 を絶縁するための絶縁部 18 が設けられている。電極パッド 3 と列電極線 10 の接続部 17 は熱可塑性を有する導電性接着剤をビアホール 14 に充填し、更に前記導電性接着剤を絶縁部 18 の高さより高く突出させて接続部 17 を形成し、絶縁部 18 の外縁に絶縁部 18 の高さより高く突出させて導電性接着剤を塗布し接続部 16 を設けておく。接続部 16、17 は、交差部 11 に臨み且つ接続部 17 の中心と同心円上に接続部 16 の中心が一致するように設けられている。本実施形態の行電極線 9、列電極線 10 および素子 2 は光透過性を有しない場合が多いので、絶縁部 18、絶縁部 15 は光透過性を有しない材料で作成することができる。交差部 11 に素子 2 が配置されると、装置基板 8 を加熱することによって接続部 16、17 の導電性接着剤と電極パッド 3、4 に形成されている接着剤層 5 が接着される。ここで、交差部 11 の中心に素子 2 が配置されたときのみ、装置基板 8 に平行な面内での列電極線 10 と行電極線 9 から受ける静電気力の成分が平衡に保たれるので、交差部 11 に配置された素子 2 では、素子 2 の中心と交差部 11 の中心は一致している。電極パッド 3、4 および接続部 16、17 は交差部 11 の中心及び交差部 11 の中心と同一の中心を持つ同心円上に形成されるので素子 2 が装置基板 8 に平行な面内で回転しても電極パッド 3、4 は行電極線 9、列電極線 10 と確実に接続される。

30

40

【0026】

さらに、素子が三端子素子の場合においても上記素子配列方法とまったく同様な方法で交差部に素子を配設することができ、図 10 は交差部に素子を配置したところを示す工程平面図である。例えば、液晶表示装置で用いられる三端子素子は電界効果トランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) などであり、交差部 11 に臨む接続部の位置に合わせて電極パッ

50

ドを形成しておくことによって素子を接続部に接続することができる。素子20は、外形が略正方形であり素子本体が誘電体膜もしくは樹脂で被覆されている。誘電体膜、樹脂は素子2内部の素子本体が劣化しない方法で被覆されていれば良い。素子20には3つの電極パッド21、23、25が形成されており、例えば素子20が薄膜トランジスタである場合、前記3つの電極パッドは内部の素子本体のソース、ドレイン、ゲート電極と接続されている。素子20を交差部11に配設した場合、素子20の装置基板側の面の中心に電極パッド21が形成され、電極パッド23、25は電極パッド21の中心と同一の中心を持ち半径の異なる同心円上に形成されている。さらに、素子20の内部の素子本体は装置基板8とは別の素子形成基板上で作成された後前記素子形成基板から分離されるので、装置基板を構成する材質によって素子の製造プロセス条件が制限されることがなく、歩留まりの良好な素子を作成することが出来る。

10

【0027】

素子20には、電極パッド21、23、25間を絶縁するための絶縁部22、24が同心円状に形成されているが、あらかじめ交差部11に形成されていてもよく、交差部11に臨み素子20に形成された電極パッド21、23、25に対応する同心円上に形成された接続部に前記各電極パッドが接着される。素子20と電極線(行電極線9と列電極線10)及び画素電極等との接続部を交差部11に臨む装置基板上の異なる層に形成して素子20を交差部11に配設することが出来る。

【0028】

[第2の実施形態]

本実施形態では、液晶表示装置を構成する装置基板において、マトリクス状に形成された行電極線と列電極線の交差部に長方形の形状を有する素子を配設する方法について説明する。図11乃至図12を用いて、素子の形状について説明し、図13乃至図17を用いて装置基板に素子を配設する工程を順に説明する。さらに、素子が装置基板に接続された構造の一例を図18を用いて説明する。

20

【0029】

まず、図11に素子32の断面図を示す。素子32は、アクティブマトリクス型液晶表示装置の駆動用素子として用いられる二端子素子であり、例えば、MIM素子(MIM: Metal Insulator Metal)、MSI素子(MSI: Metal Semi-Insulator Metal)、DR素子(Diode Ring)、BTBダイオード(BTB: Back To Back)、Pinダイオード等がある。素子32には電極パッド33、34が形成されており、誘電体膜もしくは樹脂で被覆されている。誘電体膜、樹脂は素子32内部の素子本体を劣化させない方法で素子本体を被覆する。電極パッド33、34は被覆された内部の素子本体の電極と各々接続されている。2つの電極パッド34は内部の素子本体の一方の電極と接続されている。電極パッド34を一つだけ形成した場合、素子32が交差部41に配置されたときに素子32の重心が中心からずれることによって素子32が傾き、その傾きによる接続不良を防ぐために本実施形態のように2つの電極パッドを対称に形成しておいても良い。電極パッド33、34の素子32に対して反対側の面には熱可塑性を有する導電性接着剤を塗布して接着層35が形成されている。

30

40

【0030】

図12に素子32の平面図を示す。素子32は外形が略長方形であり、素子32を形成する略長方形の面の中心に円柱形状の電極パッド33が形成されている。電極パッド34は電極パッド33と同一の面36に形成されており、電極パッド34の面36上における中心が、面36上の電極パッド33の中心と同一の中心を持つ同心円上の点と一致するように電極パッド34は形成されている。素子32は作成された後選別され、良品のみを負の電荷で帯電させる。

【0031】

次に、装置基板に素子を配設する工程について詳細に説明する。図13乃至図17は、装置基板38の行電極線39と列電極線40の交差部41に素子32を配設するところを示

50

した工程平面図である。装置基板 38 上にはマトリックス状に電極線（行電極線 39 と列電極線 40）が形成されている。前記電極線は、列電極線 40 を装置基板 38 上にパターンニングして形成し、その上に列電極線 40 と行電極線 39 を絶縁するための絶縁膜を形成し、さらにその上に行電極線 39 をパターンニングして形成し配線される。装置基板 38 が液晶表示装置の装置基板である場合には、上記電極線の他に画素電極や配向膜も形成される。

【0032】

まず、列電極線 40 を正の電位に制御し、行電極線 39 を負の電位に制御し、図 13 に示すように、装置基板 38 上に負に帯電された複数の素子 32 をランダムに残す。このとき、装置基板 38 上の列電極線 40 と素子 32 の間には静電引力が作用し素子 32 が列電極線 40 上のみ配置される。行電極線 9 と素子 32 の間には静電斥力が働くことから行電極線 39 上には素子 32 は配置されない。このとき、正の電位の絶対値を負の電位の絶対値より大きい値に制御し、交差部 41 上の素子 2 a、2 b が除去されないようにする。素子 32 は列電極線 40 上に配置されてはいるが、装置基板 38 上に複数の素子 32 がランダムに残され素子 32 の向きを制御できないことから、電極パッド 33、34 が列電極線 40 に向かう向きで配置された素子 32 a や、電極パッド 33、34 が形成された面と反対の素子 32 の面が列電極線 40 に向かう向きで配置された素子 32 b などが混在している。

【0033】

次に、列電極線 40 を負の電位に制御し、行電極線 39 を正の電位に制御すると列電極線 40 と素子 32 a および素子 32 b 間には静電斥力、行電極線 39 と素子 32 a 及び素子 32 b 間には静電引力が作用することから、列電極線 40 上の交差部 41 以外の領域に配置されていた素子 32 a 及び素子 32 b を除去することができ、図 14 に示すように、交差部 41 にのみ素子 32 a もしくは素子 32 b が配置される。このときも、正の電位の絶対値を負の電位の絶対値より大きい値に制御し、交差部 41 上の素子 32 a、32 b が除去されないようにする。また、図 13 で素子 32 を装置基板 38 上にランダムに残したので、素子 32 が配置されない交差部 41 が存在する場合もある。

【0034】

次に、装置基板 38 を加熱して交差部 41 に配置された素子 32 a を装置基板 38 上の接続部と接着させる。交差部 41 に配置された素子 32 のうち電極パッド 33、34 が交差部 41 に向かう向きで配置された素子 32 a は、電極パッド 33、34 に熱可塑性を有する導電性接着剤が塗布された接着剤層 35 が形成されていることから、交差部 41 に配置された素子 32 のうち素子 32 a のみが交差部 41 に臨む接続部と接着される。一方、交差部 41 に配置された素子 32 b は、交差部 41 に臨む接続部と接着されないことから、装置基板 38 を反転させるか、もしくは振動を与える等の方法によって装置基板 38 上から除去され、図 15 に示すように、素子 2 a のみが交差部 41 に配置されて接続されている。

【0035】

次に、図 13 を用いて説明した工程と同じ手順により列電極線 40 を正の電位に制御し行電極線 39 を負の電位に制御した状態で、負に帯電させた複数の素子 32 を装置基板 38 上にランダムに残し、図 16 に示すように、列電極線 40 上の素子 32 が配置されていない領域に素子 32 を配置する。このとき、図 16 で説明する工程で残す素子 32 とすでに列電極線 40 上に配設されている素子 32 は伴に負に帯電していることから互いに静電斥力が作用し、素子 32 が重なり合って配置されることはない。

【0036】

次に、図 3 で説明した工程と同じ手順で列電極線 40 を負の電位に制御し、行電極線 39 を正の電位に制御すると列電極線 40 と素子 32 間には静電斥力、行電極線 39 と素子 32 間には静電引力が作用し、列電極線 40 上の交差部 41 以外の領域に配置されていた素子 32 を除去することができる。装置基板 8 を加熱することによって交差部 41 に配置された素子 32 のうち電極パッド 3、4 が交差部 41 に向かう向きで配置された素子 32 a

10

20

30

40

50

は、電極パッド3、4に熱可塑性を有する導電性接着剤が塗布された接着剤層5が形成されていることから、交差部41に配置された素子32のうち素子32aのみが交差部41に臨む接続部と接着される。一方、素子32bは交差部41に臨む接続部と接着されないことから、再び装置基板38から除去されることになる。上記工程を繰り返し行なうことによって、図17に示すように、交差部41にのみ素子32を配設することができる。

【0037】

次に、素子32が交差部41に配置され、行電極線39と列電極線40に接続されたところの構造の断面図を図18に示す。装置基板38上に列電極線40がパターンニングされて形成され列電極40を他の電極線と絶縁するための絶縁膜層43が形成されている。絶縁膜層43はシリコン酸化膜やシリコン窒化膜などの光透過性を有する材料で構成される。列電極線40と電極パッド33を接続するためのビアホール44が交差部41の中心に形成されている。ビアホール44はエッチングやレーザーアブレーションなどの工法を用いるなどして形成される。絶縁膜層43上には行電極線39が形成されており、ビアホール44と行電極線39を絶縁するための絶縁部46が設けられている。また、さらにその上に行電極線39と電極パッド34の接続部47と列電極線40と電極パッド33と列電極線40の接続部45は熱可塑性を有する導電性接着剤をビアホール44に充填し、更に前記導電性接着剤を絶縁部48の高さより高く突出させて接続部45を設けておく。電極パッド33の接続部45を絶縁するための絶縁部48が設けられている。絶縁部48の外縁には絶縁部48の高さより高く突出させて前記導電性接着剤を塗布して接続部47を設けておく。本実施形態の行電極線39、列電極線40および素子32は光透過性を有しない場合が多いので、絶縁部46、48は光透過性を有しない材料で形成することができる。交差部41に素子32が配置されると、装置基板38を加熱することによって接続部45、47及び接着剤層35の導電性接着剤を介して電極パッド33、34が行電極線39と列電極線40に接続される。

【0038】

ところで、第1の実施形態と異なり本実施形態では素子32が長方形をしていることから素子32が交差部41に配設されるとき素子32の向きの制御が重要になる。本実施形態における交差部41の構造では、一旦列電極線40の長手方向に沿う向きで列電極線40上に配置された素子32は、列電極線40を正の電位に制御し列電極線40を負の電位に制御すると、列電極線40の交差部41から列電極線40の長手方向に向かって伸びる両方の電極線の領域から静電引力を受け、素子32の長手方向が行電極線39の長手方向に揃う向きに配置される。さらに、繰り返し行電極線39、列電極線40について交互に電位の極性を切り換えることによって素子32の位置を交差部41の中心に揃え且つ素子32の長手方向を行電極線39の長手方向に揃えることができる。

【0039】

また、本実施形態のように装置基板38上に同一間隔に形成された交差部41に素子32を配設した場合には、単に特性の揃った素子32を交差部41に配設して画面内の画素の動作を行なうことができるだけでなく、装置基板38とそれに対向する装置基板を張り合わせる構造を備える液晶表示装置等においては、対向する装置基板間の距離を画面内で一定に保持するためのスペーサとしても素子32を機能させることができる。

【0040】

[第3の実施形態]

画像表示装置の装置基板上に行電極線と列電極線以外の第3の電極線が配線されている場合に、第3の電極線上に素子が配置されることがなく行電極線と列電極線の交差部に素子を配置する工程について、図19乃至図25を用いて順に説明する。

【0041】

素子52は、第1の実施形態で用いた素子と同一の構造を具備している外形が正方形の素子であり、例えば二端子素子であるダイオードや三端子素子である薄膜トランジスタ等である。素子52を形成する一つの面には電極パッドが形成されており、電極パッドを形成する面のうち素子52と反対面の表面には熱可塑性を有する導電性接着剤が塗布された接着

10

20

30

40

50

剤層が形成されている。

【0042】

本実施形態における装置基板51はガラス基板であり、行電極線53と列電極線54が設けられ、行電極線53と列電極線54によって交差部55を形成されている。さらに第3の電極線56が列電極線54と平行に複数形成されている。第3の電極線56は素子52を交差部55に配設した後列電極線54と接続され、例えば、装置基板51上の電極線における電気抵抗を抑え、装置基板51における消費電力を抑制する機能を有する場合や、行電極線53や列電極線54に送信する画像信号以外の信号を素子52に送信するために、素子52を交差部55に配設した後素子52と接続される電極線である。また、第3の電極線56は、行電極線53や列電極線54と装置基板51の同一面に形成されている必要はなく、装置基板51中の異なる層に形成されていても良い。

10

【0043】

次に、列電極線54を正の電位に制御し、行電極線53と第3の電極線56の電位を負に制御した状態で、負に帯電させた複数の素子52を装置基板51上にランダムに残す。素子52と列電極線54には静電引力が作用し、行電極線53及び第3の電極と素子52間には静電斥力が作用することによって、図19に示すように、列電極線54上のみ素子52が配置される。このとき、列電極線54の正の電位の絶対値は、行電極線53と第3の電極線56の負の電位の絶対値より大きくなるように制御する。

【0044】

次に、列電極線54及び第3の電極線56を負の電位に制御し行電極線53を正の電位に制御すると、図20に示すように、列電極線54上の交差部55以外の領域に配置された素子52は静電斥力によって除去される。このとき、素子52のうち、素子52に形成された電極パッドが装置基板51に向い合う向きで交差部55に配置された素子52aと前記電極パッドが形成された素子52の面が装置基板51と反対側になった向きで配置された素子52bが混在しており、装置基板51を加熱することによって、図21に示すように、素子52aのみが交差部55に臨む接続部と接着される。ここで、交差部55に臨む接続部と接着されない素子52bは、装置基板51を反転させるなどして除去される。このとき、前工程と同様に、正の電位の絶対値は、負の電位の絶対値より大きくなるように制御する。

20

【0045】

次に、列電極線54を正の電位に制御し行電極線53と第3の電極線56の電位を負に制御した状態で、装置基板51上に負に帯電させた複数の素子52をランダムに残すと、図22に示すように、静電気力によって列電極線54上の素子52が配置されていない領域に素子52が配置され、続いて、図23に示すように、列電極線54及び第3の電極線56を負の電位に制御し行電極線53を正の電位に制御すると、交差部55以外の列電極線54上に配置された素子52が静電気力によって除去され、素子52が配置されていなかった交差部55にも素子52が配置される。このときも、前工程と同様に、正の電位の絶対値は、負の電位の絶対値より大きくなるように制御する。

30

【0046】

さらに、装置基板51を加熱することによって素子52aのみが交差部55に臨む接続部に接着され、素子52bは装置基板51を反転させるなどして除去され、図24に示すように素子52が配設されていなかった交差部55に素子52が配設される。上記工程を繰り返し行なうことによって、装置基板上にマトリクス状に形成された行電極線と列電極線以外の複数の電極線が形成されている場合においても、図25に示すように行電極線と列電極線が臨んで形成されるすべての交差部に素子を配設することが出来る。また、図19乃至図25を用いて説明した工程において、素子52を帯電させる電荷や、行電極線53と列電極線54及び第3の電極線56の電位について、上述の極性の組み合わせと逆にしても同様な結果を得ることが出来る。

40

【0047】

【発明の効果】

50

画像表示装置の画素を制御する素子を装置基板とは別に作成することができるので、素子の製造工程の条件が装置基板の材質によって制限されることがなくなり素子の品質を向上させることができる。さらに、素子作成後に素子を選別できるので装置基板上に実装する素子の特性を揃えることができ、画素制御を確実にこなうことができる。

【0048】

また、等間隔に電極線の交差部が形成される場合には、対向する2つの基板によって構成される画像表示装置等が基板間距離を一定に保持するためのスペーサとして素子自体機能も果たすこともできる。

【0049】

さらに、装置基板に直接素子を作成する必要がないので、高温の製造プロセスを必要とする素子においては良好な歩留まりで素子を製造することができる。また、装置基板と素子が一体形成ではないことから不良品を除くだけでなく特性を揃えて素子を装置基板に配列することができ、高品位の画質を得ることができる。

【0050】

また、素子単体で扱う必要がなく多数同時に整列させることができるので比較的容易に画像表示装置が作成可能であり、ハンドリングに真空チャックを使用しないことにより画像認識の必要がなく小型の素子を扱うことができる。

【0051】

消費電力を抑制するために複数の電極線を作成した場合でも、素子を配設する必要のない電極線の領域を除いて所望の電極線の交差部にのみ素子を配設することができ、消費電力の低減と画質の向上を同時に実現できる。以上の利点によって特に大画面の画像表示装置を作成するうえで本発明の効果は絶大である。

【図面の簡単な説明】

【図1】本発明の素子配列方法の一実施形態に係る外形が正方形の素子を素子形成基板上に作成したところを示す工程断面図である。

【図2】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線のうち列電極線上に外形が正方形の素子を配置したところを示す工程平面図である。

【図3】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線の交差部の一部に外形が正方形の素子を配置したところを示す工程平面図である。

【図4】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線の交差部の一部に外形が正方形の素子を交差部に配設したところを示す工程平面図である。

【図5】本発明の素子配列方法の一実施形態に係る外形が正方形の素子をマトリクス状に配列される複数の電極線のうち列電極線上に配置したところを示す工程平面図である。

【図6】本発明の素子配列方法の一実施形態に係る外形が正方形の素子を交差部の一部に配設したところを示す工程平面図である。

【図7】本発明の素子配列方法の一実施形態に係る外形が正方形の素子をすべての交差部に配設したところを示す工程断面図である。

【図8】本発明の素子配列方法の一実施形態に係る交差部に外形が正方形の素子を配設したところを示す工程平面図である。

【図9】本発明の素子配列方法の一実施形態に係る交差部に外形が正方形の素子を配設したところを示す工程断面図である。

【図10】本発明の素子配列方法の一実施形態に係る外形が正方形の三端子素子を交差部に配設したところを示す工程平面図である。

【図11】本発明の素子配列方法の一実施形態に係る外形が長方形の素子の断面図である。

【図12】本発明の素子配列方法の一実施形態に係る外形が長方形の素子の平面図である。

【図13】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線のうち列電極線上に外形が長方形の素子を配置したところを示す工程平面図である。

10

20

30

40

50

【図14】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線の交差部に外形が長方形の素子を配置したところを示す工程平面図である。

【図15】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線の交差部の一部に外形が長方形の素子を配設したところを示す工程平面図である。

【図16】本発明の素子配列方法の一実施形態に係る外形が長方形の素子をマトリクス状に配列される複数の電極線のうち列電極線上に配置したところを示す工程平面図である。

【図17】本発明の素子配列方法の一実施形態に係る外形が長方形の素子をすべての交差部に配設したところを示す工程平面図である

【図18】本発明の素子配列方法の一実施形態に係る交差部に外形が長方形の素子を配設したところを示す工程断面図である。

10

【図19】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線のうち列電極線上に外形が正方形の素子を配置したところを示す工程平面図である。

【図20】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線のうち列電極線上に外形が正方形の素子を配置したところを示す工程平面図である。

【図21】本発明の素子配列方法の一実施形態に係る一部の交差部に外形が正方形の素子を配設したところを示す工程平面図である。

【図22】本発明の素子配列方法の一実施形態に係るマトリクス状に配列される複数の電極線のうち列電極線上に外形が正方形の素子を配置したところを示す工程平面図である。

【図23】本発明の素子配列方法の一実施形態に係る交差部に外形が正方形の素子を配置したところを示す工程平面図である。

20

【図24】本発明の素子配列方法の一実施形態に係る一部の交差部に外形が正方形の素子を配設したところを示す工程平面図である。

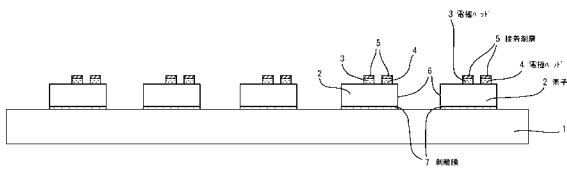
【図25】本発明の素子配列方法の一実施形態に係るすべての交差部に外形が正方形の素子を配設したところを示す工程平面図である。

【符号の説明】

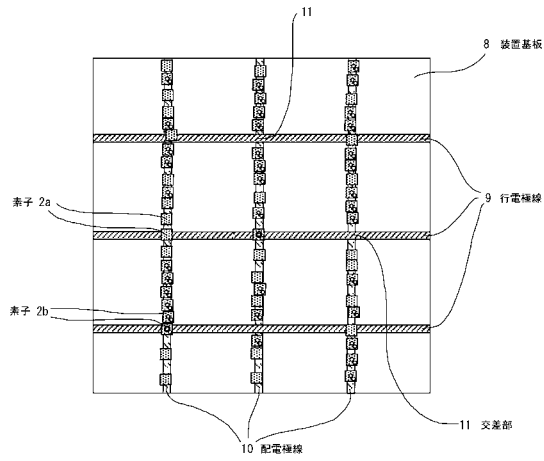
- | | | | |
|-------------------------------------|--------|-------|----|
| 1 | 素子形成基板 | | |
| 2 | 素子 | | |
| 2 a | 素子 | | |
| 2 b | 素子 | | |
| 3、4、2 1、2 3、2 5、3 3、3 4 | 電極パッド | 30 | |
| 5、3 5 | 接着剤層 | | |
| 6 | 素子分離溝 | | |
| 7 | 剥離膜 | | |
| 8、3 8 | 、5 1 | 装置基板 | |
| 9、3 9 | 、5 3 | 行電極線 | |
| 1 0、4 0、5 4 | | 列電極線 | |
| 1 1、4 1、5 5 | | 交差部 | |
| 1 3、4 3 | | 絶縁膜層 | |
| 1 4 | | ビアホール | |
| 1 5、1 6、1 7、1 8、2 2、2 4、4 6、4 7、4 8 | | 絶縁部 | 40 |
| 2 0 | | 素子 | |
| 3 2 | | 素子 | |
| 3 2 a | | 素子 | |
| 3 2 b | | 素子 | |
| 3 6 | | 面 | |
| 4 4 | | ビアホール | |
| 4 5 | | 接続部 | |
| 5 2 | | 素子 | |
| 5 2 a | | 素子 | |
| 5 2 b | | 素子 | 50 |

5 6 第 3 の電極線

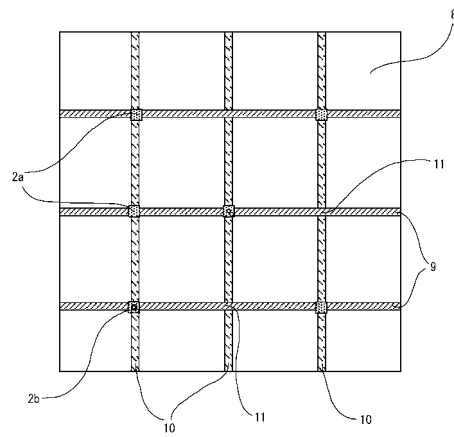
【 図 1 】



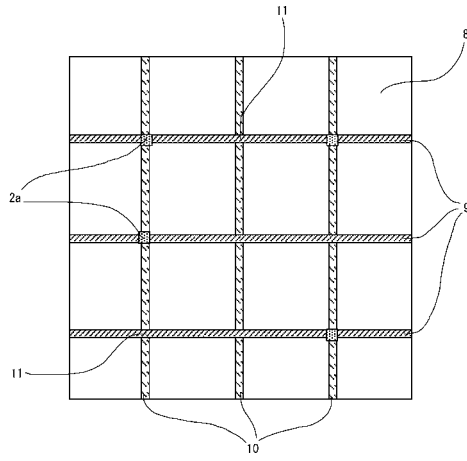
【 図 2 】



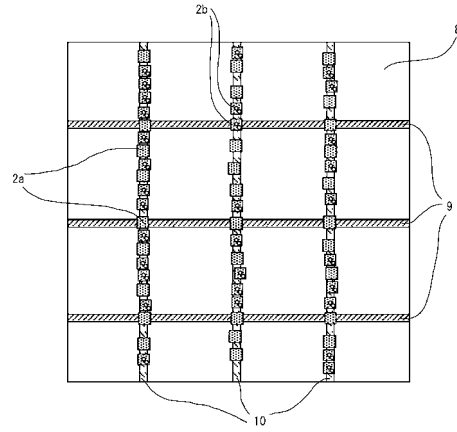
【 図 3 】



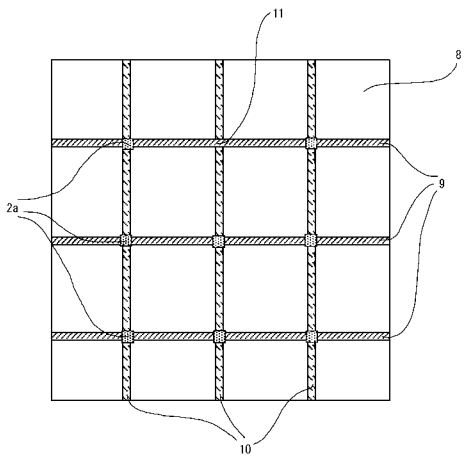
【 図 4 】



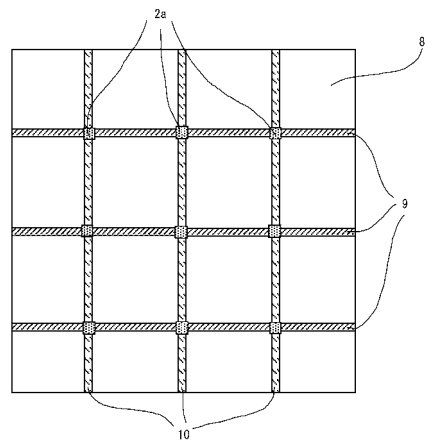
【 図 5 】



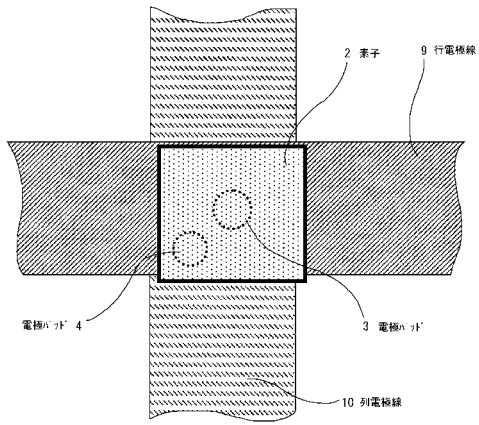
【 図 6 】



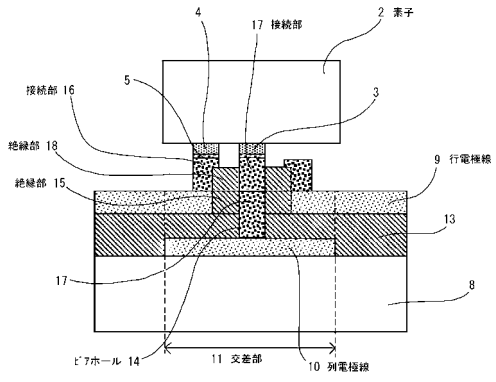
【 図 7 】



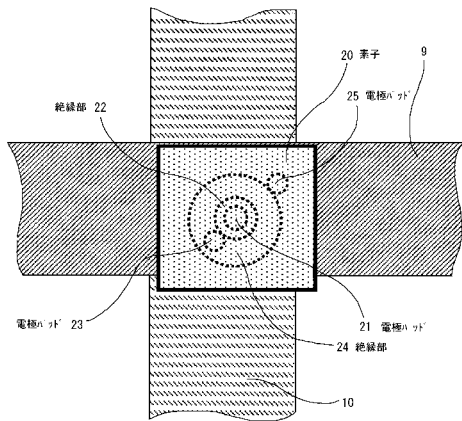
【図8】



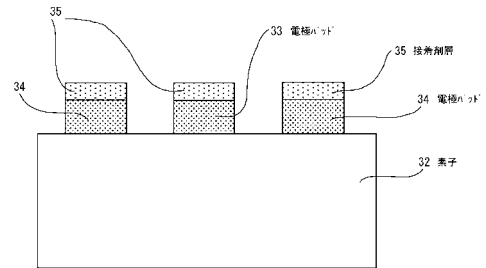
【図9】



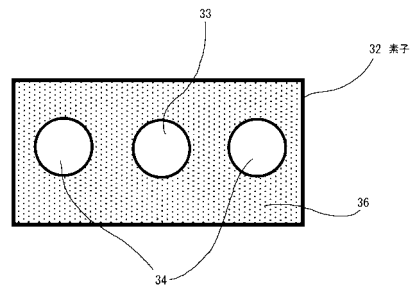
【図10】



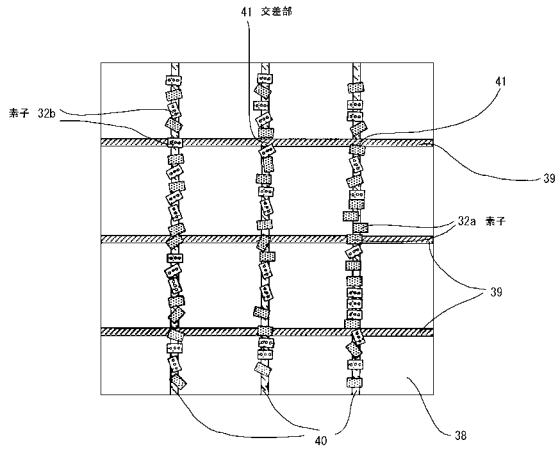
【図11】



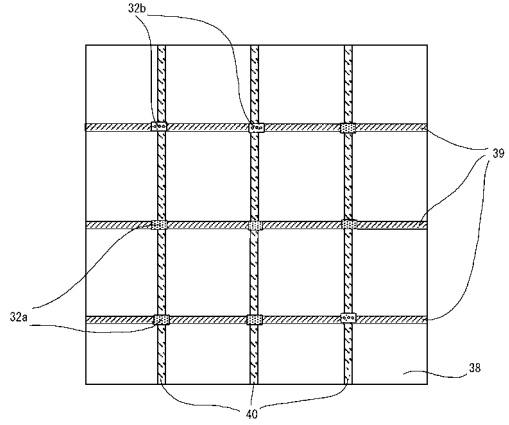
【図12】



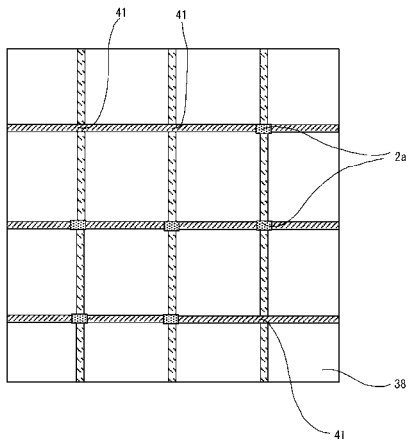
【図 13】



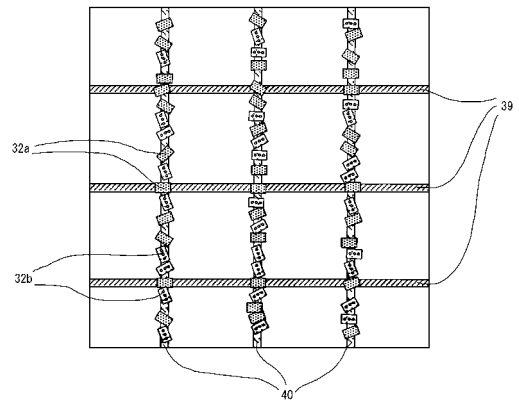
【図 14】



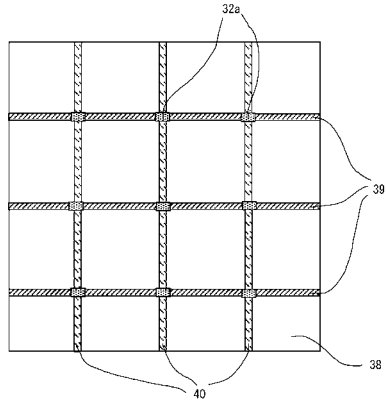
【図 15】



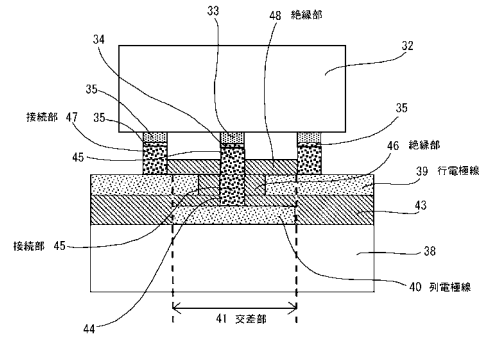
【図 16】



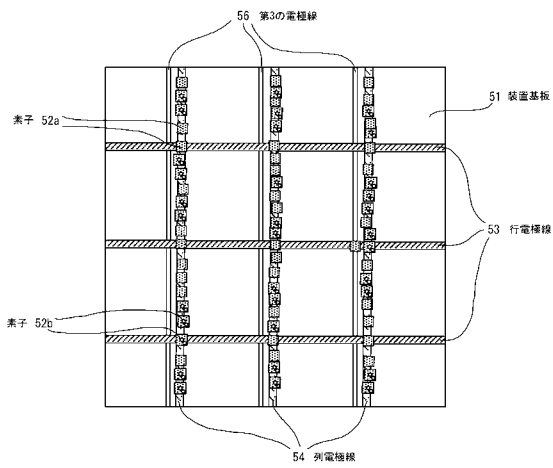
【図17】



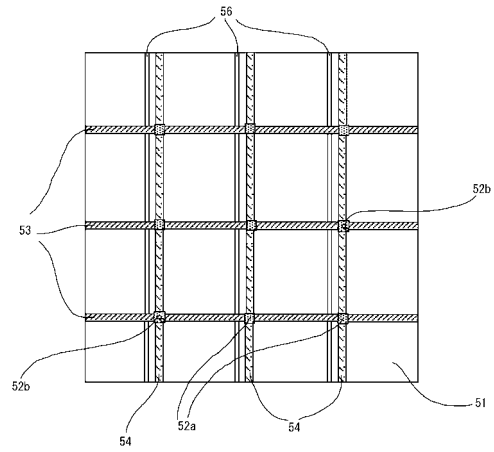
【図18】



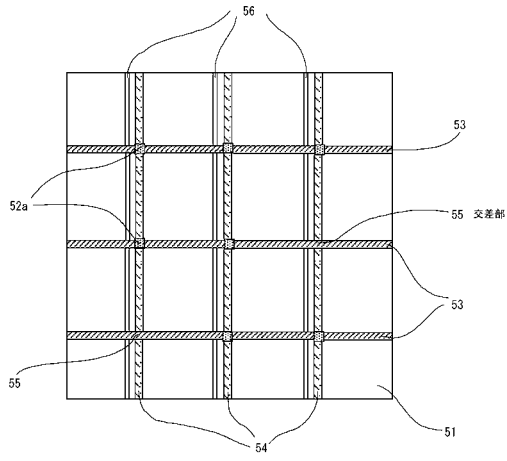
【図19】



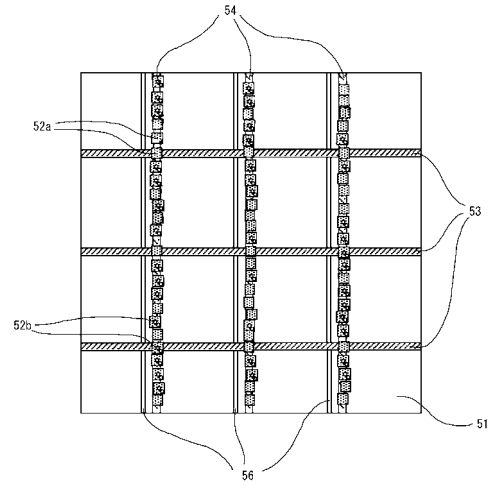
【図20】



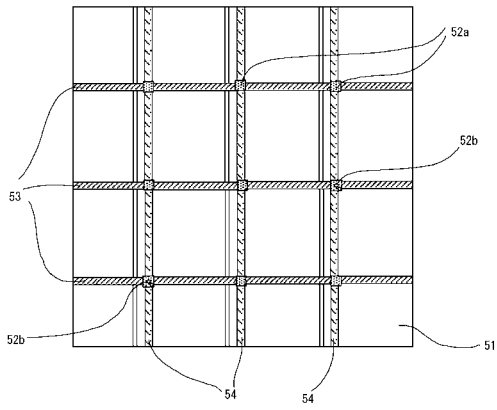
【図 2 1】



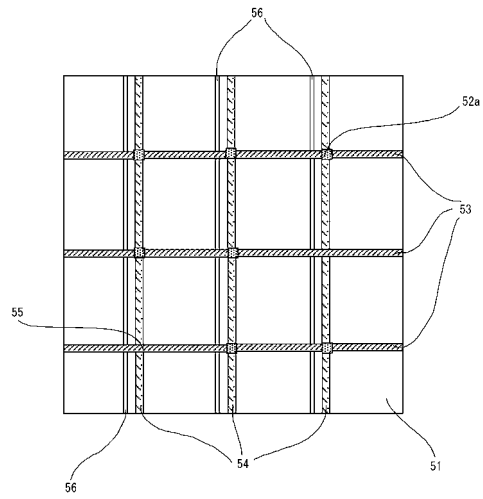
【図 2 2】



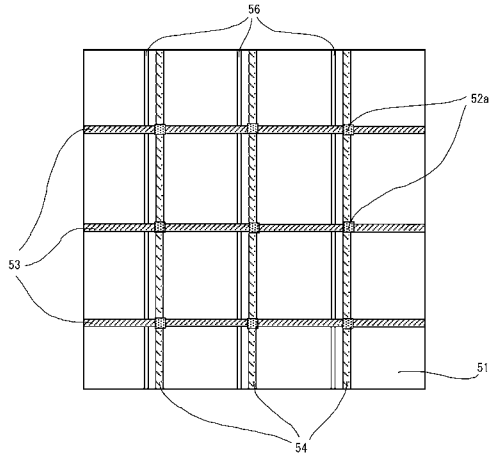
【図 2 3】



【図 2 4】



【 25 】



フロントページの続き

(51) Int.Cl.		F I		
<i>G 0 9 F</i>	<i>9/00</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30 3 3 8</i>
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78 6 2 7 D</i>
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/60 3 1 1 Q</i>
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>		
<i>H 0 1 L</i>	<i>21/60</i>	<i>(2006.01)</i>		

(56) 参考文献 特開 2 0 0 1 - 3 3 2 3 8 3 (J P , A)
 特開 2 0 0 1 - 2 4 9 6 2 6 (J P , A)
 特開平 0 9 - 1 2 0 9 4 3 (J P , A)
 特開 2 0 0 0 - 0 2 9 0 3 8 (J P , A)
 特開 2 0 0 1 - 0 0 7 3 4 0 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H01L 27/12
 H01L 21/02
 G02F 1/1343-1/1345
 G02F 1/135-1/1368
 G09F 9/00-9/46
 H01L 21/336
 H01L 21/447-21/449
 H01L 21/60-21/607
 H01L 29/786