

# 發明專利說明書

双面影印

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97124281

※ 申請日期：97.6.27

※IPC 分類：G11C 8/00 (2006.01)

## 一、發明名稱：(中文/英文)

階層式快取記憶體標籤架構

HIERARCHICAL CACHE TAG ARCHITECTURE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛 / SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1. 辛赫 阿布希雪克 / SINGHAL, ABHISHEK

2. 歐斯伯尼 蘭迪 B. / OSBORNE, RANDY B.

國籍：(中文/英文)

1. 印度 / INDIA

2. 加拿大 / CANADA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、 2007/06/29、 11/771,774

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明是關於快取記憶體標籤儲存。較特別地，本發明是關於為多個快取記憶體標籤儲存產生標籤儲存的一階層式架構。

#### 術語彙編

下面是這裏使用的術語的一簡要彙編。所提供的定義適用於整個專利說明書及申請專利範圍，除非該術語明確地以另一方式被使用。

標籤儲存結構：為一快取記憶體中的每一項儲存標籤及其他有關資訊(例如狀態資訊、LRU資訊、ECC資訊)的一儲存結構。

快取記憶體標籤之快取記憶體：用以儲存被儲存在標籤儲存結構中的一子集標籤的一快取記憶體。

索引：一記憶體請求中的位址的指向一標籤儲存結構中特定的一組標籤之部分。

標籤：一記憶體請求中的位址的指向一特定記憶體位址位置之部分，該記憶體位址位置對於特定的索引部分而言是唯一的。

### 【先前技術】

#### 發明背景

由於相對於處理器核心的速度，記憶體的速度相對較慢，所有種類的處理器已經變得更加依賴於快取記憶體。

許多快取記憶體架構已經被使用數十年。一種共同的快取記憶體架構是組關聯快取記憶體(set associative cache)。快取記憶體架構具有儲存來自系統記憶體位置的資料的記憶體儲存器以及儲存多組標籤的一標籤儲存結構。

- 5           一般地，在標準的快取記憶體階層式架構中，一快取記憶體被位於離該(等)處理器核心越接近，該快取記憶體就變得越小且越快。最小且最快的快取記憶體一般位於處理器核心矽晶粒上。另一方面，最大的快取記憶體(LLC或最後一級快取記憶體)或多個快取記憶體有時位於該(等)處理
- 10 器核心的晶粒外(off-die)。如與一晶粒內(on-die)快取記憶體相對的，存取位於一晶粒外快取記憶體中的資料一般產生額外的潛時，因為該資料被傳送到該(等)處理器會花較長時間。

- 每一快取記憶體具有一標籤儲存結構。如果處理器需
- 15 要來自某一記憶體位置的資料，則藉由在該記憶體位置位址與該快取記憶體的該標籤儲存結構之間作一比較，其可決定該資料是否被儲存在一已給定的快取記憶體中。如果該標籤儲存結構在晶粒外，則用於執行標籤查找的潛時將大於如果該標籤儲存結構在晶粒內時的潛時。因此，晶粒
- 20 內標籤儲存結構增加了處理器晶粒的成本，因為它們佔據有用空間，但是藉由減小與晶粒外快取記憶體相對的標籤查找的潛時，它們有助於加快執行的速度。

          在許多實施例中，快取記憶體以快取列(例如64位元組)儲存資料。在其他實施例中，快取記憶體以一些其他的可

量測的單元儲存資料。在快取記憶體以快取列儲存資料的一示範性實施例中，該標籤儲存結構表示由儲存在該快取記憶體內的快取列代表的該等特定的記憶體位置。此外，該標籤儲存結構還儲存狀態資訊以識別該已儲存的快取列是否已經被修改，是否無效等等。狀態資訊的一範例是許多快取記憶體所使用的MESI(修改的、專用的、共享的或無效的)資訊。該標籤儲存結構還儲存快取記憶體替換策略資訊以協助決定如果需要替換一現存快取列的話哪個快取列要被驅逐(evict)。LRU(最近最少用到)位元是被使用的一通用技術且要求關於快取列(相對於其他已儲存的快取列)的相對年齡的資訊被保留，雖然其他替換策略技術存在且可被利用。該標籤儲存結構還可以為標籤的每一組儲存錯誤校正資訊(ECC)，雖然ECC資訊不是必須的。該LRU資訊及該ECC資訊只需要以每組被儲存，而標籤資訊及狀態資訊需要以每標籤(即每路)被儲存。

例如，在一40-位元位址空間中具有64位元組快取列的一256百萬位元組(MB)4-路組關聯快取記憶體可能需要9.5MB的標籤儲存空間：

$$(14b \text{ 標籤} + 2b \text{ 狀態}) \times 4M \text{ 標籤} + (8b \text{ ECC} + 4b \text{ LRU}) / \text{組} \times 1M \text{ 路} = 9.5MB$$

如果此標籤儲存結構位於處理器晶粒上，則9.5M的儲存空間量將會給製造處理器的成本增加顯著的負擔。儲存在閘極中的9.5M資訊佔據處理器的矽晶粒上大量的空間。為了減小關於該處理器晶粒的成本負擔且還允許決定快取及未中，部分標籤儲存結構已經被引入且偶爾被使用。部

分標籤僅儲存標籤資訊的一部分(例如該標籤的8位元而不是所有的14位元)以節省晶粒空間。此種架構被最佳化以迅速決定快取-未中。但是，為了決定快取-命中，來自主記憶體的全部標籤仍將需要被存取。因此，如果使用部分-標籤

5 查找是快取未中，則要知道，資料應該從系統記憶體被擷取；然而，如果快取命中，仍然需要自儲存關於所有標籤之資訊的該標籤儲存結構存取實際標籤。

### 【發明內容】

#### 發明概要

10 依據本發明之一實施例，係特地提出一種裝置，其包含耦接到一處理器的一快取記憶體；耦接到該快取記憶體的一標籤儲存結構，該標籤儲存結構儲存多個標籤，其中每一標籤與儲存在該快取記憶體內的一資料位置有關聯；及耦接到該處理器的一快取記憶體標籤之快取記憶體，該

15 快取記憶體標籤之快取記憶體儲存被儲存在該標籤儲存結構中的該等多個標籤中的一或較多個標籤的一子集。

依據本發明之另一實施例，係特地提出一種系統，其包含一互連體；位於一第一矽晶粒上且耦接到該互連體的一處理器；位於一第二矽晶粒上且耦接到該互連體的一快

20 取記憶體；位於該第二矽晶粒上且耦接到該互連體的一標籤儲存結構，該標籤儲存結構儲存多個標籤，其中每一標籤與儲存在該快取記憶體中的一資料位置有關聯；及位於該第一矽晶粒上且耦接到該互連體的一快取記憶體標籤之快取記憶體，該快取記憶體標籤之快取記憶體儲存被儲存

在該標籤儲存結構中的該等多個標籤中的一或較多個標籤的一子集。

依據本發明之又一實施例，係特地提出一種方法，其包含以下步驟：在一標籤儲存結構中儲存多個標籤，其中  
5 每一標籤與儲存在一快取記憶體內的一資料位置有關聯，該快取記憶體耦接到一處理器上；及在一快取記憶體標籤之快取記憶體中儲存該等多個標籤中的一或較多個但少於儲存在該標籤儲存結構中的所有該等多個標籤的一子集。

#### 圖式簡單說明

10 本發明以舉例的方式被說明且不限於附圖，在附圖中相同的參考表示相同的元件，及其中：

第1圖描述了用以實施快取記憶體標籤之快取記憶體的一裝置的一實施例。

第2圖描述了標籤位址結構以及快取記憶體標籤之快  
15 取記憶體組結構及一N-路組關聯配置的快取記憶體標籤之快取記憶體中的一個別的標籤位址項的一實施例。

第3圖是利用快取記憶體標籤之快取記憶體以儲存與快取記憶體有關聯的標籤的集合的一子集的一流程的一實施例的一流程圖。

20 第4圖描述了利用快取記憶體標籤之快取記憶體的一程序的一實施例的一流程圖。

### 【實施方式】

較佳實施例之詳細說明

用以實施快取記憶體標籤之快取記憶體的裝置、系統

及方法的實施例被描述。在下面的描述中，許多特定細節被提出。然而，應理解的是，在沒有這些特定細節的情況下，實施例也可以被實施。在其他實施例中，為了避免混淆本發明，眾所周知的元件、規格及協定未詳細地被討論。

5           第1圖描述了用以實施快取記憶體標籤之快取記憶體的一裝置及系統的一實施例。在許多實施例中，一或較多處理器核心104位於一微處理器矽晶粒102(晶粒1)上。在其他多處理器實施例中，可以有多个耦接在一起的處理器晶粒，每晶粒包括一或較多核心(多個晶粒上的處理器核心的  
10 架構在第1圖中未顯示)。返回到第1圖，該(等)處理器核心耦接到一互連體100。在不同的實施例中，該(等)處理器核心104可以是任一類型的中心處理單元(CPU)，該中心處理單元(CPU)被設計用於個人電腦、手持裝置、伺服器、工作站或其他目前可得的計算裝置中的任一形式。為便於解  
15 釋，該單一互連體100被顯示以便不混淆本發明。實際上，此單一互連體可以由將不同的個別裝置耦接在一起的多個互連體組成。此外，在許多實施例中，未顯示的較多裝置(例如一晶片組)可以耦接到該互連體。

          該(等)處理器核心104透過該互連體100耦接到一或較  
20 多個晶粒內快取記憶體106，該(等)晶粒內快取記憶體106實際上與該(等)處理器核心104位於同一晶粒上。

          在許多實施例中，一快取記憶體具有與其相關聯的一標籤儲存結構114，它為所有快取記憶體位置儲存標籤。在許多實施例中，該標籤儲存結構114位於與該(等)處理器核

心104分開的一矽晶粒(晶粒2)112上。在許多實施例中，該標籤儲存結構114透過該互連體100耦接到一或較多個晶粒外(非處理器晶粒)快取記憶體116，且與該(等)晶粒外快取記憶體116位於同一晶粒上。

- 5           快取記憶體標籤之快取記憶體108儲存該處理器晶粒102上的該等晶粒外快取記憶體標籤的一子集。特別地，雖然該標籤儲存結構114儲存所有索引值及每索引值的關聯標籤組，但是另一方面，該快取記憶體標籤之快取記憶體108不儲存所有可能的索引值。更確切地說，為了節省儲存
- 10          空間，該快取記憶體標籤之快取記憶體108儲存被儲存在該標籤儲存結構114中的該等標籤的一子集。在多數實施例中，在該快取記憶體標籤之快取記憶體108中並非所有的索引位置在任意給定時間都被表示。

- 在某些實施例中，對於在儲存在該快取記憶體標籤之
- 15          快取記憶體108中的一標籤與該標籤儲存結構114之間的每一匹配的標籤而言，來自一組的所有路的資訊被需要。在其他實施例中，該快取記憶體標籤之快取記憶體108儲存少於所有路的該等標籤。在一實施例中，一組的儲存需求是9.5位元組，其包括標籤資訊、狀態資訊、驅逐/快取替換策略
- 20          資訊(LRU)，及ECC資訊(如果ECC被用到)。關於標籤、狀態、LRU資訊及ECC元件的特定細節在先前技術部分被詳細地討論。在某些實施例中，該快取記憶體標籤之快取記憶體利用不同於該LRU策略的一替換策略。特別地，下面資訊將被儲存在快取記憶體標籤之快取記憶體中：

$(14\text{-bit 標籤} + 2\text{-bit 狀態}) \times 4\text{路} + 4\text{-bit LRU} + 8\text{-bit ECC} = 9.5\text{ 位元組}$

為了在該快取記憶體標籤之快取記憶體中儲存 $2K(2^{11})$ 個組，則儲存需求將是 $19K(2K \times 9.5B)$ 。下面參考第2圖描述該快取記憶體標籤之快取記憶體中的該等項的詳情。因此，

5 快取記憶體標籤之快取記憶體的一實施例可以位於該處理器晶粒上以執行對最近最多用到的標籤的查找，且對該晶粒的負擔是 $19K$ 。晶粒內 $19K$ 儲存大小成本與一全部標籤儲存結構的 $9.5M$ 大小的成本相比是一非常小的儲存負擔。

在許多實施例中，該快取記憶體標籤之快取記憶體108

10 本身是一 $N$ -路組關聯快取記憶體。此外，在許多實施例中，該快取記憶體標籤之快取記憶體108儲存最近最多被存取的標籤。該快取記憶體標籤之快取記憶體108耦接到該互連體100。在某些實施例中，控制該快取記憶體標籤之快取記憶體108的存取的一控制器110決定一記憶體請求何時與目

15 前位於該快取記憶體標籤之快取記憶體108內的一標籤匹配且將其報告回給該處理器。在不同的實施例中，該記憶體請求可以源自於系統中的許多裝置的其中一個，諸如除其他可能的記憶體請求發起者之外，其中還有該等處理器核心的其中一個或一匯流排主控器I/O裝置。

20 每一記憶體請求(即記憶體存取)包括到達系統記憶體內的一特定位置的一位址。該標籤儲存結構114包括與該晶粒外快取記憶體116中的特定位置有關聯的所有標籤組。

因此，當一記憶體請求被該控制器110接收時，該控制器110分析記憶體請求位址中的索引及標籤欄位，及然後檢

查以看與該特定記憶體位置有關聯的該標籤的索引是否被儲存在該快取記憶體標籤之快取記憶體108內。如果該原始索引被儲存，則該控制器110接下去檢查與該記憶體位置有關聯的原始標籤是否被儲存在該快取記憶體標籤之快取記  
5 憶體108內該原始索引位置處的其中一路。

如果在該原始索引位置處的該原始標籤位於與108有關的項中，則結果是，該記憶體請求是一快取記憶體標籤之快取記憶體108標籤命中(即快取命中)。如果該原始標籤未被儲存在該標籤儲存結構114中的該索引位置處，則結果  
10 是，該記憶體請求是一快取記憶體標籤之快取記憶體108標籤未中。如果來自一組的所有路的該等標籤被快取，則這也是一快取未中。

另一方面，如果該控制器110在初始查找中沒有找到儲存在該快取記憶體標籤之快取記憶體108中的該原始索  
15 引，則結果是，該記憶體請求是一快取記憶體標籤之快取記憶體108索引未中。在這種情況下，該控制器110必須從該記憶體請求中提取原始索引值及藉由替換目前儲存在該快取記憶體標籤之快取記憶體108中的一索引，將該原始索引值插入到該快取記憶體標籤之快取記憶體108中。在某些  
20 實施例中，在CoCT本身是一關聯快取記憶體的情況中，該替換策略是最近最少用到策略，在此，該最近最少用到的索引值被替換。在其他實施例中，其他標準替換策略方案可被用以替換該快取記憶體標籤之快取記憶體108中的該索引值。

一旦該新的索引值已經被插入到該快取記憶體標籤之快取記憶體108中，則該控制器110將需要決定與該記憶體請求有關聯的該特定的標籤目前是否被儲存在該標籤儲存結構114中的該索引位置處。如果是這樣，則結果是在該標籤儲存結構114中的一標籤命中，且該處理器110需要在該新的索引位置處，為儲存在該標籤儲存結構114中該索引位置處的所有路，將標籤資訊輸入到該快取記憶體標籤之快取記憶體108中。

否則，結果是在該標籤儲存結構114中的一標籤未中，且該控制器110需要啟動用與該記憶體請求有關聯的該標籤來替換(該標籤儲存結構114中的該索引位置處的其中一路中的)最近最少用到的標籤。這種替換將位於該記憶體請求的位址處的資料從系統記憶體輸入到該快取記憶體，且將來自該記憶體請求的該原始標籤輸入到該標籤儲存結構114中。在某些實施例中，一旦該標籤從系統記憶體被輸入到該標籤儲存結構中，則該控制器110可以啟動用來自在目前儲存在該標籤儲存結構114中的該索引值處的每一路的標籤來替換該快取記憶體標籤之快取記憶體108中的(該索引值處的)所有路。在其他實施例中，該替換會替換少於在該快取記憶體標籤之快取記憶體108中的所有路。

在某些實施例中，晶粒外記憶體存取大小與該快取記憶體標籤之快取記憶體項的大小不相同。如果該晶粒外記憶體大小小於該快取記憶體標籤之快取記憶體項的大小，則該控制器可以發送用多個請求以提取該資料。另一方

面，如果該晶粒外記憶體大小大於該快取記憶體標籤之快取記憶體項的大小，則該控制器110可能具有其不需要的額外資料。在這種情況下，在某些實施例中，該控制器110可以拋棄該額外資料。

5            在其他實施例中，該控制器110可以具有一小的關聯記憶體(未畫出)，其可允許該控制器110智慧地預取該額外資料的部分且為了將來潛在的使用，將它們儲存在該關聯記憶體中。例如，如果原始快取記憶體標籤大小是4位元組，且原始快取記憶體標籤關聯是8路，則該快取記憶體標籤之  
10 快取記憶體108中的項的大小將需要是32位元組以儲存所有關聯路(4-位元組 X 8路 = 32-位元組標籤組項)。現在，假設用於從該標籤儲存結構114獲得資訊的提取指令一次接收64-位元組。在這實施例中，該控制器110將提取用以儲存整個快取記憶體標籤之快取記憶體組項所需的該32位元  
15 組以及一額外的32-位元組的相鄰資料。在利用一小的關聯記憶體的實施例中，被提取的該相鄰32-位元組的資料可以被儲存在該控制器110上或附近的一小的關聯記憶體中以作為一小的預取緩衝器。因為在某些情況下，許多後續存取是對相鄰的記憶體位置進行存取，所以可能在下一異  
20 動上或在不遠的將來該等相鄰的32位元組將被請求。因此，該小的相鄰的記憶體可允許智慧地預取標籤組用於以後的快取記憶體標籤之快取記憶體108操作。

此外，該小的關聯記憶體也可以作為一犧牲快取記憶體被利用。在一犧牲快取記憶體實施例中，該小的關聯記

憶體可以儲存該快取記憶體標籤之快取記憶體108中的該等最近最多被驅逐的標籤以免這些標籤中的一或較多個接著再次被存取。

此外，該控制器110可以將用以提取快取記憶體標籤之快取記憶體108項資料的多個請求合併成一個請求。例如，多個快取記憶體標籤之快取記憶體108的索引提取可被合併成一個提取。

在某些可選擇的實施例中，除了該快取記憶體標籤之快取記憶體108之外，還使用一部分標籤快取記憶體118。如在以上先前技術部分所描述，該部分標籤快取記憶體118不儲存所有標籤位元，且因此僅能肯定地決定快取-未中，而不能決定快取-命中。另一方面，快取記憶體標籤之快取記憶體僅能肯定地決定快取-命中，而不能決定快取-未中。在利用一部分標籤快取記憶體118以及該快取記憶體標籤之快取記憶體108的上述可選擇的實施例中，該部分標籤快取記憶體118可以被利用以對快取未中作出一迅速的決定，及該快取記憶體標籤之快取記憶體108可以被利用以對頁命中(page hit)作出一迅速的決定。在這些實施例中，該控制器110可以在該部分標籤快取記憶體118及該快取記憶體標籤之快取記憶體108中同時啟動一查找。如果該部分標籤快取記憶體118決定一頁未中，則來自該快取記憶體標籤之快取記憶體中的資訊將被丟棄。然而，如果一頁命中發生，則所需的標籤可能可以在晶粒內在該快取記憶體標籤之快取記憶體108中被找到且節省晶粒外潛時損失。

在某些實施例中，該快取記憶體是一分區快取記憶體。在分區快取記憶體實施例中，因為每一標籤被多個快取記憶體項(例如快取記憶體子塊)共用，該標籤儲存結構114中的總標籤儲存需求將減少。

5 在這些分區快取記憶體實施例中，對狀態資訊的儲存需求會增加，因為對於每一標籤而言，必須有關於與該標籤有關聯的每一潛在項的狀態資訊(在先前技術部分以及與第2圖有關的討論中，狀態資訊被討論)。例如，如果一標籤是14位元，則在一非分區快取記憶體中，對於每分區而言將包括2位元的狀態資訊。在一8-路分區快取記憶體中，這裏有與每一標籤有關聯的8個快取記憶體項，因此，對於每標籤而言將需要包括2-位元 X 8或16-位元的狀態資訊。在這範例中，該狀態資訊比該標籤資訊佔用更多的空間。

10

為了減小在一分區快取記憶體中狀態資訊儲存的影響，一組一般狀態資樣式將被儲存在一分區狀態資訊儲存器120中。在許多實施例中，該分區狀態資訊儲存器120可以被耦接到該控制器110。在我們的範例中，該分區狀態資訊儲存器120將儲存16-位元的多個樣式。在某些實施例中，該等多個樣式將包括最一般樣式，且在該分區狀態資訊儲存器120內將是預先決定的且永久的。在其他實施例中，在該控制器110內的邏輯將動態地決定被使用的狀態資訊的該等最一般樣式，及相應地修改該等已儲存的樣式。

15

20

某些狀態資訊樣式比其他的更一般。考慮到記憶體存取的一般線性。如果許多記憶體請求到達該控制器110且它

們都以一線性位址樣式，則該等狀態資訊位元將顯示可能都是“1”的一非常可靠的修改樣式。

因此，該處理器可儲存，例如，指向該分區狀態資訊儲存器120中的一狀態資訊樣式的一6-位元指標，而不是為每一標籤儲存16-位元的狀態資訊。一6-位元指標將允許64( $2^6$ )個狀態資訊樣式被儲存在該分區狀態資訊儲存器120中。因此，在這範例中，如果該樣式是一般的，則該控制器可與該標籤一起儲存該6-位元指標，而不是16-位元狀態資訊樣式。

此外，如以上所提及，在許多實施例中，系統記憶體122在該(等)晶粒外快取記憶體116之外被耦接到該互連體100。這允許來自記憶體位置的資料被存取，如果該晶粒內及晶粒外快取記憶體都未儲存目標資料(及目標標籤)。

第2圖描述了標籤位址結構以及快取記憶體標籤之快取記憶體組結構及一N-路組關聯配置的快取記憶體標籤之快取記憶體中的個別標籤位址項的一實施例。

在許多實施例中，對一40-位元位址空間的一記憶體存取請求在該40-位元位址欄位中可包括下面幾件資訊：原始標籤欄位、原始索引欄位，及偏移欄位。典型地，只有該原始標籤欄位被儲存在一標籤項200內，該標籤項200被儲存在該標籤儲存結構中。在256M的一直接-映射(1-路關聯)快取記憶體中使用具有一64位元組快取列大小的40-位元定址範例，該位址中的每一欄位的大小的一範例可以包括一12-位元原始標籤、一22-位元索引，及一6-位元偏移。該

22-位元索引欄位是指向該標籤儲存結構中的一特定索引位置的一指標。該12-位元原始標籤可以是實際記憶體位址的最高12位元。該標籤的大小還由它的關聯性及快取列大小來決定。在先前技術部分所描述的範例中，具有64位元

5 組快取列的一256MB 4-路組關聯快取記憶體將具有一20-位元索引欄位及4M標籤( $2^{20} \times 4$ )，其中每一標籤的大小是14位元。

第2圖還描述了一標籤組202的一實施例。對於一4-路組關聯快取記憶體，該標籤組202儲存4個標籤。每一路(路

10 0-3)儲存一特定的標籤以及與和該每一標籤有關聯的該快取記憶體項有關的一特定數量的狀態資訊。每標籤的狀態資訊是特定的，因此，這裏必須有與每一標籤有關聯的狀態資訊位元。此外，該標籤組還必須包括諸如LRU位元或其他LRU-類型資訊之快取記憶體替換策略資訊，以通知該

15 控制器當一新的標籤必須被儲存時，該4個標籤中的哪一個要被驅逐。最後，每組也可以利用錯誤校正碼(ECC)來使該標籤組的儲存錯誤最小化。例如，如以上所提及，一組的儲存需求可以是9.5位元組，其包括下面資訊：

$$(14\text{位元標籤} + 2\text{位元狀態}) \times 4\text{路} + 4\text{位元LRU} + 8\text{位元ECC} = 9.5\text{位元組}$$

20 第2圖還描述了儲存在該快取記憶體標籤之快取記憶體內的一標籤組項(CoCT標籤組項204)的一實施例。對於快取記憶體配置的許多類型而言，組關聯快取記憶體一般是普遍的。因此，在許多實施例中，該快取記憶體是一多-路組關聯快取記憶體。因此，該快取記憶體標籤之快取記憶

體中的一項必須儲存特定索引位置處的該快取記憶體的所有路的標籤資訊(標籤組的內容/資料206)。在這些實施例中,來自原始位址(例如如以上所討論的該40-位元位址配置)的索引欄位(標籤組的定址208)指向儲存在該快取記憶體標籤之快取記憶體內的一組標籤的位置。在某些實施例中,快取記憶體標籤之快取記憶體結構本身也以一組關聯的方式來儲存。因此,該原始索引欄位被分割成快取記憶體標籤之快取記憶體標籤欄位以及快取記憶體標籤之快取記憶體索引欄位,以允許提取該快取記憶體標籤之快取記憶體內的一組。例如,使用來自該40-位元位址的一20-位元原始索引欄位,該原始索引欄位的高12位元可以在快取記憶體標籤之組關聯快取記憶體中作為標籤欄位被利用。在這實施例中,該原始索引欄位的低8位元可以在快取記憶體標籤之快取記憶體中作為索引欄位被利用。

第3圖是利用快取記憶體標籤之快取記憶體以儲存與快取記憶體有關聯的標籤集合的一子集的一處理的一實施例的一流程圖。藉由可以包含硬體(電路、專用邏輯等)、軟體(諸如在一通用電腦系統或一專用機器上運行的此類)、或二者的組合的處理邏輯,該處理被執行。參見第3圖,該處理由在一標籤儲存結構中儲存多個標籤的處理邏輯開始(處理方塊300)。在許多實施例中,每一標籤與儲存在一快取記憶體內的一資料位置有關聯。儲存在該儲存結構內的標籤的全部集合說明該快取記憶體中的所有資料位置。該快取記憶體可以是一電腦系統或其他有關電腦的裝置上的

任一通用或專用快取記憶體。在許多實施例中，該快取記憶體位於具有一或較多處理核心的一電腦系統中。在許多實施例中，該快取記憶體位於與該(等)處理核心分離的一矽晶粒上。並且，在許多實施例中，該標籤儲存結構與該快  
5 取記憶體位於同一矽晶粒上。

返回第3圖，處理邏輯接著在一標籤快取記憶體之快取記憶體中儲存被儲存在該標籤儲存結構中的該等標籤的一子集(處理方塊302)。在許多實施例中，該快取記憶體標籤之快取記憶體僅儲存被儲存在該標籤儲存結構中的標籤的全部集合的一小部分。例如，在以上參考該先前技術以及  
10 第1圖所描述的範例實施例中，對於具有64位元組快取列的一4-路組關聯256MB的快取記憶體而言，有4M( $2^{22}$ )標籤儲存在該標籤儲存結構中。而該快取記憶體標籤之快取記憶體可以儲存其中的一小部分，諸如，例如8K( $2^{13}$ )標籤。  
15 在許多實施例中，該快取記憶體標籤之快取記憶體以一最近最多用到的方式儲存來自該標籤儲存結構的標籤，其中最近最多被請求的記憶體位置是其等標籤被儲存在該快取記憶體標籤之快取記憶體內的該等位置。

第3圖相對於該標籤儲存結構描述了該快取記憶體標籤之快取記憶體儲存內容的一般處理，而第4圖描述了利用  
20 快取記憶體標籤之快取記憶體的一處理的一實施例的流程圖。藉由可以包含硬體(電路、專用邏輯等)、軟體(諸如在一通用電腦系統或一專用機器上運行的此類)，或二者的組合的處理邏輯，該處理被執行。參見第4圖，該處理由接收

一記憶體請求的處理邏輯開始(處理方塊400)。該記憶體請求包括一記憶體位置的位址。在許多實施例中，該位址的高位元對應於該記憶體位置的該標籤，且該位址的中間位元對應於與一快取記憶體有關聯的一標籤儲存結構裏面的一索引。以上參考第2圖，關於該標籤欄位及索引欄位的特定細節被描述。

在不同的實施例中，該記憶體請求可以源自於系統中的許多裝置的其中一個，除其他可能的記憶體請求發起者之外，其中還有諸如，該等處理器核心的其中一個或一匯流排主控器I/O裝置。該記憶體請求最終被過濾到達控制快取記憶體標籤之快取記憶體(第4圖中的CoCT)的一控制器。然後該處理器內的處理邏輯分析來自該記憶體請求的該位址的該原始索引值及該原始標籤值(處理方塊402)。

一旦該記憶體請求內的該原始索引及原始標籤被知曉，則處理邏輯決定該原始索引目前是否被儲存在該快取記憶體標籤之快取記憶體中(處理方塊404)。如果該原始索引目前未被儲存在該快取記憶體標籤之快取記憶體中，則在該快取記憶體標籤之快取記憶體中有一索引未中，且處理邏輯可以將該原始索引插入到該快取記憶體標籤之快取記憶體中(處理方塊406)。在許多實施例中，該原始索引被插入到該快取記憶體標籤之快取記憶體中的一位置，藉由替換(驅逐)最近最少用到的已儲存索引值，該位置被釋放。在某些實施例中，處理邏輯可以提取該索引及然後分配且插入該索引。在其他實施例中，處理邏輯可以首先分配空

間，及然後提取該索引且插入。

如果正被驅逐的該索引因為它被列入該快取記憶體標籤之快取記憶體中而已經被更新，則該索引必須被寫回到它的原始儲存位置。

5        如果該原始索引被插入到該快取記憶體標籤之快取記憶體中，則處理邏輯意識到該原始標籤將不在該快取記憶體標籤之快取記憶體中，因為只有該原始標籤已經被儲存在該快取記憶體標籤之快取記憶體中它才有可能在那裏。因此，處理邏輯必須決定該原始標籤是否在該標籤結構(第  
10 4圖中的TSS)中(處理方塊408)。只有來自該記憶體請求指向的記憶體中的該位置的資料目前被儲存在被該標籤儲存結構所參考的該快取記憶體中，該原始標籤才會在該標籤儲存結構中。如果該原始標籤在該標籤儲存結構中，則處理邏輯提取該原始標籤及然後將該原始標籤插入到該快取記  
15 憶體標籤之快取記憶體中(處理方塊410)。當該原始標籤被插入到該快取記憶體標籤之快取記憶體中時，處理邏輯可以複製該標籤儲存結構中的該索引值處的所有路的該等標籤(該標籤組)，不只是儲存該原始標籤本身的該路(處理方塊420)。在其他實施例中，處理邏輯可以複製少於該標籤  
20 儲存結構中的該索引值處的所有路的該等標籤。最後，處理邏輯讀取該快取記憶體中與該標籤有關聯的資料以完成該記憶體請求(處理方塊422)。

否則，如果該原始標籤不在該標籤儲存結構中，則處理邏輯現在意識到由該記憶體請求中的該位址指向的資料

根本不在該快取記憶體中，更確切地說，該資料在主系統記憶體中。在這種情況下，處理邏輯必須將該原始標籤插入到該標籤儲存結構中(以與在標準快取操作中標籤通常被插入到該標籤儲存結構中一樣的方式)，且處理邏輯也可以將包括該原始標籤的該標籤組插入到該快取記憶體標籤之快取記憶體中(處理方塊412)。在此範例中，處理邏輯必須執行額外的處理步驟以插入該標籤。在某些實施例中，此結果將引起處理邏輯使用用以決定驅逐哪一個原來的標籤的目前驅逐策略驅來逐該TSS中的一原來的標籤，及用將被插入的該原始標籤替換該原來的標籤(處理方塊418)。下一處理邏輯，如以上所提及，可以在將標籤插入到該快取記憶體標籤之快取記憶體結構時插入與該原始索引有關聯的路的該整個組(處理方塊420)。在其他實施例中，與少於該原始索引處的路的該整個組有關聯的標籤被插入到該快取記憶體標籤之快取記憶體結構中。最後，處理邏輯讀取該快取記憶體中與該標籤有關聯的資料以完成該記憶體請求(處理方塊422)。

返回到處理方塊404，如果該原始索引在該快取記憶體標籤之快取記憶體中，則處理邏輯必須決定該原始標籤是  
20 否在該快取記憶體標籤之快取記憶體中(處理方塊414)。如果該原始標籤未被儲存在該快取記憶體標籤之快取記憶體中，則處理邏輯繼續到處理方塊408(如以上所描述)。可選擇地，如果該原始標籤被儲存在該快取記憶體標籤之快取記憶體中，則處理邏輯驗證在該快取記憶體標籤之快取記

- 憶體中有一原始標籤命中(處理方塊416)。在這實施例中，處理邏輯可以讀取該快取記憶體中與該標籤有關聯的資料以完成該記憶體請求(處理方塊422)及相應地繼續進行。為了將該原始索引插入到快取記憶體標籤之快取記憶體中，
- 5 一現存索引(原來的索引)項可能必須被替換。如果與此項有關聯的資料是已修改的狀態，則處理邏輯還在該標籤儲存結構儲存與在該快取記憶體標籤之快取記憶體中被修改的該已替換的索引有關聯的該等標籤之該位置處更新該標籤儲存結構。
- 10 因此，用於實施一快取記憶體標籤之快取記憶體的一裝置、系統及方法的實施例被描述。參考其特定的範例實施例，這些實施例已經被描述。在不背離這裏所描述的該等實施例的較廣泛的精神及範圍的情況下可以對這些實施例做出各種修改及變化，這對於自此揭露獲益的人將是明
- 15 顯的。因此，該專利說明書及圖式被視為以一種說明性而非限制的意義。

### 【圖式簡單說明】

- 第1圖描述了用以實施快取記憶體標籤之快取記憶體的一裝置的一實施例。
- 20 第2圖描述了標籤位址結構以及快取記憶體標籤之快取記憶體組結構及一N-路組關聯配置的快取記憶體標籤之快取記憶體中的一個別的標籤位址項的一實施例。
- 第3圖是利用快取記憶體標籤之快取記憶體以儲存與快取記憶體有關聯的標籤的集合的一子集的一流程的一實

施例的一流程圖。

第4圖描述了利用快取記憶體標籤之快取記憶體的一程序的一實施例的一流程圖。

### 【主要元件符號說明】

100…互連體/單一互連體	116…晶粒外快取記憶體
102…微處理器矽晶粒/處理器 晶粒	118…部分標籤快取記憶體
104…處理器核心	120…分區狀態資訊儲存器
106…晶粒內快取記憶體	122…系統記憶體
108…快取記憶體標籤之快取 記憶體	200…標籤項
110…控制器	202…標籤組
112…矽晶粒	204…CoCT標籤組項
114…標籤儲存結構	206…標籤組的內容/資料
	208…標籤組的定址
	300-422…處理方塊

## 五、中文發明摘要：

本文揭露一種裝置、系統及方法。在一實施例中，該裝置包括耦接到一處理器的一快取記憶體。此外，該裝置包括耦接到該快取記憶體的一標籤儲存結構。該標籤儲存結構可儲存與該快取記憶體中的一位置有關聯的一標籤。此外，該裝置包括耦接到該處理器的快取記憶體標籤之快取記憶體。該快取記憶體標籤之快取記憶體可儲存被儲存在該標籤儲存結構中的該等標籤的一較小子集。

## 六、英文發明摘要：

An apparatus, system, and method are disclosed. In one embodiment, the apparatus includes a cache memory coupled to a processor. The apparatus additionally includes a tag storage structure that is coupled to the cache memory. The tag storage structure can store a tag associated with a location in the cache memory. The apparatus additionally includes a cache of cache tags coupled to the processor. The cache of cache tags can store a smaller subset of the tags stored in the tag storage structure.

## 十、申請專利範圍：

1. 一種裝置，其包含：

耦接到一處理器的一快取記憶體；

耦接到該快取記憶體的一標籤儲存結構，該標籤儲存結構儲存多個標籤，其中每一標籤與儲存在該快取記憶體內的一資料位置有關聯；及

耦接到該處理器的一快取記憶體標籤之快取記憶體，該快取記憶體標籤之快取記憶體儲存被儲存在該標籤儲存結構中的該等多個標籤中的一或較多個標籤的一子集。

2. 如申請專利範圍第1項所述之裝置，其中該處理器及該快取記憶體標籤之快取記憶體位於同一矽晶粒上。

3. 如申請專利範圍第2項所述之裝置，其中該標籤儲存結構位於不同於該處理器的一矽晶粒上。

4. 如申請專利範圍第3項所述之裝置，其中該快取記憶體標籤之快取記憶體含有儲存在該標籤儲存結構中的最近所用標籤中的一或較多個。

5. 如申請專利範圍第3項所述之裝置，其進一步包含耦接到該處理器的一部分標籤快取記憶體，其中該部分標籤快取記憶體確定一記憶體請求何時產生一快取未中，及該快取記憶體標籤之快取記憶體確定該記憶體請求何時產生一快取命中。

6. 如申請專利範圍第1項所述之裝置，其中該快取記憶體標籤之快取記憶體是一多路關聯快取記憶體。

7. 如申請專利範圍第1項所述之裝置，其進一步包含耦接到該處理器的一控制器，該控制器決定一標籤匹配的發生，其中當與一記憶體請求有關聯的一原始標籤等於正被檢查以找出該標籤匹配的一位置處的一已儲存標籤時，該標籤匹配即發生。

5

8. 如申請專利範圍第7項所述之裝置，其中該控制器進一步可操作以：

決定來自該記憶體請求中的一位址的一原始索引；及

10

當該原始索引尚未在該快取記憶體標籤之快取記憶體中時，藉由覆寫目前在該快取記憶體標籤之快取記憶體中的一索引，而將該原始索引插入到該快取記憶體標籤之快取記憶體中。

9. 如申請專利範圍第8項所述之裝置，其中該控制器進一步可操作以：

15

當來自該記憶體請求的該原始索引位於該快取記憶體標籤之快取記憶體中時，在該快取記憶體標籤之快取記憶體中檢查以找出該標籤匹配；

20

當來自該記憶體請求的該原始索引沒有位於該快取記憶體標籤之快取記憶體中時，在該標籤儲存結構中檢查以找出該標籤匹配；及

當該快取記憶體標籤之快取記憶體中不存在一標籤匹配且在該標籤儲存結構中也不存在一標籤匹配時，自一系統記憶體擷取該原始標籤。

10. 如申請專利範圍第9項所述之裝置，其中該控制器進一步可操作以：

當該快取記憶體標籤之快取記憶體中不存在一標籤匹配時，將該原始標籤插入到該快取記憶體標籤之快取記憶體中；及

當該標籤儲存結構中不存在一標籤匹配時，將該原始標籤插入到該標籤儲存結構中。

11. 如申請專利範圍第7項所述之裝置，其中該控制器及該處理器位於同一矽晶粒上。

10 12. 如申請專利範圍第7項所述之裝置，其中該快取記憶體是一分區快取記憶體。

13. 如申請專利範圍第12項所述之裝置，其中該裝置進一步包含耦接到該控制器的一分區狀態資訊儲存單元，該分區狀態資訊儲存單元儲存多個共同狀態資訊樣式。

15 14. 如申請專利範圍第13項所述之裝置，其中該控制器進一步可操作以儲存指向儲存在該分區狀態資訊儲存單元中的一個共同狀態資訊樣式的一指標值，來代替與該快取記憶體標籤之快取記憶體中的一標籤有關聯的一組狀態資訊位元。

20 15. 一種系統，其包含：

一互連體；

位於一第一矽晶粒上且耦接到該互連體的一處理器；

位於一第二矽晶粒上且耦接到該互連體的一快取

記憶體；

位於該第二矽晶粒上且耦接到該互連體的一標籤儲存結構，該標籤儲存結構儲存多個標籤，其中每一標籤與儲存在該快取記憶體中的一資料位置有關聯；及

5 位於該第一矽晶粒上且耦接到該互連體的一快取記憶體標籤之快取記憶體，該快取記憶體標籤之快取記憶體儲存被儲存在該標籤儲存結構中的該等多個標籤中的一或較多個標籤的一子集。

10 16. 如申請專利範圍第15項所述之系統，其中該快取記憶體標籤之快取記憶體含有儲存在該標籤儲存結構中的最近所用標籤中的一或較多個。

15 17. 如申請專利範圍第15項所述之系統，其中該系統進一步包含耦接到該處理器的一部分標籤快取記憶體，其中該部分標籤快取記憶體確定一記憶體請求何時產生一快取未中，及該快取記憶體標籤之快取記憶體確定該記憶體請求何時產生一快取命中。

18. 如申請專利範圍第15項所述之系統，其中儲存在該標籤儲存結構中的每一標籤與儲存在該快取記憶體標籤之快取記憶體中的每一標籤大小相同。

20 19. 如申請專利範圍第15項所述之系統，其中該系統進一步包含耦接到該處理器的一控制器，該控制器決定一標籤匹配的發生，其中當與一記憶體請求有關聯的一原始標籤等於正被檢查以找出該標籤匹配的一位置處的一已儲存標籤時，該標籤匹配即發生。

20. 如申請專利範圍第19項所述之系統，其中該控制器進一步可操作以：

決定來自該記憶體請求中的一位址的一原始索引；及

5 當該原始索引尚未在該快取記憶體標籤之快取記憶體中時，藉由覆寫目前在該快取記憶體標籤之快取記憶體中的一索引，而將該原始索引插入到該快取記憶體標籤之快取記憶體中。

10 21. 如申請專利範圍第20項所述之系統，其中該控制器進一步可操作以：

當來自該記憶體請求的該原始索引位於該快取記憶體標籤之快取記憶體中時，在該快取記憶體標籤之快取記憶體中檢查以找出該標籤匹配；

15 當來自該記憶體請求的該原始索引沒有位於該快取記憶體標籤之快取記憶體中時，在該標籤儲存結構中檢查以找出該標籤匹配；及

當該快取記憶體標籤之快取記憶體中不存在一標籤匹配且該標籤儲存結構中也不存在一標籤匹配時，自一系統記憶體擷取該原始標籤。

20 22. 如申請專利範圍第21項所述之系統，其中該控制器進一步可操作以：

當該快取記憶體標籤之快取記憶體中不存在一標籤匹配時，將該原始標籤插入到該快取記憶體標籤之快取記憶體中；及

當該標籤儲存結構中不存在一標籤匹配時，將該原始標籤插入到該標籤儲存結構中。

23. 一種方法，其包含以下步驟：

5 在一標籤儲存結構中儲存多個標籤，其中每一標籤與儲存在一快取記憶體內的一資料位置有關聯，該快取記憶體被耦接到一處理器上；及

在一快取記憶體標籤之快取記憶體中儲存該等多個標籤中的一或較多個標籤的一子集，但少於儲存在該標籤儲存結構中的所有該等多個標籤。

10 24. 如申請專利範圍第23項所述之方法，其中該快取記憶體標籤之快取記憶體含有儲存在該標籤儲存結構中的最近所用標籤中的一或較多個。

15 25. 如申請專利範圍第24項所述之方法，其進一步包含判定一標籤匹配的發生，其中當與一記憶體請求有關聯的一原始標籤等於正被檢查以找出該標籤匹配的一位置處的一已儲存標籤時，該標籤匹配即發生。

26. 如申請專利範圍第25項所述之方法，其進一步包含以下步驟：

20 決定來自該記憶體請求中的一位址的一原始索引；及

當該原始索引尚未在該快取記憶體標籤之快取記憶體中時，藉由覆寫目前在該快取記憶體標籤之快取記憶體中的一索引，而將該原始索引插入到該快取記憶體標籤之快取記憶體中。

27. 如申請專利範圍第26項所述之方法，其進一步包含以下步驟：

5 當來自該記憶體請求的該原始索引位於該快取記憶體標籤之快取記憶體中時，在該快取記憶體標籤之快取記憶體中檢查以找出該標籤匹配；

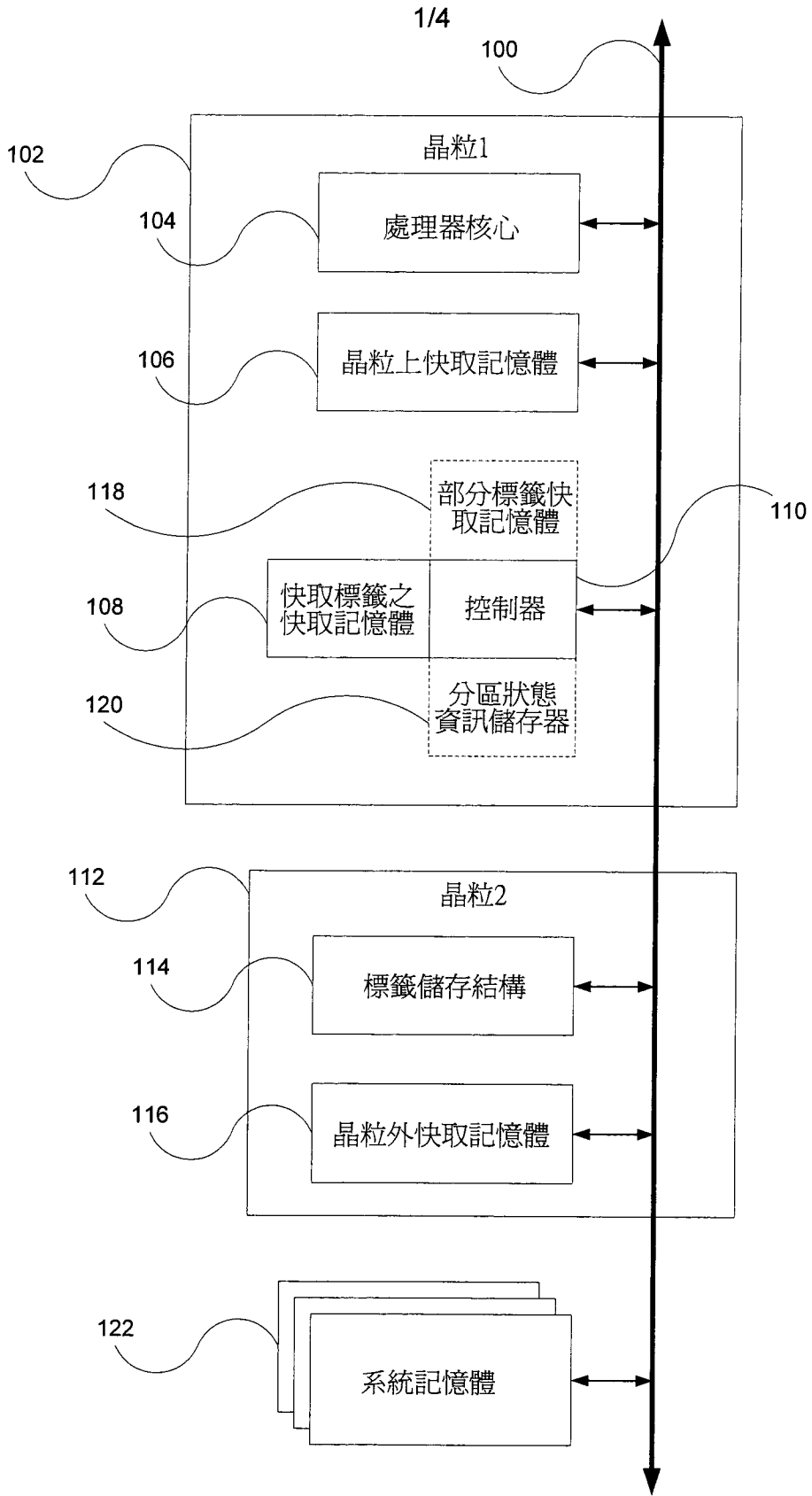
當來自該記憶體請求的該原始索引沒有位於該快取記憶體標籤之快取記憶體中時，在該標籤儲存結構中檢查以找出該標籤匹配；及

10 當該快取記憶體標籤之快取記憶體中不存在一標籤匹配且該標籤儲存結構中也不存在一標籤匹配時，自一系統記憶體擷取該原始標籤。

28. 如申請專利範圍第27項所述之方法，其進一步包含以下步驟：

15 當該快取記憶體標籤之快取記憶體中不存在一標籤匹配時，將該原始標籤插入到該快取記憶體標籤之快取記憶體中；及

當該標籤儲存結構中不存在一標籤匹配時，將該原始標籤插入到該標籤儲存結構中。

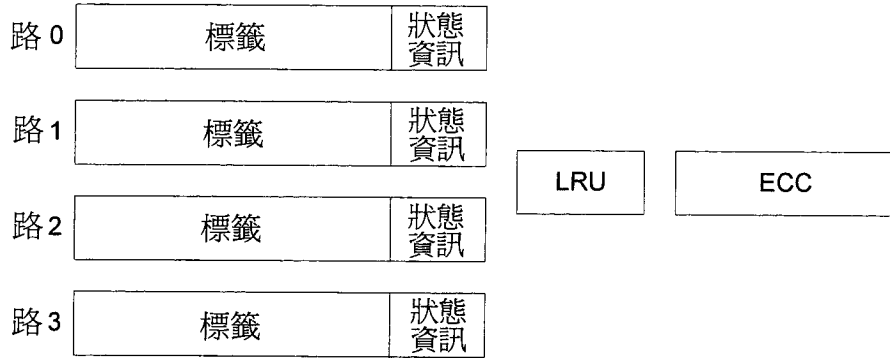


第 1 圖

標籤項配置  
**(200)**

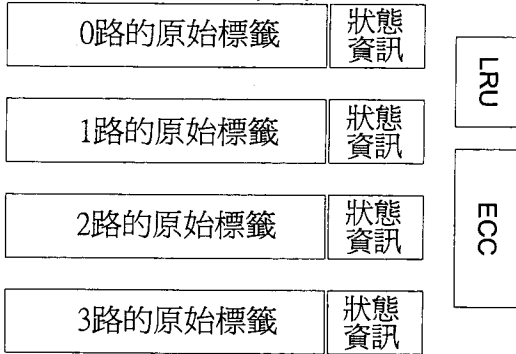


標籤組 (202)

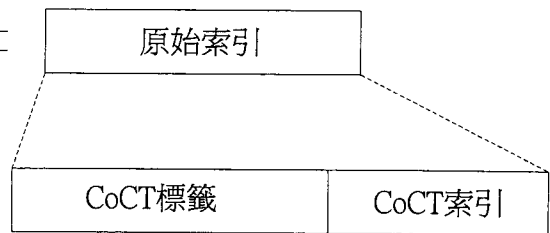


CoCT標籤組項 (204)

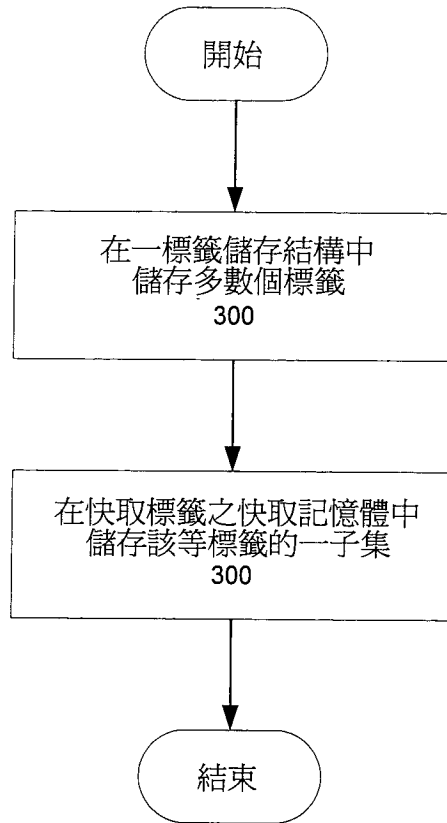
標籤組的內容/資料  
**(206)**



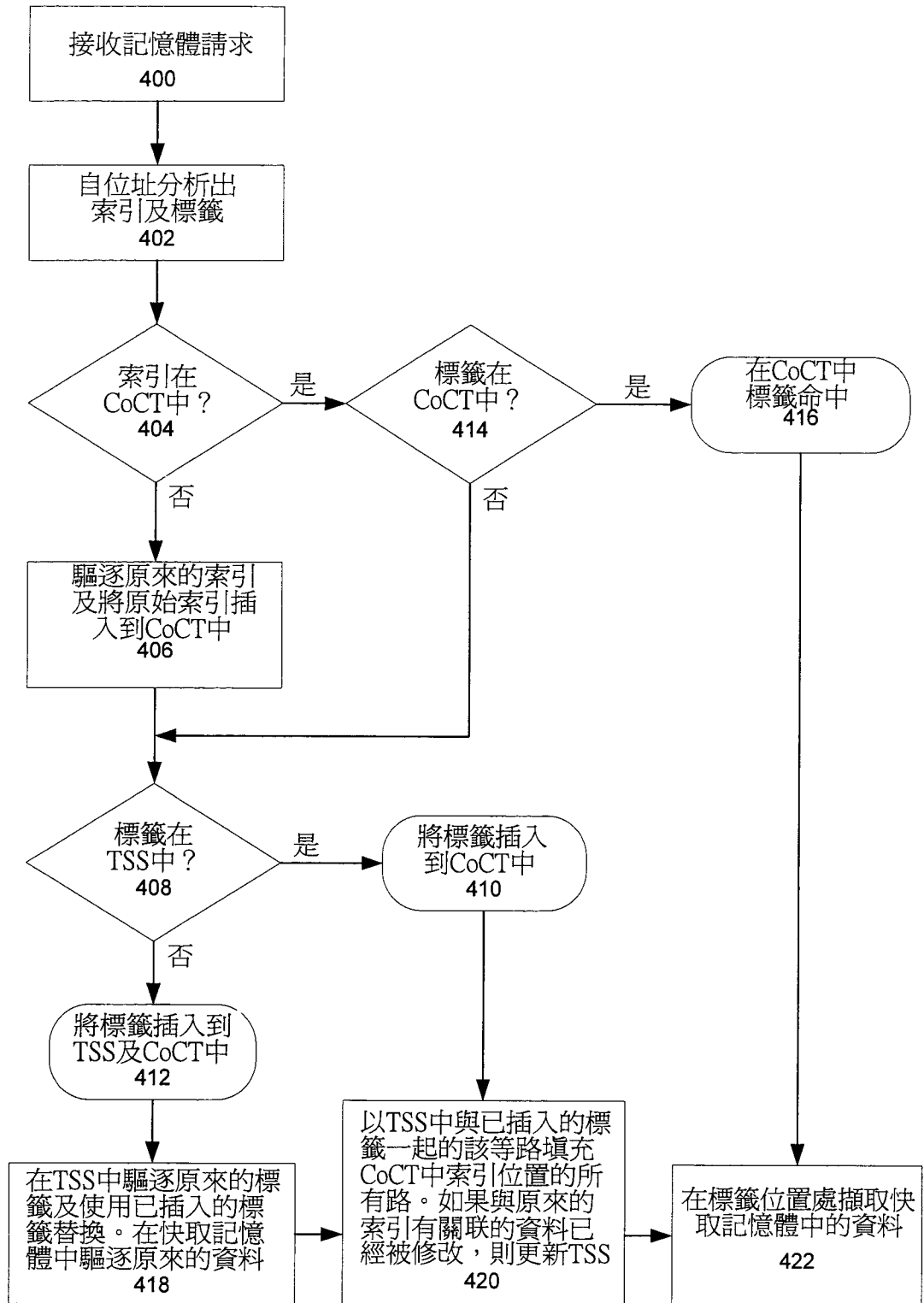
標籤組的定址 (208)



第 2 圖



第 3 圖



第 4 圖

**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

100…互連體/單一互連體	112…矽晶粒
102…微處理器矽晶粒/處理器晶粒	114…標籤儲存結構
104…處理器核心	116…晶粒外快取記憶體
106…晶粒內快取記憶體	118…部分標籤快取記憶體
108…快取記憶體標籤之快取記憶體	120…分區狀態資訊儲存器
110…控制器	122…系統記憶體

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**