

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月25日(25.07.2024)



(10) 国際公開番号

WO 2024/154590 A1

(51) 国際特許分類:

H01L 27/146 (2006.01)

(21) 国際出願番号:

PCT/JP2024/000025

(22) 国際出願日:

2024年1月4日(04.01.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-006129 2023年1月18日(18.01.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 奥山 敦 (OKUYAMA Atsushi); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー3 2階 弁理士法人日栄国際特許事務所 Tokyo (JP).

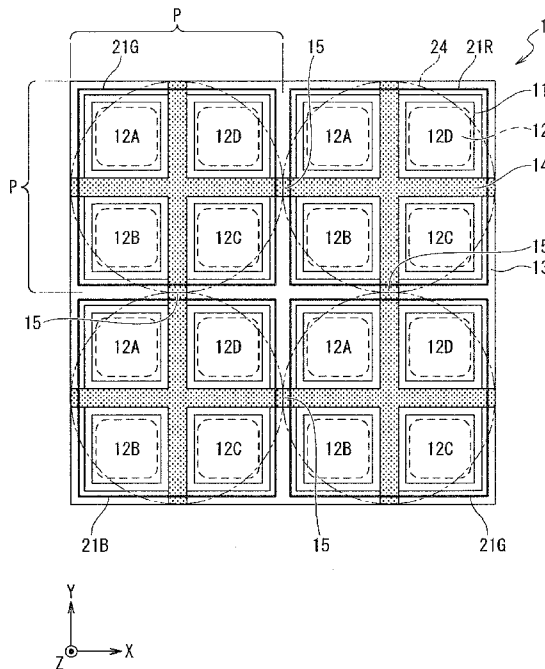
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) Title: LIGHT DETECTION DEVICE

(54) 発明の名称: 光検出装置

【図3】



(57) Abstract: Provided is a light detection device which enables improvement in optical characteristics. This light detection device comprises: a semiconductor substrate that has a first surface and a second surface positioned opposite to the first surface, and that has arranged thereon a plurality of unit pixels in a matrix, and has, for the respective unit pixels, a plurality of photoelectric conversion parts which generate charges corresponding to a received light quantity through photoelectric conversion; an inter-pixel separation part that is provided between adjacent unit pixels and that has a gap for electrically and optically separating the adjacent unit pixels; an in-pixel separation part that is provided between adjacent photoelectric conversion parts in the respective unit pixels and that has a first material layer for electrically separating the adjacent photoelectric conversion parts; and a connection part that is provided between the adjacent unit pixels and that connects the in-pixel separation part of one of the adjacent unit pixels and the in-pixel separation part of the other unit pixel.

[続葉有]



TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：光学特性を向上させることが可能な光検出装置を提供する。光検出装置は、第1面と、第1面の反対側に位置する第2面とを有し、複数の単位画素が行列状に配設されると共に、単位画素毎に、受光量に応じた電荷を光電変換により生成する複数の光電変換部を有する半導体基板と、隣り合う単位画素間に設けられ、隣り合う単位画素間を電氣的且つ光学的に分離する空隙部を有する画素間分離部と、単位画素内で隣り合う光電変換部の間に設けられ、隣り合う光電変換部の間を電氣的に分離する第1材料層を有する画素内分離部と、隣り合う単位画素間に設けられ、隣り合う一方の単位画素の画素内分離部と他方の単位画素の画素内分離部とを連結する連結部と、を備える。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本開示は、光検出装置に関する。

背景技術

[0002] 例えば、特許文献1では、複数の画素に1つのオンチップレンズが跨って配置されたイメージセンサにおいて、隣り合う画素間及び位相差取得画素の中央部にトレンチが設けられている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開2017/0012066号明細書

発明の概要

発明が解決しようとする課題

[0004] 上記のような複数の画素に跨って1つのオンチップレンズが配置された撮像装置では、光学特性の向上が求められている。

[0005] 本開示は、光学特性を向上させることが可能な光検出装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る光検出装置は、第1面と、前記第1面の反対側に位置する第2面とを有し、複数の単位画素が行列状に配設されると共に、前記単位画素毎に、受光量に応じた電荷を光電変換により生成する複数の光電変換部を有する半導体基板と、隣り合う前記単位画素間に設けられ、隣り合う前記単位画素間を電氣的且つ光学的に分離する空隙部を有する画素間分離部と、前記単位画素内で隣り合う前記光電変換部の間に設けられ、隣り合う前記光電変換部の間を電氣的に分離する第1材料層を有する画素内分離部と、隣り合う前記単位画素間に設けられ、隣り合う一方の前記単位画素の前記画素内分離部と他方の前記単位画素の前記画素内分離部とを連結する連結部と

、を備える。

[0007] これによれば、画素間分離部の空隙部は、単位画素内に入射した光を全反射させて、単位画素内に閉じ込めることが可能である。これにより、隣り合う単位画素間で混色を抑制することができる。また、画素内分離部の第1材料層として、半導体基板を構成する材料（例えば、シリコン）に屈折率が近い材料を用いることができる。これにより、単位画素内では、隣り合う光電変換部間では光の反射や散乱を抑制することができる。以上から、光検出装置は、光学特性を向上させることが可能である。

図面の簡単な説明

[0008] [図1]図1は、本開示の実施形態に係る撮像装置の全体構成の一例を示す図である。

[図2]図2は、図1に示した撮像装置の単位画素の読み出し回路の一例を表したものである。

[図3]図3は、本開示の実施形態1に係る撮像装置の構成例を示す平面図である。

[図4]図4は、図3に示す平面図を簡略化した図であって、画素間分離部、画素内分離部、連結部及びカラーフィルタの位置関係を示す平面図である。

[図5]図5は、図4に示す平面図をA-A'線で切断した断面図である。

[図6]図6は、図4に示す平面図をB-B'線で切断した断面図である。

[図7]図7は、図4に示す平面図をC-C'線で切断した断面図である。

[図8]図8は、本開示の実施形態1の変形例1に係る撮像装置を示す平面図である。

[図9]図9は、本開示の実施形態1の変形例2に係る撮像装置を示す平面図である。

[図10]図10は、本開示の実施形態1の変形例3に係る撮像装置を示す平面図である。

[図11]図11は、本開示の実施形態2に係る撮像装置の構成例を示す断面図である。

[図12]図 1 2 は、本開示の実施形態 3 に係る撮像装置の構成例を示す平面図である。

[図13]図 1 3 は、本開示の実施形態 3 に係る撮像装置の構成例を示す断面図である。

[図14]図 1 4 は、本開示の実施形態 3 に係る撮像装置の構成例を示す断面図である。

[図15]図 1 5 は、本開示の実施形態 3 に係る撮像装置の構成例を示す断面図である。

[図16A]図 1 6 A は、本開示の実施形態 4 に係る撮像装置の製造方法を工程順に示す図である。

[図16B]図 1 6 B は、本開示の実施形態 4 に係る撮像装置の製造方法を工程順に示す図である。

[図16C]図 1 6 C は、本開示の実施形態 4 に係る撮像装置の製造方法を工程順に示す図である。

[図16D]図 1 6 D は、本開示の実施形態 4 に係る撮像装置の製造方法を工程順に示す図である。

[図17]図 1 7 は、本開示の実施形態 4 の変形例 1 に係る撮像装置の製造方法を工程順に示す図である。

[図18A]図 1 8 A は、本開示の実施形態 4 の変形例 2 に係る撮像装置の製造方法を工程順に示す図である。

[図18B]図 1 8 B は、本開示の実施形態 4 の変形例 2 に係る撮像装置の製造方法を工程順に示す図である。

[図18C]図 1 8 C は、本開示の実施形態 4 の変形例 2 に係る撮像装置の製造方法を工程順に示す図である。

[図19A]図 1 9 A は、本開示の実施形態 5 に係る撮像装置の製造方法を工程順に示す図である。

[図19B]図 1 9 B は、本開示の実施形態 5 に係る撮像装置の製造方法を工程順に示す図である。

[図20A]図20Aは、本開示の実施形態6に係る撮像装置の製造方法を工程順に示す図である。

[図20B]図20Bは、本開示の実施形態6に係る撮像装置の製造方法を工程順に示す図である。

[図20C]図20Cは、本開示の実施形態6に係る撮像装置の製造方法を工程順に示す図である。

[図20D]図20Dは、本開示の実施形態6に係る撮像装置の製造方法を工程順に示す図である。

[図21]図21は、電子機器の概略構成を表した図である。

[図22]図22は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図23]図23は、撮像部の設置位置の例を示す図である。

[図24]図24は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[図25]図25は、図24に示すカメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0010] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0011] また、以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、Z軸方向は、後述する半導体基板11の厚さ方向である。X軸方向及びY軸方向は、Z軸方向と直交する方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。

[0012] <実施形態1>

(撮像装置の全体構成例)

図1は、本開示の実施形態に係る撮像装置1の全体構成の一例を示す図である。撮像装置1は、本開示の「光検出装置」の一例であり、例えば、デジタルスチルカメラ、ビデオカメラ等の電子機器に用いられるCMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等である。撮像装置1の撮像エリアとして、複数の画素が行列状に2次元配置された画素部100Aを有する。撮像装置1は、このCMOSイメージセンサ等において、例えば裏面照射型の撮像装置である。

[0013] 撮像装置1は、光学レンズ系(図示せず)を介して被写体からの入射光(像光)を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力するものである。撮像装置1は、半導体基板11上に、撮像エリアとしての画素部100Aを有すると共に、この画素部100Aの周辺領域に、例えば、垂直駆動回路111、カラム信号処理回路112、水平駆動回路113、出力回路114、制御回路115及び入出力端子116を有する。

[0014] 画素部100Aには、例えば、複数の単位画素Pが行列状に2次元配置されている。複数の単位画素Pは、それぞれ、撮像画素と像面位相差画素とを兼ねている。撮像画素は、撮像レンズによって結像された被写体像をフォトダイオード(PD)において光電変換して画像生成用の信号を生成するものである。像面位相差画素は、撮像レンズの瞳領域を分割し、分割された瞳領域からの被写体像を光電変換して位相差検出用の信号を生成するものである。

- [0015] 単位画素Pには、例えば、画素行毎に画素駆動線L r e a d（具体的には行選択線及びリセット制御線）が配線され、画素列毎に垂直信号線L s i gが配線されている。画素駆動線L r e a dは、画素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線L r e a dの一端は、垂直駆動回路111の各行に対応した出力端に接続されている。
- [0016] 垂直駆動回路111は、シフトレジスタやアドレスデコーダ等によって構成され、画素部100Aの各単位画素Pを、例えば、行単位で駆動する画素駆動部である。垂直駆動回路111によって選択走査された画素行の各単位画素Pから出力される信号は、垂直信号線L s i gの各々を通してカラム信号処理回路112に供給される。カラム信号処理回路112は、垂直信号線L s i g毎に設けられたアンプや水平選択スイッチ等によって構成されている。
- [0017] 水平駆動回路113は、シフトレジスタやアドレスデコーダ等によって構成され、カラム信号処理回路112の各水平選択スイッチを走査しつつ順番に駆動するものである。この水平駆動回路113による選択走査により、垂直信号線L s i gの各々を通して伝送される各画素の信号が順番に水平信号線121に出力され、当該水平信号線121を通して半導体基板11の外部へ伝送される。
- [0018] 出力回路114は、カラム信号処理回路112の各々から水平信号線121を介して順次供給される信号に対して信号処理を行って出力するものである。出力回路114は、例えば、バッファリングのみを行う場合もあるし、黒レベル調整、列ばらつき補正及び各種デジタル信号処理等が行われる場合もある。
- [0019] 垂直駆動回路111、カラム信号処理回路112、水平駆動回路113、水平信号線121及び出力回路114からなる回路部分は、半導体基板11上に直に形成されていてもよいし、あるいは外部制御ICに配設されたものであってもよい。また、それらの回路部分は、ケーブル等により接続された他の基板に形成されていてもよい。

[0020] 制御回路 115 は、半導体基板 11 の外部から与えられるクロックや、動作モードを指令するデータ等を受け取り、また、撮像装置 1 の内部情報等のデータを出力するものである。制御回路 115 はさらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動回路 111、カラム信号処理回路 112 及び水平駆動回路 113 等の周辺回路の駆動制御を行う。

[0021] 入出力端子 116 は、外部との信号のやり取りを行うものである。

[0022] (単位画素の回路構成例)

図 2 は、図 1 に示した撮像装置 1 の単位画素 P の読み出し回路の一例を表したものである。単位画素 P は、例えば、図 2 に示したように、4 つの光電変換部 12A、12B、12C、12D と、転送トランジスタ TR1、TR2、TR3、TR4 と、フローティングディフュージョン FD と、リセットトランジスタ RST と、増幅トランジスタ AMP と、選択トランジスタ SEL とを有する。

[0023] 光電変換部 12A、12B、12C、12D は、それぞれ、フォトダイオード (PD) である。光電変換部 12A は、アノードが接地電圧線に接続され、カソードが転送トランジスタ TR1 のソースに接続されている。光電変換部 12B、12C、12D は、光電変換部 12A と同様に、アノードが接地電圧線にそれぞれ接続され、カソードが転送トランジスタ TR2、TR3、TR4 のソースにそれぞれ接続されている。

[0024] 転送トランジスタ TR1 は、光電変換部 12A とフローティングディフュージョン FD との間に接続されている。転送トランジスタ TR2 は、光電変換部 12B とフローティングディフュージョン FD との間に接続されている。転送トランジスタ TR3 は、光電変換部 12C とフローティングディフュージョン FD との間に接続されている。転送トランジスタ TR4 は、光電変換部 12D とフローティングディフュージョン FD との間に接続されている。

[0025] 転送トランジスタ TR1、TR2、TR3、TR4 の各ゲート電極には、

それぞれ、駆動信号 $TR\ sig$ が印加される。この駆動信号 $TR\ sig$ がアクティブ状態になると、転送トランジスタ $TR\ 1$, $TR\ 2$, $TR\ 3$, $TR\ 4$ のそれぞれの転送ゲートが導通状態となり、光電変換部 $1\ 2\ A$, $1\ 2\ B$, $1\ 2\ C$, $1\ 2\ D$ の各々に蓄積されている信号電荷が、転送トランジスタ $TR\ 1$, $TR\ 2$, $TR\ 3$, $TR\ 4$ を介してフローティングディフュージョン FD に転送される。

[0026] フローティングディフュージョン FD は、転送トランジスタ $TR\ 1$, $TR\ 2$, $TR\ 3$, $TR\ 4$ と増幅トランジスタ AMP との間に接続されている。フローティングディフュージョン FD は、転送トランジスタ $TR\ 1$, $TR\ 2$, $TR\ 3$, $TR\ 4$ により転送される信号電荷を電圧信号に電荷電圧変換して、増幅トランジスタ AMP に出力する。

[0027] リセットトランジスタ RST は、フローティングディフュージョン FD と電源部との間に接続されている。リセットトランジスタ RST のゲート電極には、駆動信号 $RST\ sig$ が印加される。この駆動信号 $RST\ sig$ がアクティブ状態になると、リセットトランジスタ RST のリセットゲートが導通状態となり、フローティングディフュージョン FD の電位が電源部のレベルにリセットされる。

[0028] 増幅トランジスタ AMP は、そのゲート電極がフローティングディフュージョン FD に、ドレイン電極が電源部にそれぞれ接続されており、フローティングディフュージョン FD が保持している電圧信号の読み出し回路、所謂ソースフォロア回路の入力部となる。即ち、増幅トランジスタ AMP は、そのソース電極が選択トランジスタ SEL を介して垂直信号線 $L\ sig$ に接続されることで、垂直信号線 $L\ sig$ の一端に接続される定電流源とソースフォロア回路を構成する。

[0029] 選択トランジスタ SEL は、増幅トランジスタ AMP のソース電極と、垂直信号線 $L\ sig$ との間に接続される。選択トランジスタ SEL のゲート電極には、駆動信号 $SEL\ sig$ が印加される。この駆動信号 $SEL\ sig$ がアクティブ状態になると、選択トランジスタ SEL が導通状態となり、単位

画素Pが選択状態となる。これにより、増幅トランジスタAMPから出力される読み出し信号（画素信号）が、選択トランジスタSELを介して、垂直信号線Lsigに出力される。

[0030] 単位画素Pでは、例えば、光電変換部12Aにおいて生成された信号電荷、光電変換部12Bにおいて生成された信号電荷、光電変換部12Cにおいて生成された信号電荷及び光電変換部12Dにおいて生成された信号電荷がそれぞれ読み出される。これら光電変換部12A、12B、12C、12Dの各々から読み出された信号電荷を、例えば外部の信号処理部の位相差演算ブロックに出力することで、位相差オートフォーカス用の信号が取得できる。また、この光電変換部12A、12B、12C、12Dの各々から読み出された信号電荷をフローティングディフュージョンFDにおいて足し合わせ、例えば外部の信号処理部の撮像ブロックに出力することで、光電変換部12A、12B、12C、12Dの総電荷に基づく画素信号を取得できる。

[0031] （単位画素の断面視及び平面視による構成例）

図3は、本開示の実施形態1に係る撮像装置1の構成例を示す平面図である。図4は、図3に示す平面図を簡略化した図であって、画素間分離部13、画素内分離部14、連結部15及びカラーフィルタ21の位置関係を示す平面図である。図4では、図3に示したオンチップレンズ24の図示を省略している。図5は、図4に示す平面図をA-A'線で切断した断面図である。図6は、図4に示す平面図をB-B'線で切断した断面図である。図7は、図4に示す平面図をC-C'線で切断した断面図である。

[0032] 図3から図7に示す撮像装置1は、上記のように、例えば裏面照射型の撮像装置である。図3及び図4に示すように、画素部100A（図1参照）に行列状に2次元配置された複数の単位画素Pは、それぞれ、例えば、受光部10と、受光部10の光入射面である第1面11S1側に設けられた集光部20と、受光部10の第1面11S1とは反対側である第2面11S2側に設けられた多層配線層30とを有する。なお、撮像装置1は裏面照射型であるため、第1面11S1は裏面に相当し、第2面11S2は表面に相当する。

。

[0033] 図5から図7に示すように、受光部10は、対向する第1面11S1及び第2面11S2を有する半導体基板11と、半導体基板11に埋め込み形成された複数の光電変換部12とを有する。半導体基板11は、例えば、シリコン基板で構成されている。光電変換部12は、例えばPIN (Positive Intrinsic Negative) 型のフォトダイオード (PD) であり、半導体基板11の所定領域にpn接合を有する。光電変換部12は、上記のように、単位画素Pに複数埋め込み形成されている。例えば、4つの光電変換部12A, 12B, 12C, 12Dが単位画素Pに埋め込み形成されている。

[0034] 受光部10は、さらに、画素間分離部13と、画素内分離部14と、連結部15を有する。画素間分離部13は、隣り合う単位画素Pの間に設けられている。換言すると、画素間分離部13は単位画素Pの周囲に設けられている。画素部100Aにおいて、画素間分離部13は、例えば図3及び図4に示すように、平面視で格子状に設けられている。画素間分離部13は、隣り合う単位画素Pを電氣的且つ光学的に分離するためのものである。画素間分離部13は、例えば、半導体基板11の厚さ方向（例えば、Z軸方向）に沿って、半導体基板11の第1面11S1と第2面11S2との間を貫通している。

[0035] 図5及び図6に示すように、画素間分離部13は、空隙部131と、空隙部131と半導体基板11との間に設けられた絶縁膜135（本開示の「第1絶縁膜」の一例）とを有する。空隙部131は、半導体基板11の第1面11S1と第2面11S2との間を貫通するスリットである。このスリット（すなわち、空隙部131）の周囲に絶縁膜135が設けられている。図4に示すように、このスリット（すなわち、空隙部131）は、平面視で格子状に設けられている。なお、空隙部131は、空気層と言い換えてもよい。

[0036] 絶縁膜135は、例えば、酸化シリコン (SiO_x)、酸化アルミニウム (AlO_x)、又は、酸化ハフニウム (HfO_x) 膜である。例えば、絶縁

膜 135 として、酸化シリコン (SiO_x)、酸化アルミニウム (AlO_x)、又は、酸化ハフニウム (HfO_x) 膜を用いることによって、絶縁膜 135 を負の固定電荷を有するピニング膜とすることができる。このピニング膜が誘起する電界により、ピニング膜と接する半導体基板 11 にホール蓄積層を形成することができ、ピニング膜と接する半導体基板 11 の界面準位に起因した暗電流の発生を抑制することができる。

[0037] なお、図 3 及び図 4 に示すように、画素間分離部 13 は、平面視で、赤色のカラーフィルタ 21R と平面視で重なる単位画素 P と緑色のカラーフィルタ 21G と平面視で重なる単位画素 P との間や、青色のカラーフィルタ 21B と平面視で重なる単位画素 P と緑色のカラーフィルタ 21G と平面視で重なる単位画素 P との間に位置する。画素間分離部 13 は、平面視で、異色間を分離している。このため、画素間分離部 13 を「異色間分離部」と言い換えてもよい。

[0038] 図 3 に示すように、画素内分離部 14 は、単位画素 P 内において隣り合う光電変換部 12A, 12B, 12C, 12D 間に設けられている。画素内分離部 14 は、隣り合う光電変換部 12A, 12B, 12C, 12D 間を電氣的に分離するためのものである。図 3 及び図 4 に示すように、画素内分離部 14 は、平面視で格子状に設けられている。

[0039] 図 5 から図 7 に示すように、画素内分離部 14 は、画素間分離部 13 と同様に、半導体基板 11 の厚さ方向（例えば、Z 軸方向）に沿って、半導体基板 11 の第 1 面 11S1 と第 2 面 11S2 との間を貫通している。

[0040] 画素内分離部 14 は、第 1 材料層 141 と、第 1 材料層 141 と半導体基板 11 との間に設けられた絶縁膜 145（本開示の「第 2 絶縁膜」の一例）とを有する。第 1 材料層 141 は、半導体基板 11 の第 1 面 11S1 と第 2 面 11S2 との間を貫通している。第 1 材料層 141 の周囲に絶縁膜 145 が設けられている。

[0041] 第 1 材料層 141 は、半導体基板 11 と屈折率が近い材料で構成されることが好ましく、例えば、半導体基板 11 の屈折率の 0.6 倍以上、1.

4倍以下の屈折率を有する材料で構成されていることが好ましい。半導体基板11はシリコン(Si)であるため、第1材料層141は、シリコンと屈折率が近い材料で構成されていることが好ましく、シリコンの屈折率の0.6倍以上1.4倍以下の屈折率を有する材料で構成されていることが好ましい。このような条件を満たす第1材料層141として、酸化チタン(TiO_x ; 例えば TiO_2)又は酸化鉄(Fe_xO_y ; 例えば Fe_2O_3)、若しくは酸化チタンと酸化鉄の積層膜が例示される。

[0042] 第1材料層141が半導体基板11と屈折率が近い材料(例えば、 TiO_2 、 Fe_2O_3)で構成されることにより、第1材料層141と半導体基板11との間での光の反射を抑制することができるので、単位画素Pの光学的特性の向上が可能である。

[0043] なお、第1材料層141は、 TiO_x 、 Fe_xO_y に限定されるものではなく、例えば、 SiO_x (例えば、 SiO_2)又は SiN_x (例えば、 Si_3N_4)、若しくは、 SiO_x と SiN_x との積層膜であってあってもよい。あるいは、第1材料層141は、酸化タンタル(TaO_x)、ダイヤモンド、酸化ジルコニウム(ZrO_x)、酸化ハフニウム(HfO_x)、酸化セリウム(CeO_x)、酸化アルミニウム(AlO_x)、酸化ニオブ(NbO_x)のいずれか1つ以上であってよい。第1材料層141は、ノンドーパのポリシリコン(Poly-Si)やアモルファスシリコン(a-Si)であってもよい。

[0044] 絶縁膜145は、例えば、酸化シリコン(SiO_x)、酸化アルミニウム(AlO_x)、又は、酸化ハフニウム(HfO_x)膜である。例えば、絶縁膜145として、酸化シリコン(SiO_x)、酸化アルミニウム(AlO_x)、又は、酸化ハフニウム(HfO_x)膜を用いることによって、絶縁膜145を負の固定電荷を有するピニング膜とすることができる。このピニング膜が誘起する電界により、ピニング膜と接する半導体基板11にホール蓄積層を形成することができ、ピニング膜と接する半導体基板11の界面準位に起因した暗電流の発生を抑制することができる。

- [0045] なお、図3及び図4に示すように、画素内分離部14は、同色のカラーフィルタ21と平面視で重なる光電変換部12A、12B、12C、12D間に位置する。画素内分離部14は、平面視で同色間を分離している。このため、画素内分離部14を「同色間分離部」と言い換えてもよい。
- [0046] 図3及び図4に示すように、連結部15は、隣り合う単位画素P間に設けられ、隣り合う一方の単位画素Pの画素内分離部14と他方の単位画素Pの画素内分離部14とを連結する。連結部15は、画素内分離部14と一体に形成されている。図7に示すように、連結部15は、例えば、第1材料層141と絶縁膜145とを有する。連結部15が有する第1材料層141は、画素内分離部14が有する第1材料層141と同一組成を有する。連結部15が有する第1材料層141は、画素内分離部14が有する第1材料層141と一体に形成されている。同様に、連結部15が有する絶縁膜145は、画素内分離部14が有する絶縁膜145と同一組成を有する。連結部15が有する絶縁膜145は、画素内分離部14が有する絶縁膜145と一体に形成されている。
- [0047] 図5から図7に示すように、半導体基板11の第1面11S1には、半導体基板11の第1面11S1での反射防止を兼ねた固定電荷層16が設けられている。固定電荷層16は、正の固定電荷を有する膜でもよいし、負の固定電荷を有する膜でもよい。固定電荷層16の構成材料としては、半導体基板11のバンドギャップよりも広いバンドギャップを有する半導体材料又は導電材料が挙げられる。具体的には、例えば、例えば、酸化ハフニウム (HfO_x)、酸化アルミニウム (AlO_x)、酸化ジルコニウム (ZrO_x)、酸化タンタル (TaO_x)、酸化チタン (TiO_x)、酸化ランタン (LaO_x)、酸化プラセオジム (PrO_x)、酸化セリウム (CeO_x)、酸化ネオジム (NdO_x)、酸化プロメチウム (PmO_x)、酸化サマリウム (SmO_x)、酸化ユウロピウム (EuO_x)、酸化ガドリニウム (GdO_x)、酸化テルビウム (TbO_x)、酸化ジスプロシウム (DyO_x)、酸化ホルミウム (HoO_x)、酸化ツリウム (TmO_x)、酸化イッテルビウム

ム (YbO_x)、酸化ルテチウム (LuO_x)、酸化イットリウム (YO_x)、窒化ハフニウム (HfN_x)、窒化アルミニウム (AlN_x)、酸窒化ハフニウム (HfO_xN_y) 及び酸窒化アルミニウム (AlO_xN_y) 等が挙げられる。固定電荷層 16 は、単層膜としてもよいし、異なる材料からなる積層膜としてもよい。

[0048] 集光部 20 は、受光部 10 の第 1 面 11 S1 に設けられ、例えば、単位画素 P ごとに予め設定された色、例えば赤色光 (R)、緑色光 (G) 又は青色光 (B) を選択的に透過させるカラーフィルタ 21 と、カラーフィルタ 21 の単位画素 P の間に設けられた遮光部 22 と、平坦化層 23 と、レンズ層 24 L とを有し、受光部 10 側からこの順に積層されている。

[0049] 図 3 に示すように、カラーフィルタ 21 は、例えば、2 行×2 列で配置された 4 つの単位画素 P に対して、緑色光 (G) を選択的に透過させるカラーフィルタ 21 G が対角線上に 2 つ配置され、赤色光 (R) 及び青色光 (B) を選択的に透過させるカラーフィルタ 21 R, 21 B が、直交する対角線上に 1 つずつ配置されている。各カラーフィルタ 21 R, 21 G, 21 B が設けられた単位画素 P では、例えば、それぞれの光電変換部 12 において対応する色光が検出されるようになっている。即ち、画素部 100 A では、それぞれ、赤色光 (R)、緑色光 (G) 及び青色光 (B) を検出する単位画素 P が、ベイヤー状に配列されている。

[0050] 遮光部 22 は、カラーフィルタ 21 に斜め入射した光の隣接する単位画素 P への漏れ込みを防ぐためのものであり、上記のように、カラーフィルタ 21 の単位画素 P の間に設けられている。換言すると、遮光部 22 は、画素部 100 A において、格子状に設けられている。遮光部 22 を構成する材料としては、例えば、遮光性を有する導電材料が挙げられる。具体的には、例えば、タングステン (W)、銀 (Ag)、銅 (Cu)、アルミニウム (Al) 又は Al と銅 (Cu) との合金等が挙げられる。

[0051] 平坦化層 23 は、カラーフィルタ 21 及び遮光部 22 によって構成される光入射側 S1 の表面を平坦化するためのものである。平坦化層 23 は、例え

ば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 及び酸窒化シリコン (SiO_xN_y) 等を用いて形成されている。

[0052] レンズ層 24L は、画素部 100A の全面を覆うように設けられており、その表面には、例えばギャップレスに設けられた複数のオンチップレンズ 24 を有する。オンチップレンズ 24 は、その上方から入射した光を光電変換部 12 へ集光するためのものであり、例えば、単位画素 P ごとに設けられている。即ち、オンチップレンズ 24 は、単位画素 P 内の複数の光電変換部 12 に跨って設けられている。また、平面視において、画素間分離部 13 と、複数のオンチップレンズ 24 の境界とは、略一致している。

[0053] レンズ層 24L は、例えば、酸化シリコン (SiO_x) や窒化シリコン (SiN_x) 等の無機材料により形成されている。この他、レンズ層 24L は、エピスルフィド系樹脂、チエタン化合物やその樹脂等の高屈折率の有機材料を用いて形成してもよい。オンチップレンズ 24 の形状は、特に限定されるものではなく、半球形状や半円筒状等の各種レンズ形状を採用することができる。

[0054] 多層配線層 30 は、受光部 10 の第 1 面 11S1 とは反対側、具体的には、半導体基板 11 の第 2 面 11S2 側に設けられている。多層配線層 30 は、例えば、複数の配線層 31, 32, 33 が、層間絶縁層 34 を間に積層された構成を有する。多層配線層 30 には、例えば、上述した読み出し回路の他に、垂直駆動回路 111、カラム信号処理回路 112、水平駆動回路 113、出力回路 114、制御回路 115 及び入出力端子 116 等が形成されている。

[0055] 配線層 31, 32, 33 は、例えば、アルミニウム (Al)、銅 (Cu) 又はタングステン (W) 等を用いて形成されている。この他、配線層 31, 32, 33 は、ポリシリコン (Poly-Si) を用いて形成するようにしてもよい。

[0056] 層間絶縁層 34 は、例えば、酸化シリコン (SiO_x)、TEOS、窒化シリコン (SiN_x) 及び酸窒化シリコン (SiO_xN_y) 等のうちの 1 種

よりなる単層膜、あるいはこれらのうちの２種以上よりなる積層膜により形成されている。

[0057] （実施形態１の効果）

以上説明したように、本開示の実施形態１に係る撮像装置１は、第１面１１Ｓ１と、第１面１１Ｓ１の反対側に位置する第２面１１Ｓ２とを有し、複数の単位画素Ｐが行列状に配設されると共に、単位画素Ｐ毎に、受光量に応じた電荷を光電変換により生成する複数の光電変換部１２を有する半導体基板１１と、隣り合う単位画素Ｐ間に設けられ、隣り合う単位画素Ｐ間を電氣的且つ光学的に分離する空隙部１３１を有する画素間分離部１３と、単位画素Ｐ内で隣り合う光電変換部１２Ａ、１２Ｂ、１２Ｃ、１２Ｄ間に設けられ、隣り合う光電変換部１２の間を電氣的に分離する第１材料層１４１を有する画素内分離部１４と、隣り合う単位画素Ｐ間に設けられ、隣り合う一方の単位画素Ｐの画素内分離部１４と他方の単位画素Ｐの画素内分離部１４とを連結する連結部１５と、を備える。

[0058] これによれば、画素間分離部１３の空隙部１３１は、単位画素Ｐ内に入射した光を全反射させて、単位画素Ｐ内に閉じ込めることが可能である。これにより、隣り合う単位画素Ｐ間で混色を抑制することができる。また、画素内分離部１４の第１材料層１４１として、半導体基板１１を構成する材料（例えば、シリコン）に屈折率が近い材料を用いることができる。これにより、単位画素Ｐ内では、隣り合う光電変換部１２Ａ、１２Ｂ、１２Ｃ、１２Ｄ間で光の反射や散乱を抑制することができる。以上から、撮像装置１は、光学特性を向上させることが可能である。

[0059] また、単位画素Ｐの微細化、高集積化が進展すると、画素間分離部１３が有する空隙部１３１のアスペクト比が高くなることが考えられる。空隙部１３１のアスペクト比が高くなると、例えば、液体を用いる洗浄又はエッチング工程や、洗浄又はエッチング後の乾燥工程で、画素内分離部１４を含むパターンが倒壊し易くなる。しかしながら、撮像装置１では、隣り合う一方の単位画素Ｐの画素内分離部１４と他方の単位画素Ｐの画素内分離部１４とを

、単位画素P間に配置された連結部15が連結する。これにより、パターン倒壊を抑制することができる。

[0060] (実施形態1の変形例)

上記の実施形態1では、図3に示したように、1つの単位画素Pが、4つの光電変換部12A、12B、12C、12Dを有することを態様した。図4に示した単位画素Pは、4つの光電変換部12A、12B、12C、12DがX軸方向とY軸方向にそれぞれ2つずつ並んでいることから、本明細書では2×2型ともいう。しかしながら、本開示の実施形態において、単位画素Pの構成は、2×2型に限定されない。

[0061] (1) 変形例1

図8は、本開示の実施形態1の変形例1に係る撮像装置1Aを示す平面図である。図8に示す撮像装置1Aは、本開示の「光検出装置」の一例である。撮像装置1Aにおいて、複数の単位画素Pの各々は、2個の光電変換部12A、12Bを有する。図8に示す単位画素Pは、2個の光電変換部12A、12BがX軸方向に並びかつY軸方向には並んでいないことから、本明細書では2×1型ともいう。

[0062] 図8に示す2×1型の単位画素Pを備える撮像装置1Aは、隣り合う単位画素P間に設けられ、隣り合う単位画素P間を電氣的且つ光学的に分離する空隙部131を有する画素間分離部13と、単位画素P内で隣り合う光電変換部12A、12B間に設けられ、隣り合う光電変換部12の間を電氣的に分離する第1材料層141を有する画素内分離部14と、隣り合う単位画素P間に設けられ、隣り合う一方の単位画素Pの画素内分離部14と他方の単位画素Pの画素内分離部14とを連結する連結部15と、を備える。

[0063] これにより、撮像装置1Aは、撮像装置1と同様に、隣り合う単位画素P間での混色を防止するとともに、単位画素P内では隣り合う光電変換部12A、12B間で光の反射や散乱を抑制することができる。また、撮像装置は、隣り合う一方の単位画素Pの画素内分離部14と他方の単位画素Pの画素内分離部14とを連結部15が連結するため、空隙部131のアスペクト比

が高くなる場合でもパターンの倒壊を抑制することができる。

[0064] (2) 変形例 2

図 9 は、本開示の実施形態 1 の変形例 2 に係る撮像装置 1 B を示す平面図である。図 9 に示す撮像装置 1 B は、本開示の「光検出装置」の一例である。撮像装置 1 B において、複数の単位画素 P の各々は、9 個の光電変換部 1 2 を有する。図 9 に示す単位画素 P は、9 個の光電変換部 1 2 が X 軸方向と Y 軸方向とにそれぞれ 3 個ずつ並んでいることから、本明細書では 3 × 3 型ともいう。

[0065] 図 9 に示す 3 × 3 型の単位画素 P を備える撮像装置 1 B は、空隙部 1 3 1 を有する画素間分離部 1 3 と、第 1 材料層 1 4 1 を有する画素内分離部 1 4 と、連結部 1 5 とを備える。これにより、撮像装置 1 B は、撮像装置 1 と同様に、隣り合う単位画素 P 間での混色を防止するとともに、単位画素 P 内では隣り合う複数（例えば、9 個）の光電変換部 1 2 間で光の反射や散乱を抑制することができる。また、撮像装置 1 B は、隣り合う一方の単位画素 P の画素内分離部 1 4 と他方の単位画素 P の画素内分離部 1 4 とを連結部 1 5 が連結するため、空隙部 1 3 1 のアスペクト比が高くなる場合でもパターンの倒壊を抑制することができる。

[0066] (3) 変形例 3

図 1 0 は、本開示の実施形態 1 の変形例 3 に係る撮像装置 1 C を示す平面図である。図 1 0 に示す撮像装置 1 C は、本開示の「光検出装置」の一例である。撮像装置 1 C において、複数の単位画素 P の各々は、16 個の光電変換部 1 2 を有する。図 1 0 に示す単位画素 P は、16 個の光電変換部 1 2 が X 軸方向と Y 軸方向とにそれぞれ 4 個ずつ並んでいることから、本明細書では 4 × 4 型ともいう。

[0067] 図 1 0 に示す 4 × 4 型の単位画素 P を備える撮像装置 1 C は、空隙部 1 3 1 を有する画素間分離部 1 3 と、第 1 材料層 1 4 1 を有する画素内分離部 1 4 と、連結部 1 5 とを備える。これにより、撮像装置 1 C は、撮像装置 1 と同様に、隣り合う単位画素 P 間での混色を防止するとともに、単位画素 P 内

では隣り合う複数（例えば、１６個）の光電変換部１２間で光の反射や散乱を抑制することができる。また、撮像装置１Ｃは、隣り合う一方の単位画素Ｐの画素内分離部１４と他方の単位画素Ｐの画素内分離部１４とを連結部１５が連結するため、空隙部１３１のアスペクト比が高くなる場合でもパターンの倒壊を抑制することができる。

[0068] ＜実施形態２＞

上記の実施形態１では、図５から図７に示したように、画素間分離部１３及び画素内分離部１４がそれぞれ、半導体基板１１の厚さ方向（例えば、Ｚ軸方向）に沿って半導体基板１１の第１面１１Ｓ１と第２面１１Ｓ２との間を貫通している態様を示した。しかしながら、本開示の実施形態はこれに限定されない。画素間分離部１３及び画素内分離部１４の少なくとも一方が、半導体基板１１を貫通していなくてもよい。

[0069] 図１１は、本開示の実施形態２に係る撮像装置１Ｄの構成例を示す断面図である。図１１に示す撮像装置１Ｄにおいて、図５等にした撮像装置１との違いは、画素間分離部１３及び画素内分離部１４が半導体基板１１を貫通していない点である。撮像装置１Ｄにおいて、画素間分離部１３及び画素内分離部１４は、半導体基板１１の第１面１１Ｓ１側から半導体基板１１の厚さ方向（例えば、Ｚ軸方向）の途中位置まで設けられている。なお、撮像装置１Ｄは例えば裏面照射型であるため、第１面１１Ｓ１は裏面に相当する。

[0070] 例えば、画素間分離部１３は、空隙部１３１と、空隙部１３１と半導体基板１１との間に設けられた絶縁膜１３５とを有する。空隙部１３１及び絶縁膜１３５は、半導体基板１１の裏面に相当する第１面１１Ｓ１側から半導体基板１１の厚さ方向（例えば、Ｚ軸方向）の途中位置まで設けられている。空隙部１３１及び絶縁膜１３５は、半導体基板１１の表面に相当する第２面１１Ｓ２側には到達していない。

[0071] 同様に、画素内分離部１４は、第１材料層１４１と、第１材料層１４１と半導体基板１１との間に設けられた絶縁膜１４５とを有する。第１材料層１４１及び絶縁膜１４５は、半導体基板１１の裏面に相当する第１面１１Ｓ１

側から半導体基板 1 1 の厚さ方向（例えば、Z 軸方向）の途中位置まで設けられている。第 1 材料層 1 4 1 及び絶縁膜 1 4 5 は、半導体基板 1 1 の表面に相当する第 2 面 1 1 S 2 側には到達していない。

[0072] 撮像装置 1 D が有する単位画素 P の平面視による構造は、例えば、図 3 及び図 4 に示した撮像装置 1 が有する単位画素 P の平面視による構造と同じである。また、実施形態 2 においても、実施形態 1 の変形例 1 から変形例 3 の構成を適用可能である。撮像装置 1 D が有する単位画素 P は、図 3 及び図 4 に示した 2 × 2 型に限定されるものではなく、例えば、図 8 に示した 2 × 1 型、図 9 に示した 3 × 3 型又は図 1 0 に示した 4 × 4 型であってもよい。

[0073] 撮像装置 1 D は、空隙部 1 3 1 を有する画素間分離部 1 3 と、第 1 材料層 1 4 1 を有する画素内分離部 1 4 と、連結部 1 5 とを備える。これにより、撮像装置 1 D は、撮像装置 1 と同様に、隣り合う単位画素 P 間での混色を防止するとともに、単位画素 P 内では隣り合う複数の光電変換部 1 2 間で光の反射や散乱を抑制することができる。また、撮像装置 1 D は、隣り合う一方の単位画素 P の画素内分離部 1 4 と他方の単位画素 P の画素内分離部 1 4 とを連結部 1 5 が連結するため、空隙部 1 3 1 のアスペクト比が高くなる場合でもパターンの倒壊を抑制することができる。

[0074] <実施形態 3>

上記の実施形態 1 では、画素内分離部 1 4（すなわち、同色間分離部）の平面視による形状が格子状であることを説明した。本開示の実施形態では、格子状の画素内分離部 1 4 について、格子の交差部と、格子の直線部とを互いに異なる材料で構成してもよい。

[0075] 図 1 2 は、本開示の実施形態 3 に係る撮像装置 1 E の構成例を示す平面図である。図 1 3 から図 1 5 は、本開示の実施形態 3 に係る撮像装置 1 E の構成例を示す断面図である。図 1 3 は、図 1 2 に示す平面図を D - D' 線で切断した断面図である。図 1 4 は、図 1 2 に示す平面図を E - E' 線で切断した断面図である。図 1 5 は、図 1 2 に示す平面図を F - F' 線で切断した断面図である。なお、図 1 2 において、図 1 3 から図 1 5 に示すオンチップレ

ンズ 2 4 の図示は省略している。

[0076] 図 1 2 に示すように、画素内分離部 1 4 は、半導体基板 1 1 の厚さ方向（例えば、Z 軸方向）からの平面視で、X 軸方向（本開示の「第 1 方向」の一例）に延設された第 1 直線部 1 4 L 1 と X 軸方向と直交する Y 軸方向（本開示の「第 2 方向」の一例）に延設された第 2 直線部 1 4 L 2 と、第 1 直線部 1 4 L 1 と第 2 直線部 1 4 L 2 とが交差する領域に位置する交差部 1 4 C R と、を有する。撮像装置 1 E において、第 1 直線部 1 4 L 1、第 2 直線部 1 4 L 2 及び連結部 1 5 は互いに同一の材料で構成されている。また、交差部 1 4 C R は、第 1 直線部 1 4 L 1、第 2 直線部 1 4 L 2 及び連結部 1 5 とは異なる材料で構成されている。

[0077] 例えば、画素内分離部 1 4 は、第 1 材料層として、第 1 直線部 1 4 L 1、第 2 直線部 1 4 L 2 及び連結部 1 5 に用いられる第 2 材料層 1 4 2 と、交差部 1 4 C R に用いられる第 3 材料層 1 4 3 と、を有する。第 2 材料層 1 4 2 は、ボロンをドーピングしたアモルファスシリコン（B D A S）層を有する。B D A S 層におけるボロン（B）濃度は、例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。これにより、第 1 直線部 1 4 L 1 及び第 2 直線部 1 4 L 2 が配置されるトレンチの側壁のピニングを強化することができる。

[0078] また、第 3 材料層 1 4 3 は、半導体基板 1 1 を構成しているシリコン（Si）と屈折率の近い材料層、例えば、酸化チタン層及び酸化鉄層の少なくとも一方を有する。第 3 材料層 1 4 3 と半導体基板 1 1 との屈折率差は、第 2 材料層と半導体基板との屈折率差よりも大きい。これにより、構造上、光の反射や散乱が比較的生じ易い交差部 1 4 C R においても、光の反射や散乱を抑制することができる。

[0079] 撮像装置 1 E は、空隙部 1 3 1 を有する画素間分離部 1 3 と、第 1 材料層として第 2 材料層 1 4 2 及び第 3 材料層 1 4 3 を有する画素内分離部 1 4 と、連結部 1 5 とを備える。これにより、撮像装置 1 E は、隣り合う単位画素 P 間での混色を防止するとともに、単位画素 P 内では隣り合う複数の光電変換部 1 2 間で光の反射や散乱を抑制することができる。特に、画素内分離部

14の第1直線部14L1及び第2直線部14L2ではトレンチ側壁のピニングを強化し、交差部14CRでは光の反射や、散乱を抑制することが可能である。

[0080] また、撮像装置1Eは、撮像装置1と同様に、隣り合う一方の単位画素Pの画素内分離部14と他方の単位画素Pの画素内分離部14とを連結部15が連結するため、空隙部131のアスペクト比が高くなる場合でもパターンの倒壊を抑制することができる。

[0081] なお、実施形態3においても、実施形態1の変形例1から変形例3の構成を適用可能である。撮像装置1Eが有する単位画素Pは、図3及び図4に示した2×2型に限定されるものではなく、例えば、図8に示した2×1型、図9に示した3×3型又は図10に示した4×4型であってもよい。

[0082] <実施形態4>

次に、本開示の実施形態4として、実施形態1で説明した撮像装置1の画素間分離部13、画素内分離部14及び連結部15の製造方法を説明する。なお、撮像装置は、レジスト塗布装置、露光装置、エッチング装置、イオン注入装置、成膜装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0083] 図16Aから図16Dは、本開示の実施形態4に係る撮像装置の製造方法を工程順に示す図である。図16Aから図16Dに示す各ステップST11からST17において、上段の図は平面図であり、下段の図は断面図を示す。上段の平面図において、a線は、格子状の画素間分離部13（異色間分離部）が形成される領域と交差する線である。b線は、格子状の画素内分離部14（同色間分離部）が形成される領域と交差する線である。c線は、隣り合う単位画素P間で画素内分離部14（同色間分離部）同士を連結する連結部15が形成される領域の連結方向と交差する線である。

[0084] また、図16Aから図16Dに示す各ステップST11からST17において、下段の断面図の領域Raはa線に沿う領域を示し、領域Rbはb線に沿う領域を示し、領域Rcはc線に沿う領域を示す。なお、下段の断面図で

は、各領域 R a、R b、R c を一方向に並べて記載しているが、これは紙面の都合上から模式的に記載したものである。各領域 R a、R b、R c は、実際には一方向に並んではいない。各領域 R a、R b、R c の実際の位置は、上段の平面図に示す a 線、b 線、c 線と重なる位置である。

[0085] 図 16 A のステップ S T 1 1 に示すように、製造装置は、半導体基板 1 1 の表面である第 2 面 1 1 S 2 の側から、半導体基板 1 1 を部分的にエッチングして、スリット H 1 を形成する。スリット H 1 は、画素内分離部 1 4 が形成される領域 R b と、連結部 1 5 が形成される領域 R c とに形成される。

[0086] 次に、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 側に絶縁膜 1 4 5 と、材料膜 1 6 1 とをこの順で成膜して、領域 R b、R c のスリット H 1 を埋め込む。上述したように、絶縁膜 1 4 5 はスリット側壁のピニング膜である。材料膜 1 6 1 は、半導体基板 1 1 を構成するシリコン (S i) に対してドライエッチングの選択性を有する材料であることが好ましく、例えば、S i₃N₄ 又は S i O₂ であることが好ましい。

[0087] 次に、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 側に例えば CMP 処理を施して、第 2 面 1 1 S 2 上から材料膜 1 6 1 と絶縁膜 1 4 5 とを除去する。これにより、図 16 A のステップ S T 1 2 に示すように、画素内分離部 1 4 が形成される領域 R b と、連結部 1 5 が形成される領域 R c とが材料膜 1 6 1 及び絶縁膜 1 4 5 で埋め込まれ、それ以外の領域の第 2 面 1 1 S 2 上から材料膜 1 6 1 と絶縁膜 1 4 5 とが除去された形となる。

[0088] 次に、図 16 B のステップ S T 1 3 に示すように、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 上にマスク M 1 を形成する。マスク M 1 は、画素内分離部 1 4 が形成される領域 R b を覆い、連結部 1 5 が形成される領域 R c と、画素間分離部 1 3 が形成される領域 R a とを露出する形状を有する。すなわち、マスク M 1 は、単位画素 P を覆い、隣り合う単位画素 P 間を露出する形状を有する。マスク M 1 を構成する材料は、例えば S i O_x、S i N_x、又は、アモルファスカーボン (a-C) である。

[0089] 次に、製造装置は、マスク M 1 から露出している領域 R a をエッチングし

て、領域R aにスリットH 2を形成する。このエッチング工程では、半導体基板1 1を構成するシリコンがエッチングされ易く、領域R cを埋め込んでいる材料膜1 6 1及び絶縁膜1 4 5とマスクM 1はエッチングされ難い条件で、半導体基板1 1をウェットエッチング又はドライエッチングする。これにより、領域R aにスリットH 2が形成される。マスクM 1下から露出している領域R cの材料膜1 6 1及び絶縁膜1 4 5はほとんどエッチングされずに、スリットH 1内に残される。

[0090] 次に、製造装置は、半導体基板1 1の第2面1 1 S 2側に絶縁膜1 3 5と、材料膜1 6 3とをこの順で成膜して、領域R aのスリットH 2を埋め込む。材料膜1 6 3は、例えばポリシリコン（P o l y－S i）である。次に、製造装置は、半導体基板1 1の第2面1 1 S 2側に例えばCMP処理を施して、第2面1 1 S 2上から材料膜1 6 3と絶縁膜1 3 5とマスクM 1とを除去する。これにより、図1 6 BのステップS T 1 4に示すように、画素間分離部1 3が形成される領域R aが材料膜1 6 3及び絶縁膜1 3 5で埋め込まれ、それ以外の領域の第2面1 1 S 2上から材料膜1 6 3と絶縁膜1 3 5とが除去された形となる。

[0091] 次に、製造装置は、半導体基板1 1の第2面1 1 S 2側から、材料膜1 6 3、1 6 5を同時に（または、別々に）リセスを行う。リセスはエッチバックであってもよい。次に、図1 6 CのステップS T 1 5において、製造装置はリセスにより生じた凹部に絶縁膜1 6 7を埋め込む。絶縁膜1 6 7は、例えばS i O x又はS i N xである。画素間分離部1 3、画素内分離部1 4及び連結部1 5の形成工程について、F E O L（F r o n t E n d o f L i n e）工程での処理が終了する。

[0092] 次に、図1 6 CのステップS T 1 6から裏面工程である。ステップS T 1 6において、製造装置は半導体基板1 1の裏面である第1面1 1 S 1にアルカリ溶液を用いたウェットエッチング処理を施して、第1面1 1 S 1側に材料膜1 6 1、1 6 3を露出させる。アルカリ溶液を用いたウェットエッチングでは、半導体基板1 1を構成するシリコン（S i）はエッチングされるが

、材料膜 163（例えば、ポリシリコン）はエッチングされ難い。

[0093] 次に、製造装置は、材料膜 161 はエッチングされ易く、材料膜 164 及び半導体基板 11 はエッチングされ難い条件で、材料膜 161 をエッチングする。これにより、画素内分離部 14 が形成される領域 Rb のスリット H1 内、及び、連結部 15 が形成される領域 Rc 内のスリット H1 から材料膜 161 をそれぞれ除去する。

[0094] 次に、図 16D のステップ ST17 に示すように、製造装置は、半導体基板 11 の第 1 面 11S1 側に第 1 材料層 141 を成膜して、領域 Rb、Rc のスリット H1 を埋め込む。上述したように、第 1 材料層 141 は、例えば TiO_2 又は Fe_2O_3 である。

[0095] 次に、製造装置は、半導体基板 11 の第 1 面 11S1 側に例えば CMP 処理を施して、第 1 面 11S1 上から第 1 材料層 141 を除去する。これにより、画素内分離部 14 が形成される領域 Rb と、連結部 15 が形成される領域 Rc とが第 1 材料層 141 で埋め込まれ、それ以外の領域の第 1 面 11S1 上から第 1 材料層 141 が除去された形となる。

[0096] 次に、製造装置は、画素間分離部 13 が形成される領域 Ra 内に埋め込まれている材料膜 163 をエッチングして除去し、空隙部 131 を形成する。材料膜 163 は例えばポリシリコンであり、第 1 材料層 141 は例えば TiO_2 又は Fe_2O_3 である。このため、第 1 材料層 141 をエッチングすることなく、材料膜 163 をウェットエッチングで除去することが可能である。

[0097] 以上の工程を経て、実施形態 1 で説明した撮像装置 1 の画素間分離部 13、画素内分離部 14 及び連結部 15 が完成する。

[0098] また、実施形態 4 に係る製造方法によれば、FEOL 工程で、画素内分離部 14 が形成される領域 Rb 及び連結部が形成される領域 Rc の各スリット H1 に材料膜 161 を埋め込む（ステップ ST12）。その後、裏面工程で、スリット H1 内から材料膜 161 を除去し（ステップ ST16）、材料膜 161 を除去したスリット H1 内に第 1 材料層 141 を埋め込む。例えば、裏面工程ではなく、FEOL 工程で第 1 材料層 141 を形成する場合と比べ

て、第1材料層141にコンタミネーションが生じる可能性を低減することができる。

[0099] F E O L工程で第1材料層141を形成する場合は、ソース・ドレイン等のアニール工程での熱処理温度を考慮して、第1材料層141に耐熱性の高い材料を選択する必要がある。

しかし、実施形態1の製造方法では、高温アニール工程を経た後の裏面工程で第1材料層141を形成する。このため、第1材料層141に耐熱性が比較的低い材料を用いることができる。第1材料層141の材料選択の幅を広げることができる。

[0100] (実施形態4の変形例)

上記の実施形態4では、F E O L工程で、画素内分離部14が形成される領域R b及び連結部が形成される領域R cの各スリットH 1に材料膜161を一旦埋め込み、裏面工程で材料膜161を除去してから、上記スリットH 1に第1材料層141を埋め込んで、画素内分離部14及び連結部15を形成することを説明した。しかしながら、本開示の実施形態において、画素内分離部14及び連結部15の形成方法はこれに限定されない。

[0101] (1) 変形例1

本開示の実施形態では、F E O L工程で、領域R b、R cの各スリットH 1に埋め込んだ材料膜161（例えば、S i N又はS i O₂）をそのまま第1材料層として残してもよい。この場合、材料膜161が本開示の「第1材料層」の一例となる。

[0102] 図17は、本開示の実施形態4の変形例1に係る撮像装置の製造方法を工程順に示す図である。上述の図16Aから図16Dと同様に、図17に示すステップS T 21、S T 22において、上段の図は平面図であり、下段の図は断面図を示す。図17のステップS T 21において、半導体基板11の裏面である第1面11S 1にアルカリ溶液を用いたウェットエッチング処理を施して、第1面11S 1側に材料膜161、163を露出させる工程までは、実施形態4のステップS T 16と同じである。

[0103] 実施形態4の変形例1では、第1面11S1側に材料膜161、163を露出させた後、図17のステップST22に示すように、製造装置は、領域Ra内に埋め込まれている材料膜163をエッチングして除去し、空隙部131を形成する。材料膜163は例えばポリシリコンであり、第1材料層141は例えば TiO_2 又は Fe_2O_3 である。このため、第1材料層141をエッチングすることなく、材料膜163をウェットエッチングで除去することが可能である。

[0104] 以上の工程を経て、画素間分離部13、画素内分離部14及び連結部15が完成する。上述したように、この変形例1では、領域Rb、Rcに残された材料膜161が本開示の「第1絶縁膜」の一例となる。この変形例1によれば、上記の実施形態4の製造方法と比べて、製造工程の短縮、簡易化が可能である。

[0105] (2) 変形例2

本開示の実施形態では、FEOL工程で、領域Rb、Rcの各スリットH1にSiN又は SiO_2 等の材料膜161ではなく、 TiO_2 又は Fe_2O_3 等の第1材料層141を埋め込んでもよい。これにより、第1材料層141について材料選択の幅が狭くなる可能性や、熱履歴の低温化が必要になる可能性は生じるが、その一方で、材料膜161の形成工程が不要となるので、製造工程の短縮、簡易化が可能である。以下、この変形例2について、図面を用いて工程順に説明する。

[0106] 図18Aから図18Cは、本開示の実施形態4の変形例2に係る撮像装置の製造方法を工程順に示す図である。上述の図16Aから図16Dと同様に、図18Aから図18Cに示すステップST31からST35において、上段の図は平面図であり、下段の図は断面図を示す。図18AのステップST31において、半導体基板11の領域Rb、RcにスリットH1を形成する工程までは、実施形態4のステップST16と同じである。

[0107] 次に、製造装置は、半導体基板11の第2面11S2側に絶縁膜145と、第1材料層141とをこの順で成膜して、領域Rb、RcのスリットH1

を埋め込む。上述したように、第1材料層141は例えば TiO_2 又は Fe_2O_3 である。

[0108] 次に、製造装置は、半導体基板11の第2面11S2側に例えばCMP処理を施して、第2面11S2上から第1材料層141と絶縁膜145とを除去する。これにより、図18AのステップST31に示すように、画素内分離部14が形成される領域Rbと、連結部15が形成される領域Rcとが第1材料層141及び絶縁膜145で埋め込まれ、それ以外の領域の第2面11S2上から第1材料層141と絶縁膜145とが除去された形となる。

[0109] 次に、図18AのステップST32に示すように、製造装置は、半導体基板11の第2面11S2上にマスクM1を形成する。上述したように、マスクM1は、画素内分離部14が形成される領域Rbを覆い、連結部15が形成される領域Rcと、画素間分離部13が形成される領域Raとを露出する形状を有する。マスクM1を構成する材料は、例えば SiO_x 、 SiN_x 、又は、アモルファスカーボン(a-C)である。

[0110] 次に、製造装置は、マスクM1から露出している領域Raをエッチングして、領域RaにスリットH2を形成する。このエッチング工程では、半導体基板11を構成するシリコンがエッチングされ易く、領域Rcを埋め込んでいる第1材料層141及び絶縁膜145とマスクM1はエッチングされ難い条件で、半導体基板11をウェットエッチング又はドライエッチングする。これにより、領域RaにスリットH2が形成される。マスクM1下から露出している領域Rcの第1材料層141及び絶縁膜145はほとんどエッチングされずに、スリットH1内に残される。

[0111] 次に、製造装置は、半導体基板11の第2面11S2側に絶縁膜135と、材料膜163とをこの順で成膜して、領域RaのスリットH2を埋め込む。材料膜163は、例えばポリシリコン(Poly-Si)である。次に、製造装置は、半導体基板11の第2面11S2側に例えばCMP処理を施して、第2面11S2上から材料膜163と絶縁膜135とマスクM1とを除去する。これにより、図18BのステップST33に示すように、画素間分

離部 13 が形成される領域 R a が材料膜 163 及び絶縁膜 135 で埋め込まれ、それ以外の領域の第 2 面 11S2 上から材料膜 163 と絶縁膜 135 とが除去された形となる。

[0112] 次に、製造装置は、半導体基板 11 の第 2 面 11S2 側から、第 1 材料層 141 及び材料膜 163 を同時に（または、別々に）リセスを行う。リセスはエッチバックであってもよい。次に、図 18B のステップ ST34 に示すように、製造装置はリセスにより生じた凹部に絶縁膜 167 を埋め込む。絶縁膜 167 は、例えば SiO_x 又は SiN_x である。画素間分離部 13、画素内分離部 14 及び連結部 15 の形成工程について、FEOL (Front End of Line) 工程での処理が終了する。

[0113] 次に、図 18C のステップ ST35 から裏面工程である。ステップ ST35 において、製造装置は半導体基板 11 の裏面である第 1 面 11S1 にアルカリ溶液を用いたウェットエッチング処理を施して、第 1 面 11S1 側に第 1 材料層 141 及び材料膜 163 を露出させる。アルカリ溶液を用いたウェットエッチングでは、半導体基板 11 を構成するシリコン (Si) はエッチングされるが、第 1 材料層 141 及び材料膜 163（例えば、ポリシリコン）はエッチングされ難い。

[0114] 次に、製造装置は、画素間分離部 13 が形成される領域 R a 内に埋め込まれている材料膜 163 をエッチングして除去し、空隙部 131 を形成する。材料膜 163 は例えばポリシリコンであり、第 1 材料層 141 は例えば TiO_2 又は Fe_2O_3 である。このため、第 1 材料層 141 をエッチングすることなく、材料膜 163 をウェットエッチングで除去することが可能である。

[0115] 以上の工程を経て、実施形態 1 で説明した撮像装置 1 の画素間分離部 13、画素内分離部 14 及び連結部 15 が完成する。この変形例 2 によれば、領域 R b、R c のスリット H1 への材料膜 161 の埋め込み工程とその除去工程とが不要となるため、製造工程の短縮、簡易化が可能である。

[0116] <実施形態 5>

次に、本開示の実施形態 5 として、実施形態 2 で説明した撮像装置 1D の

画素間分離部 1 3、画素内分離部 1 4 及び連結部 1 5 の製造方法を説明する。

- [0117] 図 1 9 A 及び図 1 9 B は、本開示の実施形態 5 に係る撮像装置の製造方法を工程順に示す図である。図 1 9 A 及び図 1 9 B に示すステップ S T 4 1 から S T 4 4 において、上段の図は平面図であり、下段の図は断面図を示す。なお、図 1 9 A のステップ S T 4 1 から S T 4 4 は全て裏面工程である。
- [0118] 図 1 9 A のステップ S T 4 1 に示すように、製造装置は、半導体基板 1 1 の裏面である第 1 面 1 1 S 1 の側から、半導体基板 1 1 を部分的にエッチングして、スリット H 1 を形成する。スリット H 1 は、画素内分離部 1 4 が形成される領域 R b と、連結部 1 5 が形成される領域 R c とに形成される。
- [0119] 次に、製造装置は、半導体基板 1 1 の第 1 面 1 1 S 1 側に絶縁膜 1 4 5 と、第 1 材料層 1 4 1 とをこの順で成膜して、領域 R b、R c のスリット H 1 を埋め込む。絶縁膜 1 4 5 は、ピニング膜であり、例えば、酸化シリコン (SiO_x)、酸化アルミニウム (AlO_x)、又は、酸化ハフニウム (HfO_x) 膜である。第 1 材料層 1 4 1 は、例えば TiO_2 又は Fe_2O_3 である。
- [0120] 次に、製造装置は、半導体基板 1 1 の第 1 面 1 1 S 1 側に例えば CMP 処理を施して、第 1 面 1 1 S 1 上から第 1 材料層 1 4 1 と絶縁膜 1 4 5 とを除去する。これにより、図 1 9 A のステップ S T 4 2 に示すように、画素内分離部 1 4 が形成される領域 R b と、連結部 1 5 が形成される領域 R c とが第 1 材料層 1 4 1 及び絶縁膜 1 4 5 で埋め込まれ、それ以外の領域の第 1 面 1 1 S 1 上から第 1 材料層 1 4 1 と絶縁膜 1 4 5 とが除去された形となる。
- [0121] 次に、図 1 9 B のステップ S T 4 3 に示すように、製造装置は、半導体基板 1 1 の第 1 面 1 1 S 1 上にマスク M 1 を形成する。マスク M 1 は、画素内分離部 1 4 が形成される領域 R b を覆い、連結部 1 5 が形成される領域 R c と、画素間分離部 1 3 が形成される領域 R a とを露出する形状を有する。
- [0122] 次に、製造装置は、マスク M 1 から露出している領域 R a をエッチングして、領域 R a にスリット H 2 を形成する。このエッチング工程では、半導体基板 1 1 を構成するシリコンがエッチングされ易く、領域 R c を埋め込んで

いる第1材料層141及び絶縁膜145とマスクM1はエッチングされ難い条件で、半導体基板11をウェットエッチング又はドライエッチングする。これにより、領域RaにスリットH2が形成される。マスクM1下から露出している領域Rcの第1材料層141及び絶縁膜145はほとんどエッチングされずに、スリットH1内に残される。

[0123] 次に、製造装置は、半導体基板11の第1面11S1側に絶縁膜135を成膜して、領域RaのスリットH2の底面及び側面を覆う。絶縁膜135は、ピニング膜であり、例えば、酸化シリコン(SiO_x)、酸化アルミニウム(AlO_x)、又は、酸化ハフニウム(HfO_x)膜である。

[0124] 次に、製造装置は、半導体基板11の第1面11S1側に例えばCMP処理を施して、第1面11S1上から絶縁膜135とマスクM1とを除去する。これにより、図19BのステップST44に示すように、画素間分離部13が形成される領域Raに絶縁膜135が残され、それ以外の領域から絶縁膜135が除去された形となる。

[0125] 以上の工程を経て、実施形態2で説明した撮像装置1Dの画素間分離部13、画素内分離部14及び連結部15が完成する。実施形態5の製造方法では、FEOLE工程ではなく、裏面工程で第1材料層141を形成するため、第1材料層141にコンタミネーションが生じる可能性を低減することができる。また、第1材料層141に耐熱性が比較的低い材料を用いることができるため、第1材料層141の材料選択の幅を広げることができる。

[0126] <実施形態6>

次に、本開示の実施形態5として、実施形態3で説明した撮像装置1Eの画素間分離部13、画素内分離部14及び連結部15の製造方法を説明する。

[0127] 図20Aから図20Dは、本開示の実施形態6に係る撮像装置の製造方法を工程順に示す図である。図20A及び図20Dに示すステップST51からST57において、上段の図は平面図であり、下段の図は断面図を示す。上段の平面図において、b線は、格子状の画素内分離部14（同色間分離部

)の第1直線部14L1が形成される領域と交差する線である。d線は、格子状の画素内分離部14(同色間分離部)の交差部14CRが形成される領域と交差する線である。

[0128] また、下段の断面図の領域Rbはb線に沿う領域を示し、領域Rdはd線に沿う領域を示す。なお、下段の断面図では、各領域Ra、Rb、Rc、Rdを一方向に並べて記載しているが、これは紙面の都合上から模式的に記載したものである。各領域Ra、Rb、Rc、Rdは、実際には一方向に並んではない。各領域Ra、Rb、Rc、Rdの実際の位置は、上段の平面図に示すa線、b線、c線、d線と重なる位置である。

[0129] 図20AのステップST51に示すように、製造装置は、半導体基板11の表面である第2面11S2の側から、半導体基板11を部分的にエッチングして、スリットH3を形成する。スリットH3は、画素内分離部14(同色間分離部)の交差部14CRが形成される領域Rdに形成される。

[0130] 次に、製造装置は、半導体基板11の第2面11S2側に絶縁膜145と、第3材料層143とをこの順で成膜して、領域RdのスリットH3を埋め込む。上述したように、絶縁膜145はスリット側壁のピニング膜であり、例えば、酸化シリコン(SiO_x)、酸化アルミニウム(AlO_x)、又は、酸化ハフニウム(HfO_x)膜である。第3材料層143は、半導体基板11を構成しているシリコン(Si)と屈折率の近い材料層であり、例えばTiO₂又はFe₂O₃である。

[0131] 次に、製造装置は、半導体基板11の第2面11S2側に例えばCMP処理を施して、第2面11S2上から第3材料層143と絶縁膜145とを除去する。これにより、図20AのステップST51に示すように、画素内分離部14(同色間分離部)の交差部14CRが形成される領域Rdが第3材料層143及び絶縁膜145で埋め込まれ、それ以外の領域の第2面11S2上から第3材料層143と絶縁膜145とが除去された形となる。

[0132] 次に、図20AのステップST52に示すように、製造装置は、半導体基板11の第2面11S2上にマスクM2を形成する。マスクM2は、画素内

分離部 1 4 の交差部 1 4 C R が形成される領域 R d と画素間分離部 1 3 が形成される領域 R a とを覆い、画素内分離部 1 4 の直線部（第 1 直線部 1 4 L 1、第 2 直線部 1 4 L 2）が形成される領域 R b と連結部 1 5 が形成される領域 R c とを露出する形状を有する。マスク M 2 を構成する材料は、例えば SiO_x 、 SiN_x 、又は、アモルファスカーボン（a-C）である。

[0133] 次に、製造装置は、マスク M 2 から露出している領域 R b、R c をエッチングして、領域 R b、R c にスリット H 1 を形成する。

[0134] 次に、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 側に絶縁膜 1 4 5 と、第 2 材料層 1 4 2 とをこの順で成膜して、領域 R b、R c のスリット H 1 を埋め込む。スリット H 1 に埋め込む絶縁膜 1 4 5 は、例えばスリット H 3 に埋め込んだ絶縁膜 1 4 5 と同一組成のピニング膜である。第 2 材料層 1 4 2 は、ボロンをドーピングしたアモルファスシリコン（BDAS）層である。

[0135] 次に、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 側に例えば CMP 処理を施して、第 2 面 1 1 S 2 上から第 2 材料層 1 4 2 と絶縁膜 1 4 5 とマスク M 2 とを除去する。これにより、画素内分離部 1 4 が形成される領域 R b と、連結部 1 5 が形成される領域 R c とが第 2 材料層 1 4 2 及び絶縁膜 1 4 5 で埋め込まれ、それ以外の領域の第 2 面 1 1 S 2 上から第 2 材料層 1 4 2 と絶縁膜 1 4 5 とが除去された形となる。

[0136] 次に、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 側から、第 2 材料層 1 4 2 及び第 3 材料層 1 4 3 を同時に（または、別々に）リセスを行う。リセスはエッチバックであってもよい。次に、図 20 B のステップ S T 5 3 において、製造装置はリセスにより生じた凹部に絶縁膜 1 6 7 を埋め込む。絶縁膜 1 6 7 は、例えば SiO_x 又は SiN_x である。

[0137] 次に、図 20 B のステップ S T 5 4 に示すように、製造装置は、半導体基板 1 1 の第 2 面 1 1 S 2 上にマスク M 3 を形成する。マスク M 3 は、画素内分離部 1 4 の直線部が形成される領域 R b と画素内分離部 1 4 の交差部 1 4 C R が形成される領域 R d とを覆い、画素間分離部 1 3 が形成される領域 R a と連結部 1 5 が形成される領域 R c とを露出する形状を有する。マスク M

3を構成する材料は、例えば SiO_x 、 SiN_x 、又は、アモルファスカーボン（ $a-C$ ）である。

[0138] 次に、製造装置は、マスクM3から露出している領域R_aをエッチングして、領域R_aにスリットH2を形成する。

[0139] 次に、製造装置は、半導体基板11の第2面11S2側に絶縁膜135と、材料膜163とをこの順で成膜して、領域R_aのスリットH2を埋め込む。スリットH2に埋め込む絶縁膜135は、スリット側壁のピニング膜であり、例えば、酸化シリコン（ SiO_x ）、酸化アルミニウム（ AlO_x ）、又は、酸化ハフニウム（ HfO_x ）膜である。材料膜163は、例えばポリシリコン（ Poly-Si ）である。

[0140] 製造装置は、半導体基板11の第2面11S2側に例えばCMP処理を施して、第2面11S2上から材料膜163と絶縁膜135とマスクM3とを除去する。これにより、図20CのステップST55に示すように、画素間分離部13が形成される領域R_aが材料膜163及び絶縁膜145で埋め込まれ、それ以外の領域の第2面11S2上から材料膜163と絶縁膜145とが除去された形となる。

[0141] 次に、製造装置は、半導体基板11の第2面11S2側から、材料膜163のリセスを行う。リセスはエッチバックであってもよい。次に、図20CのステップST56において、製造装置はリセスにより生じた凹部に絶縁膜167を埋め込む。領域R_aに埋め込む絶縁膜167は、例えば領域R_b、R_c、R_dに埋め込まれた絶縁膜167と同一組成の膜であり、例えば SiO_x 又は SiN_x である。

[0142] 次に、製造装置は半導体基板11の裏面である第1面11S1にアルカリ溶液を用いたウェットエッチング処理を施して、第1面11S1側に第2材料層142、第3材料層143、材料膜163を露出させる。アルカリ溶液を用いたウェットエッチングでは、半導体基板11を構成するシリコン（ Si ）はエッチングされるが、材料膜163（例えば、ポリシリコン）はエッチングされ難い。

[0143] 次に、図20DのステップST57に示すように、製造装置は、画素間分離部13が形成される領域Ra内に埋め込まれている材料膜163をエッチングして除去し、空隙部131を形成する。材料膜163は例えばポリシリコンであり、第2材料層142はBDAS層であり、第3材料層143は例えば TiO_2 又は Fe_2O_3 である。このため、第2材料層142及び第3材料層143をエッチングすることなく、材料膜163をウェットエッチングで除去することが可能である。

[0144] 以上の工程を経て、実施形態3で説明した撮像装置1Eの画素間分離部13、画素内分離部14及び連結部15が完成する。

[0145] <適用例>

上記撮像装置1等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図21は、電子機器1000の概略構成を表したものである。

[0146] 電子機器1000は、例えば、レンズ群1001と、撮像装置1と、DSP(Digital Signal Processor)回路1002と、フレームメモリ1003と、表示部1004と、記録部1005と、操作部1006と、電源部1007とを有し、バスライン1008を介して相互に接続されている。

[0147] レンズ群1001は、被写体からの入射光(像光)を取り込んで撮像装置1の撮像面上に結像するものである。撮像装置1は、レンズ群1001によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1002に供給する。

[0148] DSP回路1002は、撮像装置1から供給される信号を処理する信号処理回路である。DSP回路1002は、撮像装置1からの信号を処理して得られる画像データを出力する。フレームメモリ1003は、DSP回路1002により処理された画像データをフレーム単位で一時的に保持するものである。

[0149] 表示部１００４は、例えば、液晶パネルや有機ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｅｎｃｅ）パネル等のパネル型表示装置からなり、撮像装置１で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0150] 操作部１００６は、ユーザによる操作に従い、電子機器１０００が所有する各種の機能についての操作信号を出力する。電源部１００７は、ＤＳＰ回路１００２、フレームメモリ１００３、表示部１００４、記録部１００５及び操作部１００６の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0151] ＜応用例＞

（移動体への応用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0152] 図２２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0153] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0154] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０

１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0155] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0156] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0157] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0158] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転

者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0159] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0160] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0161] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0162] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２２の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネ

ル 1 2 0 6 3 が例示されている。表示部 1 2 0 6 2 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0163] 図 2 3 は、撮像部 1 2 0 3 1 の設置位置の例を示す図である。

[0164] 図 2 3 では、車両 1 2 1 0 0 は、撮像部 1 2 0 3 1 として、撮像部 1 2 1 0 1, 1 2 1 0 2, 1 2 1 0 3, 1 2 1 0 4, 1 2 1 0 5 を有する。

[0165] 撮像部 1 2 1 0 1, 1 2 1 0 2, 1 2 1 0 3, 1 2 1 0 4, 1 2 1 0 5 は、例えば、車両 1 2 1 0 0 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 1 2 1 0 1 及び車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として車両 1 2 1 0 0 の前方の画像を取得する。サイドミラーに備えられる撮像部 1 2 1 0 2, 1 2 1 0 3 は、主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。撮像部 1 2 1 0 1 及び 1 2 1 0 5 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0166] なお、図 2 3 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0167] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよ

いし、位相差検出用の画素を有する撮像素子であってもよい。

[0168] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0169] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0170] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像

画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0171] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、撮像装置 1 等は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、光学特性を向上させた高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0172] (内視鏡手術システムへの応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0173] 図 24 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0174] 図 24 では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11153 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

[0175] 内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔

内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0176] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0177] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）１１２０１に送信される。

[0178] CCU１１２０１は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、CCU１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0179] 表示装置１１２０２は、CCU１１２０１からの制御により、当該CCU１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0180] 光源装置１１２０３は、例えばLED（Light Emitting

D i o d e)等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。

[0181] 入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術システム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0182] 処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0183] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0184] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画

像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0185] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0186] 図 25 は、図 24 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0187] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0188] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

- [0189] 撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって R G B それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D (D i m e n s i o n a l) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。
- [0190] また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。
- [0191] 駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。
- [0192] 通信部 1 1 4 0 4 は、C C U 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を R A W データとして伝送ケーブル 1 1 4 0 0 を介して C C U 1 1 2 0 1 に送信する。
- [0193] また、通信部 1 1 4 0 4 は、C C U 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4 0 5 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれ

る。

- [0194] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU 11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。
- [0195] カメラヘッド制御部11405は、通信部11404を介して受信したCCU 11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。
- [0196] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。
- [0197] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0198] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。
- [0199] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。
- [0200] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより

、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミスト等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。

[0201] カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0202] ここで、図示する例では、伝送ケーブル 1 1 4 0 0 を用いて有線で通信が行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。

[0203] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る撮像装置 1 等を適用することにより、撮像部 1 1 4 0 2 の光学特性を向上させることができるので、高精細な内視鏡 1 1 1 0 0 を提供することができる。

<その他の実施形態>

[0204] 上記のように、本開示は実施形態及び変形例、適用例、応用例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。例えば、本開示に係る技術の適用は、C M O S イメージセンサ等の撮像装置に限定されず、例えば、直接 T o F (T i m e o f F l i g h t) センサ、間接 T o F センサ等の測距装置に適用してもよい。すなわち、本開示の光検出装置は、撮像装置だけでなく、測距装置であってよい。本技術はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しな

い範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0205] なお、本開示は以下のような構成も取ることができる

(1)

第1面と、前記第1面の反対側に位置する第2面とを有し、複数の単位画素が行列状に配設されると共に、前記単位画素毎に、受光量に応じた電荷を光電変換により生成する複数の光電変換部を有する半導体基板と、

隣り合う前記単位画素間に設けられ、隣り合う前記単位画素間を電氣的且つ光学的に分離する空隙部を有する画素間分離部と、

前記単位画素内で隣り合う前記光電変換部の間に設けられ、隣り合う前記光電変換部の間を電氣的に分離する第1材料層を有する画素内分離部と、

隣り合う前記単位画素間に設けられ、隣り合う一方の前記単位画素の前記画素内分離部と他方の前記単位画素の前記画素内分離部とを連結する連結部と、を備える光検出装置。

(2)

前記空隙部は、

前記第1面及び前記第2面の一方から前記半導体基板の厚さ方向の少なくとも途中位置まで設けられている、前記(1)に記載の光検出装置。

(3)

前記画素内分離部は、前記空隙部と前記半導体基板との間に設けられた第1絶縁膜を有する、前記(1)又は(2)に記載の光検出装置。

(4)

前記画素内分離部は、屈折率が前記半導体基板の屈折率の0.6倍以上1.4倍以下である前記第1材料層を有する、前記(1)から(3)のいずれか1項に記載の光検出装置。

(5)

前記第1材料層は、酸化チタン層及び酸化鉄層の少なくとも一方を有する

、前記（１）から（３）のいずれか１項に記載の光検出装置。

（６）

前記第１材料層は、

前記第１面及び前記第２面の一方から、前記半導体基板の厚さ方向の少なくとも途中位置まで設けられている、前記（４）又は（５）に記載の光検出装置。

（７）

前記画素間分離部は、前記第１材料層と前記半導体基板との間に設けられた第２絶縁膜を有する、前記（４）から（６）のいずれか１項に記載の光検出装置。

（８）

前記連結部は、前記画素内分離部と一体に形成されている、前記（１）から（７）のいずれか１項に記載の光検出装置。

（９）

前記画素内分離部は、

前記半導体基板の厚さ方向からの平面視で、

第１方向に延設された第１直線部と

前記第１方向と交差する第２方向に延設された第２直線部と、

前記第１直線部と前記第２直線部とが交差する交差領域に配置された交差部と、を有し、

前記第１直線部及び前記第２直線部は互いに同一の材料で構成され、

前記交差部は前記第１直線部及び前記第２直線部とは異なる材料で構成されている、前記（１）から（８）のいずれか１項に記載の光検出装置。

（１０）

前記画素内分離部は、前記第１材料層として、

前記第１直線部及び前記第２直線部に用いられる第２材料層と、

前記交差部に用いられる第３材料層と、を有し

前記第３材料層と前記半導体基板との屈折率差は、前記第２材料層と前記

半導体基板との屈折率差よりも大きい、前記（９）に記載の光検出装置。

（１１）

前記第３材料層は、酸化チタン層及び酸化鉄層の少なくとも一方を有する、前記（１０）に記載の光検出装置。

（１２）

前記第２材料層は、ボロンをドーブしたアモルファスシリコン（ＢＤＡＳ）層を有する、前記（１０）又は（１１）に記載の光検出装置。

（１３）

前記第１面及び前記第２面の一方の側に設けられ、前記単位画素ごとにオンチップレンズが配置されたレンズ層、を備える前記（１）から（１２）のいずれか１項に記載の光検出装置。

（１４）

前記レンズ層と前記半導体基板との間に設けられ、前記単位画素ごとに予め設定された色を選択的に透過させるカラーフィルタ、を備える前記（１３）に記載の光検出装置。

（１５）

前記画素間分離部と前記画素内分離部はそれぞれ、前記半導体基板の前記第１面と前記第２面との間を貫通している、前記（１）から（１４）のいずれか１項に記載の光検出装置。

符号の説明

[0206] １、１Ａ、１Ｂ、１Ｃ、１Ｄ、１Ｅ 撮像装置

１０ 受光部

１１ 半導体基板

１１Ｓ１ 第１面

１１Ｓ２ 第２面

１２、１２Ａ、１２Ｂ、１２Ｃ、１２Ｄ 光電変換部

１３ 画素間分離部

１４ 画素内分離部

- 1 4 C R 交差部
- 1 4 L 1 第1直線部
- 1 4 L 2 第2直線部
- 1 5 連結部
- 1 6 固定電荷層
- 2 0 集光部
- 2 1 カラーフィルタ
 - 2 1 B (青色光を選択的に透過させる) カラーフィルタ
 - 2 1 G (緑色光を選択的に透過させる) カラーフィルタ
 - 2 1 R (赤色光を選択的に透過させる) カラーフィルタ
- 2 2 遮光部
- 2 3 平坦化層
- 2 4 オンチップレンズ
 - 2 4 L レンズ層
- 3 0 多層配線層
 - 3 1、3 2、3 3 配線層
 - 3 4 層間絶縁層
- 1 0 0 A 画素部
 - 1 1 1 垂直駆動回路
 - 1 1 2 カラム信号処理回路
 - 1 1 3 水平駆動回路
 - 1 1 4 出力回路
 - 1 1 5 制御回路
 - 1 1 6 入出力端子
 - 1 2 1 水平信号線
 - 1 3 1 空隙部
 - 1 3 5、1 4 5、1 6 7 絶縁膜
 - 1 4 1 第1材料層

- 1 4 2 第2材料層
- 1 4 3 第3材料層
- 1 6 1、1 6 3、1 6 4、1 6 5 材料膜
- 1 0 0 0 電子機器
- 1 0 0 1 レンズ群
- 1 0 0 2 DSP回路
- 1 0 0 3 フレームメモリ
- 1 0 0 4 表示部
- 1 0 0 5 記録部
- 1 0 0 6 操作部
- 1 0 0 7 電源部
- 1 0 0 8 バスライン
- 1 1 0 0 0 内視鏡手術システム
- 1 1 1 0 0 内視鏡
- 1 1 1 0 1 鏡筒
- 1 1 1 0 2 カメラヘッド
- 1 1 1 1 0 術具
- 1 1 1 1 1 気腹チューブ
- 1 1 1 1 2 エネルギー処置具
- 1 1 1 2 0 支持アーム装置
- 1 1 1 3 1 術者（医師）
- 1 1 1 3 2 患者
- 1 1 1 5 3 患者ベッド
- 1 1 2 0 0 カート
- 1 1 2 0 1 カメラコントロールユニット（CCU： Camera Control Unit）
- 1 1 2 0 2 表示装置
- 1 1 2 0 3 光源装置

- 1 1 2 0 4 入力装置
- 1 1 2 0 5 処置具制御装置
- 1 1 2 0 6 気腹装置
- 1 1 2 0 7 レコーダ
- 1 1 2 0 8 プリンタ
- 1 1 4 0 0 伝送ケーブル
- 1 1 4 0 1 レンズユニット
- 1 1 4 0 2 撮像部
- 1 1 4 0 3 駆動部
- 1 1 4 0 4 通信部
- 1 1 4 0 5 カメラヘッド制御部
- 1 1 4 1 1 通信部
- 1 1 4 1 2 画像処理部
- 1 1 4 1 3 制御部
- 1 2 0 0 0 車両制御システム
- 1 2 0 0 1 通信ネットワーク
- 1 2 0 1 0 駆動系制御ユニット
- 1 2 0 2 0 ボディ系制御ユニット
- 1 2 0 3 0 車外情報検出ユニット
- 1 2 0 3 1 撮像部
- 1 2 0 4 0 車内情報検出ユニット
- 1 2 0 4 1 運転者状態検出部
- 1 2 0 5 0 統合制御ユニット
- 1 2 0 5 1 マイクロコンピュータ
- 1 2 0 5 2 音声画像出力部
- 1 2 0 6 1 オーディオスピーカ
- 1 2 0 6 2 表示部
- 1 2 0 6 3 インストルメントパネル

1 2 1 0 0 車両

1 2 1 0 1、1 2 1 0 2、1 2 1 0 3、1 2 1 0 4、1 2 1 0 5 撮像部

1 2 1 1 1、1 2 1 1 2、1 2 1 1 3、1 2 1 1 4 撮像範囲

H 1、H 2、H 3 スリット

I 車載ネットワーク

I C 外部制御

L r e a d 画素駆動線

L s i g 垂直信号線

M 1、M 2、M 3 マスク

P 単位画素

R a、R b、R c、R d 領域

R S T リセットトランジスタ

R S T s i g 駆動信号

S 1 光入射側

S E L 選択トランジスタ

S E L s i g 駆動信号

T R 1、T R 2、T R 3、T R 4 転送トランジスタ

T R s i g 駆動信号

請求の範囲

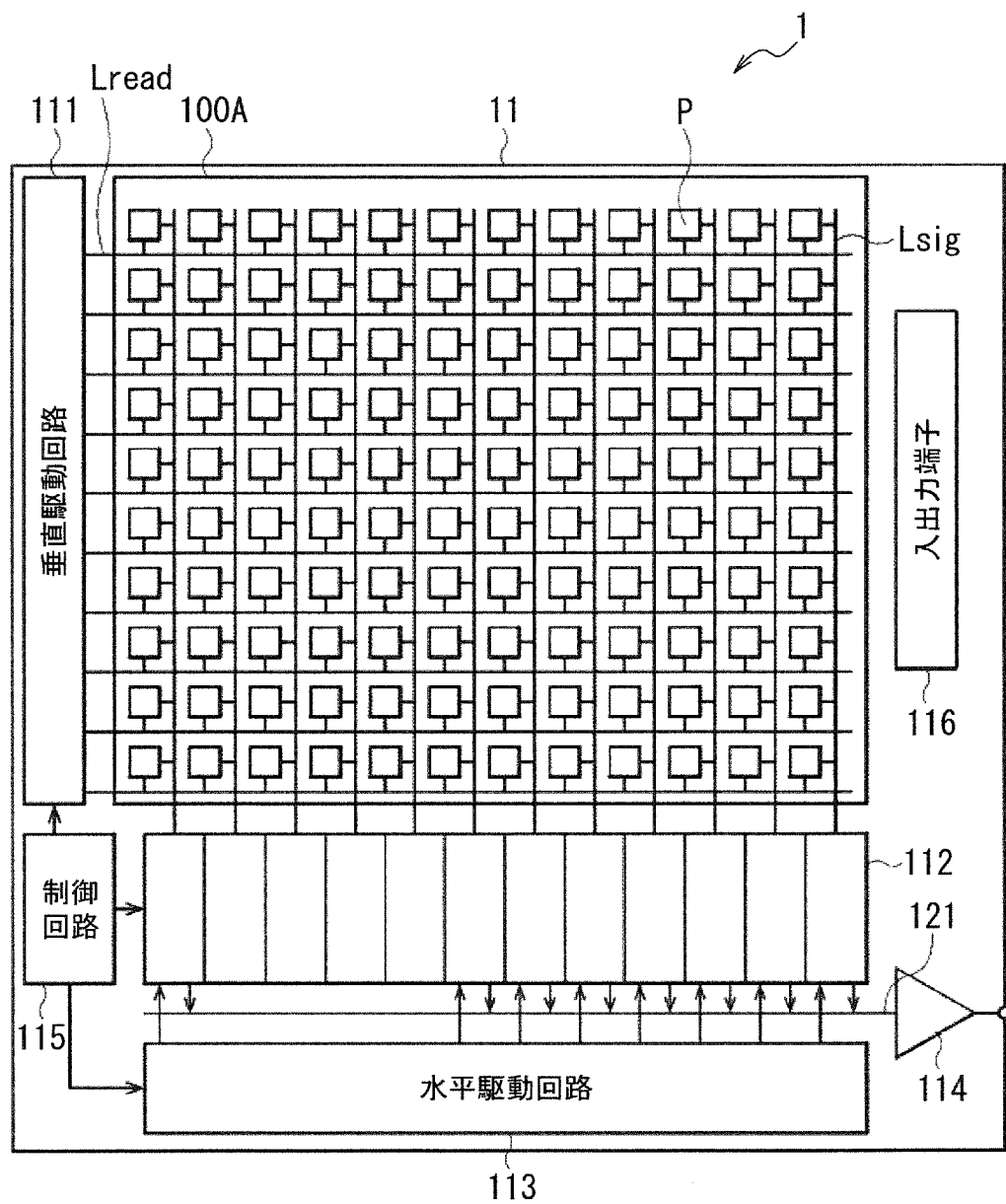
- [請求項1] 第1面と、前記第1面の反対側に位置する第2面とを有し、複数の単位画素が行列状に配設されると共に、前記単位画素毎に、受光量に応じた電荷を光電変換により生成する複数の光電変換部を有する半導体基板と、
- 隣り合う前記単位画素間に設けられ、隣り合う前記単位画素間を電氣的且つ光学的に分離する空隙部を有する画素間分離部と、
- 前記単位画素内で隣り合う前記光電変換部の間に設けられ、隣り合う前記光電変換部の間を電氣的に分離する第1材料層を有する画素内分離部と、
- 隣り合う前記単位画素間に設けられ、隣り合う一方の前記単位画素の前記画素内分離部と他方の前記単位画素の前記画素内分離部とを連結する連結部と、を備える光検出装置。
- [請求項2] 前記空隙部は、
- 前記第1面及び前記第2面の一方から前記半導体基板の厚さ方向の少なくとも途中位置まで設けられている、請求項1に記載の光検出装置。
- [請求項3] 前記画素内分離部は、前記空隙部と前記半導体基板との間に設けられた第1絶縁膜を有する、請求項1に記載の光検出装置。
- [請求項4] 前記画素内分離部は、屈折率が前記半導体基板の屈折率の0.6倍以上1.4倍以下である前記第1材料層を有する、請求項1に記載の光検出装置。
- [請求項5] 前記第1材料層は、酸化チタン層及び酸化鉄層の少なくとも一方を有する、請求項1に記載の光検出装置。
- [請求項6] 前記第1材料層は、
- 前記第1面及び前記第2面の一方から、前記半導体基板の厚さ方向の少なくとも途中位置まで設けられている、請求項4に記載の光検出装置。

- [請求項7] 前記画素間分離部は、前記第1材料層と前記半導体基板との間に設けられた第2絶縁膜を有する、請求項4に記載の光検出装置。
- [請求項8] 前記連結部は、前記画素内分離部と一体に形成されている、請求項1に記載の光検出装置。
- [請求項9] 前記画素内分離部は、
前記半導体基板の厚さ方向からの平面視で、
第1方向に延設された第1直線部と
前記第1方向と交差する第2方向に延設された第2直線部と、
前記第1直線部と前記第2直線部とが交差する交差領域に配置された交差部と、を有し、
前記第1直線部及び前記第2直線部は互いに同一の材料で構成され、
前記交差部は前記第1直線部及び前記第2直線部とは異なる材料で構成されている、請求項1に記載の光検出装置。
- [請求項10] 前記画素内分離部は、前記第1材料層として、
前記第1直線部及び前記第2直線部に用いられる第2材料層と、
前記交差部に用いられる第3材料層と、を有し
前記第3材料層と前記半導体基板との屈折率差は、前記第2材料層と前記半導体基板との屈折率差よりも大きい、請求項9に記載の光検出装置。
- [請求項11] 前記第3材料層は、酸化チタン層及び酸化鉄層の少なくとも一方を有する、請求項10に記載の光検出装置。
- [請求項12] 前記第2材料層は、ボロンをドーピングしたアモルファスシリコン（BDS）層を有する、請求項10に記載の光検出装置。
- [請求項13] 前記第1面及び前記第2面の一方の側に設けられ、前記単位画素ごとにオンチップレンズが配置されたレンズ層、を備える請求項1に記載の光検出装置。
- [請求項14] 前記レンズ層と前記半導体基板との間に設けられ、前記単位画素ご

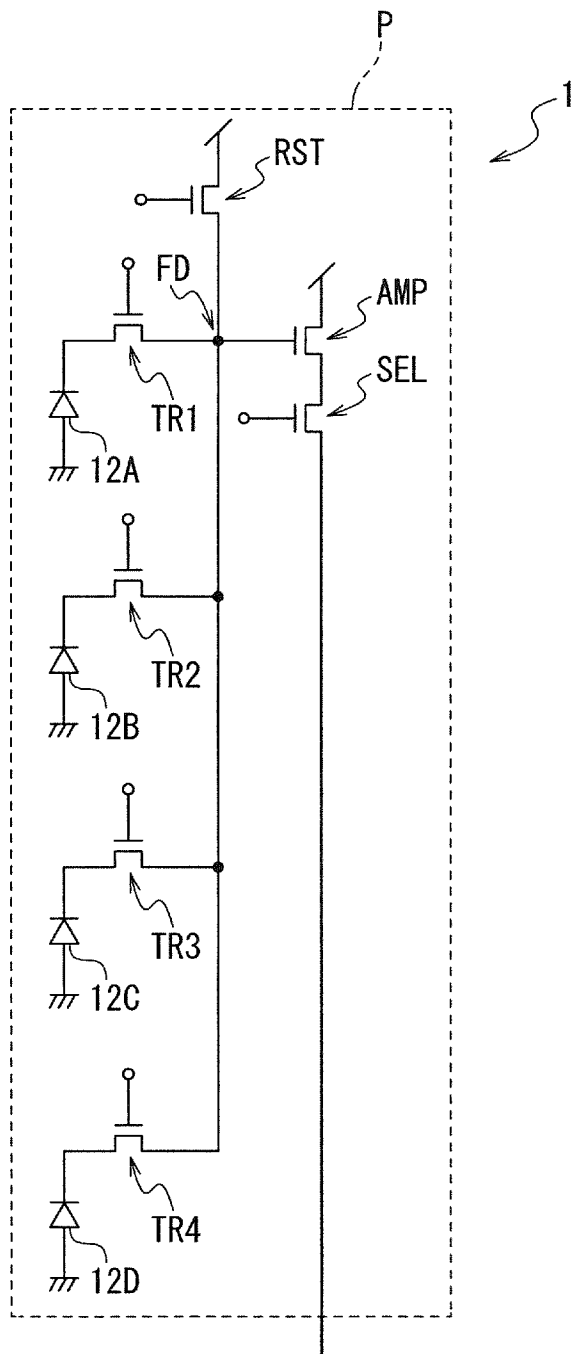
とに予め設定された色を選択的に透過させるカラーフィルタ、を備える請求項 1 3 に記載の光検出装置。

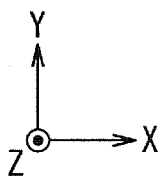
[請求項15] 前記画素間分離部と前記画素内分離部はそれぞれ、前記半導体基板の前記第 1 面と前記第 2 面との間を貫通している、請求項 1 に記載の光検出装置。

[図1]

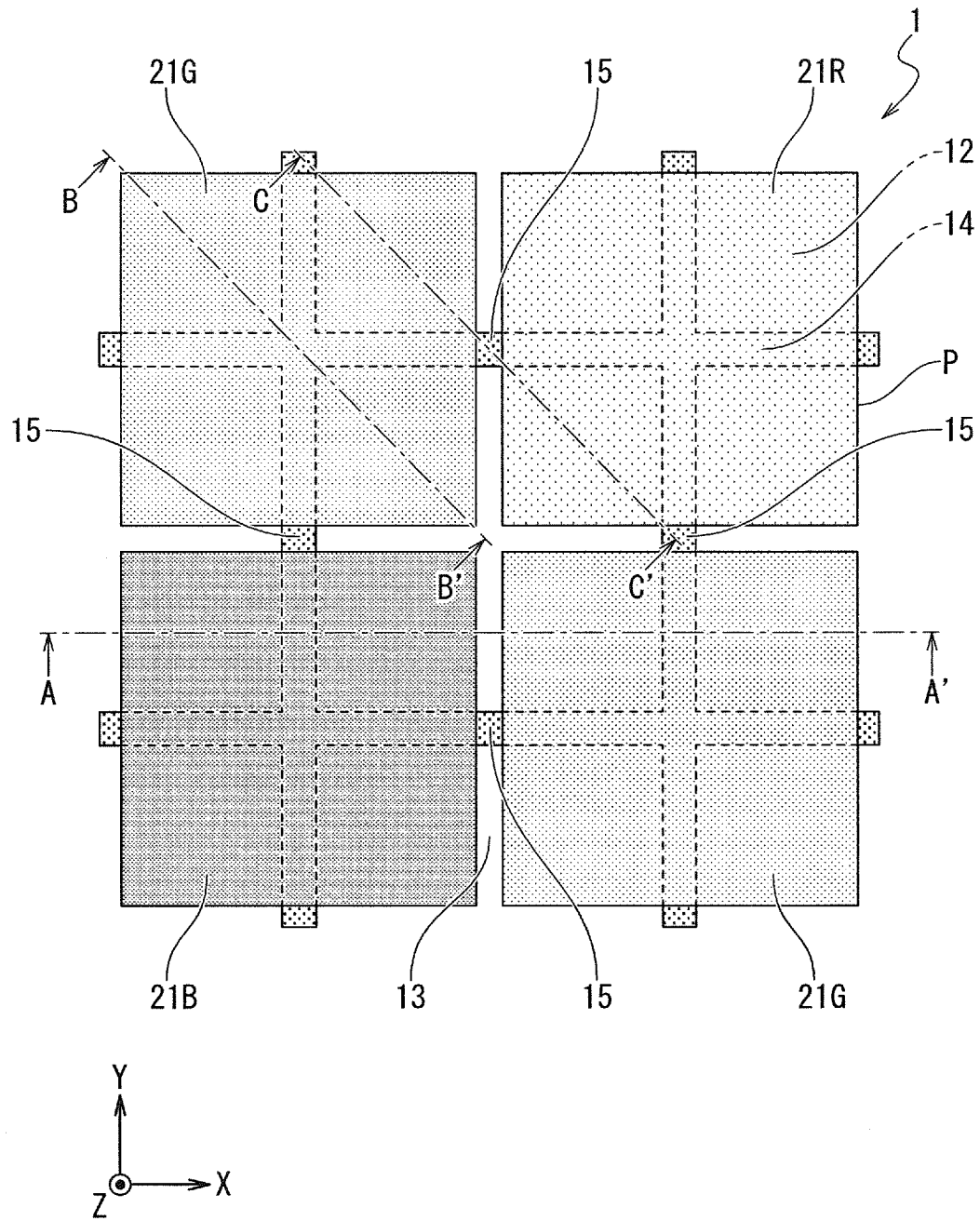


[図2]

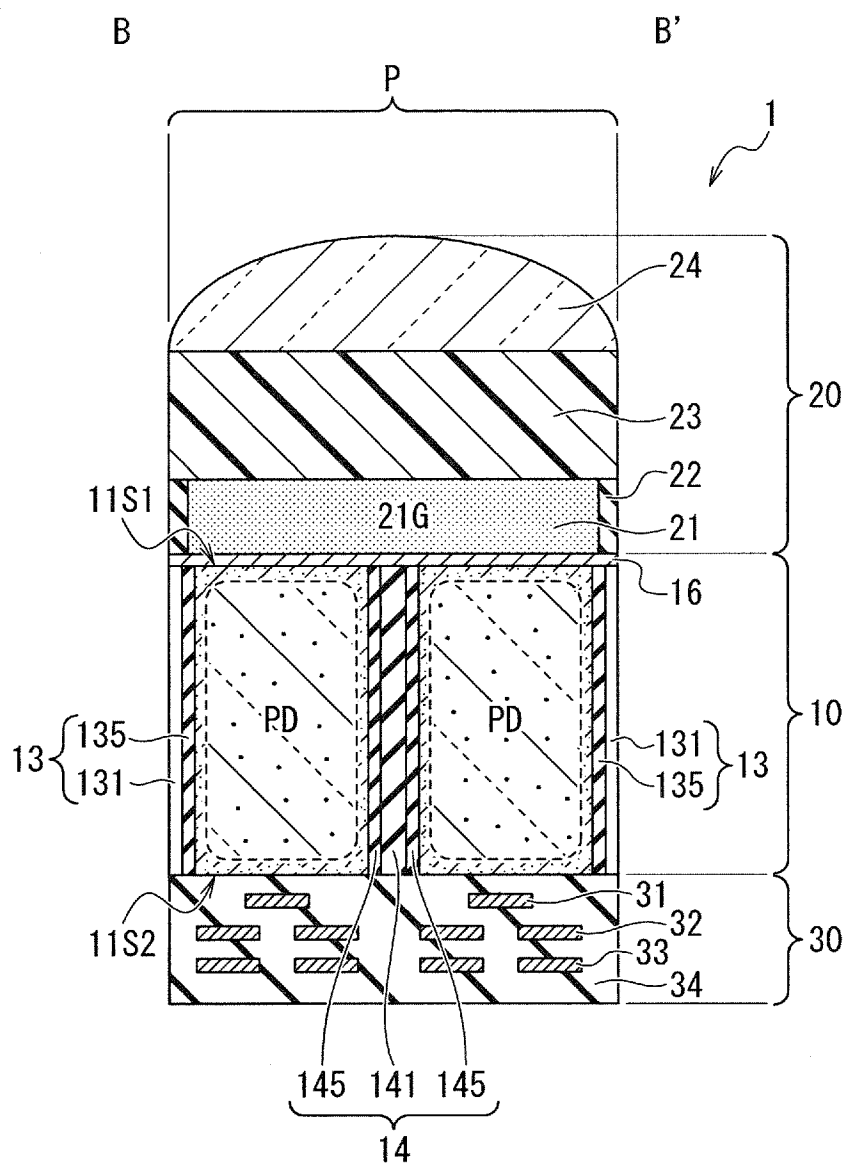


[illegible]

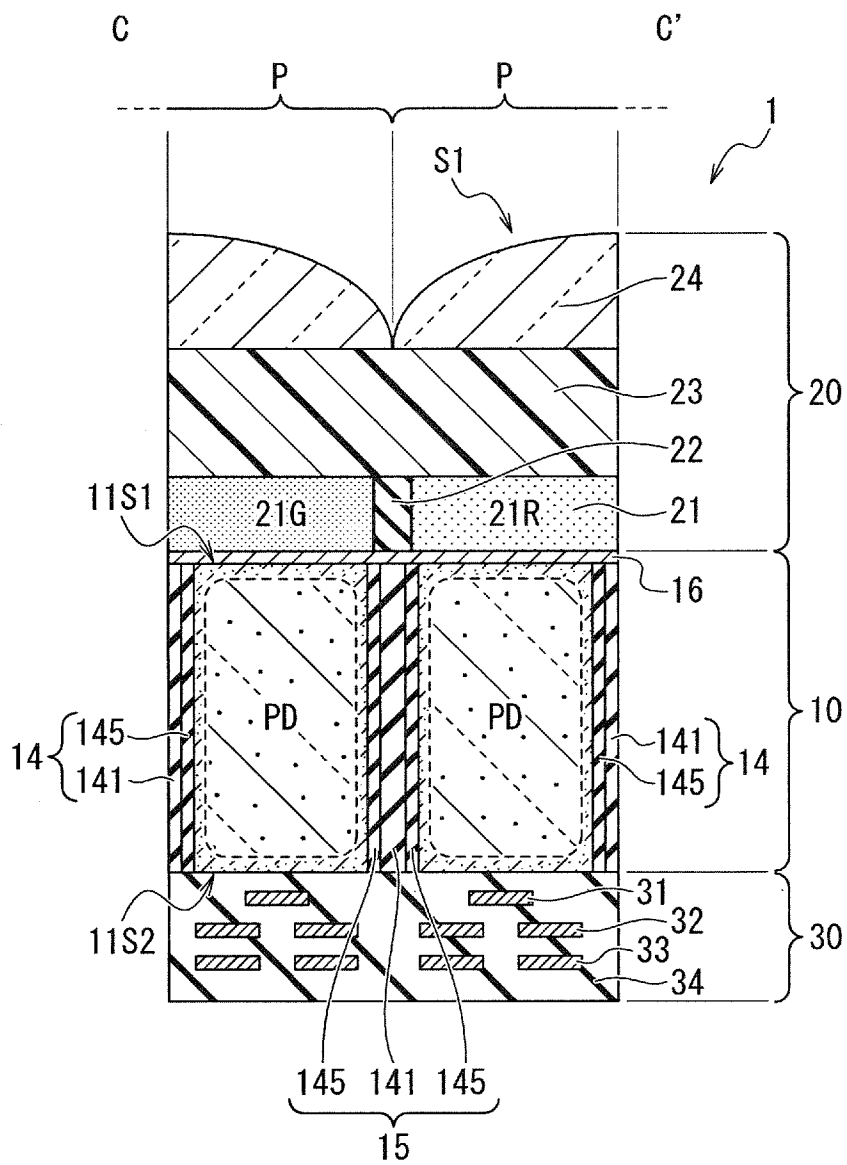
[図4]



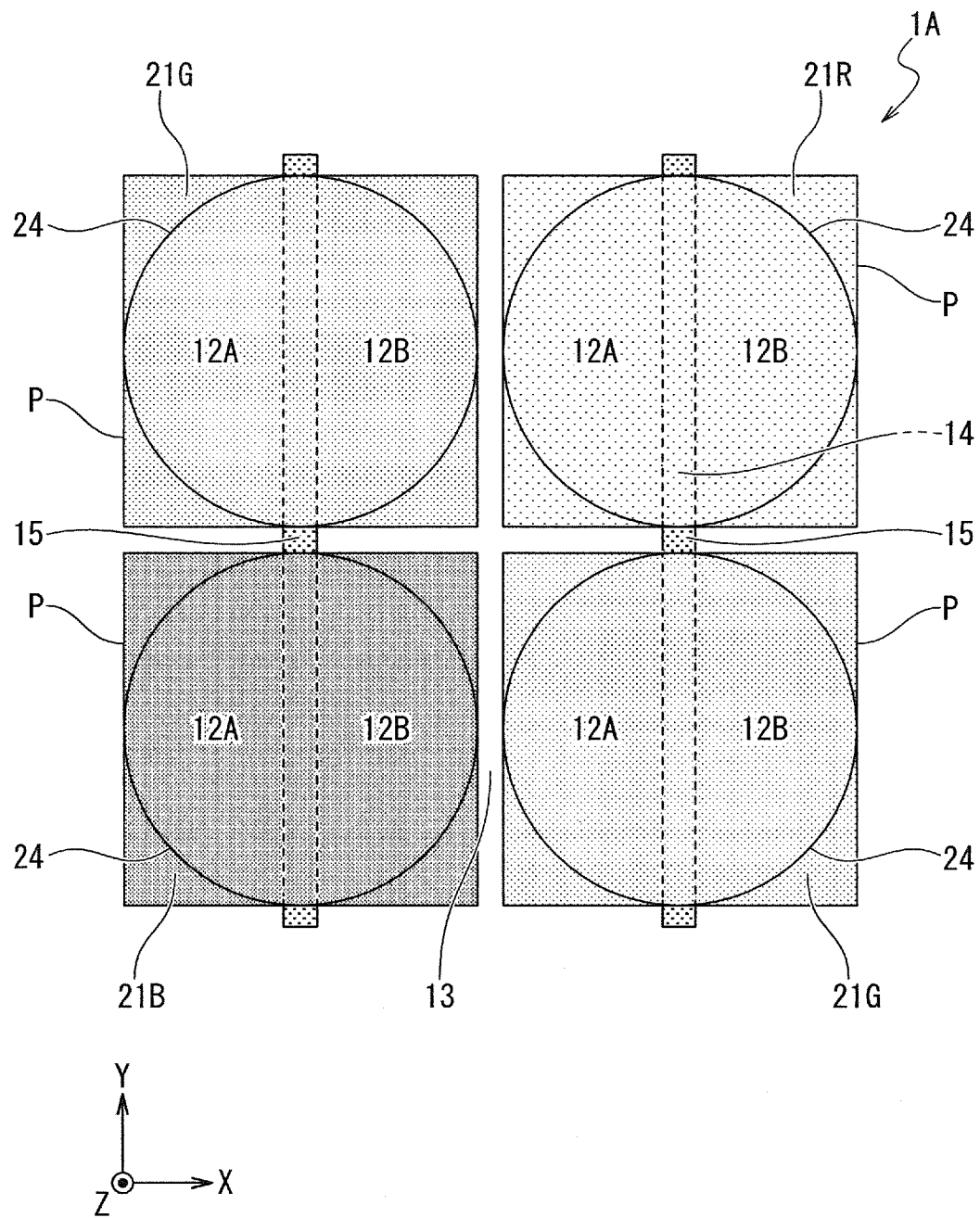
[図6]



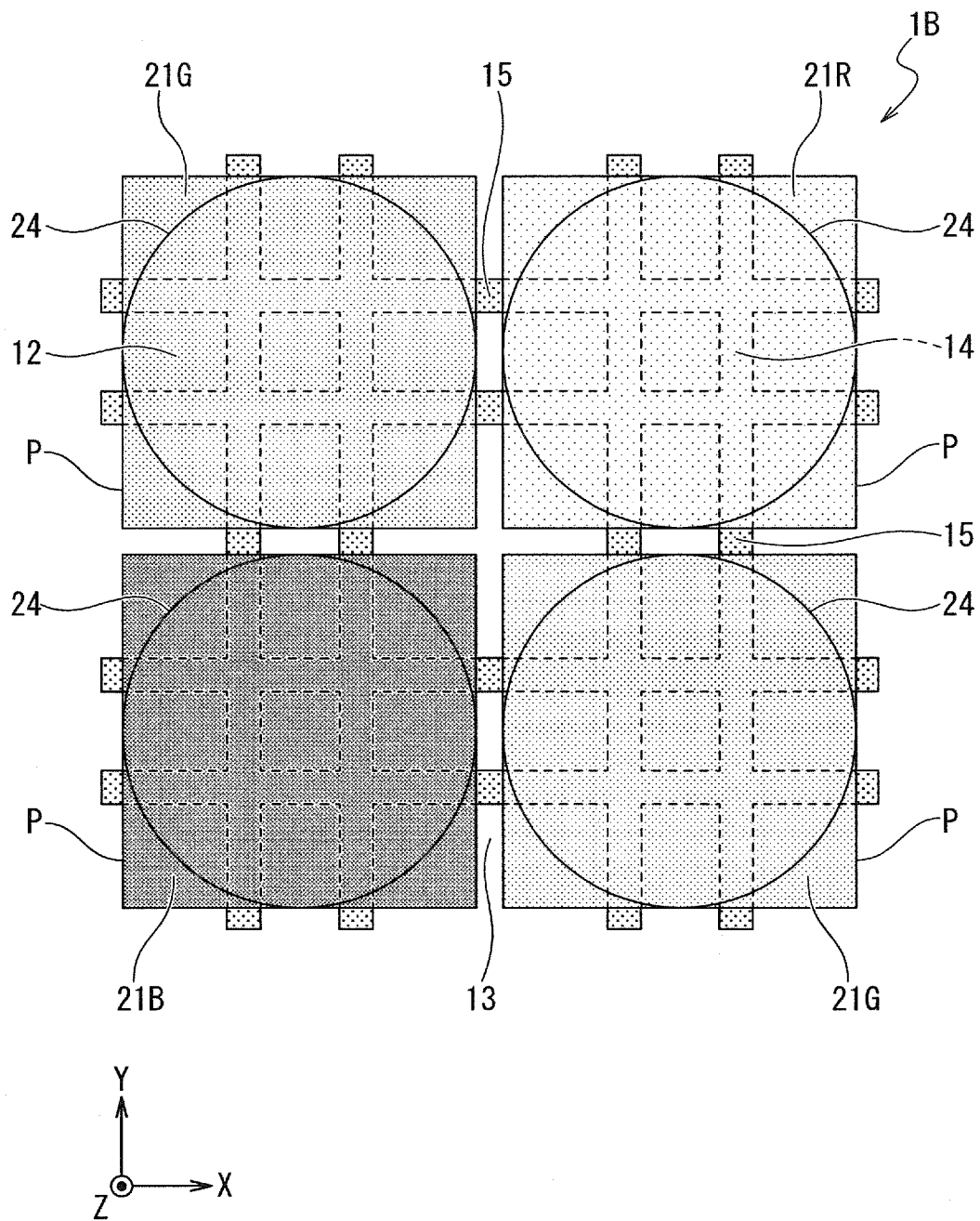
[図7]



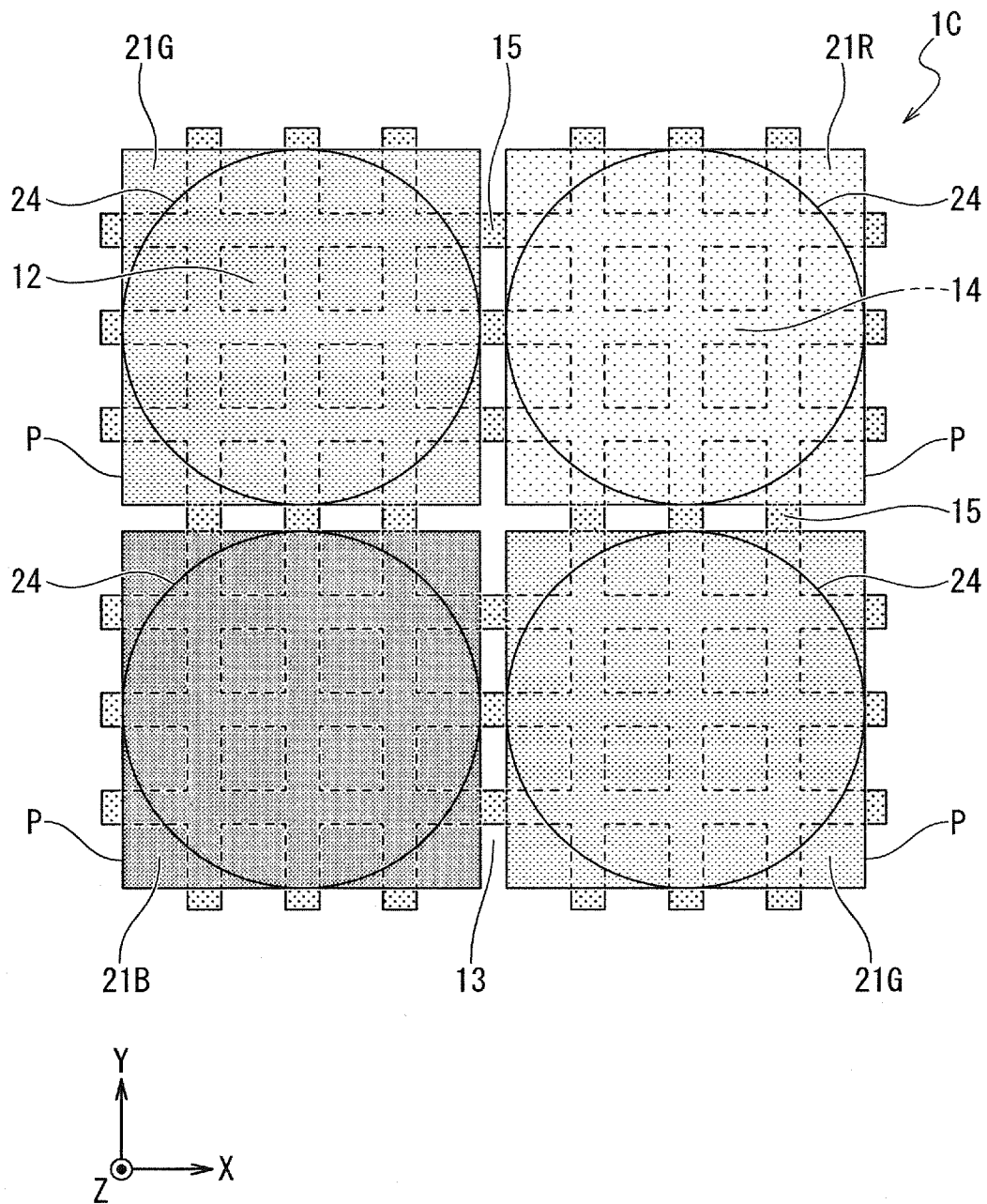
[図8]



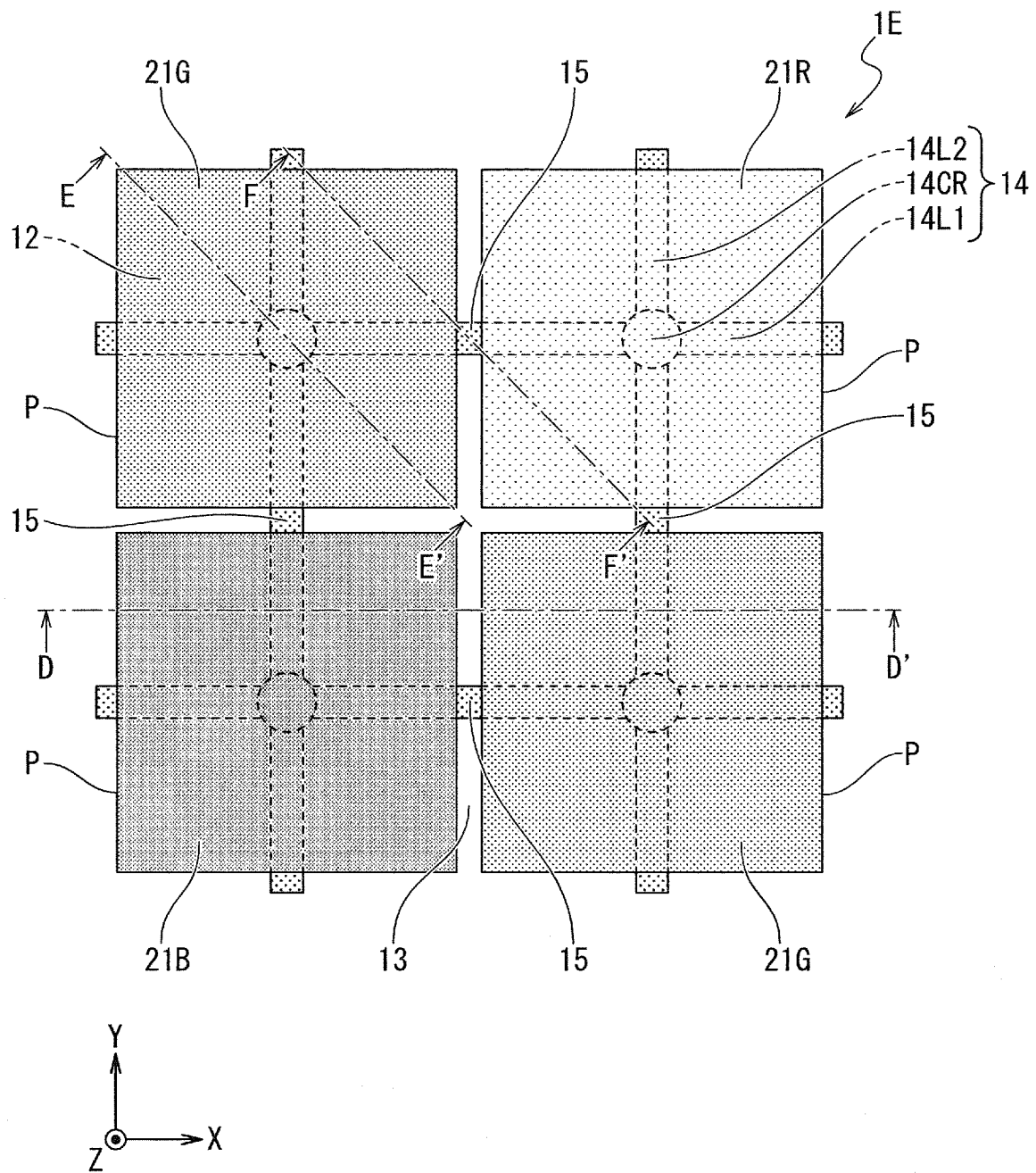
[図9]



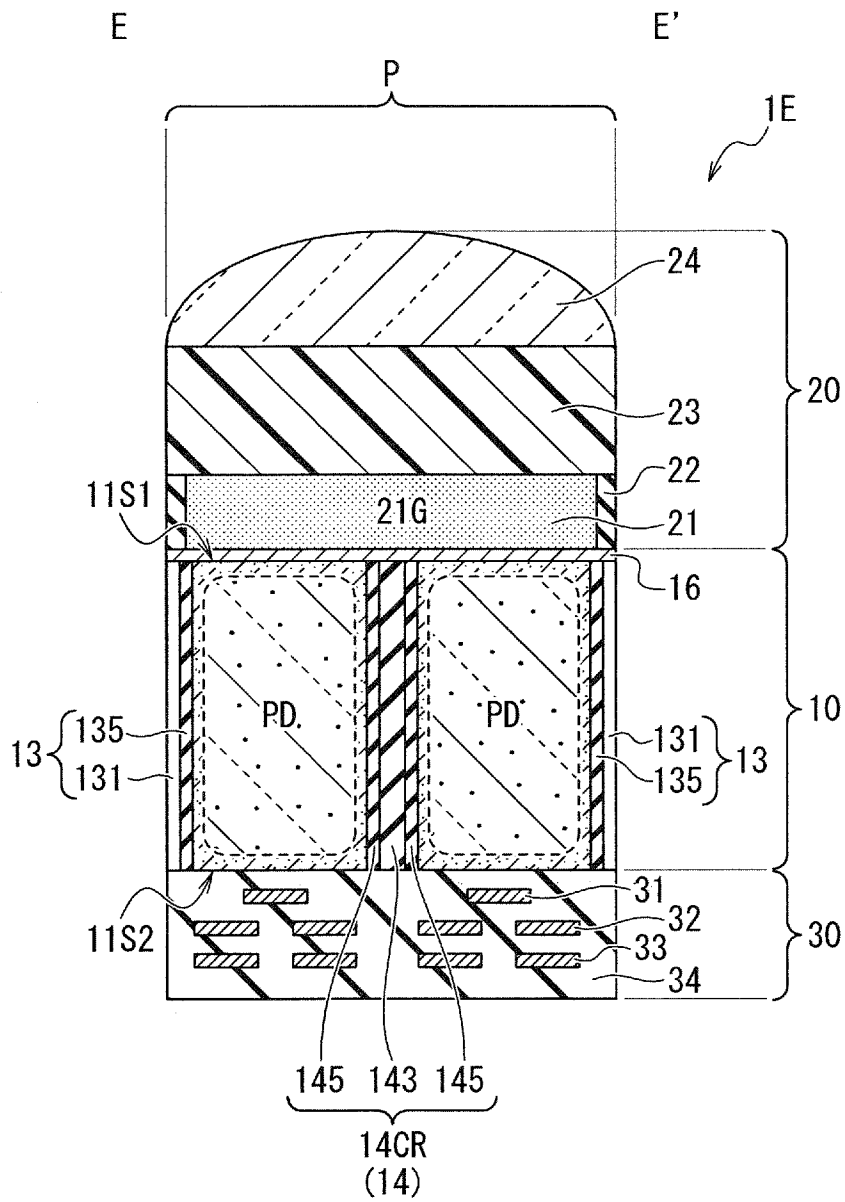
[図10]



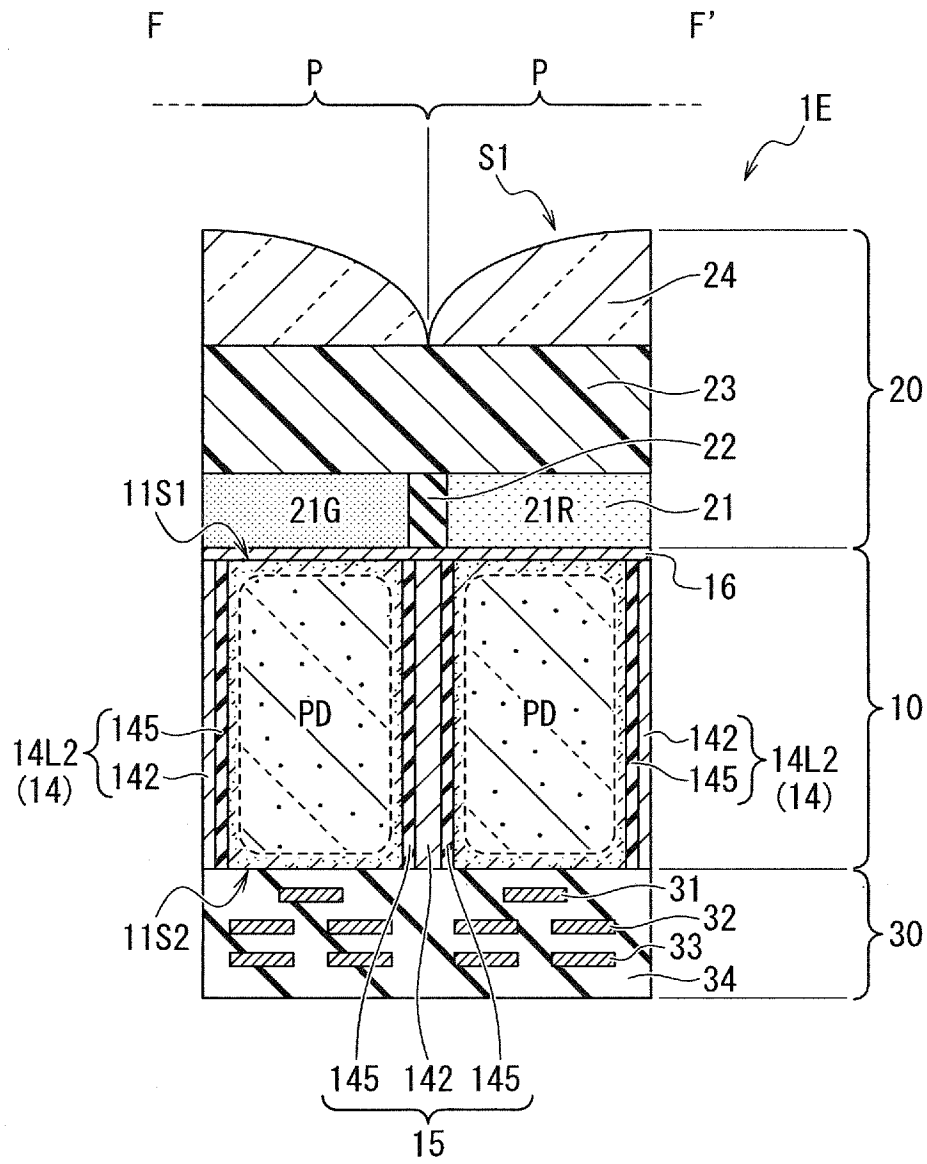
[図12]



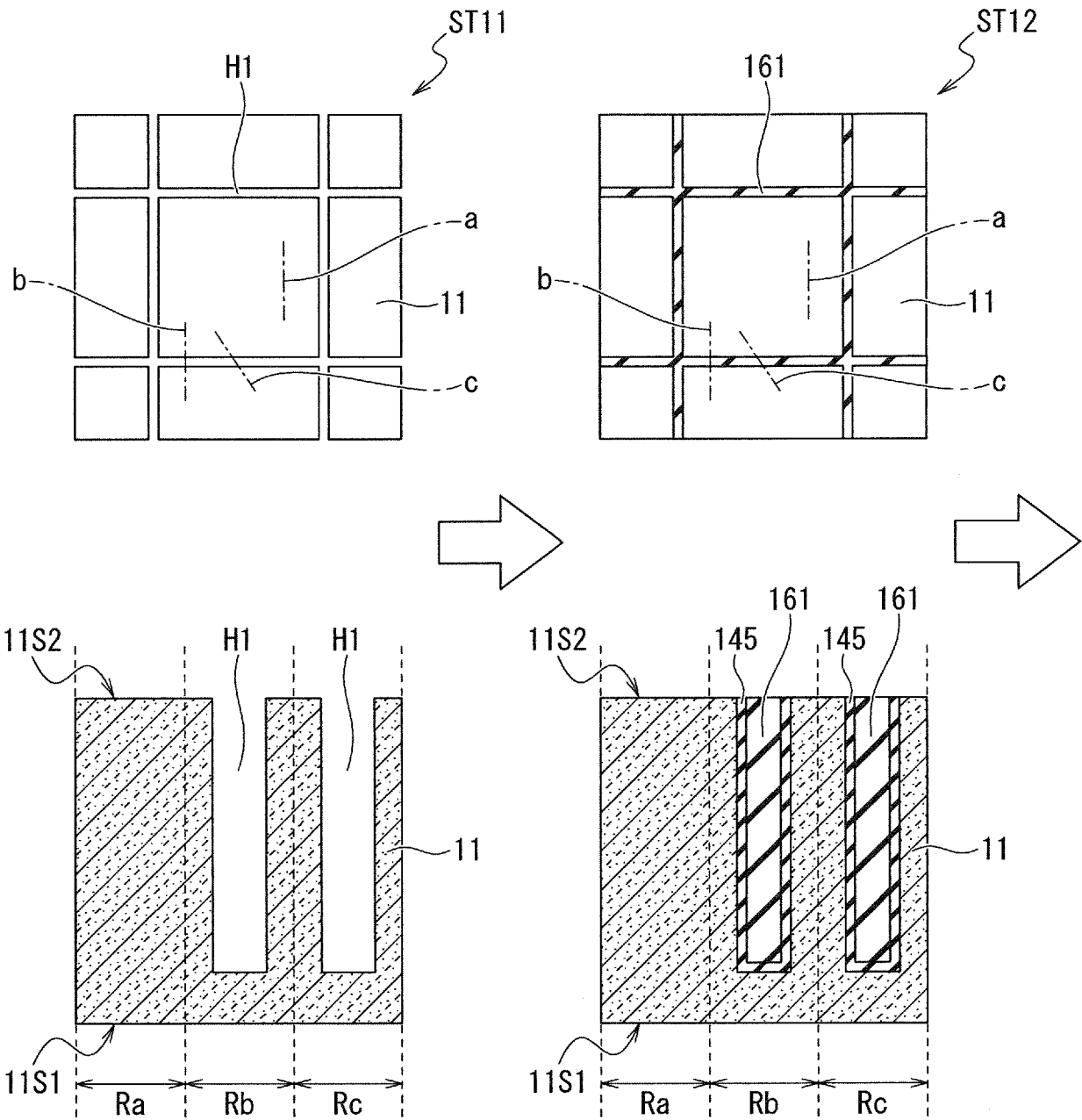
[図14]



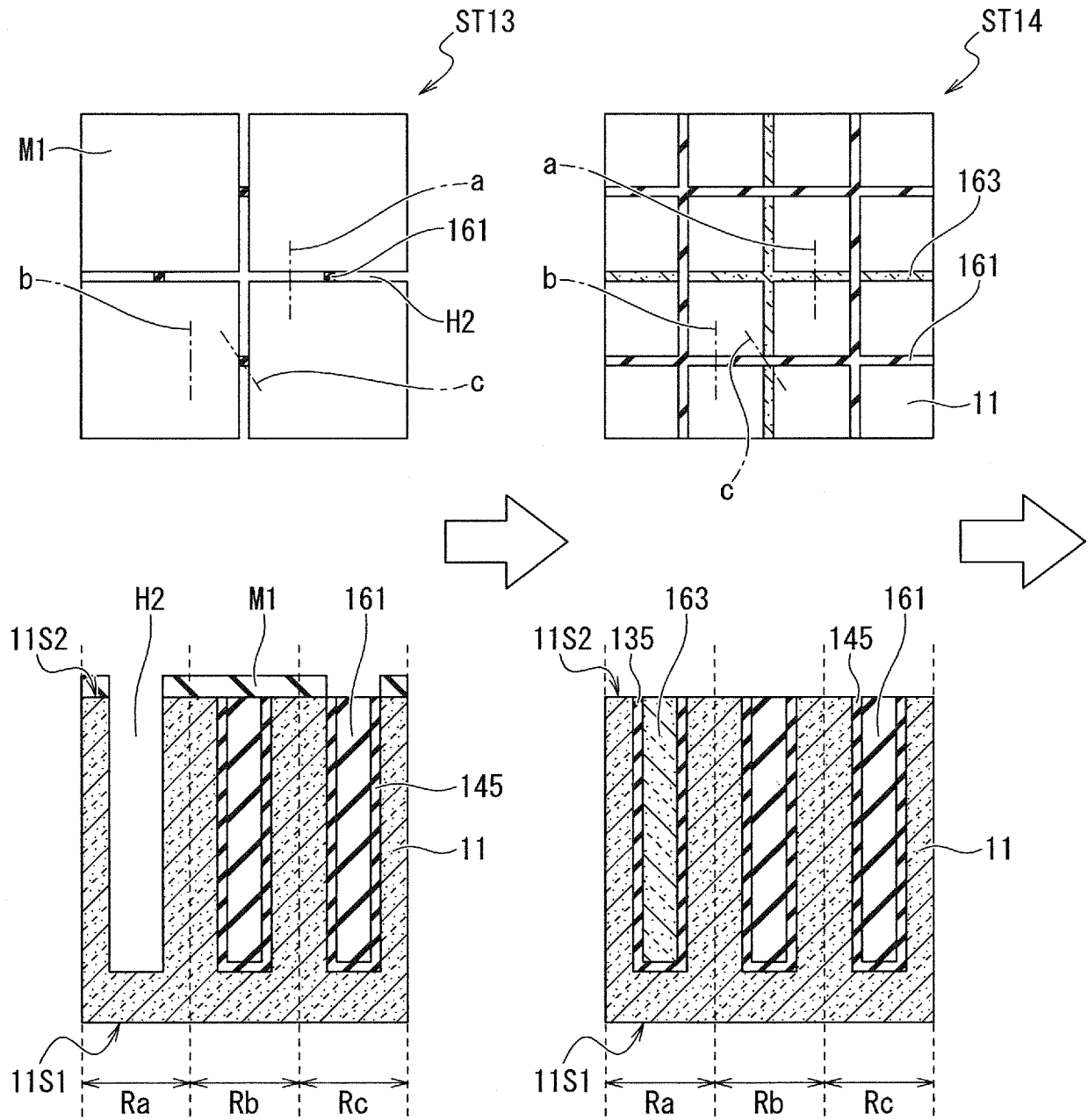
[図15]



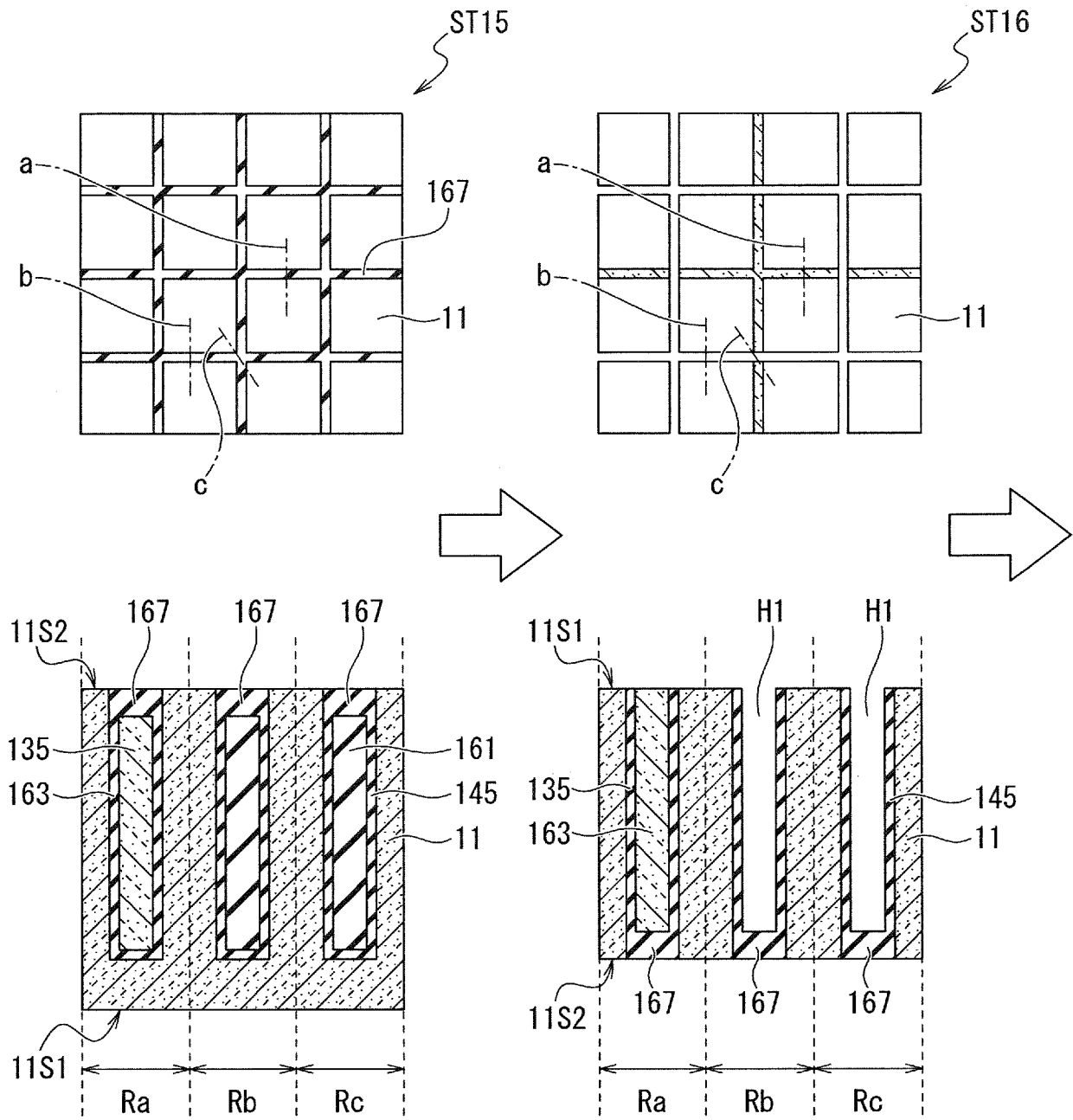
[図16A]

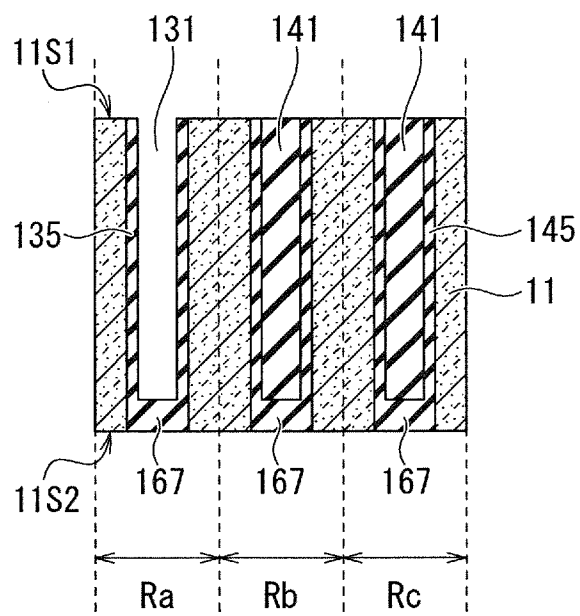


[図16B]

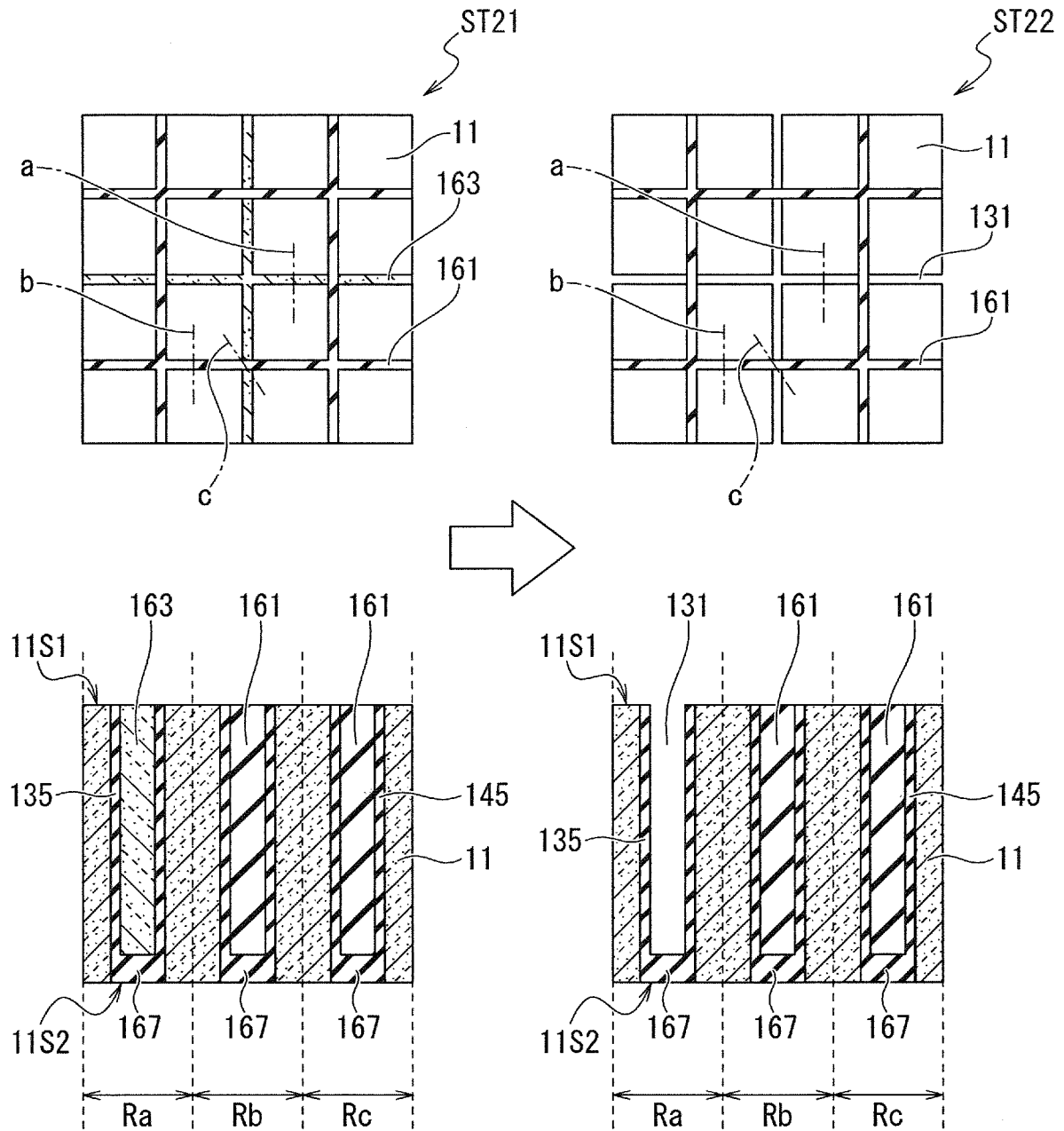


[図16C]

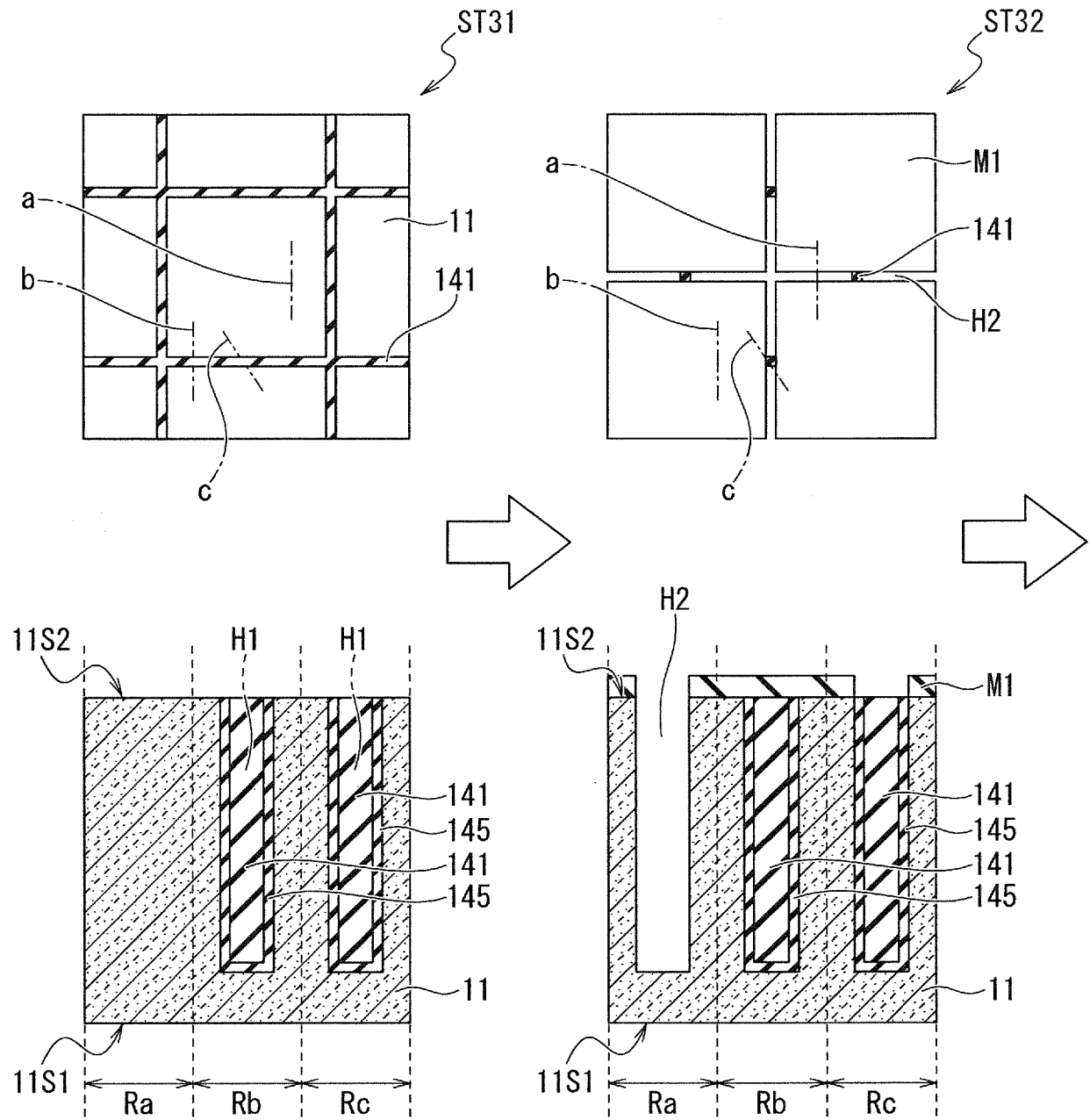




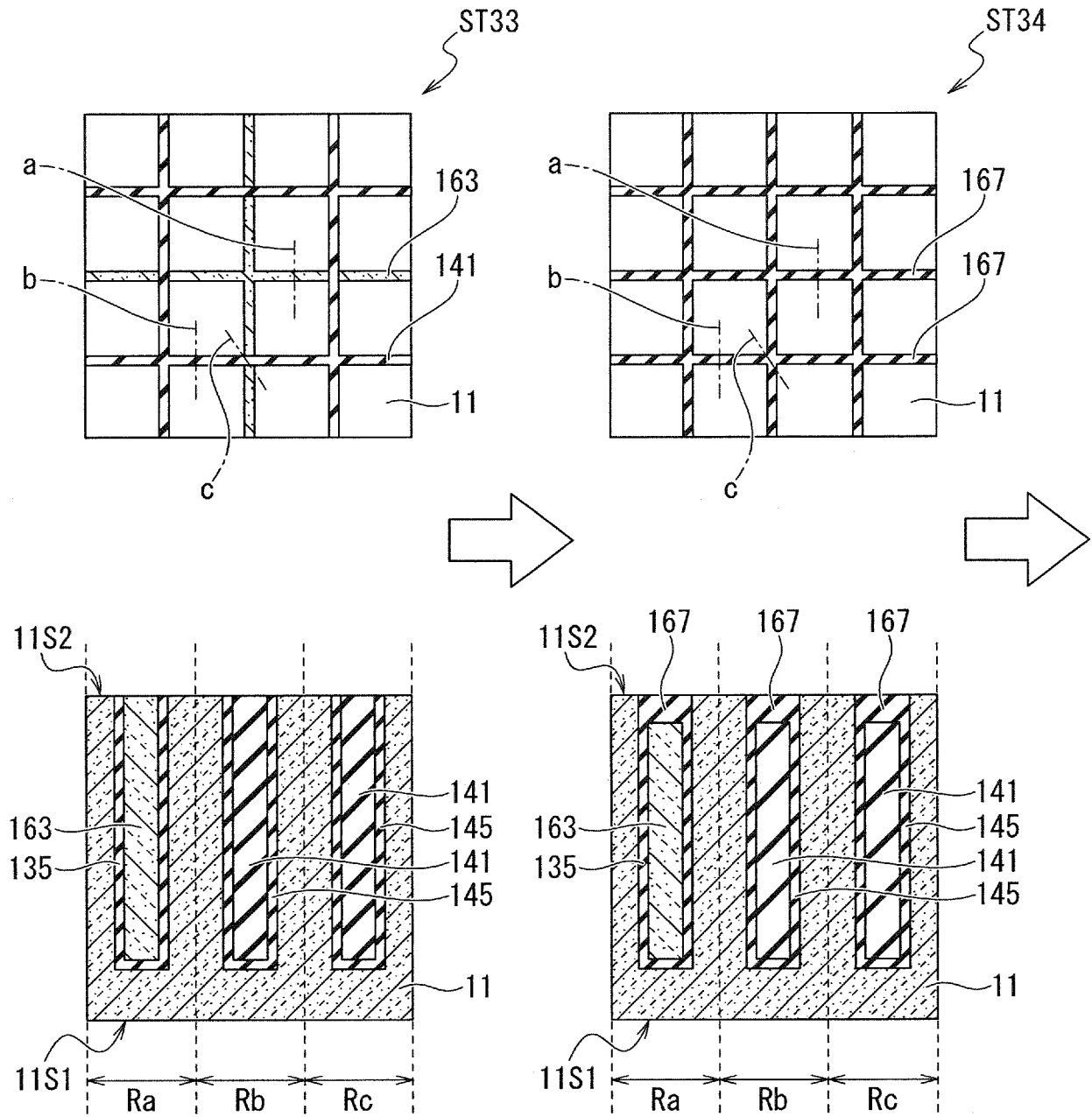
[図17]



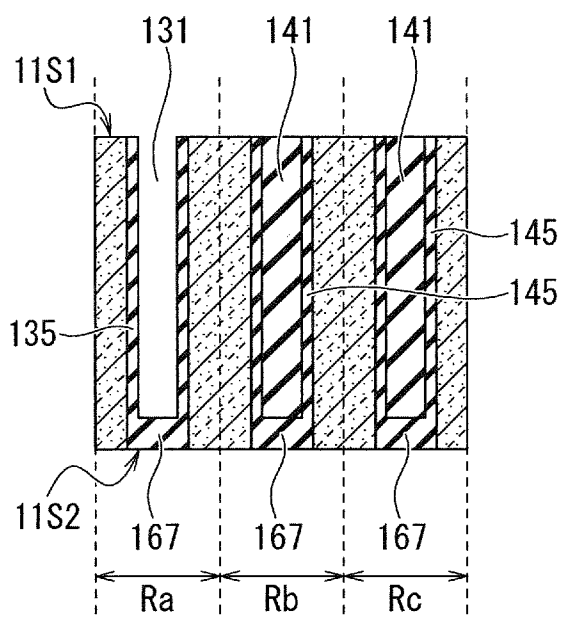
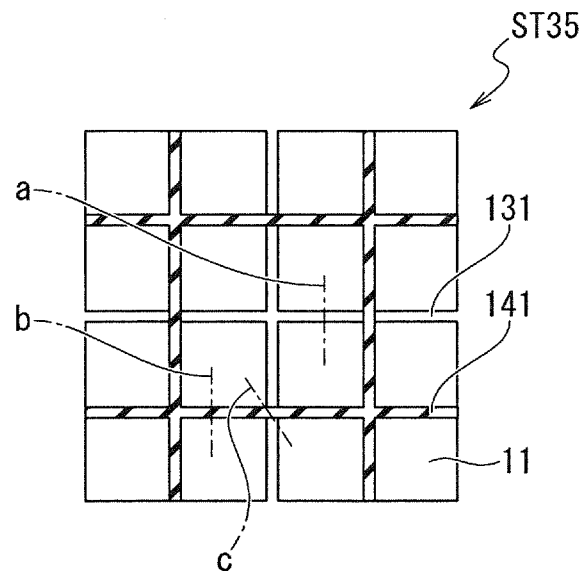
[図18A]



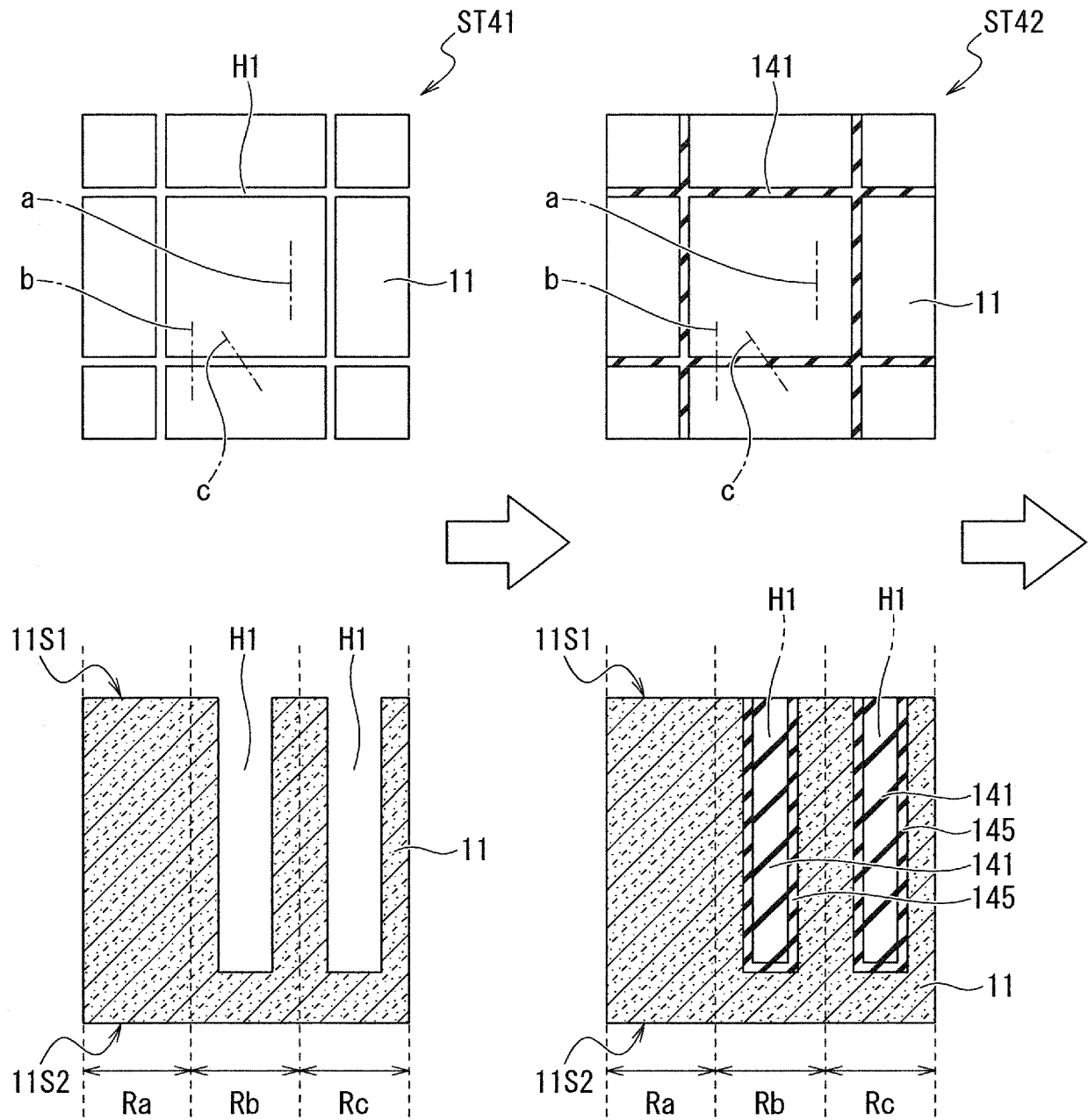
[図18B]



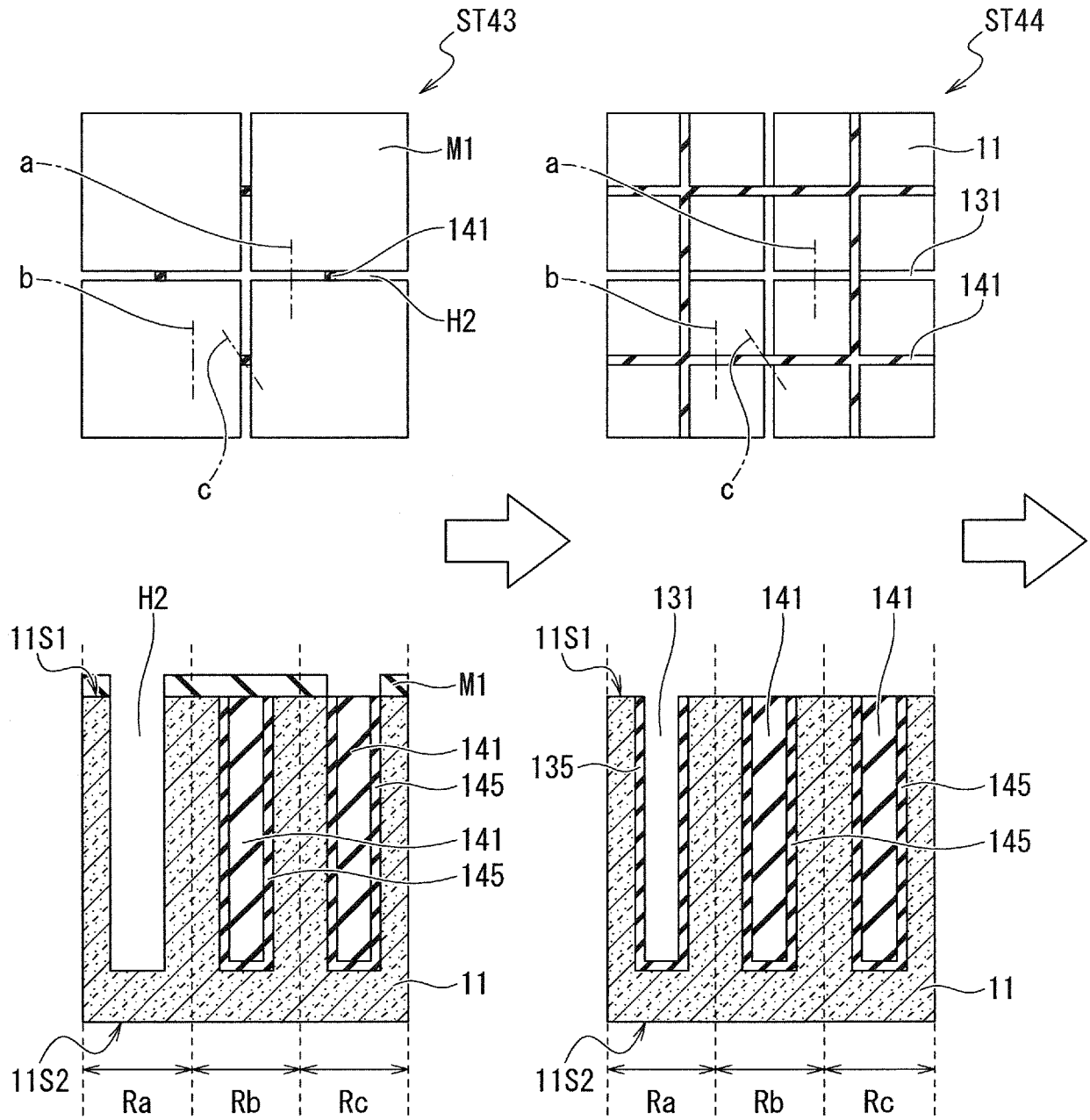
[図18C]



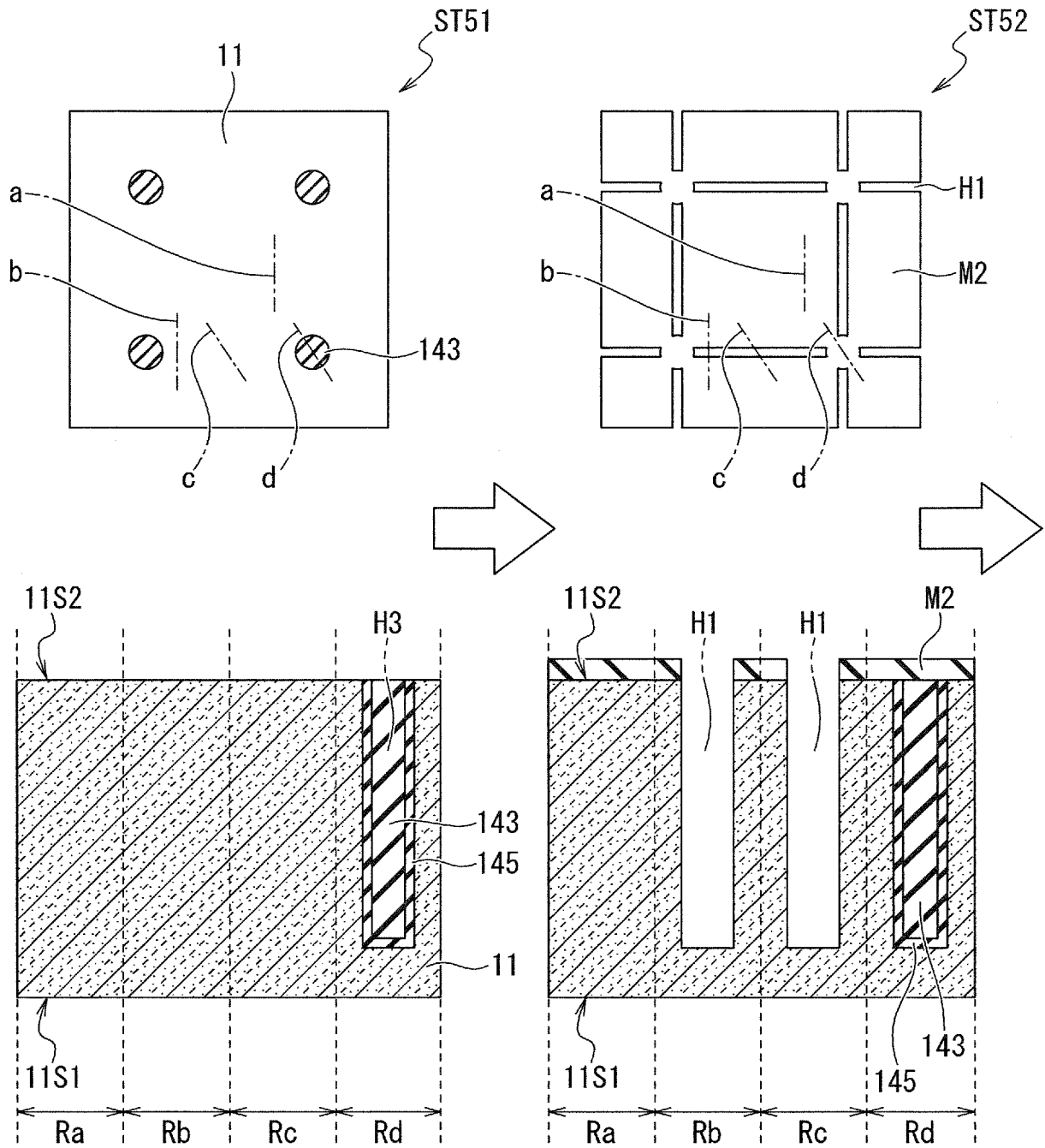
[図19A]



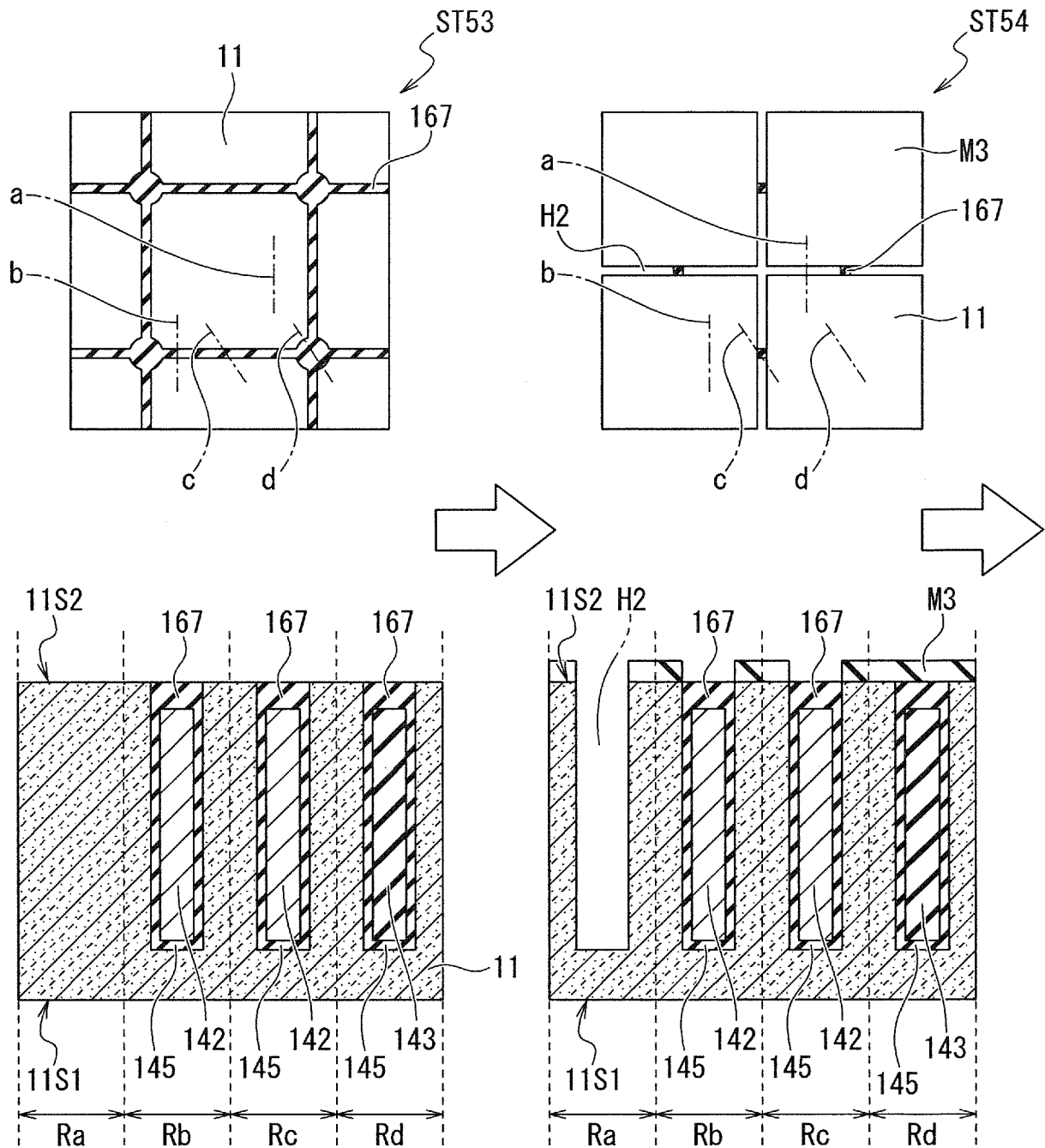
[図19B]



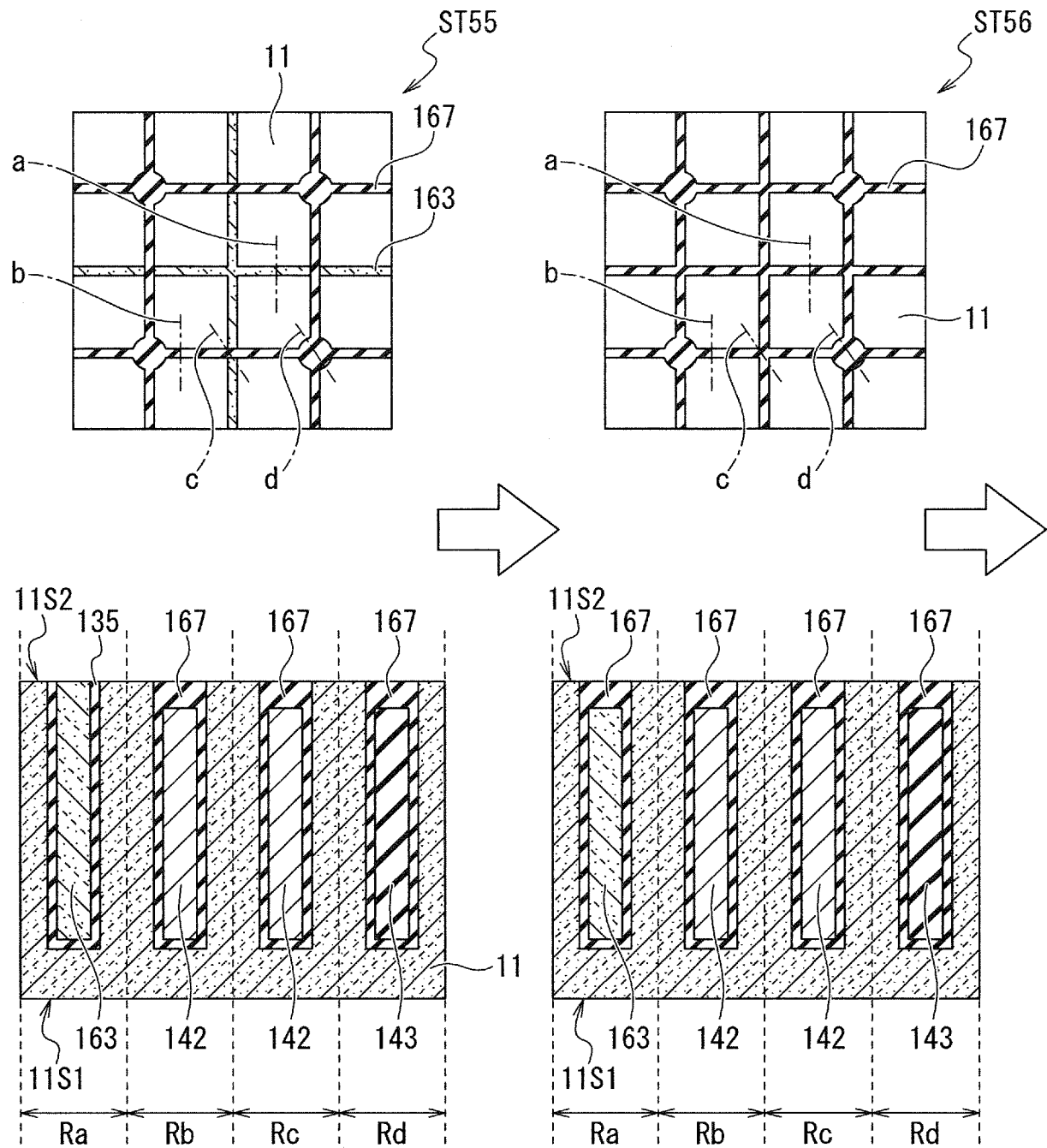
[図20A]



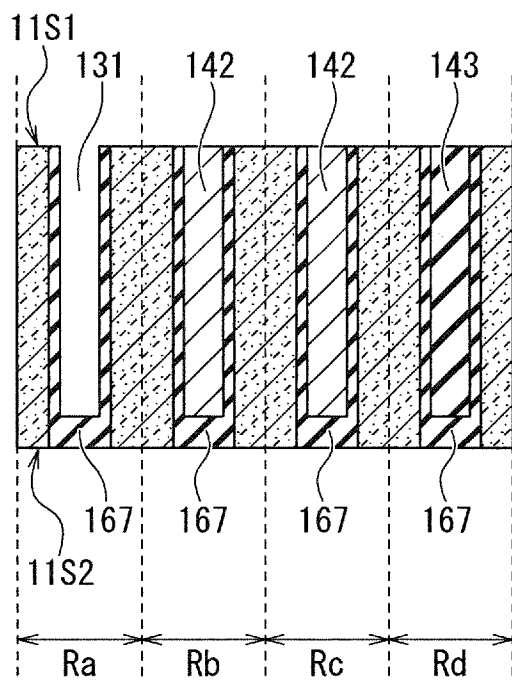
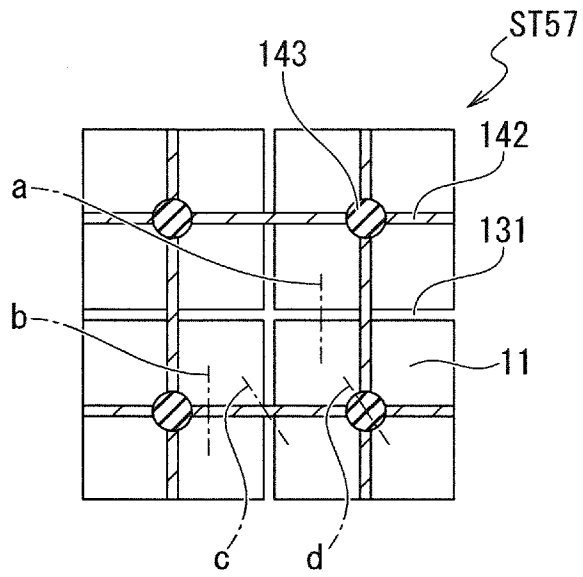
[図20B]



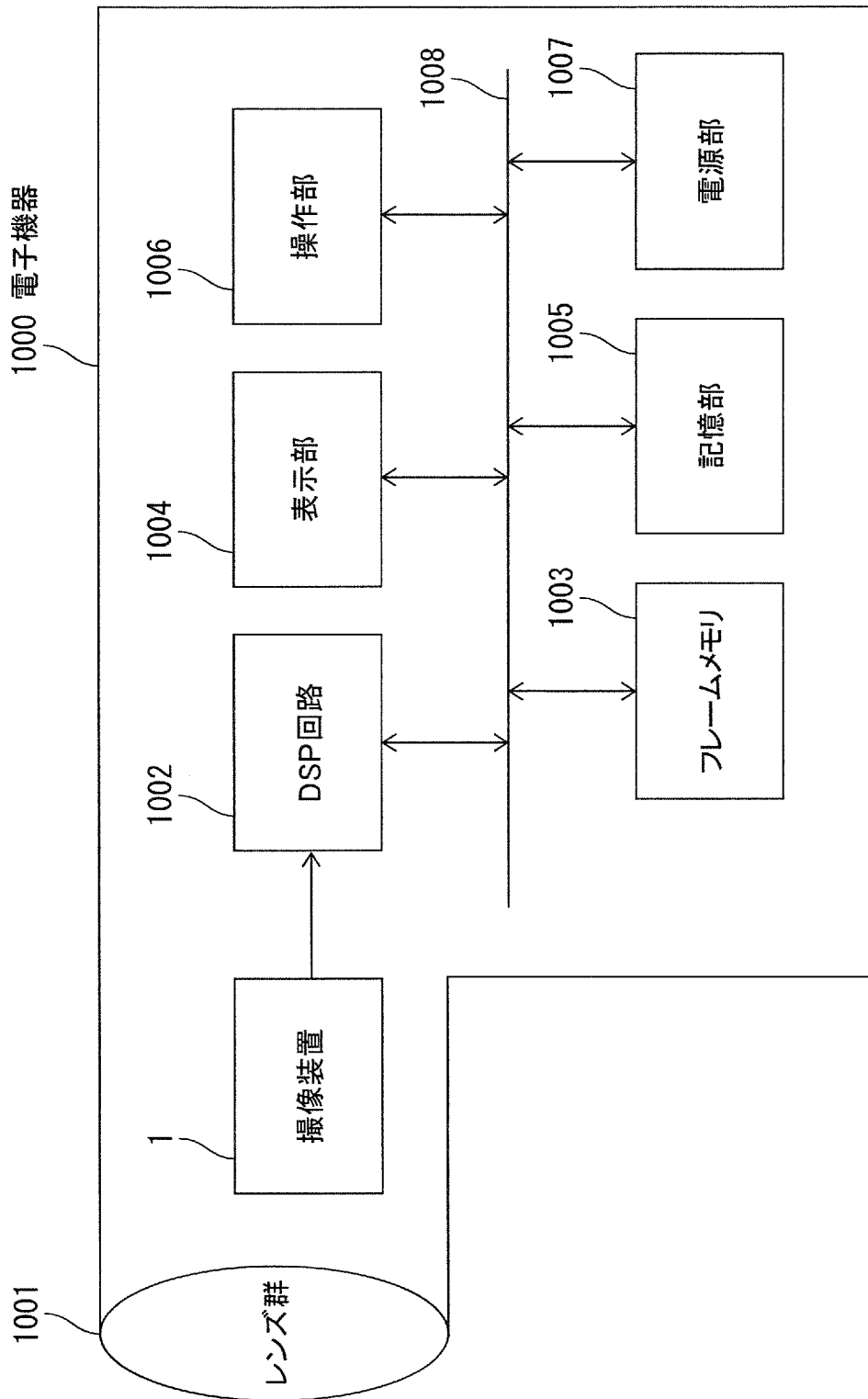
[図20C]



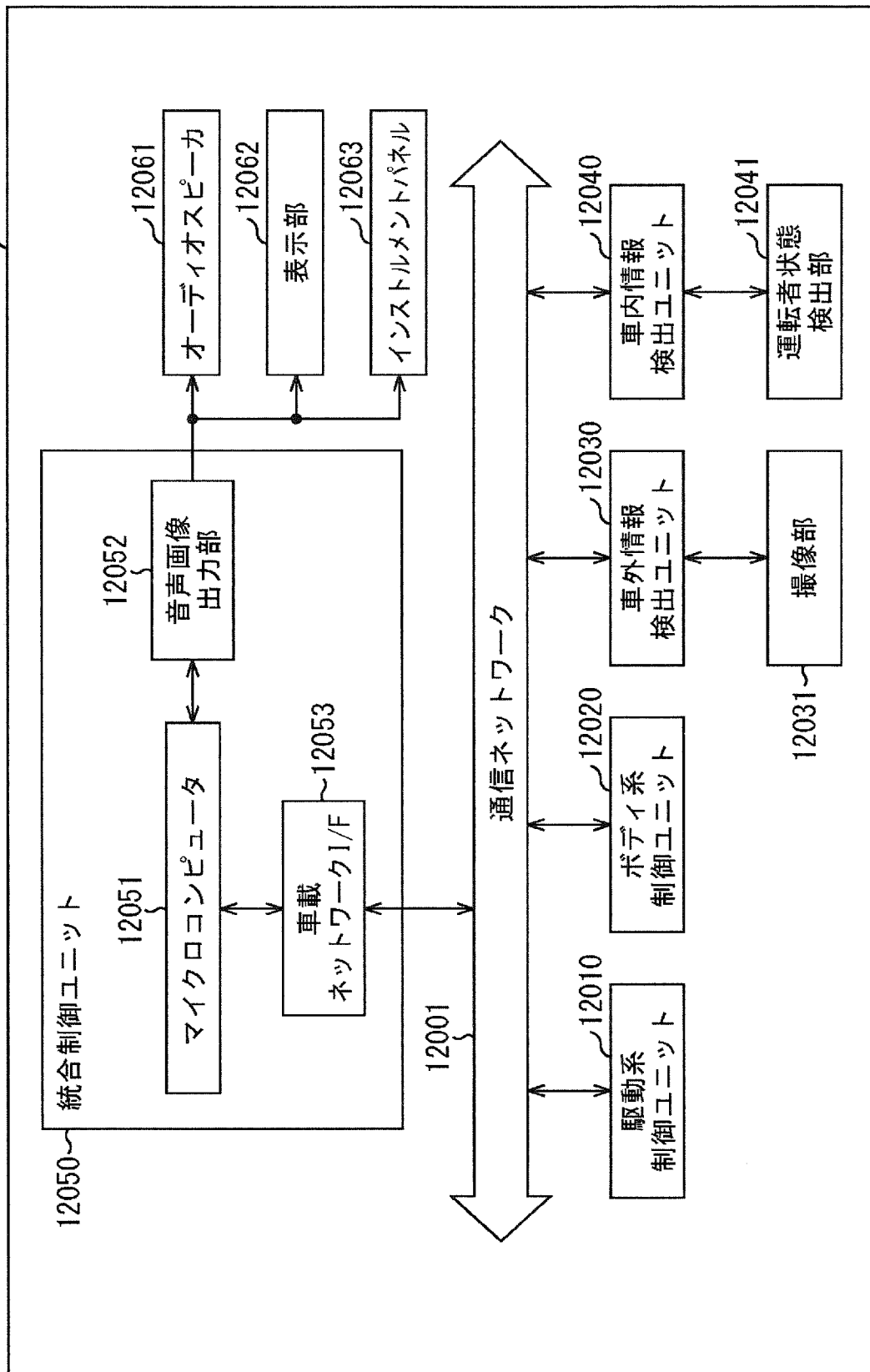
[図20D]



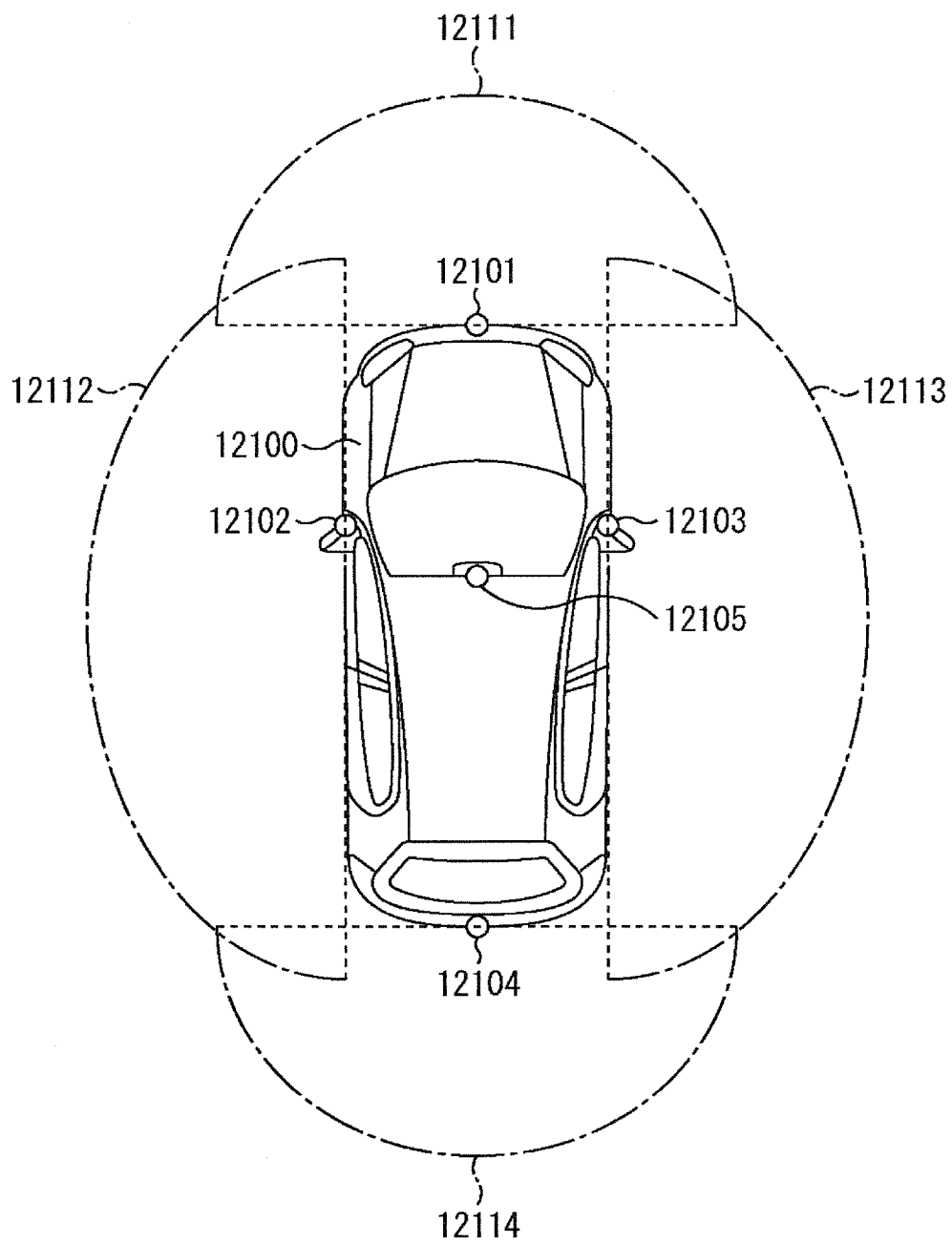
[図21]



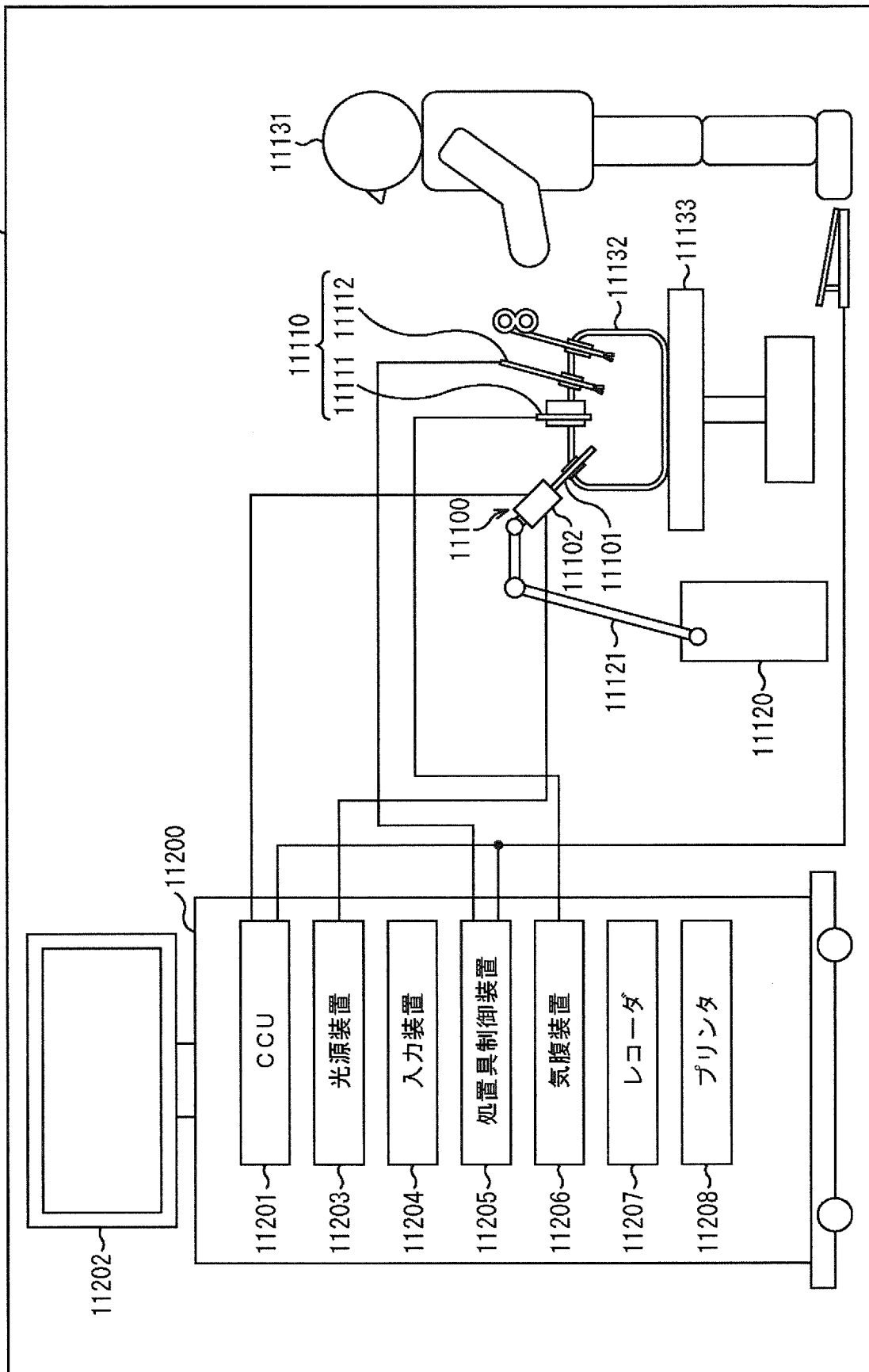
[図22]



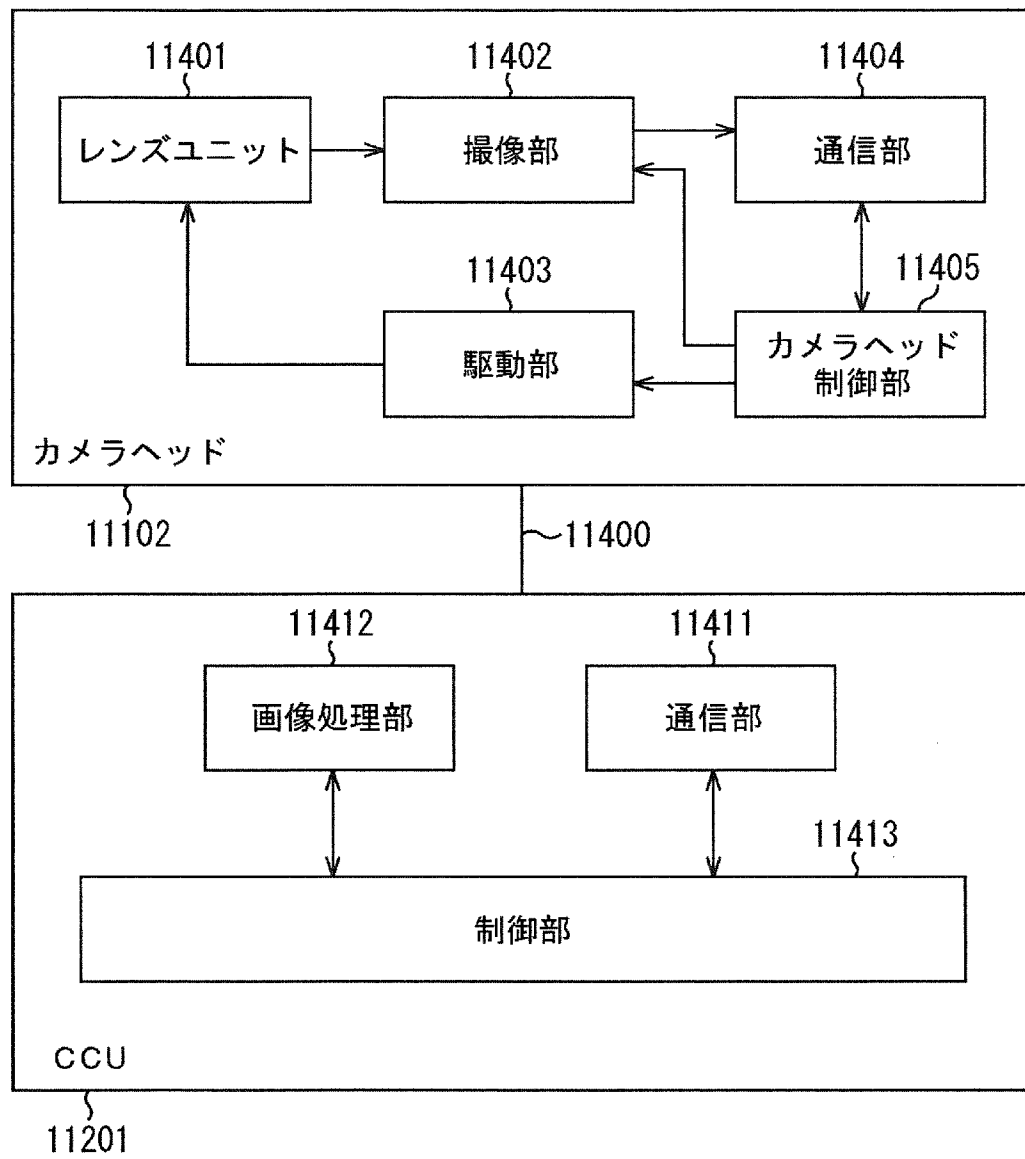
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000025

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i FI: H01L27/146 A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/220084 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 20 October 2022 (2022-10-20) paragraphs [0030], [0031], [0033]-[0035], [0037], [0040], [0043], [0054], [0073], [0108], fig. 1-50	1-8, 13-15
Y		9, 10, 12
A		11
Y	JP 2022-114386 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 05 August 2022 (2022-08-05) paragraphs [0069], [0077], [0096], [0097], fig. 1-30	9, 10, 12
A	US 2017/0365630 A1 (SK HYNIX INC.) 21 December 2017 (2017-12-21) paragraphs [0020]-[0054], fig. 1-28	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 04 March 2024		Date of mailing of the international search report 19 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/000025

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/220084	A1	20 October 2022	(Family: none)	
JP	2022-114386	A	05 August 2022	WO 2022/163296 A1 paragraphs [0069], [0077], [0096], [0097], fig. 1-30	
US	2017/0365630	A1	21 December 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i

FI: H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/220084 A1（ソニーセミコンダクタソリューションズ株式会社）20.10.2022 (2022 - 10 - 20) 段落0030, 0031, 0033-0035, 0037, 0040, 0043, 0054, 0073, 0108, 図1-50	1-8, 13-15
Y		9, 10, 12
A		11
Y	JP 2022-114386 A（ソニーセミコンダクタソリューションズ株式会社）05.08.2022 (2022 - 08 - 05) 段落0069, 0077, 0096, 0097, 図1-30	9, 10, 12
A	US 2017/0365630 A1（SK HYNIX INC.）21.12.2017（2017 - 12 - 21） 段落0020-0054, 図1-28	1-15

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

04.03.2024

国際調査報告の発送日

19.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小山 満 5F 9458

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/000025

引用文献			公表日	パテントファミリー文献	公表日
WO	2022/220084	A1	20.10.2022	(ファミリーなし)	
JP	2022-114386	A	05.08.2022	WO 2022/163296 A1	
				段落0069, 0077, 0096, 0097,	
				図1-30	
US	2017/0365630	A1	21.12.2017	(ファミリーなし)	