

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5089129号  
(P5089129)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 6 0 G

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2006-284141 (P2006-284141)	(73) 特許権者	000001007
(22) 出願日	平成18年10月18日(2006.10.18)		キヤノン株式会社
(65) 公開番号	特開2008-102705 (P2008-102705A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成20年5月1日(2008.5.1)	(74) 代理人	100076428
審査請求日	平成21年10月14日(2009.10.14)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(72) 発明者	上田 浩市
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 メモリシステム、データ書き込み方法及びデータ読み出し方法

(57) 【特許請求の範囲】

【請求項 1】

メモリデバイスと、前記メモリデバイスへのアクセスを制御するメモリアクセス制御回路とを有するメモリシステムであって、

前記メモリアクセス制御回路は、

前記メモリデバイスへの第1のビット数の書き込みデータが特定のパターンを含むか否かを判別する判別手段と、

前記判別手段により判別された前記特定のパターンを、第2のビット数の複数の書き込みデータに分割して順にメモリデバイスへ出力する際に反転するビットの数を少なくした省ノイズデータに変換する第1の変換手段と、

前記メモリデバイスへの書き込みデータが前記特定のパターンを含む場合は、前記第1の変換手段により変換された省ノイズデータを、前記メモリデバイスへの書き込みデータが前記特定のパターンを含まない場合は、前記第1の変換手段による変換がされていない書き込みデータを、前記判別手段による判別結果を示すコードとともに前記メモリデバイスに出力する書き込みデータ出力手段と、

を有し、

前記メモリデバイスは、

前記書き込みデータ出力手段から入力された前記省ノイズデータを前記特定のパターンに変換する第2の変換手段と、

前記書き込みデータが前記特定のパターンを含むことを前記コードが表している場合は、

10

20

前記第 2 の変換手段により変換された前記特定のパターンを、前記書込みデータが前記特定のパターンを含まないことを前記コードが表している場合は、前記書込みデータ出力手段から入力された書込みデータを、メモリに書き込む書込み手段と、

を有することを特徴とするメモリシステム。

【請求項 2】

メモリデバイスと、前記メモリデバイスへのアクセスを制御するメモリアクセス制御回路とを有するメモリシステムであって、

前記メモリデバイスは、

メモリから読み出した第 1 のビット数の読み出しデータが特定のパターンを含むか否かを判別する判別手段と、

10

前記判別手段により判別された前記特定のパターンを、第 2 のビット数の複数の読み出しデータに分割して順にメモリデバイスから入力する際に反転するビットの数を少なくした省ノイズデータに変換する第 1 の変換手段と、

前記メモリから読み出した読み出しデータが前記特定のパターンを含む場合は、前記第 1 の変換手段により変換された省ノイズデータを、前記メモリから読み出した読み出しデータが前記特定のパターンを含まない場合は、前記第 1 の変換手段による変換がされていない読み出しデータを、前記判別手段による判別結果を示すコードとともに前記メモリアクセス制御回路に出力する出力手段と、

を有し、

前記メモリアクセス制御回路は、

20

前記出力手段から出力された前記省ノイズデータ、前記読み出しデータ及び前記コードを入力する入力手段と、

前記省ノイズデータを前記特定のパターンに変換する第 2 の変換手段と、

前記読み出しデータが前記特定のパターンを含まないことを前記コードが表している場合は、前記入力手段で入力した前記読み出しデータを、前記読み出しデータが前記特定のパターンを含むことを前記コードが表している場合は、前記第 2 の変換手段により変換された前記特定のパターンを、読み出しデータとして選択する選択手段と、

を有することを特徴とするメモリシステム。

【請求項 3】

メモリデバイスと、前記メモリデバイスへのアクセスを制御するメモリアクセス制御回路とを有するメモリシステムにおけるデータ書込み方法であって、

30

前記メモリアクセス制御回路が、前記メモリデバイスへの第 1 のビット数の書込みデータが特定のパターンを含む場合に、前記特定のパターンを、第 2 のビット数の複数の書込みデータに分割して順にメモリデバイスへ出力する際に反転するビットの数を少なくした省ノイズデータに変換する第 1 の変換工程と、

前記メモリアクセス制御回路が、前記メモリデバイスへの書込みデータが前記特定のパターンを含む場合は、前記第 1 の変換工程で変換された省ノイズデータを、前記メモリデバイスへの書込みデータが前記特定のパターンを含まない場合は、前記第 1 の変換工程での変換がされていない書込みデータを、前記メモリデバイスへの書込みデータが前記特定のパターンを含むか否かを示すコードとともに前記メモリデバイスに出力する書込みデータ出力工程と、

40

前記メモリデバイスが、前記書込み出力工程で出力された前記省ノイズデータを前記特定のパターンに変換する第 2 の変換工程と、

前記メモリデバイスが、前記書込みデータが前記特定のパターンを含むことを前記コードが表している場合は、前記第 2 の変換工程で変換された前記特定のパターンを、前記書込みデータが前記特定のパターンを含まないことを前記コードが表している場合は、前記書込みデータ出力工程で出力された書込みデータを、メモリに書き込む書込み工程と、

を有することを特徴とするデータ書込み方法。

【請求項 4】

メモリデバイスと、前記メモリデバイスへのアクセスを制御するメモリアクセス制御回

50

路とを有するメモリシステムにおけるデータ読み出し方法であって、

前記メモリデバイスが、メモリから読み出した第 1 のビット数の読み出しデータが特定のパターンを含むか否かを判別する判別工程と、

前記メモリデバイスが、前記判別工程で判別された前記特定のパターンを、第 2 のビット数の複数の読み出しデータに分割して順にメモリデバイスから入力する際に反転するビットの数を少なくした省ノイズデータに変換する第 1 の変換工程と、

前記メモリデバイスが、前記メモリから読み出した読み出しデータが前記特定のパターンを含む場合は、前記第 1 の変換工程で変換された省ノイズデータを、前記メモリから読み出した読み出しデータが前記特定のパターンを含まない場合は、前記第 1 の変換工程での変換がされていない読み出しデータを、前記判別工程での判別結果を示すコードとともに前記メモリアクセス制御回路に出力する出力工程と、

前記メモリアクセス制御回路が、前記出力工程で出力された前記省ノイズデータ、前記読み出しデータ及び前記コードを入力する入力工程と、

前記メモリアクセス制御回路が、前記省ノイズデータを前記特定のパターンに変換する第 2 の変換工程と、

前記メモリアクセス制御回路が、前記読み出しデータが前記特定のパターンを含まないことを前記コードが表している場合は、前記入力工程で入力した前記読み出しデータを、前記読み出しデータが前記特定のパターンを含むことを前記コードが表している場合は、前記第 2 の変換工程で変換された前記特定のパターンを、読み出しデータとして選択する選択工程と、

を有することを特徴とするデータ読み出し方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリデバイスにアクセスするメモリアクセス制御回路及びその方法に関するものである。

【背景技術】

【0002】

半導体プロセスの向上により、LSIの集積度、動作周波数が飛躍的に高くなり、このLSIを使用した機器の処理能力も飛躍的に向上している。動作周波数が高くなることによりLSIの電磁放射も大きくなり、電磁妨害EMI (Electro Magnetic Interference) の対策が困難になってきている。特にLSIの動作周波数が高くなると動作のクロック信号の周波数を高くなり、そのクロック信号に含まれる高周波での高調波成分が大きくなり、高調波成分の放射量が増大する。

【0003】

このような電磁妨害対策として、スペクトラム拡散クロックジェネレータSSCG (Spread Spectrum Clock Generator) が使用されている。このSSCGは、LSIのクロック周波数をわずかに変動させて発振させる (周波数変調) ことによって、電磁妨害のピークを低く抑える働きをする (特許文献1)。

【0004】

また、LSIの動作周波数が高くなるのに伴い、その信号の品質、所謂、シグナル・インテグリティを如何に確保するかが重要になっている。LSIチップ上のトランジスタがスイッチングすると、電源ライン及びグラウンド配線に高周波電流が流れる。この結果、電源ライン及びグラウンド配線に雑音が発生する。いわゆる電源バウンス、グラウンド・バウンスである (特許文献2)。このノイズはスイッチングするトランジスタの数に比例して大きくなる。LSIチップに集積された大量のトランジスタが同時にスイッチングすることによって生じる大きな電源バウンス、グラウンド・バウンスを同時スイッチングノイズ (SSO (Simultaneous Switching Output noise) ノイズ) と呼んでいる。

【0005】

このようにLSIの動作周波数が高くなり、また集積度が向上することによりノイズ量

10

20

30

40

50

が増加している。その一方、LSIの駆動電源電圧の低下と動作周波数が高くなることによりノイズマージンが減少しており、ノイズ対策が重要課題となってきた。

【特許文献1】特開2006-238315号公報

【特許文献2】特開平08-55481号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

図6は、従来のメモリへのライトアクセス時におけるノイズの発生を説明するタイミングチャートである。尚図において、CLKはクロック、Aはアドレス、DQSはデータストロブ、DQはデータ信号、DQMはデータマスク信号、Noiseは、データのスイッチングによるノイズを表している。

10

【0007】

いま時刻t0で、書込みアドレス「A0」及びライトコマンド「WR」を発行する。次に時刻t2～t10で、書込みデータ（FF, 00, FF, 00, 01, 02, 03, 04）をメモリに送信する。最初の時刻t2では、データDQがハイインピーダンス状態から「1」に切り替わるため、このタイミングでのNoiseは小さい。しかし、時刻t3～t5では、データDQが「0」から「1」、或は「1」から「0」に切り替わるため、発生するノイズ量が大きくなっている。また時刻t6～t9では、反転するビットの数は1或は最大3であるため、時刻t3～t5の場合に比べてノイズ量が小さくなっている。また時刻t10では、「0」又は「1」からハイインピーダンス状態に戻るため、ここでも時刻t3～t9の場合に比べてノイズ量が小さくなっている。このような事態は、メモリからデータを読み出す場合にも発生する。特に図6の例では、データが8ビットの場合を示しているが、例えば64ビットのバス幅を使用した場合には、このようなデータの切り替えによるノイズの発生量が多くなり、このようなノイズによる動作マージンの低減が問題となる。

20

【0008】

本発明の目的は、上記従来技術の問題点を解決することにある。

【0009】

本願発明の特徴は、メモリへのデータの書き込み、或はメモリからのデータの読み出し時におけるデータのスイッチングに伴うノイズの発生を少なく抑えることにある。

30

【課題を解決するための手段】

【0010】

上記目的を達成するために本発明の一態様に係るメモリシステムは、メモリデバイスと、前記メモリデバイスへのアクセスを制御するメモリアクセス制御回路とを有するメモリシステムであって、前記メモリアクセス制御回路は、前記メモリデバイスへの第1のビット数の書込みデータが特定のパターンを含むか否かを判別する判別手段と、前記判別手段により判別された前記特定のパターンを、第2のビット数の複数の書込みデータに分割して順にメモリデバイスへ出力する際に反転するビットの数を少なくした省ノイズデータに変換する第1の変換手段と、前記メモリデバイスへの書込みデータが前記特定のパターンを含む場合は、前記第1の変換手段により変換された省ノイズデータを、前記メモリデバイスへの書込みデータが前記特定のパターンを含まない場合は、前記第1の変換手段による変換がされていない書込みデータを、前記判別手段による判別結果を示すコードとともに前記メモリデバイスへ出力する書込みデータ出力手段と、を有し、前記メモリデバイスは、前記書込みデータ出力手段から入力された前記省ノイズデータを前記特定のパターンに変換する第2の変換手段と、前記書込みデータが前記特定のパターンを含むことを前記コードが表している場合は、前記第2の変換手段により変換された前記特定のパターンを、前記書込みデータが前記特定のパターンを含まないことを前記コードが表している場合は、前記書込みデータ出力手段から入力された書込みデータを、メモリに書き込む書込み手段と、を有することを特徴とする。

40

【発明の効果】

50

## 【 0 0 1 3 】

本発明によれば、メモリアクセス制御回路とメモリデバイス間のデータの切り替え回数を削減でき、メモリデバイスへのデータの書き込み、読み出し時のデータ切り替えに伴うEMIノイズ、SSOノイズを低減できる。また、データの切り替え回数を低減させることにより、メモリへのリードライト時の消費電力の低減が可能となる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 4 】

以下、添付図面を参照して本発明の好適な実施の形態を詳しく説明する。尚、以下の実施の形態は特許請求の範囲に係る本発明を限定するものでなく、また本実施の形態で説明されている特徴の組み合わせの全てが本発明の解決手段に必須のものとは限らない。

10

## 【 0 0 1 5 】

図1は、本発明の実施の形態に係るメモリシステムの構成を示すブロック図である。

## 【 0 0 1 6 】

図において、3000はメモリコントローラ、3100はメモリセル3111を有するメモリデバイス（メモリ素子）である。

## 【 0 0 1 7 】

バスインターフェース3010は、メモリコントローラ3000内のバスと、システムバスとを接続している。リードデータ受信回路3020は、メモリデバイス3100から読み出したデータをバスインターフェース3010へ出力する。リードデータバッファ3021は、メモリデバイス3100から読み出され、処理されたデータを一時的に保持してバスインターフェース3010へ出力する。データ選択部3022は、本実施の形態の特徴的な部分で、後述するようにメモリデバイス3100から読み出されたデータを処理している。デコーダ3023は、メモリデバイス3100のエンコーダ3132から出力されたエンコードされたデータをデコードする。

20

## 【 0 0 1 8 】

次にライトデータ生成回路3030は、バスインターフェース3010から受取った書き込みデータを一旦ライトデータバッファ3033に記憶し、その後、後述する処理を行ってメモリデバイス3100に出力する。データ判定部3031は、メモリデバイス3100に書き込まれるデータのパターンを解析し、その書き込むデータがノイズを発生し易いパターンかどうかを判定している。エンコーダ3032は、データ判定部3031による判定結果をエンコードしてメモリデバイス3100に出力する。データ変換制御部3034は、データ判定部3031によりメモリデバイス3100に書き込むデータがノイズを発生し易いデータであると判定した場合に、ノイズを発生しにくいデータに変換している。コマンド生成回路3040は、メモリデバイス3100に対する読出し、書き込みコマンドを生成してメモリデバイス3100に出力する。

30

## 【 0 0 1 9 】

次にメモリデバイス3100の構成を説明する。このメモリデバイス3100は、上述したメモリコントローラ3000が有しているデコーダ3023、データ選択部3022と同じ機能を有するデコーダ3123、データ選択部3122を有している。更に、メモリコントローラ3000が有しているデータ判定部3031、エンコーダ3032、データ変換制御部3034と同じ機能を有するデータ判定部3131、エンコーダ3132、データ変換制御部3134を有している。

40

## 【 0 0 2 0 】

図2は、本実施の形態に係るデータ判定部3031、3131の構成を説明するブロック図である。

## 【 0 0 2 1 】

このデータ判定部3031は、データ比較部211～214、パターン保持部220、ヒットフラグ生成部230を有している。

## 【 0 0 2 2 】

ライトデータバッファ3033に記憶された書き込みデータは、201～204で示すよ

50

うに、バースト0～バースト3の各8ビットデータに分割される。こうしてバースト0～バースト3はデータ比較部211～214で、パターン保持部220に保持された各データパターンと比較される。

#### 【0023】

データ比較部211～214では、バースト0～バースト3と各パターンとを比較し、あるパターンに一致するデータの場合には、対応するヒット信号が「1」にセットされる。比較結果はエンコーダ3032に送信されてエンコードされる。またヒットフラグ生成部230は、これらヒット信号の論理和を取って、ヒットフラグとしてデータ変換制御部3034(3134)に出力する。データ変換制御部3034は、このヒットフラグが「1」の場合には書込みデータを予め決められたデータに変換し、それ以外の場合には、書込みデータをそのまま、メモリデバイス3100への書込みデータの一部として出力する。

10

#### 【0024】

図3は、このデータ比較部による比較と、そのエンコード例を説明する図である。

#### 【0025】

本例ではバースト長が4、データビットが8ビットの場合で説明する。書込みデータは、データ比較部211～214によりパターン0～パターンnと比較される。いま書込みデータが(F F, 0 0, F F, 0 0)の場合は、その書込みデータは、図3の例ではパターン1と一致する。この場合、データ判定部3031(3131)では、ヒット1とヒットフラグが共に「1」となる。これらヒット1とヒットフラグを入力したエンコーダ3032は、データ「0010」を、そのエンコード結果として出力する。

20

#### 【0026】

このときデータ変換制御部3034は、ヒットフラグが「1」であるため、データを全て「0」にした省ノイズデータとして、メモリデバイス3100に送信する。

#### 【0027】

また他の例として、書込みデータが(0 0, 0 1, 0 2, 0 3)の場合は、パターン保持部220から出力されるパターンのいずれとも一致しない。この場合は、データ判定部3031は、ヒットフラグを「0」、ヒット出力の全てを「0」にして出力する。この場合エンコーダ3032は、「0000」をエンコード結果として出力する。このときデータ変換制御部3034は、入力した書込みデータをそのままメモリデバイス3100に出力する。

30

#### 【0028】

図4は、本実施の形態に係るデータ選択部3022(3122)の構成を示すブロック図である。

#### 【0029】

301～304は、リードデータバッファ3021で保持されているバーストデータを示す。パターン選択部310は、デコーダ3023からの選択信号400に従って、予め決められたパターン或は受信したデータを選択して出力する。パターン保持部320は、予め特定のデータパターンを保持しており、ここでは前述のパターン保持部220と同じデータパターンを記憶している。

40

#### 【0030】

次にメモリデバイス3100の構成について説明する。

#### 【0031】

メモリデバイス3100では、デコーダ3123がメモリコントローラ3000でエンコードされて出力されたエンコード出力を受け取り、それをデコードしている。このデコード結果に基づいてデータ選択部3122に出力する選択信号400が生成される。データ選択部3122は、メモリコントローラ3000から受け取った書込みデータと、パターン保持部に予め保持されているパターンデータのいずれかを選択信号400に従って選択してメモリセル3111に出力する。メモリデバイス3100はメモリセル3111にこの出力を保持する。

50

## 【 0 0 3 2 】

具体的には、デコーダ 3 1 2 3 がエンコード出力として、例えば前述のコード「 0 0 1 0 」を受取ると、これはパターン 1 と一致したためにデータ「 0 」に変換されていることが分かる。従って、この場合には、選択信号 4 0 0 によりパターン保持部 3 2 0 に記憶しているパターン 1 を選択してメモリセル 3 1 1 1 に書き込むように指示する。

## 【 0 0 3 3 】

一方、デコーダ 3 1 2 3 がエンコード出力として、例えば前述のコード「 0 0 0 0 」を受取ると、これはいずれのパターンとも一致しないため書込みデータが変換されずに、そのままデータ選択部 3 1 2 2 に入力されていることが分かる。従って、この場合には、選択信号 4 0 0 により書込みデータ（メモリライトデータ）を選択してメモリセル 3 1 1 1

10

## 【 0 0 3 4 】

またメモリデバイス 3 1 0 0 からのデータの読み出しは、上記書き込みの逆で行われる。即ち、メモリデバイス 3 1 0 0 のメモリセル 3 1 1 1 から読み出された読出しデータは、データ判定部 3 1 3 1 で、書き込み時にメモリコントローラ 3 0 0 0 で行われたと同様に、いずれかのパターンと一致するか否かが判定される。そして、各パターンに対するヒット信号 0 ~ n と、ヒットフラグが出力される。ヒット信号はエンコーダ 3 1 3 2 によりエンコードされてメモリコントローラ 3 0 0 0 に出力される。メモリセル 3 1 1 1 から読み出されたデータは、データ判定部 3 1 3 1 の判定出力に従って、メモリセル 3 1 1 1 から読み出されたデータが実際のデータであるか、或は「 0 」に変換されたデータであるかが判別される。その結果が、エンコード出力してエンコーダ 3 1 3 2 からデコーダ 3 0 2 3 に送られる。

20

## 【 0 0 3 5 】

メモリコントローラ 3 0 0 0 は、メモリデバイス 3 1 0 0 のデータ変換制御部 3 0 3 4 から出力されたデータを、データ選択部 3 0 2 2 により受信する。またメモリデバイス 3 1 0 0 のエンコーダ 3 1 3 2 から出力されたエンコード結果は、メモリコントローラ 3 0 0 0 のデコーダ 3 0 2 3 が受信する。こうしてデコーダ 3 0 2 3 は、メモリデバイス 3 1 0 0 からのエンコード結果に基づいて選択信号 4 0 0 を出力する。データ選択部 3 0 2 2 は、このデコーダ 3 0 2 3 から出力される選択信号 4 0 0 に基づいて、メモリデバイス 3 1 0 0 から受け取った読出しデータと、パターン保持部 3 2 0 に予め保持されているパターンデータのいずれかを出力する。

30

## 【 0 0 3 6 】

このように本実施の形態では、メモリコントローラ 3 0 0 0 とメモリデバイス 3 1 0 0 との間で、ノイズを発生し易いデータをノイズが発生しにくいデータに変換してやり取りする。このようにすることにより、データのスイッチングを少なくして、ノイズの発生を抑えることができる。

## 【 0 0 3 7 】

図 5 は、本実施の形態に係るデータの書込みを、図 6 の従来例と比較して説明するタイミング図である。この例ではアドレス「 A 0 」にデータ（ 0 0 , 0 0 , 0 0 , 0 0 ）が書き込まれ、アドレス「 A 1 」にデータ（ 0 1 , 0 2 , 0 3 , 0 4 ）が書き込まれている。

40

## 【 0 0 3 8 】

5 0 0 で示す部分では、書込みデータ（ F F , 0 0 , F F , 0 0 ）がパターン 1 と一致したためにデータ（ 0 0 , 0 0 , 0 0 , 0 0 ）に変換されている。そして、この場合のエンコード結果は、図 3 より「 0 0 1 0 」となっている（ 5 0 1 ）。

## 【 0 0 3 9 】

これにより図 6 の従来例で発生していた、時刻 t 3 ~ t 5 におけるノイズが「 0 」となっていることが分かる。

## 【 0 0 4 0 】

尚、本実施の形態におけるパターン保持部 2 2 0 , 3 2 0 に記憶されるパターンデータ（特定のパターン）は、上述した例に限定されるものでない。即ち、前後のデータ同士の

50

間で、反転するビット数が所定量以上に多いパターンであれば、どのようなパターンであっても良い。これは、前後のデータ同士の間で、反転するビット数が所定量以上に多いパターンは、そのデータ間でスイッチングするビット数が多くなり、その結果、流れる電流が増大してノイズを発生させる可能性が高くなるためである。

【0041】

また上記実施の形態では、省ノイズデータを、全て「0」のデータとしたが、これはノイズの発生を少なくするデータであれば、これに限定されるものではない。

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態に係るメモリシステムの構成を示すブロック図である。

10

【図2】本実施の形態に係るデータ判定部の構成を説明するブロック図である。

【図3】本実施の形態に係るデータ比較部による比較と、そのエンコード例を説明する図である。

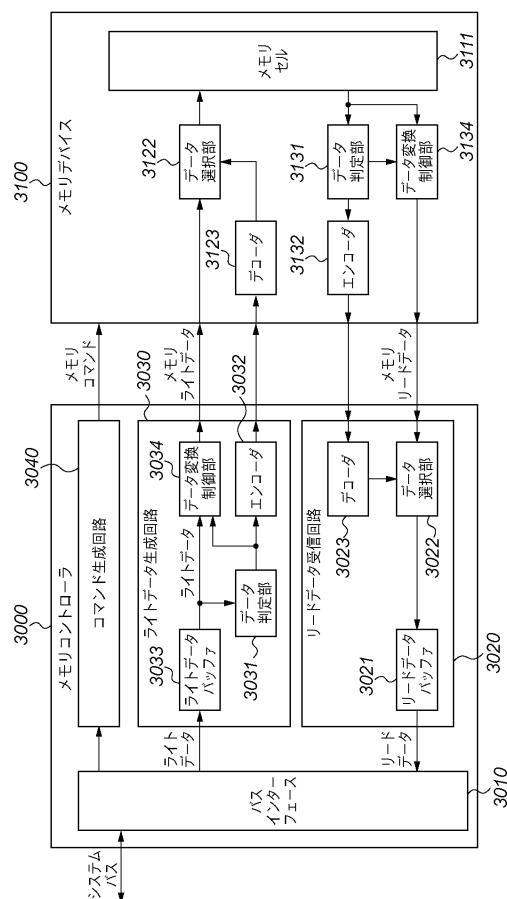
【図4】本実施の形態に係るデータ選択部の構成を示すブロック図である。

【図5】実施の形態に係るデータの書込みを従来例と比較して説明するタイミング図である。

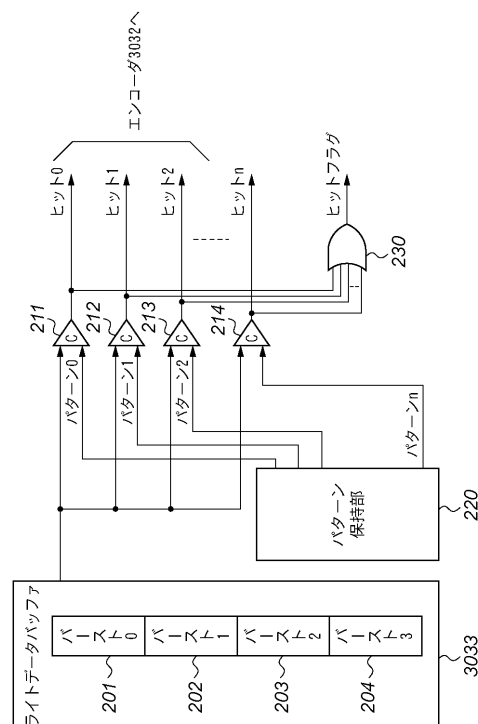
。

【図6】従来のメモリへのライトアクセス時におけるノイズの発生を説明するタイミングチャートである。

【図1】



【図2】

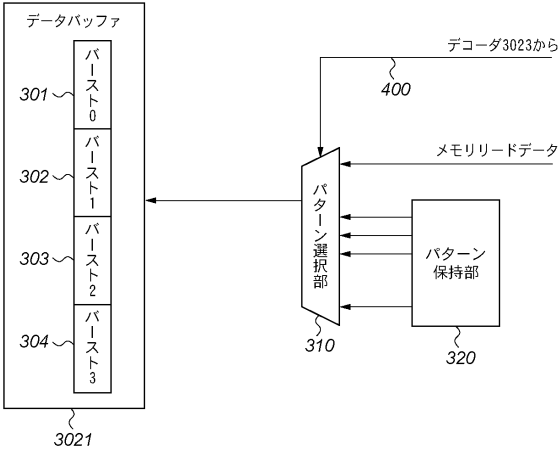




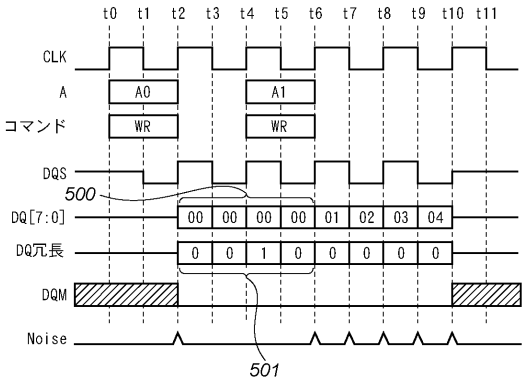
【図 3】

	バースト0	バースト1	バースト2	バースト3	エンコード
書き込みデータ	FF	00	FF	00	
パターン0	00	FF	00	FF	0001
パターン1	FF	00	FF	00	0010
パターンn					
その他					0000

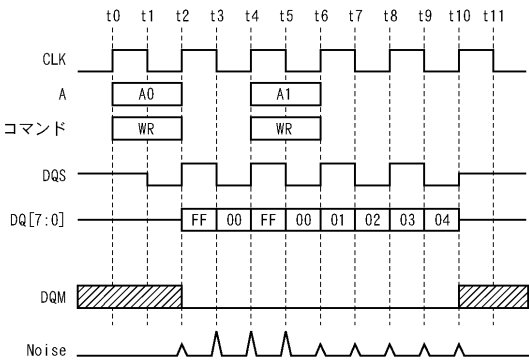
【図 4】



【図 5】



【図 6】



---

フロントページの続き

(72)発明者 普勝 勉  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 桜井 茂行

(56)参考文献 特開平11-088182(JP,A)  
特開2003-150533(JP,A)  
特開2006-053770(JP,A)  
特開2006-238315(JP,A)  
特開平8-55481(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 12/00 - 12/06  
G06F 13/16 - 13/18  
G06F 3/00