

CONFÉDÉRATION SUISSE
INSTITUT FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

(11) CH 717 513 B1

(51) Int. Cl.: H03K 5/02 (2006.01)
G06F 13/40 (2006.01)
H03K 19/00 (2006.01)

Brevet d'invention délivré pour la Suisse et le Liechtenstein

Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

(12) **FASCICULE DU BREVET**

(21) Numéro de la demande: 000696/2020

(22) Date de dépôt: 11.06.2020

(43) Demande publiée: 15.12.2021

(24) Brevet délivré: 31.08.2023

(45) Fascicule du brevet publié: 31.08.2023

(73) Titulaire(s):
EM Microelectronic-Marin SA, Rue des Sors 3
2074 Marin (CH)

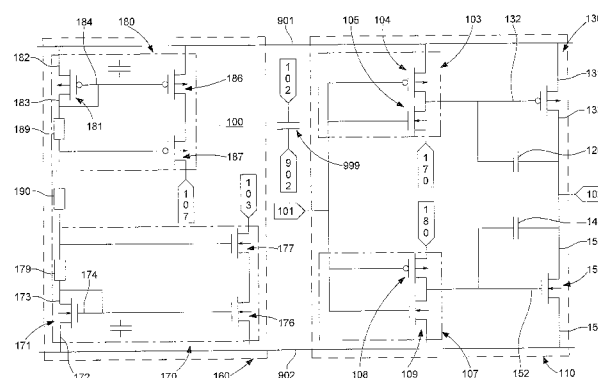
(72) Inventeur(s):
Athos Canclini, 2000 Neuchâtel (CH)
Mario Dellea, 2300 La Chaux-de-Fonds (CH)

(74) Mandataire:
ICB Ingénieurs Conseils en Brevets SA,
Faubourg de l'Hôpital 3
2001 Neuchâtel (CH)

(54) **Pilote de sortie commandé par vitesse de balayage.**

(57) La présente invention concerne un circuit de contrôle de vitesse de balayage (100) pour un circuit intégré ayant un noeud d'entrée (101) et un noeud de sortie (102). Ledit circuit de contrôle de vitesse de balayage (100) comprend au moins un circuit principal (110) connecté à au moins un générateur de courant (160). Ledit circuit principal (110) comprend au moins une paire de premiers transistors de circuit auxiliaire (103), au moins une première capacité principale (120) pour réduire les interférences électromagnétiques, au moins un premier transistor de circuit principal (130) connecté à ladite première capacité principale (120) et au moins une paire de seconds transistors de circuit auxiliaire (107), au moins une seconde capacité principale (140), et au moins un second transistor de circuit principal (150) connecté à ladite seconde capacité principale (140).

L'invention concerne également un procédé de commande des temps de transition pour une interface entrée / sortie au moyen dudit circuit de contrôle de vitesse de balayage.



Description

Domaine technique

[0001] La présente invention concerne le domaine des circuits pilotes commandés par vitesse de balayage et concerne en particulier les pilotes USB.

Contexte de l'invention

[0002] Dans de nombreuses interfaces d'entrée/sortie à usage général, telles que les USB, il est nécessaire de fournir un signal qui varie entre un état bas, généralement 0 volt, et un état haut, généralement 3,3 volts, et présente un temps de montée/descente contrôlé pour réduire les interférences électromagnétiques, IEM en abrégé, et le bruit d'alimentation/de masse.

[0003] De plus, le rapport de temps de transition (temps de montée sur le temps de descente) et la plage de tension de croisement de sortie différentielle doivent être bien commandés. La tension de croisement de sortie de deux pilotes fonctionnant en phases opposées peut être régulée par le rapport entre le temps de retard pour augmenter et le temps de retard pour diminuer en utilisant une rétroaction capacitive.

[0004] Cependant, si les conditions initiales de ladite rétroaction capacitive à chaque cycle d'horloge ne sont pas bien commandées, cela conduit à un problème.

Résumé de l'invention

[0005] Afin d'atteindre cet objectif, la présente invention propose un circuit de contrôle de vitesse de balayage d'un circuit intégré ; ledit circuit de contrôle de vitesse de balayage ayant un noeud d'entrée et un noeud de sortie ; ledit circuit de contrôle de vitesse de balayage comprenant au moins un circuit principal configuré pour être connecté à au moins un générateur de courant ; ledit au moins un circuit principal comprenant :

- au moins une paire de premiers transistors de circuit auxiliaire configurés pour être connectés audit au moins un générateur de courant ;
- au moins une première capacité principale ; ladite au moins une première capacité principale est configurée pour commander la pente de sortie montante ;
- au moins un premier transistor de circuit principal ayant une première source principale connectée à une première borne d'une alimentation électrique, ayant une première grille principale connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire, et ayant un premier drain principal connecté audit noeud de sortie ; ladite au moins une première capacité principale étant connectée entre ladite première grille principale et ledit premier drain principal ;
- au moins une paire de seconds transistors de circuit auxiliaire fonctionnant en opposition de phase et configurés pour être connectés audit au moins un générateur de courant ;
- au moins une seconde capacité principale ; ladite au moins une seconde capacité principale est configurée pour commander la pente de sortie descendante ; et,
- au moins un second transistor de circuit principal ayant une première seconde source connectable à une seconde borne de ladite alimentation électrique, ayant une seconde grille principale connectée à ladite au moins une paire de seconds transistors de circuit auxiliaire, et ayant un second drain principal connecté audit noeud de sortie ; ladite au moins une seconde capacité principale étant connectée entre ladite seconde grille principale et ledit second drain principal.

[0006] Par conséquent, cette configuration permet de fournir un signal qui varie entre la tension de ladite première borne de ladite alimentation électrique, par exemple 3,3 V, et la tension de ladite seconde borne de ladite alimentation électrique, par exemple 0 V, à une pente de sortie de transition commandée afin de réduire les interférences électromagnétiques et le bruit d'alimentation, par exemple. De plus, le rapport de temps de transition, c'est-à-dire le temps de montée sur le temps de descente, et la plage de tension de croisement de sortie différentielle entre deux circuits pilotes commandés par vitesse de balayage fonctionnant en opposition, sont parfaitement commandés.

[0007] Selon un mode de réalisation, ladite au moins une paire de premiers transistors de circuit auxiliaire comprend un premier transistor PMOS configuré pour connecter ladite première grille principale à la première borne et pour bloquer la conduction dudit au moins un premier transistor de circuit principal et un premier transistor NMOS configuré pour connecter ladite première grille principale à un générateur de courant et pour permettre la conduction commandée dudit au moins un premier transistor de circuit principal et/ou ladite au moins une paire de seconds transistors de circuit auxiliaire comprend un second transistor NMOS configuré pour connecter ladite seconde grille principale à la seconde borne et pour bloquer la

conduction dudit au moins un second transistor de circuit principal et un second transistor PMOS configuré pour connecter ladite seconde grille principale à un générateur de courant et pour permettre la conduction commandée dudit au moins un second transistor de circuit principal.

[0008] Par conséquent, grâce à cette configuration, ledit circuit de contrôle de vitesse de balayage peut commander les temps de transition.

[0009] Selon un mode de réalisation, ladite au moins une paire de premiers transistors de circuit auxiliaire et/ou ladite au moins une paire de seconds transistors de circuit auxiliaire est ou sont configurée(s) pour être connectée(s) audit noeud d'entrée.

[0010] Par conséquent, cette configuration permet de connecter ladite première grille principale à ladite première borne de ladite alimentation électrique, par exemple 3,3 V, ou audit générateur de courant et/ou ladite seconde grille principale à ladite seconde borne de ladite alimentation électrique, par exemple 0 V, ou audit générateur de courant.

[0011] Selon un mode de réalisation, ledit au moins un premier transistor de circuit principal est un transistor PMOS et/ou ledit au moins un second transistor de circuit principal est un transistor NMOS.

[0012] Grâce à cette configuration, ledit au moins un premier transistor de circuit principal et ledit au moins un second transistor de circuit principal peuvent alterner afin de fournir un signal de sortie qui varie entre la tension de ladite première borne et la tension de ladite seconde borne de ladite alimentation électrique.

[0013] Selon un mode de réalisation, ledit au moins un générateur de courant comprenant au moins une première source de courant connectée à au moins une seconde source de courant :

- ladite au moins une première source de courant étant configurée pour être connectée à ladite seconde borne de ladite alimentation électrique et à ladite au moins une paire de premiers transistors de circuit auxiliaire ; et,
- ladite au moins une seconde source de courant étant configurée pour être connectée à ladite première borne de ladite alimentation électrique et à ladite au moins une paire de seconds transistors de circuit auxiliaire.

[0014] Selon un mode de réalisation, ladite au moins une première source de courant comprend un premier miroir de courant, comprenant de préférence des transistors NMOS, et/ou ladite au moins une seconde source de courant comprend un second miroir de courant, comprenant de préférence des transistors PMOS.

[0015] Par conséquent, cette configuration permet de fournir un courant à ladite au moins une paire de premiers et seconds transistors de circuit auxiliaire quand le signal varie entre la tension de ladite première borne de ladite alimentation électrique, par exemple 3,3 V, et la tension de ladite seconde borne de ladite alimentation électrique, par exemple 0 V.

[0016] Selon un mode de réalisation, ledit premier miroir de courant comprend une première sortie cascode faite d'une première sortie cascode NMOS connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire et d'une seconde sortie cascode NMOS connectée à ladite seconde borne de ladite alimentation électrique, et un transistor NMOS connecté en diode d'entrée ayant une première source NMOS connectée à ladite seconde borne de ladite alimentation électrique, un premier drain NMOS connecté à une première grille NMOS, à une grille de ladite seconde sortie cascode NMOS et de préférence à une borne d'une première résistance ; de préférence, une autre borne de ladite première résistance est connectée à une grille de ladite première sortie cascode NMOS et à une borne d'une résistance commune ; et ledit second miroir de courant comprend une seconde sortie cascode faite d'une première sortie cascode PMOS à ladite au moins une paire de premiers transistors de circuit auxiliaire et d'une seconde sortie cascode PMOS connectée à ladite première borne de ladite alimentation électrique, un transistor PMOS connecté en diode d'entrée ayant une première source PMOS connectée à ladite première borne de ladite alimentation électrique, un premier drain PMOS connecté à une première grille PMOS, à une grille de ladite seconde sortie cascode PMOS et de préférence à une borne d'une seconde résistance ; de préférence une autre borne de ladite seconde résistance est connectée à une grille de ladite première sortie cascode PMOS et à une autre borne d'une résistance commune.

[0017] Par conséquent, cette configuration permet de fournir un premier courant utilisé pour commander la pente montante et un second courant utilisé pour commander la pente descendante, d'avoir un faible décalage, qui est nécessaire pour commander le rapport de pente montante sur descendante, et d'être peu dépendant de l'alimentation électrique, ce qui réduit la dépendance du temps de transition à ladite alimentation électrique. En outre, cette configuration optimise la relation entre les deux sources de courant et les courants générés par cette configuration dépendent de la tension d'alimentation et donc réduisent la dépendance aux temps de transition de la tension d'alimentation.

[0018] Afin d'atteindre cet objectif, la présente invention propose un procédé commandé par vitesse de balayage pour un circuit de contrôle de vitesse de balayage; ledit procédé commandé par vitesse de balayage comprenant :

- une transition dudit noeud d'entrée entre ladite seconde borne de ladite alimentation électrique et ladite première borne de ladite alimentation électrique ;

- une connexion dudit noeud de sortie à ladite première borne de ladite alimentation électrique via ledit au moins un premier transistor de circuit principal ou ladite seconde borne de ladite alimentation électrique via ledit au moins un second transistor de circuit principal ;
- une initiation de conduction dudit au moins un premier transistor de circuit principal ou dudit au moins un second transistor de circuit principal ;
- en ayant une tension de commande constante, lesdits transistors de circuit principal fournissent un courant constant à une capacité de charge de manière à produire une variation de tension de sortie linéaire et donc un débit de courant constant à travers au moins une première capacité principale ou au moins une seconde capacité principale ;
- en ayant un noeud de sortie atteignant ladite seconde borne de ladite alimentation électrique ou ladite première borne de ladite alimentation électrique et un courant passant à travers, au moins une première capacité principale ou au moins une seconde capacité principale diminue jusqu'à ce que les courants soient annulés et permettent de reprendre la transition de ladite première grille principale ou de ladite seconde grille principale ;
- une connexion de ladite première grille principale à ladite première borne de ladite alimentation électrique de manière à désactiver ledit au moins un premier transistor de circuit principal ou ladite seconde grille principale à ladite seconde borne de ladite alimentation électrique de manière à désactiver ledit au moins un second transistor de circuit principal.

[0019] Par conséquent, cette configuration permet de fournir un signal qui varie entre la tension de ladite première borne de ladite alimentation électrique, par exemple 3,3 V, et la tension de ladite seconde borne de ladite alimentation électrique, par exemple 0 V, à une pente de sortie de transition commandée afin de réduire les interférences électromagnétiques et le bruit d'alimentation, par exemple. De plus, le rapport de temps de transition, c'est-à-dire le temps de montée sur le temps de descente, et la plage de tension de croisement de sortie différentielle entre deux circuits pilotes commandés par vitesse de balayage fonctionnant en opposition, sont parfaitement commandés.

Brève description des dessins

[0020] Les objectifs, caractéristiques, aspects et avantages qui précèdent, ainsi que d'autres, de l'invention ressortiront de la description détaillée suivante des modes de réalisation, donnés à titre d'illustration et non de limitation en référence aux dessins annexés, sur lesquels :

- la figure 1 représente un circuit de contrôle de vitesse de balayage 100 selon un mode de réalisation ; et,
- la figure 2 illustre une séquence de commande du procédé commandé par vitesse de balayage 500 selon un mode de réalisation.

Description de l'invention

[0021] Comme précédemment mentionné, dans de nombreuses interfaces d'entrée/sortie à usage général, telles que les USB, il est nécessaire de fournir un signal qui varie entre un état bas, généralement 0 volt, et un état haut, généralement 3,3 volts, et il est nécessaire d'avoir un temps de montée/descente contrôlé pour réduire les EMI et le bruit d'alimentation/de masse. Le rapport pente montante sur pente descendante est principalement commandé par deux rétroactions capacitatives appariées. En outre, cette rétroaction capacitive appariée aidera à commander la tension de croisement de sortie de deux pilotes fonctionnant en phases opposées, qui est le rapport entre temps de retard pour augmenter et le temps de retard pour diminuer. Ce rapport de temps de transition est commandé grâce à la présente invention, qui propose un circuit de contrôle de vitesse de balayage 100 pour un circuit intégré. Comme illustré sur la figure 1, ledit circuit de contrôle de vitesse de balayage 100 présente un noeud d'entrée 101 et un noeud de sortie 102, et comprend au moins un circuit principal 110 configuré pour être connecté à au moins un générateur de courant 160. Ledit au moins un circuit principal 110 comprend au moins une paire de premiers transistors de circuit auxiliaire 103 configurés pour être connectés à une première borne 901 d'une alimentation électrique 900, audit au moins un générateur de courant 160 et audit noeud d'entrée 101, au moins une première capacité principale 120, et comprend également au moins une paire de seconds transistors de circuit auxiliaire 107 configurés pour être connectés audit au moins un générateur de courant 160 et audit noeud d'entrée 101, au moins une seconde capacité principale 140.

[0022] L'état de la technique n'utilise qu'un seul condensateur de rétroaction, qui est commuté à chaque demi-période du signal d'horloge depuis la grille du pilote NMOS vers la grille du pilote PMOS et vice versa. Cette topologie affecte sérieusement le rapport entre le temps de retard pour augmenter et le temps de retard pour diminuer. En raison de la rétroaction capacitive, la tension de grille des pilotes est constante pendant la transition et pas trop éloignée de la tension seuil. Ensuite, la tension de grille doit augmenter jusqu'à ce que la tension d'alimentation soit désactivée afin que le condensateur de rétroaction soit complètement chargé avant d'être commuté sur l'autre grille. La condition initiale est donc

la même pour chaque transition. Comme le temps de transition peut représenter une grande partie de la demi-période d'horloge, jusqu'à environ 50 %, la pente de grille de tension est à peu près égale à la pente de sortie et la tension allant du „ plateau“ jusqu'à l'alimentation est assez grande, la tension de grille n'a pas assez de temps pour atteindre la tension d'alimentation avant la fin de la demi-période d'horloge. Dans ce cas, la condition initiale peut être très différente entre la transition de montée et de descente, ce qui affecte la transition mais beaucoup plus le délai avant la transition. Par conséquent, la présente invention utilise deux capacités, ladite au moins une première capacité principale 120 et ladite au moins une seconde capacité principale 140, et améliore ainsi le rapport de temps de transition, c'est-à-dire temps de montée sur temps de descente, et la plage de tension de croisement de sortie différentielle. La tension de croisement de sortie de deux pilotes fonctionnant en phases opposées est principalement commandée par le rapport entre le temps de retard pour augmenter et le temps de retard pour diminuer.

[0023] Ledit au moins un générateur de courant 160 comprend au moins une première source de courant 170 connectée à au moins une seconde source de courant 180. Ladite au moins une première source de courant 170 peut être connectée à une seconde borne 902 de ladite alimentation électrique 900 et à ladite au moins une paire de premiers transistors de circuit auxiliaire 103, et ladite au moins une seconde source de courant 180 peut être connectée à ladite première borne 901 de ladite alimentation électrique 900 et à ladite au moins une paire de seconds transistors de circuit auxiliaire 107, comme illustré sur la figure 1. Il convient de noter qu'une mise en oeuvre spécifique de la source de courant réduit la dépendance du temps de transition à la tension d'alimentation et améliore le contrôle du rapport de temps de transition.

[0024] D'un côté, ledit premier miroir de courant 170 comprend une première sortie cascode 176, 177 faite d'une première sortie cascode NMOS 177 connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire 103 et d'une seconde sortie cascode NMOS 176 cascodée par ladite première sortie cascode NMOS 177 et connectée à ladite seconde borne 902 de ladite alimentation électrique 900.

[0025] Comme le montre la figure 1, un transistor NMOS connecté en diode d'entrée 171 présente une première source NMOS 172 connectée à ladite seconde borne 902 de ladite alimentation électrique 900, un premier drain NMOS 173 connecté à une première grille NMOS 174, à une grille de ladite seconde sortie cascode NMOS 176 et, selon certains modes de réalisation, à une borne d'une première résistance 179.

[0026] Une autre borne de ladite première résistance 179 peut être connectée à une grille de ladite première sortie cascode NMOS 177 et à une borne d'une résistance commune 190.

[0027] De plus, ledit second miroir de courant 180 comprend une seconde sortie cascode 186, 187 faite d'une première sortie cascode PMOS 187 à ladite au moins une paire de premiers transistors de circuit auxiliaire 107 et d'une seconde sortie cascode PMOS 186 cascodée par ladite première sortie cascode PMOS 187 et connectée à ladite première borne 901 de ladite alimentation électrique 900.

[0028] Un transistor PMOS connecté en diode d'entrée 181 présente une première source PMOS 182 connectée à ladite première borne 901 de ladite alimentation électrique 900, un premier drain PMOS 183 connecté à une première grille PMOS 184, à une grille de ladite seconde sortie cascode PMOS 186 et de préférence à une borne d'une seconde résistance 189. L'autre borne de ladite seconde résistance 189 est connectée à une grille de ladite première sortie cascode PMOS 187 et à une autre borne d'une résistance commune 190.

[0029] En outre, ladite au moins une première capacité principale 120 est configurée pour commander la pente de sortie montante et au moins un premier transistor de circuit principal 130, généralement un transistor PMOS 130, ayant une première source principale 131 connectée à ladite première borne 901 de ladite alimentation électrique 900, ayant une première grille principale 132 connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire 103, et ayant un premier drain principal 133 connecté audit noeud de sortie 102 ; ladite au moins une première capacité principale 120 étant connectée entre ladite première grille principale 132 et ledit premier drain principal 133, sur un côté d'une capacité de charge 999.

[0030] En effet, ledit noeud de sortie 102, ladite au moins une première capacité principale 120 et ladite au moins une seconde capacité principale 130 construisent un circuit en Y. Le circuit en Y comporte trois bornes et, sur chacune d'elles, il y a au moins un composant électrique. Par exemple, sur une borne, il y a ledit noeud de sortie 102, sur une autre borne, ladite au moins une première capacité principale 120 et, sur la dernière, il y a ladite au moins une seconde capacité principale 140.

[0031] Ledit au moins un circuit principal 110 comprend au moins une paire de seconds transistors de circuit auxiliaire 107 fonctionnant en opposition de phase et configurés pour être connectés à ladite seconde borne 902, audit au moins un générateur de courant 160, audit noeud d'entrée 101, et à au moins une seconde capacité principale 140. Ladite au moins une seconde capacité principale 140 est configurée pour commander la pente de sortie descendante et au moins un second transistor de circuit principal 150 ayant une première seconde source 151 connectable à ladite seconde borne 902 de ladite alimentation électrique 900, ayant une seconde grille principale 152 connectée à ladite au moins une paire de seconds transistors de circuit auxiliaire 107, et ayant un second drain principal 153 connecté audit noeud de sortie 102 ; ladite au moins une seconde capacité principale 140 étant connectée entre ladite seconde grille principale 152 et ledit second drain principal 153.

[0032] Par conséquent, ledit circuit de contrôle de vitesse de balayage 100 permet de fournir un signal qui varie entre la tension de ladite première borne 901 de ladite alimentation électrique 900, par exemple 3,3 V, et la tension de ladite seconde borne 902 de ladite alimentation électrique 900, par exemple 0 V, à une pente de sortie de transition commandée afin de réduire les interférences électromagnétiques et le bruit d'alimentation, par exemple. De plus, le rapport de temps de transition, c'est-à-dire temps de montée sur temps de descente, et la plage de tension de croisement de sortie différentielle entre deux circuits pilotes commandés par vitesse de balayage fonctionnant en opposition, sont parfaitement commandés.

[0033] En fait, ledit circuit de contrôle de vitesse de balayage 100 met en oeuvre un procédé commandé par vitesse balayage 500, comme illustré sur la figure 2.

[0034] Ledit noeud d'entrée 101, généralement une entrée de signal d'horloge, peut faire la transition 510 de l'état bas à l'état haut, par exemple depuis ladite seconde valeur de tension de borne 902 vers ladite première valeur de tension de borne 901.

[0035] Dans le même temps, ledit noeud de sortie 102 peut être connecté 515 à ladite première borne 901 de ladite alimentation électrique 900 via ledit au moins un premier transistor de circuit principal 130, qui est activé et commence à conduire 517 quand un second transistor NMOS 109, qui est compris par ladite au moins une paire de seconds transistors de circuit auxiliaire 107, connecte ladite seconde grille principale 152 à la seconde borne 902 et désactive ainsi ledit au moins un second transistor de circuit principal 150, généralement un transistor NMOS 150.

[0036] Plus précisément, un premier transistor NMOS 105 connecte ladite première grille principale 132 au générateur de courant 160 et permet la conduction commandée dudit au moins un premier transistor de circuit principal 130.

[0037] En effet, en ayant une tension de commande constante 525, lesdits premiers transistors de circuit principal 130 fournissent un courant constant à une capacité de charge 999 de manière à produire une variation de tension de sortie linéaire et donc un courant constant passe à travers au moins une première capacité principale 120.

[0038] Dès que la tension de ladite première borne 901 de ladite alimentation électrique 900 est atteinte 530, le courant traversant au moins une première capacité principale 120 commence à diminuer jusqu'à ce que les courants soient annulés et cela permet de reprendre la transition de ladite première grille principale 132 et ledit au moins un premier transistor de circuit principal 130 est désactivé, puisque ledit noeud d'entrée 101 peut passer 540 de l'état haut à l'état bas, par exemple ladite première valeur de tension de borne 901 à ladite seconde valeur de tension de borne 902 de manière à connecter ladite première grille principale 132 à ladite première borne 901 de ladite alimentation électrique 900.

[0039] À ce moment, ledit procédé commandé par vitesse balayage 500 démarre la seconde demi-période de signal d'horloge et ladite capacité de charge 999 peut être connectée 545 entre ledit noeud de sortie 102 et ladite seconde borne 902 de ladite alimentation électrique 900 via ledit au moins un second transistor de circuit principal 150. Comme résultat, ledit au moins un second transistor de circuit principal 150 est activé et commence à conduire 547, quand un premier transistor PMOS 104, qui est compris par ladite au moins une paire de premiers transistors de circuit auxiliaire 103, connecte ladite première grille principale 132 à la première borne 901 et ainsi désactive ledit au moins un premier transistor de circuit principal 130.

[0040] Plus précisément, un second transistor PMOS 108 connecte ladite seconde grille principale 152 au générateur de courant 160 et permet ainsi la conduction commandée dudit au moins un second transistor de circuit principal 150.

[0041] En effet, en ayant une tension de commande constante 555, lesdits seconds transistors de circuit principal 150 fournissent un courant constant à une capacité de charge 999 de manière à produire une variation de tension de sortie linéaire et ainsi un courant constant passe à travers au moins une seconde capacité principale 140.

[0042] Dès que la tension de ladite seconde borne 902 de ladite alimentation électrique 900 est atteinte 560, le courant traversant au moins une seconde capacité principale 140 commence à augmenter jusqu'à ce que les courants soient annulés et ceci permet de reprendre la transition de ladite seconde grille principale 152 et ledit au moins un second transistor de circuit principal 150 est désactivé, puisque ledit noeud d'entrée 101 peut passer 510 de l'état bas à l'état haut de manière à connecter ladite seconde grille principale 152 à ladite seconde borne 902 de ladite alimentation électrique 900.

[0043] Ainsi, le signal qui varie entre la tension de ladite première borne 901 de ladite alimentation électrique 900, par exemple 3,3 V, et la tension de ladite seconde borne 902 de ladite alimentation électrique 900, par exemple 0 V, à une pente de sortie de transition commandée afin de réduire les interférences électromagnétiques et le bruit d'alimentation, par exemple. De plus, le rapport de temps de transition, c'est-à-dire temps de montée sur temps de descente, et la plage de tension de croisement de sortie différentielle entre deux circuits pilotes commandés par vitesse de balayage fonctionnant en opposition, sont parfaitement commandés.

[0044] En d'autres termes, quand ladite entrée de signal d'horloge 101 peut passer 540 de l'état haut à l'état bas, les conditions initiales peuvent être :

- ledit noeud de sortie 102 peut être égal à ladite première valeur de tension de borne 901 ;

- ladite première grille principale 132 peut représenter environ 10 % à 20 % de ladite première valeur de tension de borne 901 ; et,
- ladite seconde grille principale 152 peut être égale à ladite seconde valeur de tension de borne 902.

[0045] Ledit premier transistor PMOS 104 connecte ladite première grille principale 132 à la première borne 901 et désactive ainsi ledit au moins un premier transistor de circuit principal 130.

[0046] Ledit second transistor PMOS 108 est activé et permet à un courant de rappel de charger ladite seconde grille principale 152 et permet ainsi la conduction commandée dudit au moins un second transistor de circuit principal 150.

[0047] Quand ladite seconde grille principale 152 dépasse la tension seuil dudit au moins un second transistor de circuit principal 150, ledit noeud de sortie 102 commence à chuter en tirant un courant, proportionnel à sa pente descendante, depuis ladite au moins une seconde capacité principale 140. Quand ce courant atteint la valeur du courant de rappel de ladite au moins une seconde source de courant 180, ladite seconde grille principale 152 s'arrête de varier 555. Ensuite, ledit noeud de sortie 102 continue de chuter à pente constante, quelle que soit sa capacité de charge 999. Quand ledit noeud de sortie 102 atteint ladite seconde valeur de tension de borne 902, ladite seconde grille principale 152 reprend sa montée jusqu'à ce que ledit noeud d'entrée 101 passe de l'état bas à l'état haut.

[0048] Ainsi, ledit second transistor NMOS 109 connecte ladite seconde grille principale 152 à ladite seconde borne 902, ce qui désactive ledit au moins un second transistor de circuit principal 150, car un premier transistor NMOS 105 a permis à la descente de ladite première grille principale 132 de commencer, la transition de montée dudit noeud de sortie 102 de la même manière que la transition de descente dudit noeud de sortie 102 vue ci-dessus.

[0049] Ainsi, la pente minimale, ou le temps transitoire maximal, est quand la tension de ladite première grille principale 132 est plate 525 ou quand la tension de ladite seconde grille principale 152 est plate 555, qui peut être égale à la moitié de la période d'horloge. Quand ledit dernier temps de transition 535 de ladite première grille principale 132 commence, c'est-à-dire après que la tension de ladite première borne 901 de ladite alimentation électrique 900 est atteinte 530, la transition montante dudit noeud de sortie 102 est effectuée 545, c'est-à-dire quand ladite première borne de ladite alimentation électrique est connectée via ledit au moins un premier transistor de circuit principal. Par conséquent, ledit noeud d'entrée 101 peut chuter et commencer la demi-période 540 suivante. Cela signifie que ledit dernier temps de transition 535, dernier temps de transition de ladite première grille principale 132, peut être court, proche de zéro, ce qui permet au temps de transition maximal d'être assez proche de la moitié de la période d'horloge.

[0050] Il en est de même pour ladite seconde grille principale 152 et le dernier temps de transition 565. En effet, comme illustré sur la figure 2, ledit dernier temps de transition 565 de ladite seconde grille principale 152 commence, c'est-à-dire après que la tension de ladite seconde borne 902 de ladite alimentation électrique 900 est atteinte 560, la transition descendante dudit noeud de sortie 102 est effectuée 515, c'est-à-dire quand ladite seconde borne de ladite alimentation électrique est connectée via ledit au moins un second transistor de circuit principal. Par conséquent, ledit noeud d'entrée 101 peut monter 510 et commencer la prochaine demi-période. Cela signifie que ledit dernier temps de transition 565, dernier temps de transition de ladite seconde grille principale 152, peut être court, proche de zéro, ce qui permet au temps de transition maximal d'être assez proche de la moitié de la période d'horloge.

[0051] Dans le cas où il n'y a qu'un seul condensateur dont l'une de ses électrodes est connectée au noeud de sortie 102 et l'autre est commutée entre ladite première grille principale 132 et ladite seconde grille principale 152 à la transition 510, 540 dudit noeud d'entrée 101, le dernier temps de transition 535 de ladite première grille principale 132 peut être suffisamment long pour que la tension au niveau de ladite première grille principale 132 puisse atteindre ladite seconde valeur de tension de borne 902 et le dernier temps de transition 565 de ladite seconde grille principale 152 peut être suffisamment long pour que la tension au niveau à ladite seconde grille principale 152 puisse atteindre ladite première valeur de tension de borne 901.

[0052] Ladite capacité de charge 999 est donc toujours dans la même condition initiale qui est une charge complète à la tension d'alimentation électrique. Cette contrainte limite le temps de transition maximal à moins d'un quart de la période d'horloge.

[0053] Dans ce cas particulier, le temps transitoire maximal doit être inférieur à un quart de la période d'horloge. Juste après la commutation, la tension de grille du circuit principal qui commandera la prochaine transition dépend de la charge dans le condensateur et du rapport entre ce condensateur et la capacité de la grille du circuit principal. Comme les condensateurs de grille des deux pilotes principaux ne sont pas les mêmes, les conditions initiales des deux transitions ne sont pas les mêmes. Cela affectera au moins la tension de croisement. Une solution peut être de réduire cet effet en ayant un condensateur beaucoup plus gros que les condensateurs de grille de circuit principal. Cependant, le principal inconvénient est l'espace nécessaire dans le circuit intégré, en termes de surface, par rapport à la présente invention.

[0054] Si en plus la tension de grille initiale est supérieure au seuil lors de la régulation de la pente, le transistor principal sera trop conducteur au début de la transition, en produisant une pente plus élevée que la pente commandée, jusqu'à ce que la boucle atteigne sa valeur cible. Cela affectera à la fois le rapport entre le temps de montée et de descente et la tension de croisement.

[0055] Enfin, le temps de transition cible doit être beaucoup plus petit que la moitié de la période d'horloge, la valeur du condensateur doit être beaucoup plus grande que les condensateurs de grille de circuit principal, une horloge sans chevauchement est nécessaire, et la conduction des commutateurs ne doit pas affecter les performances, ce qui n'est pas le cas dans la présente invention.

Revendications

1. Circuit de contrôle de vitesse de balayage (100) d'un circuit intégré ; ledit circuit de contrôle de vitesse de balayage (100) ayant un noeud d'entrée (101) et un noeud de sortie (102) ; ledit circuit de contrôle de vitesse de balayage (100) comprenant au moins un circuit principal (110) connecté à au moins un générateur de courant (160); ledit au moins un circuit principal (110) comprenant :
 - au moins une paire de premiers transistors de circuit auxiliaire (103) connectés audit au moins un générateur de courant (160) ;
 - au moins une première capacité principale (120) ; ladite au moins une première capacité principale (120) est configurée pour contrôler une pente de sortie montante ;
 - au moins un premier transistor de circuit principal (130) ayant une première source principale (131) connectée à une première borne (901) d'une alimentation électrique, ayant une première grille principale (132) connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire (103), et ayant un premier drain principal (133) connecté audit noeud de sortie (102); ladite au moins une première capacité principale (120) étant connectée entre ladite première grille principale (132) et ledit premier drain principal (133) ;
 - au moins une paire de seconds transistors de circuit auxiliaire (107) fonctionnant en opposition de phase et connectés audit au moins un générateur de courant (160) ;
 - au moins une seconde capacité principale (140) ; ladite au moins une seconde capacité principale (140) est configurée pour contrôler une pente de sortie descendante ; et,
 - au moins un second transistor de circuit principal (150) ayant une première seconde source (151) connectable à une seconde borne (902) de ladite alimentation électrique, ayant une seconde grille principale (152) connectée à ladite au moins une paire de seconds transistors de circuit auxiliaire (107), et ayant un second drain principal (153) connecté audit noeud de sortie (102) ; ladite au moins une seconde capacité principale (140) étant connectée entre ladite seconde grille principale (152) et ledit second drain principal (153).
2. Circuit de contrôle de vitesse de balayage (100) selon la revendication 1, dans lequel ladite au moins une paire de premiers transistors de circuit auxiliaire (103) comprend un premier transistor PMOS (104) configuré pour connecter ladite première grille principale (132) à la première borne (901) et pour bloquer la conduction dudit au moins un premier transistor de circuit principal (130) et un premier transistor NMOS (105) pour connecter ladite première grille principale (132) au générateur de courant 160 et pour permettre la conduction contrôlée dudit au moins un premier transistor de circuit principal (130) et/ou ladite au moins une paire de seconds transistors de circuit auxiliaire (107) comprend un second transistor NMOS (109) configuré pour connecter ladite seconde grille principale (152) à la seconde borne (902) et pour bloquer la conduction dudit au moins un second transistor de circuit principal (150) et un second transistor PMOS (108) pour connecter ladite seconde grille principale (152) au générateur de courant (160) et pour permettre la conduction contrôlée dudit au moins un second transistor de circuit principal (150).
3. Circuit de contrôle de vitesse de balayage (100) selon la revendication 1 ou 2, dans lequel ladite paire de premiers transistors de circuit auxiliaire (103) et/ou ladite paire de seconds transistors de circuit auxiliaire (107) sont connectées audit noeud d'entrée (101).
4. Circuit de contrôle de vitesse de balayage (100) selon l'une quelconque des revendications précédentes, dans lequel ledit premier transistor de circuit principal (130) est un transistor PMOS (130) et/ou ledit second transistor de circuit principal (150) est un transistor NMOS (150).
5. Circuit de contrôle de vitesse de balayage (100) selon l'une quelconque des revendications précédentes, dans lequel ledit générateur de courant (160) comprend au moins une première source de courant (170) connectée à au moins une seconde source de courant (180) :
 - ladite première source de courant (170) étant connectée à ladite seconde borne (902) de ladite alimentation électrique et à ladite paire de premiers transistors de circuit auxiliaire (103); et,
 - ladite seconde source de courant (180) étant connectée à ladite première borne (901) de ladite alimentation électrique (900) et à ladite paire de seconds transistors de circuit auxiliaire (107).
6. Circuit de contrôle de vitesse de balayage (100) selon la revendication 5, dans lequel ladite au moins une première source de courant (170) comprend un premier miroir de courant (170), comprenant de préférence des transistors NMOS, et/ou ladite au moins une seconde source de courant (180) comprend un second miroir de courant (180), comprenant de préférence des transistors PMOS.
7. Circuit de contrôle de vitesse de balayage (100) selon la revendication 6, dans lequel :
 - ledit premier miroir de courant (170) comprend une première sortie cascode (176, 177) faite d'une première sortie cascode NMOS (177) connectée à ladite au moins une paire de premiers transistors de circuit auxiliaire (103) et d'une

seconde sortie cascode NMOS (176) connectée à ladite seconde borne (902) de ladite alimentation électrique, et un transistor NMOS connecté en diode d'entrée (171) ayant une première source NMOS (172) connectée à ladite seconde borne (902) de ladite alimentation électrique, un premier drain NMOS (173) connecté à une première grille NMOS (174), à une grille de ladite seconde sortie cascode NMOS (176) et de préférence à une borne d'une première résistance (179) ; de préférence, une autre borne de ladite première résistance (179) est connectée à une grille de ladite première sortie cascode NMOS (177) et à une borne d'une résistance commune (190) ; et,

– ledit second miroir de courant (180) comprend une seconde sortie cascode (186, 187) faite d'une première sortie cascode PMOS (187) à ladite au moins une paire de premiers transistors de circuit auxiliaire (107) et d'une seconde sortie cascode PMOS (186) connectée à ladite première borne (901) de ladite alimentation électrique (900), un transistor PMOS connecté en diode d'entrée (181) ayant une première source PMOS (182) connectée à ladite première borne (901) de ladite alimentation électrique, un premier drain PMOS (183) connecté à une première grille PMOS (184), à une grille de ladite seconde sortie cascode PMOS (186) et de préférence à une borne d'une seconde résistance (189) ; de préférence, une autre borne de ladite seconde résistance (189) est connectée à une grille de ladite première sortie cascode PMOS (187) et à une autre borne d'une résistance commune (190).

8. Procédé de commande des temps de transition pour une interface entrée / sortie au moyen d'un circuit de contrôle de vitesse de balayage (100) selon l'une quelconque des revendications précédentes ; ledit procédé commandé par vitesse de balayage (500) comprenant :
 - une transition (510, 540) dudit noeud d'entrée (101) entre ladite seconde borne (902) de ladite alimentation électrique et ladite première borne (901) de ladite alimentation électrique ;
 - une connexion (515, 545) dudit noeud de sortie (102) à ladite première borne (901) de ladite alimentation électrique via ledit au moins un premier transistor de circuit principal (130) ou ladite seconde borne (902) de ladite alimentation électrique via ledit au moins un second transistor de circuit principal (150) ;
 - une initiation de conduction (517, 547) dudit au moins un premier transistor de circuit principal (130) ou dudit au moins un second transistor de circuit principal (150) ;
 - en ayant une tension de commande constante (525, 555), lesdits transistors de circuit principal (130, 150) fournissent un courant constant à une capacité de charge (999) de manière à produire une variation de tension de sortie linéaire et donc un débit de courant constant à travers au moins une première capacité principale (120) ou au moins une seconde capacité principale (140) ;
 - en ayant le noeud de sortie (102) atteignant ladite seconde borne (902) de ladite alimentation électrique ou ladite première borne (901) de ladite alimentation électrique et un courant passant à travers l'au moins une première capacité principale (120) ou l'au moins une seconde capacité principale (140) diminue jusqu'à ce que les courants soient annulés et permettent de reprendre la transition de ladite première grille principale (132) ou de ladite seconde grille principale (152) ;
 - une connexion de ladite première grille principale (132) à ladite première borne (901) de ladite alimentation électrique de manière à désactiver ledit au moins un premier transistor de circuit principal (130) ou ladite seconde grille principale (152) à ladite seconde borne (902) de ladite alimentation électrique de manière à désactiver ledit au moins un second transistor de circuit principal (150).

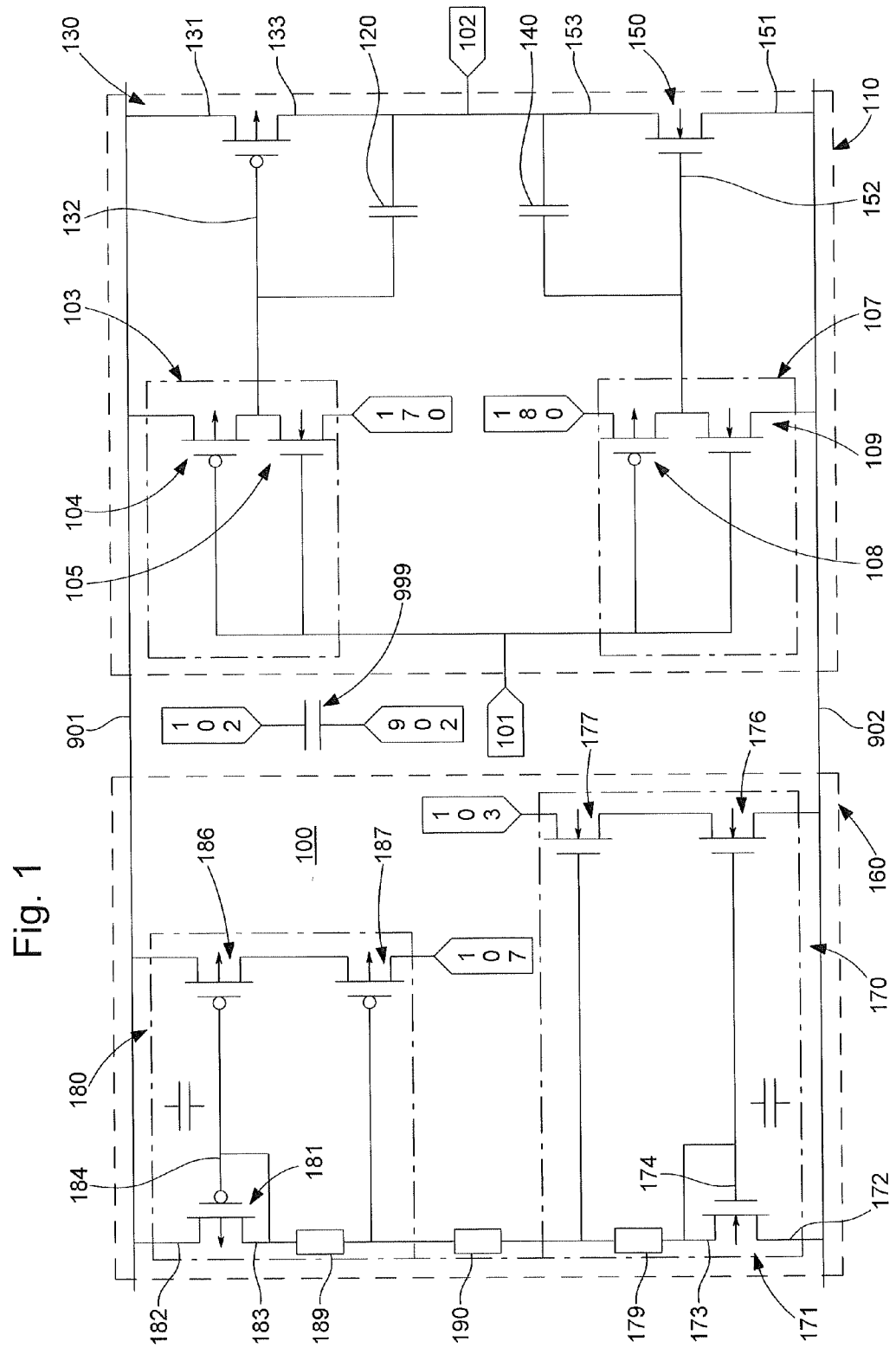


Fig. 2

