

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年8月14日(14.08.2014)



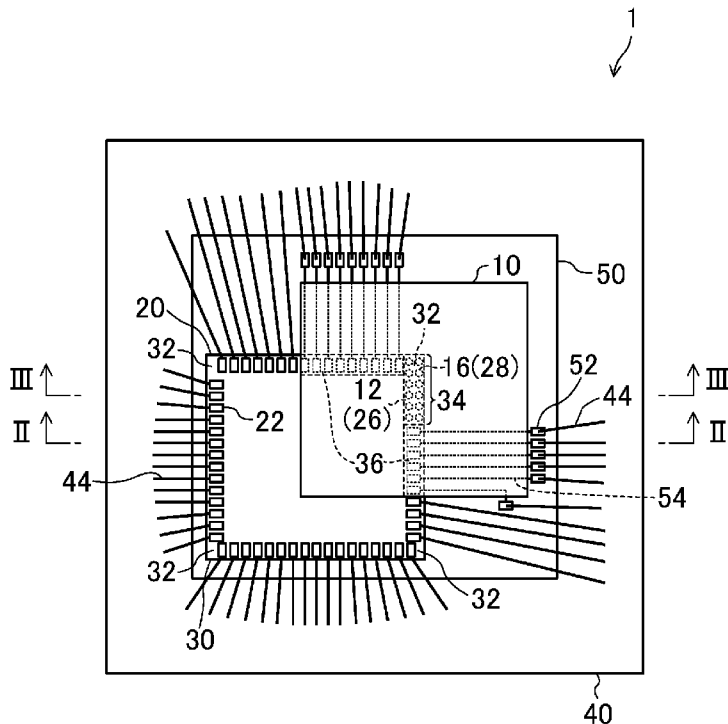
(10) 国際公開番号

WO 2014/122882 A1

- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2014/000163
- (22) 国際出願日: 2014年1月15日(15.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-020155 2013年2月5日(05.02.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 松村 陽一 (MATSUMURA, Yoichi). 木村 文浩 (KIMURA, Fumihiro). 佐藤 亘 (SATOU, Wataru). 伊藤 光実 (ITO, Mitsumi).
- (74) 代理人: 特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device (1), wherein: a lower side chip (20) has a square region (32), and a first connection terminal group (26) provided in a linear region (34) that includes a region that extends from the square region along one side; an upper side chip (10) has a second connection terminal group (12); and the upper side chip (10) and the lower side chip (20) are disposed so that at least portions of the first and second connection terminal groups (26, 12) overlap, at least portions of the first and second connection terminal groups (26, 12) being electrically connected to each other.

(57) 要約: 半導体装置 (1) において、下側チップ (20) は、角領域 (32) と、当該角領域から1辺に沿って延びる領域とを含む直線領域 (34) に設けられた第1の接続端子群 (26) を有し、上側チップ (10) は、第2の接続端子群 (12) を有し、上側チップ (10) と下側チップ (20) とは、第1および第2の接続端子群 (26, 12) が少なくとも一部で重なるように配置されており、第1および第2の接続端子群 (26, 12) は少なくとも一部が互いに電気的に接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、特に、半導体集積回路を３次元で実装する技術に関する。

背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration）の製造プロセスの微細化によってチップの高密度化・高集積化が可能となり、これによって、半導体集積回路では、小型化、多機能化および高速化などの高性能化が実現される。製造プロセスの微細化が進むと、トランジスタの発熱を伴うリーク電流の増大や配線遅延などの問題が顕著になるため、チップの２次元平面上において、さらなる微細化を実現するのが困難になりつつある。そこで、この問題を解決する技術として、縦方向に複数のチップを実装する３次元実装技術が提案されている。

[0003] このような半導体装置として、２つのチップを、その重心をずらしてフェイスダウンボンディング方式で互いに接合したＣｏＣ（Chip On Chip）型のものが開示されている（例えば、特許文献１参照）。２つのチップをずらして配置することで、上側チップのサイズが下側チップ以上であっても、下側チップの端部と外部とをボンディングワイヤによって接続することができる。

先行技術文献

特許文献

[0004] 特許文献１：特開２００５－１８３９３４号公報

発明の概要

発明が解決しようとする課題

[0005] ３次元で実装された半導体装置において、上側チップおよび下側チップには、これらを電氣的に接続するための接続領域が設けられる。また、下側チ

ップの接続領域以外には、機能ブロックなどが配置される。特許文献１には、下側チップの接続領域がいくつか例示されている。

[0006] ところが、特許文献１の半導体装置では、下側チップの接続領域の位置によっては、機能ブロック同士を接続するための配線を効率的に配置することができなくなって下側チップの面積を増大する必要性が生じたり、あるいは、下側チップに機能ブロックなどを配置できないデッドスペースが生じたりするおそれがある。

[0007] かかる点に鑑みて、本開示は、半導体装置において、下側チップの面積増大およびデッドスペースの発生を抑制することを課題とする。

課題を解決するための手段

[0008] 上記課題を解決するため本発明によって次のような解決手段を講じた。すなわち、上側チップと下側チップとを備え、当該上側チップと当該下側チップとが、平面視で一部が重なるように配置された半導体装置において、前記下側チップは、前記上側チップと対向する面において、当該下側チップの角領域と、当該角領域から当該下側チップの１辺に沿って延びる領域とを含む直線領域に設けられた第１の接続端子群を有し、前記上側チップは、前記下側チップと対向する面において、第２の接続端子群を有し、前記上側チップと前記下側チップとは、前記第１の接続端子群と前記第２の接続端子群が少なくとも一部で重なるように配置されており、前記第１の接続端子群と前記第２の接続端子群とは、少なくとも一部が互いに電氣的に接続されている。

[0009] これによると、半導体装置において、上側チップと下側チップとは平面視で一部が重なるように配置されている。上側チップには、下側チップと対向する面において第２の接続端子群が設けられている。下側チップには、上側チップと対向する面において第１の接続端子群が設けられている。第１の接続端子群は、下側チップの角領域と、この角領域から下側チップの１辺に沿う領域とを含む直線領域に設けられる。そして、第１および第２の接続端子群の少なくとも一部は重なっており、例えば、この重なる領域において互いに電氣的に接続されている。つまり、第１の接続端子群は、下側チップの角

領域を含む端部に、下側チップの辺に沿って直線的に設けられているため、例えば下側チップの端部と第1の接続端子群との間において、デッドスペースが生じにくくなる。

[0010] また、下側チップの例えばコア領域に複数の機能ブロックを配置した場合であっても、第1の接続端子群によって、各機能ブロック同士を接続する配線が阻害されにくくなる。したがって、これら配線を効率的に配置することができるため、下側チップの面積が増大するのを抑制することができる。

[0011] また、上記半導体装置は、前記下側チップの面方向において前記下側チップの外周部の少なくとも一部と隣り合うように設けられ、前記上側チップを支持する支持体を備えていてもよい。これにより、上側チップを安定して配置することができる。

[0012] また、前記支持体は、前記下側チップの外周部から離間して配置されていてもよい。つまり、支持体は、上側チップの一部を支持すればよい。したがって、支持体を形成する材料が少なく済むため、支持体を低コストで構成することができる。

[0013] あるいは、上記半導体装置は、複数の前記上側チップを備えていてもよい。この場合、前記下側チップには、複数の前記第1の接続端子群が設けられ、前記複数の上側チップのそれぞれの前記第2の接続端子群は、前記下側チップの前記複数の第1の接続端子群のいずれかと電氣的に接続されていてもよい。

[0014] これによると、上側チップが例えばメモリ回路である場合、複数のメモリ回路を実装することができるため、半導体装置全体としてのメモリ容量を増大することができる。

発明の効果

[0015] 本開示によると、半導体装置において、下側チップの面積増大およびデッドスペースの発生を抑制することができる。

図面の簡単な説明

[0016] [図1]図1は、第1の実施形態に係る半導体装置の平面図である。

[図2]図2は、図1の半導体装置のII-II面図である。

[図3]図3は、図1の半導体装置のIII-III断面図である。

[図4]図4は、上側チップと接続端子群とを示す模式図である。

[図5]図5は、図4の接続端子群の拡大図である。

[図6]図6は、第1の実施形態に係る半導体装置の模式図およびその一部の断面の拡大図である。

[図7]図7は、第1の実施形態に係る半導体装置の作用効果を説明するための図である。

[図8]図8は、第1の実施形態に係る樹脂拡張部の別の例を示す平面図である。

[図9]図9は、第2の実施形態に係る半導体装置の変形例を示す平面図である。

[図10]図10は、図9の半導体装置のX-X断面図である。

[図11]図11は、第3の実施形態に係る半導体装置の変形例を示す平面図である。

[図12]図12は、下側チップに配置されるI Oセルの変形例を示す模式図である。

[図13]図13は、従来の半導体装置の例を示す平面図である。

[図14]図14は、従来の半導体装置の別の例を示す平面図である。

[図15]図15は、従来の半導体装置の別の例を示す平面図である。

[図16]図16は、従来の半導体装置の断面図の一例である。

発明を実施するための形態

[0017] <第1の実施形態>

図1は、第1の実施形態に係る半導体装置の平面図である。図2は、図1の半導体装置のII-II断面図であり、図3は、図1の半導体装置のIII-III断面図である。本実施形態に係る半導体装置1は、C o C型の半導体装置であり、図1～図3に示すように、上側チップ10と下側チップ20とを備えている。上側チップ10および下側チップ20のサイズの大小関係は任意で

ある。上側チップ10と下側チップ20とは、上側チップ10の下面と下側チップ20の上面との一部が重なるようにして配置されている。下側チップ20は、例えばパッケージ基板40上に配置されている。

[0018] なお、パッケージ基板40上にチップを積層する場合に、配線層を積み上げる方向を上方とする。また、本実施形態では、上側チップ10と下側チップ20とが対向する面を主面と表記する。

[0019] 上側チップ10の主面の中央部には第2の接続端子群としての上側接続端子群12が設けられている。本実施形態では、上側チップ10として、例えばDRAM (Dynamic Random Access Memory) などのメモリ回路を想定している。以下、上側接続端子群12の具体例を図4および図5を用いて説明する。

[0020] 図4は、上側チップと上側接続端子群とを示す模式図である。図5は、図4の上側接続端子群の拡大図である。

[0021] 図4に示すように、上側接続端子群12は、上側チップ10の中央部に設けられ、行列状に配置された例えば4つのサブブロック14を含んでいる。ここで、各サブブロック14の形状は矩形であり、これにより、上側接続端子群12の全体の形状は矩形となる。また、図5に示すように、各サブブロック14は、例えば、X軸方向に500 μ m、Y軸方向に300 μ mの間隔で配置されている。さらに、各サブブロック14は、行列状に配置された複数の上側端子16を含んでいる。各サブブロック14は、例えば、X軸方向に50個、Y軸方向に4個の上側端子16を有する。複数の上側端子16は、図5に示すX軸方向およびY軸方向のそれぞれにおいて、例えば60 μ mのピッチで配置されている。

[0022] このように、本実施形態では、上側端子16が配置されるピッチの所定倍として例えば10倍以内の距離をあけて配置された複数のサブブロック14の集まりを上側接続端子群12とする。したがって、上側チップ10に複数の端子を含む集合体が存在していても、その集合体が、任意のサブブロック14から、上側端子16のピッチの所定倍よりも離れた位置に存在する場合

、この集合体（および集合体に含まれる端子）は上側接続端子群 12 に含まれないものとする。

[0023] なお、上側接続端子群 12 は、上側チップ 10 の中心付近の領域として例えば、上側チップ 10 の重心を含む所定の領域に位置しており、本実施形態では、この領域を上側チップ 10 の中央部と定義している。上側チップ 10 が DRAM である場合、上側チップ 10 の中央部に上側接続端子群 12 を設けることで、上側接続端子群 12 と DRAM 内の複数のメモリセルとの距離が均一化され、DRAM の動作速度が向上するなど、DRAM の特性の向上を図ることができる。したがって、上側接続端子群 12 は、DRAM の特性が劣化しない位置に配置されることが好ましい。

[0024] 次に、図 1 ～図 3 を参照して下側チップ 20 について説明する。下側チップ 20 は、複数の IO パッド 22 と、複数の IO セル 24 と、第 1 の接続端子群としての下側接続端子群 26 とを有する。本実施形態では、下側チップ 20 として、例えば、DRAM と電気信号のやり取りを行うロジック回路を想定している。また、下側チップ 20 の主面には、図示しないが、機能ブロックなども配置される。

[0025] 複数の IO パッド 22 は、下側チップ 20 の主面上における周辺領域 30 に配置されている。複数の IO パッド 22 は、パッケージ基板 40 の下面に設けられたボール 42 とボンディングワイヤ 44 によって電氣的に接続される。複数の IO セル 24 は、下側チップ 20 の周辺領域 30 において、複数の IO パッド 22 の下部、すなわち下側チップ 20 の内部に配置されており、対応する IO パッド 22 と電氣的に接続されている。

[0026] 下側接続端子群 26 は、下側チップ 20 の主面において、下側チップ 20 の角領域 32 と、角領域 32 から下側チップ 20 の 1 辺に沿って延びる領域とを含む直線領域 34 に設けられる。直線領域 34 は、下側チップ 20 の IO パッド 22 （あるいは IO セル 24 ）が配置される周辺領域 30 の一部を含む領域である。また、下側接続端子群 26 は、複数の下側端子 28 を含んでいる。そして、上側接続端子群 12 および下側接続端子群 26 は平面視で

重なっており、上側端子 16 および下側端子 28 は例えばバンプ 38 によって互いに電氣的に接続されている。また、下側端子 28 の下部には、図 3 に示すように、上側端子 16 と電氣的に接続される I O セル 29 が設けられている。

[0027] 下側チップ 20 の外周部には、上側チップ 10 を支持する支持体として、例えば樹脂材料で形成された樹脂拡張部 50 が設けられている。樹脂拡張部 50 は、下側チップ 20 の面方向において、下側チップ 20 の外周部と連続しており、下側チップ 20 と同じ高さで形成されている。下側チップ 20 および樹脂拡張部 50、ならびに上側チップ 10 の間には、例えば、絶縁性樹脂のアンダーフィルが注入されている。これにより、上側チップ 10 および下側チップ 20 への衝撃に対する強度が増す。

[0028] また、樹脂拡張部 50 上における上側チップ 10 の外周部よりも外側には、複数の拡張 I O パッド 52 が設けられている。複数の拡張 I O パッド 52 はそれぞれ、ボンディングワイヤ 44 によってボール 42 と電氣的に接続される。また、下側チップ 20 の主面には、配線引き出し領域 36 が形成されている。配線引き出し領域 36 は、上側チップ 10 と下側チップ 20 とが重なる領域のうち、直線領域 34 以外の周辺領域 30 に形成される。複数の拡張 I O パッド 52 は、樹脂上配線 54 によって、配線引き出し領域 36 に配置された I O パッド 22 と電氣的に接続されている。

[0029] 配線引き出し領域 36 に設けられた I O パッド 22 には、上側チップ 10 と下側チップ 20 との位置関係によりボンディングワイヤ 44 を直接接続することができない。したがって、本実施形態では、配線引き出し領域 36 の I O パッド 22 から拡張 I O パッド 52 まで樹脂上配線 54 を引き出し、拡張 I O パッド 52 とボンディングワイヤ 44 とを接続することで、配線引き出し領域 36 の I O パッド 22 とボンディングワイヤ 44 との間接的な接続を可能にしている。

[0030] 次に、本実施形態に係る下側チップ 20 における、周辺領域 30、角領域 32、および直線領域 34 について具体例を参照しながら説明する。

[0031] 図6（A）は、第1の実施形態に係る半導体装置の模式図であり、図6（B）は、図6（A）に示す符号Bにおける断面の拡大図である。図6（A）に示す符号Bは、上側接続端子群12と下側接続端子群26とが重なる領域の一部の領域である。なお、図6（A）において、上側チップ10を省略し、上側接続端子群12を図示している。図6（A）に示すように、下側チップ20の周辺領域30とは、I/Oセル24（あるいはI/Oパッド22）が配置されている領域であり、下側チップ20の外周部付近の領域である。また、角領域32とは、周辺領域30のうち、下側チップ20の4隅のいずれかを含む領域である。直線領域34とは、角領域32と角領域32から下側チップ20の1辺に沿って延びる領域とを含む領域である。なお、角領域32に、I/Oセル24およびI/Oパッド22が配置されていてもよい。

[0032] また、上側接続端子群12は、下側チップ20の直線領域34、つまり下側接続端子群26と重なるように位置している。なお、図6（A）では、下側接続端子群26の面積（直線領域34の面積）は、上側接続端子群12の面積よりも小さいが、これらの面積の大小関係は任意である。上側接続端子群12と下側接続端子群26とは、これらが重なる領域において、図6（B）に示すように、上側接続端子群12に含まれる上側端子16と下側接続端子群26に含まれる下側端子28とがバンプ38によって電氣的に接続されている。これにより、I/Oセル29と上側端子16との間で信号のやり取りなどが可能となる。なお、上側接続端子群12と下側接続端子群26とを極力短い距離で電氣的に接続するために、上側接続端子群12と下側接続端子群26との少なくとも一部が平面視で重なっていて、重なる領域においてこれらの少なくとも一部が電氣的に接続されていることが好ましい。この距離が短いほど、DRAMとしての上側チップ10とロジック回路としての下側チップ20との間における、信号や電圧の品質を高く維持することができ、半導体装置1の信頼性を高くすることができるからである。

[0033] 以上、本実施形態によると、下側チップ20の角領域32を含む直線領域34に下側接続端子群26を配置しているため、下側チップ20にデッドス

ペースが生じるのを抑制することができるとともに、下側チップ20の面積増大を回避することができる。この点について、従来技術である特許文献1の技術と比較しながら説明する。

[0034] 図13～図15は、特許文献1に例示されている半導体装置の構成図である。図13～図15に示すように、特許文献1の半導体装置100は、上側チップ101と下側チップ102とがその重心をずらして重なっている。そして、特許文献1には、半導体装置100について、下側チップ102に設けられたI/Oパッド103と、上側チップ101と下側チップ102とを接続するためのバンプエリア104とのレイアウトパターンがいくつか例示されている。

[0035] 図13および図14に示すように、下側チップ102において、I/Oパッド103とバンプエリア104との間には機能ブロック105、108、109などが配置される。これら機能ブロック105、108、109は配線によって接続されるが、配線の長さは短い方が好ましい。

[0036] したがって、図13では機能ブロック105を配線106で、図14では機能ブロック108、109を、それぞれ配線110、111で接続することが好ましい。ところが、そのように接続するのは困難である。具体的に、下側チップ102のバンプエリア104の下部には、図16に示すように、上側チップ101と複数の信号をやり取りするための内部I/Oセル120が設けられている。また、下側チップ102のバンプエリア104と内部I/Oセル120との間には、下側チップ102の上下の配線層を接続するためのビア121が設けられている。ビア121は信号の本数分存在しており、狭いピッチで配置されているため、各配線106、110、111をバンプエリア104の下部、つまりビア121の間に通して機能ブロック105、108、109同士を接続するのは困難である。

[0037] そのため、図13では、配線106ではなく配線107によって機能ブロック105同士を、図14では、配線110、111ではなく配線112、113によって機能ブロック108、109同士を、バンプエリア104を

迂回しながら接続する必要がある。このように接続すると、配線が長くなるばかりか、他の機能ブロックの配置の妨げになってしまう。その結果、下側チップ１０２の面積の増大を招いてしまうおそれがある。

[0038] また、図１５に示すようにバンプエリア１０４を形成した場合、バンプエリア１０４と下側チップ１０２の端部との間の領域１１４のように、機能ブロックなどを配置できない狭いスペースが生じる。このスペースは、デッドスペースとなってしまう。

[0039] このように、特許文献１に例示された技術では、バンプエリア１０４の適切な位置やビア１２１が存在する領域について考慮されておらず、バンプエリア１０４の位置によっては、下側チップ１０２の面積が増大したり、下側チップ１０２にデッドスペースが生じたりしてしまう。

[0040] これに対して、本実施形態では、上側チップ１０と下側チップ２０とが平面視で一部が重なる半導体装置１において、上側チップ１０の上側接続端子群１２と下側チップ２０の下側接続端子群２６とが重なるように配置されていて、これらが電氣的に接続されている。そして、下側接続端子群２６は、下側チップ２０の主面における、角領域３２を含む直線領域３４に配置される。これにより、下側チップ２０の主面において、デッドスペースが生じにくくなる。また、下側チップ２０の周辺領域３０以外のコア領域に複数の機能ブロックを配置した場合であっても、下側接続端子群２６が下側チップ２０の角領域３２を含む外周端部の一部にあるため、これら機能ブロック同士を接続するための配線を迂回させる必要がない。

[0041] 図７は、本実施形態に係る半導体装置の作用効果を説明するための図である。なお、図７では便宜上、上側チップ１０を省略している。図７に示すように、機能ブロック４６を配置した場合、これら機能ブロック４６同士を接続する配線４８を迂回させる必要がないため、機能ブロック４６同士を容易に接続することができる。つまり、本実施形態のように、下側チップ２０の角領域３２を含む直線領域３４に下側接続端子群２６を設けることで、コア領域の任意の箇所に配置した機能ブロック４６同士を接続する配線４８を最

短にすることができる。したがって、下側チップ２０の面積増大を抑制することができる。

[0042] 以上のように、本実施形態では、下側チップ２０のデッドスペースを削減しつつ、下側チップ２０の小面積化を図ることができる。

[0043] なお、樹脂拡張部５０は、下側チップ２０の外周部の全てにわたって連続するように形成される必要はなく、例えば、図８に示すように、下側チップ２０の一部と連続するように形成されていてもよい。これにより、樹脂材料が少なく済むため、半導体装置１の製造コストを削減することができる。

[0044] <第２の実施形態>

図９は、第２の実施形態に係る半導体装置の平面図である。図１０は、図９の半導体装置のＸ－Ｘ断面図である。

[0045] 本実施形態では、上側チップ１０を支持する支持体５９は、下側チップ２０の面方向において、下側チップ２０と隣り合って配置されている。

[0046] 具体的に、図９および図１０に示すように、上側チップ１０は、パッケージ基板４０上に設けられた例えば５個の球状の支持体５９によって支持されている。各支持体５９は、下側チップ２０の外周部から下側チップ２０の面方向に離間して配置されている。

[0047] 以上、本実施形態によれば、支持体５９の材料が少なく済み、半導体装置１の製造コストを削減することができる。

[0048] なお、本実施形態において、上側チップ１０を安定して支持できるのであれば、支持体５９の形状や個数、材料は任意である。また、支持体５９の配置位置は任意である。

[0049] 本実施形態では、図１に示す、拡張ＩＯパッド５２および樹脂上配線５４は不要であるため、配線引き出し領域３６におけるＩＯパッド２２も不要である。

[0050] <第３の実施形態>

図１１は、第３の実施形態に係る半導体装置の平面図である。本実施形態に係る半導体装置１は、例えば２つの上側チップ１０を有する。また、下側

チップ２０の主面には、上側チップ１０のそれぞれに対応する、２つの下側接続端子群２６が配置されている。なお、上側チップ１０を複数配置する場合、それぞれの上側チップ１０が重ならないように配置する。

[0051] 以上、本実施形態によれば、上側チップ１０がＤＲＡＭである場合において、半導体装置１全体のメモリ容量を増やすことができる。

[0052] なお、複数の上側チップ１０のサイズはそれぞれ同じでも異なってもよい。また、下側チップ２０に配置される下側接続端子群２６の数と、上側チップ１０の数とは同じである必要はない。また、本実施形態において、樹脂拡張部５０は、下側チップ２０の一部と連続するように形成されていてもよい。

[0053] 上記第１および第３の実施形態において、上側チップ１０の支持体を、樹脂材料で形成された樹脂拡張部５０として説明したが、支持体の材料は任意である。

[0054] また、上記第１および第３の実施形態において、上側チップ１０の支持体は、下側チップ２０の外周部と連続している必要はなく、外周部と隣り合うように設けられていてもよい。

[0055] また、上記各実施形態において、上側チップ１０をＤＲＡＭ、下側チップ２０をロジック回路として説明したが、これらは他の機能を有する半導体集積回路であってもよい。すなわち、上側チップ１０と下側チップ２０とが、平面視で一部が重なるように配置されていて、上側チップ１０の中央部に上側接続端子群１２が設けられ、下側チップ２０の直線領域３４に下側接続端子群２６が設けられ、上側接続端子群１２と下側接続端子群２６とが最短距離で電氣的に接続されているような構成であればよい。

[0056] また、上記各実施形態において、下側チップ２０をパッケージ基板４０上に設けることとして説明したが、リードフレーム方式を用いてもよい。リードフレーム方式を用いる場合、ダイパッド上に下側チップ２０と樹脂拡張部５０とを配置してもよい。

[0057] また、上記各実施形態において、上側チップ１０の上側接続端子群１２と

下側チップ２０の下側接続端子群２６との電気的な接続に、バンプ３８以外に例えばピラーを用いてもよい。

[0058] また、上記各実施形態において、下側チップ２０には、図６（Ａ）に示すようにＩＯセル２４が配置されるものとして説明したが、例えば図１２に示すように、ＩＯセル２４を千鳥状に配置してもよい。つまり、下側チップ２０の周辺領域３０におけるＩＯセル２４の配置の仕方は任意である。

[0059] また、各実施形態において、直線領域３４は、下側チップ２０の隣り合う角領域３２を２つ含んでいてもよい。つまり、下側接続端子群２６は、下側チップ２０の隣り合う角領域３２を含む１辺にわたって配置されていてもよい。

産業上の利用可能性

[0060] 本開示に係る半導体装置は、下側チップの効率的な利用によって、さらなる高密度化・高集積化が可能となるため、大容量化が求められるメモリなどに有用である。

符号の説明

[0061]	１	半導体装置
	１０	上側チップ
	１２	上側接続端子群（第２の接続端子群）
	２０	下側チップ
	２４	ＩＯセル
	２６	下側接続端子群（第１の接続端子群）
	３０	周辺領域
	３２	角領域
	３４	直線領域
	５０	樹脂拡張部（支持体）
	５２	拡張ＩＯパッド
	５４	樹脂上配線（配線）
	５９	支持体

請求の範囲

- [請求項1] 上側チップと下側チップとを備え、当該上側チップと当該下側チップとが、平面視で一部が重なるように配置された半導体装置であって、
- 前記下側チップは、前記上側チップと対向する面において、当該下側チップの角領域と、当該角領域から当該下側チップの1辺に沿って延びる領域とを含む直線領域に設けられた第1の接続端子群を有し、
- 前記上側チップは、前記下側チップと対向する面において、第2の接続端子群を有し、
- 前記上側チップと前記下側チップとは、前記第1の接続端子群と前記第2の接続端子群が少なくとも一部で重なるように配置されており、
- 前記第1の接続端子群と前記第2の接続端子群とは、少なくとも一部が互いに電氣的に接続されている
- ことを特徴とする半導体装置。
- [請求項2] 請求項1の半導体装置において、
- 前記下側チップの面方向において前記下側チップの外周部の少なくとも一部と隣り合うように設けられ、前記上側チップを支持する支持体を備えている
- ことを特徴とする半導体装置。
- [請求項3] 請求項2の半導体装置において、
- 前記支持体は、前記下側チップの外周部に連続する、樹脂材料で形成された樹脂拡張部である
- ことを特徴とする半導体装置。
- [請求項4] 請求項3の半導体装置において、
- 前記樹脂拡張部は、前記上側チップの外周部を含む範囲に形成されており、
- 前記樹脂拡張部上において、前記上側チップの外周部よりも外側に

配置された拡張ＩＯパッドと、

前記上側チップと前記下側チップとが重なる領域のうち、前記直線領域以外で、かつ当該下側チップの周辺領域に配置されるＩＯセルと前記拡張ＩＯパッドとを電氣的に接続する配線とを備えていることを特徴とする半導体装置。

[請求項5]

請求項2の半導体装置において、

前記支持体は、前記下側チップの外周部から離間して配置されている

ことを特徴とする半導体装置。

[請求項6]

請求項1の半導体装置において、

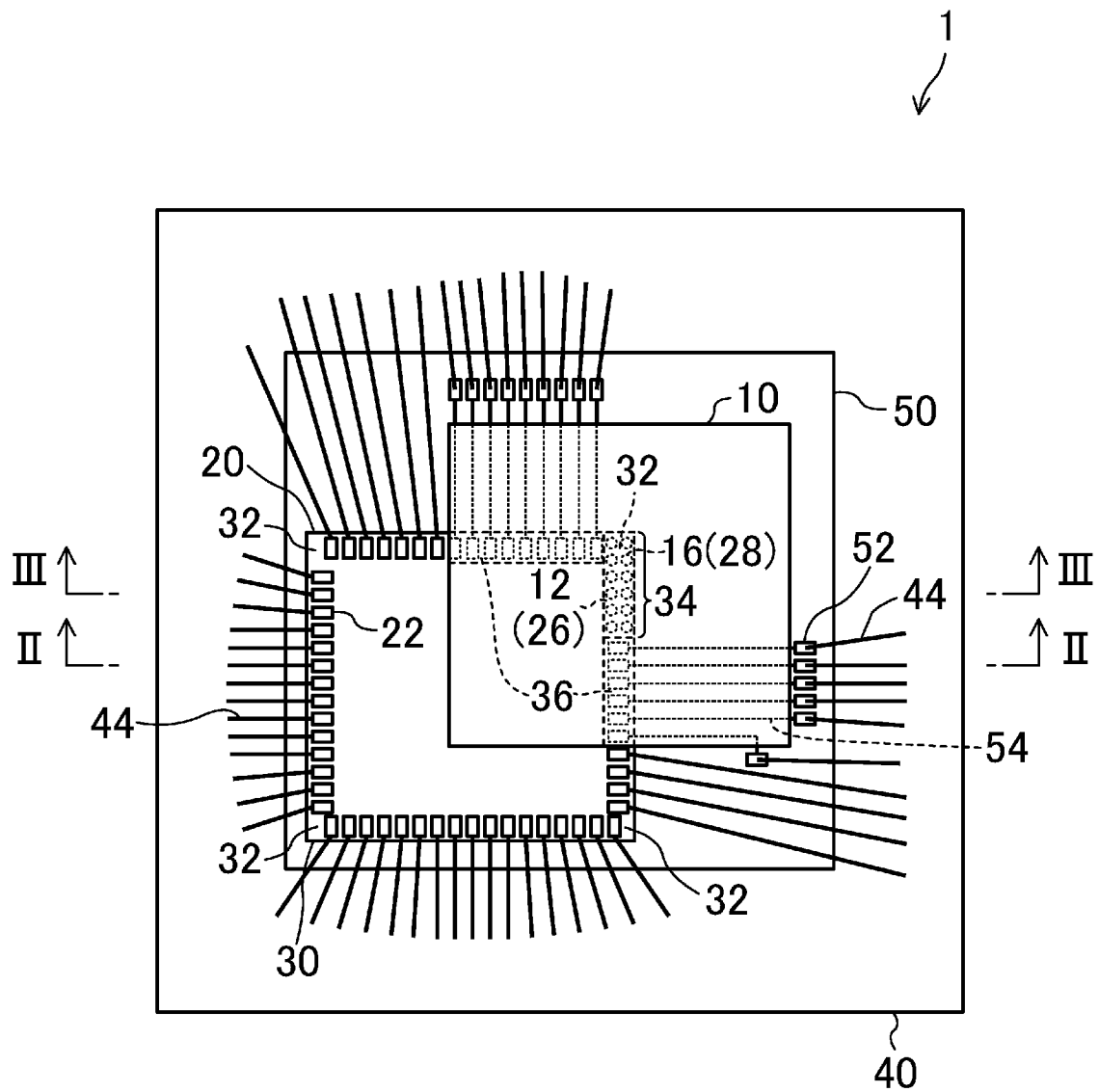
複数の前記上側チップを備え、

前記下側チップには、複数の前記第1の接続端子群が設けられ、

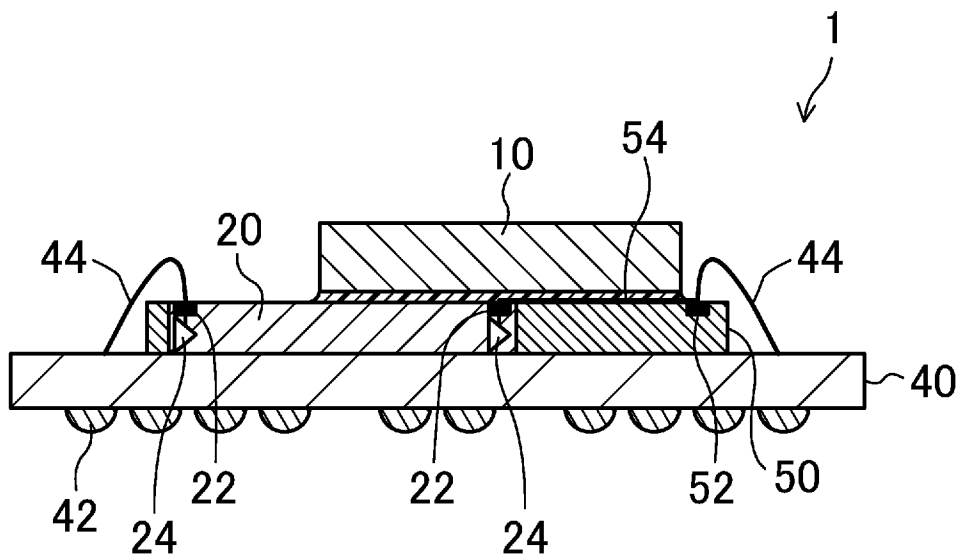
前記複数の上側チップのそれぞれの前記第2の接続端子群は、前記下側チップの前記複数の第1の接続端子群のいずれかと電氣的に接続されている

ことを特徴とする半導体装置。

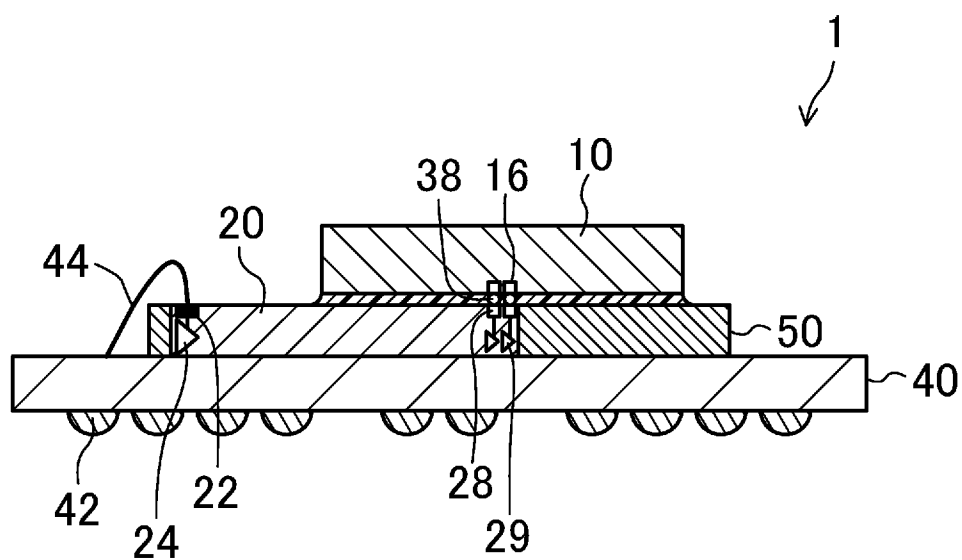
[図1]



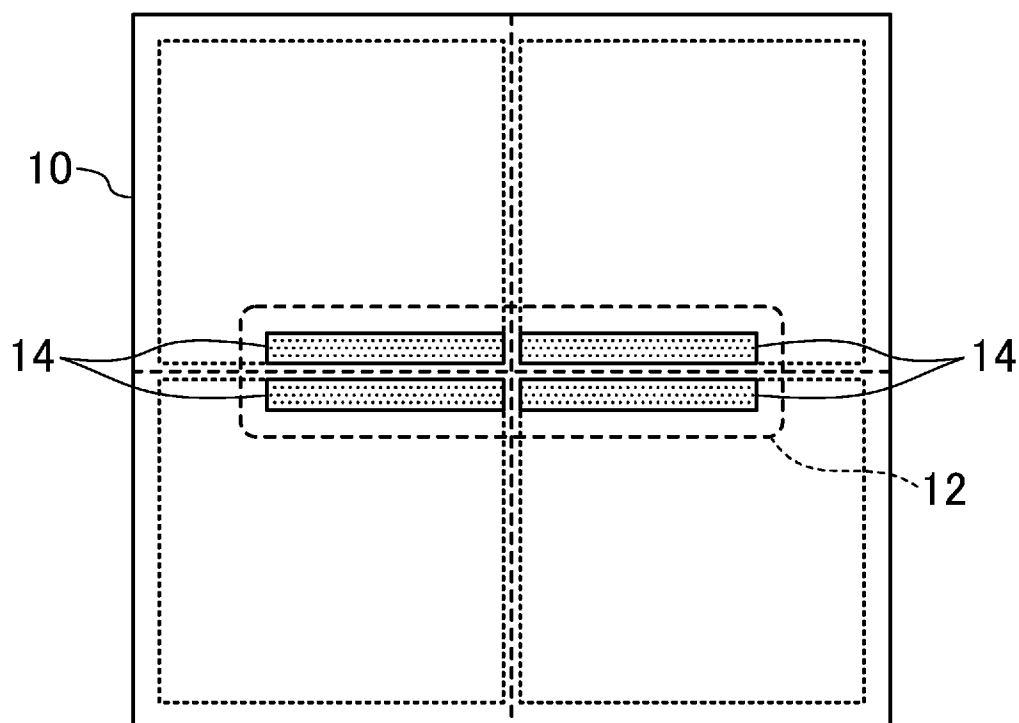
[図2]



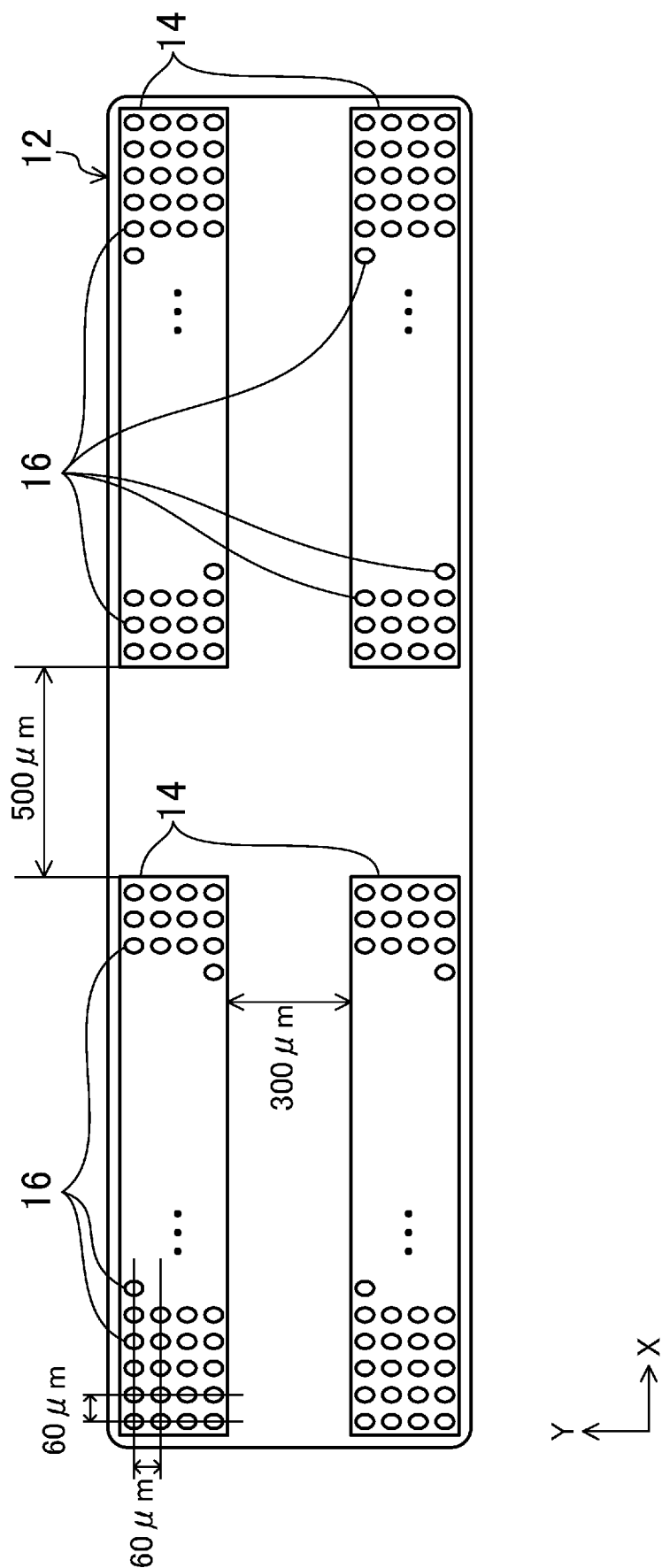
[図3]



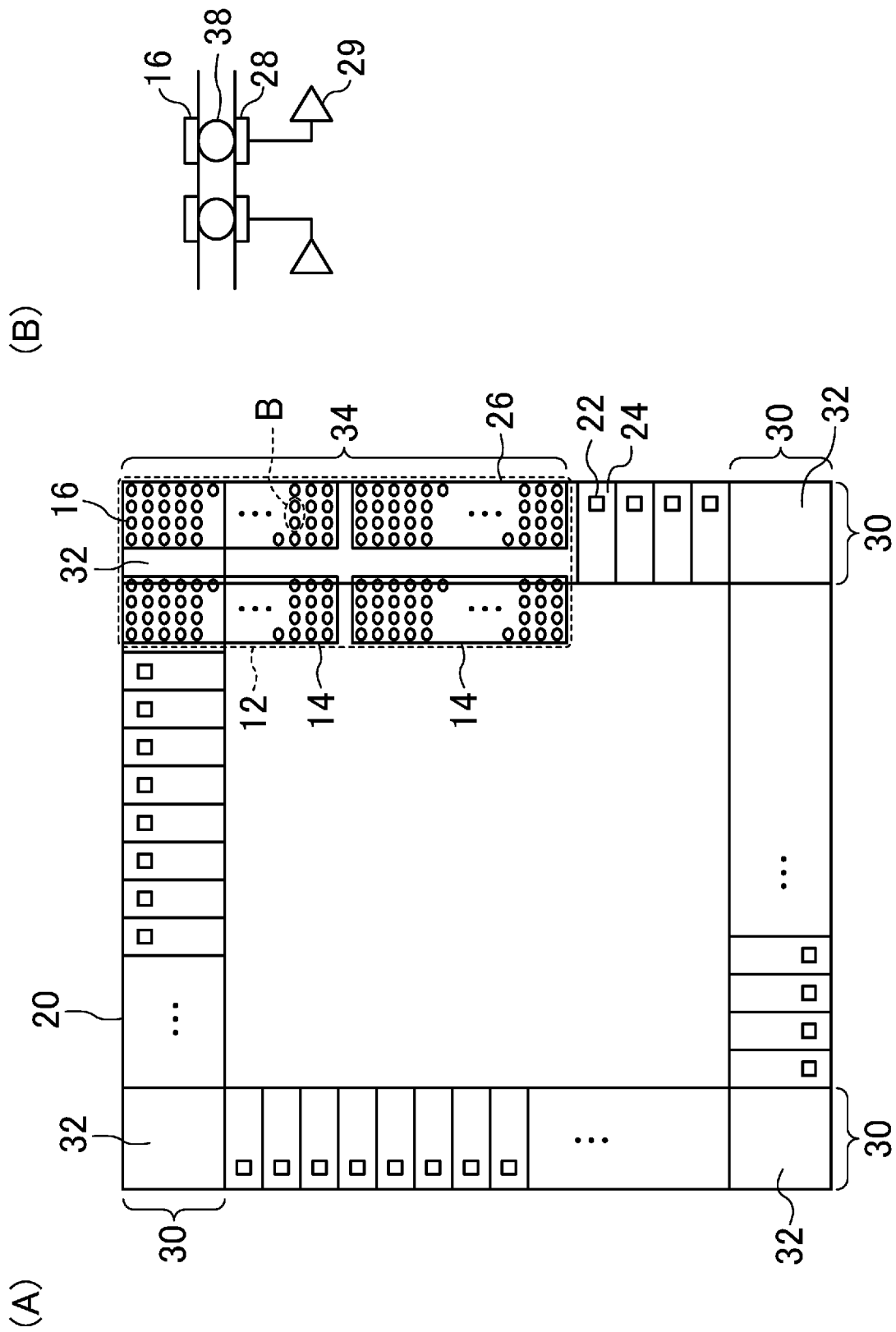
[図4]



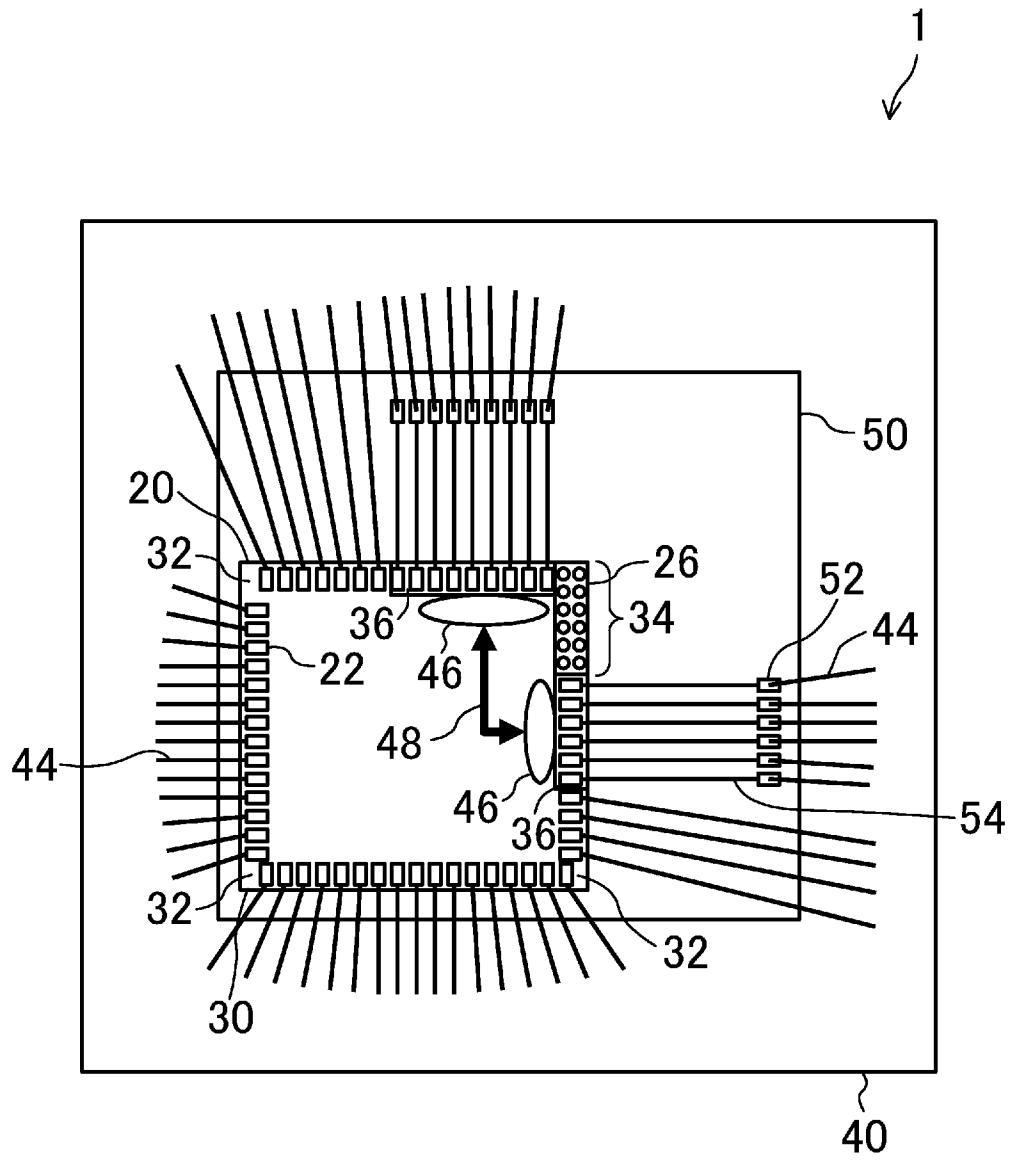
[図5]



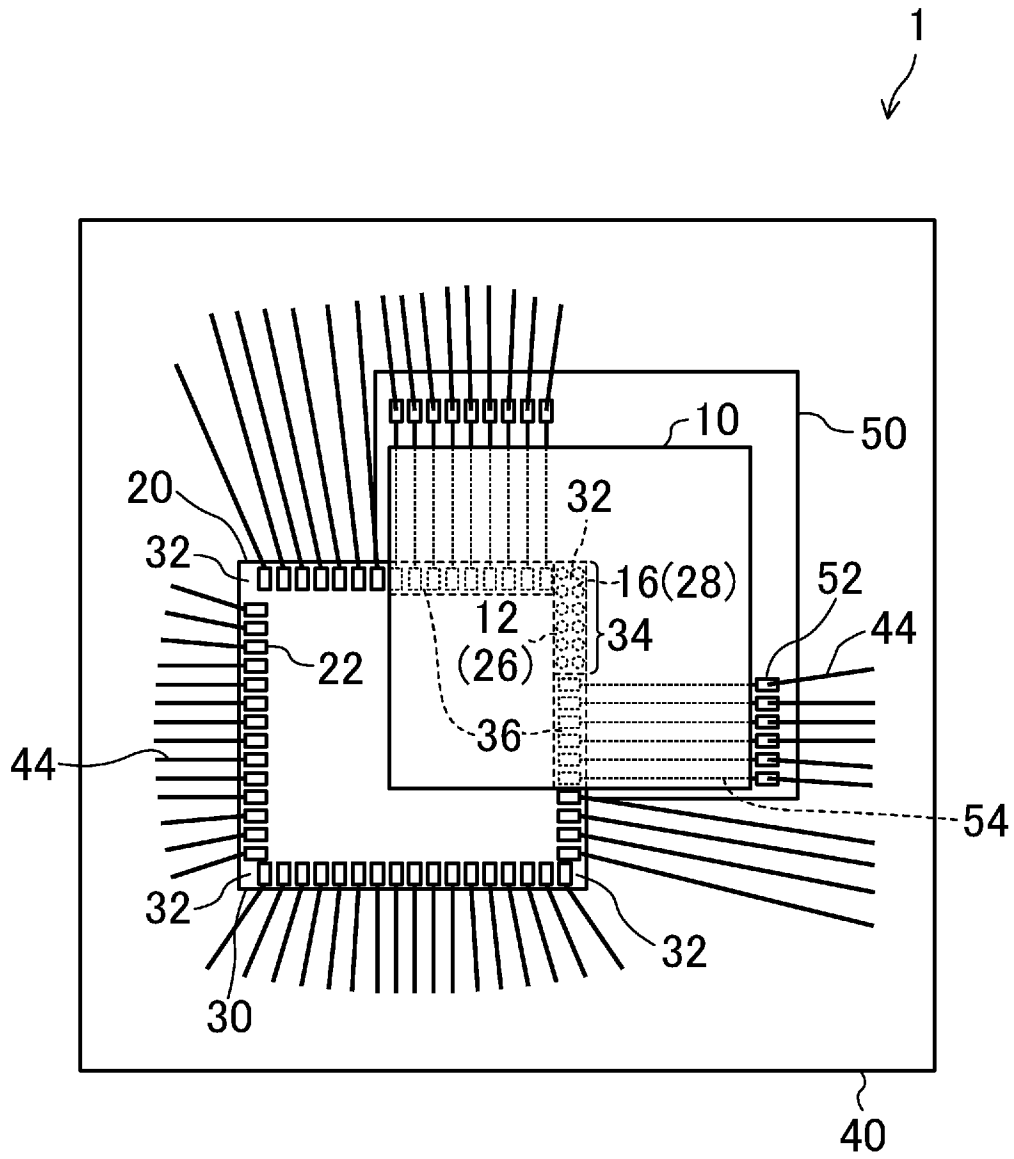
[図6]



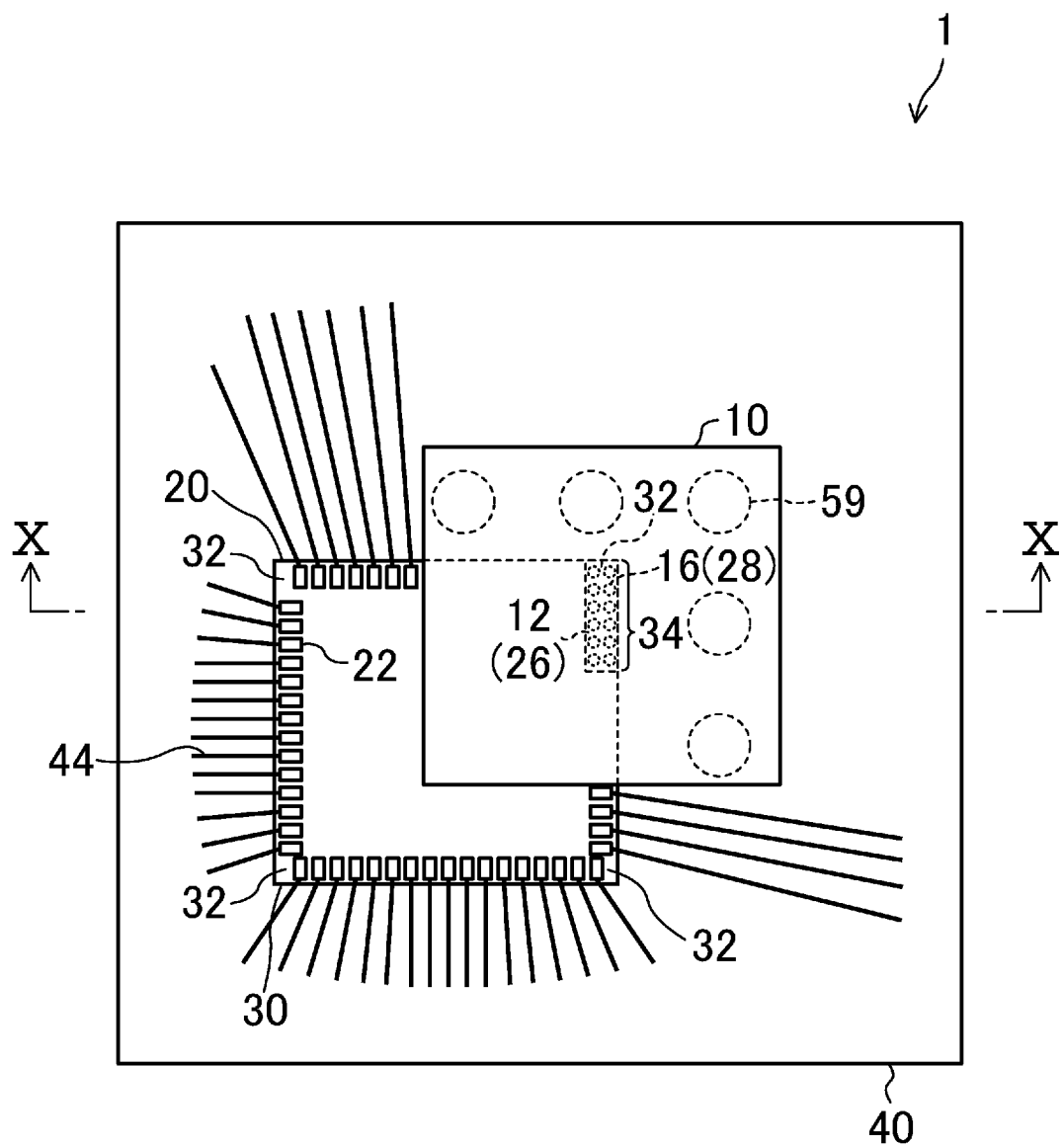
[図7]



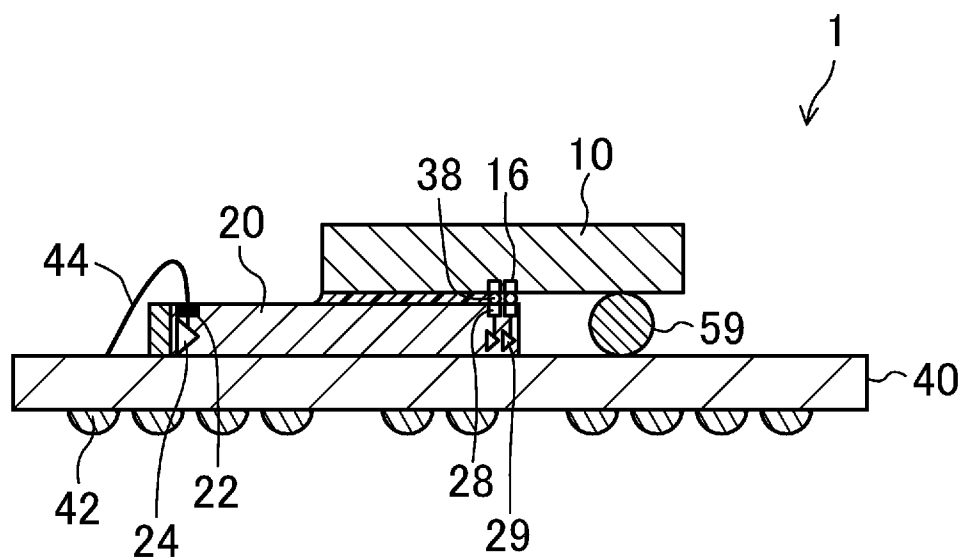
[図8]



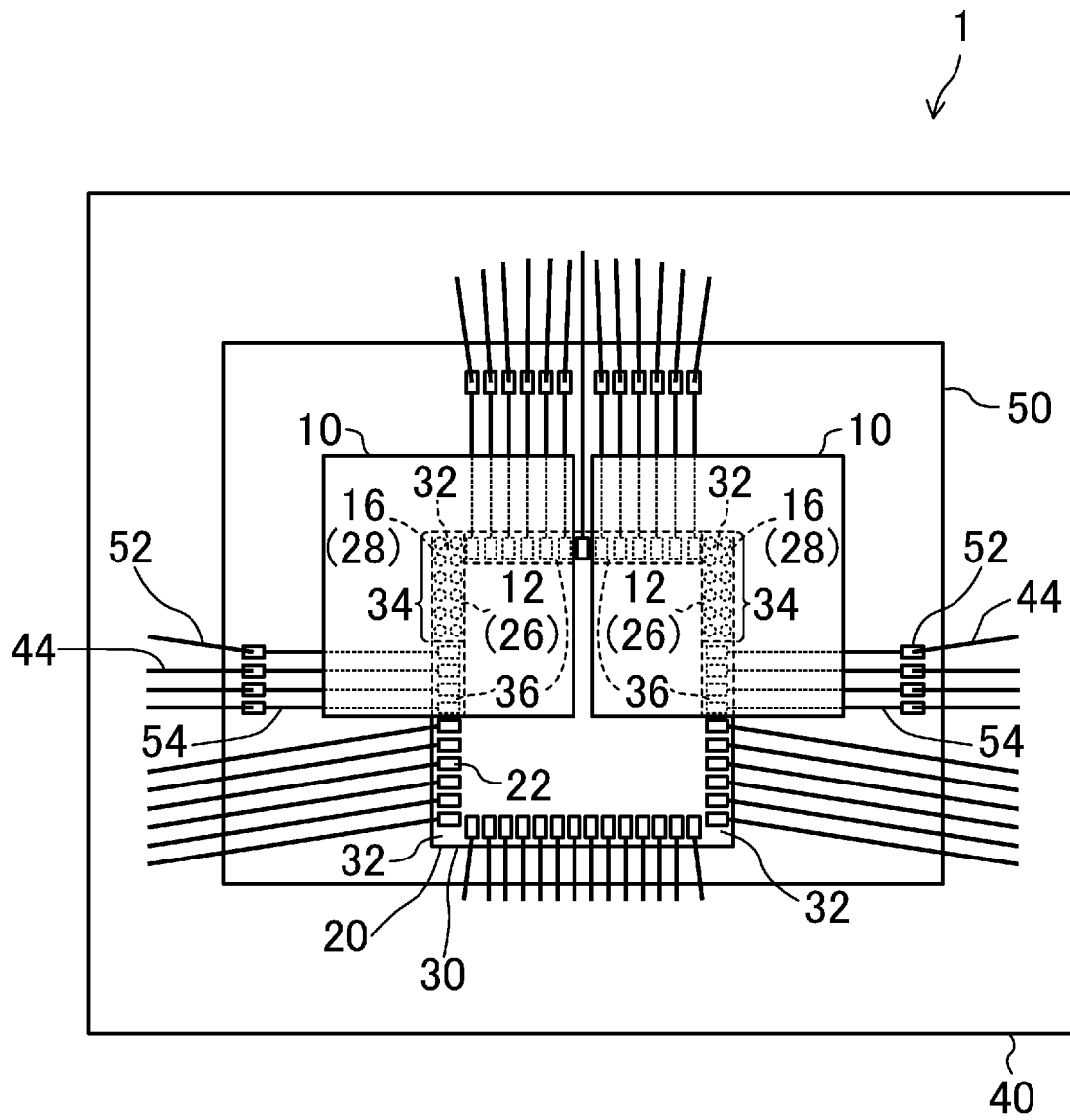
【図9】



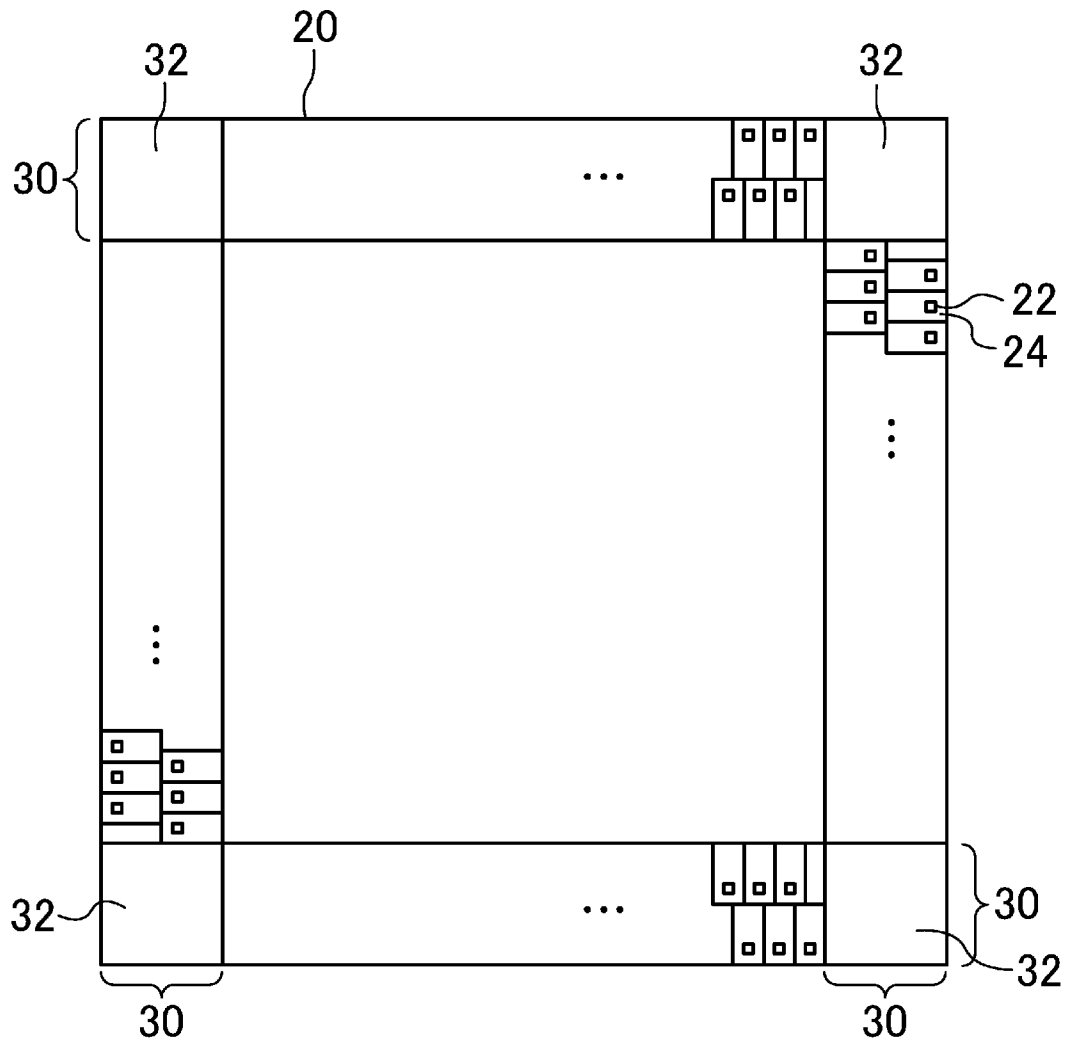
[図10]



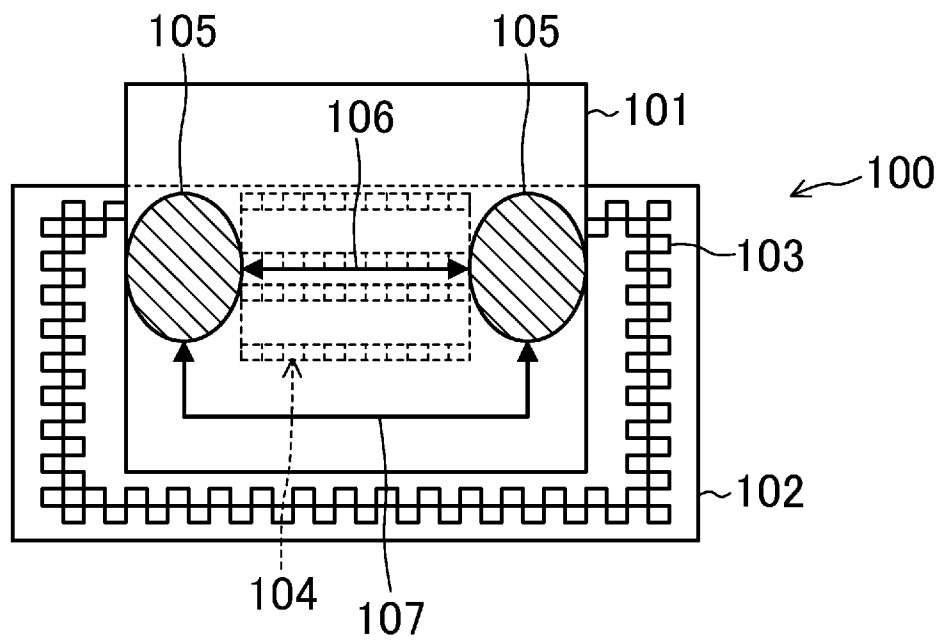
[図11]



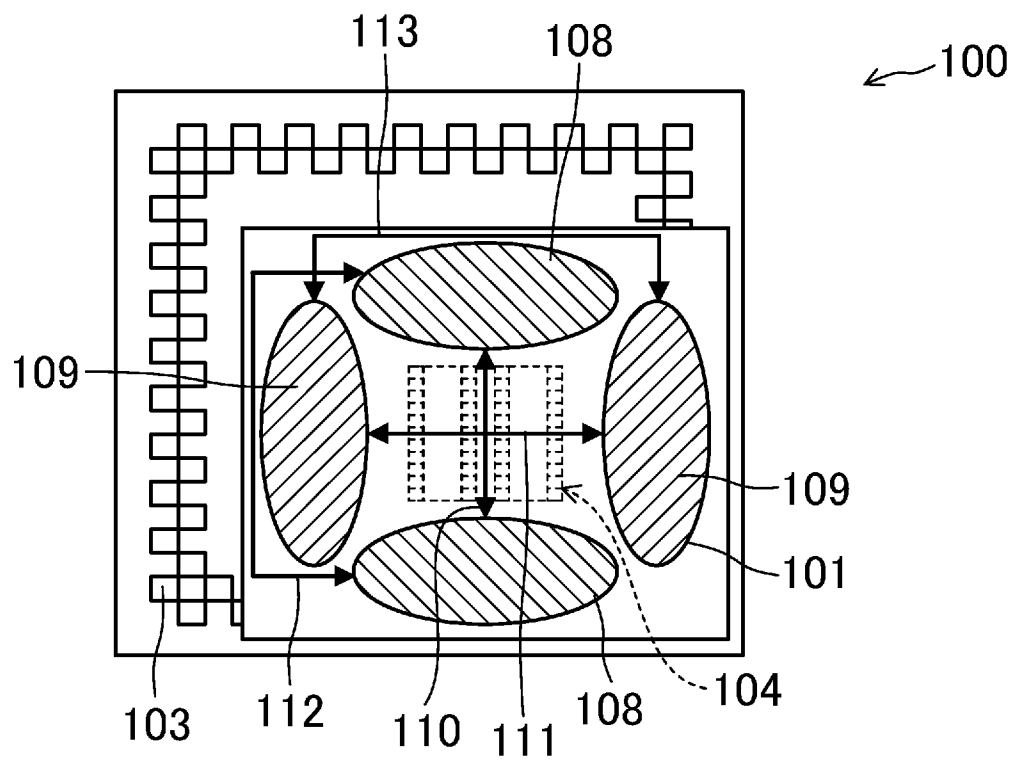
[図12]



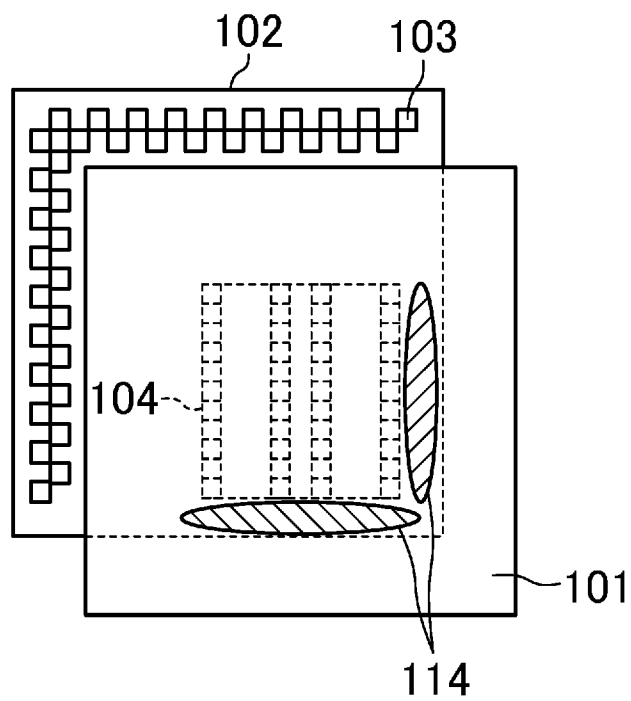
[図13]



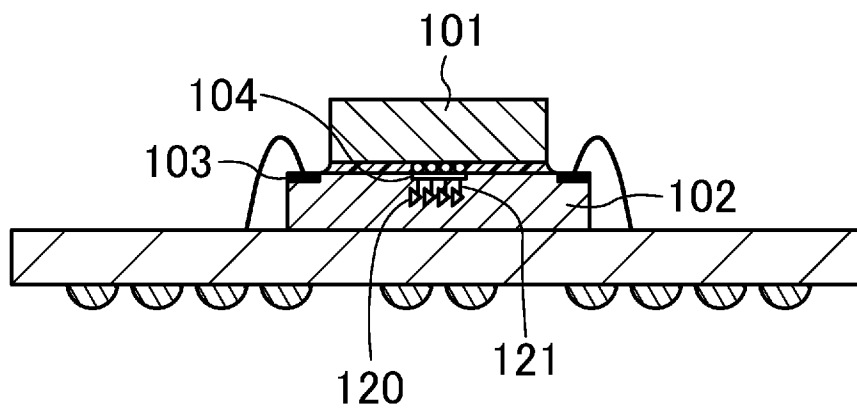
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/000163

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 05-029532 A (Fujitsu Ltd.), 05 February 1993 (05.02.1993), paragraphs [0008] to [0018]; fig. 1 (Family: none)	1-2, 5-6 3-4
X Y A	JP 2001-515276 A (Silicon Light Machines), 18 September 2001 (18.09.2001), paragraphs [0018] to [0024]; fig. 3, 4 & US 6096576 A & EP 1021834 A1 & WO 1999/012208 A1 & AU 7987998 A & NO 20001038 A & CN 1278365 A	1 2, 5 3-4, 6
Y	JP 2005-183934 A (NEC Electronics Corp.), 07 July 2005 (07.07.2005), paragraph [0051]; fig. 9 & US 2005/0121802 A1 & DE 102004055215 A & CN 1622326 A	2, 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2014 (05.03.14)

Date of mailing of the international search report
18 March, 2014 (18.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/000163

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-039689 A (Sony Corp.), 05 February 2004 (05.02.2004), paragraphs [0018] to [0034] & US 2004/0080341 A1 & KR 10-2004-0002701 A	1-6
A	JP 2008-270446 A (Toshiba Corp.), 06 November 2008 (06.11.2008), paragraphs [0010] to [0021]; fig. 2 (Family: none)	1-6
A	JP 2000-208697 A (Sony Corp.), 28 July 2000 (28.07.2000), paragraphs [0010] to [0017] (Family: none)	1-6
A	JP 2010-021449 A (Toshiba Corp.), 28 January 2010 (28.01.2010), paragraphs [0024] to [0027]; fig. 9 & US 2010/0007014 A1	1-6
A	JP 2001-250875 A (Shinko Electric Industries Co., Ltd.), 14 September 2001 (14.09.2001), paragraph [0041]; fig. 8 (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 05-029532 A（富士通株式会社）1993.02.05, 段落【0008】-【0018】、図1（ファミリーなし）	1-2, 5-6 3-4
X Y A	JP 2001-515276 A（シリコン・ライト・マシーンズ）2001.09.18, 段落【0018】-【0024】、図3、図4 & US 6096576 A & EP 1021834 A1 & WO 1999/012208 A1 & AU 7987998 A & NO 20001038 A & CN 1278365 A	1 2, 5 3-4, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 3 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 大介

5 D

9 8 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-183934 A (NECエレクトロニクス株式会社) 2005. 07. 07, 段落【0051】、図9 & US 2005/0121802 A1 & DE 102004055215 A & CN 1622326 A	2, 5
A	JP 2004-039689 A (ソニー株式会社) 2004. 02. 05, 段落【0018】 - 【0034】 & US 2004/0080341 A1 & KR 10-2004-0002701 A	1-6
A	JP 2008-270446 A (株式会社東芝) 2008. 11. 06, 段落【0010】 - 【0021】、図2 (ファミリーなし)	1-6
A	JP 2000-208697 A (ソニー株式会社) 2000. 07. 28, 段落【0010】 - 【0017】 (ファミリーなし)	1-6
A	JP 2010-021449 A (株式会社東芝) 2010. 01. 28, 段落【0024】 - 【0027】、図9 & US 2010/0007014 A1	1-6
A	JP 2001-250875 A (新光電気工業株式会社) 2001. 09. 14, 段落【0041】、図8 (ファミリーなし)	1-6