



Patent dodatkowy
do patentu nr _____

Zgłoszono: 10.01.1972 (P. 152835)

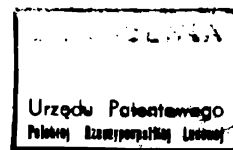
Pierwszeństwo: 12.01.1971 Republika
Federalna
Niemiec

Zgłoszenie ogłoszono: 20.04.1973

Opis patentowy opublikowano: 30.10.1976

MKP G06f 11/00

Int. Cl². G06F 11/00



Twórca wynalazku: _____

Uprawniony z patentu: Siemens Aktiengesellschaft, Monachium (Republika Federalna Niemiec) i Berlin Zachodni

**Sposób automatycznego wybierania informacji
o najmniejszej liczbie błędów z kilku następujących po sobie
bezprzewodowych transmisji informacji składającej się
z k-znaków pomiędzy wzajemnie ruchomymi urządzeniami
zapytującymi i odpowiadającymi oraz urządzenie
do stosowania tego sposobu**

1

Przedmiotem wynalazku jest sposób automatycznego wybierania informacji o najmniejszej liczbie błędów z kilku następujących po sobie bezprzewodowych transmisji informacji składającej się z k-znaków między wzajemnie ruchomymi urządzeniami zapytującymi i odpowiadającymi, w której każdy znak przedstawiony jest w kodzie „nzm”, a w urządzeniu zapytującym sprawdza się wagę kodu „n” i porównuje się z odpowiednim znakiem wcześniej odebranej informacji i przy prawidłowej wadze kodu i identyczności przesyła się dalej.

Znanych jest kilka sposobów (niemieckie wyłożenie patentowe 1293817, 1005115 i 1216347), w których wieloznakowa informacja składa się z bloków danych i zakłócone bloki danych mogą być rozpoznawane przy jej przesyłaniu. W sposobie opisanym w wyłożeniu Nr 1293817 każdy poszczególny blok przesyłany jest ustaloną ilość razy. W każdym odbieranym bloku danych badany jest kod. Do pamięci przesyła się pierwszy blok danych o prawidłowej wadze kodu. Ten sposób ma jednak wadę, a mianowicie nie rozpoznawane są bloki danych o prawidłowej wadze kodu, ale o nieprawidłowej zawartości i jako prawidłowe są zapamiętywane.

W sposobie przedstawionym w wyłożeniu patentowym Nr 1005115 stwierdza się przez jednorazowe identyczne lub zwierciadlane powtórzenie każdego bloku danych za pomocą kontroli kodu i porównywaniu przesyłanego, a także zakłóconego bloku

2

danych z jego powtórzeniem, że istnieje zakłócenie i przy prostym zakłóceniu rekonstruuje się natychmiast zakłócony blok danych. Przy niepoprawialnych złożonych zakłóceniach wewnątrz tego bloku danych błąd jest tylko wskazany. Prawdopodobieństwo nierozpoznanych błędów jest mniejsze niż opisane w pierwszym wyłożeniu patentowym. Nie jest ono jednak dostatecznie małe, ponieważ obydwa przesyłania — bloku danych i jego powtórzenia mogą być zakłócone w taki sam sposób, tak, że — jak w sposobie z pierwszego wyłożenia patentowego — blok danych o prawidłowej wadze kodu, ale nieprawidłowej zawartości rozpatrywany jest jako prawidłowy i może być zapamiętany. Także w sposobie podanym w wyłożeniu patentowym Nr 1126347 dokonuje się jednorazowego powtórzenia każdego poszczególnego bloku danych i kontroli kodu, a także porównania między blokiem danych i powtórzeniem. Ten sposób ma takie same wady jak sposób opisany w wyłożeniu patentowym Nr 1005115.

Urządzenia zapytujące mogą być umieszczone np. w urządzeniach kolejowych obok lub między szynami, tak że mogą one zapytywać znajdujące się w przejeżdżających wagonach towarowych urządzenia odpowiadające, w których ustawiona jest na stałe informacja identyfikująca wagony.

Informacja przesyłana z urządzeń odpowiadających może jednak zawierać błędy w stosunku do prawidłowej informacji np. na skutek uszkodzenia

3
tego urządzenia odpowiadającego lub chwilowego promieniowania zakłócającego. Część tych błędów może być rozpoznana i usunięta dzięki cyklicznemu przesyłaniu informacji k-znakowej tak często, aby ta informacja mogła być odebrana co najmniej dwa kolejne razy. Gdy urządzenie odpowiadające oddali się od obszaru działania urządzenia zapytującego, przesyłana informacja może być tylko odbierana częściowo. To powoduje np. w jednym z urządzeń analizujących dołączonych do urządzenia zapytującego wykonanie rozkazu analizy, a także pamiętania lub wydruku odebranej informacji.

Celem wynalazku jest opracowanie sposobu wybierania informacji o najmniejszej liczbie błędów z wielu informacji k-znakowych, które urządzenie zapytujące przy cyklicznym odczytywaniu odbiera kolejno, bezprzewodowo i po demodulacji podaje do analizy i wybiera informację o najmniejszej liczbie błędów. Sposób osiągnięcia tego celu charakteryzuje się tym, że dla znaków o nieprawidłowej wadze kodu i dla znaków nieidentycznych przesyłany jest znak błędu. Znaki błędu każdej informacji są zaliczane i porównywane z liczbą znaków błędnych wcześniej odebranej informacji i przy mniejszej liczbie znaków błędnych później odebranej informacji, informacja ta jako wybrana jest zapamiętywana aż do wyboru informacji o jeszcze mniejszej liczbie błędów.

Urządzenie do stosowania sposobu charakteryzuje się tym, że wyjście układu logicznego, który porównuje każdy znak z odpowiednim znakiem później odebranej informacji, dla znaków o nieprawidłowej wadze kodu i dla nieidentycznych znaków przesyła sygnał błędu i jest połączone z układem liczącym i porównującym dla znaków błędnych, a także z pamięcią kontrolną o k blokach dla aktualnie sprawdzanej informacji k-znakowej i że między wyjściem pamięci kontrolnej i wejściem pamięci buforowej dla informacji o aktualnie najmniejszej liczbie błędów włączony jest układ logiczny I, którego drugie wejście dołączone jest do układu liczącego i porównującego i tylko wtedy przepuszcza informację z pamięci kontrolnej do pamięci buforowej, gdy liczba znaków błędnych informacji co najwyżej jest równa liczbie zadanej przez dodatkowe środki przełączające.

Pierwszy wariant urządzenia zgodnie z wynalazkiem zawiera układ logiczny jednym wejściem połączony z wejściem, a drugim wejściem z wyjściem pamięci wstępnej o k blokach. Ponadto na wejściu pamięci wstępnej włączony jest układ cechujący błędne znaki z równoległym pierwszym układem kontroli kodu i dla znaków o nieprawidłowej wadze przesyła znak błędny, dalej do pierwszych m komórek pamięci kontrolnej dołączony jest drugi układ kontroli kodu, który przy każdym znaku o nieprawidłowej wadze kodu i każdym błędnym znaku wysyła sygnał błędu do układu liczącego i porównującego dla znaków błędnych, a inne wejście układu logicznego I włączonego między wyjście pamięci kontrolnej i wejście pamięci buforowej otwierane jest przez wyjście układu logicznego i porównującego wtedy, gdy liczba błędnych znaków informacji co najwyżej jest równa liczbie

4
zadanej przez przełącznik połączony z układem liczącym i porównującym.

Drugi wariant rozwiązania charakteryzuje się tym, że do przewodu wejściowego pamięci kontrolnej o k blokach dołączone są dodatkowa pamięć o k+1 blokach i pierwszy układ kontroli kodu, a do pierwszego bloku pamięci kontrolnej i do ostatniego bloku dodatkowej pamięci kontrolnej układ porównujący znaki. Układ porównujący znaki przy nieidentycznych znakach w obydwu blokach pamięci i pierwszy układ kontroli kodu dla znaku o nieprawidłowej wadze kodu wysyłają sygnał wyjściowy na jedno lub drugie wejście układu logicznego, który przy tym wysyła sygnał błędu, który w pierwszym bloku pamięci kontrolnej zapisuje znak błędu i przełącza w układzie liczącym i porównującym dla błędnych znaków licznik znaków błędnych w następny stan. W tym wariantcie istnieje drugi licznik znaków błędnych, który przełączony jest przez sygnał błędu drugiego układu kontroli kodu dołączonego do wejścia pamięci buforowej i istnieją środki przełączające, które porównują stany obydwu liczników znaków błędnych i tylko przy niższej wartości stanu pierwszego licznika znaków błędnych otwierają drugie wejście układu logicznego I włączonego między wyjście pamięci kontrolnej i wejście pamięci buforowej.

W obydwu wariantach informacja przesyłana w danej chwili do pamięci buforowej ma znaków błędnych mniej od wszystkich informacji, dla których sprawdza się wagę kodu i identyczność. Drugi wariant urządzenia może być użyty do ustalania, czy urządzenie odpowiadające minęło obszar działania odpowiedniego urządzenia zapytującego. W tym celu należy zapewnić, aby pierwszy licznik znaków błędnych miał co najwyżej k bitów i do wyjścia, które przy maksymalnej wartości licznika wysyła sygnał sterujący, dołączone było wejście blokujące układu blokującego i wejście ustawiające układu logicznego I, którego inne wejście ustawiające sterowane jest przez przełącznik znaków błędnych, gdy stan drugiego licznika błędnych znaków co najwyżej równy jest stanowi ustawionemu na przełączniku błędnych znaków i aby istniał licznik sterujący przełączany przez sygnały wyjściowe układu logicznego I, który po każdym zapisie informacji do pamięci kontrolnej o k blokach przełączany jest przez układ blokujący w swój stan podstawowy, gdy pierwszy licznik błędnych znaków nie osiągnął najwyższej wartości, natomiast przy osiągnięciu założonej wartości wysyła sygnał w celu dalszego przesyłania informacji zawartej w pamięci buforowej do pamięci względnie do urządzenia dla wyprowadzania danych.

Przedmiot wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy połączeń pierwszego przykładu, fig. 2 schemat blokowy połączeń drugiego przykładu, fig. 3 czasowy przebieg stanów środków przełączających przykładu pokazanego na fig. 2 przy mijaniu urządzenia zapytującego przez urządzenie odpowiadające. W przykładach przedstawionych na fig. 1 i 2 zakłada się, że przesyłanie tej samej informacji powtarzane jest cyklicznie kilkakrotnie.

Informacja k-znakowa powinna przy tym składać się z $k = 12$ znaków przedstawionych w kodzie „2 z 5”. Te znaki przesyłane są na fig. 1 z nieuwidocznionego urządzenia odbierającego urządzenie zapytującego przez przewód 1 z jednej strony do układu cechującego błędne znaki 10 i z drugiej strony do układu kontroli kodu 11. Pięć elementów kodowych każdego znaku odbieranej informacji zapamiętuje się chwilowo w pięciu komórkach 100 do 104 układu cechującego błędne znaki 10 i w pięciu komórkach 110 do 114 układu kontroli kodu 11, przy czym aktualnie przyporządkowane komórki połączone są ze sobą przewodami 115 do 119. Przy tym układ kontroli kodu sprawdza, czy kod znaku ma wagę „2”. Przy prawidłowej wadze kodu znak jest przesyłany przez przewód 2 do pamięci wstępnej 20. Przy nieprawidłowej wadze kodu zamiast znaku do komórek 100 do 104 zapisuje się znak błędny, który na przykład ma wagę kodu „5” i jest przekazywany do komórek 200 do 204 pamięci wstępnej 20. Ta transmisja może nastąpić przy napotkaniu w danej chwili następnego znaku w układzie cechującym błędne znaki.

Pamięć wejściowa 20 składa się z $k = 12$ bloków o $m \cdot k = 60$ komórkach. Każdy znak przesyłany z układu cechującego błędne znaki 10 do pamięci wejściowej 20 zapisany jest przede wszystkim do komórek 200 do 204 pierwszego bloku i przy każdym następnym znaku przesyłany do następnych komórek. Gdy pierwszy znak później odebranej informacji w następnym cyklu zapamiętywany jest w układzie cechującym błędne znaki 10, wcześniej odebrana informacja znajduje się całkowicie w pamięci wejściowej 20, a mianowicie w komórkach 200 do 204 ostatni znak i w komórkach 205 do 209 pierwszy znak.

Znak przesyłany z układu cechującego błędne znaki 10 jest kierowany przez przewód 21 na wejście układu logicznego 22, którego drugie wejście przez przewód 23 dołączone jest do wyjścia pierwszej pamięci wejściowej 20. Znaki przychodzące na wejścia są chwilowo buforowane w układzie logicznym 22 i później sprawdza się ich identyczność. Przy identyczności i wadze kodu „n” przesyła się ten znak przez przewód 3 do pamięci kontrolnej 30. Przy braku identyczności i przy błędnym znaku układ logiczny 22 wysyła znak błędu przez przewód 3. W danej chwili przy zapisaniu znaku później odebranej informacji do komórek 200 do 204 odpowiedni znak wcześniej odebranej informacji przesyłany jest z komórek 205 do 209 przez przewód 23 do układu logicznego 22, gdzie w opisany sposób porównywany jest ze znakiem wcześniej odebrany i przy identyczności nie zmienia się go, a przy braku identyczności znak o wadze kodu „2” przesyłany jest jako znak błędu do pamięci kontrolnej 30.

Pamięć kontrolna 30 składa się z $m \cdot k = 60$ komórek, z których komórki 300 do 304 połączone są przez przewody 315 do 319 z odpowiednimi komórkami 310 do 314 drugiego układu kontroli kodu 31. Jeśli przez przewód 3 przesyłany jest znak błędu o wadze kodu „5” lub znak nie ma, na skutek na przykład zakłócenia, właściwej wagi „2”, to układ

kontroli kodu 31 wysyła przez przewód 32 sygnał błędu do układu liczącego i porównującego 33 dla błędnych znaków. Dalej do pierwszych pięciu komórek 300 do 304 zamiast znaku z błędem kodu zapisuje się znak błędu. Wszystkie $k = 12$ znaki informacji przesyłanej z pamięci wejściowej 20 sprawdzane są jeszcze raz kolejno w układzie kontroli kodu 31 czy mają wagę kodu „2”. Każdy w ten sposób otrzymany znak błędu powoduje sygnał błędu w układzie kontroli kodu 31.

Liczba powstałych sygnałów błędu zliczona jest w układzie liczącym i porównującym 33 i zapamiętywana przy każdej przesyłanej informacji. Jeśli w pamięci kontrolnej 30 zapamiętywanych jest $k = 12$ znaków wcześniej odebranej informacji, to przy przekazywaniu dwunastu znaków później odebranej informacji z pamięci wejściowej 20 znaki wcześniej odebranej informacji przesyłane są kolejno z pamięci kontrolnej 30 przez przewód 34 do układu logicznego I 35. Gdy układ liczący i porównujący 33 we wcześniej odebranej informacji zliczy co najwyżej tyle znaków błędu, ile dopuszczalnych jest dla każdej informacji na ustawianym przełączniku 36, wtedy otwiera on przez przewód 331 wejście ustalające układu logicznego I 35. Ten następnie przepisuje przez przewód 4 znaki wcześniej odebranej informacji do pamięci buforowej 40. Przy zapisywaniu dwunastu znaków później odebranej informacji do pamięci kontrolnej 30 sygnały błędów zliczane są przez układ liczący i porównujący 33. Wyniki porównuje się z wcześniej odebraną informacją.

W układzie liczącym i porównującym 33 niszczy się wynik zliczania znaków błędu wcześniej odebranej informacji, gdy wynik zliczania później odebranej informacji jest mniejszy. Układ liczący i porównujący 33 otwiera przez przewód 331 układ logiczny I 35, tak że później odebrana informacja może być przesyłana do pamięci buforowej 40. Te przebiegi są powtarzane tak długo, aż w pamięci kontrolnej 30 zapamięta się później odebraną informację o mniejszej liczbie błędów, niż jest to wskazywane przez układ liczący i porównujący 33 liczący znaki błędu wcześniej odebranej informacji.

Pamięć buforowa 40 składa się z $k = 12$ bloków 401 do 412 dla wszystkich dwunastu znaków informacji. Podobnie jak w pamięci wejściowej 20 i pamięci kontrolnej 30 również tutaj zapamiętuje się w danej chwili ostatni znak informacji w pierwszym bloku pamięci 401 a pierwszy znak w ostatnim bloku pamięci 412. Jeśli później odebrana informacja zapamiętana w pamięci kontrolnej 30 zawiera mniej znaków błędnych niż wcześniej odebrana informacja w pamięci buforowej 40, wtedy układ liczący i porównujący 33 daje potencjał blokujący przez przewód 332 na wejście negujące układu blokującego 42, którego drugie wejście przez przewód 41 połączone jest z wyjściem pamięci buforowej 40. Przez to przy przesyłaniu później odebranej informacji z pamięci kontrolnej 30 do pamięci buforowej 40 wcześniej odebrana informacja przekazywana jest przez przewód 41 do układu blokującego 42, z którego jednak nie jest przesyłana przez przewód 421. Jeśli później

odebrana informacja w pamięci kontrolnej 30 zawiera tyle samo lub więcej znaków błędnych jak wcześniej odebrana informacja w pamięci buforowej 40, to układ liczący i porównujący 33 wyłącza przez przewód 331 potencjał otwierający na wejściu ustawiającym układ logicznego 35. Jeśli zliczona przez układ liczący i porównujący 33 liczba sygnałów błędu kolejno przekazywanych z pamięci kontrolnej 30 informacji jest równa lub przekracza liczbę zadaną przez przełącznik 36, na przykład trzykrotnie to potencjał blokujący podawany na przewód 332 jest usuwany. Dalej przez przewód 333 na wejście pamięci buforowej 40 przekazywane są impulsy przesuwające zawartość tej pamięci. W ten sposób wcześniej odebrana informacja o najmniejszej liczbie błędów zapamiętana w pamięci buforowej 40 przesyłana jest przez przewód 41, układ blokujący 42 i przewód wyjściowy 421 do niepokazanej na rysunku pamięci.

W przykładzie z fig. 2 istnieje pamięć kontrolna 53 i pamięć buforowa 7. Każdy znak kieruje się z niepokazanego na rysunku urządzenia odbierającego przez przewód 5 do dodatkowej pamięci kontrolnej 51 o $k+1$ blokach i równocześnie do drugiej pamięci kontrolnej 53 o $k=12$ blokach złożonych każdy z pięciu komórek. Wyjście ostatniego bloku 511 dodatkowej pamięci kontrolnej 51 połączone jest z wejściem układu porównującego znaki 52. Inne wejście tego układu porównującego łączy się z wyjściem pierwszego bloku 531 pamięci kontrolnej 53.

Układ porównujący 52 sprawdza identyczność znaku przesyłanego w danej chwili do bloku 531 pamięci kontrolnej 53, każdej później odebranej informacji z odpowiednim znakiem uprzednio przesłanej do dodatkowej pamięci kontrolnej 51 wcześniej odebranej informacji. Ten znak wcześniej odebranej informacji jest w tym momencie przekazywany do ostatniego bloku 511.

Układ porównujący 52 wysyła sygnał błędu do układu logicznego 55, gdy porównywane znaki nie są identyczne. W układzie kontroli kodu 54 sprawdza się poza tym każdy znak przed zapamiętaniem w pamięci kontrolnej 53, czy ma prawidłową wagę kodu. Jeśli sprawdzany znak nie ma wagi kodu „2”, to układ kontroli kodu 54 wysyła przez przewód 541 sygnał błędu do układu logicznego 55. Kontrola kodu i identyczności odbywa się równocześnie. Przy sygnale błędu na jednym lub obu wejściach układu logicznego 55 wysyła sygnał błędu, który przez przewód 552 przełącza pierwszy licznik błędnych znaków 6 układu liczącego i porównującego dla znaków błędnych i przez przewód 551 zapisuje w bloku 531 pamięci kontrolnej 53 zamiast odbieranego znaku znak błędu. Wyjście pamięci kontrolnej 53 łączy się przez przewód 532 z wejściem układu logicznego 56, którego inne wejście dołączone jest do przerzutnika 61 w układzie liczącym i porównującym. Wyjście układu logicznego 56 łączy się przez przewód 561 z wejściem pamięci buforowej 7 i z wejściem drugiego układu kontroli kodu 71.

Pamięć buforowa 7 ma $k=12$ bloków o $n=5$ komórkach. Wyjście tej pamięci buforowej 7 łączy się z nieprzedstawioną na rysunku pamięcią wzglę-

dnie z urządzeniem do wprowadzania informacji. Układ kontroli kodu 71 pracuje tak samo, jak układ kontroli kodu 54 i wysyła, przy nieprawidłowej wadze kodu sprawdzanego znaku, sygnał przełączający przez przewód 711 do drugiego licznika błędnych znaków 8. Liczniki 6 i 8 mają taką samą liczbę $k=12$ bitów, a ich wyjścia połączone są z wejściami układu porównującego 62 bity liczników.

Układ porównujący 62 włącza się do każdej informacji na krótki okres i wysyła przy tym impuls ustawiający do przerzutnika 61, gdy stan licznika znaków błędnych 6 jest mniejszy od stanu licznika 8. Do wyzerowania względnie ustawienia licznika błędnych znaków 6 i 8, układu porównującego 62 i bistabilnego przerzutnika 61 używa się impulsów zegarowych wytwarzanych przez urządzenie nie przedstawione na rysunku. Te impulsy zegarowe N1, N2 i N3 następują zaraz po sobie i powtarzają się po wpisaniu każdej dwunastoznakowej informacji do pamięci kontrolnej 51 i 53. Impulsy N1 powodują ustawienie przerzutnika 61 w zakreskowane położenie odpowiadające umownie określone stanowi jednego z jego wyjść. Impulsy N2 włączają układ porównujący 62 i taktują układ blokujący 91.

Impulsy N3 przełączają pierwszy licznik błędnych znaków 6 bezpośrednio i pośrednio przez układ logiczny 81, gdy przerzutnik 61 jest w położeniu niezakreskowanym, drugi licznik błędnych znaków 8 w ich podstawowe (zerowe) stany. Jeśli licznik 6 przy zliczaniu błędnych znaków znajdzie się między dwoma impulsami zegarowymi N3 w swoim położeniu końcowym, to daje on przez przewód 601 na wejściu negującym układu blokującego 91 potencjał blokujący i otwiera jedno z wejść układu logicznego I 92. Jeśli w tym momencie stan drugiego licznika błędnych znaków 8 jest mniejszy lub równy od liczby błędów dopuszczalnych, nastawianych na przełączniku błędnych znaków 82, to otwarte jest również przez przewód 921 inne wejście układu logicznego I 92. Wtedy ten układ logiczny wysyła impuls przełączający do licznika sterującego 9.

Przy osiągnięciu zadanego stanu licznik sterujący wysyła przez swoje wyjście 901 sygnał, który powoduje przyjęcie informacji z pamięci buforowej 7 do pamięci względnie do urządzenia wyprowadzania danych. Jeśli licznik 6 między dwoma impulsami zegarowymi N3 nie znajdzie się o swoim końcowym położeniu, to nie jest blokowany poprzez wejście blokujące układ blokujący 01 i impuls zegarowy N2 ustawia przez układ blokujący licznik sterujący 9 w położenie podstawowe.

Podzielony na dwie części diagram z fig. 3 objaśnia bliżej sposób działania przykładu wykonania z fig. 2. W wierszach diagramu szczegółowo przedstawiono impulsy zegarowe N1, N2 i N3, znak zawarty aktualnie w ostatnim bloku 511 pierwszej pamięci kontrolnej 51 i w pierwszym bloku 531 drugiej pamięci buforowej 53 przed badaniem kodu i identyczności, sygnały wyjściowe układu logicznego LUB 55, znak zawarty aktualnie w bloku pamięci 531 po kontroli kodu i identyczności względnie znak błędu Z (wiersz 531N), stany

pierwszego licznika błędnych znaków 6, impulsy wyjściowe drugiego układu kontroli kodu 71, stany drugiego licznika błędnych znaków 8, impulsy wyjściowe układu porównującego 62 dla stanów liczników, niezakreskowane położenie przerzutnika 61, znak zawarty w danej chwili w pierwszym bloku pamięci buforowej 7, impulsy wyjściowe układu logicznego I 92 i układu blokującego 91 i zawartość bitów licznika sterującego 9.

W przykładach wykonania fig. 1 i 2 zakłada się, że odbierane informacje składają się z $k = 12$ znaków. Na diagramie fig. 3 natomiast dla uproszczenia zakłada się odbiór informacji zawierającej tylko cztery znaki. Przy tym przyjęto, że z urządzenia odpowiadającego powinna być przesyłana informacja A, B, C, D. W czasie fazy R1 odbioru i przesyłania pierwszej informacji w bloku 511 dodatkowej pamięci kontrolnej 51 znajdują się tylko kolejne błędne znaki o nieprawidłowej wadze kodu, które oznaczone są przez literę X. Przy porównywaniu zawartości bloków pamięci 511 i 531 przez układ porównujący znaki 52 podczas fazy odbioru R1 po pobraniu pierwszego błędnego znaku X z bloku 531 odczytuje się znaki B, C i D o wadze kodu „2”: układ porównujący 52 nie stwierdza identyczności ze znakiem pobranym z bloku pamięci 511 i przy każdym porównaniu znaków wysyła sygnał błędu do układu logicznego LUB 55.

Sygnały wyjściowe tego układu logicznego powodują przez przewód 551 zapisanie znaków błędu Z do bloku pamięci 531 oraz przez przewód 552 zapis liczby cztery w pierwszym liczniku błędnych znaków. Impulsy zegarowe N1: N2 jeszcze nie oddziałują, natomiast impuls zegarowy N3 ustawia licznik 6 w jego podstawowy stan.

Podczas fazy odbioru R2 zapamiętuje się w bloku 511 pamięci kontrolnej 51 kolejno błędny znak X i znaki B, C i D. Informacja A, B, C i D przesyłana w fazie odbioru R2 zawiera znaki o wadze kodu „2”, jednakże okazuje się, że dwa porównywane znaki a mianowicie pierwszy i trzeci później i wcześniej odebranej informacji nie są identyczne.

Układ porównujący powoduje dla tych znaków powstanie sygnału na wyjściu układu logicznego LUB 55, przez co zapisuje się do bloku pamięci 531 zamiast nieidentycznego znaku znak błędu Z. Ponadto licznik 6 przełączany jest o dwa. Przy włączeniu urządzenia drugi licznik błędnych znaków 8 ustawiony był na najwyższą swoją wartość. Po drugiej fazie odbioru R2 porównuje się stany liczników 6 i 8 impulsem zegarowym N2 w układzie porównującym 62. Ponieważ licznik 6 zawiera mniejszą liczbę niż licznik 8, układ porównujący 62 ustawia przerzutnik 61 w niezakreskowane położenie, przez co przygotowuje się otwarcie układu logicznego I 56. Następny impuls zegarowy N3 ustawia liczniki 6 i 8 w ich stany podstawowe.

Podczas fazy odbioru R3 przesyła się następne informacje A, B, C, D, których znaki zapisuje się kolejno do pierwszego bloku 531 pamięci kontrolnej 53. Znaki Z, B, Z, D wcześniej odebranej informacji (wiersz 531N) znajdujące się uprzednio w pamięci kontrolnej 53 przesyłane są przez otwar-

ty układ logiczny I 56 pamięci buforowej 7. Tylko przy trzecim znaku C później odebranej informacji A, B, C, D, nie zachodzi zgodność z trzecim znakiem A wcześniej odebranej informacji A, B, A, D. Toteż układ porównujący 52 przez układ logiczny LUB 55 wysyła tylko sygnał błędu do licznika 6, który przez to przełączony jest o jeden. Równocześnie zapamiętuje się w pamięci kontrolnej 53 w bloku 531 zamiast znaku C znak błędu Z. Przy przekazywaniu wcześniej odebranej informacji Z, B, Z, D do pamięci buforowej 7 układ kontroli kodu 71 przełącza dla obydwu znaków błędu Z drugi licznik błędnych znaków 8 o jeden. Po przekazaniu informacji impuls zegarowy N1 przełącza przerzutnik 61 w położenie zakreskowane.

W czasie impulsu zegarowego N2 układ porównujący 62 wysyła sygnał ustawiający do przerzutnika 61, ponieważ wartość licznika błędnych znaków 6 jest niższa od wartości licznika błędnych znaków 8. Impuls zegarowy N3 ustawia obydwa liczniki znaków błędnych 6 i 8 w stany podstawowe. Podczas fazy odbioru R4 układ porównujący 52 nie stwierdza dla żadnego znaku przesyłanej informacji braku identyczności z wcześniej odebraną informacją. Toteż licznik 6 pozostaje w swoim podstawowym stanie.

Przy przekazywaniu wcześniej odebranej informacji A, B, Z, D z fazy odbioru R3 z pamięci kontrolnej 53 do pamięci buforowej 7 układ kontrolny kodu 71 określa znak błędu Z i przełącza licznik 8 o jeden.

Informacja Z, B, Z, D znajdująca się uprzednio w pamięci buforowej 7 została przy tym zniszczona.

Podczas fazy odbioru R5 stwierdza się identyczność i poprawność wagi kodu „2” znaków na odpowiadających sobie miejscach odebranej informacji. Oba liczniki 6 i 8 pozostają przez to w stanach podstawowych. W czasie impulsu zegarowego N2 układ porównujący 62 nie zmienia stanu licznika i przerzutnik 61 pozostaje w położeniu niezakreskowanym, spowodowanym przez impuls zegarowy N1. Znaki A, B, C, D informacji z fazy odbioru R4 przesyłane są podczas fazy odbioru R5 z drugiej pamięci kontrolnej 53 do pamięci buforowej 7. Ta informacja ma najmniejszą ilość błędów i jest buforowana do momentu, aż zostanie wywołana przez sygnał na wyjściu 901 licznika sterującego 9. Gdy urządzenie odpowiadające oddali się z obszaru działania zapytującego, odbierane sygnały są coraz słabsze, tak że informacje odbierane są najpierw błędnie, a później zupełnie nie mogą być odbierane.

W fazie odbioru Rx—4 urządzenie odpowiadające zaczyna oddalać się z obszaru działania urządzenia zapytującego. Informacja zawiera przy tym dwa błędne znaki X. W fazie odbioru Rx—3 już wszystkie odbierane znaki są błędne, tak że licznik 6 ustawiony jest w swój najwyższy stan. Licznik 8 pozostaje jednakże w stanie podstawowym, ponieważ układ logiczny I 56 blokowany jest przez przerzutnik 61, przez to później odebrana informacja A, B, Z, Z nie jest przekazywana i stąd układ kontroli kodu 71 nie wysyła impulsów prze-

łączących. W tym położeniu przełącznik 82 otwiera układ logiczny 92, który wysyła impuls przełączający do licznika sterującego 9 zawsze wtedy, gdy licznik 6 ustawiony w swój podstawowy stan przez impuls zegarowy N3 ponownie ustawiony zostanie na najwyższą swoją wartość.

Licznik sterujący nie może być włączony przez impuls zegarowy N2 w swój stan podstawowy, ponieważ potencjał licznika 6 przy najwyższym jego stanie blokuje układ blokujący 91. Licznik 6 w przedstawionym przykładzie ustawiony jest czterokrotnie na swoją najwyższą wartość, mianowicie podczas faz odbioru Rx—2, Rx—3, Rx—1 i Rx. Przez to ustawiony jest czwarty bit licznika. Jeśli przykładowo trzeci bit licznika połączony jest z wyjściem 901, to sygnał wysłany z tego bitu licznika na końcu fazy odbioru Rx—1 powoduje przekazanie informacji z pamięci buforowej 7 do nieprzedstawionej pamięci względnie do urządzenia do wyprowadzania danych. Wynalazek nie ogranicza się tylko do przedstawionych przykładów.

Urządzenie według fig. 1 można przykładowo uzupełnić, włączając szeregowo między pamięć wejściową 20 i pamięć kontrolną 30 dalsze pamięci wejściowe, których wyjścia dołączone byłyby do dalszych wejść układu logicznego 22. Przy dwu dodatkowych pamięciach wejściowych odbierane informacje mogłyby być porównywane nie tylko z dwu faz odbioru, ale z czterech kolejnych faz odbioru. Dalej można porównywać informacje z faz niekoniecznie kolejnych ale przykładowo z każdej trzeciej fazy odbioru. Podobnie licznik sterujący 9 z fig. 2 może być tak ustawiony, że dopiero przy osiągnięciu bardziej znaczącego bitu niż trzeci wysłał sygnał przez swoje wyjście 901.

W praktyce długość licznika zależy od tego, jak często mogą być przesyłane cyklicznie informacje przy największej szybkości urządzenia poruszającego się w obszarze działania. Z drugiej strony ta długość nie może być zbyt niska, ponieważ przy krótkookresowych zakłóceniach może być wyprowadzana zawartość pamięci buforowej 7, chociaż nie została jeszcze przyjęta informacja o możliwie najmniejszej liczbie błędów.

Przykłady wykonania narysowane są jako schematy blokowe. Dla każdego poszczególnego schematu możliwych jest naturalnie wiele wariantów wykonania.

Zastrzeżenia patentowe

1. Sposób automatycznego wybierania informacji o najmniejszej liczbie błędów z kilku następujących po sobie bezprzewodowych transmisji informacji składającej się z k-znaków między wzajemnie ruchomymi urządzeniami zapytującymi i odpowiadającymi, w której każdy znak przedstawiony jest w kodzie „nzm”, a w urządzeniu zapytującym sprawdza się wagę kodu „n” i porównuje się z odpowiednim znakiem wcześniej odebranej informacji i przy prawidłowej wadze kodu i identyczności przesyła się dalej, **znamienny tym**, że dla znaków o nieprawidłowej wadze kodu i dla nieidentycznych znaków dalej przesyłane są znaki błędne, które zliczone są dla każdej informacji

i ich liczba porównywana jest z liczbą znaków błędnych wcześniej odebranej informacji i że przy mniejszej liczbie znaków błędnych później odebranej informacji ona właśnie jako wybrana informacja jest przechowywana w pamięci buforowej, aż wybrana zostanie informacja o jeszcze mniejszej liczbie błędów.

2. Urządzenie do automatycznego wybierania informacji o najmniejszej liczbie błędów z kilku następujących po sobie bezprzewodowych transmisji informacji składającej się z k-znaków między wzajemnie ruchomymi urządzeniami zapytującymi i odpowiadającymi, w której każdy znak przedstawiony jest w kodzie „nzm”, a w urządzeniu zapytującym sprawdza się wagę kodu „n” i porównuje się poprzez układ logiczny z odpowiednim znakiem później odebranej informacji i przy prawidłowej wadze kodu przesyła się dalej, **znamiennie tym**, że wyjście układu logicznego (22 lub 52) dla znaków o nieprawidłowej wadze kodu i dla nieidentycznych znaków przesyła się dalej znaki błędne i jest połączone z układem liczącym i porównującym (33 lub 6, 8, 61 i 62) dla znaków błędnych, a także z pamięcią kontrolną (30 lub 53) o k blokach dla aktualnie kontrolowanej k-znakowej informacji, ponadto między wyjście pamięci kontrolnej (30 lub 53) i wejście pamięci buforowej (40 lub 7) dla informacji o najmniejszej w danej chwili liczbie błędów włączony jest układ logiczny I (35 lub 56), którego drugie wejście dołączone jest do układu liczącego i porównującego (33 lub 6, 8, 61 i 62) i tylko wtedy jest otwierane w celu przekazania informacji z pamięci kontrolnej (30 lub 53) do pamięci buforowej (40 lub 7), gdy liczba błędnych znaków informacji co najwyżej równa jest liczbie zadanej przez dodatkowy przełącznik (36 lub 82).

3. Urządzenie według zastrz. 2 **znamiennie tym**, że układ logiczny (22) przez jedno swoje wejście dołączony jest do wejścia, a przez drugie do wyjścia pamięci wejściowej (20) o k blokach i że na wejściu pamięci wejściowej (30) włączony jest układ cechujący błędne znaki (10) mający równoległy pierwszy układ kontroli kodu (11) przy czym dla znaków o nieprawidłowej wadze kodu przesyła dalej określone znaki błędne, nadto do pierwszych m komórek (300 do 304) pamięci kontrolnej (30) dołączony jest drugi układ kontroli kodu (31), który przy każdym znaku o nieprawidłowej wadze kodu i każdym znaku błędne wysyła sygnał błędne do układu liczącego i porównującego (33) dla błędnych znaków, przy tym drugie wejście układu logicznego I (35) włączonego między wyjście pamięci kontrolnej (30) i wejście pamięci buforowej (40) jest otwierane przez wyjście (331) układu liczącego i porównującego (33) tylko wtedy, gdy liczba błędnych znaków informacji co najwyżej jest równa liczbie zadanej przez przełącznik (36) połączony z układem liczącym i porównującym (33).

4. Urządzenie według zastrz. 2 **znamiennie tym**, że do przewodu wejściowego (5) pamięci kontrolnej (53) o k blokach dołączona jest dodatkowa pamięć kontrolna (51) o k+1 blokach i pierwszy układ kontroli kodu (54), a do pierwszego bloku (531) pamięci kontrolnej (53) i do ostatniego blo-

ku (511) dodatkowej pamięci kontrolnej (51) układ porównujący znaki (52), przy czym układ porównujący znaki (52) przy nieidentycznych znakach w obu blokach (511 i 531) i pierwszy układ kontroli kodu (54) przy znaku o nieprawidłowej wartości kodu wysyłają sygnał wyjściowy na jedno z wejść drugiego układu logicznego (55), który przy tym daje sygnał błędu, który to sygnał zapisuje do pierwszego bloku (531) i pamięci kontrolnej (53) znak błędu i przełącza układ liczący i porównujący (6, 8, 61, 62 i 82) dla błędnych znaków o jeden, nadto że istnieje drugi licznik błędnych znaków (8), który przełączony jest przez sygnał błędu układu kontroli błędów (71) dołączonego do wejścia pamięci buforowej (7), poza tym istnieją środki przełączające (62 i 61), które porównują stany dwóch liczników błędnych znaków (6 i 8) i tylko przy niższej wartości pierwszego licznika błędnych znaków (6) otwierają drugie wejście układu logicznego I (56) włączonego między wyjście pamięci kontrolnej (53) i wejście pamięci buforowej (7).

5. Urządzenie według zastrz. 4, znamienne tym,

że pierwszy licznik błędnych znaków (6) ma co najwyżej k-bitów i do wyjścia (601), które przy najwyższym wskazaniu licznika wysyła sygnał sterujący, dołączone jest wejście blokujące układu blokującego (91) i wejście ustawiające układu logicznego I (92), którego inne wejście ustawiające (921) sterowane jest przez przełącznik błędnych znaków (82), gdy stan drugiego licznika błędnych znaków (8) jest co najwyżej równy stanowi ustawionemu na przełączniku błędnych znaków (82), że ponadto istnieje licznik sterujący (9) przełączany przez sygnał wyjściowy układu logicznego I (92), który po każdym zapisie informacji do pamięci kontrolnej (53) o k blokach przełączany jest przez układ blokujący (91) w swój stan podstawowy, gdy pierwszy licznik błędnych znaków (6) nie osiągnął jeszcze najwyższego wskazania, natomiast przy osiągnięciu zadanej wartości wysyła przez swe wyjście (901) sygnał w celu przekazania informacji znajdującej się w pamięci buforowej (7) do pamięci lub do urządzenia do wypróbowywania danych.

Fig. 1

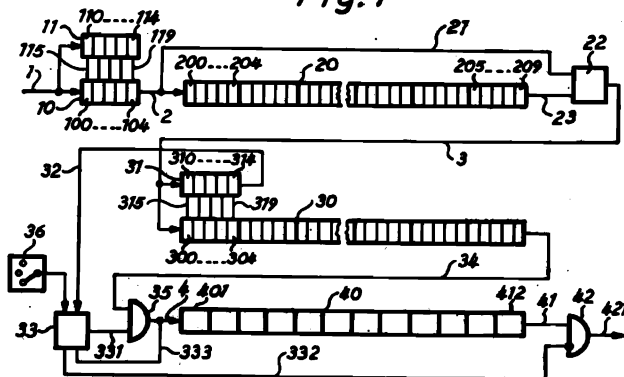


Fig. 2

