(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年4 月20 日 (20.04.2006)

PCT

(10) 国際公開番号
WO 2006/040819 A1

(51) 国際特許分類[7]: H03M 1/12

(21) 国際出願番号: PCT/JP2004/015133

(22) 国際出願日: 2004 年10 月14 日 (14.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中村 寛嗣 (NAKAMURA, Hirotsugu) [JP/JP]; 〒0668511 北海道千歳市泉沢１００７番地３９ 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP).

(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1020083 東京都千代田区麹町５丁目７番地 秀和紀尾井町TBRビル８１３号 Tokyo (JP).

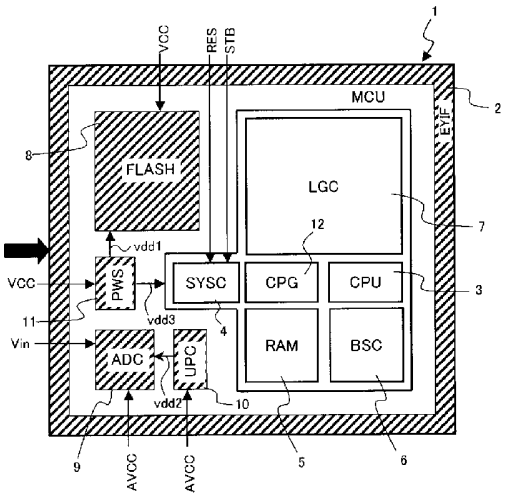
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device capable of satisfying both low power consumption of a booster circuit being used for operating an on-chip circuit constituted of an MOS transistor exhibiting a higher breakdown voltage for external power supply voltage and guarantee of boosting operation rate and stabilization of boosted voltage. The semiconductor device comprises an external interface circuit (2) having a first region of a specific breakdown voltage and a second region of a breakdown voltage lower than that of the first region wherein a first voltage supplied from the outside is used as an operation power supply voltage, a booster circuit (10) for producing a second voltage by boosting the first voltage, and a processing circuit (9) using the first voltage and the second voltage as the operation power supply voltage. The booster circuit performs boosting operation at a first rate when the processing circuit is operated and performs preboosting operation at a second rate lower than the first rate before the processing circuit is operated.

(57) 要約: 外部供給電源電圧に対するより高い耐圧のＭＯＳトランジスタで構成されたオンチップ回路の動作に用いる昇圧回路の低消費電力と共に昇圧動作速度の保証と昇圧電圧の安定化との双方を満足できる半導体装置を提供することを目的とする。本発明に係る半導体装置は、所定の耐圧電圧を有する第１の領域と、前記第１の領域よりも低い耐圧電圧を有する第２の領域とを有し、前記第１の領域は、外部から供給される第１の電圧を動作電源電圧に用いる外部イン

[続葉有]

WO 2006/040819 A1

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

タフェース回路（２）と、前記第１の電圧を昇圧して第２の電圧を生成する昇圧回路（１０）と、前記第１の電圧と第２の電圧を動作電源電圧に用いる処理回路（９）とを有し、前記昇圧回路は、前記処理回路が動作されるときは第１の速度で昇圧動作を行い、前記処理回路が動作される前に前第１の速度よりも遅い第２の速度で予め昇圧動作を行う。

明 細 書

半導体装置

技術分野

[0001] 本発明は外部から供給される外部電源電圧に対するよりも高い耐圧を有する回路を含んだ半導体装置に関し、例えばマイクロコンピュータに適用して有効な技術に関する。

背景技術

[0002] 特許文献1には、電池の消耗等によってある程度の電圧低下を余儀なくされる電源を用いた携帯機器等において、アナログ信号をディジタル信号に変換するAD変換器を、通常使用可能な規定値より低下した電源電圧でも使用可能にしたAD変換器を採用した半導体装置に関する発明が記載される。これに記載の半導体装置は、AD変換回路と電源電圧検出回路と昇圧回路を有し、前記電源電圧検出回路は電源電圧と規定値電圧とを比較し、電源電圧が規定値電圧より低い場合は、前記昇圧回路へ動作信号を出力し、前記昇圧回路の出力を前記AD変換回路に入力し、電源電圧が規定値電圧より高い場合は、電源電圧を前記AD変換回路に入力することを特徴とするものである。前記昇圧回路は例えばチャージポンプとされる。

[0003] 特許文献1:特開2003−179492

発明の開示

発明が解決しようとする課題

[0004] 本発明者は外部供給電源電圧に対するより高い耐圧のMOSトランジスタ構成されたアナログディジタル変換回路と昇圧回路をもつ半導体装置におけるアナログディジタル変換回路の変換特性を向上させることについて検討した。

[0005] 例えば、システム上使用可能な外部電源電圧と、使用可能な半導体製造プロセスとの関係から、外部電源電圧よりも高い耐圧を有するMOSトランジスタを用いてアナログディジタル変換回路(ADC)を構成する場合について検討した。ここでは容量再配分型の逐次比較型ADCを一例とする。容量再配分型の逐次比較型ADCは変換ビット数に応じて2のべき乗で重み付けされた複数の変換容量を有し、変換容量の次

段には比較器として相補型MOS（CMOS）インバータが接続される。サンプリング動作では予め前記CMOSインバータの入出力を短絡して変換容量の一方の蓄積電極をCMOSインバータの論理閾値電圧として、他方の蓄積電極に入力電圧を印加する。その後の逐次比較動作では他方蓄積電極に順次上位ビット側から変化させたリファレンス信号を印加しながら電荷再配分を行い、それによるCMOSインバータの出力をリファレンス信号にフィードバックさせて、逐次比較動作を行っていく。このような容量再配分型の逐次比較型ADCの低電圧・低温・高速での変換特性を確保するために、昇圧回路を設け、前記CMOSインバータの入出力を選択的に短絡させるトランスファゲートなどに対して、そのオン抵抗を小さく（若しくはコンダクタンスを大きく）するために、前記昇圧回路で生成した昇圧電圧を動作電源として生成した信号をスイッチ制御信号に用いる。

[0006] このとき、低消費電力の観点より、アナログディジタル変換回路の変換イネーブルに応答して昇圧回路の動作を開始するとき、昇圧電圧の安定化容量が比較的小さいと、比較的早く所望の昇圧電圧に到達するが、電流消費やノイズによってそのレベルが不所望に変動し易くなる。そうすると、サンプリング期間中に前記CMOSインバータ側の変換容量の蓄積電極の電圧はその論理閾値電圧になるが、逐次比較動作時の電流消費やノイズによって昇圧電圧が不所望に変動すると、CMOSインバータの入力側レベルやリファレンス電圧が不所望に変動したりして、電荷再配分による変換動作に変換誤差を生ずる虞がある。

[0007] これを解消するには昇圧電圧の安定化容量を比較的大きくすればよいが、そうすると今度は、安定化容量の充電に時間がかかる。サンプリングタイミングにおいて所望の昇圧電圧に到達しないと、前記CMOSインバータの入出力を短絡させるトランスファゲートのオン抵抗が大きくなり過ぎて、CMOSインバータ側の変換容量の蓄積電極の電圧がCMOSインバータの論理閾値電圧に到達せず、これによって変換結果に誤差を生ずる虞がある。

[0008] 本発明の目的は、外部供給電源電圧に対するより高い耐圧のMOSトランジスタで構成されたオンチップ回路の動作に用いる昇圧回路の低消費電力と共に昇圧動作速度の保証と昇圧電圧の安定化との双方を満足できる半導体装置を提供することに

ある。

[0009] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0011] 〔1〕本発明に係る半導体装置は、所定の耐圧電圧を有する第1の領域と、前記第1の領域よりも低い耐圧電圧を有する第2の領域とを有し、前記第1の領域は、外部から供給される第1の電圧を動作電源電圧に用いる外部インタフェース回路と、前記第1の電圧を昇圧して第2の電圧を生成する昇圧回路と、前記第1の電圧と第2の電圧を動作電源電圧に用いる処理回路とを有し、前記昇圧回路は、前記処理回路が動作されるときは第1の速度で昇圧動作を行い、前記処理回路が動作される前に前第1の速度よりも遅い第2の速度で予め昇圧動作を行う。

[0012] 上記より、処理回路の動作前は昇圧回路は遅い速度で昇圧動作を行っているから、初めから速い速度で動作する場合に比べて低消費電力を実現できる。処理回路が動作するときは昇圧回路は遅い速度であっても既に昇圧動作を開始しているので、昇圧電圧の安定化容量を比較的大きくしても、比較的早いタイミングで所要の昇圧電圧を得ることが可能になる。

[0013] 本発明の具体的な形態として、前記処理回路は、外部と入出力される信号の最大振幅として第1の電圧を有し、トランスファゲートの制御信号の振幅に第2の電圧を有するアナログディジタル／ディジタルアナログ変換回路である。

[0014] 本発明の更に具体的な形態として、前記第1の領域は更に、前記第1の電圧を降圧して第3の電圧を生成する電源回路を有し、前記第2の領域は前記第3の電圧を動作電源電圧に用いるディジタル処理回路を有する。前記ディジタル処理回路は例えば中央処理装置を含む。

[0015] 本発明の更に具体的な形態として、前記第1の領域は更に、第3の電圧を動作電源電圧に用いるフラッシュメモリを有し、フラッシュメモリは第3の電圧を昇圧する昇圧回路を備える。

[0016] 本発明の別の具体的な形態として、前記昇圧回路は、半導体装置に対するリセット指示の解除又はスタンバイ状態の解除によって前記第2の速度で昇圧動作を開始する。前記第2の速度で昇圧動作を予め開始する制御の簡素化に資することができる。

[0017] 本発明の更に具体的な形態として、前記昇圧回路はクロック信号に同期して昇圧動作を行うチャージポンプ回路を有し、前記チャージポンプ回路にはクロックセレクタから選択的に出力される第1クロック信号又は第2クロック信号が供給され、前記第2クロック信号は第1クロック信号の分周クロック信号であり、前記第1クロック信号は昇圧回路の昇圧動作を第1の速度に規定し、第2クロック信号は昇圧回路の昇圧動作を第2の速度に規定する。

[0018] 〔2〕本発明の別の観点による半導体装置は、処理回路と昇圧回路とを有し、前記処理回路と昇圧回路は相互に耐圧の同じMOSトランジスタによって構成され、前記耐圧は外部から供給される外部電源電圧に対するよりも高くされ、前記処理回路は前記外部電源電圧と前記昇圧回路で生成された昇圧電圧との双方を動作電源電圧として利用し、前記昇圧回路は、前記処理回路の動作が指示される前に遅い速度で昇圧動作を開始し、処理回路の動作が指示されたときは速い速度で昇圧動作を行う。

[0019] 上記より、処理回路の動作前は昇圧回路は遅い速度で昇圧動作を行っているから、初めから速い速度で動作する場合に比べて低消費電力を実現できる。処理回路が動作するときは昇圧回路は遅い速度であっても既に昇圧動作を開始しているので、昇圧電圧の安定化容量を比較的大きくしても、比較的早いタイミングで所要の昇圧電圧を得ることが可能になる。

[0020] 本発明の具体的な形態として、前記処理回路はアナログ信号をディジタル信号に変換するアナログディジタル変換回路又はディジタル信号をアナログ信号に変換するディジタルアナログ変換回路である。

[0021] 〔3〕本発明の更に別の観点による半導体装置は、ディジタル処理回路、アナログ処理回路、及び昇圧回路を有し、前記アナログ処理回路と昇圧回路は相互に耐圧の同じMOSトランジスタによって構成され、前記耐圧は外部から供給される外部電源電圧に対するよりも高くされ、前記アナログ処理回路は前記外部電源電圧と前記昇

圧回路で生成された昇圧電圧との双方を動作電源電圧として利用し、前記ディジタル処理回路は、前記アナログ処理回路の動作が指示される前に遅い速度で前記昇圧回路に昇圧動作を開始させ、アナログ処理回路の動作が指示されたときは前記昇圧回路の昇圧動作を速い速度に切り換え制御する。

[0022] 上記より、アナログ処理回路の動作前は昇圧回路は遅い速度で昇圧動作を行っているから、初めから速い速度で動作する場合に比べて低消費電力を実現できる。アナログ処理回路が動作するときは昇圧回路は遅い速度であっても既に昇圧動作を開始しているので、昇圧電圧の安定化容量を比較的大きくしても、比較的早いタイミングで所要の昇圧電圧を得ることが可能になる。

[0023] 本発明の具体的な形態として、前記ディジタル処理回路は前記外部電源電圧に対するよりも低い耐圧のMOSトランジスタによって構成され、前記ディジタル処理回路は前記外部電源電圧の降圧電圧を動作電源電圧として利用する回路であり、前記ディジタル処理回路は、半導体装置に対するリセット指示の解除又はスタンバイ状態の解除によって前記遅い速度で前記昇圧回路に昇圧動作を開始させる。

[0024] 本発明の別の具体的な形態として、前記アナログ処理回路は、CMOSインバータと、前記CMOSインバータの入力と出力を選択的に短絡させる帰還スイッチMOSトランジスタと、前記CMOSインバータの入力に一方の蓄積電極が接続された容量素子と、前記容量素子の他方の蓄積電極に接続された入力スイッチMOSトランジスタとを有し、前記CMOSインバータの動作電源電圧は外部電源電圧であり、前記帰還スイッチMOSトランジスタ及び入力スイッチMOSトランジスタのスイッチ制御信号は昇圧電圧を信号振幅とする。前記アナログ処理回路は、例えば電荷再配分型逐次比較アナログディジタル変換回路である。

発明の効果

[0025] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0026] すなわち、外部供給電源電圧に対するより高い耐圧のMOSトランジスタで構成されたオンチップ回路を有する半導体装置において、前記オンチップ回路の動作に用いる昇圧回路の低消費電力と共に昇圧動作速度の保証と昇圧電圧の安定化との双

方を満足することができる。

図面の簡単な説明

[0027] [図1]本発明に係る半導体装置の一例であるマイクロコンピュータのブロック図である。

[図2]アナログディジタル変換回路の一例を示すブロック図である。

[図3]昇圧回路の動作とアナログディジタル変換回路の動作を制御するための詳細な構成を例示するブロック図である。

[図4]昇圧回路とアナログディジタル変換回路の動作タイミングを例示するタイミングチャートである。

[図5]昇圧回路とアナログディジタル変換回路の別の動作タイミングを例示するタイミングチャートである。

[図6]昇圧回路とアナログディジタル変換回路のさらに別の動作タイミングを例示するタイミングチャートである。

[図7]昇圧回路の昇圧動作をADCのイネーブルに同期して行う比較例に係るブロック図である。

[図8]図7の比較例において安定化容量の値が大き過ぎる場合の動作を示すタイミングチャートである。

[図9]図7の比較例において安定化容量の値が小さ過ぎる場合の動作を示すタイミングチャートである。

[図10]昇圧電圧の振幅を持つ制御信号によって制御対象とすることができる素子の例を幾つか例示する説明図である。

符号の説明

[0028] 1 マイクロコンピュータ

2 外部インタフェース回路

3 中央処理装置

4 システムコントローラ

8 フラッシュメモリ

9 アナログディジタル変換回路

10 昇圧回路

11 電源回路

12 クロックパルスジェネレータ

VCC、AVCC 3．3Vの外部電源電圧

vdd1 3．3Vの内部電源電圧

vdd2 昇圧された5Vの内部電源電圧

vdd3 降圧された1．8Vの内部電源電圧

21 変換容量

22 CMOSインバータ

23 帰還スイッチMOSトランジスタ

24 リファレンス入力ゲート

25 アナログ信号入力ゲート

φS1ーφSn サンプリング用スイッチ信号

φR1ーφRn リファレンス用スイッチ信号

27 制御回路

28 局部ディジタルアナログ変換回路

φadc ADCの変換イネーブル信号

φupc 昇圧回路の動作イネーブル信号

CLK クロック信号

CLKdv CLKの分周クロック信号

CLKupc 昇圧回路の同期クロック信号

32 セレクタ

発明を実施するための最良の形態

[0029] 図1には本発明に係る半導体装置の一例としてマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、特に制限されないが、公知のCMOS集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成される。

[0030] マイクロコンピュータ（MCU）1は、半導体基板の周囲に外部インタフェース回路（EXIF）2を有し、その内側に、中央処理装置（CPU）3、システムコントローラ（SYSC）

4、ランダムアクセスメモリ(RAM)5、バスコントローラ(BSC)6、その他のロジック回路(LGC)7、クロックパルスジェネレータ(CPG)12及びフラッシュメモリ(FLSH)8に代表されるディジタル処理回路と、アナログディジタル変換回路(ADC)9に代表されるアナログ処理回路と、昇圧回路(UPC)10と、電源回路(PWS)11とを有する。CPU3は命令フェッチの制御とフェッチした命令の解読を行なう命令制御部と、前記命令制御部で生成された制御信号などにしたがってアドレス演算及びデータ演算などを行って命令を実行する命令実行部とを有する。RAM5はCPU3のワーク領域などに利用される。システムコントローラ4はマイクロコンピュータ1の動作モードの制御などを行う。例えば外部からリセット信号RES及びスタンバイ信号STBなどが入力される。リセット信号RESがローレベルにされると、システムコントローラ4は、特に制限されないが、そのハードウェアに従って内部初期化動作を開始する。リセット信号RESがハイレベルにされてリセット指示が解除されると、その後システムコントローラ4はリセットスタートベクタをCPU3に与え、CPU3はリセットスタートベクタで示される命令アドレスを基点にプログラムの実行を開始する。スタンバイ信号STBがローレベルにされてスタンバイが指示されると、システムコントローラ4は命令実行の区切りでクロックパルスジェネレータによる内部クロック信号の出力若しくは発振動作を抑止し、内部回路のクロック同期動作を停止して、スタンバイ状態を達成する。スタンバイ信号STBがローレベルからハイレベルに変化されると、その後、前記内部クロック信号の供給若しくは発振動作を再開して、内部回路のクロック同期動作を可能にする。

[0031] マイクロコンピュータ1は、特に制限されないが、3.3V(第1の電圧)の外部電源電圧VCCを受ける。マイクロコンピュータ1を構成するMOSトランジスタの耐圧は2種類とれ、5V(第2の電圧)の電源電圧に対応する耐圧を有する第1の領域と、1.8V(第3の電圧)の電源電圧に対応する耐圧を有する第2の領域とされる。第1の領域には、外部インタフェース回路(EXIF)2、フラッシュメモリ(FLSH)8、アナログディジタル変換回路(ADC)9、昇圧回路(UPC)10、及び電源回路(PWSP)11が形成される。第2の領域には、中央処理装置(CPU)3、システムコントローラ(SYSC)4、ランダムアクセスメモリ(RAM)5、バスコントローラ(BSC)6、及びその他のロジック回路(LGC)7が形成される。

[0032] 前記電源回路11は、3．3Vの外部電源電圧VCCを入力して、3．3Vの内部電源電圧vdd1と1．8Vの内部電源電圧vdd2を生成する。3．3Vの内部電源電圧vdd1はフラッシュメモリ8の動作電源とされる。1．8Vの内部電源電圧vdd3は、中央処理装置（CPU）3、システムコントローラ（SYSC）4、ランダムアクセスメモリ（RAM）5、バスコントローラ（BSC）6、及びその他のロジック回路（LGC）7の動作電源とされる。昇圧回路10は3．3Vの外部電源電圧AVCCを入力して5Vの内部電源電圧vdd2を生成する。アナログディジタル変換回路（ADC）9は5Vの内部電源電圧vdd2と3．3Vの外部電源電圧AVCCを動作電源とする。尚、外部インタフェース回路2は、アナログディジタル変換回路（ADC）9のアナログ入力に対応される入力回路には3．3Vの外部電源電圧AVCCを動作電源に用い、その他の回路に対応される入力回路及び出力回路には3．3Vの外部電源電圧VCCを動作電源に用いる。特に図示はしないが、動作電源が3．3Vの回路と動作電源が1．8Vの回路との間の信号インタフェース部には図示を省略するレベル変換回路が配置されている。

[0033] 図2にはアナログディジタル変換回路9の一例が示される。ここでは容量再配分型の逐次比較型ADCを一例とし、SCU1ーSCUnで示される各々の回路は1ビット分のスイッチドキャパシタを構成する回路であり、回路SCU1ーSCUn全体として、ディジタル信号のビット数（n−1）＋1ビット分のスイッチアレイと容量アレイを構成する。回路SCU1ーSCUnの各々は変換容量21を有し、変換容量21の一方の蓄積電極はCMOSインバータ22の入力に共通接続される。CMOSインバータ22の入力と出力はnチャンネル型の帰還スイッチMOSトランジスタ23によって選択的に短絡可能にされる。変換容量21の他方の蓄積電極には対応するビットのリファレンス電圧を選択的に入力するリファレンス入力ゲート24と、アナログ入力信号Vinを選択的に入力するアナログ信号入力ゲート25とが接続される。入力ゲート24，25はCMOSトランスファゲートで構成され、スイッチ信号φR1ーφRn、φS1ーφSnによって制御される。26A，26BはCMOSインバータである。制御回路（ADCNT）27は、動作イネーブル信号φadcが活性化されることによってAD変換動作の制御を開始し、所定のシーケンスに従って前記スイッチ信号φR1ーφRn、φS1ーφSnを制御して、アナログ入力信号Vinのサンプリング動作と、逐次比較動作を制御する。局部ディジタルアナ

ログ変換回路(LDAC)28は、インバータ22の出力で得られる逐次比較結果をアナログ信号に変換してリファレンス入力ゲート24の入力電圧に反映する。アナログ入力信号Vinのサンプリング動作の時にはアナログ入力ゲート25のオン状態に並行して帰還スイッチMOSトランジスタ23がオン状態にされる。オン状態の帰還スイッチMOSトランジスタ23にはそのドレイン・ソース−ゲート間に寄生容量が顕在化する。リファレンス入力ゲート24がオン状態にされる逐次比較動作においてもそれと同じ寄生容量を顕在化させて容量的なバランスを採る為に、帰還スイッチMOSトランジスタ23と同じMOSトランジスタを用いたMOS容量29が配置されている。

[0034] 図2のアナログディジタル変換機の動作について説明する。まず、回路SCU1ーSCUnの各々において入力ゲート25をオンにし、帰還スイッチMOSトランジスタ23をオンにする。これによってアナログ入力Vinが変換容量21にサンプルホールドされる。このときノードAVのレベルはCMOSインバータの閾値電圧(Vth)とされる。回路SCU1ーSCUnの全ての変換容量(容量値の合計をCaとする)21にチャージされる電荷Qは、Q=Ca(Vth−Vin)となる。サンプルホールド動作が終わると、回路SCU1ーSCUnの各々において入力ゲート25をオフにし、帰還スイッチMOSトランジスタ23をオフにし、これによってチャージされた電荷Qが変換容量21のCMOSインバータ22側の蓄積電極に保存される。次いで、MSBの比較動作に移行し、回路SCU1ーSCUnの中のMSBに対応する一つの回路においてリファレンスゲート24から論理値1の電圧を供給し、その他の回路においてリファレンスゲート24から論理値0の電圧を供給する。これにより電荷Qが回路SCU1ーSCUnの各変換容量21において再分配される。CMOSインバータ22の入力電圧Vavは電荷保存則より、Vav=Vth−(Vin−(1/2)AVCC)となる。Vin>(1/2)AVCCの場合はCMOSインバータ22の出力がハイレベルとなり、MSBが論理値1に確定される。逆にVin<(1/2)AVCCの場合はCMOSインバータ22の出力がローレベルとなり、MSBが論理値0に確定される。

[0035] MSBが決定すると次のビットの比較動作に移行する。当該次のビットに対する上記同様の比較動作によってCMOSインバータ22の出力に基づいて当該次のビットの論理値を決定する。以下同様に最下位ビットまで逐次比較動作を行って、最終的な

AD変換結果ADoutを得る。

[0036] マイクロコンピュータ1は、システム上使用可能な外部電源電圧が3．3Vであるのに対し、MOSトランジスタに対する耐圧が1．8V電源に対する耐圧と5V電源に対する耐圧の2種類とされる半導体製造プロセスを利用しなければならないという制約を受ける場合を想定して設計されている。したがって、3．3Vの外部電源電圧AVCCよりも高い5V耐圧を有するMOSトランジスタを用いてアナログディジタル変換回路9が構成されている。このとき、前記昇圧回路10は前記容量再配分型の逐次比較アナログディジタル変換回路9の低電圧・低温・高速での変換特性を確保するために設けられている。例えばLDAC28やCMOSインバータ22，26，27の動作電源が3．3Vの電源電圧AVCCであるとき、スイッチMOSトランジスタ23、トランスファゲート24，25のnチャンネル型MOSトランジスタに対して、そのオン抵抗を小さく（若しくはコンダクタンスを大きく）するために、前記昇圧回路10で生成した昇圧電圧5Vを動作電源として生成した信号をスイッチ制御信号に用いる。すなわち、制御回路27において、前記スイッチ制御信号φS1ーφSn、φR1ーφRnの信号振幅は昇圧された5V振幅とされる。

[0037] 図3には昇圧回路10の動作とアナログディジタル変換回路9の動作を制御するための詳細な構成が例示される。昇圧電圧vdd2の出力ノードには安定化容量30が接続されている。安定化容量30は例えばMOS容量で構成され、特に制限されないが、数十ピコファラッドの容量値が設定されている。アナログディジタル変換回路9に対する変換動作は変換イネーブル信号φadcによって指示される。変換イネーブル信号φadcはLOG7に配置された制御レジスタ（CREG）31の変換イネーブルビットが論理値1にセットされることによってイネーブルレベルにされる。例えばマイクロコンピュータ1の外部からアナログディジタル変換要求があると、これに基づいてLOG7の割り込みコントローラがCPU3に割り込み信号をアサートし、これに応答してCPU3は前記制御レジスタ31にアナログディジタル変換イネーブルビットをセットする。

[0038] 前記昇圧回路10は、特に図示はしないが、チャージポンプ回路を用いた公知の回路構成を採用することができる。特に図示はしないが、チャージポンプ回路は、例えば、各々がそのドレインとゲートが接続された所謂ダイオード接続を有し、互いのソー

スとドレインとを接続して多段に縦続接続された複数のMOSトランジスタと、MOSトランジスタのソースのそれぞれに接続された容量素子とを備える。最前段のMOSトランジスタのドレイン及びゲートに電圧を入力し、それに続く後段のMOSトランジスタのドレイン及びゲートには、交互にクロック信号φ、その反転クロック信号φnをそれぞれの容量素子を介して供給することにより、最終段のMOSトランジスタから昇圧された電圧を得ることができる。昇圧回路10は、イネーブル信号φupcがアサートされることによってクロック信号に同期した昇圧動作の開始が指示される。特に制限されないが、イネーブル信号φupcはシステムコントローラ4から出力される。システムコントローラ4は、特に制限されないが、リセット信号RESによるリセット解除、スタンバイ信号STBによるスタンバイ解除に応答してイネーブル信号φupcをアサートする。スタンバイ信号STBによりスタンバイ状態が指示されたときは、これに応答してイネーブル信号φupcをネゲートする。チャージポンプ回路はセレクタ32で選択されたクロック信号CLKupcに同期してチャージポンプ動作を行う。セレクタ32はクロックパルスジェネレータ12から出力されるクロック信号CLK又は当該クロック信号CLKを分周回路(DIV)33で分周した分周クロック信号CLKdvを選択して昇圧回路10に供給する。セレクタ32はADC9のイネーブル信号φadcがネゲートされている状態において分周クロック信号CLKdvを選択し、ADC9のイネーブル信号φadcがアサートされている状態においてクロック信号CLKを選択する。

[0039] 図4には昇圧回路10とアナログディジタル変換回路11の動作タイミングが例示される。時刻t0にイネーブル信号φupcがアサートされると、昇圧回路10は分周クロック信号CLKdvに同期して昇圧動作を開始する。イネーブル信号φupcのアサートタイミングは、リセット解除に同期し、或いは、スタンバイ解除後の発振安定期間(例えば100ミリ秒)の経過に同期する。したがって昇圧動作が開始されるときクロック信号CLKは安定化している。時刻t1にイネーブル信号φadcがアサートされると、昇圧クロック信号CLKupcが分周クロック信号CLKdvから高速のクロック信号CLKに切り換えられると共に、アナログディジタル変換回路9の変換動作が開始される。時刻t1ーt2がサンプリング期間Tsmp、時刻t3ーt4が逐次比較期間Tcmpとされる。サンプリング期間Tsmpにおいて、昇圧回路10は既に昇圧動作を開始しているから、安定化容

量30に数十ピコファラッドのような比較的大きな容量を採用する場合にも比較的早い段階からADC9のノード電圧がCMOSインバータ22の論理閾値電圧VLTに到達する。要するに、昇圧動作が間に合わずに制御信号φS1ーφSnのレベルが低いままになり、これによってMOSトランジスタ23の比較的大きなオン抵抗によってノードAVの電圧が論理閾値電圧VLTに到達しない状態でサンプリング動作が終了してしまう自体を抑止することができる。更に逐次比較動作では、比較的大きな安定化容量30の作用によって昇圧電圧vdd2が安定化され、比較動作の途中で制御信号φR1ーφRnのレベルが変動してサンプリング時に対してMOS容量29による容量バランスが変動して変換誤差を生じたり、また、ゲート24のコンダクタンスが低下することによる変換誤差を生じたりするのを抑制することができる。ADC9が動作されていないとき昇圧回路10は遅い分周クロック信号CLKdvにて昇圧動作を行っているから、低消費電力の要請も満足している。

[0040] 図5には昇圧回路10とアナログディジタル変換回路11の別の動作タイミングが例示される。ここでは、イネーブル信号φupcはリセット信号RESの立ち上がり(リセット解除)又はスタンバイ信号STBの立ち上がり(スタンバイ解除)に応答して即座にアサートされるものとする。また、マイクロコンピュータ1の内部は、リセット解除又はスタンバイ解除の後、クロック発振安定化時間Tstbを経過した後、内部リセット信号resがアサートされて内部動作が可能にされるものとする。したがってADC9の動作指示は内部リセット信号resがアサートされた後に可能になる。この場合にも、ADC9の動作が指示される前に遅いクロック信号CLKによる昇圧回路10の昇圧動作が開始されているから、図4の場合と同様に、低消費電力を保証しながら変換誤差の発生を抑制することができる。

[0041] 図6には昇圧回路10とアナログディジタル変換回路11の更に別の動作タイミングが例示される。ここでは、図5のタイミングに加えて、イネーブル信号φupcはパワーオン検出によってもアサートされる場合を示している。要するに、リセット信号RES、スタンバイ信号STB及び電源投入検出信号VDTCの論理和信号をイネーブル信号φupcとする。外部電源電圧VCC, AVCCが投入されると、パワーオン検出回路が電源投入を検出する。この検出信号VDTCに同期して昇圧回路10のイネーブル信

号件φupcをアサートする。その他のタイミングは図5と同じである。

[0042] 図7には昇圧回路の昇圧動作をADCのイネーブルに同期して行う比較例に係るブロック図が示される。この構成では、ADCのサンプリング動作の開始と一緒に昇圧動作が開始されるから、安定化容量30の値が大きければ図8のようにサンプリング動作の終了時点で昇圧電圧が規定電圧に到達せず、ADCのAVがCMOSインバータの論理閾値電圧VLTにならず変換誤差を生ずる虞がある。逆に安定化容量30の値を小さくすると、図9のように昇圧動作は間に合っても、昇圧電圧が安定化せず、これによって変換誤差を生ずる虞がある。図3の構成においては、上述の如く、外部供給電源電圧に対するより高い耐圧のMOSトランジスタで構成されたADC9を有するマイクロコンピュータ1において、前記ADC9の動作に用いる昇圧回路10の低消費電力と共に昇圧動作速度の保証と昇圧電圧の安定化との双方を満足することができる。

[0043] 図10には昇圧電圧vdd2の振幅を持つ制御信号によって制御対象とすることができる素子の例を幾つか例示する。(A)のnチャンネル型のスイッチMOSトランジスタ40、(B)のCMOSトランスファゲート41、(C)の抵抗分圧回路におけるCMOSトランスファゲート42及びnチャンネル型スイッチMOSトランジスタ43などを挙げることができる。

[0044] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0045] 例えば、本発明は、システム上使用可能な外部電源電圧と、使用可能な半導体製造プロセスとの関係から、外部電源電圧よりも高い耐圧を有するMOSトランジスタを用いてADCなどのオンチップ回路を構成する場合に限定されない。そのような事情は一例に過ぎない。外部供給電源電圧に対するより高い耐圧のMOSトランジスタ構成された処理回路と昇圧回路をもつ半導体装置であればよい。処理回路はADCに限定されず、ディジタルアナログ変換回路、抵抗分圧回路、積分回路、スイッチドキャパシタフィルタなど、トランスファゲートやスイッチMOSトランジスタなどを有する回路であればよい。

産業上の利用可能性

[0046] 本発明は、マイクロコンピュータに限定されず、ディジタル、アナログ、或いはディジタル・アナログ混載など種々の構成の半導体装置、そして種々の用途の半導体装置に広く適用することができる。

請求の範囲

[1] 所定の耐圧電圧を有する第1の領域と、前記第1の領域よりも低い耐圧電圧を有する第2の領域とを有し、

前記第1の領域は、外部から供給される第1の電圧を動作電源電圧に用いる外部インタフェース回路と、前記第1の電圧を昇圧して第2の電圧を生成する昇圧回路と、前記第1の電圧と第2の電圧を動作電源電圧に用いる処理回路とを有し、

前記昇圧回路は、前記処理回路が動作されるときは第1の速度で昇圧動作を行い、前記処理回路が動作される前に前第1の速度よりも遅い第2の速度で予め昇圧動作を行う半導体装置。

[2] 前記処理回路は、外部と入出力される信号の最大振幅として第1の電圧を有し、トランスファゲートの制御信号の振幅に第2の電圧を有するアナログディジタル／ディジタルアナログ変換回路である請求項1記載の半導体装置。

[3] 前記第1の領域は更に、前記第1の電圧を降圧して第3の電圧を生成する電源回路を有し、前記第2の領域は前記第3の電圧を動作電源電圧に用いるディジタル処理回路を有する請求項1記載の半導体装置。

[4] 前記ディジタル処理回路は中央処理装置を含む請求項3記載の半導体装置。

[5] 前記第1の領域は更に、第3の電圧を動作電源電圧に用いるフラッシュメモリを有し、フラッシュメモリは第3の電圧を昇圧する昇圧回路を備える請求項3記載の半導体装置。

[6] 前記昇圧回路は、リセット指示の解除又はスタンバイ状態の解除によって前記第2の速度で昇圧動作を開始する請求項1記載の半導体装置。

[7] 前記昇圧回路はクロック信号に同期して昇圧動作を行うチャージポンプ回路を有し、

前記チャージポンプ回路にはクロックセレクタから選択的に出力される第1クロック信号又は第2クロック信号が供給され、

前記第2クロック信号は第1クロック信号の分周クロック信号であり、前記第1クロック信号は昇圧回路の昇圧動作を第1の速度に規定し、第2クロック信号は昇圧回路の昇圧動作を第2の速度に規定する請求項6記載の半導体装置。

[8] 処理回路と昇圧回路とを有し、

前記処理回路と昇圧回路は相互に耐圧の同じMOSトランジスタによって構成され、

前記耐圧は外部から供給される外部電源電圧に対するよりも高くされ、

前記処理回路は前記外部電源電圧と前記昇圧回路で生成された昇圧電圧との双方を動作電源電圧として利用し、

前記昇圧回路は、前記処理回路の動作が指示される前に遅い速度で昇圧動作を開始し、処理回路の動作が指示されたときは速い速度で昇圧動作を行う半導体装置。

[9] 前記処理回路はアナログ信号をディジタル信号に変換するアナログディジタル変換回路又はディジタル信号をアナログ信号に変換するディジタルアナログ変換回路である請求項8記載の半導体装置。

[10] ディジタル処理回路、アナログ処理回路、及び昇圧回路を有し、

前記アナログ処理回路と昇圧回路は相互に耐圧の同じMOSトランジスタによって構成され、

前記耐圧は外部から供給される外部電源電圧に対するよりも高くされ、

前記アナログ処理回路は前記外部電源電圧と前記昇圧回路で生成された昇圧電圧との双方を動作電源電圧として利用し、

前記ディジタル処理回路は、前記アナログ処理回路の動作が指示される前に遅い速度で前記昇圧回路に昇圧動作を開始させ、アナログ処理回路の動作が指示されたときは前記昇圧回路の昇圧動作を速い速度に切り換え制御する半導体装置。

[11] 前記ディジタル処理回路は前記外部電源電圧に対するよりも低い耐圧のMOSトランジスタによって構成され、

前記ディジタル処理回路は前記外部電源電圧の降圧電圧を動作電源電圧として利用する回路であり、

前記ディジタル処理回路は、半導体装置に対するリセット指示の解除又はスタンバイ状態の解除によって前記遅い速度で前記昇圧回路に昇圧動作を開始させる請求項10記載の半導体装置。

[12] 前記アナログ処理回路は、CMOSインバータと、前記CMOSインバータの入力と出

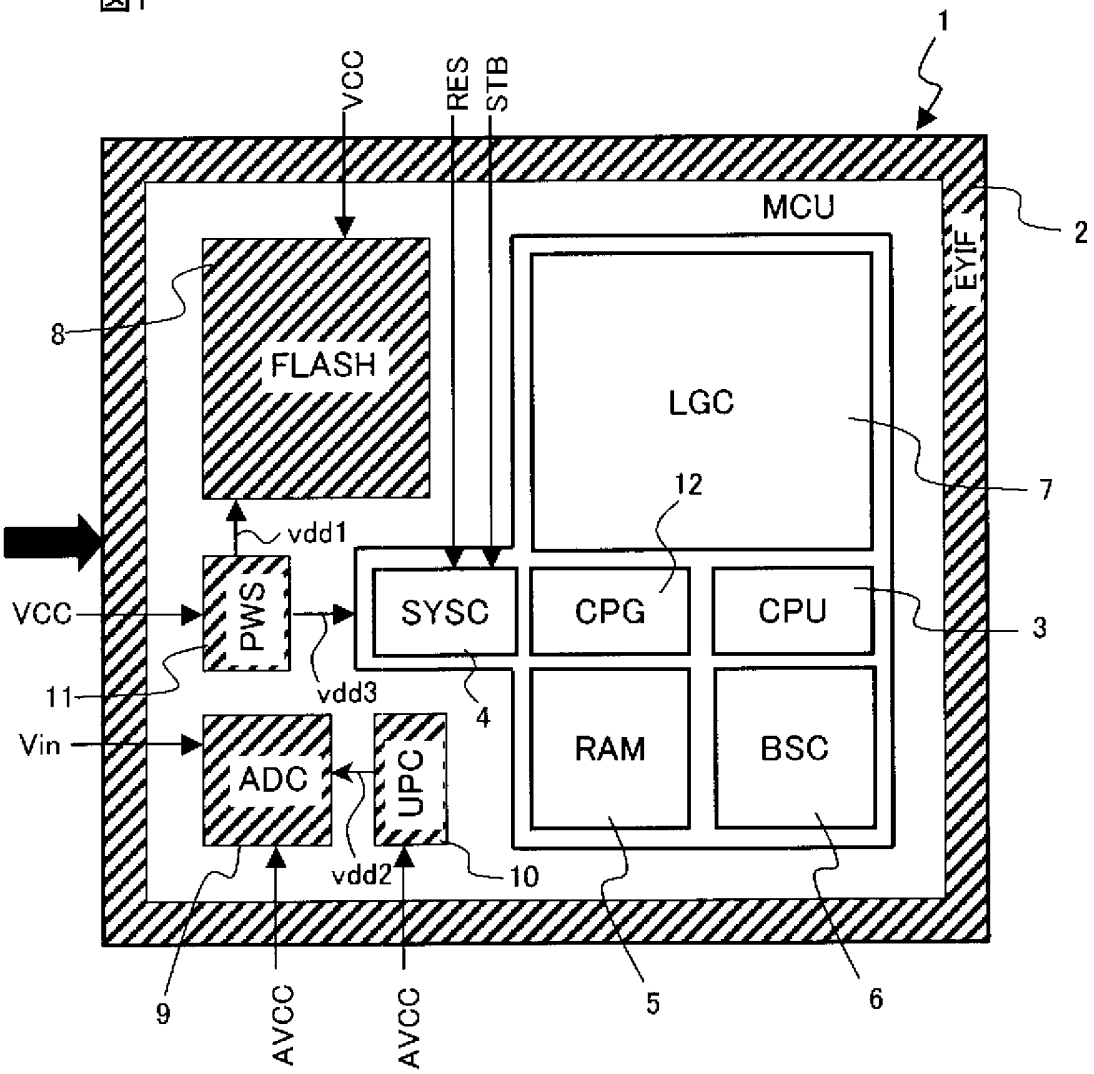
力を選択的に短絡させる帰還スイッチMOSトランジスタと、前記CMOSインバータの入力に一方の蓄積電極が接続された容量素子と、前記容量素子の他方の蓄積電極に接続された入力スイッチMOSトランジスタとを有し、

前記CMOSインバータの動作電源電圧は外部電源電圧であり、前記帰還スイッチMOSトランジスタ及び入力スイッチMOSトランジスタのスイッチ制御信号は昇圧電圧を信号振幅とする請求項11記載の半導体装置。

[13] 前記アナログ処理回路は電荷再配分型逐次比較アナログディジタル変換回路である請求項12記載の半導体装置。

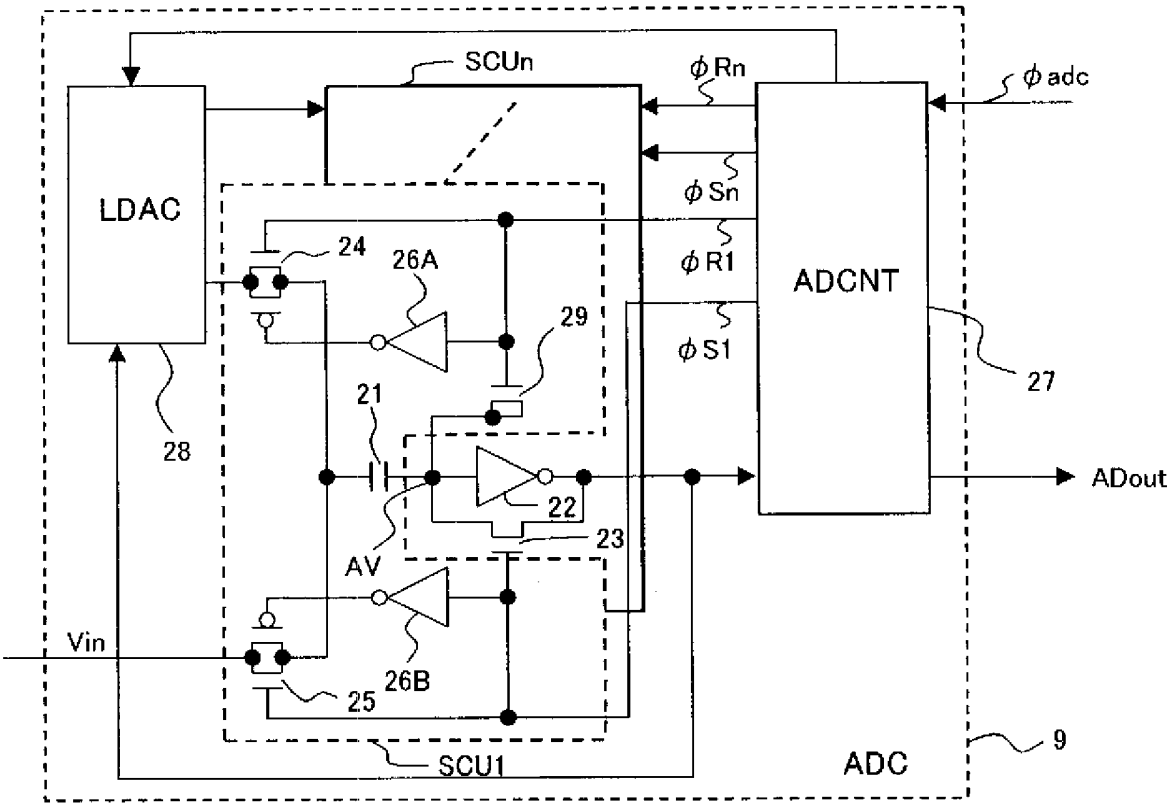
[図1]

図1


1
VCC
RES
STB
MCU
EYIF
2
8
FLASH
LGC
7
12
vdd1
VCC
PWS
SYSC
CPG
CPU
3
11
vdd3
4
Vin
ADC
UPC
RAM
BSC
vdd2
10
9
AVCC
AVCC
5
6

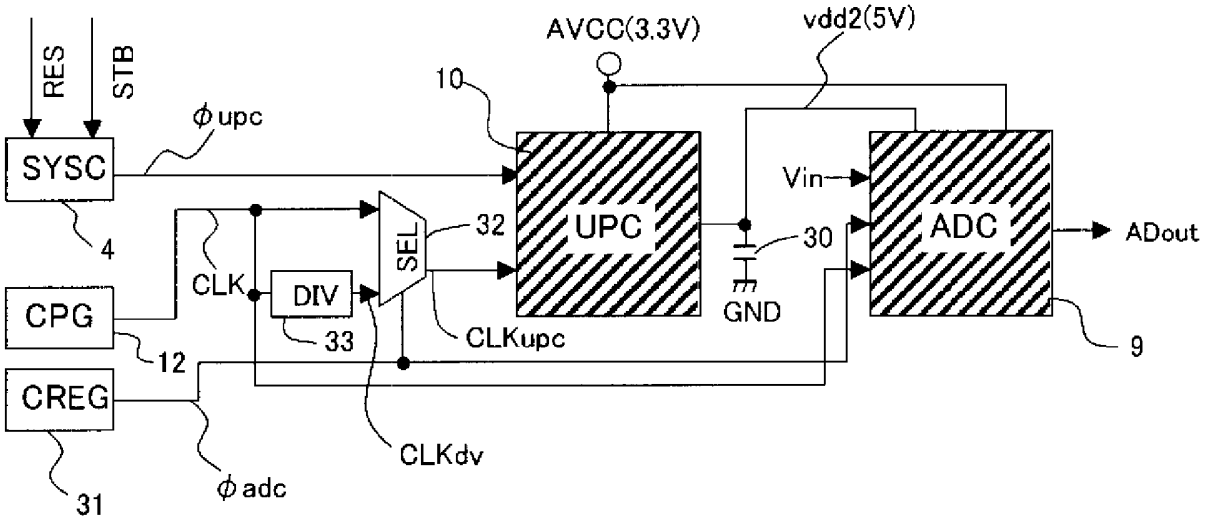
[図2]

図2


SCUn
φRn
φadc
LDAC
φSn
φR1
ADCNT
φS1
24
26A
29
27
28
21
ADout
22
23
AV
Vin
26B
25
SCU1
ADC
9

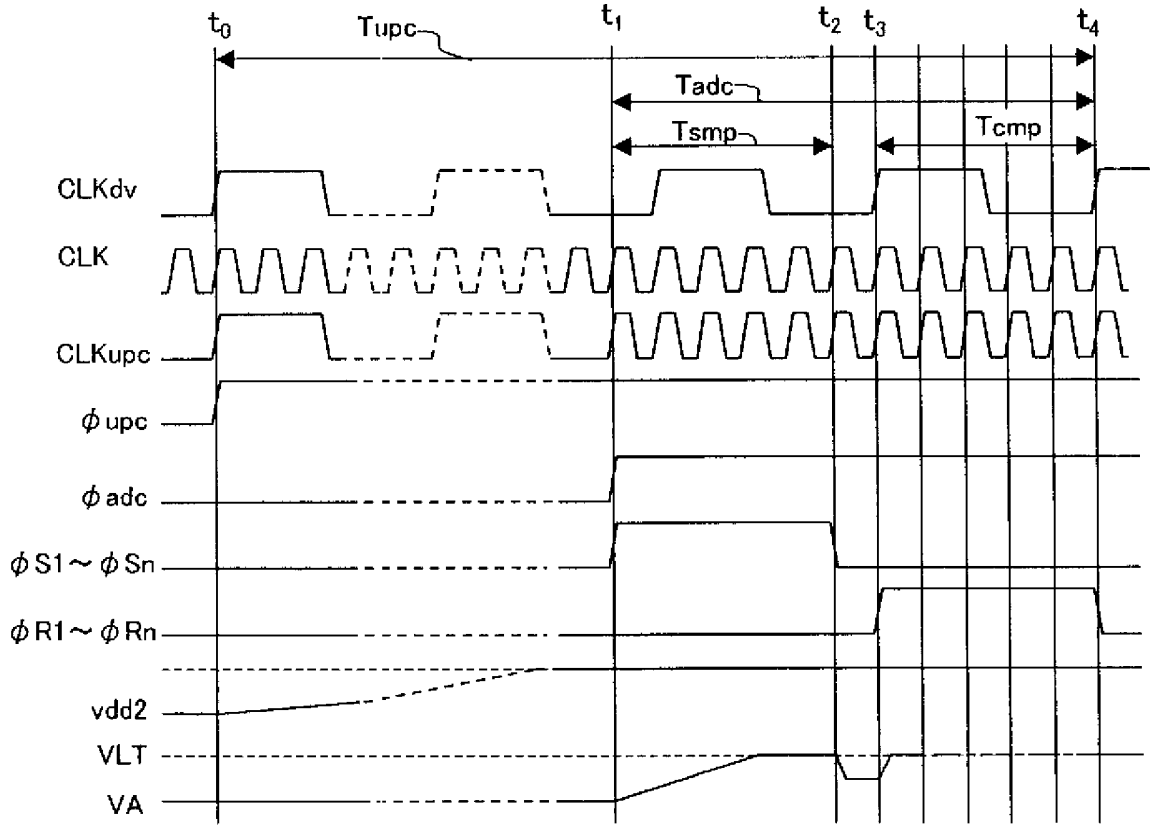
[図3]

図3


RES
STB
AVCC(3.3V)
vdd2(5V)
10
φupc
SYSC
4
Vin
UPC
ADC
ADout
SEL
32
30
CLK
DIV
CPG
GND
33
CLKupc
12
9
CREG
CLKdv
φadc
31

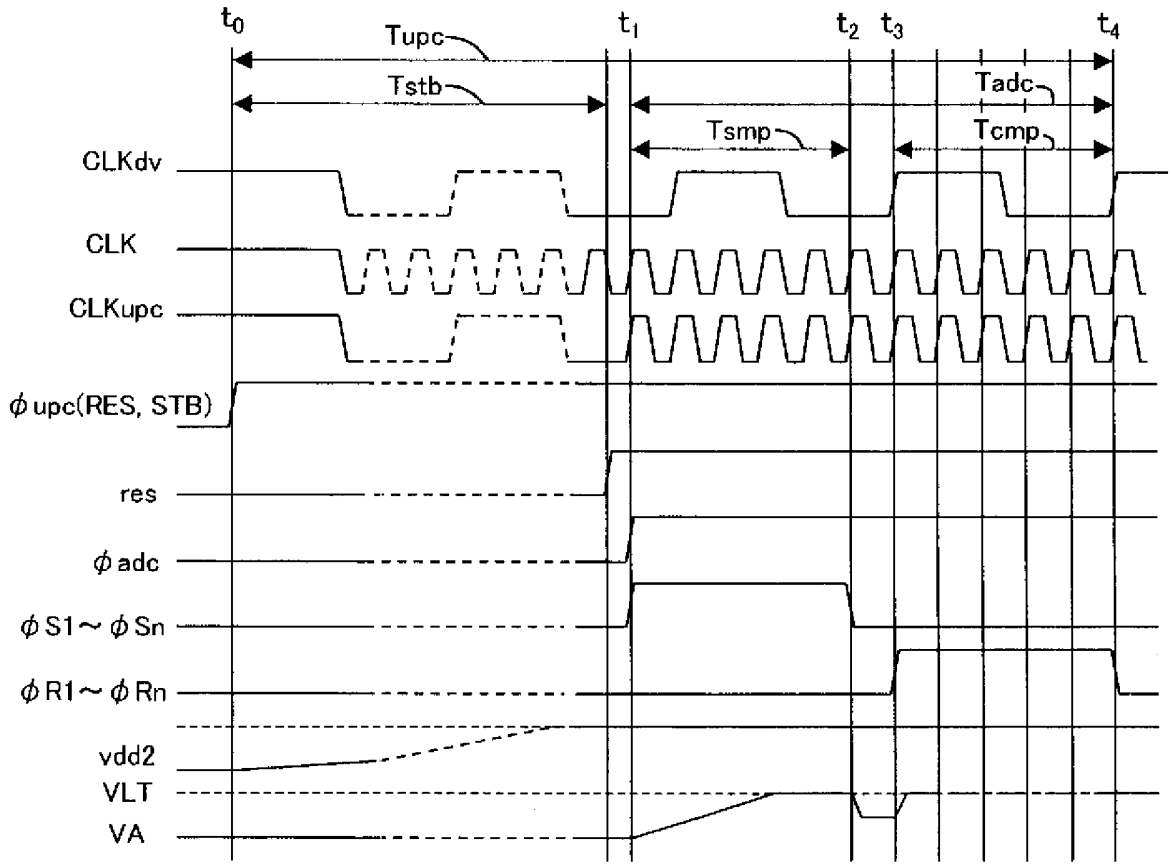
[図4]

図4


t0
Tupc
t1
t2
t3
t4
Tadc
Tsmp
Tcmp
CLKdv
CLK
CLKupc
φupc
φadc
φS1～φSn
φR1～φRn
vdd2
VLT
VA

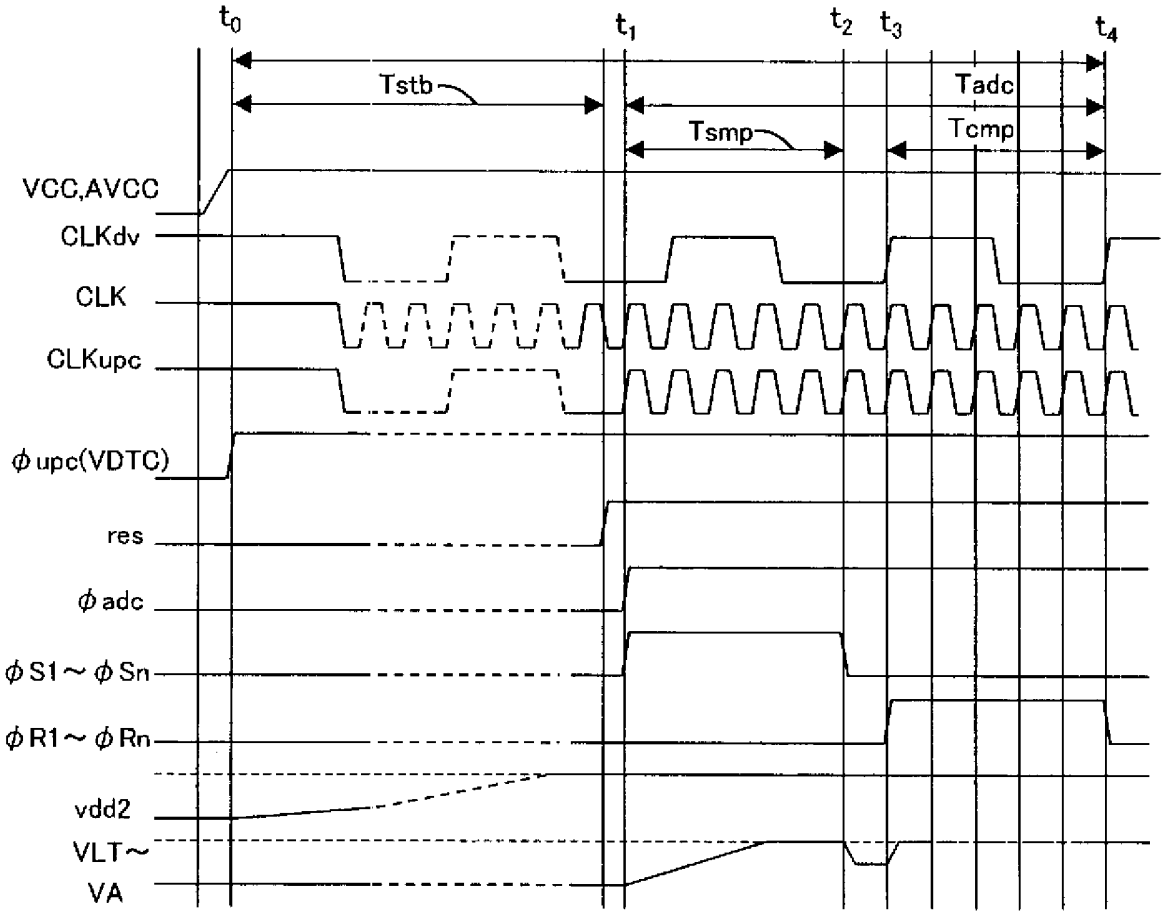
[図5]

図5


t0
Tupc
t1
t2
t3
t4
Tstb
Tadc
Tsmp
Tcmp
CLKdv
CLK
CLKupc
φupc(RES, STB)
res
φadc
φS1～φSn
φR1～φRn
vdd2
VLT
VA

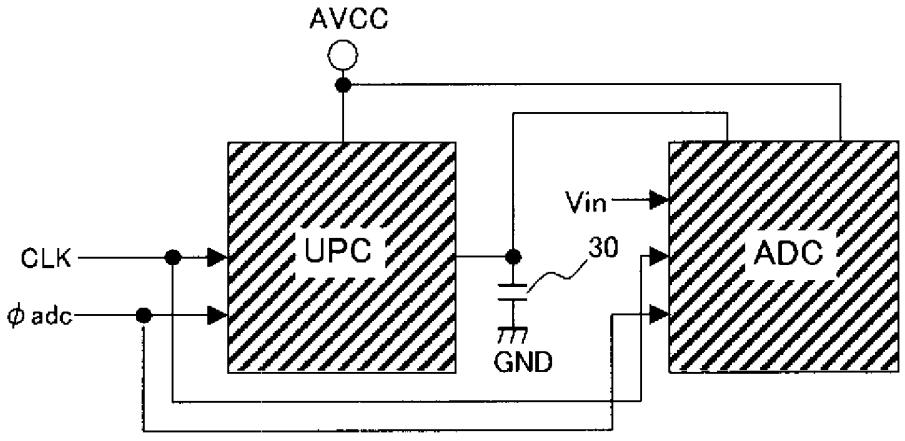
[図6]

図6


t0
t1
t2
t3
t4
Tstb
Tadc
Tsmp
Tcmp
VCC,AVCC
CLKdv
CLK
CLKupc
φupc(VDTC)
res
φadc
φS1～φSn
φR1～φRn
vdd2
VLT～
VA

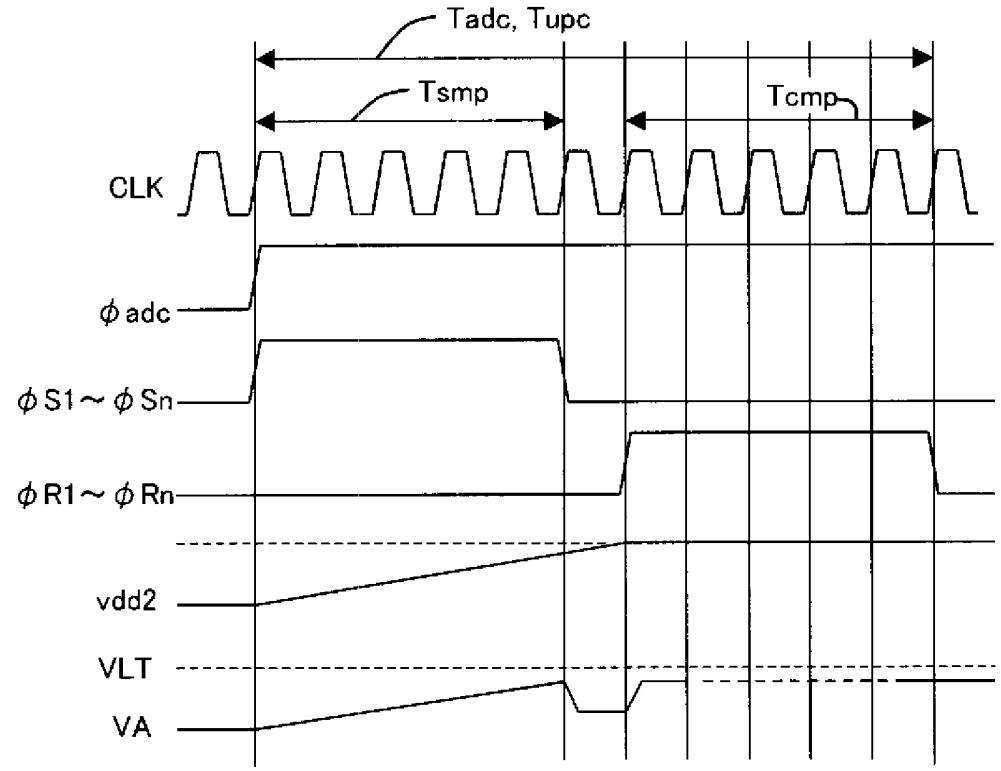
[図7]

図7


AVCC
CLK
φadc
UPC
Vin
30
GND
ADC

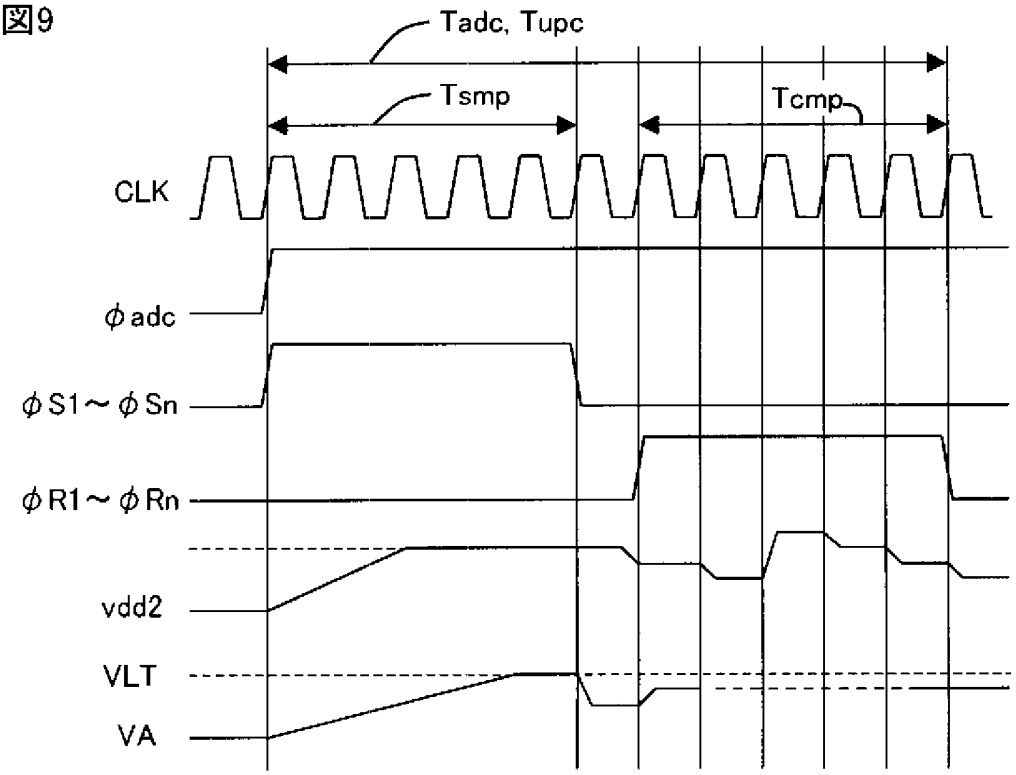
[図8]

図8


Tadc, Tupc
Tsmp
Tcmp
CLK
φadc
φS1～φSn
φR1～φRn
vdd2
VLT
VA

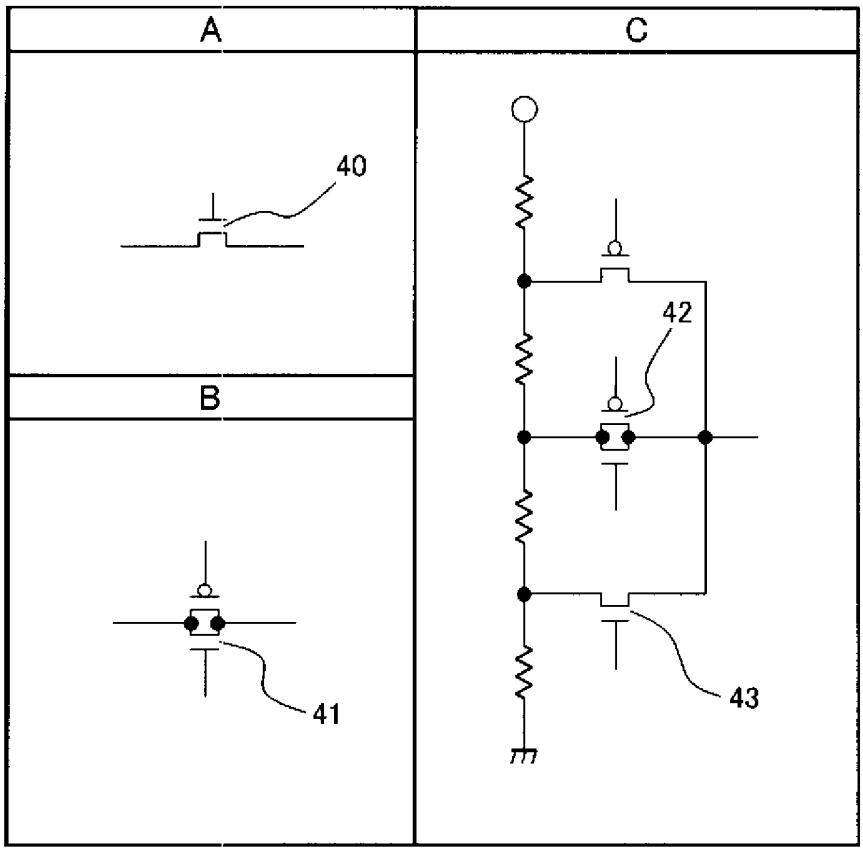
[図9]

図9


Tadc, Tupc
Tsmp
Tcmp
CLK
φadc
φS1～φSn
φR1～φRn
vdd2
VLT
VA

[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/015133

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03M1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03M1/00-1/88, G06F15/00, G11C17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 01-241659 A (NEC IC Miconsystem Kabushiki Kaisha), 26 September, 1989 (26.09.89), Page 3, lower left column, lines 3 to 11; page 3, lower right column, line 14 to page 4, upper left column, line 14; Figs. 1, 2 (Family: none)	1,3-8,10,11 2,9,12,13
Y	JP 06-085676 A (NEC IC Miconsystem Kabushiki Kaisha), 25 March, 1994 (25.03.94), Fig. 1; page 3, left column, lines 33 to 37 (Family: none)	2,9,12,13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search 28 October, 2004 (28.10.04)	Date of mailing of the international search report 16 November, 2004 (16.11.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／０１５１３３

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０３Ｍ１／１２

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷ Ｈ０３Ｍ１／００～１／８８，Ｇ０６Ｆ１５／００，Ｇ１１Ｃ１７／００

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２６－１９９６年
日本国公開実用新案公報　１９７１－２００４年
日本国登録実用新案公報　１９９４－２００４年
日本国実用新案登録公報　１９９６－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	ＪＰ ０１－２４１６５９ Ａ（日本電気アイシーマイコンシステム株式会社）２６．０９．１９８９，第３頁左下欄第３～１１行、第３頁右下欄第１４行～第４頁左上欄第１４行、第１，２図（ファミリーなし）	1, 3-8, 10, 11 2, 9, 12, 13
Y	ＪＰ ０６－０８５６７６ Ａ（日本電気アイシーマイコンシステム株式会社）２５．０３．１９９４，第１図、第３頁左欄第３３～３７行（ファミリーなし）	2, 9, 12, 13

☐ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１０．２００４	16.11.2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｘ	９５６１
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	柳下　勝幸 電話番号　０３－３５８１－１１０１　内線　３５５６		