



(12) 发明专利

(10) 授权公告号 CN 101903991 B

(45) 授权公告日 2014. 06. 04

(21) 申请号 200880121431. 6

代理人 沈锦华

(22) 申请日 2008. 12. 16

(51) Int. Cl.

(30) 优先权数据

H01L 21/336 (2006. 01)

11/959, 409 2007. 12. 18 US

H01L 21/027 (2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2010. 06. 18

US 7298004 B2, 2007. 11. 20, 说明书第 3 栏第 66 行 - 第 5 栏第 67 行, 附图 1-9.

(86) PCT国际申请的申请数据

US 7298004 B2, 2007. 11. 20, 说明书第 3 栏第 66 行 - 第 5 栏第 67 行, 附图 1-9.

PCT/US2008/087029 2008. 12. 16

(87) PCT国际申请的公布数据

CN 1450647 A, 2003. 10. 22, 全文.

W02009/079517 EN 2009. 06. 25

审查员 李静

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 卢安·C·特兰

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

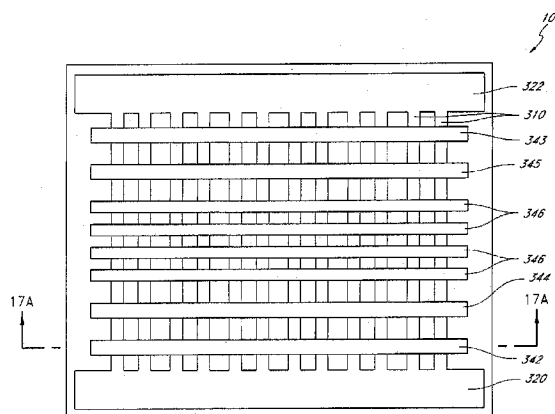
权利要求书2页 说明书11页 附图28页

(54) 发明名称

用于隔离间距倍增材料环的部分的方法及相关结构

(57) 摘要

使半导体材料的连续环的不同部分彼此电隔离。在一些实施例中,使所述环的末端与所述环的中间部分电隔离。在一些实施例中,通过间距倍增工艺来形成半导体材料的具有在其末端处连接在一起的两个支脚的环,在所述间距倍增工艺中在心轴的侧壁上形成间隔物的环。移除所述心轴且将掩蔽材料的块覆盖在所述间隔物环的至少一个末端上。在一些实施例中,掩蔽材料的所述块覆盖所述间隔物环的每一末端。将由所述间隔物及所述块界定的图案转印到半导体材料的层。所述块将所有所述环电连接在一起。沿所述环的每一支脚形成选择栅极。所述块充当源极/漏极。以断开状态偏置所述选择栅极以防止电流从所述环的支脚的中间部分流动到所述块,借此使所述中间部分与所述环的所述末端电隔离且还使环的不同支脚彼此电隔离。



1. 一种制造集成电路的方法,其包含:

提供具有由半导体材料形成的多个环的衬底,所述环中的每一者由在所述环中的所述每一者的第一末端及第二末端处接合的第一及第二狭长部分来界定,其中所述第二末端与所述第一末端相对,其中所述环的所述第一末端由导电材料相互接合且所述环的所述第二末端由导电材料相互接合;以及

沿所述环中的每一者的每一第一狭长部分提供第一对晶体管中的每一者,其中所述第一对晶体管中的一个晶体管接近所述环的所述第一末端且所述第一对晶体管中的另一晶体管接近所述环的所述第二末端,其中每一环形成所述第一对晶体管中的每一者的有源区;

其中提供所述第一对晶体管中的每一者包含掺杂所述有源区的任一侧以形成源极/漏极区域以及直接在所述环上形成晶体管栅极,所述栅极在其下方界定所述有源区;

其中所述第一末端和第二末端中的一者是源极区域,且其中提供所述第一对晶体管中的每一者包含使所述源极区域及所述栅极共同电分流。

2. 根据权利要求1所述的方法,其中提供具有所述环的所述衬底包含通过执行间距倍增来形成所述环,其中执行间距倍增包含:

在所述衬底上形成心轴;

在所述心轴的侧壁上形成间隔物;

移除所述心轴以留下独立间隔物的图案;以及

将由所述独立间隔物界定的图案蚀刻到包含所述半导体材料的层中。

3. 根据权利要求1所述的方法,其进一步包括:

在所述环上形成半导体材料的层;

在半导体材料的所述层上形成掩模材料的层;

图案化掩模材料的所述层以形成跨越所述环中的每一者延伸的掩蔽材料的一个或多个条带;

将由所述条带界定的图案转印到半导体材料的所述层以形成半导体材料的条带。

4. 一种用于形成集成电路的工艺,其包含:

提供覆盖衬底的多个心轴;

在所述心轴的侧壁处提供间隔物;

相对于所述间隔物选择性地移除所述心轴;

在所述间隔物上沉积掩模材料的层;

图案化掩模材料的所述层以形成横向分离的、所述掩模材料的第一块及第二块,所述第一块接触所述间隔物中的每一者的第一末端且所述第二块接触所述间隔物中的每一者的第二末端;以及

将由所述间隔物以及所述第一及第二块界定的第一图案转印到所述衬底;从而在所述衬底中形成间距倍增的线以及块,所述间距倍增的线中的每一者与所述衬底中的块接触。

5. 根据权利要求4所述的工艺,其中提供多个心轴包含:

提供覆盖所述衬底的光致抗蚀剂层;

图案化所述光致抗蚀剂层以形成光致抗蚀剂特征;以及

修整所述光致抗蚀剂特征,其中所述经修整的光致抗蚀剂特征形成所述心轴。

6. 根据权利要求 5 所述的工艺,其中在所述心轴的侧壁处提供间隔物包含:
在所述光致抗蚀剂特征上毯覆性沉积间隔物材料的层;以及
从水平表面移除所述间隔物材料以在所述光致抗蚀剂特征的侧壁上界定间隔物。
7. 根据权利要求 4 所述的工艺,其中将由所述间隔物以及所述第一块及第二块界定的所述第一图案转印到所述衬底包含:
将由所述间隔物以及所述第一及第二块界定的所述第一图案转印到硬掩模层;以及
将所述第一图案从所述硬掩模层转印到所述衬底。
8. 根据权利要求 7 所述的工艺,其进一步包含:
在所述间隔物与所述硬掩模层之间的层面上提供一个或多个额外硬掩模层;以及
在将所述第一图案转印到所述硬掩模层之前将所述第一图案转印到所述一个或多个额外硬掩模层。
9. 根据权利要求 7 所述的工艺,其中由无定形碳形成所述硬掩模层。
10. 一种用于形成集成电路的工艺,其包含:
提供覆盖衬底的第一掩模材料的多个狭长环;
在所述环上提供第二掩模材料的层;
图案化所述层以形成所述第二掩模材料的块,所述块接触所述环中的每一者的末端;
将由所述环及所述块界定的第一图案转印到所述衬底;
随后在所述衬底上形成半导体材料的层;
在所述半导体材料上形成掩模材料的另一层;
图案化所述另一层以形成延伸跨越所述环中的每一者且与其接触的掩蔽材料的一个或多个条带;
将由所述条带界定的第二图案转印到半导体材料的所述层以形成半导体材料的条带;
以及
将半导体材料的所述条带与由所述第二掩模材料的所述块界定的衬底特征电连接;
其中将半导体材料的所述条带电连接包括在半导体材料的所述条带上形成晶体管栅极和掺杂所述晶体管栅极的任一侧以形成源极/漏极区域;
其中由所述第二掩模材料的所述块界定的所述衬底特征是源极区域,且其中将半导体材料的所述条带电连接包含使所述源极区域及所述栅极共同电分流。
11. 根据权利要求 10 所述的工艺,其中转印所述第二图案界定晶体管的栅极且转印所述第一图案界定所述晶体管的源极/漏极区域。
12. 根据权利要求 10 所述的工艺,其中转印所述第一图案界定存储器装置的位线。
13. 根据权利要求 12 所述的工艺,其中转印所述第二图案界定所述存储器装置的字线。
14. 根据权利要求 10 所述的工艺,其中所述集成电路是快闪存储器电路,其中转印所述第一及所述第二图案在所述快闪存储器电路的阵列区域中界定浮动栅极晶体管。
15. 根据权利要求 14 所述的工艺,其中图案化所述层在所述快闪存储器电路的周边区域中界定特征。

用于隔离间距倍增材料环的部分的方法及相关结构

[0001] 对相关申请案的参考

[0002] 本申请案与下列申请案有关且以引用的方式并入有下列申请案的全部内容：阿巴切夫 (Abatchev) 等人于 2004 年 9 月 2 日申请的第 10/934,778 号美国专利申请案（代理人案号 MICRON. 294A）；特朗 (Tran) 等人于 2004 年 8 月 31 日申请的第 10/931,771 号美国专利申请案（代理人案号 MICRON. 295A）；特朗 (Tran) 等人于 2005 年 8 月 31 日申请的第 11/216,477 号美国专利申请案（代理人案号 MICRON. 314A）；及特朗 (Tran) 等人于 2005 年 8 月 29 日申请的第 11/214,544 号美国专利申请案（代理人案号 MICRON. 316A）。

技术领域

[0003] 本发明大体上涉及集成电路及电子装置的制造，且更确切地说涉及制造方法及相关结构。

背景技术

[0004] 由于许多因素（包括对增强的便携性、计算能力、存储器容量及能量效率的需求），集成电路的大小在不断地减小。形成集成电路的构成特征（例如，电装置及互连线）的大小也在不断地减小以促进此大小减小。

[0005] 减小特征大小的趋势（例如）在例如动态随机存取存储器 (DRAM)、快闪存储器、静态随机存取存储器 (SRAM)、铁电 (FE) 存储器等的存储器电路或装置中是明显的。举一个实例，DRAM 通常包括数百万或数十亿个相同电路元件，称作存储器单元。存储器单元通常由两个电装置组成：存储电容器及存取场效晶体管。每一存储器单元是可存储一位（二进制数字）数据的可寻址位置。可经由晶体管将位写入到单元且可通过感测电容器中的电荷来读取位。

[0006] 在另一实例中，快闪存储器通常包括数十亿个含有可保留电荷的浮动栅极场效晶体管的快闪存储器单元。浮动栅极中的电荷的存在或不存在确定存储器单元的逻辑状态。可通过将电荷注入到单元或从单元移除电荷而将位写入到单元。快闪存储器单元可以不同架构配置来连接，每一架构配置具有用于读取位的不同方案。在“NOR”架构配置中，每一存储器单元耦合到一位线且可被个别地读取。在“NAND”架构配置中，存储器单元在单元的“串”中对准，且激活整个位线以存取单元串中的一者中的数据。

[0007] 大体来说，通过减小构成存储器单元的电装置的大小及存取存储器单元的导电线的大小，可使存储器装置较小。另外，可通过在存储器装置中的给定区上装配更多存储器单元而增加存储容量。

[0008] 间距的概念可用以描述例如存储器装置的集成电路中的特征的大小的一个方面。将间距定义为两个相邻特征（例如，阵列中的特征，其通常以重复图案布置）中的相同点之间的距离。所述特征通常由邻近特征之间的间隔来界定，所述间隔通常由例如绝缘体的材料来填充。因此，可将间距视为特征的宽度与在特征的一侧上将所述特征与相邻特征分开的间隔的宽度的和。应了解，间隔及特征（例如，线）通常重复以形成间隔物及特征的重复

图案。

[0009] 临界尺寸 (CD) 是用以描述特征的大小的另一术语。临界尺寸是特定电路或掩蔽方案中的特征的最小尺寸。在集成电路制造期间,控制特定结构(例如,浅沟槽隔离(STI)结构)的 CD 有助于通过(例如)确保可预测的电路性能来促进集成电路的连续大小减小。

[0010] 特征大小的连续减小对用以形成所述特征的技术提出更大需求。举例来说,光刻在集成电路制造中通常用以图案化特征(例如,导电线)。然而,由于例如光学器件、光或辐射波长及可用光致抗蚀剂材料的因素,光刻技术可各自具有一最小间距或临界尺寸,特定光刻技术在所述最小间距或临界尺寸以下不能可靠地形成特征。因此,光刻技术的固有限制是连续特征大小减小的阻碍。

[0011] “间距加倍”或“间距倍增”是一种用于将光刻技术的能力延伸超过其最小间距的所提议方法。在图 1A 到图 1F 中说明且在颁予劳瑞 (Lowrey) 等人的第 5,328,810 号美国专利中描述间距倍增方法,所述专利的整个揭示内容以引用的方式并入本文中。参看图 1A,线 10 的图案以光刻方式形成在光致抗蚀剂层中,所述光致抗蚀剂层覆盖可消耗材料的层 20,可消耗材料的层 20 又覆盖衬底 30。如图 1B 中所示,将光致抗蚀剂层中的图案转印到层 20,借此形成位置固持器 (placeholder) 或心轴 40。剥离光致抗蚀剂线 10 且蚀刻心轴 40 以增加相邻心轴 40 之间的距离,如图 1C 中所示。随后将间隔物材料的层 50 沉积在心轴 40 上,如图 1D 中所示。接着将间隔物 60 形成在心轴 40 的侧上。通过优先蚀刻来自水平表面 70 及 80 的间隔物材料而实现间隔物形成,如图 1E 中所示。接着移除剩余心轴 40,从而仅留下间隔物 60,间隔物 60 一起充当用于图案化的掩模,如图 1F 中所示。因此,在给定间距先前包括界定一个特征及一个间隔的图案的情形下,同一宽度现在包括两个特征及两个间隔,其中所述间隔由间隔物 60 界定。

[0012] 当在以上实例中实际上将间距减半时,间距的此减小按照惯例被称作间距“加倍”或更大体上称作间距“倍增”。因此,按照惯例,间距“倍增”某一因子实际上涉及将所述间距减小所述因子。本文中保留常规术语。

[0013] 尽管允许较小临界尺寸及间距,但随着新挑战出现,间距倍增面临持续发展,因为集成电路制造的要求改变。因此,不断需要用于形成小特征的方法及结构。

附图说明

[0014] 图 1A 到图 1F 是根据现有技术间距加倍方法的用于形成导电线的一序列掩蔽图案的示意性横截面侧视图。

[0015] 图 2 是根据本发明的实施例的经部分地形成的集成电路的示意性俯视平面图。

[0016] 图 3A 及图 3B 是根据本发明的实施例的图 2 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0017] 图 4A 及图 4B 是根据本发明的实施例的在集成电路的阵列区域中在光致抗蚀剂层中形成线后图 3A 及图 3B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0018] 图 5A 及图 5B 是根据本发明的实施例的在加宽光致抗蚀剂层中的线之间的间隔后图 4A 及图 4B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0019] 图 6 是根据本发明的实施例的在沉积间隔物材料的层后图 5A 及图 5B 的经部分地

形成的集成电路的示意性横截面侧视图。

[0020] 图 7A 及图 7B 是根据本发明的实施例的在间隔物蚀刻后图 6 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0021] 图 8A 及图 8B 是根据本发明的实施例的在移除临时层的剩余部分以在集成电路的阵列区域中留下间隔物的图案后图 7A 及图 7B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0022] 图 9A 及图 9B 是根据本发明的实施例的在将光致抗蚀剂沉积在间隔物之间及间隔物上后图 8A 及图 8B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0023] 图 10A 及图 10B 是根据本发明的实施例的在于光致抗蚀剂中形成图案后图 9A 及图 9B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0024] 图 11 是根据本发明的实施例的在将由经图案化的光致抗蚀剂及间隔物界定的组合图案转印到下伏硬掩模层后图 10A 及图 10B 的经部分地形成的集成电路的示意性横截面侧视图。

[0025] 图 12 是根据本发明的实施例的在将组合图案转印到主掩模层后图 11 的经部分地形成的集成电路的示意性横截面侧视图。

[0026] 图 13 是根据本发明的实施例的在将组合图案转印到下伏衬底后图 12 的经部分地形成的集成电路的示意性横截面侧视图。

[0027] 图 14A 及图 14B 是根据本发明的实施例的在将图案转印到衬底中且移除覆盖衬底的硬掩模层后图 13 的经部分地形成的集成电路的示意性横截面侧视图及俯视图。

[0028] 图 15 是根据本发明的实施例的在用电介质填充沟槽及形成对应于栅极堆叠的一序列层后图 14A 及图 14B 的经部分地形成的集成电路的示意性横截面侧视图。

[0029] 图 16A、图 16B 及图 16C 是根据本发明的实施例的在沉积及图案化光致抗蚀剂层后图 15 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0030] 图 17A 及图 17B 是根据本发明的实施例的在将图案从光致抗蚀剂层转印到所述序列栅极堆叠层后图 16A 及图 16B 的经部分地形成的集成电路的示意性横截面侧视图及俯视平面图。

[0031] 图 18 是根据本发明的实施例的 NAND 快闪存储器装置的存储器单元阵列的示意图。

[0032] 图 19 是说明根据本发明的实施例的包括存储器装置的电子装置的系统框图。

具体实施方式

[0033] 间距倍增具有形成紧密间隔的线的能力,此通过使用由间隔物形成的掩模而图案化所述线来实现。因为间隔物形成在心轴的侧壁上,所以间隔物通常形成连续环。使用所述连续环来图案化衬底可在衬底中形成材料的连续环。然而,通常需要将分隔线用于各种应用中,例如存储器装置中的位线或字线。因此,为了利用使用间隔物环来图案化的紧密间隔对的线,环的末端通常经蚀刻以在物理上使环的不同支脚彼此电断开。在第 7,151,040 号美国专利中描述此蚀刻(称作环蚀刻)的方法及结构,所述专利的全部揭示内容以引用的方式并入本文中。

[0034] 对于环蚀刻,保护性材料通常沉积在环周围及环上。保护性材料接着经图案化以

暴露环末端。将暴露的环暴露于蚀刻且加以移除。随后移除保护性材料,从而留下物理上分隔的线。因此,环末端蚀刻可涉及沉积、图案化及材料移除步骤。应了解,图案化步骤可涉及执行光刻及经由掩模将保护性材料暴露于光。由于执行所述步骤所需的时间及可能在处理设备之间输送衬底以执行所述步骤所需的时间,环蚀刻可不良地增加在(例如)使用间距倍增制造集成电路的过程中所涉及的时间及复杂性。

[0035] 有利地,根据本发明的一些实施例,无需执行环蚀刻而使半导体环的不同支脚电隔离。实情为,在环中形成隔离晶体管以使不同支脚彼此电隔离。在半导体材料的环上形成栅极且与栅极相邻的环区域经掺杂以形成源极及漏极区域。直接位于栅极下方的环区域充当有源区。以断开状态偏置栅极以防止电流流动穿过有源区,借此使位于栅极的任一侧上的环的部分彼此电隔离。在一些实施例中,隔离晶体管形成在环的每一支脚的末端处,每一环具有总共四个所述晶体管。隔离晶体管界定每一对晶体管之间的半导体材料的两个电隔离支脚。

[0036] 在一些实施例中,通过间距倍增工艺形成半导体材料(例如,经掺杂的半导体材料)的环。间隔物环形成在衬底上的层面上。掩蔽材料的块覆盖在环中的每一者的区段上,例如,在环为在其末端处接合在一起的材料的大致平行线的实施例中,掩蔽材料的不同块覆盖在环的每一末端上。将由间隔物环及掩蔽材料的块界定的图案转印到衬底,借此形成终止于半导体材料的块处且邻接于半导体材料的块的半导体材料的线。晶体管栅极形成在半导体材料的每一线上,且邻近半导体材料的每一块。半导体材料的块及与所述块相对的栅极侧上的线的部分经掺杂以形成源极/漏极区域。块与栅极经电系接在一起且以断开状态经偏置以使半导体材料的线与块电隔离。因此,无需执行环蚀刻而使设置在块之间的每一线与其它线电隔离。

[0037] 有利地,应了解,用于形成隔离晶体管的步骤通常已是用于形成其它晶体的处理流程的一部分,例如,可使用用以形成浮动栅极晶体管及选择存储器装置中的栅极的相同图案化、掺杂及沉积步骤来形成隔离晶体管。因此,在许多实施例中,隔离晶体管的形成不将任何额外步骤引入到处理流程。此外,通过避免环蚀刻,可省略在环蚀刻中所涉及的处理步骤。因此,简化处理流程且增大处理产量。

[0038] 另外,在一些实施例中,可形成具有低于用以图案化本文中所说明的各种光致抗蚀剂层的光刻方法的最小间距的间距的线。有利地,本发明的实施例允许形成具有约 100 纳米或更小或约 50 纳米或更小的间距的线。

[0039] 现在将参看图式,其中通篇中相似数字指代相似部件。应了解,所述图未必按比例绘制。此外,应了解,为了易于论述及说明,仅说明有限数目的特征,包括掩模特征及经蚀刻的特征(例如,位线、字线、间隔物及存储器块)。在一些实施例中,可提供额外数目的所述特征。

[0040] 在本发明的一些实施例的第一阶段中,掩模特征是通过间距倍增形成。

[0041] 图 2 展示经部分地制造的集成电路 100 的一部分的俯视图。尽管本发明的实施例可用以形成任何集成电路且可应用于形成用于图案化各种衬底的掩模,但其可特别有利地应用于形成具有电装置的阵列的装置,或具有逻辑或门阵列的集成电路,所述电装置阵列包括例如 DRAM、ROM 或快闪存储器(包括 NAND 或 NOR 快闪存储器)的挥发性及非挥发性存储器装置的存储器单元阵列。举例来说,逻辑阵列可为具有类似于存储器阵列的核心阵列

及具有支持逻辑的周边的现场可编程门阵列 (FPGA)。因此,集成电路 100 可为(例如)存储器芯片或处理器(其可包括逻辑阵列与嵌入式存储器两者),或具有逻辑或门阵列的任何其它集成电路。

[0042] 继续参看图 2,中央区域 102(“阵列”)由周边区域 104(“周边”)环绕。应了解,在完整形成的集成电路中,阵列 102 将通常以导电线及电装置(包括晶体管及/或电容器)密集填充。在存储器装置中,电装置形成多个存储器单元,其可以规则网格图案在字线与位线的相交处布置。合乎需要的是,间距倍增可用以在阵列 102 中形成例如晶体管及/或电容器的行/列的特征,如本文中所论述。另一方面,周边 104 通常包含大于阵列 102 中的特征的特征。常规光刻而非间距倍增优选用以在周边 104 中图案化特征(例如,逻辑电路),因为位于周边 104 中的逻辑电路的几何复杂性使得使用间距倍增变得困难,而阵列图案典型的规则网格促进间距倍增。另外,周边中的一些装置由于电约束而需要较大几何形状,因而使间距倍增的优势小于用于所述装置的常规光刻。在一些情况下,周边 104 可含有由常规光刻与间距倍增两者界定的图案/电路。除可能在相对比例方面的差异以外,所属领域的技术人员应了解,经部分地制造的集成电路 100 中的周边 104 及阵列 102 区域的相对位置及数目可不同于所描绘的。

[0043] 图 3A 展示经部分地形成的集成电路 100 的横截面侧视图。各种掩蔽层 120 到 140 提供在衬底 110 上方。层 120 到 140 将经蚀刻以形成用于图案化衬底 110 的掩模,如下文所论述。在所说明的实施例中,可选择性界定层 120 覆盖硬掩模(或蚀刻终止)层 130,硬掩模层 130 覆盖主掩模层 140,主掩模层 140 覆盖待经由掩模处理(例如,蚀刻)的衬底 110。

[0044] 基于对本文中所论述的各种图案形成及图案转印步骤的化学性质及处理条件的考虑来挑选覆盖衬底 110 的层 120 到 140 的材料。因为最顶部可选择性界定层 120 与衬底 110 之间的层用以将从可选择性界定层 120 得到的图案转印到衬底 110,所以可选择性界定层 120 与衬底 110 之间的层 130 到 140 经挑选以使得其可相对于其它暴露材料而被选择性地蚀刻。应了解,在材料的蚀刻速率比周围材料的蚀刻速率大至少约 2 到 3 倍、大至少约 10 倍、大至少约 20 倍或大至少约 40 倍时,考虑选择性地或优先地蚀刻所述材料。因为覆盖主硬掩模层 140 的层 120 到 130 的目标是允许在所述层 140 中形成良好界定的图案,所以应了解,如果使用合适的其它材料、化学性质及/或处理条件,则可省略或替代层 120 到 130 中的一者或一者以上。举例来说,在衬底相对简单且可相对于硬掩模层 130 而选择性地蚀刻的情形下,可省略主硬掩模层 140 且可使用硬掩模层 130 将图案直接转印到衬底。

[0045] 继续参看图 3A,可选择性界定层 120 是光可界定的,例如,由在此项技术中已知的光致抗蚀剂(包括任何光致抗蚀剂)形成,所述光致抗蚀剂包括任何正性或负性光致抗蚀剂。举例来说,光致抗蚀剂可为与 157 纳米、193 纳米、248 纳米或 365 纳米波长系统、193 纳米波长浸没系统、远紫外系统(包括 13.7 纳米波长系统)或电子束光刻系统兼容的任何光致抗蚀剂。另外,无掩模光刻(maskless lithography 或 maskless photolithography)可用以界定可选择性界定层 120。光致抗蚀剂材料的实例包括氟化氩(ArF)敏感光致抗蚀剂(亦即,适合于与 ArF 光源一起使用的光致抗蚀剂),及氟化氪(KrF)敏感光致抗蚀剂(亦即,适合于与 KrF 光源一起使用的光致抗蚀剂)。ArF 光致抗蚀剂与利用相对短波长光(例如,193 纳米波长光)的光刻系统一起使用。KrF 光致抗蚀剂与较长波长的光刻系统(例如,248 纳米系统)一起使用。在其它实施例中,层 120 及任何随后抗蚀剂层可由可通过纳

米-压印光刻图案化的抗蚀剂形成,例如,通过使用模制力或机械力来图案化抗蚀剂。

[0046] 在一些实施例中,用于硬掩模层 130 的材料包含无机材料。用于硬掩模层 130 的材料包括氧化硅 (SiO_2)、硅或抗反射涂层 (ARC),例如,富含硅的氮氧化硅、富含硅的氮化物或具有相对于间隔物 175 或其它暴露材料 (图 7A) 的所要蚀刻选择性的膜。硬掩模层 130 也可包括材料的层的组合,例如,底部抗反射涂层 (BARC) 在介电抗反射涂层 (DARC) 上。为了易于描述,在所说明的实施例中,硬掩模层 130 是抗反射涂层,例如 DARC。应了解,使用用于硬掩模层 130 的 ARC 可对于形成具有接近光刻技术的分辨率限制的间距的图案特别有利。ARC 可通过使光反射最小化而增强分辨率,由此增大光刻可界定图案的边缘的精度。

[0047] 继续参看图 3A,本发明的实施例可利用主掩蔽层以促进将图案转印到衬底。如上文所提,在转印图案的普通方法中,将掩模与下伏衬底两者暴露于蚀刻剂,蚀刻剂可在图案转印完成之前磨损掩模。在衬底包含多种待蚀刻的不同材料的情形下,所述困难加剧。由于其相对于多种材料 (包括氧化物、氮化物及硅) 的优良蚀刻选择性,主掩蔽层可由无定形碳形成。

[0048] 可通过使用碳氢化合物或所述化合物的混合物作为碳前驱体的化学气相沉积而形成无定形碳层。碳前驱体可包括丙烯、丙炔、丙烷、丁烷、丁烯、丁二烯及乙炔。在 2003 年 6 月 3 日颁予费尔贝恩 (Fairbairn) 等人的第 6,573,030 B1 号美国专利中描述用于形成无定形碳层的方法,所述专利的全部揭示内容以引用的方式并入本文中。在一些实施例中,无定形碳是一种形式的对光高透明且由于对用于光对准的光的波长透明而为此对准提供进一步改进的无定形碳。可在 A. 海尔波德 (A. Helmbold)、D. 麦斯纳 (D. Meissner) 的“薄固态膜 (Thin Solid Films)”,283 (1996) 196 到 203 中找到用于形成此透明碳的沉积技术,所述著作的全部揭示内容以引用的方式并入本文中。另外,可掺杂无定形碳。在殷 (Yin) 等人的第 10/652,174 号美国专利申请案中描述用于形成经掺杂的无定形碳的合适方法,所述专利申请案的全部揭示内容以引用的方式并入本文中。

[0049] 应了解,图案转印到的“衬底”可包括单个材料的层、多个不同材料的层、其中具有不同材料或结构的区域的一层或多个层等。所述材料可包括半导体、绝缘体、导体或其组合。在所说明的实施例中,衬底由经掺杂的半导体材料 (例如,含有 p 型掺杂剂的半导体材料) 形成。

[0050] 参看图 4A 及图 4B,包含间隔或沟槽 122 (其由光可界定材料特征 124 定界) 的图案形成在光可界定层 120 中。可通过 (例如) 具有 248 纳米或 193 纳米光的光刻而形成沟槽 122,其中经由光罩将层 120 暴露于辐射且接着进行显影。在经显影后,剩余光可界定材料 (所说明的实施例中的光致抗蚀剂) 形成例如所说明的线 124 的掩模特征 (仅以横截面展示)。

[0051] 所得线 124 的间距等于线 124 的宽度与相邻间隔 122 的宽度的和。为了使得使用线 124 及间隔 122 的此图案形成的特征的临界尺寸最小化,间距可处于或接近用以图案化光可界定层 120 的光刻技术的限制。举例来说,对于利用 248 纳米光的光刻,线 124 的间距可为约 100 纳米。因此,间距可处于光刻技术的最小间距,且下文所论述的间隔物图案可有利地具有低于光刻技术的最小间距的间距。或者,因为位置及特征大小的误差容限通常随着接近光刻技术的限制而增大,所以可形成具有较大特征大小 (例如,200 纳米或更大) 的线 124 以使线 124 的位置及大小的误差最小化。

[0052] 如图 5A 及图 5B 中所示,间隔 122 通过蚀刻光致抗蚀剂线 124 而加宽,以形成经修改的间隔 122a 及线 124a。使用各向同性蚀刻来蚀刻光致抗蚀剂线 124 以“收缩”或修整所述特征。合适的蚀刻包括使用含氧等离子(例如, $\text{SO}_2/\text{O}_2/\text{N}_2/\text{Ar}$ 等离子、 $\text{Cl}_2/\text{O}_2/\text{He}$ 等离子或 $\text{HBr}/\text{O}_2/\text{N}_2$ 等离子)的蚀刻。选择蚀刻的程度,以使得线 124a 的宽度大致等于稍后形成的间隔物 175(图 7)之间的所要间隔,如从下文论述将了解。举例来说,线 124 的宽度可从约 80 到 120 纳米减小到约 30 到 70 纳米或约 50 到 70 纳米。有利地,宽度减小蚀刻允许线 124a 比使用用以图案化光可界定层 120 的光刻技术原本将可能形成的线狭窄。尽管可低于光刻技术的分辨率限制来蚀刻线 124a 的临界尺寸,但应了解,此蚀刻并未更改间隔 122a 及线 124a 的间距,因为所述特征中的相同点之间的距离保持相同。

[0053] 接着,参看图 6,将间隔物材料的层 170 毯覆式保形沉积在暴露表面(包括硬掩模层 150 及临时层 140 的顶部及侧壁)上。间隔物材料可为任何可充当用于将图案转印到下伏硬掩模层 130 的掩模的材料。间隔物材料可为(但不限于)硅、氧化硅及氮化硅。在所说明的实施例中,间隔物材料为氧化硅,其结合掩蔽堆叠的其它选定材料而提供特定优势。

[0054] 用于间隔物材料沉积的方法包括原子层沉积,例如,使用以硅前驱体及随后暴露于氧前驱体或氮前驱体以分别形成氧化硅及氮化硅的自限制沉积。在一些实施例中,为了形成氧化硅,将例如六氯二硅烷(HCD)的卤化硅在与氧前驱体(例如, H_2O)交替的脉冲中引入。可在相对低温度下(例如,在低于约 200°C 下或低于约 100°C 下)执行 ALD,此具有防止对下伏碳基材料(例如,光致抗蚀剂层及无定形碳层)造成热损害的优势。在其它实施例中,化学气相沉积用以沉积间隔物材料,例如,使用 O_3 及 TEOS 来形成氧化硅。

[0055] 基于间隔物 175(图 7A)的所要宽度来确定层 170 的厚度。举例来说,在一些实施例中,层 170 被沉积到约 20 到 80 纳米或约 40 到 60 纳米的厚度以形成粗略类似宽度的间隔物。阶梯覆盖率为约 80%或更大及/或约 90%或更大。

[0056] 参看图 7A 及图 7B,氧化硅间隔物层 170 经受各向异性蚀刻以从经部分地形成的集成电路 100 的水平表面 180 移除间隔物材料。

[0057] 参看图 8A 及图 8B,接着移除可选择性界定层 120 以留下独立间隔物 175。可使用有机剥离工艺来选择性地移除可选择性界定层 120。

[0058] 因此,已形成间距倍增掩模特征。在所说明的实施例中,间隔物 175 形成狭长环且具有在其末端处接合的大致平行的支脚。间隔物 175 的间距大概是最初由光刻形成的光致抗蚀剂线 124 及间隔 122(图 4A 及图 4B)的间距的一半。在光致抗蚀剂线 124 具有约 200 纳米的间距的情形下,可形成具有约 100 纳米或更小的间距的间隔物 175。应了解,因为间隔物 175 形成在特征或线 124b 的侧壁上,所以间隔物 175 大体上遵循经修改的光可界定层 120a 中的特征或线 124a 的图案的轮廓,且因此在线 124a 之间的间隔 122a 中形成闭合环。

[0059] 接着,在根据本发明的一些实施例的方法的第二阶段中,将掩模材料的块覆盖在间隔物 175 上且将所得图案转印到衬底 110。

[0060] 参看图 9A 及图 9B,将掩模材料(例如,光致抗蚀剂)的层 200 沉积在间隔物 175 之间及间隔物 175 上。光致抗蚀剂层 200 可由正性或负性光致抗蚀剂形成。

[0061] 参看图 10A 及图 10B,通过光刻图案化光可界定层 200 以在间隔物 175 的环的末端处形成掩蔽材料块 210、212。块 210、212 延伸跨越间隔物 175 的相对末端且与其接触。有利地,块 210、212 具有足够大以通过光刻图案化且无需执行间距倍增的尺寸。因此,可形成

由间距倍增及非间距倍增的掩模特征形成的混合图案 177。可与形成在经部分地制造的集成电路 100 的周边区域中的其它相对大的特征同时图案化块 210、212。在第 7, 115, 525 号及第 7, 253, 118 号美国专利及由 Luan C. Tran (卢恩·C. 特朗) 于 2007 年 7 月 31 日申请的第 11/831, 012 号美国专利申请案中揭示用于组合间距倍增及非间距倍增特征的方法。所述参考案中的每一者的全部揭示内容以引用的方式并入本文中。

[0062] 参看图 11, 将由块 210、212 及间隔物 175 界定的图案 177 转印到硬掩模层 130。可通过 (例如) 各向异性地蚀刻硬掩模层 130 来实现图案转印。

[0063] 参看图 12, 将图案 177 转印到主掩模层 140。可通过 (例如) 各向异性地蚀刻主掩模层 140 来实现图案转印。参看图 13, 使用各向异性蚀刻将图案 177 转印到衬底 110, 其中层 140 充当蚀刻的掩模。

[0064] 参看图 14A 及图 14B, 移除间隔物 175 及覆盖衬底 110 的掩模层 130 及 140。间距倍增线 310 形成在衬底 110 中。在其末端中的每一者处, 线 310 横向地接触分离的块 320、322。

[0065] 参看图 15, 用绝缘材料 330 (例如, 氧化硅) 填充由线 310 及块 320、322 界定的沟槽以用于浅沟槽隔离应用。例如用于快闪存储器的存储器单元有源区可界定在沟槽之间且浮动栅极及控制栅极可形成在有源区上。

[0066] 作为形成浮动栅极及控制栅极的一部分, 用于形成浮动栅极及控制栅极的层 340 的堆叠随后形成在线 310、绝缘材料 330 及块 320、322 (图 14B) 上。应了解, 层 340 的组成可跨越经部分地制造的集成电路 100 而变化。举例来说, 在 (例如) 需要浮动栅极与控制栅极两者的一些区中, 层 340 可包括适合于形成所述栅极的层。在 (例如) 仅需要选择栅极的其它区中, 层 340 可包括如适合于形成选择栅极的较少层。举例来说, 对于形成选择栅极, 层 340 可包括在多晶硅层上的硅化物层, 其覆盖氧化物-氮化物-氧化物 (ONO) 复合层, 所述复合层覆盖多晶硅层。

[0067] 参看图 16A, 掩模层 350 形成在层 340 的堆叠上。掩模层 350 可为由 (例如) 光致抗蚀剂形成的可选择性界定层 350。参看图 16B 及图 16C, 随后图案化层 350, 借此形成狭长条带 352 到 356。经图案化的狭长条带 352 到 356 可用以形成存储器装置中的各种特征。举例来说, 条带 352 到 355 可用以形成用于调节对沿线 310 (其形成有源区) 形成的存储器单元的读取及写入的选择栅极。条带 356 可用以界定字线以及浮动栅极及控制栅极。

[0068] 应了解, 可在单个步骤 (例如, 通过光刻) 中或在多个单独步骤中形成条带 352 到 356。举例来说, 为了增大密度, 可通过间距倍增而形成条带 356。因而, 本文参看图 3A 及图 3B 描述的掩蔽层的堆叠可形成在层 340 上。可接着如本文参看图 3A 到图 8B 所论述来处理掩蔽层的堆叠。所得间隔物环可接着经受环蚀刻, 借此形成条带 356。掩模层 350 (图 16A) 可随后沉积在间隔物 175 之间及间隔物 175 上。接着 (例如) 通过光刻 (其中掩模层 350 由光致抗蚀剂形成) 来图案化掩模层 350, 借此形成条带 352 到 355 (图 16B 及图 16C)。尽管为了易于论述而未说明, 但如本文中所论述, 一个或一个以上额外掩蔽层可提供在掩模层 350 之间以促进将图案转印到层 340。举例来说, ARC 层可直接提供在掩模层 350 的下方且无定形碳层可提供在 ARC 层与层 340 之间。此一序列层将提供优势且可如上文所述用于层 130 及 140 (图 3A 到图 13)。

[0069] 参看图 17A 及图 17B, 接着将掩模层 350 中的图案转印到层 340, 借此在所述层中

形成条带 342 到 346。条带 342 到 346 可对应于所述层中的字线、浮动栅极、控制栅极及选择栅极。

[0070] 应了解,掺杂(例如,用n型掺杂剂)线310的暴露部分及半导体材料的块320、322以在条带342到346的任一侧上在线310及块320、322中形成源极/漏极区域。在一些实施例中,对于线310中的每一者,特征320形成源极且特征342形成隔离晶体管的栅极。类似地,在线310的相对末端上,对于线310中的每一者,特征322形成源极且特征343形成额外隔离晶体管的栅极。

[0071] 在随后处理步骤中,接触各种位线及字线且将位线及字线连接到各种辅助电路以形成存储器装置。在一些实施例中,可从位线及字线以上的层面进行接触。另外,如本文中所述,到源极区域320、322的接点可分别电连接到栅极342、343,以便为实现操作的简单性及可靠性而将隔离晶体管的栅极及源极系接在一起。

[0072] 图18说明根据本发明的一些实施例的存储器装置400中的NAND快闪存储器阵列的块。所说明的快闪存储器阵列包括位线BL0到BLM及字线WL0到WLN。位线BL0到BLM在列方向上彼此平行延伸。字线WL0到WLN在行方向上彼此平行延伸。所述NAND快闪存储器阵列还包括用于选择位线的选择晶体管402、404。辅助逻辑及其它电路(未图示)使用位线接点406连接到位线。选择晶体管402、404的行的栅极对应于特征344、345(图17B)。

[0073] 每一位线包括源极到漏极串联耦合的浮动栅极晶体管串。举例来说,第二位线BL1包括串联连接的浮动栅极晶体管110。同一行中的单元的浮动栅极晶体管110的控制栅极耦合到同一字线。浮动栅极晶体管110中的每一者形成存储电荷(或缺少电荷)的存储器单元,其中所存储电荷的量可用以表示(例如)一个或一个以上状态,且其中所述一个或一个以上状态可表示一个或一个以上数字(例如,位)的数据。通过检测电荷的不存在或存在来读取位。

[0074] 继续参看图18,使位线BL0到BLM在其末端处共同分流。隔离或选择晶体管412、414通过防止电流流动到位线的分流末端而使个别位线彼此电隔离。分流末端对应于块320及322(图17B)且选择晶体管412、414的栅极对应于特征342、343(图17B)。

[0075] 应了解,每一对位线(其也可被视作半导体材料的环)可包括总共四个隔离晶体管。举例来说,隔离晶体管412a及412b构成接近环的一个末端的第一及第二隔离晶体管,且隔离晶体管414a及414b构成接近环的相对末端的第三及第四隔离晶体管。因此,一对隔离晶体管可用以电隔离单个位线,所述对隔离晶体管是通过环的大致平行、水平狭长部分形成。隔离晶体管将所述狭长部分中的一者的宽阔区域与所述狭长部分中的另一者的宽阔区域隔离。

[0076] 如图18中所说明,选择晶体管412、414的源极/漏极区域电系接或连接到所述晶体管的栅极且以断开状态偏置。在读取及写入循环期间,栅极及所系接的源极/漏极可维持浮动或连接到接地(0V),借此将连接到隔离晶体管412、414的所有位线电隔离。在擦除操作期间,晶体管412、414可处于“接通”状态。然而,因为所有存储器单元同时被擦除,所以晶体管412、414的状态是不相关的:无需隔离个别位线,因为对NAND快闪存储器块的所有单元执行同一操作。

[0077] 如上文所述,参看图19,由部分制造的集成电路100形成的完全形成的集成电路101可并入到各种系统或装置中。举例来说,可将集成电路101用作电子装置102中存储数

据的存储器,所述电子装置 102 具有计算机处理器 103、用户接口 104 及电源 105。所述电子装置的实例包括计算机化装置,其包括利用存储器电路的任何装置,例如数据存储及检索装置(包括音乐、光及/或视频装置)。

[0078] 应了解,对所说明的实施例的各种修改是可能的。举例来说,尽管以用于将材料的环共同分流的材料块来说明,但在一些实施例中可省略所述块。在所述实施例中,接触个别环末端。

[0079] 然而,块有利于简化隔离晶体管的操作及改进工艺结果。通过将所有环系接在一起,排除对环的个别接入,借此简化隔离晶体管的制造及操作。此外,块可通过促进将电介质沉积到沟槽 312(图 14B)中而改进处理结果。已发现间距倍增环的末端相对于环的中间部分来说可相对较薄。还已发现将电介质沉积到所述相对薄的末端中可能是困难的且容易形成空隙。通过用掩蔽材料的块覆盖末端来消除所述末端,已发现沟槽的填充可得到改进,从而产生具有改进可靠性的集成电路。

[0080] 在一些实施例中,可从材料的环的一个末端省略隔离晶体管。举例来说,在材料由于另一原因而被共同分流的情形下,例如,在形成环的线在一个末端处全部系接到接地的情形下,可能没有必要形成隔离晶体管以将系接到接地的末端上的线电隔离。然而,如上文所述,在环的末端处材料的块的形成具有改进由线界定的沟槽的填充的益处。因此,甚至在电隔离在一个末端处不必要的情形下,也可能需要在两个环末端处均形成块。

[0081] 应了解,如本文中所使用,材料的“线”无需仅在单个方向上延伸穿过“线”的整个范围。实情为,材料的“线”是材料的狭长延伸且可在材料的线的宽阔区域上弯曲或以其它方式改变方向。

[0082] 另外,在本文中所描述的步骤中的任一者中,将图案从覆盖层面转印到下伏层面涉及在下伏层面中形成大体上对应于覆盖层面中的特征的特征。例如,下伏层面中的线的路径将大体上遵循覆盖层面中的线的路径,且下伏层面中的其它特征的位置将对应于覆盖层面中的类似特征的位置。然而,特征的精确形状及大小可从覆盖层面到下伏层面不同。举例来说,视蚀刻化学性质及条件而定,形成转印的图案的特征的大小及所述特征之间的相对间隔可相对于覆盖层面上的图案而扩大或减小,而仍类似于同一初始“图案”,如可从下文描述的实施例中收缩第一抗蚀剂掩模的实例看出。因此,即使特征的尺寸有一些改变,所转印的图案仍被认为是与初始图案相同的图案。与此对比,在掩模特征周围形成间隔物可改变图案。

[0083] 因此,从本文中的描述应了解,本发明包括各种实施例。举例来说,根据本发明的一些实施例,提供一种方法。所述方法包含提供具有由半导体材料形成的环的衬底。所述环由在至少一个环末端处接合的一对大致平行、水平狭长部分来界定。沿环形成第一晶体管以将狭长部分中的第一部分的宽阔区域与狭长部分中的第二部分的宽阔区域电隔离。环的一部分形成第一晶体管的有源区。

[0084] 根据本发明的其它实施例,提供一种用于形成集成电路的工艺。所述工艺包含提供覆盖衬底的多个心轴。间隔物提供在心轴的侧壁处。相对于间隔物选择性地移除心轴。掩模材料的层沉积在间隔物上。掩模材料的层经图案化以形成掩模材料的第一及第二横向分离块,第一块接触间隔物中的每一者的第一末端且第二块接触间隔物中的每一者的第二末端。将由间隔物以及第一及第二块界定的第一图案转印到衬底。

[0085] 根据本发明的另外其它实施例,提供一种用于形成集成电路的工艺。所述工艺包含提供覆盖衬底的第一掩模材料的多个狭长环。第二掩模材料的层提供在环上。所述层经图案化以形成第二掩模材料的块,所述块接触环中的每一者的一末端。将由环及块界定的第一图案转印到衬底。半导体材料的层随后形成在衬底上。掩模材料的另一层形成在半导体材料上。所述另一层经图案化以形成延伸跨越环中的每一者且与其接触的掩蔽材料的一个或一个以上条带。将由所述条带界定的第二图案转印到半导体材料的层以形成半导体材料的条带。半导体材料的条带电连接到由第二掩模材料的块界定的衬底特征。

[0086] 根据本发明的其它实施例,提供一种集成电路。所述集成电路包含半导体材料的多个间隔开的线。半导体材料的第一块设置在与半导体材料的线相同的层面上且接触狭长条带中的每一者的第一末端。沿半导体材料的线设置第一多个晶体管栅极。所述第一多个晶体管栅极电连接到第一块。

[0087] 根据本发明的另外其它实施例,提供一种包含集成电路的电装置。所述集成电路包含半导体材料的多个间隔开的线。使线的第一末端全部电互连且使线的相对末端全部电互连。提供用于防止电流从线的中间部分流动到第一末端的装置。

[0088] 所属领域的技术人员还应了解,在不脱离本发明的范围的情况下,可对上文所描述的方法及结构进行各种省略、添加及修改。希望所有所述修改及改变属于由随附权利要求书界定的本发明的范围。

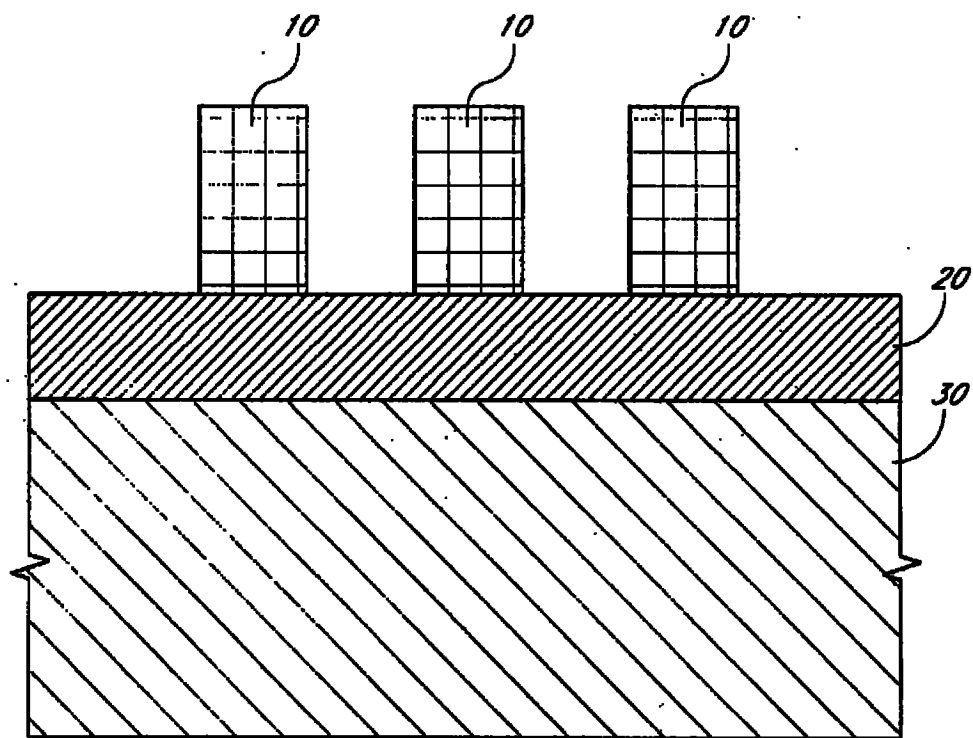


图 1A(现有技术)

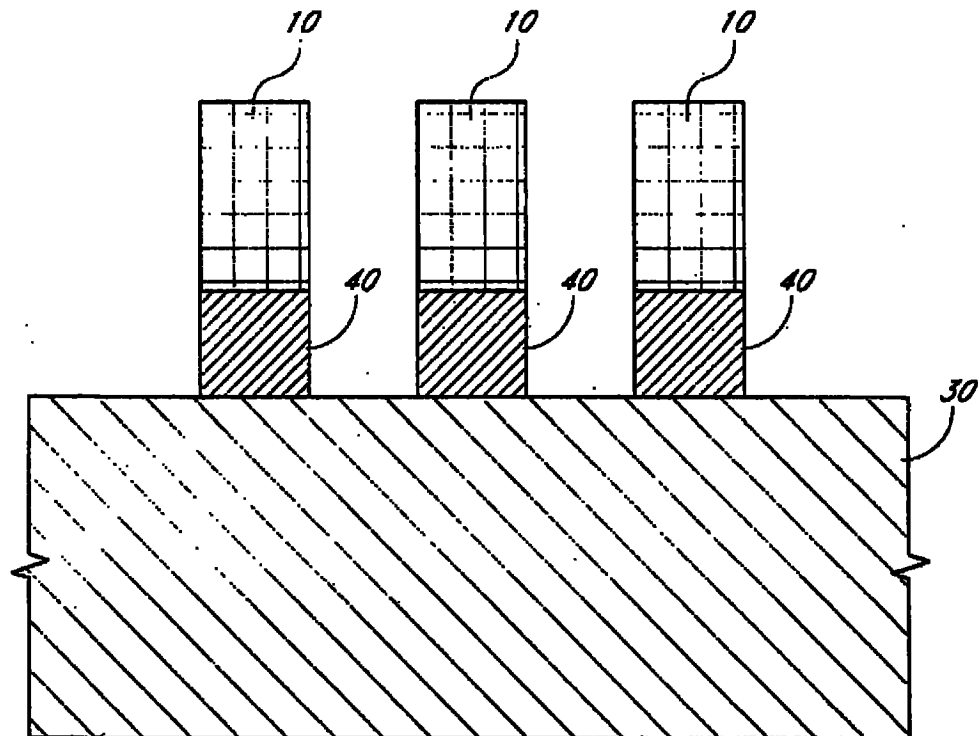


图 1B(现有技术)

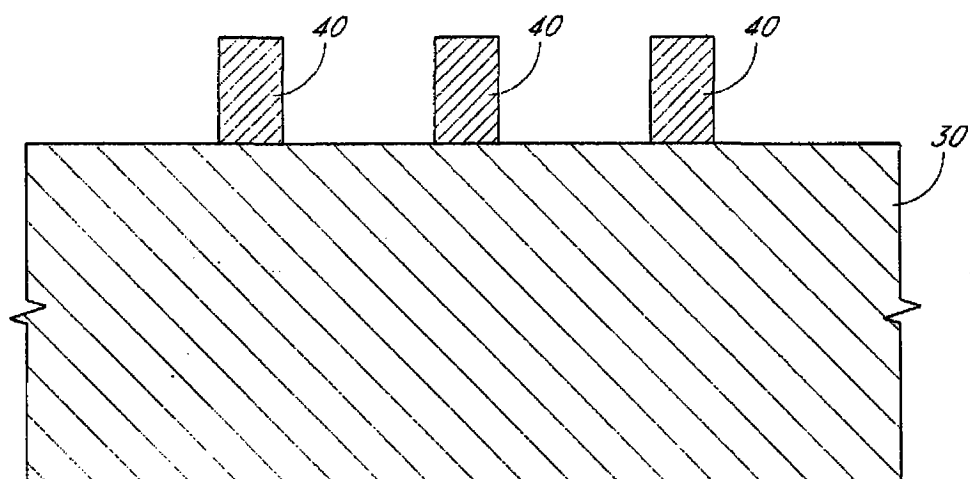


图 1C(现有技术)

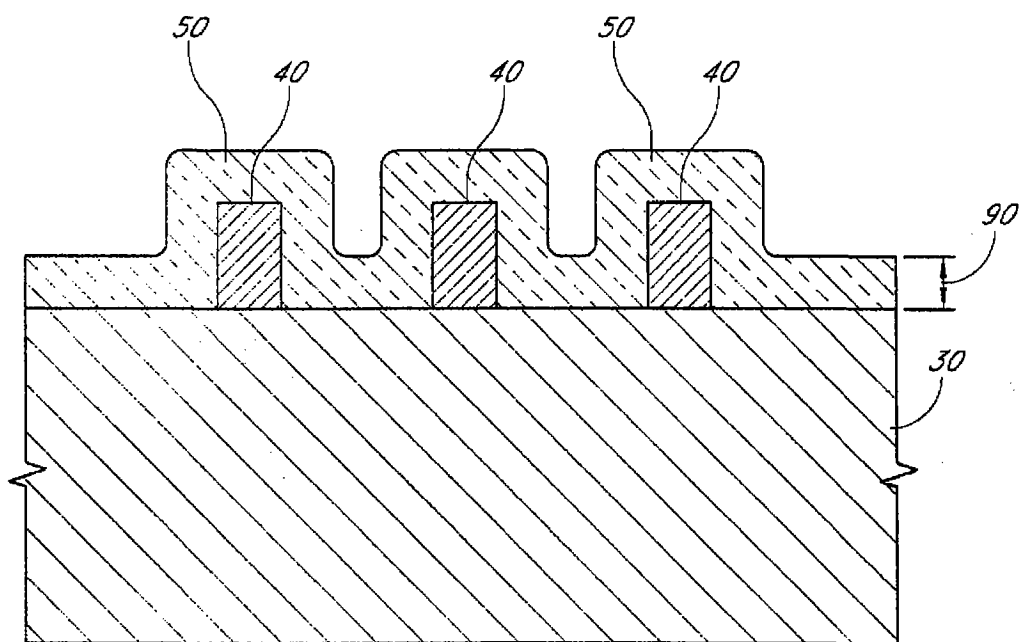


图 1D(现有技术)

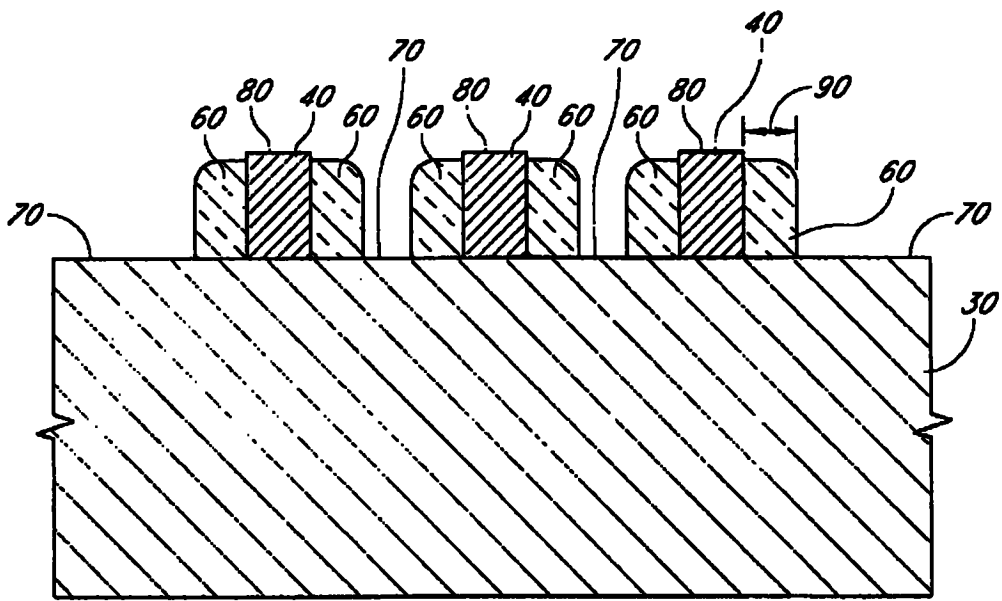


图 1E(现有技术)

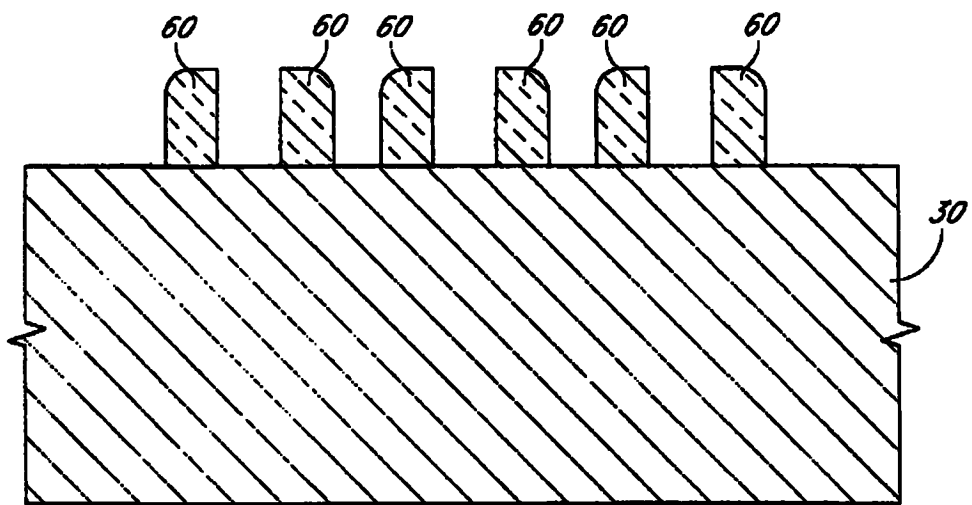


图 1F(现有技术)

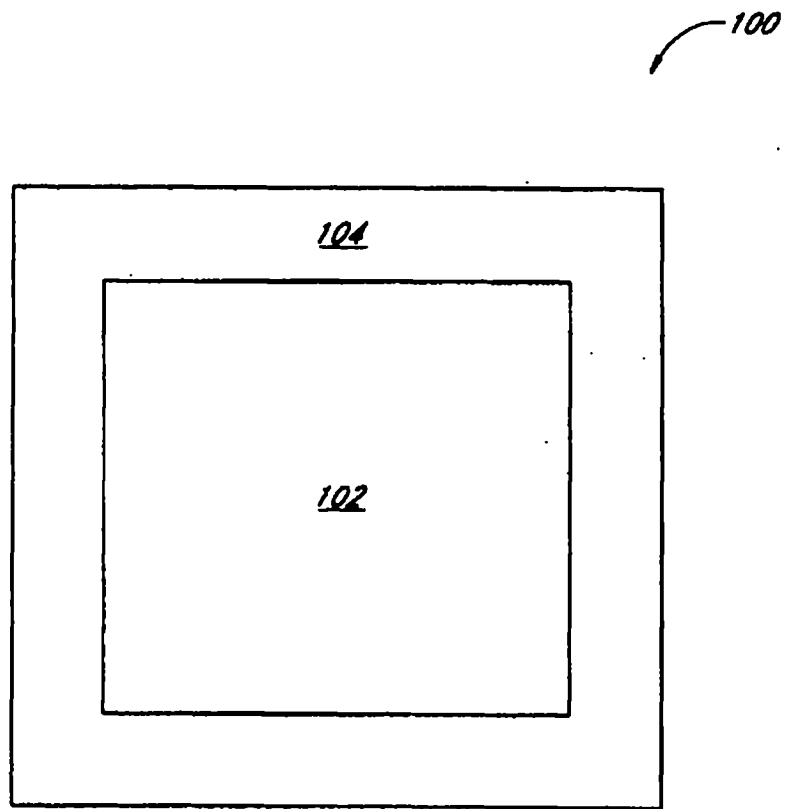


图 2

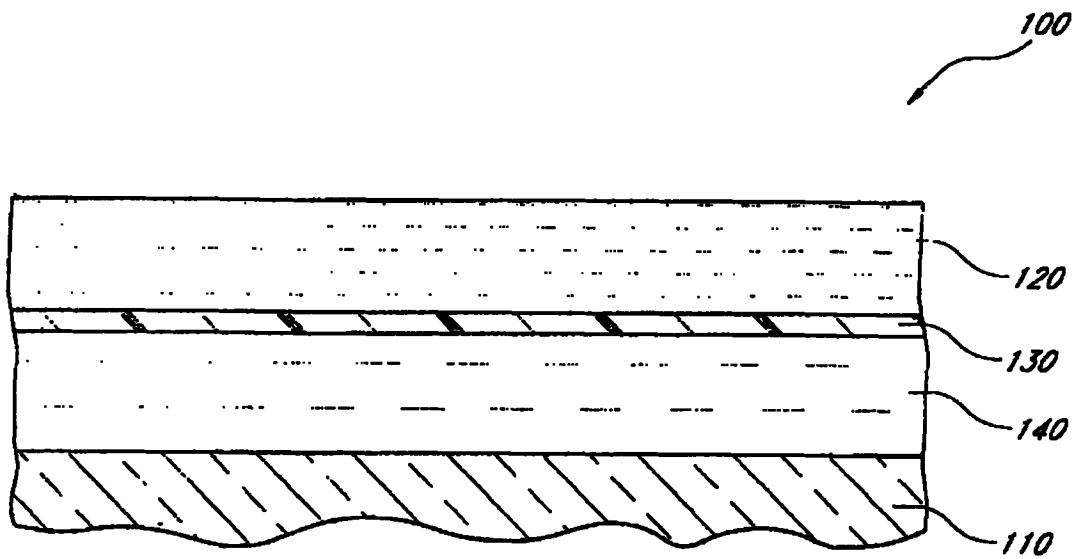


图 3A

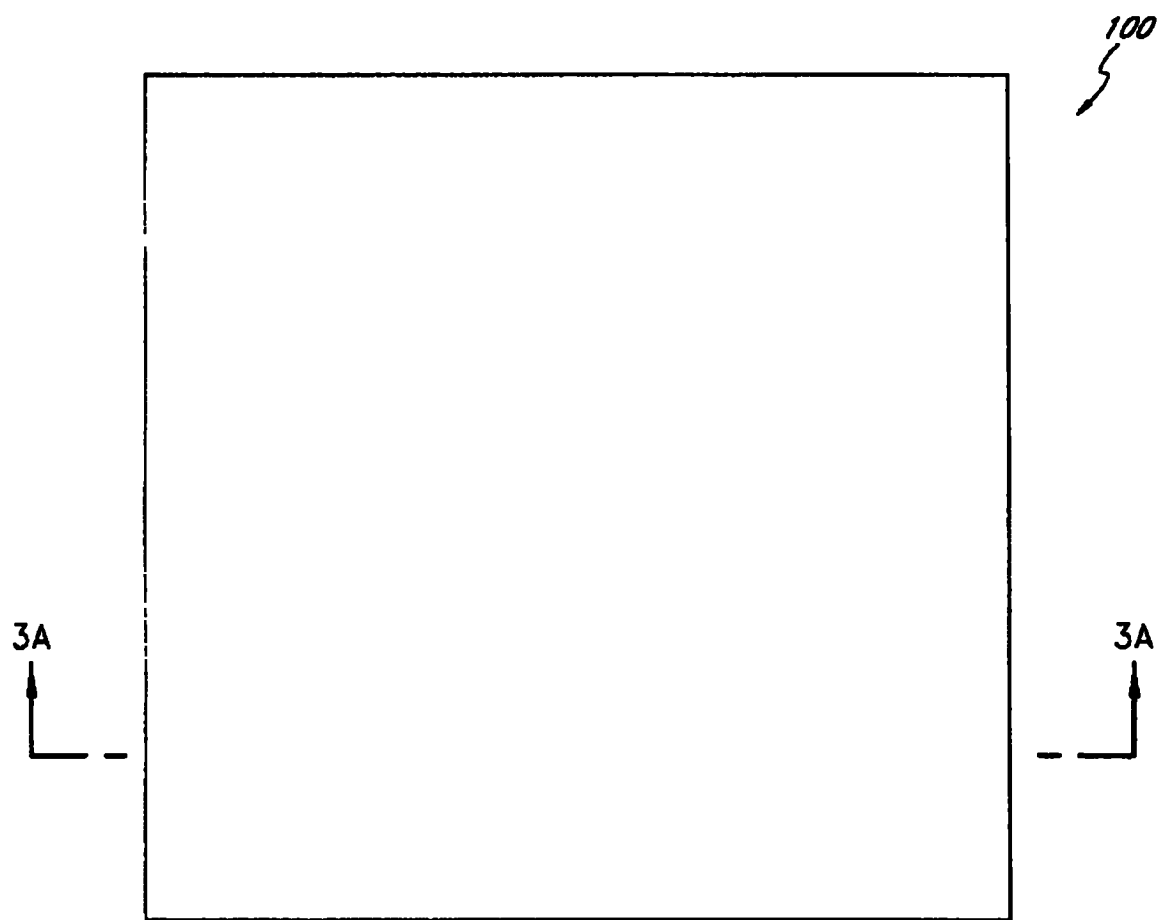


图 3B

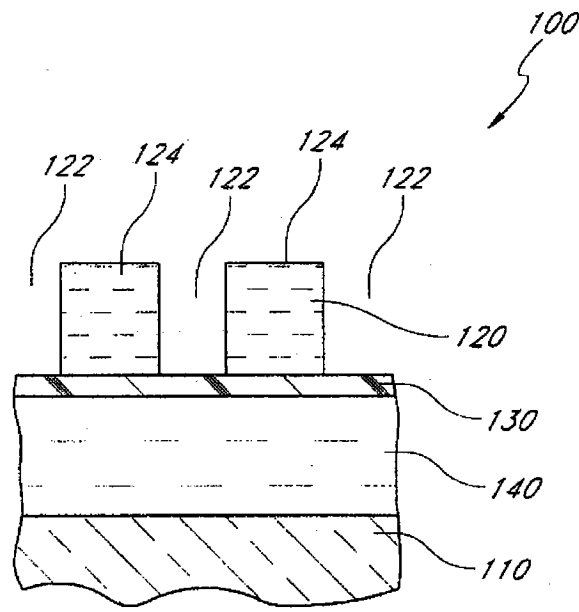


图 4A

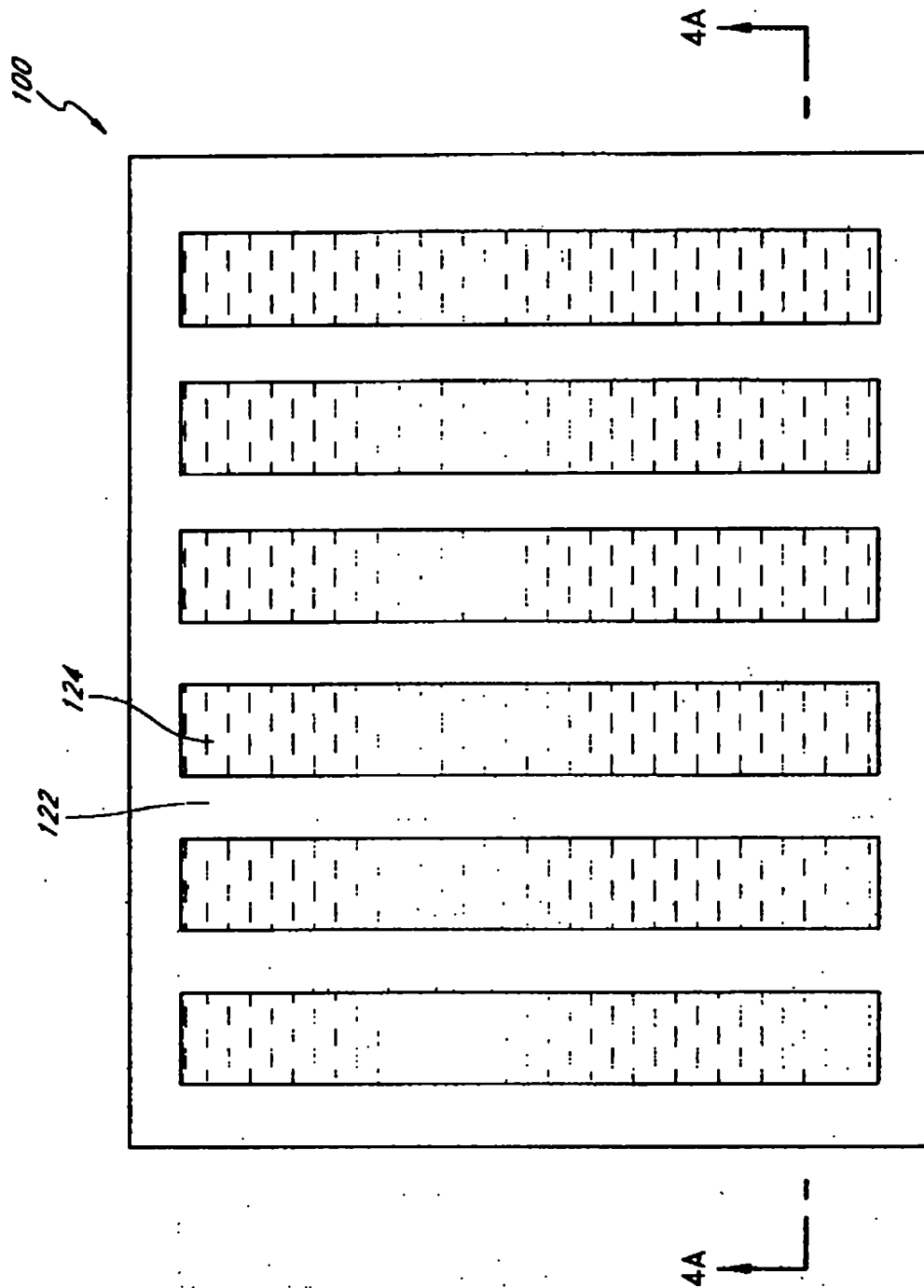


图 4B

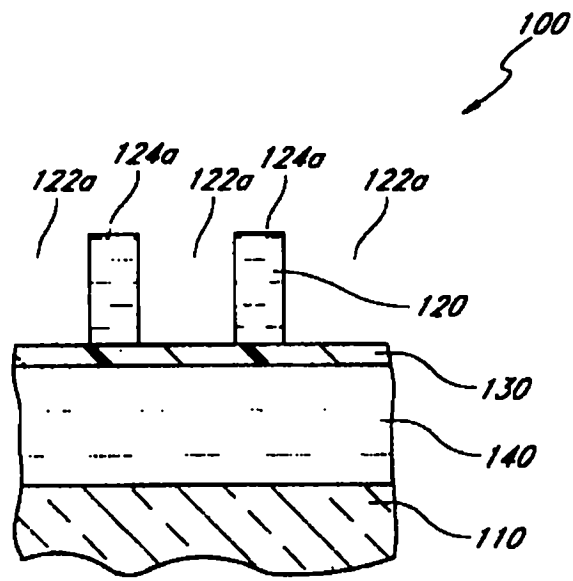


图 5A

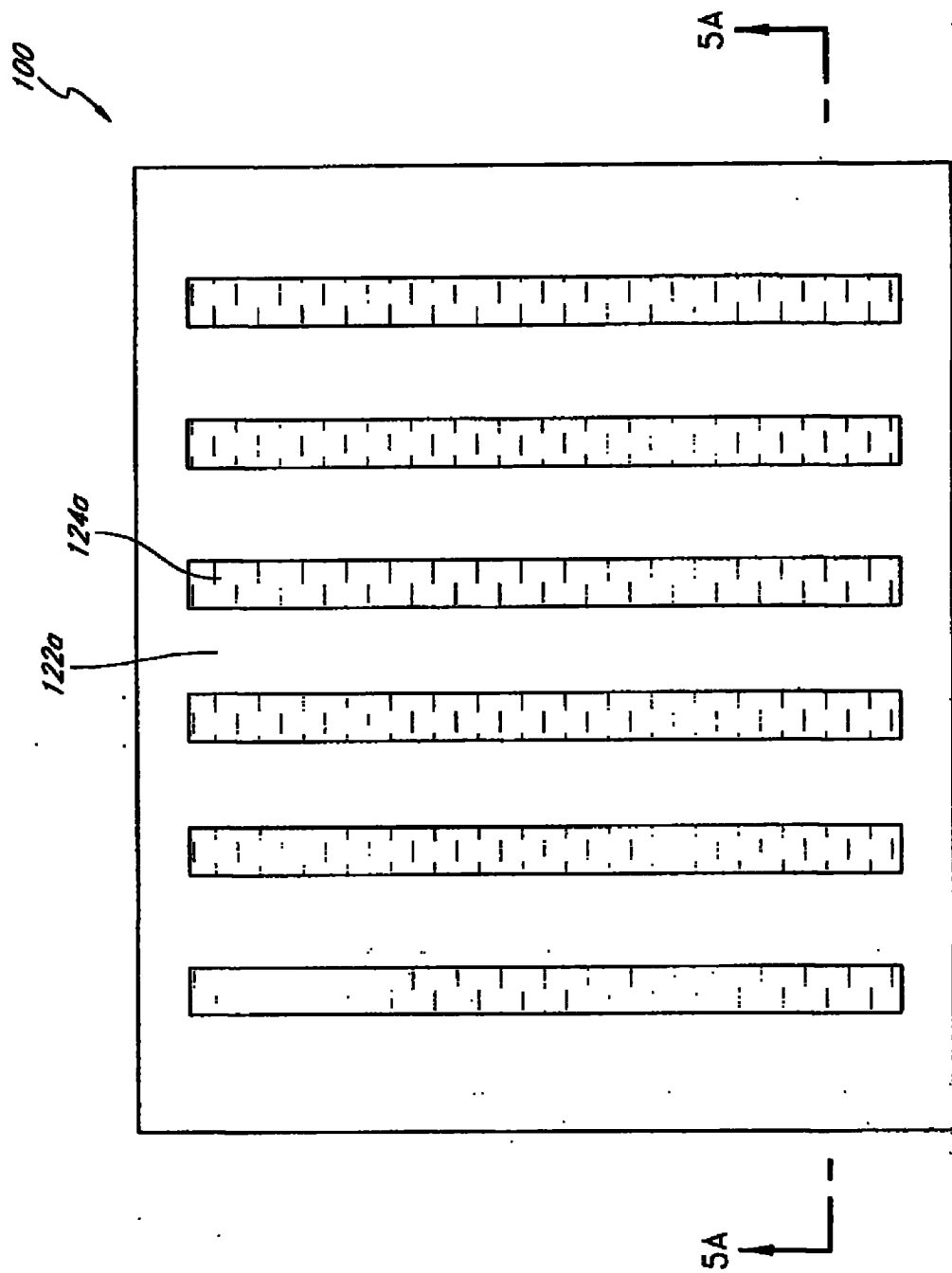


图 5B

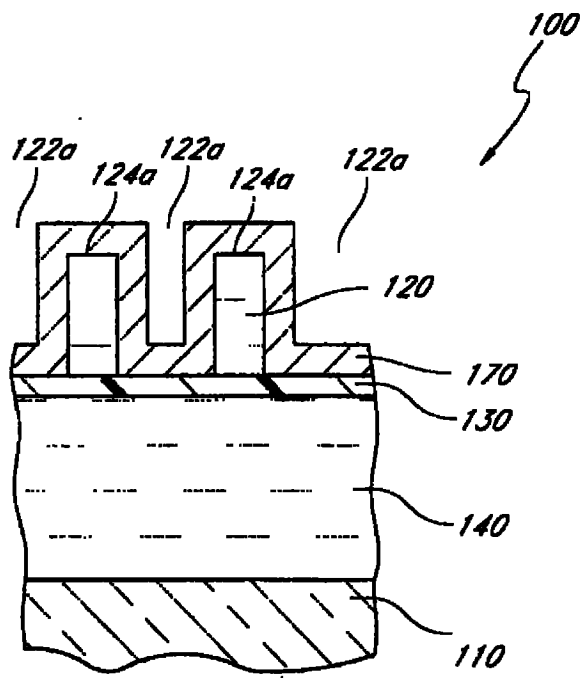


图 6

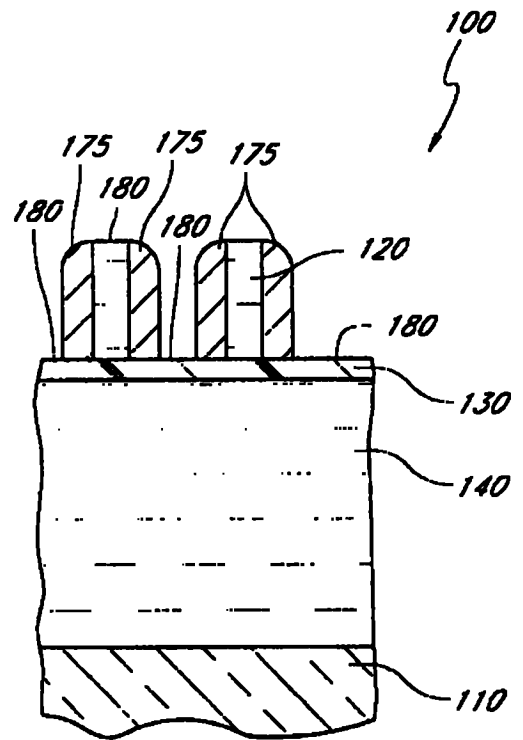


图 7A

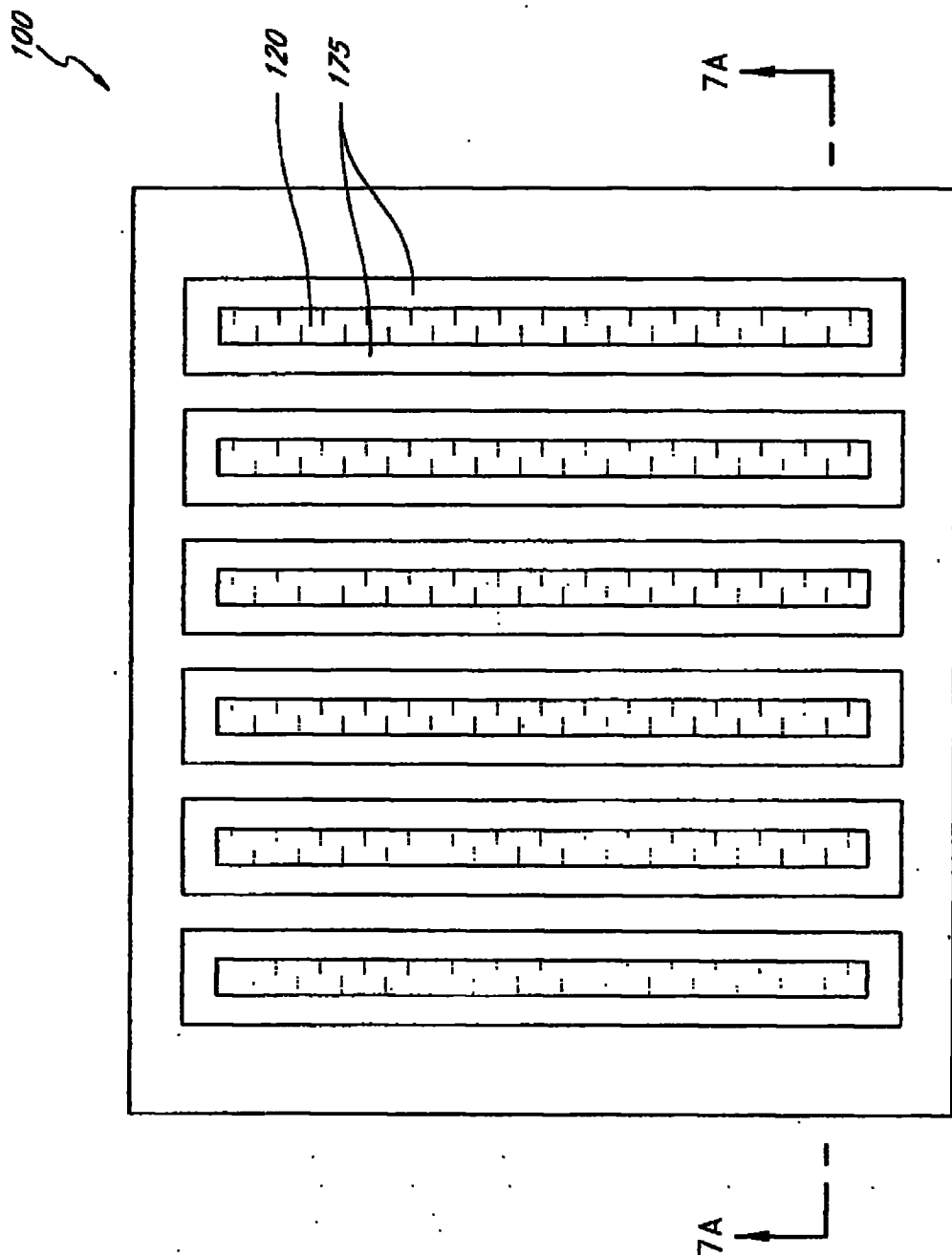


图 7B

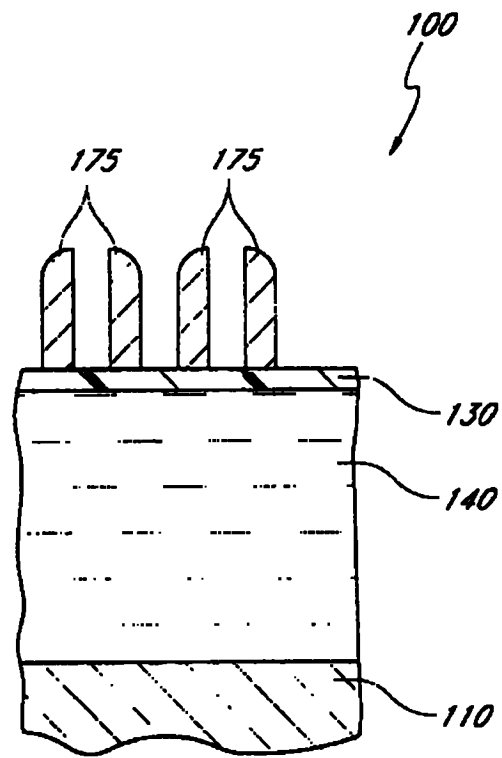


图 8A

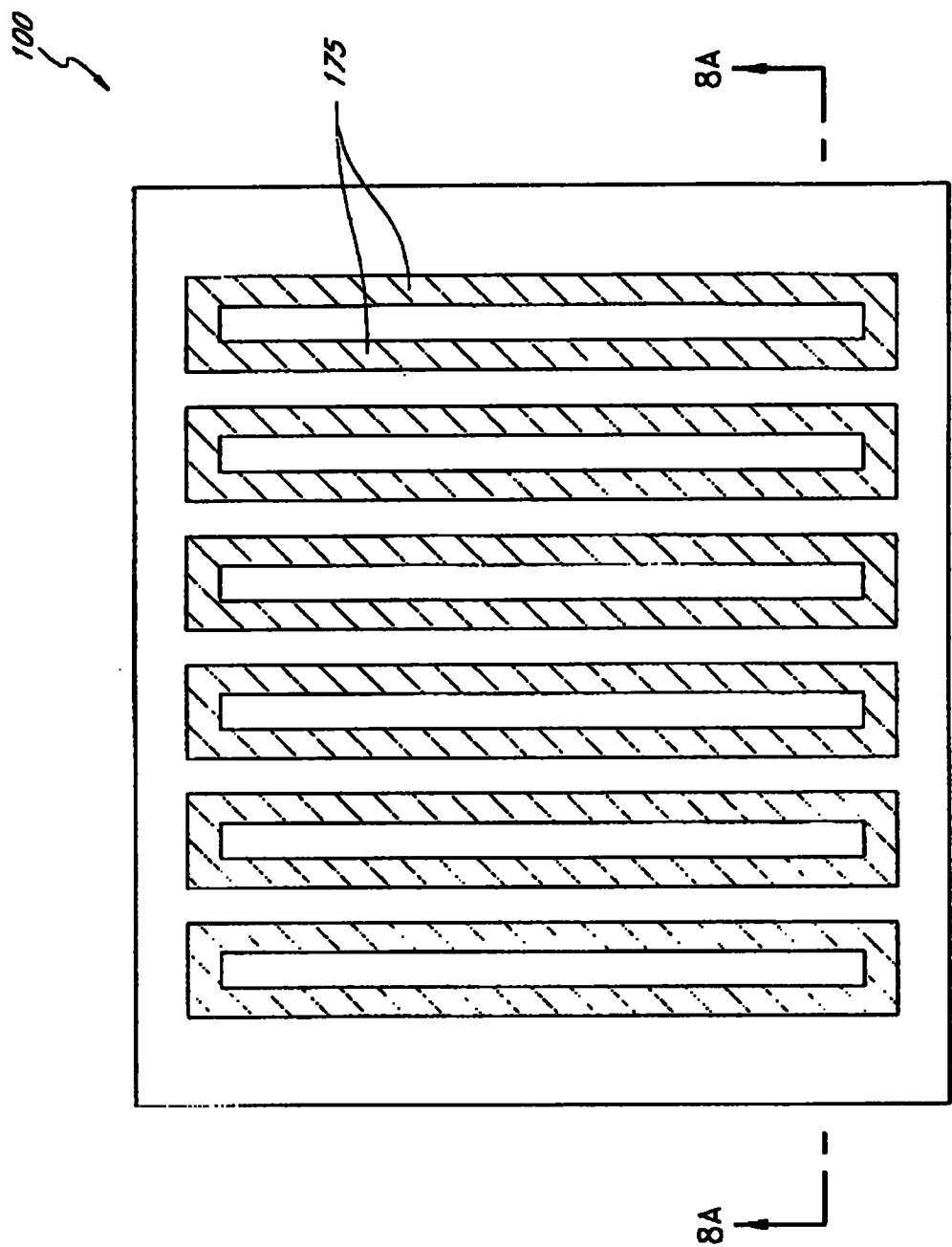


图 8B

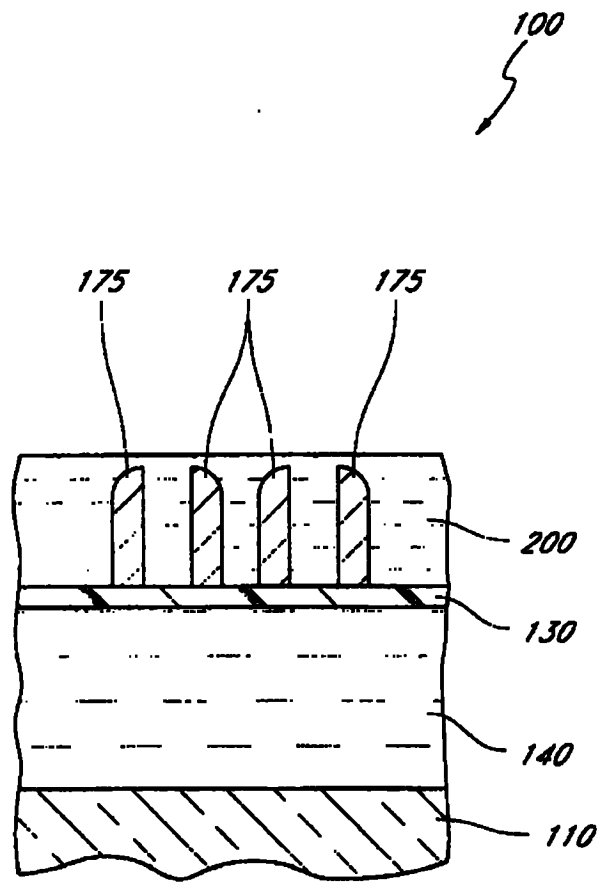


图 9A

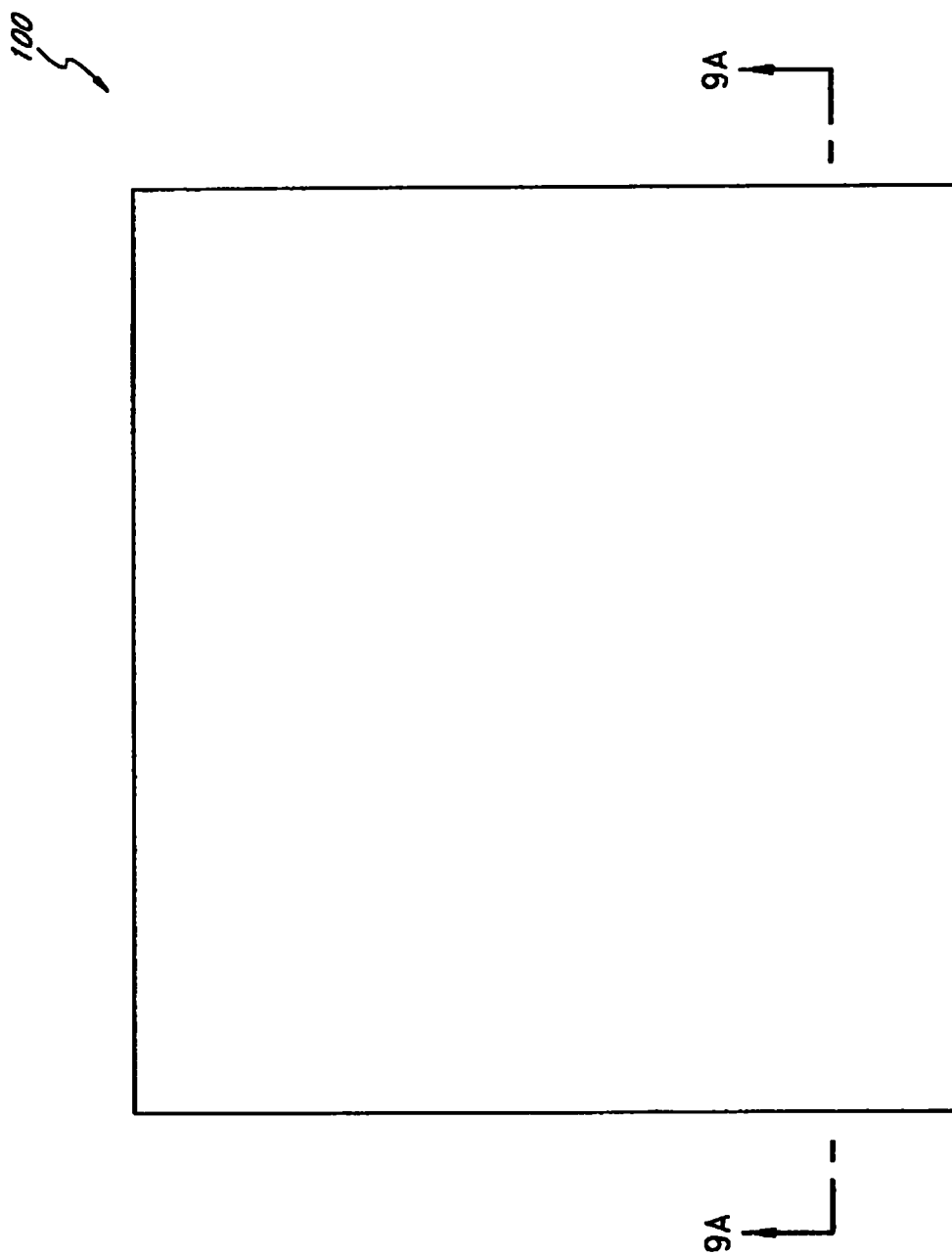


图 9B

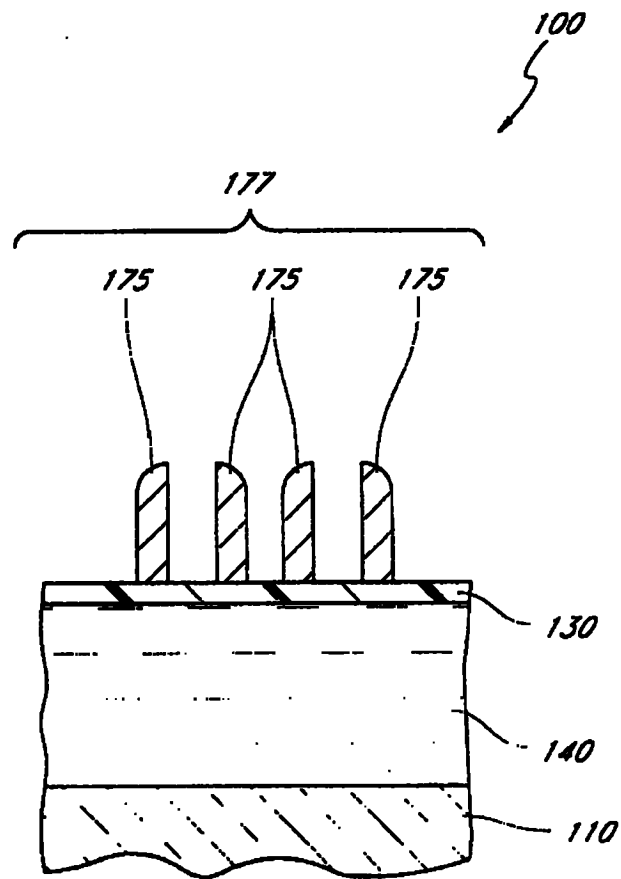


图 10A

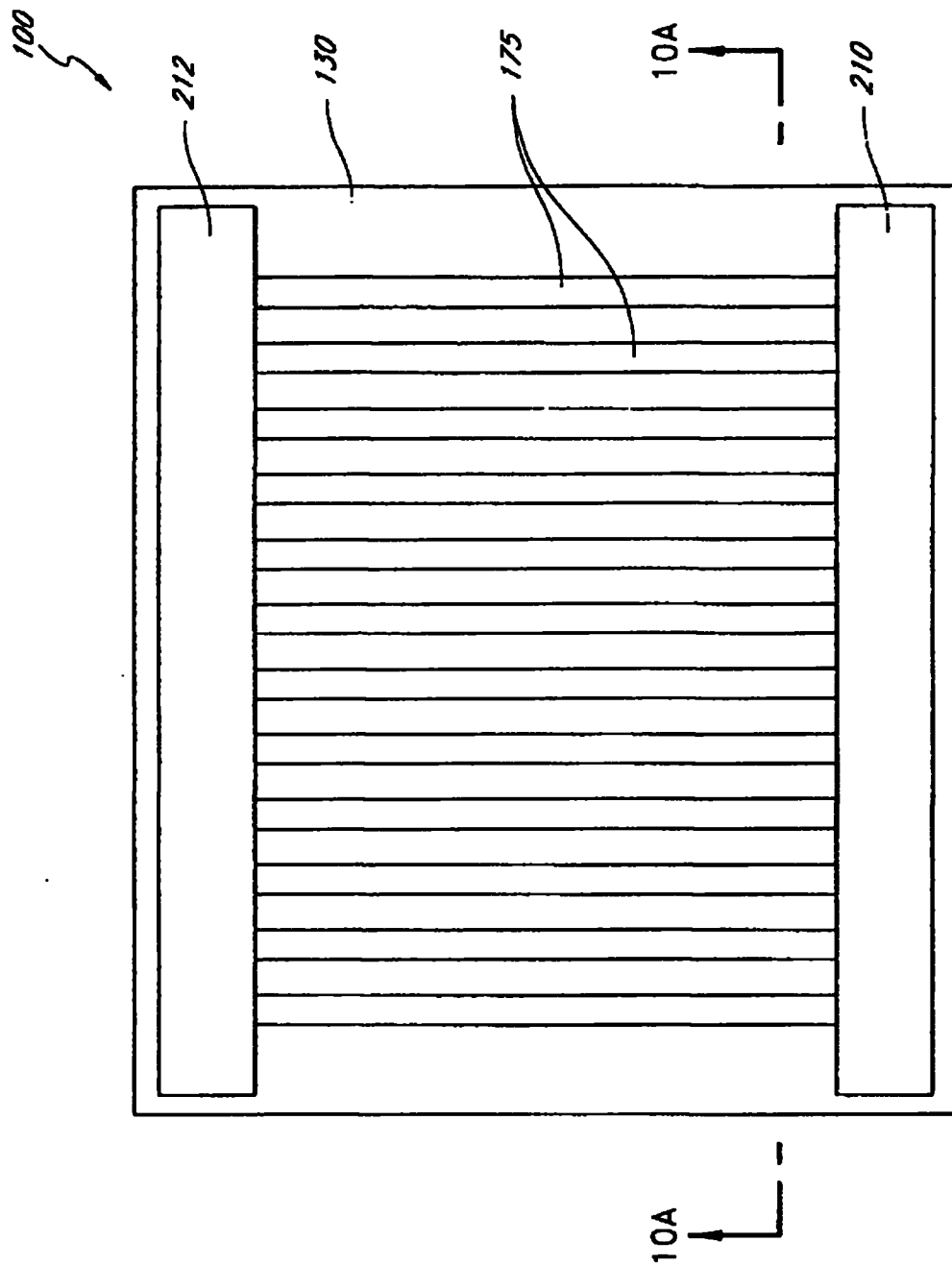


图 10B

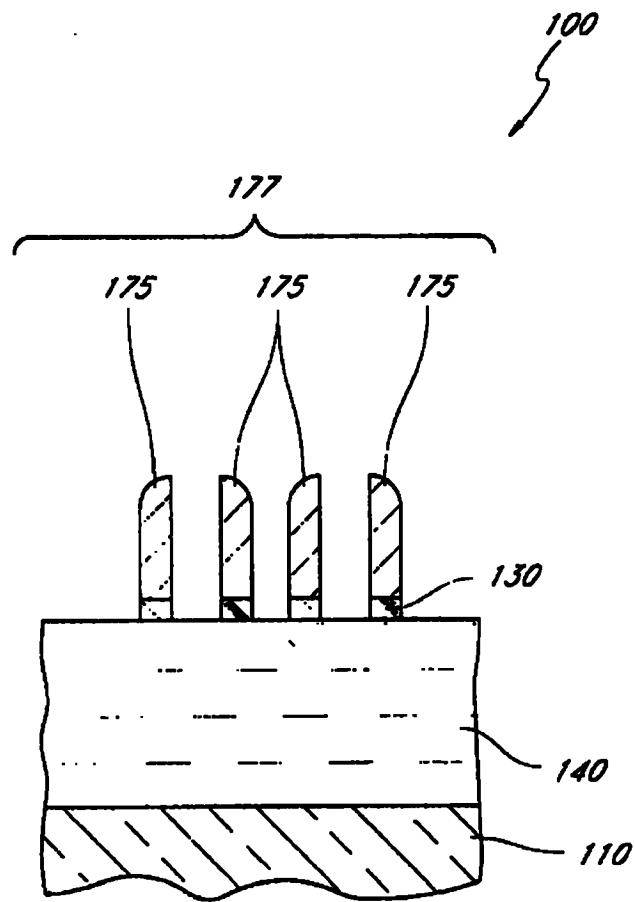


图 11

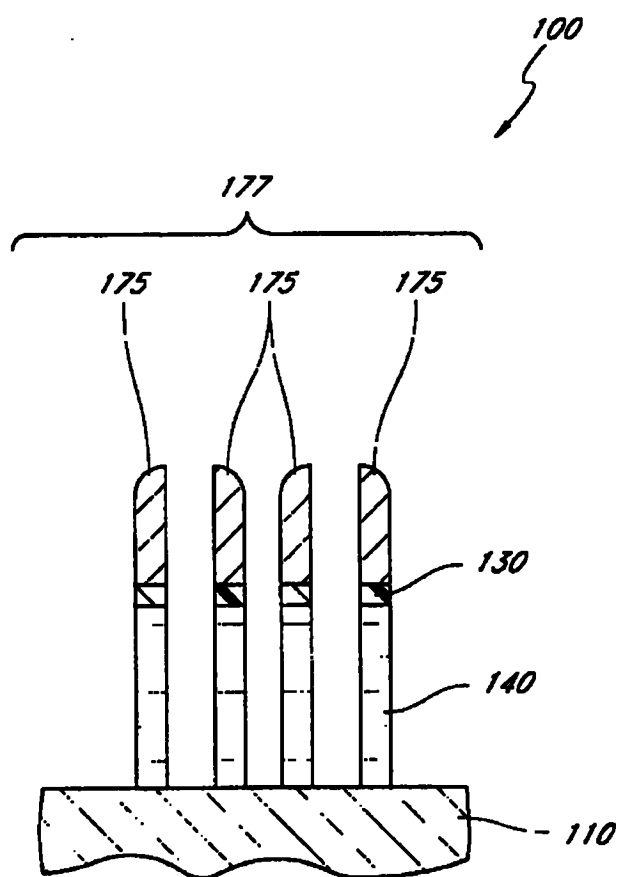


图 12

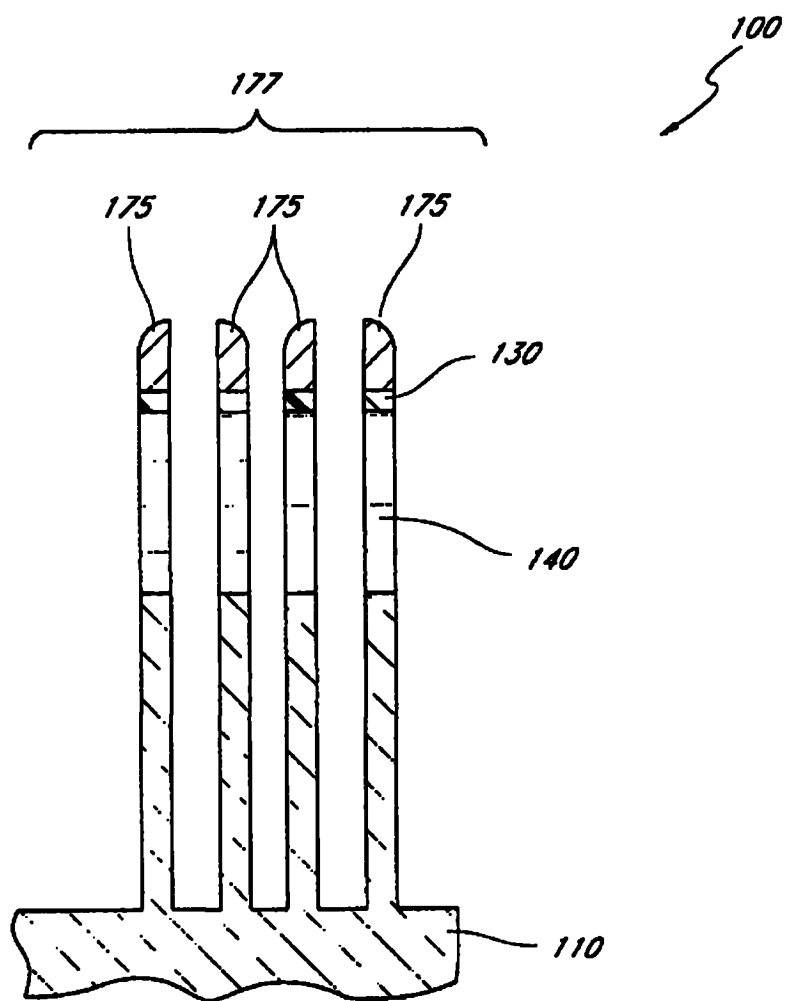


图 13

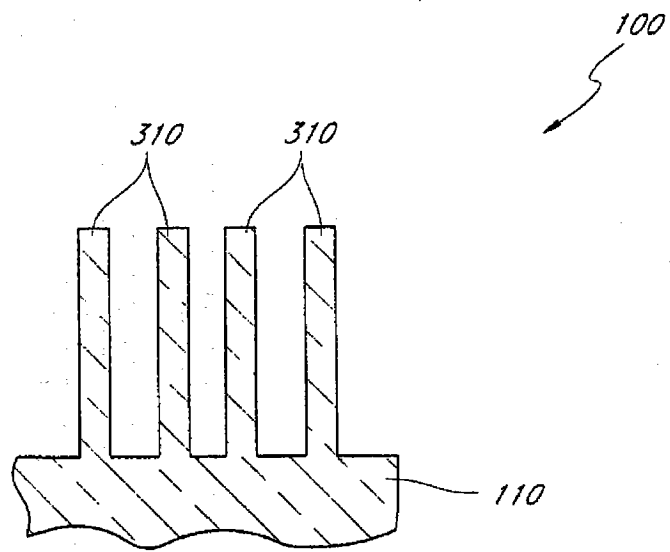


图 14A

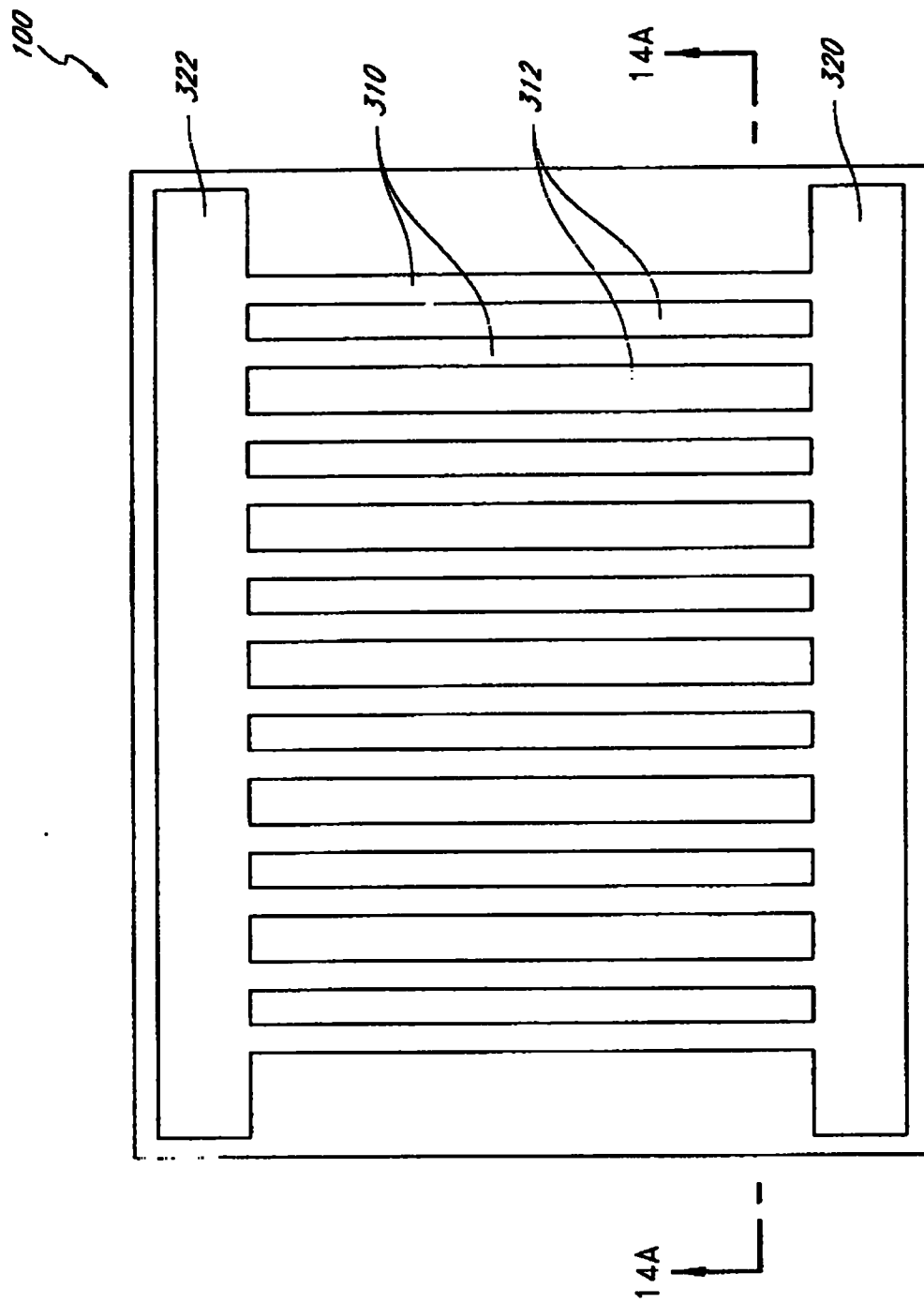


图 14B

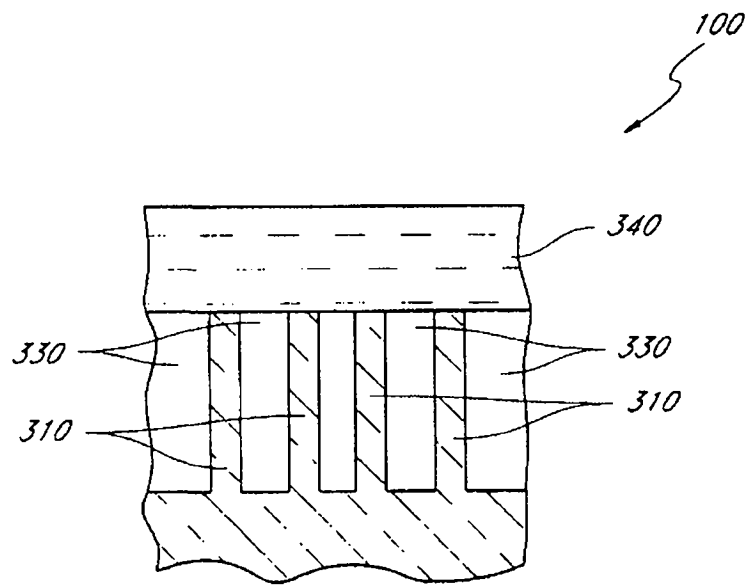


图 15

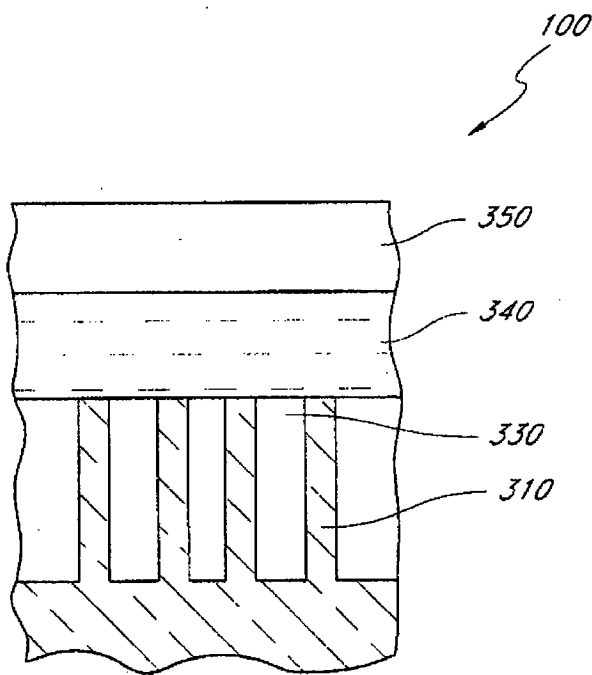


图 16A

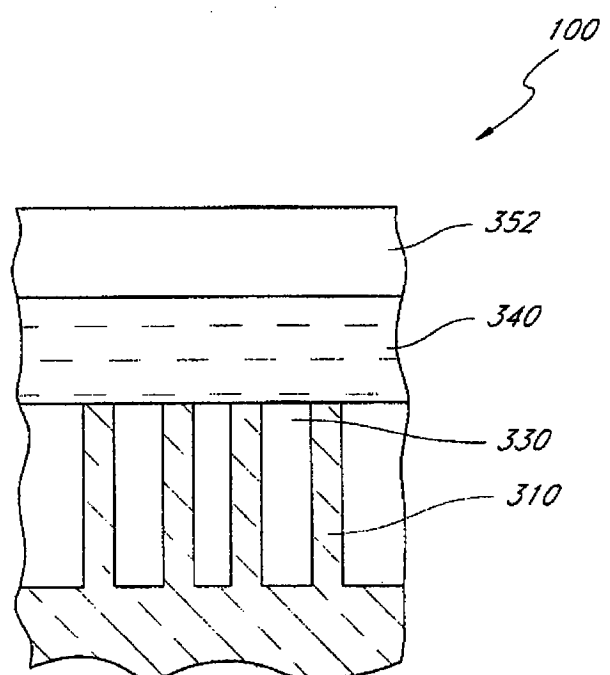


图 16B

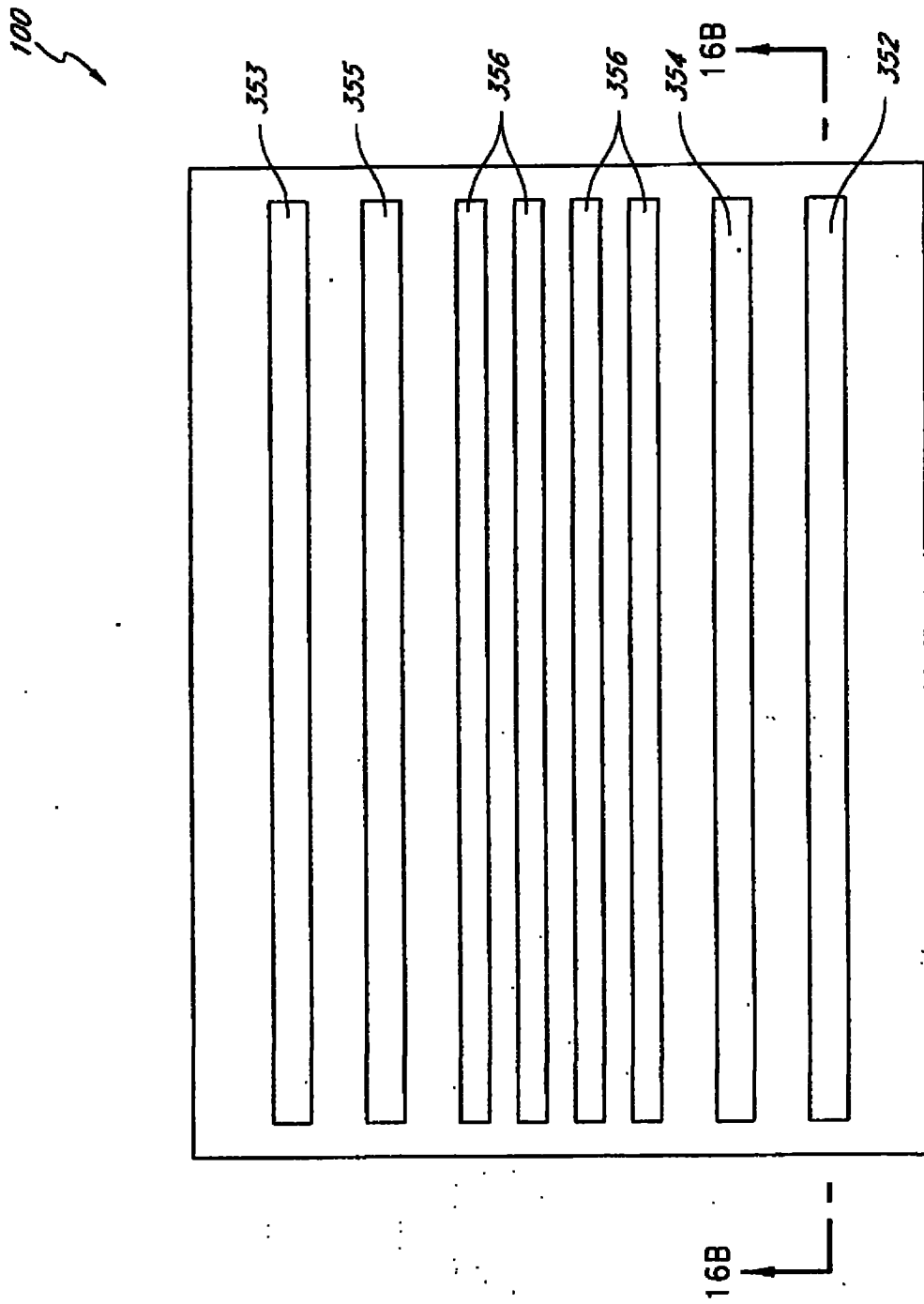


图 16C

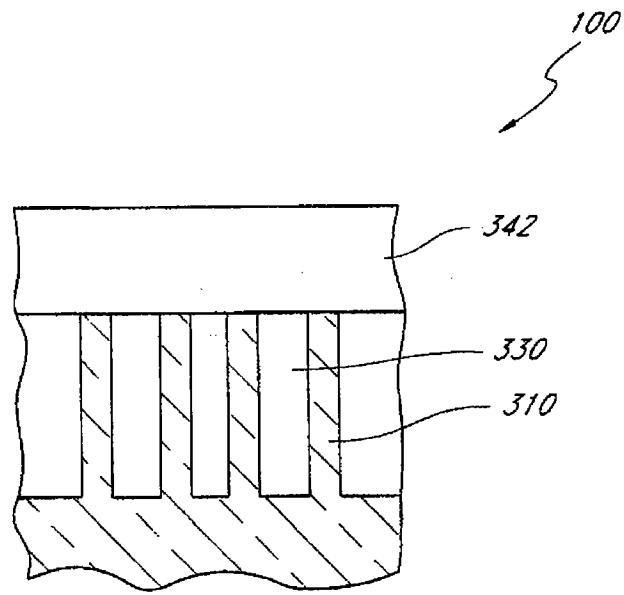


图 17A

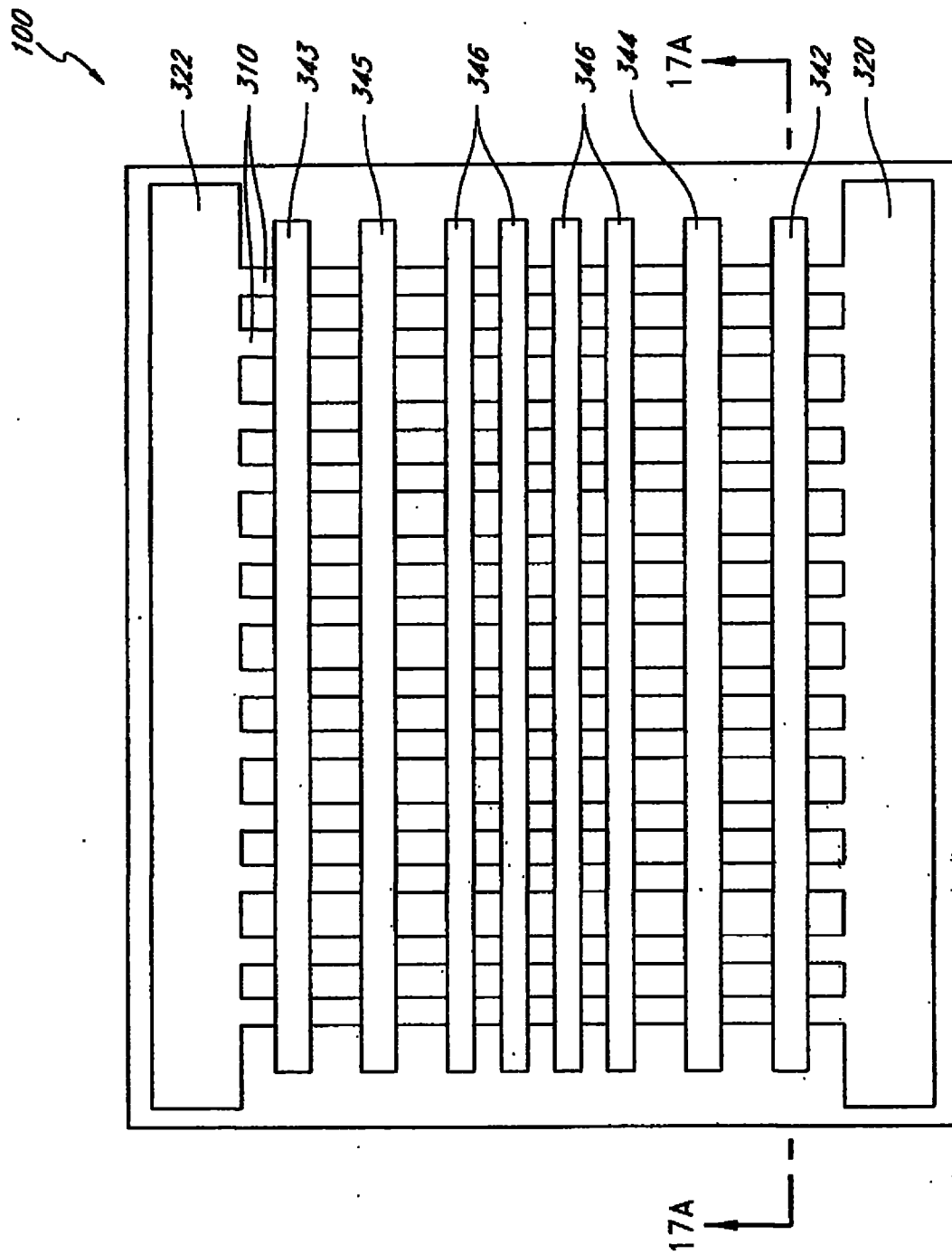


图 17B

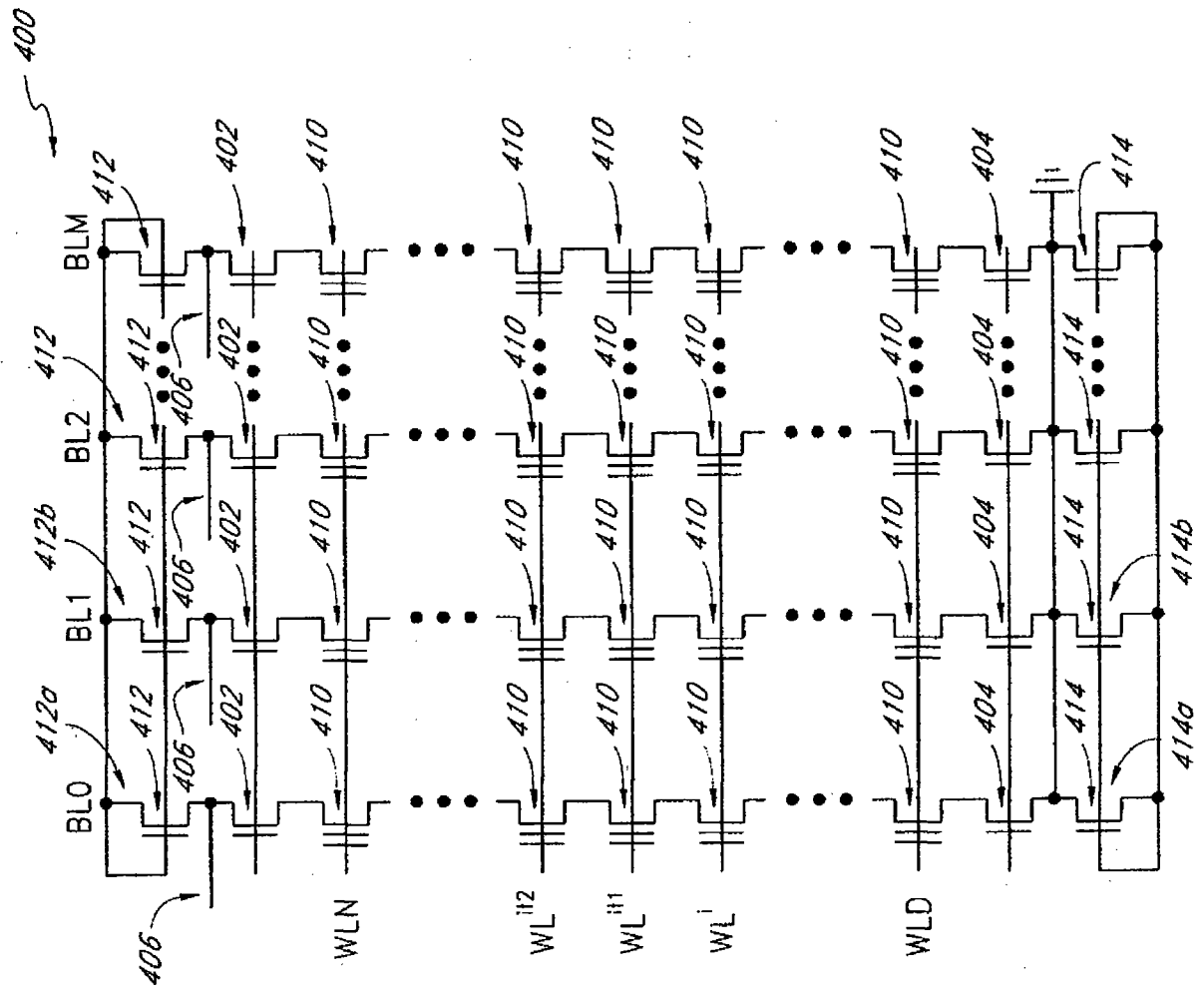


图 18

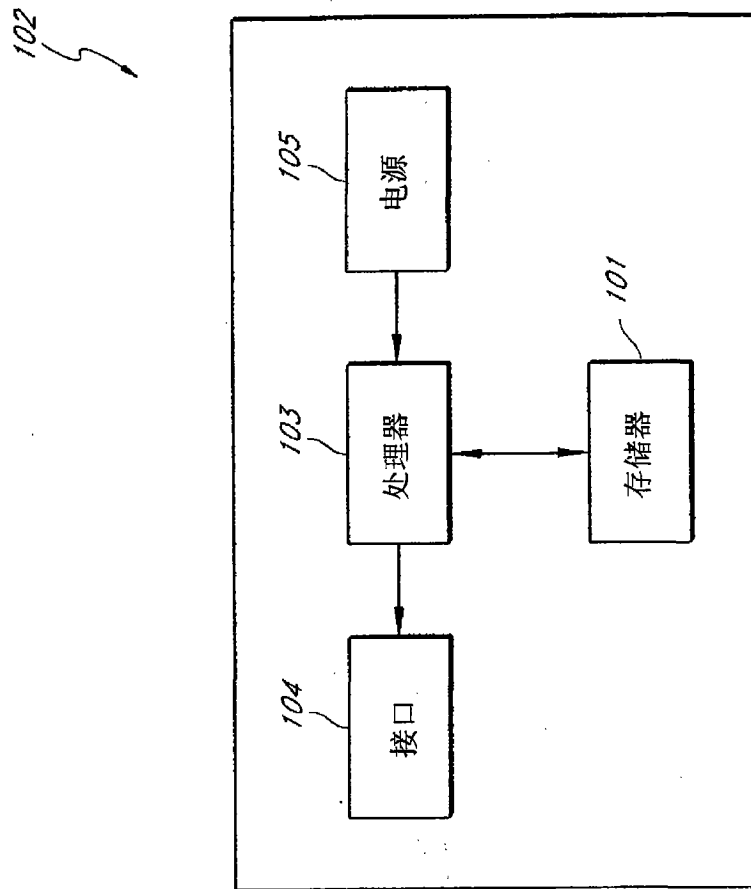


图 19