

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 4 月 23 日 (23.04.2015)



(10) 国际公布号
WO 2015/055005 A1

- (51) 国际专利分类号:
H03K 19/0185 (2006.01) G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/077707
- (22) 国际申请日: 2014 年 5 月 16 日 (16.05.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310482290.3 2013 年 10 月 15 日 (15.10.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 刘宝玉 (LIU, Baoyu); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张亮 (ZHANG, Liang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。许益祯 (XU, Yizhen); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孙志华 (SUN, Zhihua); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

[见续页]

(54) Title: POWER LEVEL TRANSFER CIRCUIT, GATE ELECTRODE DRIVE CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 电平转移电路、栅极驱动电路及显示装置

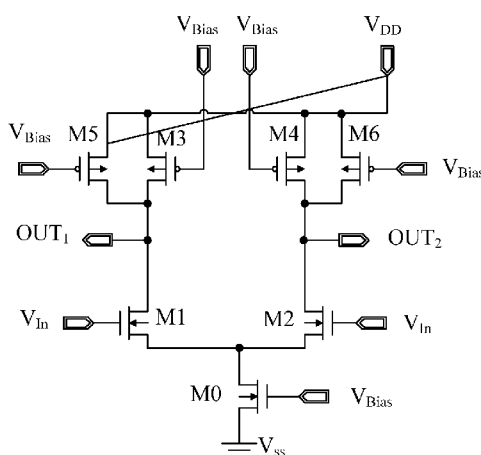


图 2 / Fig. 2

(57) Abstract: A power level transfer circuit, gate electrode drive circuit and display device, the power level transfer circuit comprising a third transistor (M3), a fourth transistor (M4), a fifth transistor (M5) and a sixth transistor (M6); source electrodes are respectively connected to a direct current power supply (VDD); gate electrodes are respectively connected to a bias voltage terminal (Vbias); the drain electrodes of the third transistor (M3) and the fifth transistor (M5) are connected as a first output terminal (OUT1); the drain electrodes of the fourth transistor (M4) and the sixth transistor (M6) are connected as a second output terminal (OUT2); the gate electrodes of both a first transistor (M1) and a second transistor (M2) are connected to an input signal terminal (Vin), and the source electrodes of both the first transistor (M1) and the second transistor (M2) are connected to the drain electrode of a seventh transistor (M0); the drain electrode of the first transistor (M1) is connected to the first output terminal (OUT1), and the drain electrode of the second transistor (M2) is connected to the second output terminal (OUT2); and the source electrode of the seventh transistor (M0) is connected to the ground power (VSS) of the source electrode, and the gate electrode of the seventh transistor (M0) is connected to the bias voltage terminal (Vbias). Common mode voltages between two output terminals of the power level transfer circuit and the ground power of the source electrode do not drop.

(57) 摘要:

[见续页]

WO 2015/055005 A1



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种电平转移电路、栅极驱动电路及显示装置。该电平转移电路包括: 第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)和第六晶体管(M6), 源极分别与直流电源(V_{DD})连接, 栅极分别与偏置电压端(V_{Bias})连接, 其中, 第三晶体管(M3)和第五晶体管(M5)的漏极连接作为第一输出端(OUT_1), 第四晶体管(M4)和第六晶体管(M6)的漏极连接作为第二输出端(OUT_2); 第一晶体管(M1)和第二晶体管(M2), 栅极均与输入信号端(V_{in})连接, 源极均与第七晶体管(M0)的漏极连接, 其中, 第一晶体管(M1)的漏极与第一输出端(OUT_1)连接, 第二晶体管(M2)的漏极与第二输出端(OUT_2)连接; 第七晶体管(M0), 其源极与源极地电源(V_{SS})连接, 栅极与偏置电压端(V_{Bias})连接。电平转移电路的两输出端与源极地电源之间的共模电压不会降低。

电平转移电路、栅极驱动电路及显示装置

技术领域

5 本公开涉及一种电平转移电路、栅极驱动电路及显示装置。

背景技术

在许多集成电路中，为满足集成电路中不同半导体器件的耐压要求，需
要将较低的电平信号转换成较高的电平信号，或者将较高的电平信号转换成
10 较低的电平信号，电平转移电路即用于实现这种功能。

液晶显示技术中，栅极驱动电路的功能是产生液晶显示面板所需要的扫描信号，使得每一扫描行按照次序依次导通。栅极驱动电路主要由移位寄存器、电平转移电路和缓冲器等电路组成。其中电平转移电路尤为重要，它直接提供液晶显示面板中各栅极开启所需要的电压。

15 在栅极驱动电路中，电平转移电路是一个典型的放大电路，一般采用差动放大电路来提高对环境噪声的抗干扰能力，如图 1 所示的电平转移电路，包括 P 型晶体管 M3 和 M4，N 型晶体管 M0、M1 和 M2；P 型晶体管 M3 和 M4 的源极分别与电源 V_{DD} 连接，P 型晶体管 M3 和 M4 的栅极分别与偏置电路的输出 V_{Bias} 连接，P 型晶体管 M3 的漏极作为第一输出端 OUT_1 ；P 型晶体管 M4 的漏极作为第二输出端 OUT_2 ；N 型晶体管 M1 的漏极与第一输出端 OUT_1 连接，N 型晶体管 M2 的漏极与第二输出端 OUT_2 连接；N 型晶体管 M1 和 M2 栅极与输入信号 V_{in} 连接；N 型晶体管 M1 和 M2 的源极与 N 型晶体管 M0 的漏极连接；N 型晶体管 M0 的源极与源极地电源 V_{SS} 连接，N 型晶体管 M0 栅极与偏置电路的输出 V_{Bias} 连接。对于差动放大电路，由于差动放大电路的增益与负载晶体管的跨导成反比，而且跨导又与该负载晶体管的宽长比以减小负载晶体管的跨导，实现提高该差动放大电路的增益的目的。但是，负载晶体管的宽长比的减小会降低差动放大电路的第一输出端和第二输出端与源极地电源 V_{SS} 之间的共模电压。

发明内容

本发明的至少一个实施例提供一种电平转移电路、栅极驱动电路及显示装置，电平转移电路用于解决已知的通过减小负载晶体管的宽长比来提高提高放大增益时，会降低差动放大电路的第一输出端和第二输出端与源极地电

5 源 V_{SS} 之间的共模电压的问题。

本发明的至少一个实施例提供一种电平转移电路，包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 和第七晶体管 M0；

所述第三晶体管 M3、所述第四晶体管 M4、所述第五晶体管 M5 和所述

10 第六晶体管 M6 的源极分别与直流电源 V_{DD} 连接，栅极分别与偏置电压端 V_{Bias} 连接；所述第三晶体管 M3 和所述第五晶体管 M5 的漏极连接作为第一输出端 OUT_1 ；所述第四晶体管 M4 和所述第六晶体管 M6 的漏极连接作为第二输出端 OUT_2 ；

所述第一晶体管 M1 的漏极与所述第一输出端 OUT_1 连接，所述第二晶体管 M2 的漏极与所述第二输出端 OUT_2 连接；所述第一晶体管 M1 和所述

15 第二晶体管 M2 栅极均与输入信号端 V_{in} 连接，源极均与所述第七晶体管 M0 的漏极连接，所述输入信号端 V_{in} 提供待进行电平转换的信号；所述第七晶体管 M0 的源极与源极地电源 V_{SS} 连接，栅极与所述偏置电压端 V_{Bias} 连接。

可替换地，所述第三晶体管 M3、所述第四晶体管 M4、所述第五晶体管

20 M5 和所述第六晶体管 M6 为 P 型晶体管，所述第一晶体管 M1、所述第二晶体管 M2 和所述第七晶体管 M0 为 N 型晶体管。

可替换地，所述第一晶体管 M1 和所述第二晶体管 M2 的宽长比相等。

可替换地，所述输入信号端 V_{in} 提供的待进行电平转换的信号为模拟信号。

25 本发明的至少一个实施例的有益效果如下：对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导，提高电平转移电路的增益；由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源之间的共模电压不会降低。

本发明的至少一个实施例提供一种栅极驱动电路，包括偏置电路，所述

30 偏置电路包括偏置电压端 V_{Bias} ，还包括如上述实施例所述的电平转移电路，

该电平转移电路的第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和第六晶体管 M6 的栅极分别与偏置电路提供的偏置电压端 V_{Bias} 连接；电平转移电路的第七晶体管 M0 的栅极与偏置电压端 V_{Bias} 连接。

5 本发明的至少一个实施例的有益效果如下：栅极驱动电路所包括的电平转移电路，对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导从而提高电平转移电路的增益，由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源之间的共模电压不会降低，确保了栅极驱动电路的驱动能力。

10 本发明的至少一个实施例提供一种显示装置，包括阵列基板，所述阵列基板上设置像素阵列和用于驱动所述像素阵列的栅极信号线；以及包括如上述实施例所述的栅极驱动电路，所述栅极驱动电路所包括的电平转移电路的第一输出端 OUT_1 和第二输出端 OUT_2 同时连接所述栅极信号线。

15 本发明的至少一个实施例的有益效果如下：栅极驱动电路所包括的电平转移电路，对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导从而提高电平转移电路的增益，由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源之间的共模电压不会降低，确保了栅极驱动电路的驱动像素阵列的能力，从而保证显示效果。

20 附图说明

图 1 为已知的技术方案的电平转移电路；

图 2 为本发明实施例提供的一种电平转移电路。

具体实施方式

25 下面结合说明书附图对本发明实施例的实现过程进行详细说明。需要注意的是，附图中相同或类似的标号表示相同或类似的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能理解为对本发明的限制。

30 图 2 是本发明实施例提供的一种电平转移电路。如图 2 所示，该电平转移电路包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管

M4、第五晶体管 M5、第六晶体管 M6 和第七晶体管 M0。

第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和第六晶体管 M6 的源极分别与直流电源 V_{DD} 连接，栅极分别与偏置电压端 V_{Bias} 连接；第三晶体管 M3 和第五晶体管 M5 的漏极连接作为第一输出端 OUT_1 ；第四晶体管 M4 和第六晶体管 M6 的漏极连接作为第二输出端 OUT_2 。

第一晶体管 M1 的漏极与第一输出端 OUT_1 连接，第二晶体管 M2 的漏极与第二输出端 OUT_2 连接；第一晶体管 M1 和第二晶体管 M2 栅极均与输入信号端 V_{in} 连接，源极均与第七晶体管 M0 的漏极连接，输入信号端 V_{in} 提供待进行电平转换的信号；第七晶体管 M0 的源极与源极地电源 V_{SS} 连接，栅极与偏置电压端 V_{Bias} 连接。

可替换地，第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和第六晶体管 M6 为 P 型晶体管，第一晶体管 M1、第二晶体管 M2 和第七晶体管 M0 为 N 型晶体管。

本发明实施例中，通过在负载端增加第五晶体管 M5 和第六晶体管 M6，使流经作为负载晶体管的第三晶体管 M3 和第四晶体管 M4 的电流减小，从而减小如图 2 所示电平转移电路的跨导。

详细原理及推导过程如下：

图 1 所示的已知的技术方案的电平转移电路是一个典型的差动放大电路，差动放大电路增益计算公式如公式 (1)

$$A_V = -g_{mN} \left(g_{mP}^{-1} \parallel r_{ON} \parallel r_{OP} \right) \approx -\frac{g_{mN}}{g_{mP}} \quad \text{公式 (1)}$$

其中， g_{mN} 为 N 型晶体管差分对的跨导， g_{mP} 为 P 型晶体管差分对的跨导， r_{ON} 为 N 型晶体管的内阻， r_{OP} 为 P 型晶体管的内阻。

在 N 型晶体管和 P 型晶体管同时工作时，差动放大电路的增益 A_V 取决于 N 型晶体管和 P 型晶体管的跨导的比值，在需要调整增益 A_V 时，通常采

用调整负载晶体管的跨导 g_{mP} ，即调整如图 1 所示 P 型晶体管 M3 和 M4 的跨导 g_{mP} 。

因此,为了使增益 A_V 增大,通常减小 P 型晶体管 M3 和 M4 的跨导 g_{mP} , 而跨导 g_m 如公式 (2) 所示:

$$g_m = \frac{\partial I_D}{\partial V_{GS}}(V_{DS, const}) = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad \text{公式 (2)}$$

其中, V_{DS} 为晶体管的源漏电压, V_{GS} 为晶体管的栅源电压, V_{TH} 为晶体管的阈值电压, C_{ox} 为氧化层电容, μ_n 为晶体管的迁移率, W 为晶体管的沟道宽度, L 为晶体管的沟道长度, I_D 为偏置电流。

其中, 偏置电流 I_D 如公式 (3) 所示:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \text{公式 (3)}$$

对于如图 1 所示的差动放大电路, 根据公式 (2), 为了减小 P 型晶体管 M3 和 M4 的跨导 g_{mP} , 通常通过减小 P 型晶体管 M3 和 M4 的宽长比 $\frac{W}{L}$ 来实现。但是对于给定的偏置电流 I_D , 当减小 P 型晶体管 M3 和 M4 的宽长比 $\frac{W}{L}$ 时, 造成 $V_{GS} - V_{TH}$ 增大。因此对于整个差动放大电路而言, 由于电路

15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000

移电路的驱动能力受限。

为了解决上述问题，根据公式（2）和公式（3）推导出表示跨导 g_m 的另一公式（4），如下：

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad \text{公式（4）}$$

5 由公式（4）可知，在不改变给定负载晶体管的尺寸的情况下，可以改变偏置电流 I_D 以实现减小跨导 g_m 。

相比如图 1 所示的电平转移电路，根据上述原理，在本发明实施例提供的如图 2 所示的电平转移电路中，在负载端增加了与第三晶体管 M3 并联的第五晶体管 M5，与第四晶体管 M4 并联的第六晶体管 M6，在不改变给定负载晶体管的宽长比 W/L 的情况下，流经作为负载的各 P 型晶体管偏置电流减小，从而减小了 P 型晶体管差分对的跨导。

可替换地，第一晶体管 M1 和第二晶体管 M2 的宽长比相等。

可替换地，输入信号端 V_{in} 提供的待进行电平转换的信号为模拟信号。

15 本发明的至少一个实施例的有益效果如下：对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导，提高电平转移电路的增益；由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源之间的共模电压不会降低。

20 本发明的至少一个实施例提供一种栅极驱动电路，包括偏置电路，所述偏置电路包括偏置电压端 V_{Bias} ，该栅极驱动电路还包括如上述实施例所述的电平转移电路；电平转移电路的第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和第六晶体管 M6 的栅极分别与偏置电路提供的偏置电压端 V_{Bias} 连接；电平转移电路的第七晶体管 M0 的栅极与偏置电压端 V_{Bias} 连接。

25 本发明的至少一个实施例的有益效果如下：栅极驱动电路所包括的电平转移电路，对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导从而提高电平转移电路的增益，由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源

之间的共模电压不会降低，确保了栅极驱动电路的驱动能力。

本发明的至少一个实施例提供一种显示装置，包括阵列基板，阵列基板上设置像素阵列和用于驱动像素阵列的栅极信号线；以及包括如上述实施例所述的栅极驱动电路，栅极驱动电路所包括的电平转移电路的第一输出端

5 OUT₁和第二输出端 OUT₂同时连接所述栅极信号线。

本发明的至少一个实施例的有益效果如下：栅极驱动电路所包括的电平转移电路，对于给定电平转移电路中负载晶体管的宽长比，通过减小流经负载晶体管的电流来减小负载晶体管的跨导从而提高电平转移电路的增益，由于未减小负载晶体管的宽长比，因此电平转移电路的两输出端与源极地电源
10 之间的共模电压不会降低，确保了栅极驱动电路的驱动像素阵列的能力，从而保证显示效果。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

15 本申请要求于2013年10月15日递交的中国专利申请第201310482290.3号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1.一种电平转移电路,包括第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)、第六晶体管(M6)和第七晶体管(M0);

其中,所述第三晶体管(M3)、所述第四晶体管(M4)、所述第五晶体管(M5)和所述第六晶体管(M6)的源极分别与直流电源(V_{DD})连接,栅极分别与偏置电压端(V_{Bias})连接;所述第三晶体管(M3)和所述第五晶体管(M5)的漏极连接作为第一输出端(OUT_1);所述第四晶体管(M4)和所述第六晶体管(M6)的漏极连接作为第二输出端(OUT_2);

并且其中,所述第一晶体管(M1)的漏极与所述第一输出端(OUT_1)连接,所述第二晶体管(M2)的漏极与所述第二输出端(OUT_2)连接;所述第一晶体管(M1)和所述第二晶体管(M2)栅极均与输入信号端(V_{in})连接,源极均与所述第七晶体管(M0)的漏极连接,所述输入信号端(V_{in})提供待进行电平转换的信号;所述第七晶体管(M0)的源极与源极地电源(V_{SS})连接,栅极与所述偏置电压端(V_{Bias})连接。

2.如权利要求1所述的电平转移电路,其中,所述第三晶体管(M3)、所述第四晶体管(M4)、所述第五晶体管(M5)和所述第六晶体管(M6)为P型晶体管,所述第一晶体管(M1)、所述第二晶体管(M2)和所述第七晶体管(M0)为N型晶体管。

3.如权利要求1至2中任一项所述的电平转移电路,其中,所述第一晶体管(M1)和所述第二晶体管(M2)的宽长比相等。

4.如权利要求1至3中任一项所述的电平转移电路,其中,所述输入信号端(V_{in})提供的待进行电平转换的信号为模拟信号。

5.一种栅极驱动电路,包括偏置电路,所述偏置电路包括偏置电压端(V_{Bias}),其中,所述栅极驱动电路还包括如权利要求1至4任一项所述的电平转移电路,该电平转移电路的第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)和第六晶体管(M6)的栅极分别与偏置电路提供的偏置电压端(V_{Bias})连接;电平转移电路的第七晶体管(M0)的栅极与偏置电路提供的偏置电压端(V_{Bias})连接。

6.一种显示装置，包括阵列基板，所述阵列基板上设置像素阵列和用于驱动所述像素阵列的栅极信号线；其中，所述显示装置包括如权利要求5所述的栅极驱动电路，所述栅极驱动电路所包括的电平转移电路的第一输出端（OUT₁）和第二输出端（OUT₂）同时连接所述栅极信号线。

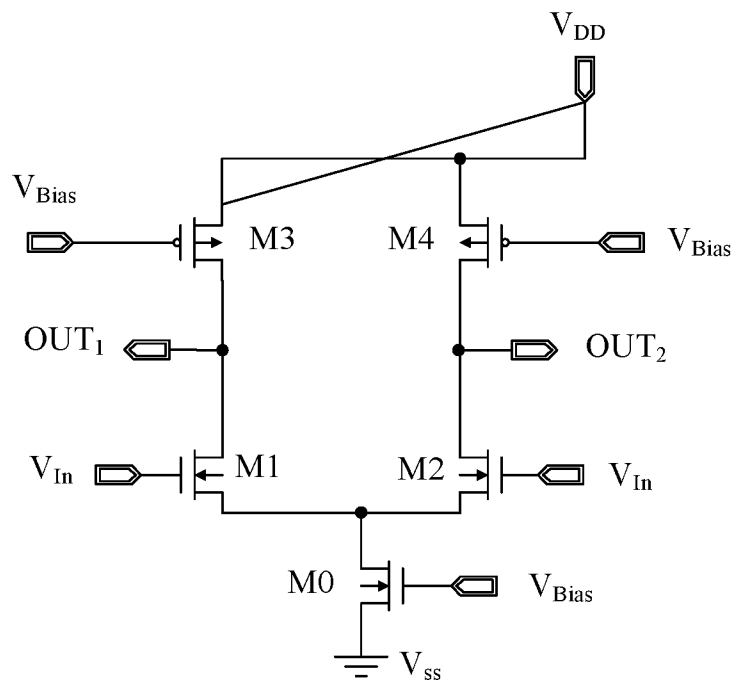


图 1

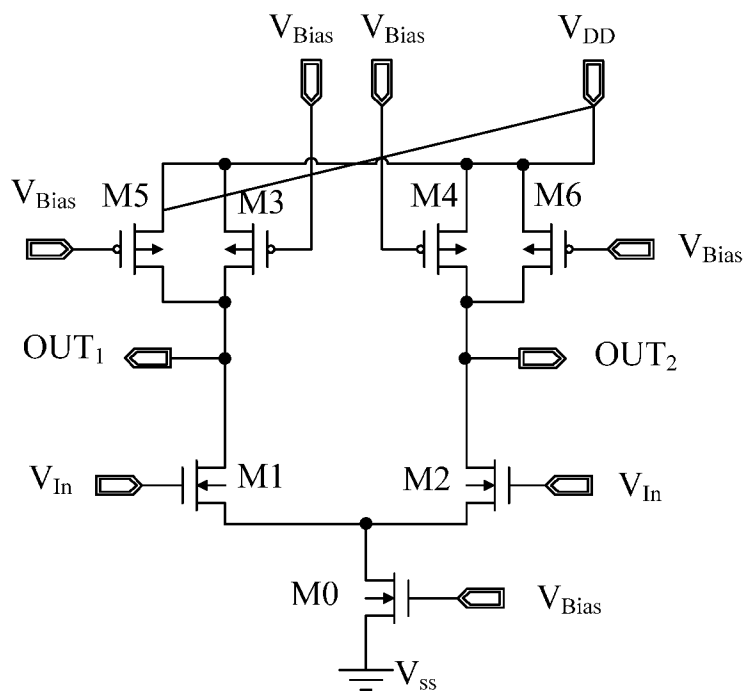


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/077707

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/0185 (2006.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H03K, G09G, H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, WPI, EPODOC: width to length ratio, gain, transconductance, shunt, level w shifting, differentia+ w amplifier, bias, common w mode, parallel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103532539 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 22 January 2014 (22.01.2014), claims 1-6, description, paragraph [0044], and figure 2	1-6
X	CN 103338015 A (NANJING UNIVERSITY OF POSTS AND TELECOMMUNICATIONS), 02 October 2013(02.10.2013), description, paragraphs [0033]-[0040], and figures 1-2	1-6
A	CN 101567669 A (SUZHOU CAS SEMICONDUCTOR INTEGRATION RESEARCH AND DEVELOPMENT CENTER), 28 October 2009 (28.10.2009), the whole document	1-6
A	CN 101383131 A (HIMAX TECHNOLOGIES, INC.), 11 March 2009 (11.03.2009), the whole document	1-6
A	US 2013214865 A1 (INT. BUSINESS MACHINES CORP.), 22 August 2013 (22.08.2013), the whole document	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 July 2014 (14.07.2014)

Date of mailing of the international search report
27 August 2014 (27.08.2014)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
XIONG, Yue
Telephone No.: (86-10) **82245487**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/077707

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103532539 A	22 January 2014	None	
CN 103338015 A	02 October 2013	None	
CN 101567669 A	28 October 2009	None	
CN 101383131 A	11 March 2009	US 2009058773 A1	05 March 2009
		US 8159481 B2	17 April 2012
		CN 101383131 B	01 December 2010
		TW 200912840 A	16 March 2009
		TW I368887 B	21 July 2012
US 2013214865 A1	22 August 2013	CN 103259497 A	21 August 2013
		US 8704583 B2	22 April 2014

国际检索报告

国际申请号

PCT/CN2014/077707

A. 主题的分类

H03K 19/0185(2006.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K, G09G, H03F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, WPI, EPODOC: 电平转移, 差动放大, 偏置, 共模, 宽长比, 增益, 跨导, 分流, 并联, level w shifting, differentia+ w amplifier, bias, common w mode, parallel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103532539 A (京东方科技集团股份有限公司 等) 2014年 1月 22日 (2014 - 01 - 22) 权利要求1-6、说明书第[0044]段、图2	1-6
X	CN 103338015 A (南京邮电大学) 2013年 10月 02日 (2013 - 10 - 02) 说明书第[0033]-[0040]段、图1-2	1-6
A	CN 101567669 A (苏州中科半导体集成技术研发中心有限公司) 2009年 10月 28日 (2009 - 10 - 28) 全文	1-6
A	CN 101383131 A (奇景光电股份有限公司) 2009年 3月 11日 (2009 - 03 - 11) 全文	1-6
A	US 2013214865 A1 (INT. BUSINESS MACHINES CORP.) 2013年 8月 22日 (2013 - 08 - 22) 全文	1-6

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 7月 14日

国际检索报告邮寄日期

2014年 8月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

熊跃

传真号 (86-10)62019451

电话号码 (86-10)82245487

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/077707

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103532539	A	2014年 1月 22日	无			
CN	103338015	A	2013年 10月 02日	无			
CN	101567669	A	2009年 10月 28日	无			
CN	101383131	A	2009年 3月 11日	US	2009058773	A1	2009年 3月 05日
				US	8159481	B2	2012年 4月 17日
				CN	101383131	B	2010年 12月 01日
				TW	200912840	A	2009年 3月 16日
				TW	I368887	B	2012年 7月 21日
US	2013214865	A1	2013年 8月 22日	CN	103259497	A	2013年 8月 21日
				US	8704583	B2	2014年 4月 22日

表 PCT/ISA/210 (同族专利附件) (2009年7月)