

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4219532号  
(P4219532)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int. Cl. F I  
**HO4N 7/32 (2006.01)** HO4N 7/137 Z  
**HO3M 7/36 (2006.01)** HO3M 7/36

請求項の数 2 (全 15 頁)

|           |                               |           |   |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2000-173681 (P2000-173681)  | (73) 特許権者 | 000006013<br>三菱電機株式会社<br>東京都千代田区丸の内二丁目7番3号      |
| (22) 出願日  | 平成12年6月9日(2000.6.9)           | (74) 代理人  | 100083840<br>弁理士 前田 実                           |
| (65) 公開番号 | 特開2001-359100 (P2001-359100A) | (72) 発明者  | 池田 倫昭<br>兵庫県尼崎市猪名寺2丁目5番1号 三菱電機マイコン機器ソフトウェア株式会社内 |
| (43) 公開日  | 平成13年12月26日(2001.12.26)       | (72) 発明者  | 稲村 守<br>東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内             |
| 審査請求日     | 平成17年9月30日(2005.9.30)         | (72) 発明者  | 貴島 淳子<br>東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内            |

最終頁に続く

(54) 【発明の名称】 画像符号化装置

(57) 【特許請求の範囲】

【請求項1】

映像信号を受けて、該映像信号をマクロブロックに分割してブロック化映像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化映像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートと、前記画像符号化回路で検出される動きベクトルを入力とし、これらに基づいて符号化する領域を指定する符号化領域指定器とを備え、

前記画像符号化回路は、該符号化領域指定器で指定された領域のみを符号化する画像符号化装置であって、

前記符号化領域指定器が、動きベクトルを、各マクロブロックについての水平方向動きベクトル絶対値および垂直方向動きベクトル絶対値に変換する動きベクトル変換器と、

前記水平動きベクトル絶対値が第1の閾値よりも大きい時、真値を出力する第1の比較器と、

前記垂直動きベクトル絶対値が第2の閾値よりも大きい時、真値を出力する第2の比較器と、

前記第1の比較器の出力と、前記第2の比較器の出力の論理和を出力する論理和回路とを備え、

10

20

伝送路のビットレートが低くなった場合には、より動きが大きいマクロブロックのみ符号化を行うように前記第 1 の閾値及び前記第 2 の閾値を切り換え、

前記画像符号化回路は、前記論理和回路の出力が真値のとき、その動きベクトルを含むマクロブロックのみ符号化する

ことを特徴とする画像符号化装置。

【請求項 2】

映像信号を受けて、該映像信号をマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化画像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートと、前記画像符号化回路で検出される動きベクトルを入力とし、これらに基づいて符号化する第 1 の領域を指定する第 1 の符号化領域指定器と

を備え、

前記第 1 の符号化領域指定器が、

動きベクトルを、各マクロブロックについての水平方向動きベクトル絶対値および垂直方向動きベクトル絶対値に変換する動きベクトル変換器と、

前記水平動きベクトル絶対値が第 1 の閾値よりも大きい時、真値を出力する第 1 の比較器と、

前記垂直動きベクトル絶対値が第 2 の閾値よりも大きい時、真値を出力する第 2 の比較器と、

前記第 1 の比較器の出力と、前記第 2 の比較器の出力の論理和を出力する論理和回路とを備え、

伝送路のビットレートが低くなった場合には、より動きが大きいマクロブロックのみ符号化を行うように前記第 1 の閾値及び前記第 2 の閾値を切り換え、

前記第 1 の符号化領域指定器は、前記論理和回路の出力が真値のとき、その動きベクトルを含むマクロブロックを前記符号化する第 1 の領域として指定し、

伝送路のビットレートと、外部から指定される領域情報を入力とし、これらに基づいて符号化する第 2 の領域を指定する第 2 の符号化領域指定器をさらに備え、

前記画像符号化回路は、該前記第 1 の符号化領域指定器によって指定された前記第 1 の領域と、前記第 2 の符号化領域指定器によって指定される前記第 2 の領域の重なった領域のみを符号化する

ことを特徴とする画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、映像信号を符号化する符号化装置に関するものである。

【0002】

【従来の技術】

図 1 2 は、例えば「MPEG-4 のすべて」(工業調査会) p. 39 ~ p. 40 に示された従来の符号化装置である。

【0003】

図 1 2 において、1 は図示しないカメラ等の映像信号発生装置からの映像信号(例えば R, G, B の信号)を入力して、Y, Cb, Cr 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、2 は画像信号入力回路 1 から出力されるブロック化画像信号を受けて符号化を行う画像符号化回路、3 は画像符号化回路 2 で符号化された画像信号を伝送する伝送路である。

【0004】

画像符号化回路 2 は、入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は DCT 回路 2 b、量子化器 2 c を通って、DC/AC 予測器 2 d と逆量子化器 2 f に入力される。DC/AC 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与え

10

20

30

40

50

られ、可変長符号化回路 2 e はビットストリームを出力する。一方、逆量子化器 2 f の出力は、逆 D C T 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号（画像信号入力回路 1 の出力）が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

【 0 0 0 5 】

画像符号化回路 2 の出力は伝送路 3 を介し、ビットストリームとして、図示しない復号装置側へ出力される。

【 0 0 0 6 】

次に動作について説明する。まず、画像信号入力回路 1 から出力され、画像符号化回路 2 に入力されるブロック化画像信号は、図 1 3 に示したように基本処理単位であるマクロブロックに分割されたものである。すなわち、入力される画像信号が 4 : 2 : 0 の場合、輝度信号 ( Y ) の 1 6 画素 × 1 6 ラインが、2 つの色差信号 ( C b 、 C r ) の 8 画素 × 8 ラインと画面上で同じ大きさとなるので、8 画素 × 8 ラインのブロックが 6 つで、1 つのマクロブロックが構成される。なお、ここでは、入力される V i d e o O b j e c t P l a n e ( V O P ) は矩形形状で、フレームと同一とする。

【 0 0 0 7 】

画像符号化回路 2 は、各ブロックに対して離散コサイン変換 ( D C T ) を施してから量子化する。量子化された D C T 係数は D C / A C 予測器 2 d で係数の予測を行った後、量子化パラメータなどの付加情報とともに可変長符号化する。これがイントラ符号化である。すべてのマクロブロックに対してイントラ符号化を適用する V O P を I - V O P と呼ぶ。

【 0 0 0 8 】

一方、量子化された D C T 係数は、逆量子化、逆 D C T を受けて、復号され、復号画像はメモリ 2 j に記憶される。メモリ 2 j の復号画像はインター符号化を行うときに使用される。

【 0 0 0 9 】

インター符号化の場合は、動き検出回路 2 m において、入力されたマクロブロックの動きを示す動きベクトルを検出する。動きベクトルは、メモリ 2 j に記憶された復号画像の中で、入力マクロブロックとの誤差が最も小さくなるような位置を示すものである。予測画像作成回路 2 k は動きベクトルに基づいて、予測画像を作成する。次に、入力マクロブロックとこの予測画像の差分を求め、その差分信号に対して、D C T を施し、量子化を行う。量子化された変換係数は、予測符号化された動きベクトルおよび量子化パラメータなどの付加情報とともに可変長符号化される。また、量子化された D C T 係数は、逆量子化、逆 D C T を受けた後、予測画像と加算 ( 2 h ) されて、メモリ 2 j に記憶される。

【 0 0 1 0 】

また、伝送路におけるビットレートを監視しておき、例えば、インターネットのストリーム配信等で、回線状況によって伝送速度が低下した場合、符号化回路 2 側で符号化するフレームレートを落とし、伝送速度に応じた符号化を行う構成になっている。この場合、図示しない復号装置側で復号される画像のフレームレートは伝送速度に応じて変化し、表示されるようになる。

【 0 0 1 1 】

【 発明が解決しようとする課題 】

上記のような従来の符号化装置においては、画像符号化回路 2 は、伝送速度が低下した場合、復号装置側に送信する画像のフレームレートを落として送信する必要がある。この場合、復号装置側で復号される画像はフレームのデータが欠落している為、コマ落としした画像が表示される等の問題があった。

10

20

30

40

50

## 【 0 0 1 2 】

この発明は、上述のような課題を解消する為になされたもので、符号化する領域を制限する、又は符号化する入力画像のビット数を制限することで伝送速度が低下した場合でもフレームレートを落とすことなく符号化した画像データを送信できる画像符号化装置を提示するものである。

## 【 0 0 1 3 】

## 【課題を解決するための手段】

本発明の画像符号化装置は、

映像信号を受けて、該映像信号をマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化画像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートと、前記画像符号化回路で検出される動きベクトルを入力とし、これらに基づいて符号化する領域を指定する符号化領域指定器と

を備え、

前記画像符号化回路は、該符号化領域指定器で指定された領域のみを符号化する画像符号化装置であって、

前記符号化領域指定器が、

動きベクトルを、各マクロブロックについての水平方向動きベクトル絶対値および垂直方向動きベクトル絶対値に変換する動きベクトル変換器と、

前記水平動きベクトル絶対値が第1の閾値よりも大きい時、真値を出力する第1の比較器と、

前記垂直動きベクトル絶対値が第2の閾値よりも大きい時、真値を出力する第2の比較器と、

前記第1の比較器の出力と、前記第2の比較器の出力の論理和を出力する論理和回路とを備え、

伝送路のビットレートが低くなった場合には、より動きが大きいマクロブロックのみ符号化を行うように前記第1の閾値及び前記第2の閾値を切り換え、

前記画像符号化回路は、前記論理和回路の出力が真値のとき、その動きベクトルを含むマクロブロックのみ符号化する

ことを特徴とする。

## 【 0 0 1 7 】

## 【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

## 【 0 0 1 8 】

実施の形態 1 .

図 1 は本発明の実施の形態 1 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号（例えば R , G , B の信号）を入力して、Y , C b , C r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、2 は画像信号入力回路 1 から出力されるブロック化画像信号を受けて符号化を行う画像符号化回路、3 は画像符号化回路 2 で符号化された画像信号を伝送する伝送路である。

## 【 0 0 1 9 】

画像信号入力回路 1 は、図 3 に示すように、図示しないカメラ等の映像信号発生装置からの映像信号（例えば R , G , B の信号）を受けて、輝度信号 Y 及び色差信号 C b , C r 信号に変換するカラー信号変換回路 1 1 と、カラー信号変換回路 1 1 から出力される輝度信号 Y 及び色差信号 C b , C r を受けて、マクロブロックに分割してブロック化画像信号を生成するブロック化回路 1 2 とを有する。

## 【 0 0 2 0 】

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a

を有し、減算器 2 a の出力は領域セクタ 2 n、DCT 回路 2 b、量子化器 2 c を通って、DC/AC 予測器 2 d と逆量子化器 2 f に入力される。DC/AC 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、DC/AC 予測器 2 d の出力と、後述の動きベクトル予測器 2 i の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 DCT 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号（画像信号入力回路 1 の出力）が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

10

## 【0021】

符号化領域指定器 4 1 には動き検出回路 2 m の出力信号 2 m 1 と、伝送路ビットレート測定器 5 の出力信号 5 a が入力され、符号化領域指定器 4 1 の出力は領域セクタ 2 n の動作を制御する。

## 【0022】

画像信号入力回路 1 から出力され、画像符号化回路 2 に入力されるブロック化画像信号は、図 1 3 に示したように基本処理単位であるマクロブロックに分割されたものである。すなわち、入力される画像信号が 4 : 2 : 0 の場合、輝度信号 (Y) の 16 画素 × 16 ラインが、2 つの色差信号 (Cb、Cr) の 8 画素 × 8 ラインと画面上で同じ大きさとなるので、8 画素 × 8 ラインのブロックが 6 つで、1 つのマクロブロックが構成される。なお、ここでは、入力される Video Object Plane (VOP) は矩形形状で、フレームと同一とする。

20

## 【0023】

符号化領域指定器 4 1 では、伝送路ビットレート測定器 5 から入力されるビットレート（伝送速度）に応じて符号化するマクロブロックの設定を行い、領域セクタ 2 n を制御して、画像符号化回路 2 で符号化する信号を切り替える。以下、この動作の詳細を記す。

## 【0024】

図 2 は符号化領域指定器 4 1 を示すものである。動きベクトル変換器 4 1 a は動き検出回路 2 m が出力する動きベクトル 2 m 1 から、各マクロブロックについて水平方向動きベクトル値 4 1 a 1、垂直方向動きベクトル値 4 1 a 2 を求めてそれぞれ比較器 4 1 b 及び 4 1 c に出力する。比較器 4 1 b では水平方向ベクトル値 4 1 a 1 と、伝送路ビットレート測定器 5 の出力のビットレートに応じて切り替わる閾値 4 1 d との比較を行い、比較器 4 1 c では垂直方向動きベクトル値 4 1 a 2 と、閾値 4 1 d と同様に伝送路ビットレート測定器 5 の出力のビットレートに応じて切り替わる閾値 4 1 e との比較を行う。

30

## 【0025】

比較器 4 1 b 及び 4 1 c の各々は動きベクトル変換器 4 1 a から供給される動きベクトル値の方がそれぞれの閾値よりも大きいときに真となり、これらの値の論理和を求める論理和回路 4 1 h の出力が、符号化領域指定器 4 1 の出力となる。これにより、伝送速度が低くなった場合には、動きが大きいマクロブロックのみ符号化を行い、静止画または動きが少ないマクロブロックは符号化を行わないように制御することができる。

40

## 【0026】

領域セクタ 2 n は、符号化領域指定器 4 1 の出力が符号化を行うべきことを示している場合には、減算器 2 a の出力を DCT 回路 2 b に入力し、符号化領域指定器 4 1 の出力が符号化を行うべきではないことを示している場合には、0 信号（予測誤差が 0 であることを示す）を DCT 回路 2 b に入力する。

## 【0027】

減算器 2 a、DCT 回路 2 b から動き検出器 2 m までの動作は従来例と同様であるので、

50

説明を省略する。

【 0 0 2 8 】

符号化領域指定器 4 1 の出力が符号化を行うべきでないことを示している場合には、領域セクタ 2 n の出力をがゼロとなるので、結果的に、画像符号化回路 2 は、このマクロブロックの符号化を行わないことになる。すなわち、画像符号化回路 2 は、符号化領域指定器 4 1 から指定されたマクロブロックのみの符号化を行うので、伝送するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信できる。

【 0 0 2 9 】

なお、上記実施の形態 1 においては、符号化領域指定器 4 1 が符号化しないマクロブロックと判定した場合に、領域セクタ 2 n の出力を 0 とすることにより符号化を行わないよう制御したが、例えば、符号化領域指定器 4 1 の出力を可変長符号化回路 2 e に入力し、符号化しないマクロブロックと判定された場合には、可変長符号化回路 2 e が `not_coded` (マクロブロックが符号化されなかったことを示す符号) を出力するよう構成してもよい。

【 0 0 3 0 】

実施の形態 2 .

図 4 は本発明の実施の形態 2 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号 (例えば R, G, B の信号) を入力して、Y, C b, C r 信号に変換し、さらにマクロブロックに分割してブロック化映像信号を生成する画像信号入力回路、画像信号入力回路 1 から出力されるブロック化映像信号は画像符号化回路 2 に入力される。

【 0 0 3 1 】

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は領域セクタ 2 n、D C T 回路 2 b、量子化器 2 c を通って、D C / A C 予測器 2 d と逆量子化器 2 f に入力される。D C / A C 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 D C T 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

【 0 0 3 2 】

一方、符号化領域指定器 4 2 には外部から指定された領域を示す信号 7 と、伝送路ビットレート測定器 5 の出力信号 5 a が入力され、符号化領域指定器 4 2 の出力は領域セクタ 2 n を制御する。

【 0 0 3 3 】

実施の形態 2 は、実施の形態 1 の符号化領域指定器 4 1 の代わりに符号化領域指定器 4 2 を用いる点が実施の形態 1 と異なる。

【 0 0 3 4 】

図 5 は、符号化領域指定器 4 2 を示すものである。アドレスデコード器 4 2 a は伝送路 3 のビットレートに応じて、符号化する領域を示す水平開始位置、水平終了位置、垂直開始位置、垂直終了位置の信号 4 2 x を比較器 4 2 b 及び 4 2 d に出力する。

【 0 0 3 5 】

例えば、画像信号入力回路 1 から入力される画像サイズが、輝度信号で水平 1 7 6 画素、垂直 1 4 4 画素であるとき、水平のマクロブロック数は 1 1 個、垂直のマクロブロック数

10

20

30

40

50

は9個となる。そこで、伝送路3のビットレートが高ければ、水平開始位置を0、水平終了位置を10、垂直開始位置を0、垂直終了位置を8とする。すなわち、この場合、画面全体を符号化することを示している。

【0036】

また、伝送路3のビットレートが低くなった場合には、信号7に指定された領域のみを符号化するように、水平開始位置、水平終了位置、垂直開始位置、垂直終了位置を設定する。例えば、領域を示す信号7が画面の中央1/4の領域を示している場合、すなわち、領域の左上の画素位置が(44, 36)、領域の大きさが水平88画素、垂直72画素である場合、この領域を含むマクロブロックを選択して、水平開始位置を2、水平終了位置を8、垂直開始位置を2、垂直終了位置を6とする。

10

【0037】

なお、領域を示す信号7は、例えば、画面中央1/4サイズ、あるいは、画面中央縦1/2サイズ、あるいは、画面左半分、画面右半分といったように、予め定めたエリアを選択して示す信号であってもよいし、上述したように、領域の左上の画素位置と領域の大きさを示す信号、あるいは、領域の左上の画素位置と右下の画素位置を示す信号であってもよい。また、画素単位でなく、マクロブロック単位で指定される信号であってもよい。

【0038】

比較器42bでは水平MBカウンタ42cの出力の水平方向マクロブロックカウント数と、水平開始位置、水平終了位置との比較を行う。同様に比較器4dでは垂直MBカウンタ42eの出力の垂直方向マクロブロックカウント数と、垂直開始位置、垂直終了位置との比較を行う。比較器42b及び42dの各々は下記条件が満たされた場合に真となる。

20

開始位置 マクロブロックカウント数 終了位置

比較器42b、42dの出力の論理積を求める論理積回路42gの出力42g1が符号化領域指定器42の出力となる。

【0039】

上記条件が水平、垂直方向ともに満たされた場合、論理積回路42gの出力42g1(領域セクタ2nに供給される)が真となり、画像符号化回路2における符号化を行う。画像符号化回路2の動作は実施の形態1と同一であるので説明を省略する。

【0040】

画像符号化回路2は、符号化領域指定器42から指定されたマクロブロックのみの符号化を行うので、伝送するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信できる。

30

【0041】

なお、上記実施の形態2において、領域を示す信号7は、符号化開始時に予め設定した領域であってもよいし、図示しないポイントング・デバイス等からの信号を入力して、前記水平開始位置、水平終了位置、垂直開始位置、垂直終了位置を変更することも可能である。ポイントング・デバイス等からの信号を入力とする場合は、例えば、領域の左上の画素と領域の右下の画素を選択して入力するよう構成すればよい。

【0042】

また、上記実施の形態2においては、信号7が示す画素単位の領域が、マクロブロックの区切りと一致しない場合、信号7が示す領域を含むすべてのマクロブロックを符号化するとしたが、指定された領域をマクロブロック単位の領域で近似する方法は任意である。

40

【0043】

実施の形態3.

図6は本発明の実施の形態3の画像符号化装置を示すものである。同図において、1は図示しないカメラ等の映像信号発生装置からの映像信号(例えばR, G, Bの信号)を入力して、Y, Cb, Cr信号に変換し、さらにマクロブロックに分割してブロック化映像信号を生成する映像信号入力回路、映像信号入力回路1から出力されるブロック化映像信号は画像符号化回路2に入力される。

【0044】

50

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は D C T 回路 2 b、量子化器 2 c を通って、D C / A C 予測器 2 d と逆量子化器 2 f に入力される。D C / A C 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力と、符号化領域指定器 4 2 の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 D C T 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

10

## 【 0 0 4 5 】

一方、符号化領域指定器 4 2 には外部から指定された領域を示す信号 7 と、伝送路ビットレート測定器 5 の出力信号 5 a が入力され、符号化領域指定器 4 2 の出力は領域セクタ 4 4 を制御する。また、符号化領域指定器 4 2 の出力は、可変長符号化回路 2 e の第三の入力端子にも与えられる。

## 【 0 0 4 6 】

実施の形態 3 においては、符号化領域指定器 4 2 が符号化する領域を制限した場合、画像符号化回路 2 は、入力される画像サイズそのものが変化したものとして、符号化を行う。

20

## 【 0 0 4 7 】

すなわち、符号化領域指定器 4 2 が符号化する領域を制限した場合、可変長符号化回路 2 e がこの制御信号を受け、V O P の先頭において、V O P のサイズを示すヘッダ情報を符号化する。一方、符号化領域指定器 4 2 から出力される制御信号は、領域セクタ 4 4 にも入力され、現在のマクロブロックが符号化対象でない場合、画像信号入力回路 1 から出力される信号を画像符号化回路 2 へ入力しない。この間、画像符号化回路 2 は全く符号化を行わない。

## 【 0 0 4 8 】

実施の形態 4 .

30

図 7 は本発明の実施の形態 4 の画像符号化装置を示すものである。同図において、1 は明示しないカメラ等の映像信号発生装置からの映像信号（例えば R , G , B の信号）を入力して、Y , C b , C r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路 1 から出力されるブロック化画像信号はビットセクタ 4 3 を介して画像符号化回路 2 に入力される。ビットセクタ 4 3 には、伝送路ビットレート測定器 5 を制御信号として入力される。

## 【 0 0 4 9 】

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は D C T 回路 2 b、量子化器 2 c を通って、D C / A C 予測器 2 d と逆量子化器 2 f に入力される。D C / A C 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 D C T 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

40

50



## 【 0 0 5 0 】

ビットセレクタ 4 3 は伝送路のビットレートに応じて、入力画像のビット数を切り替え、画像符号化回路 2 に入力する。

## 【 0 0 5 1 】

図 8 はビットセレクタ 4 3 を示すものである。ビット数決定器 4 3 a は、伝送路 3 のビットレートに応じて、入力画像のビット数を決定し、セレクタ 4 3 b に制御信号を送る。セレクタ 4 3 b は、ビット数決定器 4 3 a からの制御信号に応じて、画像入力回路からの信号（ブロック化画像信号）1 a のビット数を切り替える。例えば、伝送速度が低下した場合には、入力信号 1 a ( n ) ~ 1 a 0 のうち、MSB 側の 1 a ( n ) ~ 1 a 2 を選択し出力する。選択するビット数は、伝送速度に応じて切り替える。セレクタ 4 3 b の出力は画像符号化回路 2 へ入力される。

10

## 【 0 0 5 2 】

画像符号化回路 2 の動作は従来例と同様であるので、説明を省略する。

## 【 0 0 5 3 】

伝送速度が低下した場合には、ビットセレクタ 4 3 により入力画像のビット数が低減されるので、画像符号化回路 2 で発生するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信することができる。

## 【 0 0 5 4 】

実施の形態 5 .

図 9 は本発明の実施の形態 5 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号（例えば R , G , B の信号）を入力して、Y , C b , C r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路 1 から出力されるブロック化画像信号はビットセレクタ 4 3 を介して画像符号化回路 2 に入力される。ビットセレクタ 4 3 には、伝送路ビットレート測定器 5 の出力を制御信号として入力される。

20

## 【 0 0 5 5 】

画像符号化回路 2 は、ビットセレクタ 4 3 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は領域セレクタ 2 n、DCT 回路 2 b、量子化器 2 c を通って、DC / AC 予測器 2 d と逆量子化器 2 f に入力される。DC / AC 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 DCT 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

30

## 【 0 0 5 6 】

一方、符号化領域指定器 4 5 には動き検出回路 2 m の出力信号 2 m 1 と、伝送路ビットレート測定器 5 の出力信号 5 a と、外部から指定された領域を示す信号 7 が入力され、符号化領域指定器 4 5 の出力は領域セレクタ 2 n を制御する。

40

## 【 0 0 5 7 】

実施の形態 5 は、符号化領域指定器 4 5 とビットセレクタ 4 3 の双方を備える点が、実施の形態 4 と異なる。ビットセレクタ 4 3 の動作は実施の形態 4 と同様である。

## 【 0 0 5 8 】

符号化領域指定器 4 5 の一構成例を図 10 に示す。図において、4 1 は伝送路ビットレート測定器の出力信号 5 a と動き検出回路の出力信号 2 m 1 を入力とする符号化領域指定器（図 1 に示す実施の形態 1 の符号領域指定器 4 1 と同じもの）であり、4 2 は伝送路ピッ

50

トレート測定器の出力信号 5 a と外部から指定された領域を示す信号 7 を入力とする符号化領域指定器 ( 図 4 に示す実施の形態 2 の符号化領域指定器 4 2 と同じもの ) であり、符号化領域指定器 4 1、4 2 の出力の論理積を求める論理積回路 4 5 a の出力が符号化領域指定器 4 5 の出力となる。

【 0 0 5 9 】

符号化領域指定器 4 1 の動作は実施の形態 1 と同様であり、符号化領域指定器 4 2 の動作は実施の形態 2 と同様である。従って、符号化領域指定器 4 5 は、伝送速度が低下した場合には、指定された領域の中の動きの大きい部分のみを符号化するよう画像符号化回路 2 を制御する。減算器 2 a から領域セクタ 2 n ままで構成される画像符号化回路 2 の動作は実施の形態 1 と同様であるので、説明を省略する。

10

【 0 0 6 0 】

実施の形態 5 においては、ビットセクタ 4 3 と符号化領域指定器 4 5 の双方を備えるので、伝送速度が低下した場合には、符号化する領域を制限するとともに、入力画像のビット数を低減することにより、画像符号化回路 2 で発生するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信することができる。

【 0 0 6 1 】

なお、実施の形態 5 においては、符号化領域指定器 4 5 を、符号化領域指定器 4 1 と符号化領域指定器 4 2 の出力の論理積をとるよう構成したが、符号化領域指定器 4 5 は符号化領域指定器 4 1 と符号化領域指定器 4 2 の出力の論理和をとるよう構成してもよい。この場合、符号化領域指定器 4 5 は、伝送速度が低下した場合に、外部から指定された領域または動きの大きい部分のみを符号化するよう画像符号化回路 2 を制御する。

20

【 0 0 6 2 】

また、符号化領域指定器 4 5 は、上記の構成に限らず、伝送路のビットレート 5 a と動きベクトル 2 m 1 と外部から指定された領域 7 に基づく任意の方法で符号化する領域を決定することができる。

【 0 0 6 3 】

なお、上記実施の形態 5 においては、ビットセクタ 4 3 と符号化領域指定器 4 5 の双方を備えるとしたが、符号化領域指定器 4 5 のみを備える構成であってもよい。

【 0 0 6 4 】

また、上記実施の形態 5 においては、ビットセクタ 4 3 と符号化領域指定器 4 5 を備えるとしたが、符号化領域指定器 4 5 の代わりに、符号化領域指定器 4 1 または符号化領域指定器 4 2 を備える構成としてもよい。

30

【 0 0 6 5 】

また、図 7 の例、及び図 9 の例では、画像信号入力回路 1 のブロック化回路 1 2 から出力され、画像符号化回路 2 に入力されるブロック化画像信号のビット数を制限しているが、図 1 1 に示すように、画像信号入力回路 1 のカラー信号変換回路 1 1 とブロック化回路 1 2 の間にビットセクタ 4 3 を挿入し、カラー信号変換回路 1 1 の出力され、ブロック化回路 1 2 に入力される輝度信号 ( Y ) 及び色差信号 ( Y b , Y r ) のビット数を制限することとしても良い。

【 0 0 6 6 】

また、上記実施の形態においては M P E G 4 の符号化について説明したが、H 2 6 3 の場合などでも同様の構成で符号化する領域の制限、または、符号化する入力信号のビット数の制限を行うことができる。

40

【 0 0 6 7 】

【 発明の効果 】

本発明によれば、伝送速度が低下した場合に符号化する領域を制限することができ、フレームレートを落とすことなく符号化を行うことができる。

【 0 0 6 8 】

また、伝送速度が低下した場合にも、動きのある部分だけを伝送することができる。

【 図面の簡単な説明 】

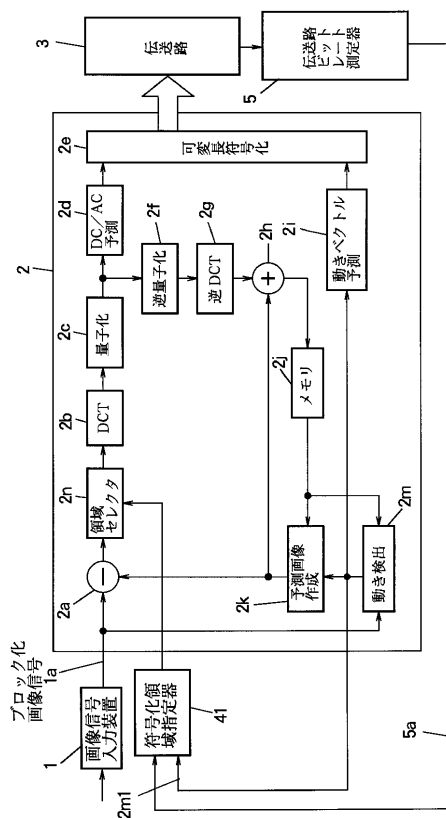
50

- 【図 1】 本発明の実施の形態 1 の画像符号化装置を示すブロック図である。
- 【図 2】 実施の形態 1 における符号化領域指定器を示すブロック図である。
- 【図 3】 図 1 の画像信号入力回路 1 の詳細を示すブロック図である。
- 【図 4】 本発明の実施の形態 2 の画像符号化装置を示すブロック図である。
- 【図 5】 実施の形態 2 における符号化領域指定器を示すブロック図である。
- 【図 6】 本発明の実施の形態 3 の画像符号化装置を示すブロック図である。
- 【図 7】 本発明の実施の形態 4 の画像符号化装置を示すブロック図である。
- 【図 8】 実施の形態 4 におけるビットセレクタを示すブロック図である。
- 【図 9】 本発明の実施の形態 5 の画像符号化装置を示すブロック図である。
- 【図 10】 実施の形態 5 における符号化領域指定器を示すブロック図である。
- 【図 11】 ビットセレクタの挿入位置の変形例を示すブロック図である。
- 【図 12】 従来の画像符号化装置を示すブロック図である。
- 【図 13】 画像符号化回路への入力信号を示す図である。

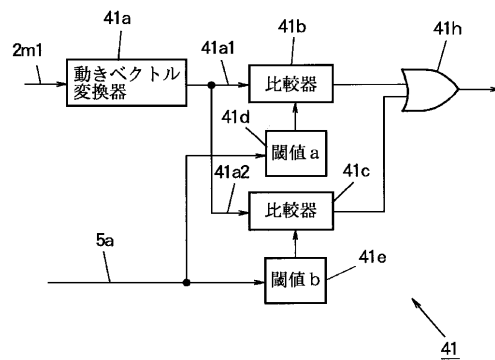
【符号の説明】

- 1 画像信号入力回路、 2 画像符号化回路、 2n 領域セレクタ、 3 伝送路、
- 11 カラー信号変換回路、 12 ブロック化回路、 41、42 符号化領域指定器、
- 43 ビットセレクタ、 44 領域セレクタ、 45 符号化領域指定器。

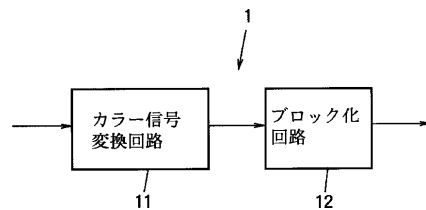
【図 1】



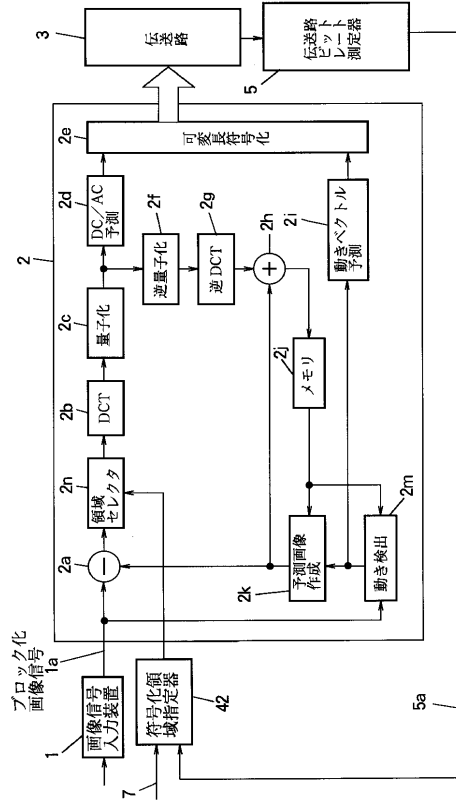
【図 2】



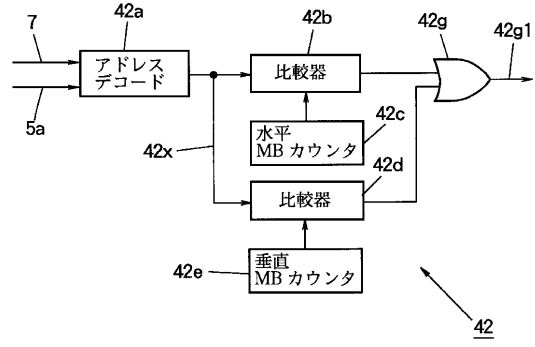
【図 3】



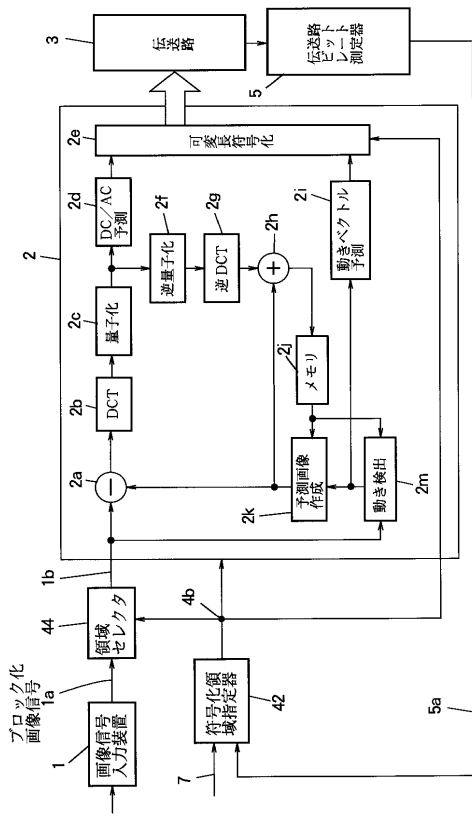
【図4】



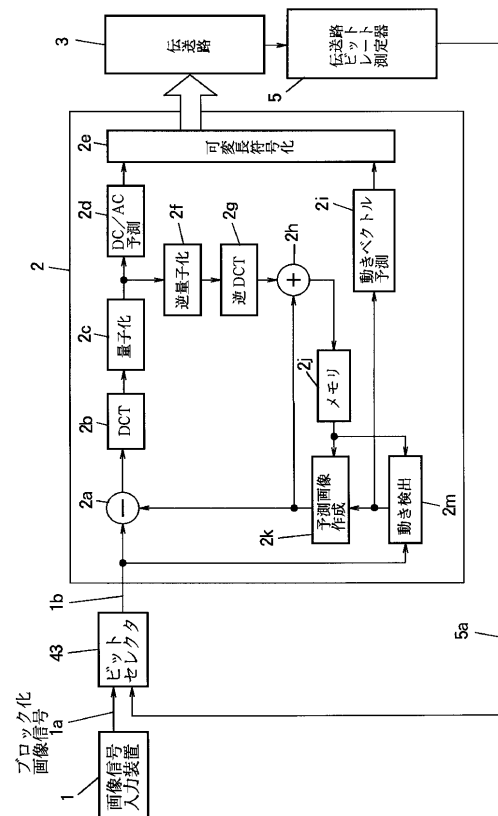
【図5】



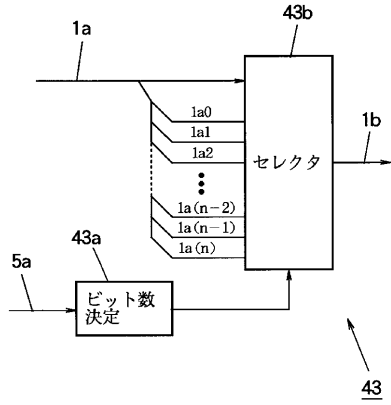
【図6】



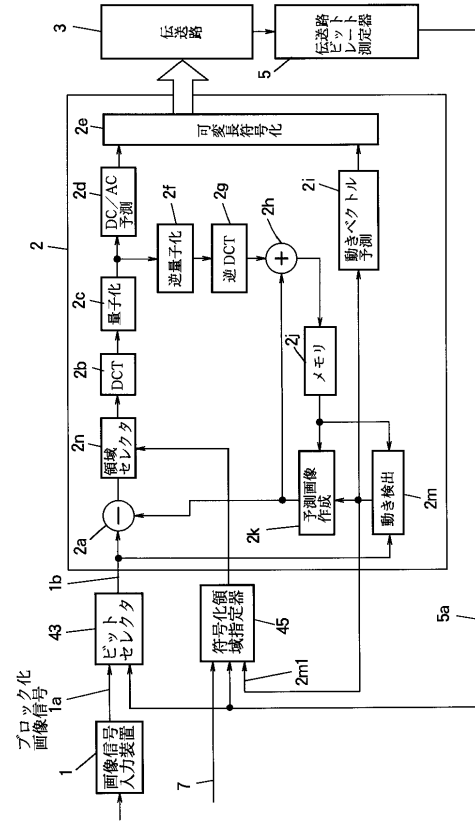
【図7】



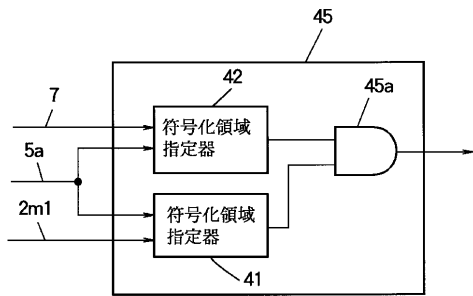
【図8】



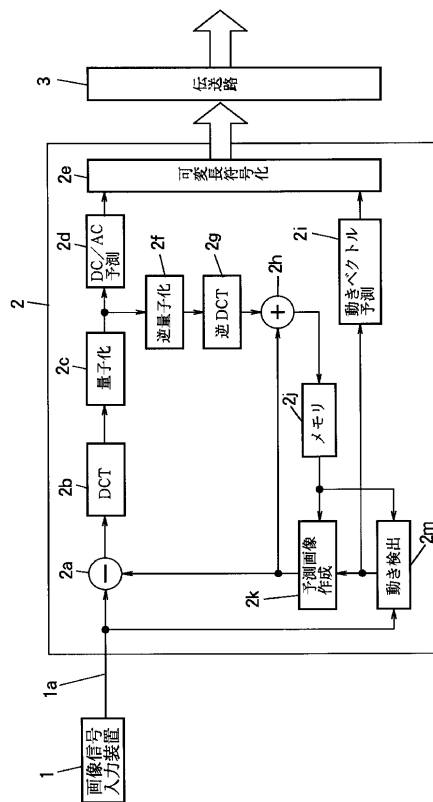
【図9】



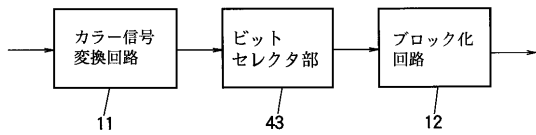
【図10】



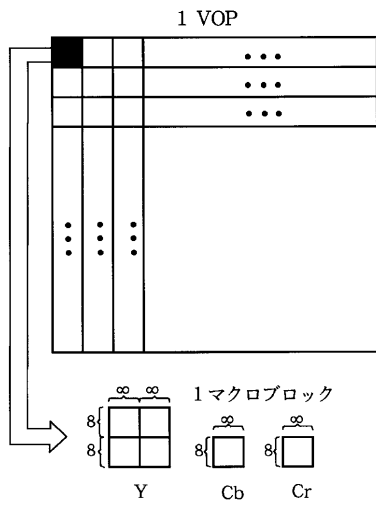
【図12】



【図11】



【 図 13 】



## フロントページの続き

- (72)発明者 幡野 喜子  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 杉山 和宏  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 脇岡 剛

- (56)参考文献 特開平05-304662(JP,A)  
特開昭63-181584(JP,A)  
特開平08-046973(JP,A)  
特開平02-044881(JP,A)  
特開平01-198884(JP,A)  
特開平01-213086(JP,A)  
特開平02-081590(JP,A)  
特開平02-113748(JP,A)  
特開平08-336133(JP,A)  
特開平09-107543(JP,A)  
特開2000-004436(JP,A)  
特開2000-013798(JP,A)  
特開2000-125301(JP,A)  
特表2001-500674(JP,A)  
特表2002-519915(JP,A)  
米国特許第05128776(US,A)  
国際公開第00/005898(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04N 7/32  
H03M 7/36