

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成25年12月5日 (2013.12.5)

【公表番号】特表2013-508885(P2013-508885A)  
 【公表日】平成25年3月7日 (2013.3.7)  
 【年通号数】公開・登録公報2013-012  
 【出願番号】特願2012-536973(P2012-536973)  
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/02 (2006.01)

G 0 6 F 13/18 (2006.01)

【 F I 】

G 0 6 F 12/00 5 7 1 A

G 0 6 F 12/02 5 4 0

G 0 6 F 13/18 5 1 0 A

【手続補正書】

【提出日】平成25年10月16日 (2013.10.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【 0 0 3 1 】

プロセッサ 6 2 は、ブロックアクセスデバイス 5 2 およびグラフアクセスデバイス 5 6 ~ 6 0 によるメモリ 6 6 への同時アクセスを許可するように構成されている。これは、メモリ 6 6 へのアクセス中にブロックアクセスデバイス 5 2 によって行われた 1 または複数のメモリブロックアクセス動作をプロセッサ 6 2 が監視することによって実現される。以下に詳述するように、プロセッサ 6 2 は、メモリ 6 6 を階層ファイルシステムにマッピングする複数のポインタを含むグラフデータ構造に上記ブロックアクセス動作を変換する。これにより、グラフアクセスデバイス 5 6 ~ 6 0 のいずれも、ブロックアクセスデバイス 5 2 と同時にメモリ 6 6 にアクセス可能となる。グラフアクセスデバイス 5 6 ~ 6 0 の 1 または複数は、ブロックアクセスデバイスのメモリ 6 6 へのアクセス中に、グラフデータ構造に従ってメモリ 6 6 にアクセスしてもよい。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【 0 0 3 5 】

図 8 は、図 5 に示す多機能周辺機器 5 4 の特定の例示的な実施態様における特定の構成要素を示したブロック図である。図 8 の周辺機器 1 0 0 は、中央演算処理装置 (CPU) 1 0 2 またはプロセッサ、メモリ 1 0 4、USB インターフェース 1 0 6、無線インターフェース 1 0 8、電力管理モジュール 1 1 0、電源 1 1 2、1 または複数のセンサー 1 1 3、ランダムアクセスメモリ (RAM) 1 1 4、リードオンリーメモリ (ROM) 1 1 6、およびユーザーインターフェース 1 1 8 を備えている。また、ユーザーインターフェース 1 1 8 は、スイッチ 1 2 0 および LED 1 2 2 等の可視的表示器を備えている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 2

【補正方法】 変更

【補正の内容】

【 0 0 4 2 】

電源 1 1 2 は、周辺機器 1 0 0 が U S B ポートに接続された時に充電可能な充電式バッテリー等のバッテリーまたはスーパーキャパシタ等のその他適当な蓄電要素であってもよい。周辺機器 1 0 0 は、電源 1 1 2 を付加することによって、ホスト U S B ポート等のホストから抜いた後にも機能する。この場合、電源 1 1 2 は周辺機器に電力を供給可能である。したがって、周辺機器 1 0 0 は、U S B ホストに接続中または U S B ホストに接続されていない場合に、独立した機器として機能する。また、接続されているにも関わらず周辺機器 1 0 0 が機能するのに十分な電力をホストが提供できていない場合も、電源 1 1 2 が周辺機器 1 0 0 に電力を供給可能である。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 3

【補正方法】 変更

【補正の内容】

【 0 0 4 3 】

電力管理モジュール 1 1 0 は C P U 1 0 2 に接続されており、一般的には C P U 1 0 2 を介して、U S B インターフェース 1 0 6、電源 1 1 2、およびユーザーインターフェース 1 1 8 にも接続されている。このモジュール 1 1 0 は、U S B インターフェース 1 0 6 を介した充電、スリープモード、およびユーザーインターフェース 1 1 8 の L E D 1 2 2 によって表示される周辺機器の電力状態表示器（充電状態、低電力状態等）といった電源 1 1 2 を管理するための市販のソフトウェア要素およびハードウェア要素を備えている。1 2 を管理するための市販のソフトウェア要素およびハードウェア要素を備えている。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 9

【補正方法】 変更

【補正の内容】

【 0 0 5 9 】

別の構成においては、無線または有線インターフェース 1 0 6、1 0 8 の内 1 または複数を経由して通信を行うネットワークサーバー等、周辺機器 1 0 0 以外の 1 または複数の機器上にメモリ 1 0 4 を設けてもよい。このような構成においては、物理的なメモリストレージアレイが周辺機器 1 0 0 上に存在しない場合、C P U 1 0 2 が行うメモリマッピングでは仮想メモリが参照される。また、当該仮想メモリへの / からの転送を行うには、周辺機器 1 0 0 とリモートのストレージサーバー / ユニット間の通信が必要となる。この場合、周辺機器 1 0 0 は、データが実存しない場合は、周辺機器 1 0 0 上に物理的に設けられているかのように無線または有線インターフェース 1 0 6、1 0 8 を介して他のホスト / クライアントにデータを提供するように構成されている。これらの構成においては、C P U 1 0 2 が必要に応じて、リモートで格納されたコンテンツの一部をローカルメモリストレージ（R A M 1 1 4 等）にキャッシングすることにより、ホストがリモートメモリにアクセスしている時のネットワーク待ち時間および速度等の性能を改善することもできる。この場合、キャッシュデータはホストに対して透過的である。すなわち、ホストはローカルメモリストレージの性能の利益を享受するが、依然として、キャッシュデータは周辺機器 1 0 0 上のストレジアレイに格納されているものと見なす。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 6 1

【補正方法】 変更

## 【補正の内容】

## 【0061】

ソフトウェアの最下層は、周辺機器ハードウェアとの接続を扱うとともに、USB機器、SDカードインターフェース、Wi-Fi SDIOインターフェース、LEDおよびスイッチ等のユーザーインターフェース、クロックおよび電力制御、並びにバッテリーの充電を制御する。このソフトウェアの最下層には、USBハードウェアバスインターフェース276、SDハードウェアバスインターフェース278、SDメモリドライバ270、SD入出力(SDIO)272、タイマーサービス274、例えば温度センサー、実時間クロック、GPS位置決めモジュール等とのソフトウェアインターフェースを含むセンサーインターフェース280、ユーザーインターフェース282、バッテリー管理284、およびWi-Fiドライバ268が含まれる。この層は、周辺機器ソフトウェアの残りの部分が使用するハードウェア抽象化レイヤーを構成している。

## 【手続補正7】

## 【補正対象書類名】明細書

## 【補正対象項目名】0082

## 【補正方法】変更

## 【補正の内容】

## 【0082】

図12は、ブロックアクセスデバイスおよびグラフアクセスデバイスに対して外見上は同時のメモリアクセスを許可するシャドウメモリ技術の一例を示した概念図である。シャドウメモリ技術は本質的に、メモリアレイ400の書き込み中のアドレスにグラフアクセスデバイス等の別の機器が同時アクセスしている場合、ブロックアクセスデバイスによるメモリブロック書き込みをバッファリングする。当該技術およびメモリアレイ400は、本明細書に記載の周辺機器54、70、100のいずれにおいても実装可能であって、メモリアレイ400は周辺機器のメモリ66、104に設けることもできる。

## 【手続補正8】

## 【補正対象書類名】明細書

## 【補正対象項目名】0083

## 【補正方法】変更

## 【補正の内容】

## 【0083】

シャドウメモリのバッファは、同じメモリプールに設けてもよいし、周辺機器の別個のメモリプールに設けてもよい。同じメモリプールの場合、バッファリングされたデータはメモリアレイ400の未使用領域に格納される。プロセッサ62、102は、バッファのメモリ領域が確保されたことを示すグラフデータ構造402を更新するか、または、プロセッサ62、102はシャドウバッファの位置を示す自身の使用メモリテーブルを保持する必要がある。グラフアクセスデバイスまたはブロックアクセスデバイスの書き込みが一時使用のバッファメモリの位置に発生する場合、プロセッサ62、102は、その書き込みをメモリアレイ400の未使用部分にリダイレクトする。

## 【手続補正9】

## 【補正対象書類名】明細書

## 【補正対象項目名】0085

## 【補正方法】変更

## 【補正の内容】

## 【0085】

図13は、シャドウメモリによりメモリプールへの外見上は同時のアクセスを可能にする方法をさらに詳しく説明するためのフローチャート450である。ステップ452において、ブロックアクセスデバイスは、メモリアレイ400のF<sub>3</sub>のメモリブロックB105、B106への書き込み動作を試行する。プロセッサ62、102は、書き込み動作を検出すると、グラフアクセスデバイスがB105、B106に対応するF<sub>3</sub>に現在アクセ

ス中であるか否かを判定する（ステップ４５４）。アクセス中でない場合、プロセッサ 62、102は、ブロック B 105、B 106 への書き込みを許可する（ステップ４５６）。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

図 14 は、複数の機器 502、506 に分散されてクラウドコンピューティングをサポートするメモリプールを示した概念図である。このメモリプールは、周辺機器 502 上に存在するメモリプール A 508 を備えている。周辺機器 502 は、上記周辺機器 54、70、100 のいずれであってもよい。また、メモリプールは、ネットワーク機器 506 上に存在するメモリプール B 510 を備えている。ネットワーク機器 506 は、本明細書に記載の無線ネットワークおよび有線ネットワーク（例えば、USB 等）といった任意の適当なネットワーク接続を介して周辺機器 502 に接続されている。

【手続補正 11】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 12

【補正方法】変更

【補正の内容】

【請求項 12】

前記変換が、前記メモリブロックアクセス動作中に前記ブロックアクセスデバイスによって書き込まれたメモリ位置に基づいて前記グラフデータ構造を更新することを含む、請求項 1 に記載の方法。

【手続補正 12】

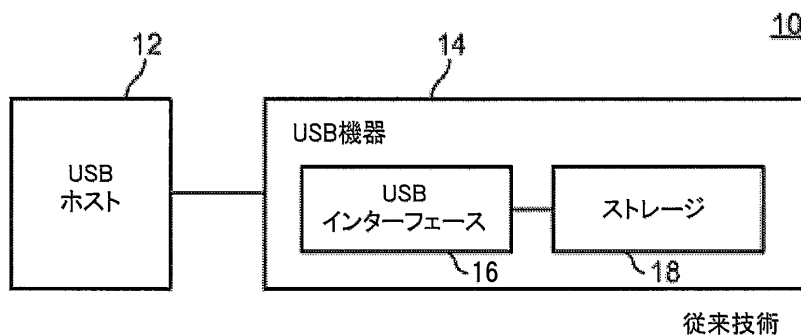
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【図 1】



【手続補正 13】

【補正対象書類名】図面

【補正対象項目名】図 17

【補正方法】変更

【補正の内容】

【図 17】

700

