公告本

申請日期	88 年 9 月 2 日
案號	88115139
類別	H01L 23/10

（以上各欄由本局填註）

89年12月27日 修正補充

A4
C4

442929

發明 新型 專利說明書(修正本)

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1) 平井壽巳江 (2) 大森純
	國籍	(1) 日本　　(2) 日本
	住、居所	(1) 日本國東京都稻城市東長沼一九四七石田大廈二〇二 (2) 日本國東京都練馬區小竹町一一五一一一六
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

經濟部智慧財產局員工消費合作社印製

裝 訂 線

442929

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1998 年　9 月 22 日　10-268570　　☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1　）

（發明所屬技術領域）

本發明關於配線良好、且電路圖型佈局容易之半導體裝置之製造方法、電路基板之製造方法、電路基板。詳言之爲關於ＣＳＰ（晶片型封裝）之半導體裝置之製造方法、ＣＳＰ使用之電路基板之製造方法、及電路基板。

（習知技術）

近年來因半導體封裝之小型化、使用接合焊墊配置於中央部（中心焊墊化）之半導體晶片以實現晶片尺寸化之半導體封裝（ＣＳＰ）爲人注目。

圖１０爲此種晶片型封裝之一例之斷面模式圖。

半導體裝置１，係在中央部配置２列焊墊（中心焊墊）２之中心焊墊構造之半導體晶片３上，介由接著劑層５黏貼帶狀電路基板４，藉接合導線６將電路基板４之接合焊墊與半導體晶片３之焊墊２做電連接，再於其上注入例如矽樹脂等耐濕性、且電絕緣性之硬化性樹脂７以封裝接合導線６。符號８爲兼做半導體裝置１之輸出入端子及安裝固定裝置的端子上所搭載之回流用焊錫球。

該半導體裝置１之半導體封裝使用之電路基板４，係由例如圖１１Ａ、１１Ｂ、１１Ｃ、１１Ｄ、１１Ｅ之工程所製造，再供至圖１１Ｆ所示以下之工程。

首先，銅箔９與聚醯亞氨絕緣薄膜１０介由接著劑接著（圖１１Ａ）。銅箔９，除電路圖型或焊墊、引線、端子等必要部分殘留以外均被蝕刻除去，成爲圖１１Ｂ之符

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)
經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（2）

號91所示。

之後，除焊墊、或端子等鍍金必要部份以外均形成阻劑圖型92（圖11C）。之後，藉電鍍僅於銅箔9之露出部分以Ni爲底層形成Au電鍍層12（圖11D）。

之後，黏著時將相當於半導體晶片之中心焊墊位置部分衝孔除去（圖11E）。之後，移行至接合導線6、焊錫球8等組裝、搭載其他半導體封裝工程（圖11F）。

但是，此種習知半導體封裝使用之電路基板4，如圖11所示，挾持相當於虛線所示半導體晶片之黏著位置之領域，配設電解電鍍時供電用之電鍍用引出線19，該電鍍用引出線19，係電連接外部輸出入用端子20、接合焊墊21a、電路圖型22，如上述作爲電解電鍍時之供電線。

因此，電解電鍍後之工程中，半導體晶片之中心焊墊位置相當之圖12所示斜線部分被衝孔除去，又，半導體裝置組裝之特定工程中最後該電路基板4，係沿半導體晶片對應之尺寸線切斷，外周部之不要領域被拋棄。

因此，上述習知晶片型封裝用之電路基板，除封裝之必要領域外，電鍍用引出線之領域亦必要，製造所要面積變大，相當於1個薄片之取出數變少，基板成本變高爲其問題。

又，電鍍用引出線係跨越半導體封裝之領域外及內形成，關於領域外之引出線爲封裝不必要部分於電鍍後被切斷，但封裝領域內之部分殘留於基板內配線效率變低，隨

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

半導體封裝之縮小化或球間距之窄間距化，配線效率變縮小、電路圖型之佈局變爲不可能爲其問題。

亦即，外部輸出入用端子２０起至接合焊墊２１ａ之電路圖型２２原本必要，但至電鍍用引出線１９之電路圖型２２亦必要，來自外部輸出入用端子２０之電路圖型之數增加。

本發明爲解決上述習知問題點，目的在於提供一種在中心焊墊構造之半導體晶片之機能面黏著電路基板，上述半導體晶片之中心焊墊與上述電路基板之接合焊墊介由接合導線連接之半導體裝置之製造方法中，可減少電路基板之電鍍用引出線領域之同時，減少封裝領域內之電鍍用引出線以改善配線效率，即使半導體封裝之縮小化或球間距之窄間距化時，亦可增大電路基板中之電路圖型之佈局自由度的半導體裝置之製造方法。

又，本發明目的爲提供一種黏著於中心焊墊構造之半導體晶片之機能面，於上述半導體晶片之中心焊墊介由接合導線連接接合焊墊之電路基板之製造方法中，可減少電路基板之電鍍用引出線領域之同時，減少封裝領域內之電鍍用引出線以改善配線效率，即使半導體封裝之縮小化或球間距之窄間距化時，亦可增大電路基板中之電路圖型之佈局自由度的電路基板之製造方法。

又，本發明目的爲提供一種黏著於中心焊墊構造之半導體晶片之機能面，於上述半導體晶片之中心焊墊介由接合導線連接接合焊墊的電路基板中，可減少電路基板之電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

鍍用引出線領域之同時，減少封裝領域內之電鍍用引出線以改善配線效率，即使半導體封裝之縮小化或球間距之窄間距化時，亦可增大電路基板中之電路圖型之佈局自由度的電路基板。

解決問題之方法

本發明係關於在中心焊墊構造之半導體晶片之機能面黏著電路基板，上述半導體晶片之中心焊墊與上述電路基板之接合焊墊介由接合導線連接之半導體裝置之製造方法。具有：對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成電鍍用引出線，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及接合焊墊，於跨越該兩領域形成電連接該兩領域之電路圖型而得電路基板的工程。又，具有：由上述電路基板之電鍍用引出線供電之同時，對上述外部輸出入用端子部及接合焊墊施予電解電鍍的工程；將上述電路基板之半導體晶片之中心焊墊所對應領域及電鍍用引出線同時除去以形成窗部的工程；使中心焊墊露出於上述窗部般令上述電路基板之絕緣薄膜側黏著於半導體晶片的工程；令上述電路基板之接合焊墊及半導體晶片之中心焊墊介由接合導線連接的工程；及於上述電路基板之外部輸出入用端子部形成外部輸出入用端子的工程。

又，上述半導體晶片，係在晶圓以矩陣狀多數形成之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

切片前之半導體晶片。

又，上述積層板係由銅箔與聚醯亞氨系薄膜積層而成。該聚醯亞氨系薄膜可使用聚醯氨薄膜，或聚酯薄膜。積層，除藉接著劑接合金屬箔與絕緣薄膜之方法外，亦可使用將薄膜材塗敷於金屬箔之方法。

又，上述銅箔厚度可設爲10μm－20μm，上述聚醯亞氨系薄膜之厚度爲25μm－75μm。

上述窗部之寬可爲0．5mm－2mm。

本發明係關於在中心焊墊構造之半導體晶片之機能面黏著電路基板，於上述半導體晶片之中心焊墊連接由上述電路基板之電路圖型所延伸引線之半導體裝置之製造方法。具有：對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成多數引線，沿上述半導體晶片之中心焊墊所對應領域之境界線形成連接上述各引線部之前端側的電鍍用導電連接片，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及電連接該外部輸出入用端子部與上述電鍍用導電連接片的電路圖型而得電路基板的工程。又，具有：介由上述電鍍用導電連接片對上述外部輸出入用端子部及引線供電之同時，對其施予電解電鍍的工程；僅將上述電路基板之待黏著之半導體晶片之中心焊墊所對應領域之絕緣薄膜除去以形成窗部之同時，形成引線的工程；令中心焊墊露出於上述窗部般，使上述電路基板之金屬箔側介由絕緣層黏著於半導體晶片的工程；將上述電路基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

板之引線前端由上述電鍍用導電連接片切離，並使連接於上述半導體晶片之中心焊墊的工程；及於上述電路基板之外部輸出入用端子部形成外部輸出入用端子的工程。

又，在僅除去上述電路基板之待黏著半導體晶片之中心焊墊所對應領域之絕緣薄膜以形成引線後，僅除去該引線之積層板中之金屬部分以形成僅由電解電鍍層構成之引線。

又，上述半導體晶片，係在晶圓以矩陣狀多數形成之切片前之半導體晶片。

上述積層板可由銅箔與聚醯亞氨系薄膜積層而成。聚醯亞氨系薄膜可使用聚醯氨薄膜或聚酯薄膜。積層，除藉接著劑接合金屬箔與絕緣薄膜之方法外，可使用將薄膜材塗敷於金屬箔之方法。

又，上述銅箔厚度可爲10μm－20μm，上述聚醯亞氨系薄膜之厚度可爲25μm－75μm。

上述窗部之寬可設爲0．5mm－2mm。

本發明之電路基板之製造方法，其特徵爲具有：對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成電鍍用引出線，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及接合焊墊，於跨越該兩領域形成電連接該兩領域之電路圖型的工程；由上述積層板之電鍍用引出線供電之同時，對上述外部輸出入用端子部及接合焊墊施予電解電鍍的工程；及將上述積層板之半導體晶片之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

中心焊墊所對應領域及電鍍用引出線同時除去以形成窗部的工程。

又，上述積層板係由銅箔與聚醯亞氨系薄膜積層而成。該聚醯亞氨系薄膜可使用聚醯氨薄膜，或聚酯薄膜。積層，除藉接著劑接合金屬箔與絕緣薄膜外，可使用將絕緣材塗敷於金屬箔之方法。

又，上述銅箔厚度可設爲10μm－20μm，上述聚醯亞氨系薄膜之厚度可爲25μm－75μm。

上述窗部之寬可爲0.5mm－2mm。

本發明之電路基板之製造方法，其特徵爲具有：對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成多數引線，沿上述半導體晶片之中心焊墊所對應領域之境界線形成連接上述各引線部之前端側的電鍍用導電連接片，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及電連接該外部輸出入用端子部與上述電鍍用導電連接片之電路圖型的工程；介由上述電鍍用導電連接片對上述外部輸出入用端子部及引線供電之同時，對其施予電解電鍍的工程；及僅將上述積層板之待黏著之半導體晶片之中心焊墊所對應領域之絕緣薄膜除去以形成引線的工程。

又，僅除去待黏著半導體晶片之中心焊墊所對應領域之絕緣薄膜以形成引線後，僅除去該引線之積層板中之金屬部分以形成僅由電解電鍍層構成之引線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

又，上述積層板可由銅箔與聚醯亞氨系薄膜積層而成。該聚醯亞氨薄膜可使用聚醯氨薄膜、或聚酯薄膜。積層，除藉接著劑接合金屬箔與絕緣薄膜外，可使用將絕緣材塗敷於金屬箔之方法。

又，上述銅箔厚度可爲10μm－20μm，上述聚醯亞氨系薄膜之厚度可設爲25μm－75μm。

上述窗部之寬可爲0.5mm－2mm。

本發明之電路基板，其特徵爲具有：設於待黏著半導體晶片之中心焊墊所對應領域以外領域的外部輸出入用端子部及接合焊墊；及將其做電連接的電路圖型；由上述外部輸出入用端子部敷設之上述電路圖型，係僅到達上述接合焊墊者；上述接合焊墊，係藉由上述半導體晶片之中心焊墊側之供電被施予電解電鍍者。

亦即，該電路基板，係由半導體晶片之中心焊墊側之供電被施予電解電鍍者，未形成有朝向外緣之電鍍用引出線。

本發明之電路基板，其特徵爲具有：設於待黏著半導體晶片之中心焊墊所對應領域的多數引線；用於連接沿上述半導體晶片之中心焊墊所對應領域之境界線而設之上述各引線部之前端側的電鍍用導電連接片；設於上述半導體晶片之其他部分所對應領域的外部輸出入用端子部；及電連接上述外部輸出入用端子部與電鍍用導電連接片的電路圖型。

又，上述電解電鍍，可使用在厚度設爲2μm－10

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

μm之Ni之底層上設定厚0.1μm－2μm之Au。

又，上述電路圖型可設爲寬30μm－150μm。

上述接合導線可使用Au。

（發明之實施形態）

以下參照圖面說明本發明之實施形態。

（實施形態1）

圖1、圖2、圖3A、圖3B、圖3C、圖3D、圖3E、圖3F、圖4爲本發明第1實施形態之圖。

該實施形態之電路基板4a，如圖1所示，於該半導體晶片之中心焊墊所對應之斜線所示領域，配設電解電鍍時供電用之電鍍用引出線19，於該電鍍用引出線19介由電路圖型22電連接電路基板4a之接合焊墊21a與外部輸出入用端子20。

該捲帶狀電路基板4a，和習知捲帶狀電路基板4a同樣，係將銅箔與聚醯亞氨絕緣薄膜介由接著劑接著，藉光阻劑技術如圖示般形成銅箔圖型者。

一般係如圖2所示，設計成半導體晶片1個所對應之單位捲帶23，於寬度方向並列數個（圖中爲3個）於長邊方向連接多數者，形成於半導體晶片之中心焊墊位置之電鍍用引出線19，係介由沿一方之側形成之電鍍用引出母線24互爲電連接，再於其外側形成自動搬送之傳動孔25。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

此實施形態之半導體裝置用電路基板４ａ，係於圖示之圖型上，介由電鍍用引出母線２４對必要之導體圖型供電以進行電解電鍍俾於銅圖型上形成Ａｕ／Ｎｉ電鍍層，之後，電鍍用引出線１９之形成之斜線部分被衝孔成窗狀。

以圖３Ａ、圖３Ｂ、圖３Ｃ、圖３Ｄ、圖３Ｅ說明以上工程。

首先，銅箔９與聚醯亞胺之絕緣薄膜１０被積層（圖３Ａ）。銅箔９，除電路圖型或焊墊，端子等必要部分殘留以外之部分被蝕刻除去，成爲圖３Ｂ之符號９１所示狀態。

之後，除焊墊或端子等鍍金之必要部分以外之部分形成阻劑圖型９２（圖３Ｃ）。藉電解電鍍僅於銅箔之露出部分形成以Ｎｉ爲底層之Ａｕ電鍍層１２（圖３Ｄ）。

之後，貼著時將相當於半導體晶片之中心焊墊位置之部分衝孔除去（圖３Ｅ）。

之後，於該捲帶狀電路基板４ａ，介由接著劑使中心焊墊構造之半導體晶片位於圖１之虛線內被黏著，露出於電路基板４ａ上所形成窗部之半導體晶片之中心焊墊，與電路基板４ａ之接合焊墊２１ａ係藉接合導線做電連接，於外部輸出入用端子２０搭載焊錫球（圖３Ｆ），於半導體晶片之中心焊墊部注滴硬化性樹脂以完成半導體裝置。

圖４爲該半導體裝置之概略斷面圖。

亦即，該半導體裝置５０，係於中央部配置２列焊墊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1）

2作爲中心焊墊之中心焊墊構造之半導體晶片3上，介由接著劑層5黏著捲帶狀電路基板4a，電路基板4a之接合焊墊與半導體晶片3之焊墊2間係藉接合導線6之壓著做電連接，再於其上注滴例如矽樹脂等耐濕性且具電絕緣性之硬化性樹脂7以封裝接合導線6。符號8爲兼做半導體裝置50之輸出入端子及安裝固定裝置之端子上所搭載之焊錫球。

（實施形態2）

圖5、圖6爲本發明另一實施形態。

圖5爲形成有多數矩陣狀半導體晶片之晶圓之半導體形成面所黏著使用之捲帶狀電路基板4b之平面圖，圖中虛線包圍之長方形之一單位31對應形成於晶圓主面之1個半導體晶片。一點虛線表示電鍍用引出線32。

該捲帶狀電路基板4b之寬，當然比待黏著晶圓之尺寸大，而且於長邊方向，圖示之晶圓對應之捲帶狀電路基板之單位隔特定間隔連續形成。

如圖示般，沿待黏著晶圓之輪廓形成連接有電鍍用引出線32之銅箔之圓形圖型33，於長方形之一單位31所示各切片線之延長線上形成正方形之位置顯示用開口部34，符號35爲定位用孔。

圖6爲圖5之A部分之擴大圖，於半導體晶片之各單位中之中心焊墊對應之領域B，配設電解電鍍時供電用之電鍍用引出線19，該電鍍用引出線19之端部接銅箔之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12）

圓形圖型３３。

又，捲帶狀電路基板４ｂ之外部輸出入端子３６係經由圖型配線３７、接合焊墊３８之路徑電連接電鍍用引出線１９，不必電鍍之虛擬焊墊３９則未連接電鍍用引出線１９。

該捲帶狀電路基板４ｂ，和習知捲帶狀電路基板同樣，係將銅箔與聚醯亞氨等絕緣薄膜介由接著劑接著，再藉光阻劑技術如圖示般形成者。

此實施形態之捲帶狀電路基板４ｂ，係於圖示之圖形上，介由電鍍用引出線１９對必要之導體圖型供電以進行電解電鍍，俾於銅圖型上形成Ａｕ／Ｎｉ電鍍層。之後，形成有電鍍用引出線１９之領域Ｂ被衝孔成窗狀。

此半導體裝置用之捲帶狀電路基板４ｂ，係如下接著於晶圓以製造半導體裝置。

亦即，於該捲帶狀電路基板４ｂ，介由接著劑使中心焊墊構造之半導體晶片之一單位位於點線所示框內般被黏著於晶圓主面，露出於捲帶狀電路基板４ｂ上形成之窗部之每一半導體晶片之焊墊，與捲帶狀電路基板４ｂ之接合焊墊３８間係藉接合導線做電連接。

焊錫球被搭載於外部輸出入端子３６藉固定後，於導線接合部注滴硬化性樹脂，沿虛線進行切片以得各半導體裝置。

實施形態２爲，將實施形態１之半導體封裝，以晶圓狀態完成，最後再切片分離成各半導體裝置者。但如以下

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

說明般將實施形態3之半導體封裝，同樣以晶圓狀態完成，最後再切片分離成各半導體封裝亦可。

（實施形態3）

圖7A、7B、7C、7D、7E、7F、8A、8B、8C、圖9爲本發明之另一實施形態。

圖7A、7B、7C、7D、7E、7F爲半導體封裝使用之電路基板4c之製程。

首先，銅箔9與聚醯亞胺絕緣薄膜10介由接著劑接著（圖7A）。銅箔9上塗敷光阻劑，使用電路圖型或引線等鍍金必要部分被沖孔之掩罩，或鍍金等不必要部分被沖孔之掩罩進行曝光顯影以形成阻劑圖型11（圖7B）。藉電解電鍍使僅於銅箔露出部分以Ni爲底層形成Au電鍍層12（圖7C）。

之後，除去光阻劑圖型11，於絕緣薄膜10藉雷射束照射形成外部輸出焊墊（球搭載焊墊）形成用之孔13及接合用窗部14（圖7D）。於孔13填充導電性糊15形成外部輸出入端子部（圖7E）。窗部14之露出之銅箔9被蝕刻除去形成引線部16（圖7F）。

經由上述各工程完成電路基板4c。

圖8A、8B、8C爲使用上述獲得之電路基板4c製造半導體裝置之工程。

於電路基板4c之Au電鍍層12測，藉由網版印刷形成使接合用引線部16殘留之彈性體層17（圖8A）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

。介由該彈性體層17使半導體晶片18接著於電路基板4c之對應位置（圖8B）。之後，藉接合工具61切離引線部16之前端部，使該前端部連接於半導體晶片18之對應之中心焊墊（圖8C）。又，於外部輸出入端子部搭載焊錫球62（同圖C），於中心焊墊部注滴硬化性樹脂（未圖示）以完成半導體裝置。

此實施形態之電路基板4c，如圖9所示，於半導體晶片之中心焊墊位置所對應之斜線所示領域，形成前端壓接於半導體晶片之外引線焊墊以電連接電路基板4c與半導體晶片的引線21。各引線21之前端，係藉沿斜線所示領域形成於其外側之電鍍用導電連接片26做電連接，其端部則電連接沿一方之測形成之電鍍用引出母線27。

此實施形態之捲帶狀電路基板4c，係於圖9之圖型上，介由電鍍用引出母線27及電鍍用導電連接片26對必要之銅圖型供電進行電解電鍍俾於銅圖型上形成Au／Ni電鍍層，之後，引線21形成之斜線部分除引線21部分外被雷射束除去。

在如此獲得之捲帶狀電路基板4c上，如圖8A、8B、8C所示，介由接著劑使中心焊墊構造之半導體晶片18位於虛線內般被黏著，露出於捲帶狀電路基板4c所形成窗部之半導體晶片之焊墊上使用接合工具將電路基板4c之引線21前端連接。之後，焊錫球搭載於外部輸出入用端子20藉回流固定後，於導線接合部注滴硬化性樹脂以完成半導體裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

如上述各實施形態所示，依本發明，在接合用之除去領域配置電鍍用引出線，電路基板之必要領域變少，基板面積減少，基板成本可降低。

又，連接外部連接用端子與接合焊墊的電路圖型，及連接外部連接用端子與電鍍用引出線的電路圖型可共用，因此配線效率可提升，可對應窄間距化。

（圖面之簡單說明）

圖１：本發明之一實施形態中之捲帶狀電路基板之配線圖型之概略構成之平面圖。

圖２：本發明之一實施形態中之捲帶狀電路基板之配列狀態之平面圖。

圖３Ａ、圖３Ｂ、圖３Ｃ、圖３Ｄ、圖３Ｅ、圖３Ｆ：本發明之一實施形態之捲帶狀電路基板之製程及半導體裝置之製程之斷面圖。

圖４：本發明之一實施形態之半導體裝置之概略斷面圖。

圖５：本發明另一實施形態中之電路基板之配線圖型之概略構成之平面圖。

圖６：圖５之一部分之擴大平面圖。

圖７Ａ、７Ｂ、７Ｃ、７Ｄ、７Ｅ、７Ｆ：本發明另一實施形態中之捲帶狀電路基板之製程之斷面圖。

圖８Ａ、８Ｂ、８Ｃ：依圖７Ａ－７Ｆ之製程製造之電路基板與半導體晶片之連接工程之斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

圖９：本發明另一實施形態中之捲帶狀電路基板之配線圖型之概略構成之平面圖。

圖１０：ＣＳＰ之半導體裝置之概略斷面圖。

圖１１Ａ、１１Ｂ、１１Ｃ、１１Ｄ、１１Ｅ、１１Ｆ：半導體裝置所用捲帶狀電路基板之製程之斷面圖。

圖１２：習知半導體裝置之電路基板之配線圖型之概略構成之斷面圖。

（符號說明）

１、半導體裝置

２、外引線焊墊

３、半導體晶片

４ａ、捲帶狀電路基板

４ｂ、捲帶狀電路基板

４ｃ、捲帶狀電路基板

５、接著劑層

６、接合導線

７、硬化性樹脂

８、焊錫球

９、銅箔

１０、絕緣薄膜

１１、光阻劑圖型

１２、Ａｕ電鍍層

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

13、孔

14、窗部

15、導電性糊

16、引線部

17、彈性體層

18、半導體晶片

19、電鍍用引出線

20、外部輸出入用端子

21、引線

21a、接合焊墊

22、電路圖型

23、單位捲帶

24、電鍍用引出母線

25、傳動孔

26、電鍍用導電連接片

27、電鍍用引出母線

31、一單位

32、電鍍用引出線

33、銅箔之圓形圖型

34、開口部

36、外部輸出入端子

37、圖型配線

38、接合焊墊

39、虛擬焊墊

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

50、半導體裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

本發明關於中心焊墊構造之半導體晶片之焊墊與電路基板之接合焊墊電連接之半導體裝置之製造方法。在與半導體晶片之焊墊對應之電路基板之領域形成電鍍用引出線，形成半導體晶片之外部輸出入端子部與接合焊墊電連接之電路圖型。又，包含由電鍍用引出線供電並對外部輸出入端子部及接合焊墊施予電解電鍍之製程，及將半導體晶片之焊墊及對應之電路基板之領域及電鍍用引出線除去形成窗部的製程。

關於在中心焊墊構造之半導體晶片之焊墊連接電路基板之電路圖型所延伸之引線的半導體裝置之製造方法。分別於半導體晶片之焊墊所對應電路基板領域形成多數引線，沿上述領域之境界線形成連接各引線部之前端側的電鍍用導電連結片，形成電連接外部輸出入端子部與上述電鍍用導電連結片的電路圖型。又，包含介由電鍍用導電連結片對外部輸出入端子部及引線供電之同時對其施予電解電鍍之製程，及僅除去與半導體晶片之焊墊對應之領域之絕緣薄膜俾形成窗部之同時形成引線的製程。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1、一種半導體裝置之製造方法，係在中心焊墊構造之半導體晶片之機能面黏著電路基板，上述半導體晶片之中心焊墊與上述電路基板之接合焊墊介由接合導線連接之半導體裝置之製造方法，其特徵爲具有以下工程：

對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成電鍍用引出線，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及接合焊墊，於跨越該兩領域形成電連接該兩領域之電路圖型而得電路基板的工程；

由上述電路基板之電鍍用引出線供電之同時，對上述外部輸出入用端子部及接合焊墊施予電解電鍍的工程；

將上述電路基板之半導體晶片之中心焊墊所對應領域及電鍍用引出線同時除去以形成窗部的工程；

使中心焊墊露出於上述窗部般令上述電路基板之絕緣薄膜側黏著於半導體晶片的工程；

令上述電路基板之接合焊墊及半導體晶片之中心焊墊介由接合導線連接的工程；及

於上述電路基板之外部輸出入用端子部形成外部輸出入用端子的工程。

2、如申請專利範圍第1項之半導體裝置之製造方法，其中

上述半導體晶片，係在晶圓以矩陣狀多數形成之切片前之半導體晶片。

3、如申請專利範圍第1項之半導體裝置之製造方法

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，其中

上述積層板係由銅箔與聚醯亞胺系薄膜積層而成。

4、如申請專利範圍第3項之半導體裝置之製造方法，其中

上述銅箔厚度爲10μm－20μm，上述聚醯亞胺系薄膜之厚度爲25μm－75μm。

5、如申請專利範圍第1項之半導體裝置之製造方法，其中

上述窗部之寬爲0．5mm－2mm。

6、一種半導體裝置之製造方法，係在中心焊墊構造之半導體晶片之機能面黏著電路基板，於上述半導體晶片之中心焊墊連接由上述電路基板之電路圖型所延伸引線之半導體裝置之製造方法，其特徵爲具有以下工程：

對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成多數引線，沿上述半導體晶片之中心焊墊所對應領域之境界線形成連接上述各引線部之前端側的電鍍用導電連接片，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及電連接該外部輸出入用端子部與上述電鍍用導電連接片的電路圖型而得電路基板的工程；

介由上述電鍍用導電連接片對上述外部輸出入用端子部及引線（及電路圖型）供電之同時，對其施予電解電鍍的工程；

僅將上述電路基板之待黏著之半導體晶片之中心焊墊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

所對應領域之絕緣薄膜除去以形成窗部之同時，形成引線的工程；

令中心焊墊露出於上述窗部般，使上述電路基板之金屬箔側介由絕緣層黏著於半導體晶片的工程；

將上述電路基板之引線前端由上述電鍍用導電連接片切離，並使連接於上述半導體晶片之中心焊墊的工程；及

於上述電路基板之外部輸出入用端子部形成外部輸出入用端子的工程。

7、如申請專利範圍第6項之半導體裝置之製造方法，其中

在僅除去上述電路基板之待黏著半導體晶片之中心焊墊所對應領域之絕緣薄膜以形成引線後，僅除去該引線之積層板中之金屬部分以形成僅由電解電鍍層構成之引線。

8、如申請專利範圍第6項之半導體裝置之製造方法，其中

上述半導體晶片，係在晶圓以矩陣狀多數形成之切片前之半導體晶片。

9、如申請專利範圍第6項之半導體裝置之製造方法，其中

上述積層板係由銅箔與聚醯亞胺系薄膜積層而成。

10、如申請專利範圍第9項之半導體裝置之製造方法，其中

上述銅箔厚度爲10μm－20μm，上述聚醯亞胺系薄膜之厚度爲25μm－75μm。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

11、如申請專利範圍第6項之半導體裝置之製造方法，其中

上述窗部之寬爲0.5mm－2mm。

12、一種電路基板之製造方法，其特徵爲具有以下工程：

對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成電鍍用引出線，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及接合焊墊，於跨越該兩領域形成電連接該兩領域之電路圖型的工程；

由上述積層板之電鍍用引出線供電之同時，對上述外部輸出入用端子部及接合焊墊（及電路圖型）施予電解電鍍的工程；及

將上述積層板之半導體晶片之中心焊墊所對應領域及電鍍用引出線同時除去以形成窗部的工程。

13、如申請專利範圍第12項之電路基板之製造方法，其中

上述積層板係由銅箔與聚醯亞胺系薄膜積層而成。

14、如申請專利範圍第13項之電路基板之製造方法，其中

上述銅箔厚度爲10μm－20μm，上述聚醯亞胺系薄膜之厚度爲25μm－75μm。

15、如申請專利範圍第12項之電路基板之製造方法，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述窗部之寬爲０．５ｍｍ－２ｍｍ。

１６、一種電路基板之製造方法，其特徵爲具有以下工程：

對積層有金屬箔與絕緣薄膜的積層板之上述金屬箔施予蝕刻，俾於待黏著之半導體晶片之中心焊墊所對應領域形成多數引線，沿上述半導體晶片之中心焊墊所對應領域之境界線形成連接上述各引線部之前端側的電鍍用導電連接片，於上述半導體晶片之其他部份所對應領域形成外部輸出入用端子部及電連接該外部輸出入用端子部與上述電鍍用導電連接片之電路圖型的工程；

介由上述電鍍用導電連接片對上述外部輸出入用端子部及引線（及電路圖型）供電之同時，對其施予電解電鍍的工程；及

僅將上述積層板之待黏著之半導體晶片之中心焊墊所對應領域之絕緣薄膜除去以形成引線的工程。

１７、如申請專利範圍第１６項之電路基板之製造方法，其中

在僅除去待黏著半導體晶片之中心焊墊所對應領域之絕緣薄膜以形成引線後，僅除去該引線之積層板中之金屬部分以形成僅由電解電鍍層構成之引線。

１８、如申請專利範圍第１６項之電路基板之製造方法，其中

上述積層板係由銅箔與聚醯亞胺系薄膜積層而成。

１９、如申請專利範圍第１８項之電路基板之製造方

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

法，其中

上述銅箔厚度爲１０μｍ－２０μｍ，上述聚醯亞胺系薄膜之厚度爲２５μｍ－７５μｍ。

２０、如申請專利範圍第１６項之電路基板之製造方法，其中

上述窗部之寬爲０．５ｍｍ－２ｍｍ。

２１、一種電路基板，其特徵爲具有：

設於待黏著半導體晶片之中心焊墊所對應領域以外領域的外部輸出入用端子部及接合焊墊；及

將其做電連接的電路圖型；

由上述外部輸出入用端子部敷設之上述電路圖型，係僅到達上述接合焊墊者；

上述接合焊墊，係藉由上述半導體晶片之中心焊墊側之供電被施予電解電鍍者。

２２、一種電路基板，其特徵爲具有：

設於待黏著半導體晶片之中心焊墊所對應領域的多數引線；

用於連接沿上述半導體晶片之中心焊墊所對應領域之境界線而設之上述各引線部之前端側的電鍍用導電連接片；

設於上述半導體晶片之其他部分所對應領域的外部輸出入用端子部；及

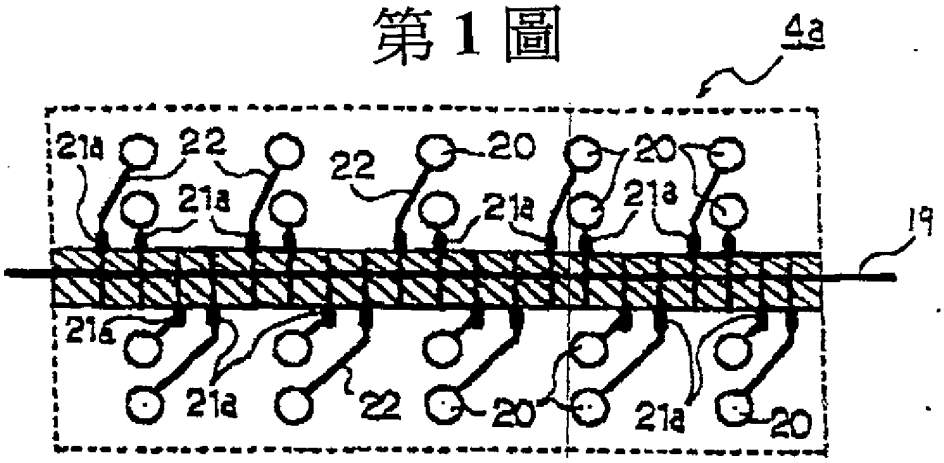
電連接上述外部輸出入用端子部與電鍍用導電連接片的電路圖型。

（請先閱讀背面之注意事項再填寫本頁）

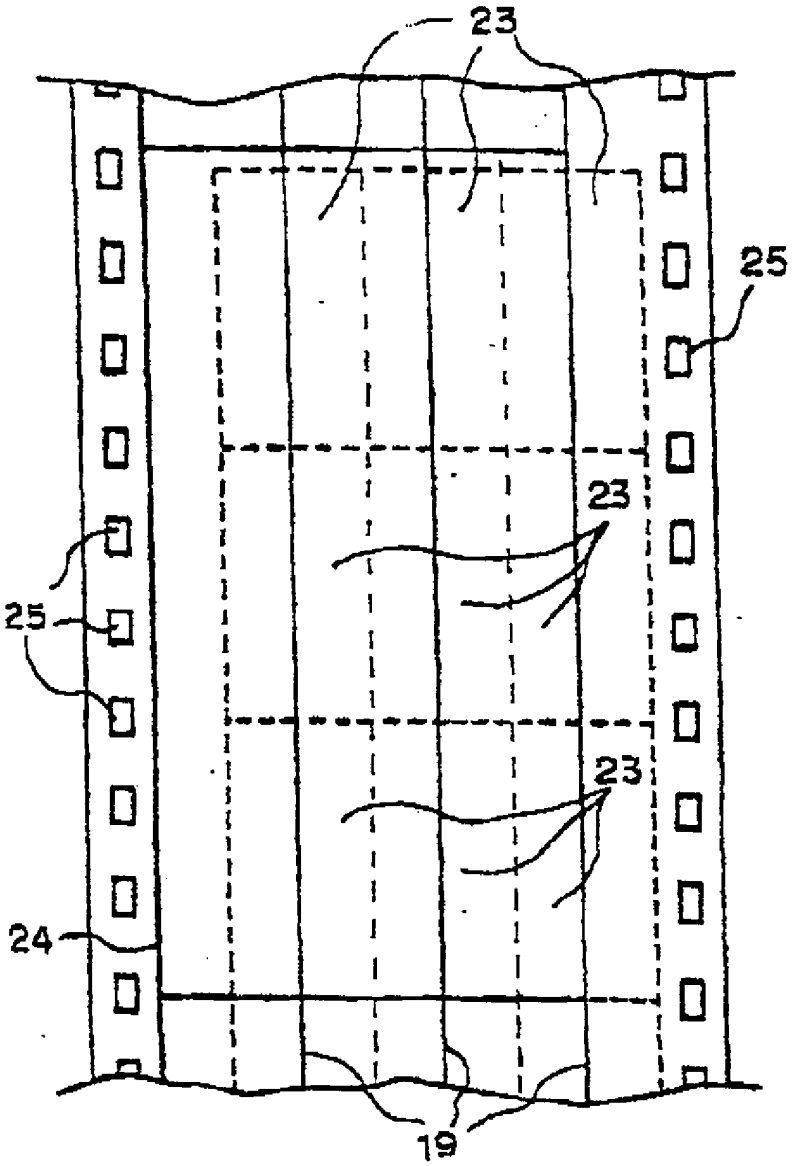
裝 訂 線

經濟部智慧財產局員工消費合作社印製

第1圖



第 2 圖



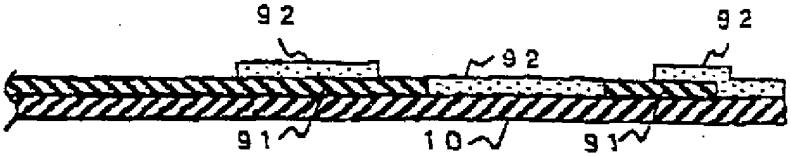
第3圖A



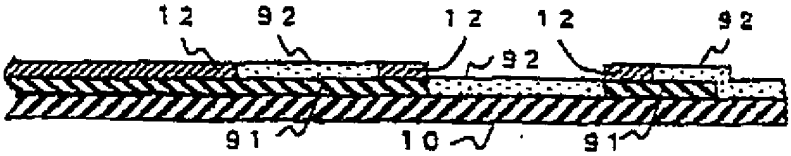
第3圖B



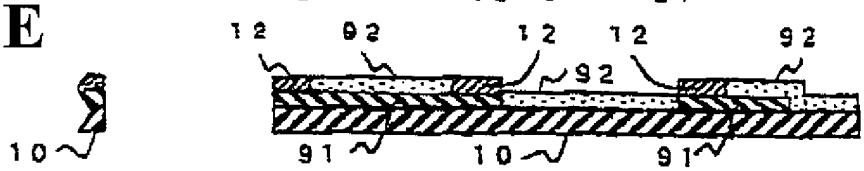
第3圖C



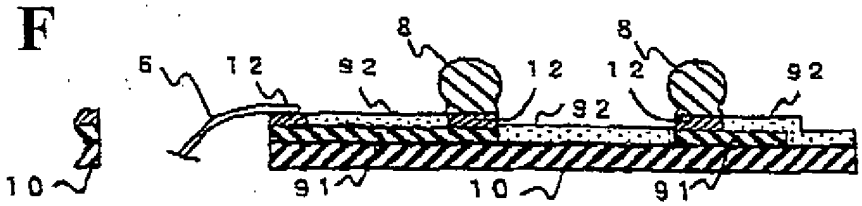
第3圖D



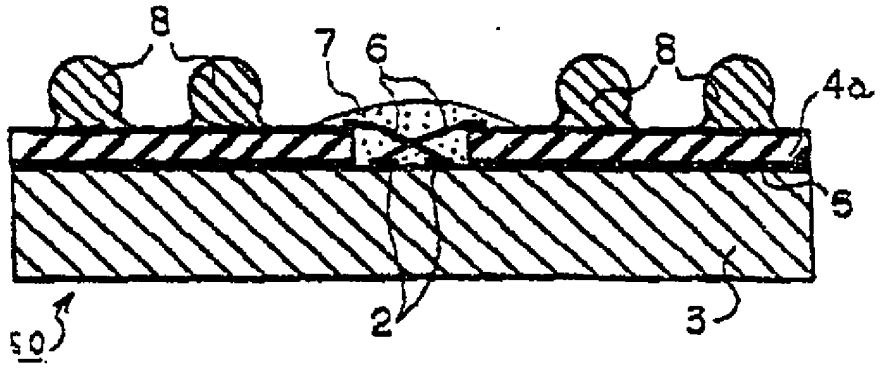
第3圖E



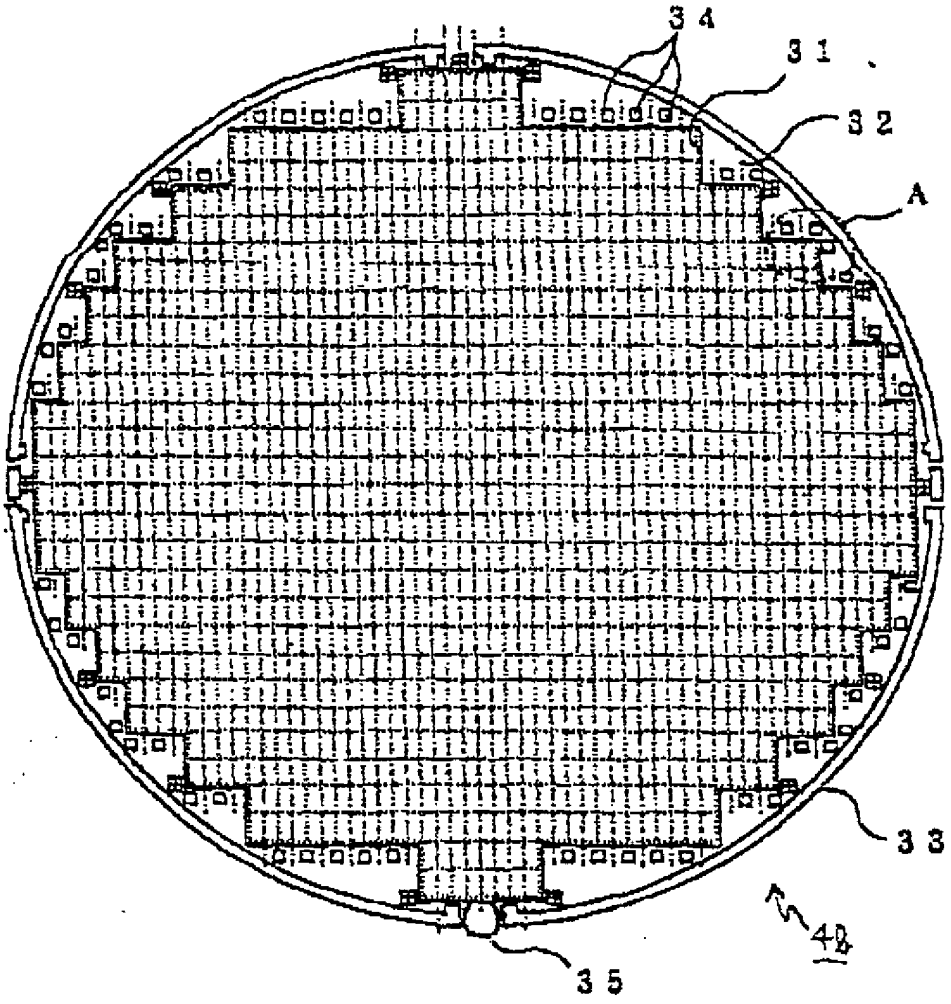
第3圖F



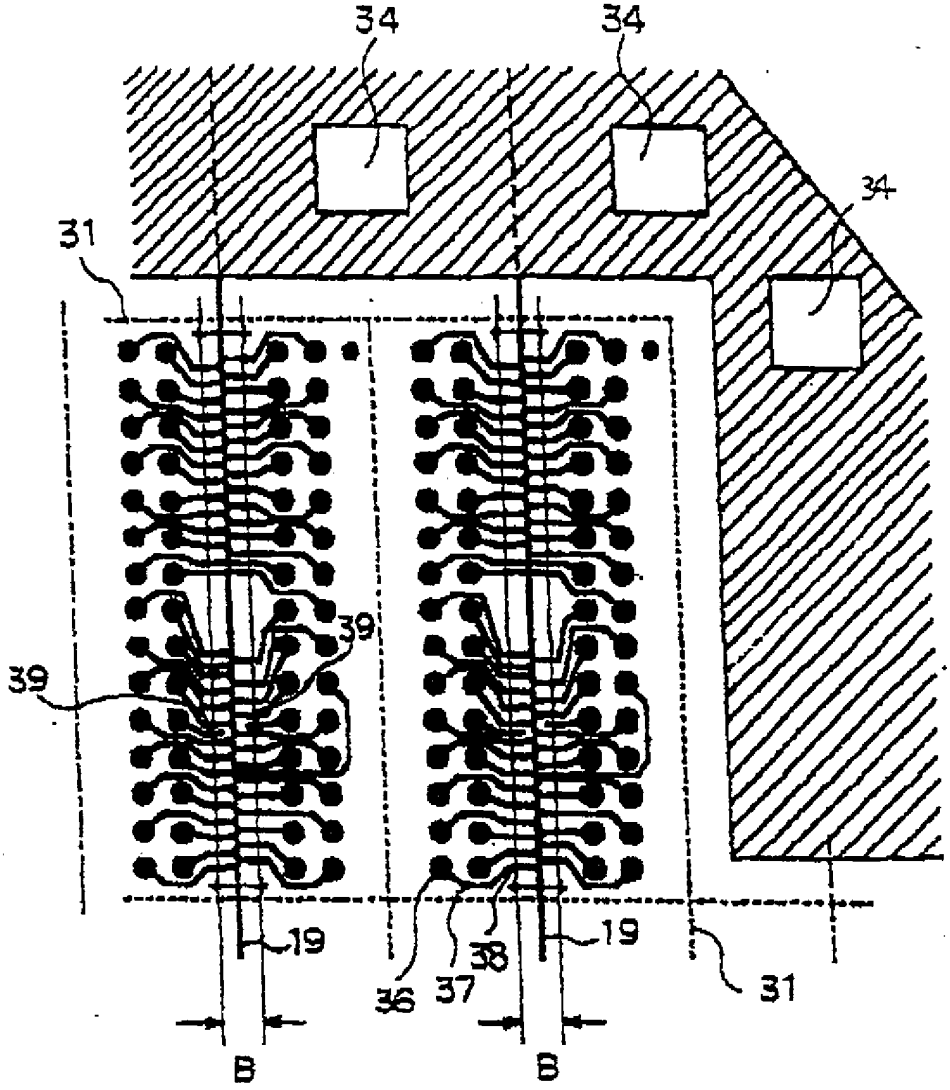
第4圖



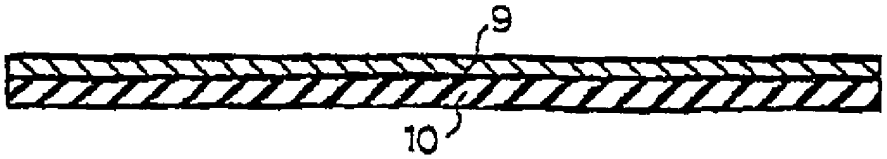
第5圖



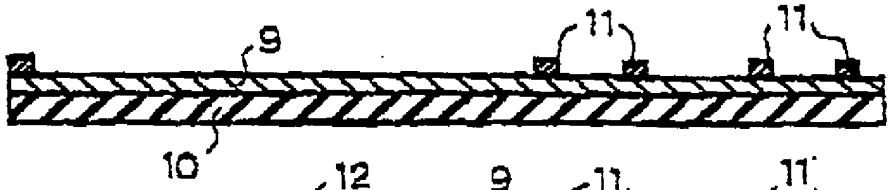
第 6 圖



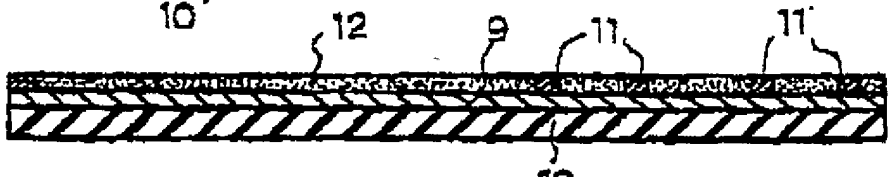
第7圖A



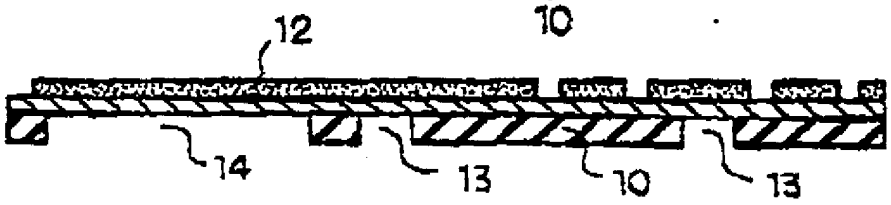
第7圖B



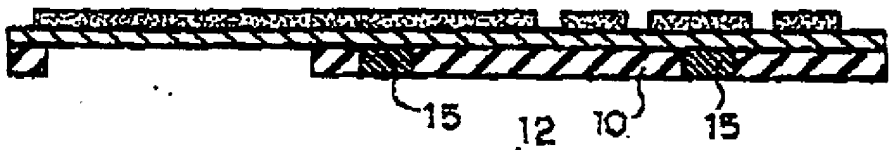
第7圖C



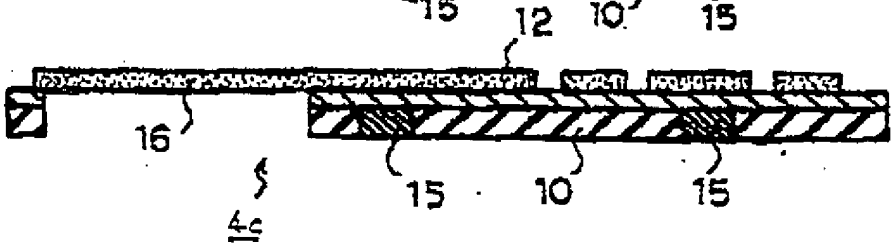
第7圖D



第7圖E

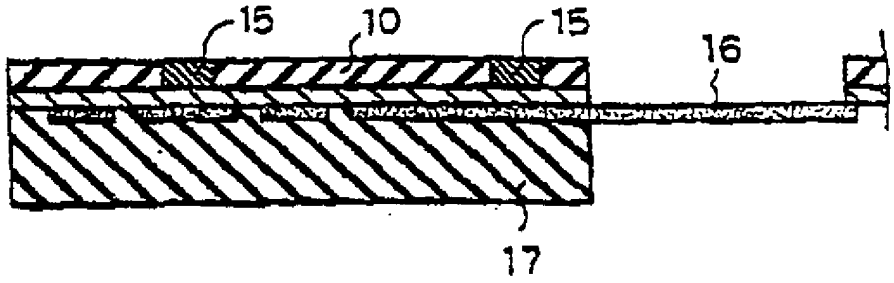


第7圖F

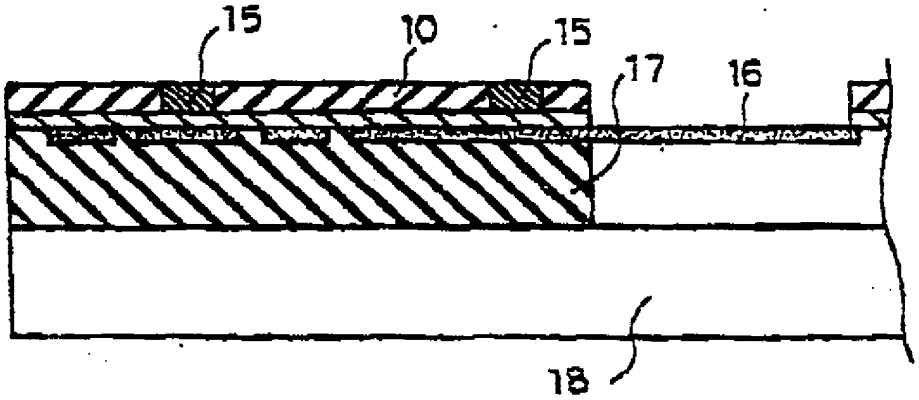


4c

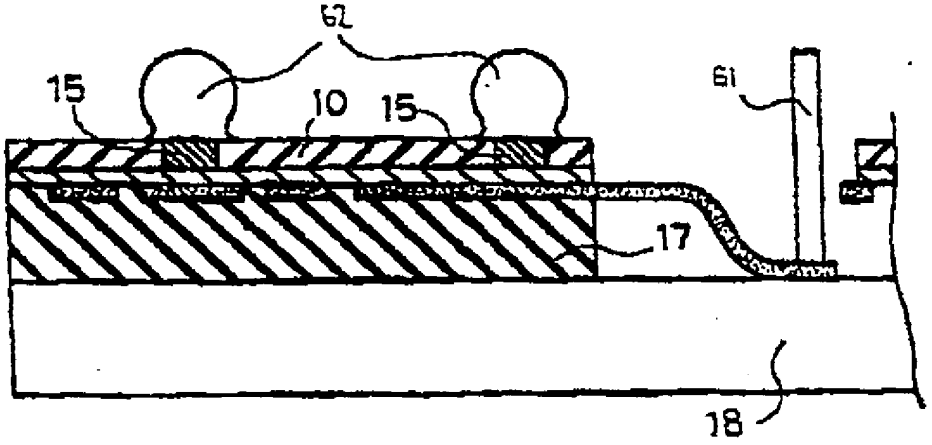
第8圖A



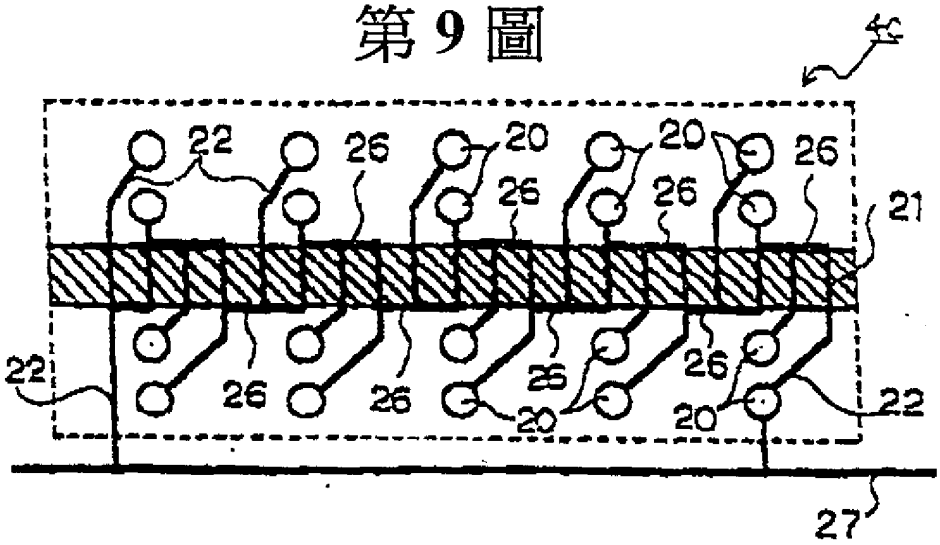
第8圖B



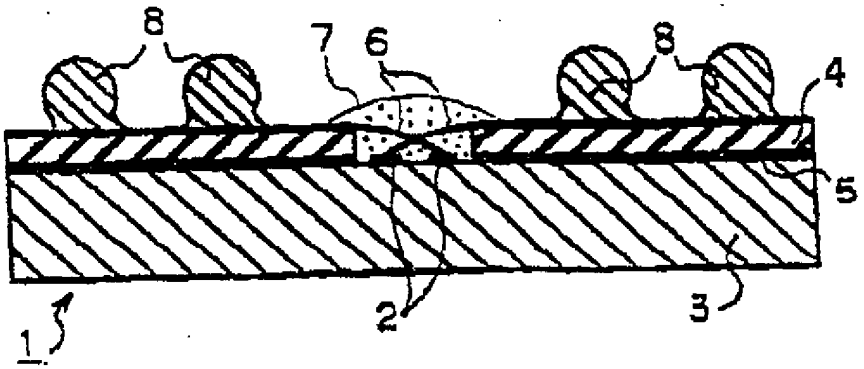
第8圖C



第 9 圖



第 10 圖



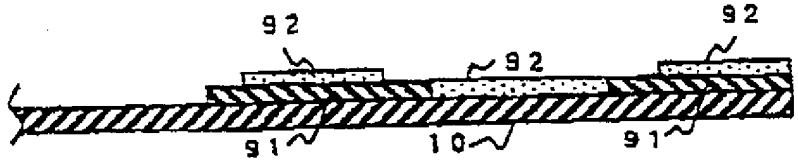
第 11 圖 A



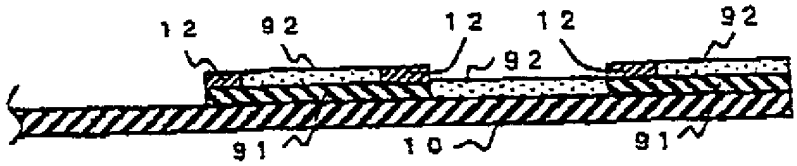
第 11 圖 B



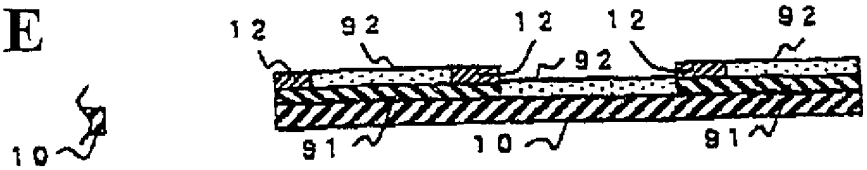
第 11 圖 C



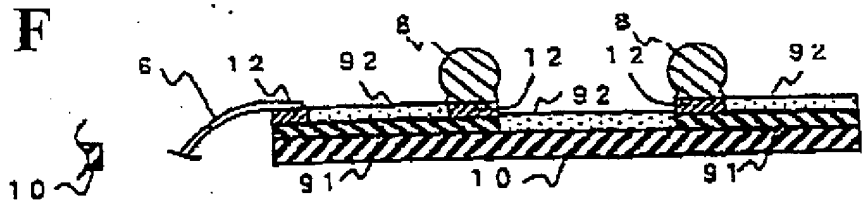
第 11 圖 D



第 11 圖 E

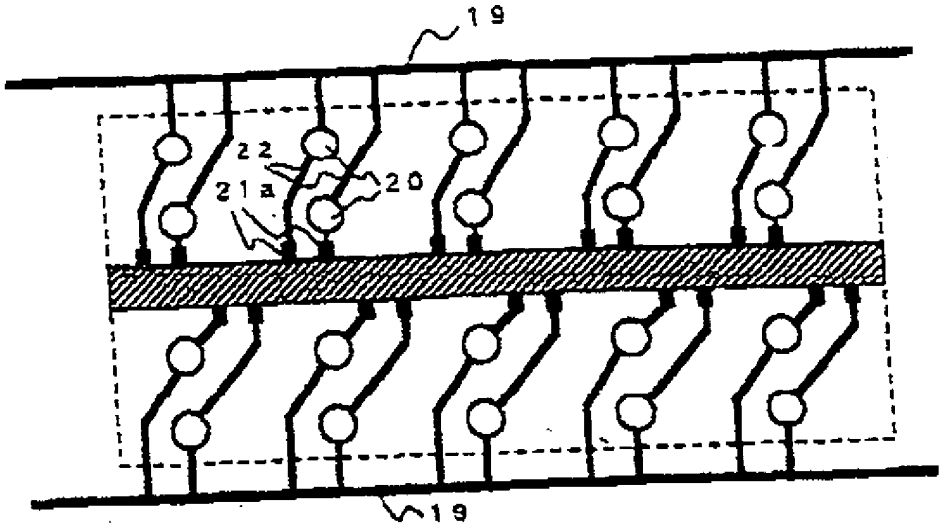


第 11 圖 F



442929

第 12 圖



公告本

申請日期	88 年 9 月 2 日
案號	88115139
類別	H01L 23/10

（以上各欄由本局填註）

89年12月27日 修正補充

A4
C4

442929

發明 新型 專利說明書(修正本)

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1) 平井壽巳江 (2) 大森純
	國籍	(1) 日本　　(2) 日本
	住、居所	(1) 日本國東京都稻城市東長沼一九四七石田大廈二〇二 (2) 日本國東京都練馬區小竹町一一五一一一六
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

經濟部智慧財產局員工消費合作社印製

裝 訂 線