



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0134128
(43) 공개일자 2017년12월06일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/14 (2013.01)

H01L 45/04 (2013.01)

(21) 출원번호 10-2016-0065944

(22) 출원일자 2016년05월27일

심사청구일자 2016년05월27일

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

김동하

서울특별시 마포구 성미산로23안길 8, 501호 (연남동, 노블레스빌)

박철민

서울특별시 서초구 서초중앙로24길 57, 101동 801호 (서초동, 서초롯데캐슬프레지던트)

(뒷면에 계속)

(74) 대리인

특허법인엠에이피에스

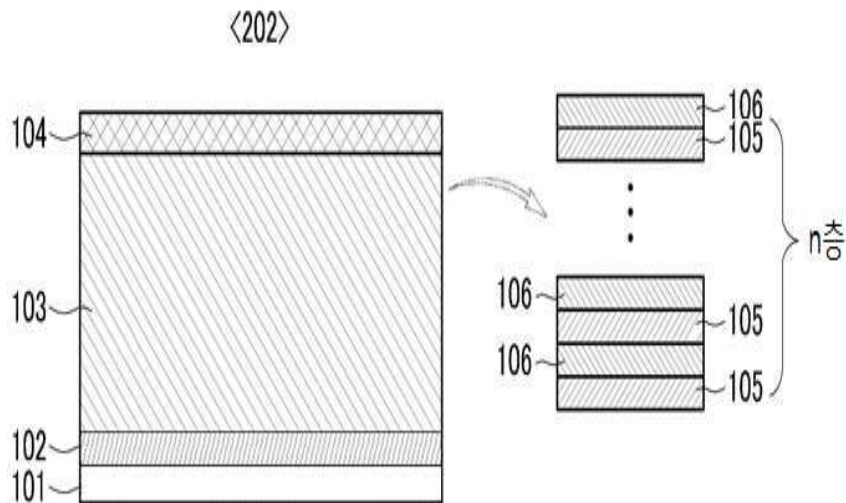
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스, 및 그의 제조 방법

(57) 요약

그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스 및 상기 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 제조 방법에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/1608 (2013.01)

(72) 발명자

라니 아딜라

서울특별시 성북구 솔샘로5가길 12 (정릉동)

김한기

서울특별시 도봉구 도봉로136길 28, 505동 201호
(창동, 북한산 아이파크)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711024380

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업(학술진흥)-중견연구자지원사업-도약연구지원사업(도전)(융합)

연구과제명 플라즈모닉 결합효과 극대화 발현 하이브리드 나노구조체 도출에 의한 광전환 효율 향상

연구

기 여 율 1/1

주관기관 이화여자대학교 산학협력단

연구기간 2015.05.01 ~ 2016.04.30

명세서

청구범위

청구항 1

기재 상에 형성되는 하부 전극;

상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층(active dielectric layer); 및

상기 활성 절연층 상에 상부 전극을 포함하고,

상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이중층을 한 개 이상 가지는 것인,

비휘발성 저항 변화 메모리 디바이스.

청구항 2

제 1 항에 있어서,

상기 비금속 원소는 주기율표 15 족 및 16 족의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것인, 비휘발성 저항 변화 메모리 디바이스.

청구항 3

제 2 항에 있어서,

상기 비금속 원소는 질소, 황, 인, 및 이들의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것인, 비휘발성 저항 변화 메모리 디바이스.

청구항 4

제 1 항에 있어서,

상기 산화 그래핀 층은 음전하를 갖는 것이고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층은 양전하를 갖는 것인, 비휘발성 저항 변화 메모리 디바이스.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 비휘발성 저항 변화 메모리 디바이스는 크로스 바 구조를 가지는 것인, 비휘발성 저항 변화 메모리 디바이스.

청구항 6

기재 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층을 형성하는 단계; 및

상기 활성 절연층 상에 상부 전극을 형성하는 단계를 포함하고,

상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이

중층을 한 개 이상 가지는 것인,
비휘발성 저항 변화 메모리 디바이스의 제조 방법.

청구항 7

제 6 항에 있어서,
상기 비금속 원소는 주기율표 15 족 및 16 족의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조방법.

청구항 8

제 7 항에 있어서,
상기 비금속 원소는 질소, 황, 인, 및 이들의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조방법.

청구항 9

제 6 항에 있어서,
상기 산화 그래핀 층은 음전하를 갖는 것이고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층은 양전하를 갖는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조방법.

청구항 10

제 6 항에 있어서,
상기 활성 절연층의 두께는 20 nm 내지 60 nm인 것인, 비휘발성 저항 변화 메모리 디바이스의 제조방법.

청구항 11

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,
상기 비휘발성 저항 변화 메모리 소자는 크로스 바 구조를 가지는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조방법.

발명의 설명

기술 분야

[0001] 본원은, 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스 및 상기 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 제조 방법에 관한 것이다.

배경 기술

[0002] ReRAM 디바이스는 외부 전기적 파워에 의하여 유도된 저항 스위칭에 기초한 데이터 저장 디바이스다. 현대의 전자학에서, 간단한 구조, 빠른 스위칭 속도, 낮은 파워 소비, 낮은 작동 전압, 긴 기억 시간, 높은 패킹 밀도, 뛰어난 확장성(scalability), 및 차세대 비휘발성 메모리 어플리케이션들을 위한 비파괴적 판독 때문에 넓게 연구되어 왔다. ReRAM에서 저항성 스위칭 메모리 셀은 보통 두 개의 전극들 사이에 개재된 활성 절연층으로서 이루어진 간단한 3 차원의 스택킹 구조로서 이루어져 있다. 실현 가능한 크로스 바(cross-bar) 구조, 좋은 기계

적 강도(stiffness), 유연성 및 투명성은 고성능 비휘발성 메모리 디바이스들의 구축에서 큰 주목을 받는다.

- [0003] 활성 절연층으로서, 산화 그래핀(GO)은 유망한 저항성 스위칭 물질로서 부각되어 왔다. 이는 초박막 두께, 독특한 물리-화학적 특성들, 물이나 다른 용매들에서 높은 용해도, 다양한 기재들 상으로의 균일한 적층 또는 전사 때문이다. 산화 그래핀(GO)은 강한 산화제들의 혼합물에서 그라파이트를 산화시킨 후 박리 공정을 통하여 용이하게 수득될 수 있다. 상기 절연 물질은 상기 물질의 표면 또는 가장자리에 위치한 카복실, 하이드록실, 또는 에폭시 그룹들의 형태로 산소와 결합된 단층 그래핀을 포함한다. 상기 표면 및 가장 자리에서 이러한 화학 작용기들은 나노 수준에서 조절되어 환원된 산화 그래핀(GO) 또는 개질된 산화 그래핀(GO)-기반 2D 나노물질들을 수득할 수 있고 산화 그래핀(GO)의 전기적 특성들을 조절할 수 있다. 초박막 2D 나노물질들의 높은 투명성 및 뛰어난 유연성은 이들 물질들을 투명하고 유연한 웨어러블 비휘발성 저항 메모리 디바이스들의 제조를 위한 매력적인 후보자가 되도록 한다.
- [0004] 최근에 산화 그래핀(GO) 및 조절된 산화 그래핀(GO)-기반 2D 나노물질들의 신뢰성 있고 재생 가능한 저항성 스위칭이 보고되어 왔다. 특히, 필름 특성들의 저하 없이 진공 여과(vacuum filtration), 스핀 코팅(spin-coating), 스프레이 코팅(spray-coating), 잉크젯 프린팅(ink-jet printing), 드랍 캐스팅(drop-casting), 또는 표준 리소그래피(standard lithography)와 같은 간단한 기술들을 통하여 고품질 유전체 박막을 제조할 수 있다. 앞서, 다양한 디바이스들이 절연층으로서 GO를 사용하여 제조되어 왔다. 2009년 Li 등은 진공 여과(vacuum filtration)를 사용하였고, 이에 따라 산화 그래핀(GO)의 두께가 ReRAM 비휘발성 메모리에서 Cu/GO/Pt를 제조하기 위하여 산화 그래핀(GO)의 농도 및 여과 시간을 변화시킴으로써 조절되었다. 몇몇 연구들은 재생 가능한(re-writable) WORM 타입 메모리를 얻기 위하여 다양한 상부 및 하부 전극들(Al/GO/Al, Al-LiF/GO/ITO, Al/GO/ITO)에 스핀 코팅 방법을 사용한 것이 보고되었다.
- [0005] 환원된 GO(rGO) 나노물질들은 활성 절연층(active dielectric layer)으로서 또한 사용되어 왔다. 최근에 DMF 용액 내에 N-rGO 시트가 스핀 코팅 되었고, 그 디바이스 기능이 평가되었다. 제조된 디바이스는 1000 초가 넘는 기억 시간(retention time)에서 $\sim 10^2$ 의 전형적인 재생가능한 메모리 효과 ON/OFF 전류 비율을 나타내었다. 질소-도핑된 환원된 산화 그래핀(N-rGO) 시트들의 산소 함량 및 질소-도핑된 환원된 산화 그래핀(N-rGO) 시트들 사이의 작용기들의 상호작용이 디바이스의 스위칭 거동을 결정하는데 있어서 필수적인 역할을 한다는 것이 제안되었다. Liu 등은 매우 높은 전도성의 rGO 필름들을 하부 및 상부 전극에 사용하고 부분적으로 환원된 rGO 시트들을 활성 절연층으로서 사용함으로써 용액 공정, 완전 탄소-기반, 유연성 비휘발성 메모리 디바이스들을 보고했다. 상기 제조된 모든 환원된 산화 그래핀(rGO) 저항성 다이오드들은 $\sim 10^2$ 의 ON/OFF 전류 비율과 1000 회가 넘는 굽힘(bending) 이후에도 좋은 굽힘 안정성을 갖는 비휘발성 WORM 메모리 효과를 나타내었다.
- [0006] 더 최근에는 금 나노입자들(AuNPs)로 공유 결합되어 기능화된 환원된 그래핀 옥사이드(AuNP-frGO)의 박막이 수평 및 수직 구조를 갖는 메모리 디바이스들에 사용되었다. 수평적인 구조를 갖는 디바이스를 위하여 단층 및 이중층의 산화 그래핀(GO) 시트들은 Si/SiO₂ 기재 상에 증착된 패터화된 금(Au) 전극 상에 처음에 스핀 코팅되었다. 그 후, 산화 그래핀(GO) 시트들은 히드라진 증기에 의해 환원된 산화 그래핀(rGO)으로 환원되었다. 그 다음, 4-머캅토-벤젠디아조늄 테트라플루오로보레이트(4-mercaptobenzenediazonium tetrafluoroborate) 분자들이 환원된 산화 그래핀(rGO) 상에 조립되어 싸이올기-말단 표면을 형성하였다. 최종적으로, 금 나노입자들(AuNPs)이 강한 금-황(Au-S) 결합을 통해 표면 상에 고정되었고, AuNP-frGO로 나타낸다. 수직 디바이스를 위하여, AuNP-frGO 박막이 ITO 전극 상에 AuNP-frGO 서스펜션의 스핀 코팅에 의해 제조되었고, 이후 상부 전극으로서 200 nm 두께의 알루미늄(Al)을 기상 증착하였다. 수평 및 수직 디바이스들 모두는 재생할 수 있고 주목할만한 스위칭 거동들을 나타내었다. 더 나아가, 산화 그래핀(GO) 층들 사이에 삽입된 금 나노입자들(AuNPs)을 포함하는 디바이스의 특성들이 이중 안정성(bistable) 비휘발성 메모리 디바이스를 얻기 위하여 연구되었다. 저항성 메모리 디바이스들은 산화 그래핀(GO) 층에 삽입된 금 나노입자들(AuNPs)로 구성된 나노복합체 때문에 양측다단계(bilateral multilevel) 특성들을 나타내었다.
- [0007] 그러므로, 산화 그래핀(GO)은 높은 ON/OFF 비율, 긴 기억(retention) 시간, 좋은 메모리 성능을 수득할 수 있기 때문에 큰 스케일의 유연하고 투명한 ReRAM과 같은 마이크로전자 디바이스를 위한 유망한 물질이다. 게다가, 미래의 메모리 어플리케이션들의 요구들에 부합하기 위하여, 산화 그래핀(GO)-기반 저항 메모리들은 몇 가지 장애를 극복해야 한다: 크기, 화학 조성, 열 안정성, 유연성 및 투명성을 포함하는 디바이스의 산화 그래핀(GO)-기반 물질들. 이점에서 디자인된 층 수와 조성을 갖는 산화 그래핀(GO) 2D 나노물질들에 기반된 일련의 고성능 ReRAM 디바이스들을 보고한다. 본원에서, 개질된 양 전하를 갖는 산화 그래핀[GO(N-GO(+)) 또는 NS-GO(+)]이 간단한 습식 화학에 의하여 제조된다. 그리고 적층(LBL) 자기 조립(SA)이 상이한 타입의 다층막을 제조하기 위

하여 채용되었고, 단일 또는 다성분에 기초한 ReRAM 디바이스들이 ~75%의 투명도를 고려하여 설계된다. 게다가 절연층으로서 금속 산화물(MnO_2)의 효과가 또한 분석되었고 금속 산화물의 혼입이 없는 디바이스들이 더 좋은 ReRAM 성능을 나타내었고 전자공학에서 뛰어난 잠재력을 갖는다는 것을 발견하였다.

[0008] 이와 관련하여, 대한민국 등록특허 제 10-1533607 호는 제 1 결정성 고분자 층 및 제 2 결정성 고분자 층을 포함하고, 상기 제 2 결정성 고분자 층의 표면 거칠기의 실효 값은 상기 제 1 결정성 고분자 층의 표면 거칠기의 실효 값보다 작은 메모리 소자에 대하여 개시하고 있다.

발명의 내용

해결하려는 과제

[0009] 본원은, 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스 및 상기 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 제조 방법을 제공한다.

[0010] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 본원의 제 1 측면은, 기재 상에 형성되는 하부 전극; 상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층(active dielectric layer); 및 상기 활성 절연층 상에 상부 전극을 포함하고, 상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이중층을 한 개 이상 가지는 것인, 비휘발성 저항 변화 메모리 디바이스를 제공한다.

[0012] 본원의 제 2 측면은, 기재 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층을 형성하는 단계; 및 상기 활성 절연층 상에 상부 전극을 형성하는 단계를 포함하고, 상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이중층을 한 개 이상 가지는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조 방법을 제공한다.

발명의 효과

[0013] 본원의 일 구현예에 의하여, 다성분 시스템($Au/[N-GO(+)/GO(-)]_{30}/Al/PES$)에 기반하여 제조된 그래핀 다층막 비휘발성 저항 변화 메모리 디바이스는 모든 디바이스(~95%)의 단일 셀의 10^5 ON/OFF 비율을 가지며 비휘발성 양극의(bipolar) 스위칭 특성들, 신뢰성 있는 기억(retention) 시간(10^4 초), 우수한 지속성 사이클들 및 우수한 안정성을 나타낸다.

[0014] 본원의 일 구현예에 의하여, 더 높은 농도를 가지는 산화 그래핀(GO)을 포함하는 상기 그래핀 다층막 비휘발성 저항 변화 메모리 디바이스가 더 높은 안정성을 나타낸다. 또한, GO 매트릭스 내로 금속 산화물(MnO_2)의 혼입이 없는 상기 그래핀 다층막 비휘발성 저항 변화 메모리 디바이스가 상기 금속이 혼입된 디바이스들과 비교하여 더 높은 ON/OFF 비율 및 기억(retention) 지속 안정성을 가진다.

도면의 간단한 설명

[0015] 도 1은, 본원의 일 실시예에 있어서, 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스를 나타낸 단면도이다.

도 2의 (a)는, 본원의 일 실시예에 있어서, 산화 그래핀으로부터 양전하를 띄는 산화 그래핀의 합성 프로토콜을 나타낸 모식도이다.

도 2의 (b)는, 본원의 일 실시예에 있어서, 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 제조 과정을 나타낸 모식도이다.

도 3a 및 b는, 본원의 일 실시예에 있어서, 질소 및 질소/황으로 각각 도핑된 산화 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 파장 별 층수에 따른 투과율을 나타낸 그래프이다.

도 3c 및 d는, 본원의 일 실시예에 있어서, 질소 및 질소/황으로 각각 도핑된 산화 그래핀 층과 산화 그래핀 층

이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 파장 별 층수에 따른 투과율을 나타낸 그래프이다.

도 4a 및 b는, 본원의 일 실시예에 있어서, 질소로 도핑된 산화 그래핀 다층막 및 질소로 도핑된 산화 그래핀 층과 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 층수에 따른 입사각의 시프트를 나타낸 그래프이다.

도 4c 및 d는, 본원의 일 실시예에 있어서, 질소/황으로 도핑된 산화 그래핀 다층막 및 질소/황으로 도핑된 산화 그래핀 층과 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 층수에 따른 입사각의 시프트를 나타낸 그래프이다.

도 5는, 본원의 일 실시예에 있어서, 질소로 도핑된 산화 그래핀 다층막 및 질소로 도핑된 산화 그래핀 층과 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 전압에 따른 전류 특성을 나타낸 그래프이다.

도 6은, 본원의 일 실시예에 있어서, 질소/황으로 도핑된 산화 그래핀 다층막 및 질소/황으로 도핑된 산화 그래핀 층과 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스의 전압에 따른 전류 특성을 나타낸 그래프이다.

도 7의 (a)는, 본원의 일 실시예에 있어서, 산화 그래핀 용액의 농도 변화에 따른 비휘발성 저항 변화 메모리 디바이스의 알루미늄(Al) 하부 전극의 전압 및 전류의 특성을 나타낸 그래프이다.

도 7의 (b)는, 본원의 일 실시예에 있어서, 산화 그래핀 용액의 농도 변화에 따른 비휘발성 저항 변화 메모리 디바이스의 ON/OFF 비율 및 디바이스 안정성(device stability)을 나타낸 그래프이다.

도 8a 및 b는, 본원의 일 실시예에 있어서, 질소로 도핑된 단일 및 다중 성분으로 구성된 비휘발성 저항 변화 메모리 디바이스의 지속성 사이클(endurance cycle) 증가(50 사이클까지)에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 8c 및 d는, 본원의 일 실시예에 있어서, 질소로 도핑된 단일 및 다중 성분으로 구성된 비휘발성 저항 변화 메모리 디바이스의 기억 시간 증가에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 9a 및 b는, 본원의 일 실시예에 있어서, 질소/황으로 도핑된 단일 및 다중 성분으로 구성된 비휘발성 저항 변화 메모리 디바이스의 지속성 사이클(endurance cycle) 증가(50 사이클까지)에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 9c 및 d는, 본원의 일 실시예에 있어서, 질소/황으로 도핑된 단일 및 다중 성분으로 구성된 비휘발성 저항 변화 메모리 디바이스의 기억 시간 증가에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 10a 및 b는, 본원의 일 실시예에 있어서, 질소로 도핑된 다중 성분 및 이산화망간이 혼입된 비휘발성 저항 변화 메모리 디바이스의 지속성 사이클(endurance cycle) 증가(100 사이클까지)에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 10c 및 d는, 본원의 일 실시예에 있어서, 질소/황으로 도핑된 다중 성분 및 이산화망간이 혼입된 비휘발성 저항 변화 메모리 디바이스의 지속성 사이클(endurance cycle) 증가(100 사이클까지)에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 11은, 본원의 일 실시예에 있어서, 단일 성분 및 다중 성분에 이산화망간이 혼입된 비휘발성 저항 변화 메모리 디바이스의 전압에 따른 전류 변화를 나타낸 그래프이다.

도 12a 및 b는, 본원의 일 실시예에 있어서, 다중 성분에 이산화망간이 혼입된 비휘발성 저항 변화 메모리 디바이스의 지속성 사이클(endurance cycle) 증가(50 사이클까지)에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 12c 및 d는, 본원의 일 실시예에 있어서, 다중 성분에 이산화망간이 혼입된 비휘발성 저항 변화 메모리 디바이스의 기억 시간 증가에 따른 ON 상태 및 OFF 상태의 전류 변화를 나타낸 그래프이다.

도 13a는 본원의 일 실시예에 있어서, 0 V의 전압에서 질소로 도핑된 산화 그래핀 층 및 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 소자를 전도 원자힘 현미경(C-AFM)으로 측정한 전류 이미지이다(기준자: 1 μm).

도 13b는 본원의 일 실시예에 있어서, -4 V의 전압에서 질소로 도핑된 산화 그래핀 층 및 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 소자를 전도 원자힘 현미경(C-AFM)으로 측정한 전류 이미지이다(기준자: 1 μm).

도 13c는 본원의 일 실시예에 있어서, +4 V의 전압에서 질소로 도핑된 산화 그래핀 층 및 산화 그래핀 층이 교대로 적층된 다층막을 포함하는 비휘발성 저항 변화 메모리 소자를 전도 원자힘 현미경(C-AFM)으로 측정한 전류 이미지이다(기준자: 1 μm).

발명을 실시하기 위한 구체적인 내용

- [0016] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0017] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0018] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0019] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.
- [0020] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0022] 본원의 제 1 측면은, 기재 상에 형성되는 하부 전극; 상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층(active dielectric layer); 및 상기 활성 절연층 상에 상부 전극을 포함하고, 상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이중층을 한 개 이상 가지는 것인, 비휘발성 저항 변화 메모리 디바이스를 제공한다.
- [0023] 도 1을 참고하면, 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 디바이스는 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 산화 그래핀 다층막을 포함하는 활성 절연층(active dielectric layer)을 포함한다. 도 1은 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스(202)를 나타낸 단면도이다. 상기 기재(101) 상에 하부 전극(102)이 적층된 후, 상기 하부 전극 상에 그래핀 다층막을 포함하는 활성 절연층(103)이 적층된다. 상기 활성 절연층(103)은 산화 그래핀 층(105) 및 비금속 원소에 의해 도핑된 산화 그래핀 층(106)이 교대로 적층된 구조를 포함한다. 상기 산화 그래핀 층(105)은 음전하를 띄고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층(106)은 양전하를 띄기 때문에 적층 자기 조립으로서 적층이 가능하다. 상기 활성 절연층 상에 상부 전극(104)을 적층하여 비휘발성 저항 변화 메모리 디바이스(202)의 구조가 완성된다.
- [0024] 본원의 일 구현예에 있어서, 상기 기재는 폴리(에테르 설파이드)[poly(ether sulfide), PES], 폴리(에틸렌 테레프탈레이트)[poly(ethylene terephthalate), PET], 폴리 규소(Si), 이산화규소(SiO₂), 폴리실리콘, 알루미늄(alumina), 및 이들의 조합들로 이루어진 군에서 선택되는 기재를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0025] 본원의 일 구현예에 있어서, 상기 하부 전극은 알루미늄(Al), 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 및 이들의 조합들로 이루어진 군에서 선택되는 하부 전극을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

- [0026] 본원의 일 구현예에 있어서, 상기 기재 상에 상기 하부 전극을 형성하기 위한 증착 공정으로는 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition; PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition; ALD), 분자선 에피택시 증착(molecular beam epitaxy; MBE), 및 이들의 조합들로 이루어진 군에서 선택되는 증착 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0027] 본원의 일 구현예에 있어서, 상기 그래핀 다층막은 상기 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 포함된 이중층이 적층된 구조로서 상기 이중층의 층수는 1 층 내지 30 층일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 그래핀 다층막의 층수는 1 층 내지 30 층, 5 층 내지 30 층, 10 층 내지 30 층, 15 층 내지 30 층, 20 층 내지 30 층, 25 층 내지 30 층, 1 층 내지 25 층, 1 층 내지 20 층, 1 층 내지 15 층, 1 층 내지 10 층, 또는 1 층 내지 5 층일 수 있으나, 이에 제한되는 것은 아니다.
- [0028] 본원의 일 구현예에 있어서, 상기 비금속 원소는 주기율표 15 족 및 16 족의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0029] 본원의 일 구현예에 있어서, 상기 비금속 원소는 질소, 황, 인, 및 이들의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0030] 본원의 일 구현예에 있어서, 상기 산화 그래핀 층은 음전하를 갖는 것이고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층은 양전하를 갖는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 각각 음전하와 양전하는 가짐으로서 적층(LBL) 자기조립(SA)에 의하여 적층이 가능하다.
- [0031] 본원의 일 구현예에 있어서, 상기 상부 전극은 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 알루미늄(Al), 및 이들의 조합들로 이루어진 군에서 선택되는 하부 전극을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0032] 본원의 일 구현예에 있어서, 상기 활성 절연층 상에 상기 상부 전극을 형성하기 위한 증착 공정으로는 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition; PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition; ALD), 분자선 에피택시 증착(molecular beam epitaxy; MBE), 및 이들의 조합들로 이루어진 군에서 선택되는 증착 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0033] 본원의 일 구현예에 있어서, 상기 적층된 구조를 식각 처리하는 방법은 플라즈마 처리, 건식 식각, 및 이들의 조합들로 이루어진 군에서 선택되는 식각 처리를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0034] 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 디바이스는 크로스 바 구조를 가지는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 크로스바 구조는 상측에 위치하는 복수개의 상부 전극라인과 이와 이격되어 하측에 위치하는 복수개의 하부 전극라인이 서로 교차(cross)된 형태로 배열된 구조를 의미한다. 이러한 크로스바 어레이 구조체는, 저항변화 비휘발성 메모리 소자를 크로스바 어레이 구조로 배열시키고, 복수의 저항변화 비휘발성 메모리 소자에 각각 연결된 전극라인을 선택적으로 활성화시켜 원하는 저항변화 비휘발성 메모리 소자에 데이터를 저장하거나 저장된 데이터를 리드(read)한다.
- [0036] 본원의 제 2 측면은, 기재 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 산화 그래핀 다층막을 포함하는 활성 절연층을 형성하는 단계; 및 상기 활성 절연층 상에 상부 전극을 형성하는 단계를 포함하고, 상기 산화 그래핀 다층막은 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 이중층을 한 개 이상 가지는 것인, 비휘발성 저항 변화 메모리 디바이스의 제조 방법을 제공한다.
- [0037] 도 1을 참고하면, 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 디바이스는 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 교대로 적층된 산화 그래핀 다층막을 포함하는 활성 절연층을 포함한다. 도 1은 그래핀 다층막을 포함하는 비휘발성 저항 변화 메모리 디바이스(202)를 나타낸 단면도이다. 상기 기재(101) 상에 하부 전극(102)이 적층된 후, 상기 하부 전극 상에 그래핀 다층막을 포함하는 활성 절연층(103)이 적층된다. 상기 활성 절연층(103)은 산화 그래핀 층(105) 및 비금속 원소에 의해 도핑된 산화 그래핀

층(106)이 교대로 적층된 구조를 갖는다. 상기 산화 그래핀 층(105)은 음전하를 띄고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층(106)은 양전하를 띄기 때문에 적층 자기 조립으로서 적층이 가능하다. 상기 활성 절연층 상에 상부 전극(104)을 적층하여 비휘발성 저항 변화 메모리 디바이스(202)의 구조가 완성된다.

- [0038] 본원의 일 구현예에 있어서, 상기 기재는 폴리(에테르 설파이드)[poly(ether sulfide), PES], 폴리(에틸렌 테레프탈레이트)[poly(ethylene terephthalate)], 폴리 규소(Si), 이산화규소(SiO₂), 폴리실리콘, 알루미늄(alumina), 및 이들의 조합들로 이루어진 군에서 선택되는 기재를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0039] 본원의 일 구현예에 있어서, 상기 하부 전극은 알루미늄(Al), 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 및 이들의 조합들로 이루어진 군에서 선택되는 하부 전극을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0040] 본원의 일 구현예에 있어서, 상기 기재 상에 상기 하부 전극을 형성하기 위한 증착 공정으로는 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition; PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition; ALD), 분자선 에피택시 증착(molecular beam epitaxy; MBE), 및 이들의 조합들로 이루어진 군에서 선택되는 증착 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0041] 본원의 일 구현예에 있어서, 상기 그래핀 다층막은 상기 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 포함된 이중층이 적층된 구조로서 상기 이중층의 층수는 1 층 내지 30 층일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 그래핀 다층막의 층수는 1 층 내지 30 층, 5 층 내지 30 층, 10 층 내지 30 층, 15 층 내지 30 층, 20 층 내지 30 층, 25 층 내지 30 층, 1 층 내지 25 층, 1 층 내지 20 층, 1 층 내지 15 층, 1 층 내지 10 층, 또는 1 층 내지 5 층일 수 있으나, 이에 제한되는 것은 아니다.
- [0042] 본원의 일 구현예에 있어서, 상기 비금속 원소는 주기율표 15 족 및 16 족의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0043] 본원의 일 구현예에 있어서, 상기 비금속 원소는 질소, 황, 인, 및 이들의 조합들로 이루어진 군에서 선택되는 비금속 원소를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0044] 본원의 일 구현예에 있어서, 상기 산화 그래핀 층은 음전하를 갖는 것이고, 상기 비금속 원소에 의해 도핑된 산화 그래핀 층은 양전하를 갖는 것일 수 있으나 이에 제한되는 것은 아니다. 상기 산화 그래핀 층 및 비금속 원소에 의해 도핑된 산화 그래핀 층이 각각 음전하와 양전하는 가짐으로서 적층(LBL) 자기조립(SA)에 의하여 적층이 가능하다.
- [0045] 본원의 일 구현예에 있어서, 상기 상부 전극은 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 알루미늄(Al), 및 이들의 조합들로 이루어진 군에서 선택되는 하부 전극을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0046] 본원의 일 구현예에 있어서, 상기 활성 절연층 상에 상기 상부 전극을 형성하기 위한 증착 공정으로는 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition; PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition; ALD), 분자선 에피택시 증착(molecular beam epitaxy; MBE), 및 이들의 조합들로 이루어진 군에서 선택되는 증착 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0047] 본원의 일 구현예에 있어서, 상기 적층된 구조를 식각 처리하는 방법은 플라즈마 처리, 건식 식각, 및 이들의 조합들로 이루어진 군에서 선택되는 식각 처리를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0048] 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 디바이스는 크로스 바 구조를 가지는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 크로스바 구조는 상측에 위치하는 복수개의 상부 전극라인과 이와 이격되어 하측에 위치하는 복수개의 하부 전극라인이 서로 교차(cross)된 형태로 배열된 구조를 의미한다. 이러한 크로스바 어레이 구조체는, 저항변화 비휘발성 메모리 소자를 크로스바 어레이 구조로 배열시키고, 복수의 저항변화 비휘발성 메모리 소자에 각각 연결된 전극라인을 선택적으로 활성화시켜 원하는 저항변화 비휘발성 메모리 소자에 데이터를 저장하거나 저장된 데이터를 리드(read)한다.

- [0049] 본원의 일 구현예에 있어서, 상기 활성 절연층의 두께는 약 20 nm 내지 약 60 nm인 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 활성 절연층의 두께는 약 20 nm 내지 약 60 nm, 약 25 nm 내지 약 60 nm, 약 30 nm 내지 약 60 nm, 약 35 nm 내지 약 60 nm, 약 40 nm 내지 약 60 nm, 약 45 nm 내지 약 60 nm, 약 50 nm 내지 약 60 nm, 약 55 nm 내지 약 60 nm, 약 20 nm 내지 약 55 nm, 약 20 nm 내지 약 50 nm, 약 20 nm 내지 약 45 nm, 약 20 nm 내지 약 40 nm, 약 20 nm 내지 약 35 nm, 약 20 nm 내지 약 30 nm, 또는 약 20 nm 내지 약 25 nm일 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 본원의 제 1 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면에 대해 설명한 내용은 제 2 측면에서 그 설명이 생략되었다하더라도 동일하게 적용될 수 있다.
- [0052] 이하, 본원에 대하여 실시예를 이용하여 좀더 구체적으로 설명하지만, 하기 실시예는 본원의 이해를 돕기 위하여 예시하는 것일 뿐, 본원의 내용이 하기 실시예에 한정되는 것은 아니다.
- [0054] **[실시예]**
- [0055] **1. 음전하 또는 양전하를 띄는 산화 그래핀의 합성**
- [0056] 음전하를 띄는 산화 그래핀[GO(-)]은 수정된 Hummer's 방법을 사용하여 제조되었다. 그라파이트 플레이크들(2.5 g)이 황산(H_2SO_4)이 57 mL 포함된 플라스크에 격렬한 교반 하에서 첨가되었다. 상기 교반된 분산액에 질산나트륨($NaNO_3$) 1.5 g이 첨가되었고, 1 시간의 교반 후에 상기 분산액이 얼음물이 있는 베스 내에서 0°C로 냉각되었다. 다음으로 과망가니즈산 칼륨($KMnO_4$) 7.5 g이 20°C 이하의 온도를 유지하며 상기 플라스크 내로 점진적이고 천천히 첨가되었다. 그 후, 상기 수득된 서스펜션이 35°C에서 2 시간 동안 유지되었다. 2 시간 후에 차가운 탈이온수가 천천히 첨가되었다. 상기 희석된 서스펜션이 같은 온도에서 15 분 정도 교반되었다. 그리고 상기 혼합물은 따뜻한 탈이온수 350 mL의 첨가에 의해 더욱 희석되었고 30% 과산화수소(H_2O_2) 50 mL가 상기 서스펜션에 첨가되어, 잔류 과망간산염 및 망간 이산화물을 무색의 용해 가능한 망간 황산염으로 환원시켰다. 최종적으로, 수득된 노란 갈색의 용액이 부산물로서 형성되는 멜리트산의 약간의 용해성 염의 침전을 피하기 위하여 8000 rpm에서 30 분 동안 원심분리 되었다. 수득된 서스펜션이 세척되고 염산(HCl)의 혼합물 및 염화 바륨($BaCl_2$) 용액 테스트에서 황산염 이온들이 더 이상 발견되지 않을 때까지 남아있는 금속 이온들을 제거하기 위한 탈이온수를 이용하여 원심분리 되었다. 밝은 갈색의 산화 그래핀(GO) 용액은 다음으로 여과된 액체의 pH가 중성이 될 때까지 반복적으로 탈이온수로 세척되었다. 수득된 세척된 산화 그래핀(GO) 슬러리는 동결 건조되고 건조기(desiccator) 내에 저장되었다. 그 후에 탈이온수 내의 원하는 양의 산화 그래핀(GO)이 초음파 처리되고, 원심분리되어 음전하를 띄는 산화 그래핀[GO(-)]으로서 사용되었다.
- [0057] 양전하를 띄는 질소-도핑된 산화 그래핀[N-GO(+)]은 음전하를 띄는 산화 그래핀[GO(-)]의 표면 상에 아민기를 데코레이팅 함으로써 합성되었다. 음전하를 띄는 산화 그래핀[GO(-)] 서스펜션(50 mL)이 1-에틸-3-[3-(디메틸아미노) 프로필]카보디이미드 하이드로클로라이드(1-ethyl-3-[3-(dimethylamino) propyl] carbodiimide hydrochloride, EDC) 100 mg, 에틸아민(ethylamine) 2 mL, 트리에틸 아민(triethyl amine) 1 mL와 함께 60°C에서 4 시간 동안 혼합되었고 양전하를 띄는 질소-도핑된 산화 그래핀으로서 사용되었다.
- [0058] 양전하를 띄는 질소/황-도핑된 산화 그래핀[NS-GO(+)]은 음전하를 띄는 산화 그래핀[GO(-)]의 표면 상에 아민과 싸이올기를 데코레이팅 함으로써 합성되었다. 음전하를 띄는 산화 그래핀[GO(-)] 서스펜션(50 mL)이 1-에틸-3-[3-(디메틸아미노) 프로필]카보디이미드 하이드로클로라이드(1-ethyl-3-[3-(dimethylamino) propyl] carbodiimide hydrochloride, EDC) 100 mg, 에틸아민(ethylamine) 1 mL, 트리에틸 아민(triethyl amine) 1 mL, 에탄올 내의 4-아미노 티오펜올(4-amino thiophenol in ethanol) 2 mL와 함께 60°C에서 4 시간 동안 혼합되었고 양전하를 띄는 질소/황-도핑된 산화 그래핀으로서 사용된다.
- [0060] **2. 비휘발성 ReRAM 디바이스의 제조**
- [0061] 도 2의 (a)는 산화 그래핀[GO(-)]으로부터 양전하를 띄는 산화 그래핀(N-GO(+)) 및 NS-GO(+))의 합성 프로토콜을 나타낸다. 상이한 메모리 셀들의 10 개의 크로스바 어레이들이 폴리(에테르 설파이드)[poly(ether sulfide),

PES] 기재 상에 제조되었다. 50 nm의 두께를 갖는 알루미늄(Al) 하부 전극 라인들이 100 nm의 폭으로 0.1 nm/s의 증발 속도(evaporation rate) 및 106 mbar의 압력에서 열 증착법에 의하여 제조되었다. 상기 알루미늄(Al) 하부 전극은 UV 오존으로 10 분 동안 세정되었다. 대략 ~40 nm의 두께를 갖는 산화 그래핀(GO)-기반 2D 나노물질 필름들이 적층(LBL) 자기 조립(SA)을 이용하여 하부 전극 상에 1000 rpm으로 60 초 정도 스핀 코팅에 의해 제조되었다. 100 nm 폭과 50 nm의 두께를 갖는 금(Au) 상부 전극 라인들이 0.1 nm/s의 증착 속도(deposition rate) 및 106 mbar의 압력에서 열적으로 증착되었다. 상부 전극 라인들은 알루미늄(Al) 하부 전극 라인들에 수직으로 배열되었고, 100 x 100 mm의 활성 영역을 갖는 메모리 셀들의 어레이들을 수득하였다.

3. 특성 분석

실리콘 기재 상의 산화 그래핀(GO)-기반 2D 나노물질들의 품질은 514 nm의 여기 파장에서 T64000(HORIBA Jobin Yvon, France)를 사용하여 라만 분광법에 의해 분석되었다. 화학물질 확인(chemical identity)은 단색광(mono-chromated) Al-K α 방사선을 이용하여 ESCALab 분광계(spectrometer) (Thermo VG, U.K.)를 사용하여 광전자분광법(X-ray photoelectron spectroscopy (XPS))에 의해 조사되었다. 상이한 이중층들의 적층(LBL) 자기 조립(SA)의 증착 거동은 프리즘을 통하여 p-편광 레이저 광(He-Ne, 632.8 nm, 10 mW)이 조사된 금(Au)-필름을 이용하여 표면 플라즈몬 공명(SPR) 분광법(surface plasmon resonance (SPR) spectroscopy; Resonant Technologies GmbH/RT2005 SPR spectrometer)에 의해 분석되었다. 표면 모폴로지(형태)는 두드림 모드(tapping mode)에서 Dimension 3100 scanning force microscope (Digital Instrument) 및 전계방출형 전자현미경(field emission scanning electron microscopy) (FE-SEM, JSM-6700F, JEOL)을 이용하여 원자간력 현미경(atomic force microscopy, AFM)에 의하여 조사되었다. 백금(Pt)이 코팅된 컨덕팅 팁(conducting tip)이 결합되었고, [N-GO(+)/GO(-)/Al] 구조 상의 활성 절연층에 즉시 맞닿아졌다. 제조된 디바이스들의 전기적 특성들은 반도체 시스템(E5270B, HP4284A, Agilent Technologies)을 이용하여 대기 조건 하에서 측정되었다.

4. 결과 검토

도 2의 (a)는 산화 그래핀[GO(-)]으로부터 양전하를 띄는 산화 그래핀(N-GO(+)) 및 NS-GO(+))의 합성 프로토콜을 나타낸다. 상이한 내부 구조들을 갖는 일련의 디바이스들은 다음의 단일 및 다성분의 GO-기반 2D 나노물질들을 사용하여 제조되었다: GO(-), N-GO(+), NS-GO(+), N-GO(+)/GO(-), NS-GO(+)/GO(-), N-GO(+)/GO(-)+MnO₂, NS-GO(+)/GO(-)+MnO₂. 모든 경우들에서 알루미늄(Al) 및 금(Au)이 PES 유연기재 상에 적층되어 각각 하부 및 상부 전극들로서 사용되었다. 상이한 단일 및 다성분의 활성 절연층들을 사용하여 제조된 각각의 디바이스들을 위한 샘플 코드들은 다음과 같이 명명되었다: Au/[N-GO(+)]_n/Al/PES, Au/[NS-GO(+)]_n/Al/PES, Au/[N-GO(+)/GO(-)]_n/Al/PES, Au/[NS-GO(+)/GO(-)]_n/Al/PES, Au/[N-GO(+)/GO(-)+MnO₂]_n/Al/PES, Au/[NS-GO(+)/GO(-)+MnO₂]_n/Al/PES, Au/[GO(-)+MnO₂]_n/Al/PES. 도 2의 (b)는 Au/[N-GO(+)/GO(-)]_n/Al/PES 디바이스의 제조과정을 나타낸 공정도이다. 상기 활성 절연층으로서 개질된 상이한 GO-기반 2D 나노물질들의 증착 거동은 투과분광분석법(transmittance spectroscopy), uv-visible 분광분석법(UV-visible spectroscopy), 표면 플라즈몬 공명 분광분석법(SPR spectroscopy)에 의하여 분석되었다. 도 3에 투과율 값(transmittance value)이 다층막의 수가 증가함에 따라 점차적으로 감소되는 것을 나타내었으며, 이것은 도 2의 (b)에 기술된 바와 같이 상기 모든 다층막들이 적층(LBL) 자기조립(SA) 방법을 사용하여 단계적으로 제조되었음을 나타낸다. 상기 광학 특성에 의하면, 대략 30개의 이중층 필름들이 단일 또는 다성분의 활성 절연층들의 모든 상이한 타입들에서 400 nm 내지 550 nm의 파장 범위에서 ~75%의 투과율을 나타내었는데 투명도가 차세대 가볍고, 유연하고, 휴대가능한 전자시스템들의 매력적인 특징들 중 하나이기 때문이다.

표면 플라즈몬 공명(SPR)은 나노스케일 차원에서 금-유전체 계면의 광학 특성 및 굴절률 변화에 민감하고 프리즘의 광학적 특성들, 금속(금), 금속과 접촉되는 매질, 유전체 층의 두께 및 광원의 파장에 의존한다. 이와 관련하여, 상이한 GO-기반 2D 나노물질들의 공명 각도가 각각의 성분 층의 증착에 대하여 SPR 분광법을 이용하여 관찰되었다. 상기 공명 각도의 규칙적인 변위가 도 4a 및 b에서 나타낸 바와 같이 모든 단일 및 다층막 성분들에서 각각의 이중층의 증착에 대하여 관찰되었다. SPR 각도들에서 커브들의 확장 및 반사도의 증가가 입사광의 스캐터링을 유도하는 표면 거칠기의 증가 때문에 층 수의 증가에 따라 관찰되었다. 그러나 더 낮은 입사각 변위들은 단일 성분 [N-GO(+)]_n보다 다성분 시스템 [N-GO(+)/GO(-)]_n에서 관찰되었다. 동일한 경향이 상이한 양전하를 띄는 GO(NS-GO(+)) (도 4c 및 d)를 채용하였을 때 관찰되었다. 또한, 표면 모폴로지 및 거칠기 또

한 SEM 과 AFM을 이용하여 분석되었고, PES 기재 표면이 다층막 코팅들(도 2의 (a) 및 (b)의 삽입도)에 의하여 덮여있음이 확인되었다. AFM 분광분석으로부터의 거칠기는 하기 표 1에 나타내었다.

[표 1]

활성 절연층	V_{set}	V_{reset}	점멸비	메모리 타입	retention (s)	거칠기 (RMS: nm)
단일 구성 디바이스:						
Au/[GO(-)] ₆₀ /Al	-4.5	-	$\sim 10^3$	WORM	-	3.12
Au/[N-rGO(+)] ₆₀ /Al	-3.2	2.8	$\sim 10^3$	WORM	10^4	3.47
Au/[NS-rGO(+)] ₆₀ /Al	-2.1	4.9	$\sim 10^3$	WORM	10^4	3.49
MnO ₂ 없는 LBL 필름 디바이스:						
Au/[N-rGO(+)] ₃₀ /Al	-1.9	2.6	$\sim 10^5$	WORM	10^4	4.42
Au/[NS-rGO(+)] ₃₀ /Al	-2.7	3.7	$\sim 10^4$	WORM	10^4	4.10
MnO ₂ 포함 LBL 필름 디바이스:						
Au/[N-rGO(+)] ₃₀ /Al	-1.8	3.0	$\sim 10^5$	WORM	10^3	
Au/[NS-rGO(+)] ₃₀ /Al	-2.0	2.9	$\sim 10^4$	WORM	10^3	
Au/[GO(-)+MnO ₂] ₃₀ /Al	-2.4	2.9	$\sim 10^3$	WORM	10^2	
Au/[MnO ₂] ₃₀ /Al	-2.4	2.9	$\sim 10^2$	WORM	-	

상기 표에서 확인할 수 있듯이 다성분 구조를 이용함으로써 표면 거칠기가 증가됨이 관찰되었고, 높은 거칠기 값(roughness value) 때문에 양 층들([N-GO(+)]/GO(-)]_n 및 [N-GO(+)]/GO(-)]_n)의 입사각의 더 작은 변위가 관찰되었다.

도 5는 단일 성분 디바이스(Au/[N-GO(+)]_n/Al/PES) 및 다성분 디바이스(Au/[N-GO(+)]/GO(-)]_n/Al/PES)의 I-V 특성들을 나타낸다. 커브들은 인가 전압이 초기에 0 V에서부터 -4 V까지, 그리고 나서 -4 V에서 +5 V, 및 +5 V에서 0 V로 제공됨에 따라 기록되었다. 초기에, 양 디바이스들은 높은 저항 상태와 낮은 전류 값들을 보유했

으며, 이것은, OFF 상태를 나타낸다. 전압이 스위칭 문턱(threshold)에 도달될 때, 전류 값들이 음의 인가 전압을 증가시킴에 따라(단계 1) $\sim 10^{-8}$ A에서 $\sim 10^{-4}$ A로 점차적으로 증가하였으며, 이것은 SET(ON) 상태를 나타낸다. OFF 상태에서 ON 상태로의 스위칭은 데이터 저장 작동의 기록 프로세스에 대응한다. 전류 ON/OFF 비율은 디바이스들(Au/[N-GO(+)/GO(-)]₃₀/Al/PES 및 Au/[N-GO(+)]₆₀/Al/PES)에서 각각 10^5 및 10^3 이었다. SET(ON) 상태 후에 상기 디바이스들은 인가 전압이 -4 V에서 0 V(단계 2)로 제공되는 동안 ON 상태를 유지하였으며, 이것은 비휘발성 거동을 나타낸다. 다음으로, 상기 양 디바이스들은 역(reverse) 인가 전압을 0 V에서 -4 V(단계 3)로 제공함에 따라 ON 상태를 유지하였으며, 이것은 지울 수 없는 데이터 저장의 기능을 나타낸다. RESET(OFF) 상태는 전압이 양(positive)의 스위칭 문턱에 도달될 때(단계 4) 회복될 수 있었다. 흥미롭게도, 다성분 디바이스(Au/[N-GO(+)/GO(-)]₃₀/Al/PES)는 단일 성분 디바이스들(Au/[N-GO(+)]₆₀/Al/PES)과 비교하여 높은 ON/OFF 비율을 나타내었다. 더 높은 ON/OFF 비율($\sim 10^5$) 및 최소 바이어스 전압(-1.9 V 및 +2.5 V)이 Au/[N-GO(+)/GO(-)]₃₀/Al/PES 디바이스에 기록되었다. 이것은 일찍이 상기 SPR 분석 및 거칠기 데이터의 결과에서 이전에 기술된 바와 같이 다성분 디바이스들의 더 높은(더 큰) 거친 표면 때문일 것이다. 동일한 경향이 상이한 양전하를 띄는 GO-기반 디바이스들(Au/[NS-GO(+)]_n/Al/PES, Au/[N-GO(+)/GO(-)]_n/Al/PES)에서 관찰되었다. 도 6은 단일 성분 디바이스(Au/[NS-GO(+)]₆₀/Al/PES) 및 다성분 디바이스(Au/[NS-GO(+)/GO(-)]₃₀/Al/PES)의 I-V 특성들을 나타낸다. 디바이스(Au/[NS-GO(+)/GO(-)]₃₀/Al/PES)는 인가 전압(-4 V)이 스위칭 문턱 전압에 도달되었을 때 그리고 전류 레벨이 $\sim 10^8$ A에서 $\sim 10^4$ A로 증가되었을 때 ON 상태이며, 이것은 SET 상태 및 단계 1을 나타낸다. 동일한 경향이 (Au/[NS-GO(+)]_n/Al/PES) 디바이스(도 6)에 기반한 디바이스에서도 관찰되었다. 스위칭 전압 후에, 양 디바이스들은 전압이 -4 V에서 0 V, 및 0 V에서 +5 V로 제공되는 동안 ON 상태를 유지하며, 이것은 비휘발성 성질을 나타낸다. 인가 전압이 양의 스위칭 문턱 전압(단계 4 및 RESET 상태)에 도달하였을 때 양 디바이스들은 OFF 상태로 되었다.

[0075] 또한, GO 용액의 농도의 성능에 대한 효과가 세 가지 상이한 조건들(0.01%, 0.025%, 및 0.1%)에 대하여 조사되었다. 도 7의 (a)는 세 가지 상이한 농도들을 사용하여 Au/[N-GO(+)/GO(-)]_n/Al/PES에 기반한 디바이스들의 I-V 특성들을 나타낸다. 모든 디바이스들이 -ve 및 +ve 인가 전압들 모두에서 상이한 스위칭 문턱 전압을 가지며 양극성(bipolar) 비휘발성 스위칭 거동을 나타내는 것이 관찰되었다. 또한 도 7의 (a)에서 나타난 바와 같이 더 낮은 농도의 GO 용액이 더 높은 ON/OFF 비율($\sim 10^9$)을 나타내는 것이 관찰되었다. 디바이스들의 ON/OFF 비율 및 안정성이 분석되었고 도 7의 (b)에 농도에 대한 함수로서 플로팅 되었다. 이것은 대략 95%의 디바이스들이 0.025% 및 0.1%의 GO 용액 농도에서 각각 $\sim 10^5$ 및 $\sim 10^2$ 의 ON/OFF 비율을 보이며 안정한 것을 나타내며, 이것은 0.025% 농도를 갖는 것이 안정도(95%), 합리적으로 더 높은 ON/OFF 비율(10^5) 및 문턱 인가 전압(± 2.6 V)의 측면에서 가장 좋은 결과를 나타내는 것을 의미한다. 또한, 0.1% 농도를 사용하여 단일 및 다성분 시스템에 기반한 모든 디바이스들의 I-V 특성들이 측정되었다. Au/[GO(-)]_n/Al를 제외한 모든 디바이스들이 $\sim 10^2$ ON/OFF 비율을 나타내며 양극성(bipolar) 특성들을 나타내었다.

[0076] 메모리 디바이스들의 신뢰도는 -1 V의 바이어스에서 지속성 사이클(endurance cycle) 및 기억(retention)을 측정함으로써 조사되었다. 지속성(endurance) 측정은 디바이스 내의 개별적인 셀의 누적 ON/OFF 사이클링 능력(capability)을 나타낸다. 각각의 셀 ON/OFF 사이클은 시간에 따라 축적될 수 있는 메모리 셀 구조 내로 결합들을 제공하는 능력을 가진다. 적절한 시점에, 이러한 결합들은 프로그래밍, 이레이징(erasing) 또는 리딩(reading)으로부터 셀을 보호할 수 있다. 중요 데이터를 포함하는 셀에서 그러한 결합들이 발생할 때, 데이터 손실은 시스템 실패를 야기할 수 있다. 본원에서 단일-기반 및 다성분-기반 디바이스들(Au/[N-GO(+)]₆₀/Al/PES, Au/[N-GO(+)/GO(-)]₃₀), 및 (Au/[NS-GO(+)]₆₀/Al/PES, Au/[NS-GO(+)/GO(-)]₃₀/Al/PES)과 모두 양전하를 띄는 산화 그래핀은 도 8a, b, 및 도 9a, b에서 나타난 바와 같이 안정한 스위칭 특성들과 함께 50 번의 사이클 동안 일정한 작동을 나타내었다. 더 높은 농도(0.1%)에 기반한 디바이스들은 100 번의 지속(endurance) 사이클 하에서도 안정하였다(도 10). 데이터 기억(retention)은 ON 상태 후 및 이후 OFF 상태에서 시간의 최장 기간을 규정하는 파라미터이다. 도 8c 및 d는 Au/[N-GO(+)]₆₀/Al/PES, Au/[N-GO(+)/GO(-)]₃₀/Al/PES 각각의 장치들의 기억(retention) 특성들을 나타낸다. 양 장치들은 ON 및 OFF 상태들에서 저의 요동(fluctuation)이 없이 10^4 초까지 신뢰성 있는 기억(retention) 특성들을 나타내었다. 상기 결과들은 모든

단일 및 다성분 디바이스들이 우수한 지속성(endurance) 및 기억(retention) 신뢰도를 나타냄을 확인한다.

[0077] 상기 새로운 디바이스 구조(architecture)의 용량 및 잠재성을 확장시키기 위해서, 금속 산화물(MO) 부분(moieties)이 활성 절연층 내에 혼입되었고, 그 성능은 MO가 없는 GO-기반 디바이스들과 비교되었고 상기 표 1에 도시되었다. 도 11은 활성 절연층(Au/[GO(-)+MnO₂]₃₀/Al/PES, Au/[N-GO(+)/GO(-)+MnO₂]₃₀/Al/PES, 및 Au/[NS-GO(+)/GO(-)+MnO₂]₃₀/Al/PES)에 MnO₂를 혼입한 후에 디바이스들의 상이한 타입들의 I-V 특성들을 나타낸다. 커브들은 초기의 0 V에서부터 -3 V까지 그 후 +3 V까지의 인가 전압을 제곱함에 따라 기록되었다. 모든 디바이스들은 비휘발성 특성들을 나타내었다. 스위칭 전압이 -4 V/+4 V에서 -3 V/+3 V로 감소되는 것이 관찰되었다. 그러나, ON/OFF 비율은 금속 산화물 부분이 없는 디바이스들과 거의 동일했다. 또한, 디바이스들의 신뢰도 및 안정성은 -1 V의 바이어스 전압에서 지속성(endurance) 및 기억(retention) 특성들을 측정함으로써 관찰되었다. 그리고 Au/[N-GO(+)/GO(-)+MnO₂]₃₀/Al/PES 및 Au/[NS-GO(+)/GO(-)+MnO₂]₃₀/Al/PES 장치들의 ON/OFF 전류는 도 12a 및 b에서 나타낸 바와 같이 전류의 거의 요동(변화)없이 50 번의 지속(endurance) 사이클들까지 안정했음이 발견되었다. 양 장치들 모두(Au/[N-GO(+)/GO(-)+MnO₂]₃₀/Al/PES 및 Au/[NS-GO(+)/GO(-)+MnO₂]₃₀/Al/PES)의 기억(retention) 특성들이 측정되었고 도 12c 및 d에 나타내었다. 양 장치들 모두는 10³ 초까지 신뢰성 있는 기억(retention) 특성들을 나타내었다. 금속 산화물 부분들의 혼입이 없는 디바이스들은 더 좋은 기억(retention) 안정성 및 ON/OFF 비율과 더 좋은 ReRAM 성능을 나타내었고 전자공학에서 매우 큰 잠재성을 가짐이 관찰되었다.

[0078] 전도성 원자 힘 현미경(conductive atomic force microscopy, CAFM)이 메모리 디바이스들의 작동 메커니즘을 연구하기 위하여 사용되었다. CAFM 측정은 스위칭 메커니즘을 더 이해하기 위해 수행되었다. 백금(Pt)이 코팅된 전도성 팁(conducting tip)이 활성 절연층[N-GO(+)/GO(-)/Al] 상에 그라운드(grounded) 되어 직접 접촉되었다. 도 13a 및 b에서, 0 V 내지 -4 V의 음 전압 인가 후에 OFF 상태가 ON 상태로 스위칭되는 것을 나타내었다. ON 상태는 +4 V의 양 전압을 인가함으로써 다시 OFF 상태로 스위칭 될 수 있었다. 이전 연구들을 고려하면, CAFM 전도성 메커니즘은, 캐리어들 및 산화환원반응들에 기초하고, 금속 필라멘트 대신에 CAFM 팁이 GO-기반층과 접촉될 때, 수분 매니스커스가 상기 팁 주변에 형성되어 국소화된 전기화학적 환경으로서 작용했다. 음 전압이 인가될 때 팁의 계면에서의 상기 수분층 및 GO 활성 절연층들이 산화되었고, 이에 의하여 GO 층을 환원시키는데 참여하는 수소 이온들이 발생하였다. GO의 환원은 OFF 상태에서 ON 상태로 저항 스위칭을 발생시켰다. 반대 전압을 인가하는 동안, 환원된 GO는 다시 산화되어, OFF 상태로 다시 스위칭된다. 그러므로, 외부 전압 베이스들(bases)에 의하여 유도된 상기 필름 표면 근처의 GO와 흡수된 물 사이에서의 산화 환원 반응들은 GO-기반 절연층 디바이스에서 스위칭 효과를 유도한다. 따라서, 이것은 주변 환경으로부터 물의 흡수 때문에 GO의 표면 상에서 일어나는 산화 환원 반응들은 전도성 메커니즘을 유도하는 것을 나타낸다.

[0080] 기술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

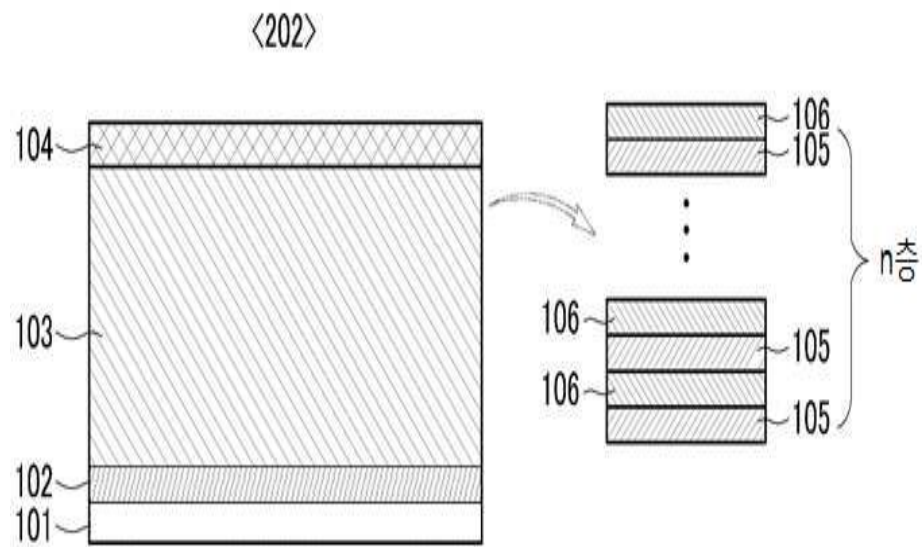
[0081] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

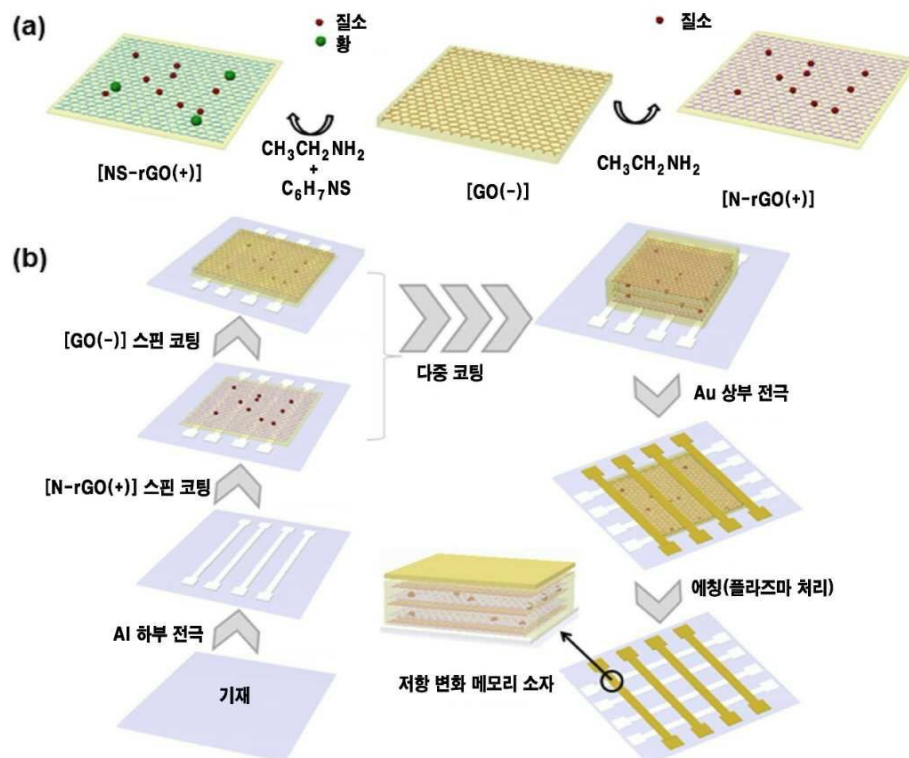
[0083] 101: 기재 105: 산화 그래핀 층
102: 하부 전극 106: 비금속 원소에 의해 도핑된 산화 그래핀 층
103: 활성 절연층 202: 비휘발성 저항 변화 메모리 디바이스
104: 상부 전극

도면

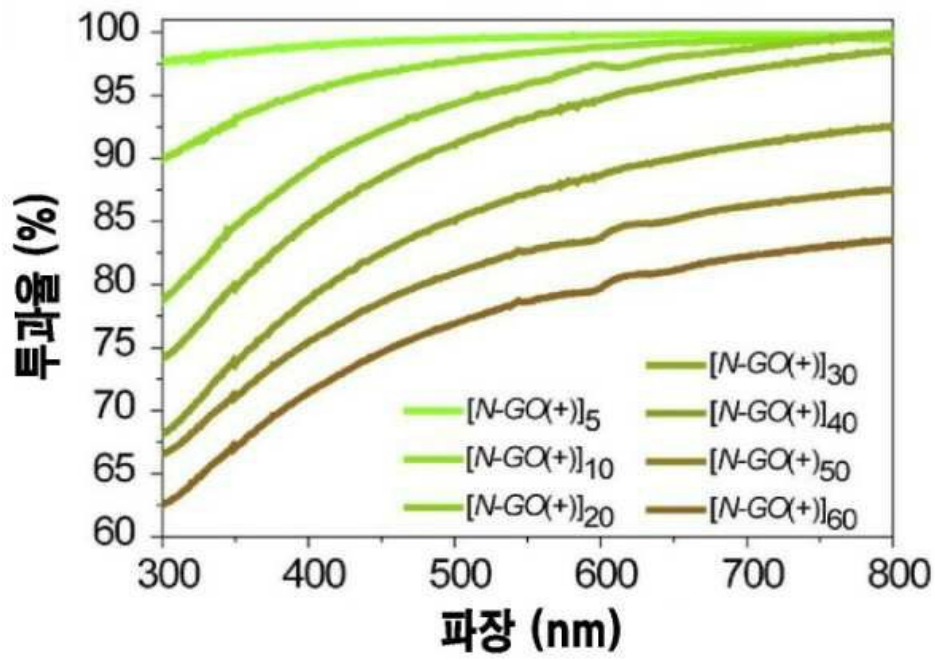
도면1



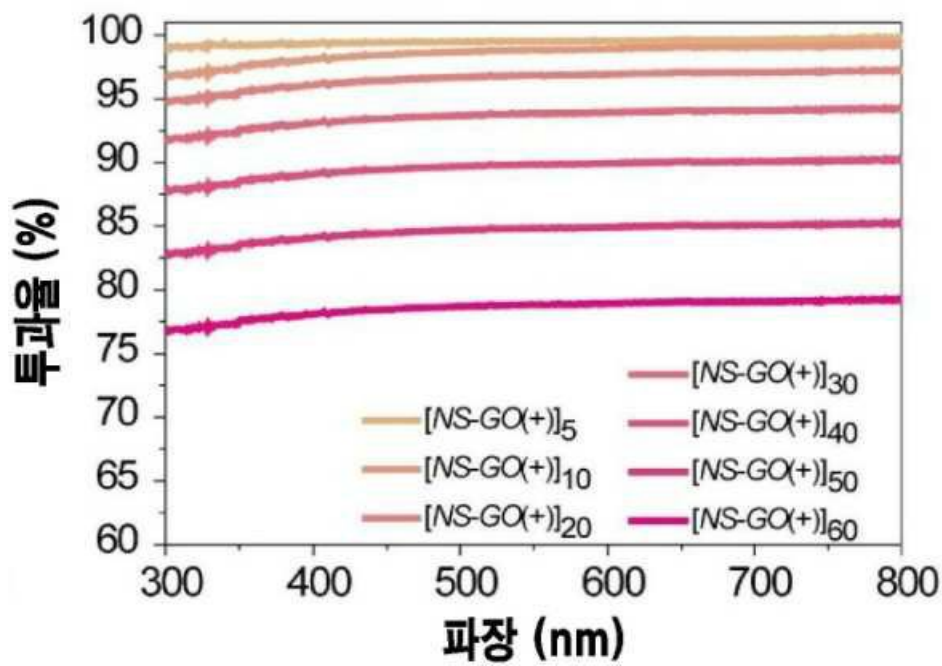
도면2



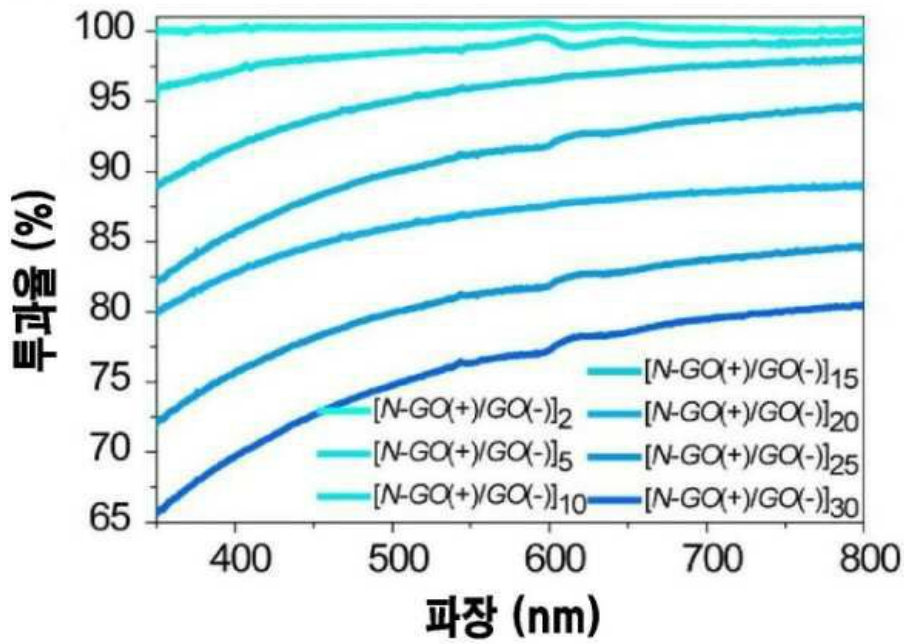
도면3a



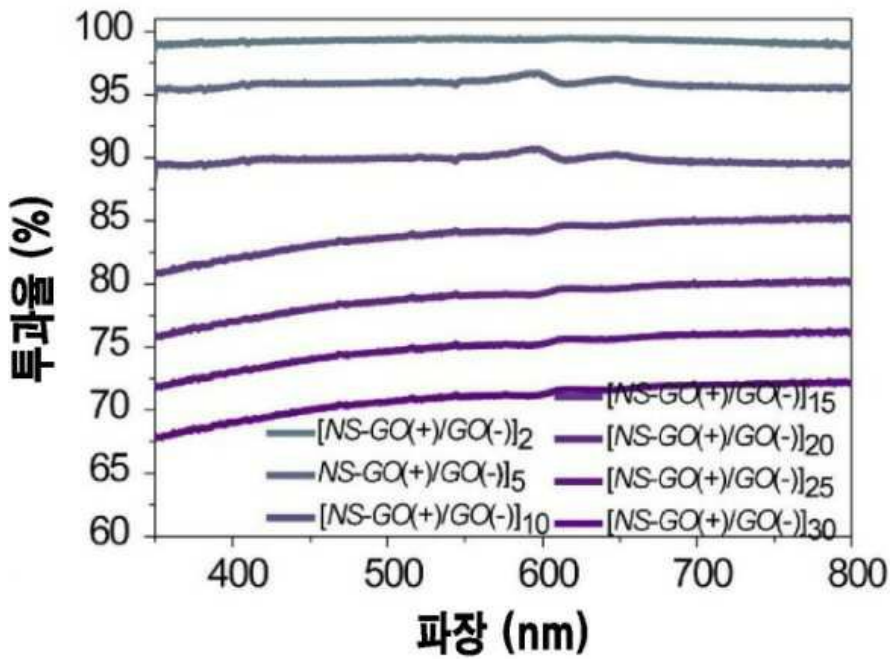
도면3b



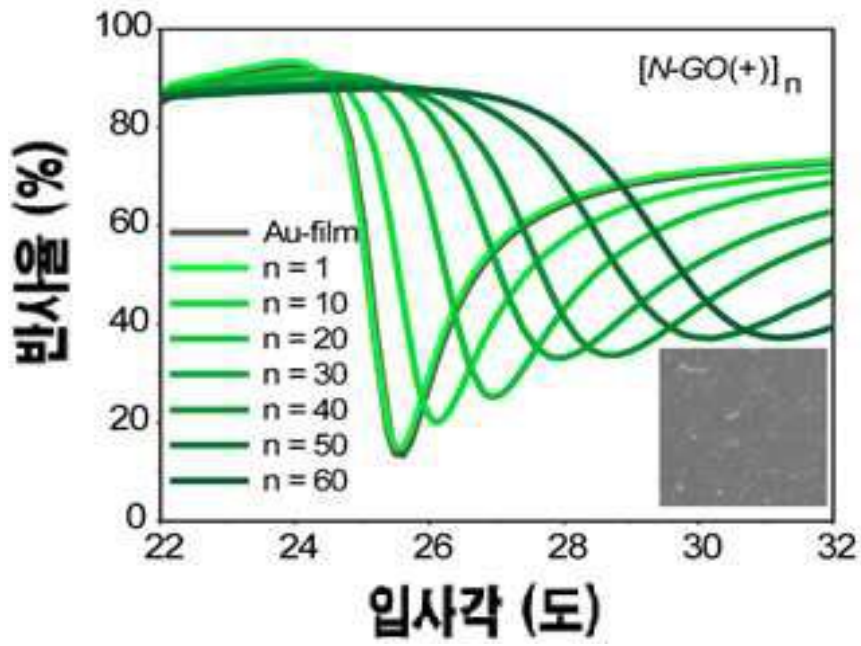
도면3c



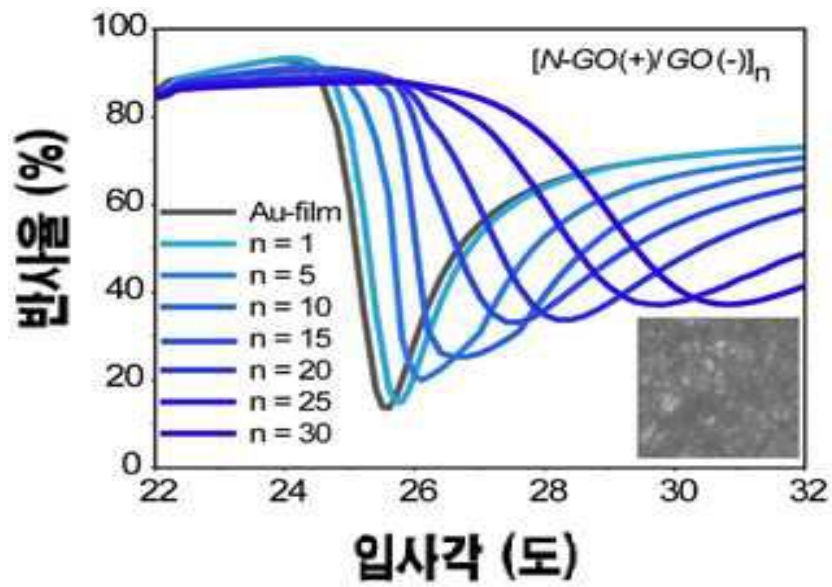
도면3d



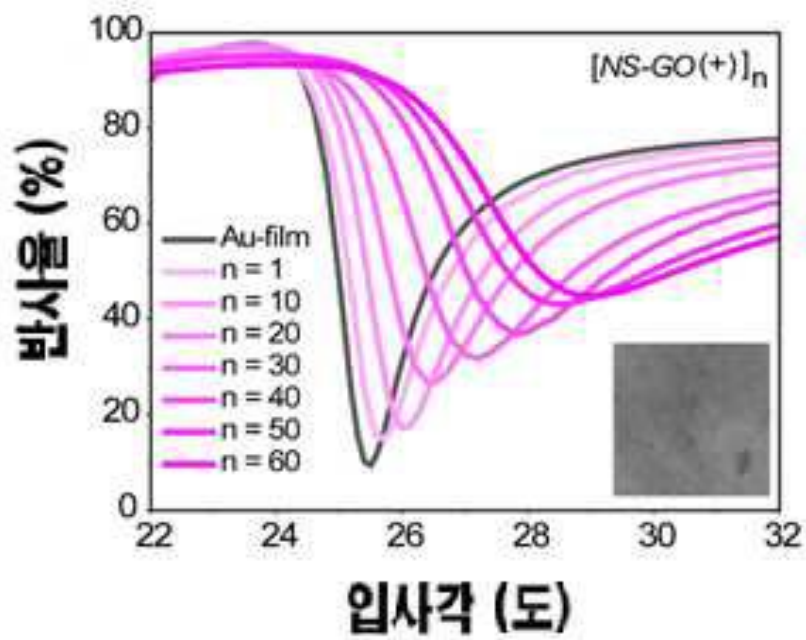
도면4a



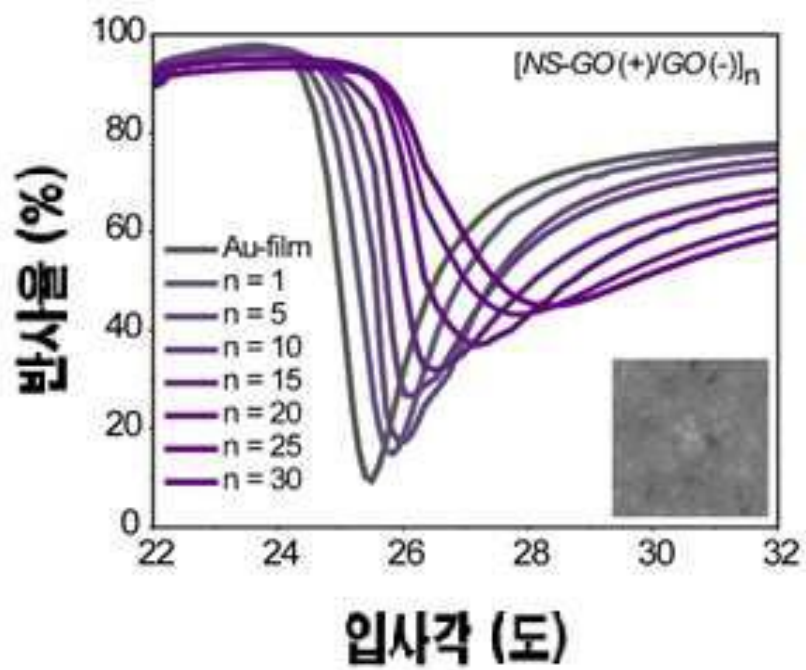
도면4b



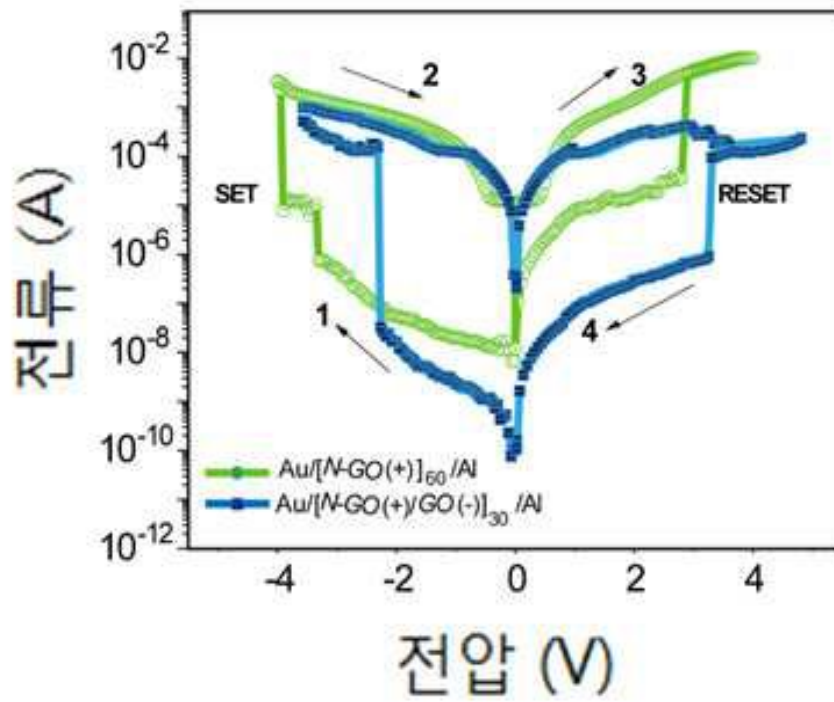
도면4c



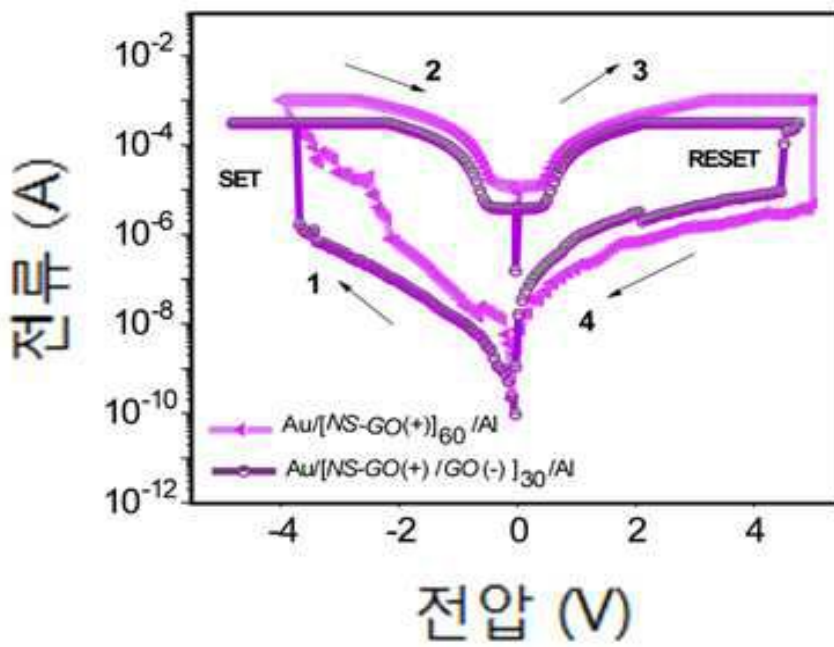
도면4d



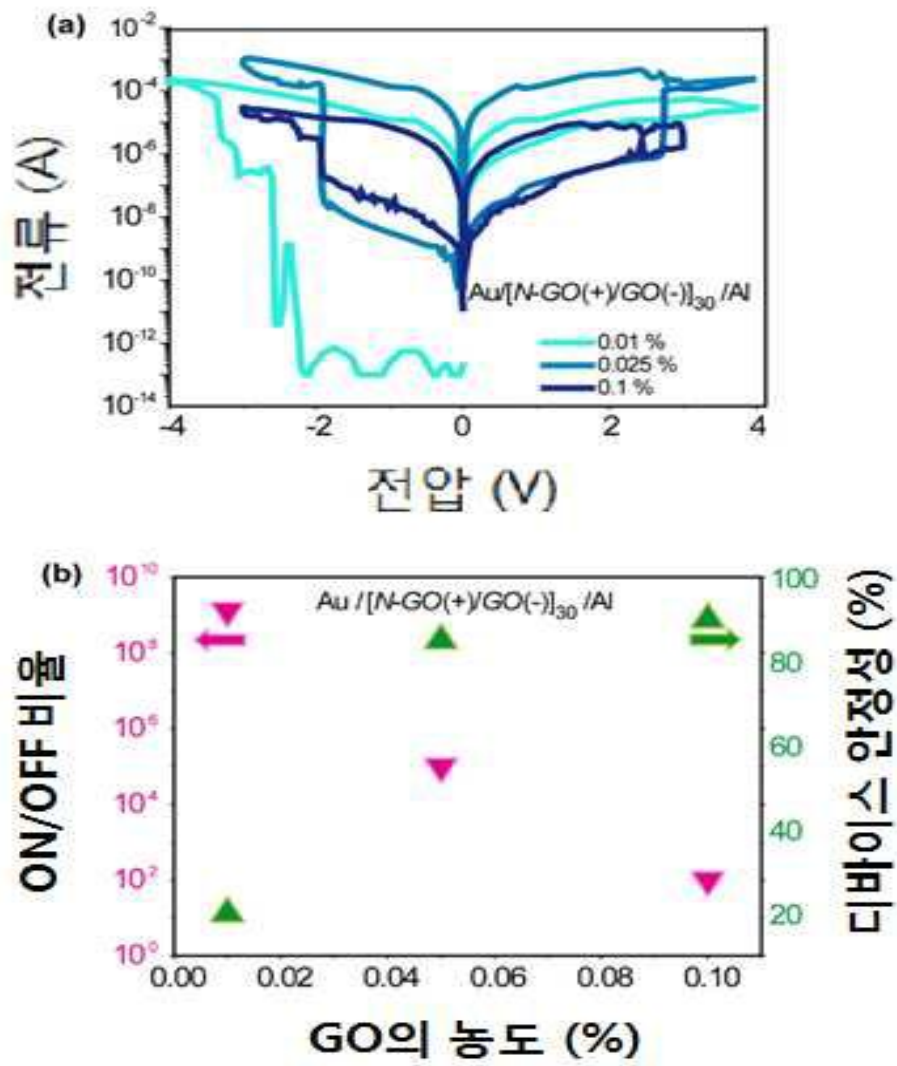
도면5



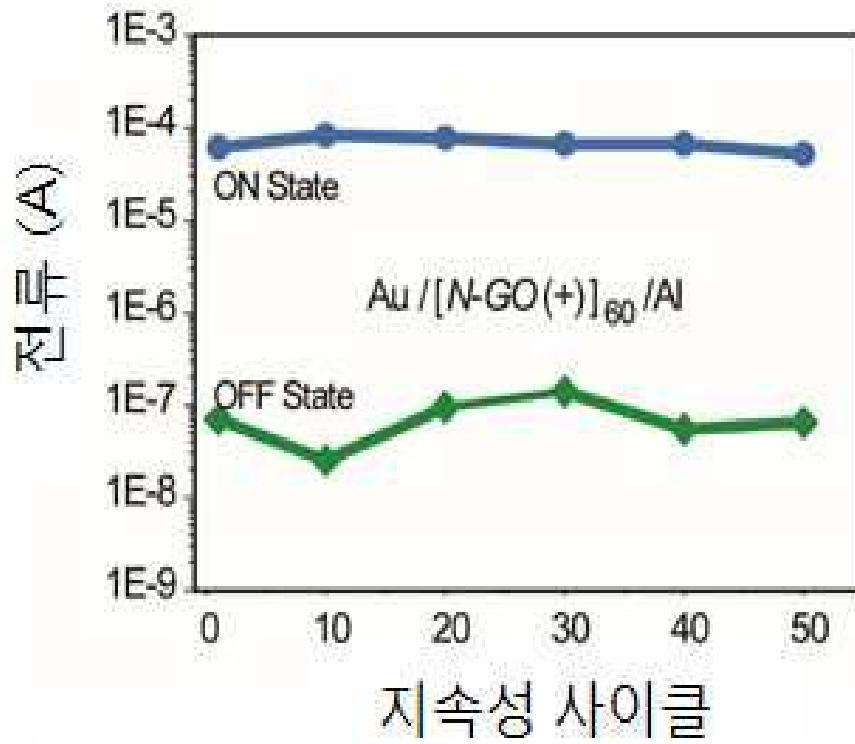
도면6



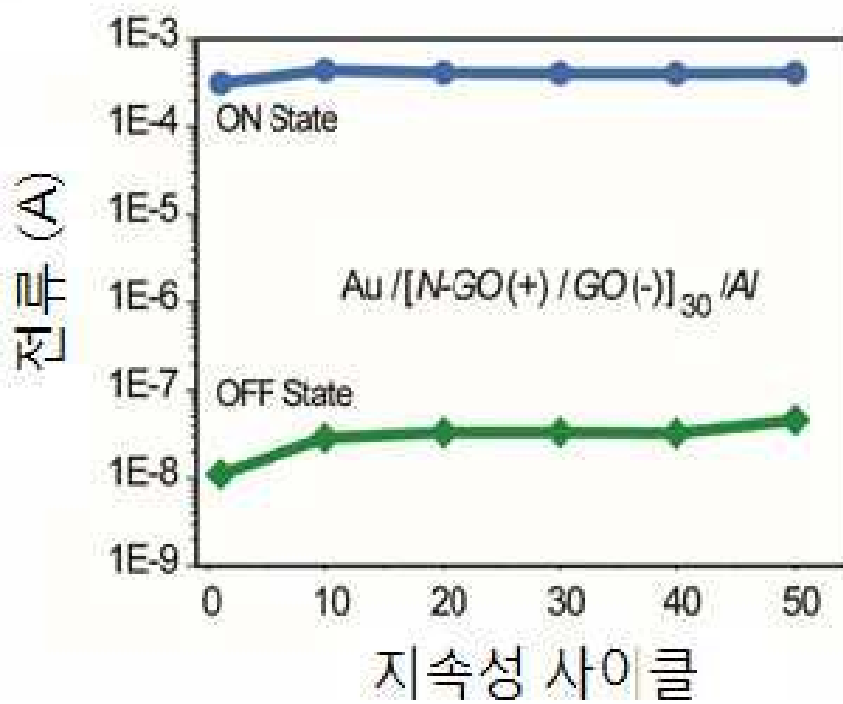
도면7



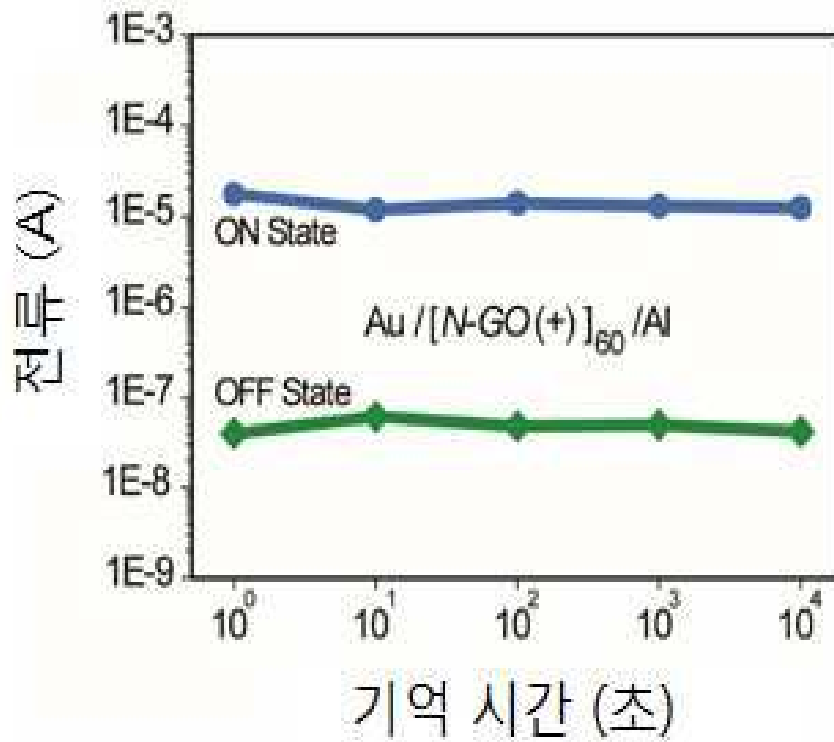
도면8a



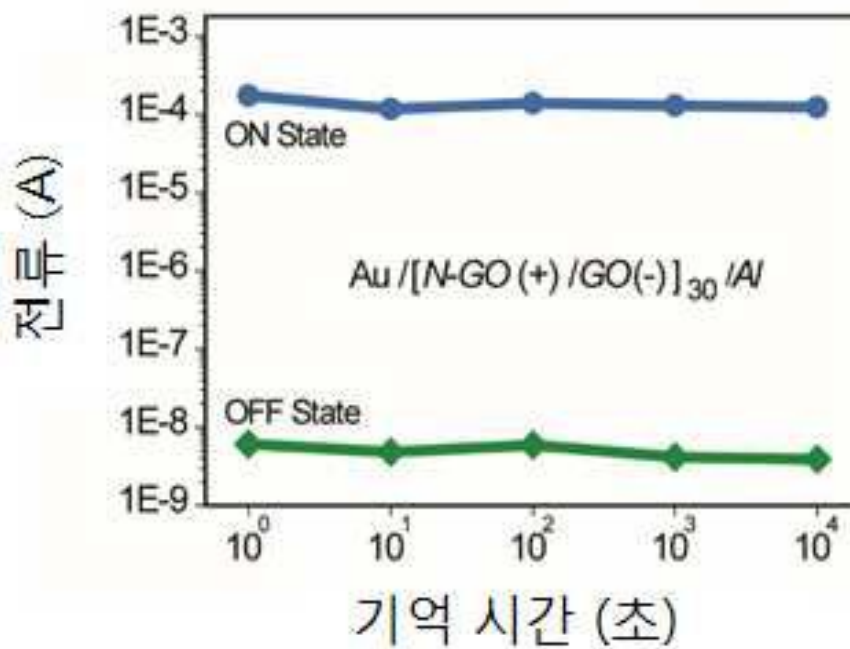
도면8b



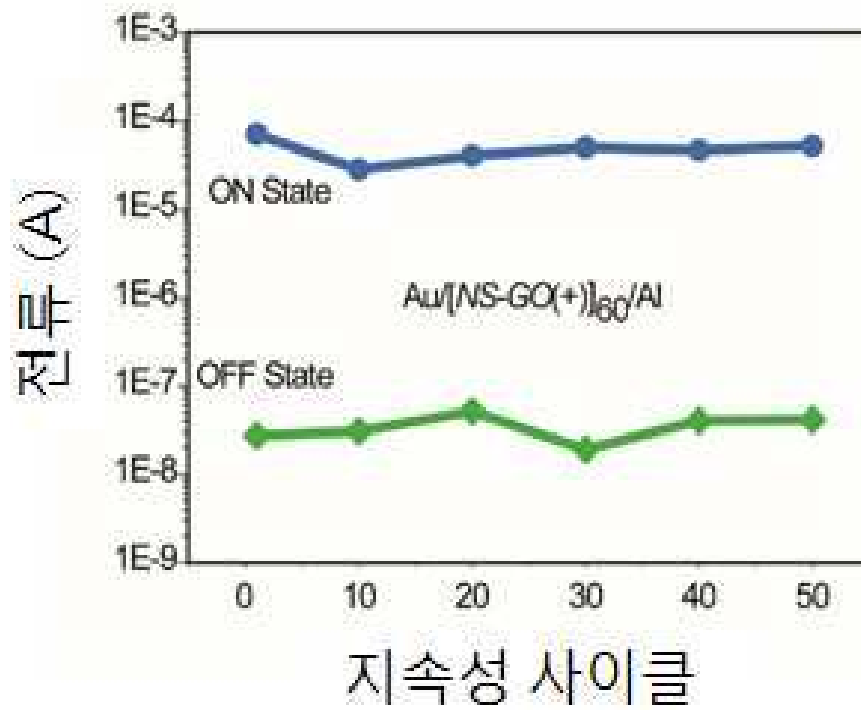
도면8c



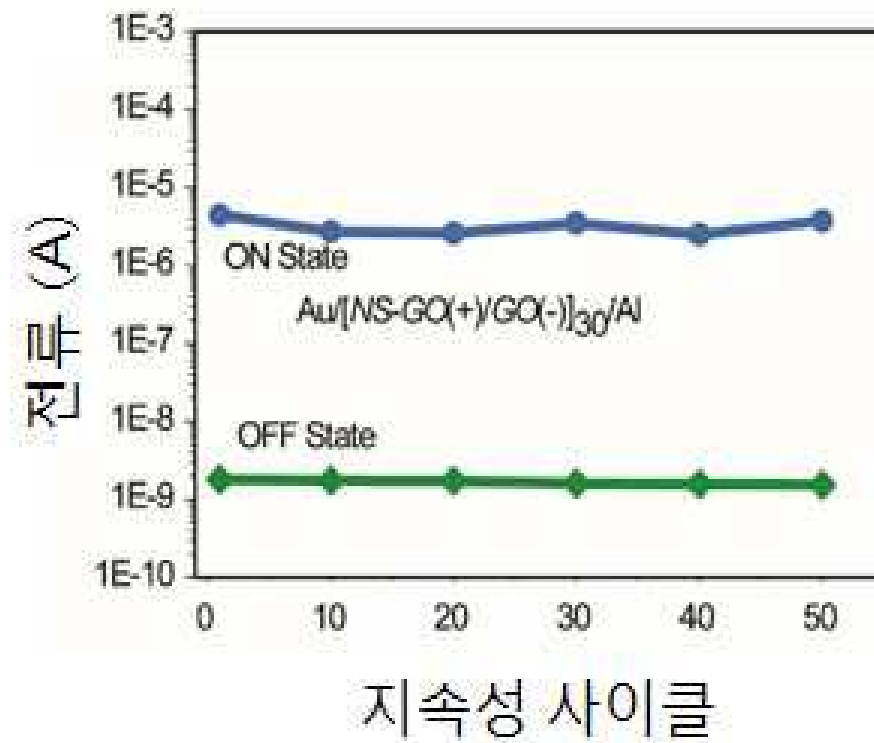
도면8d



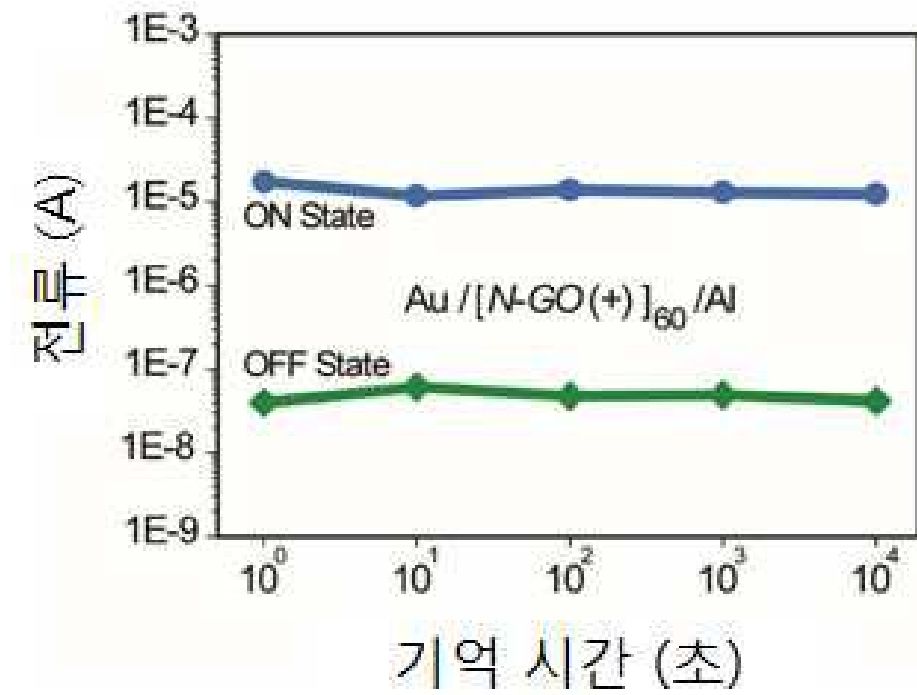
도면9a



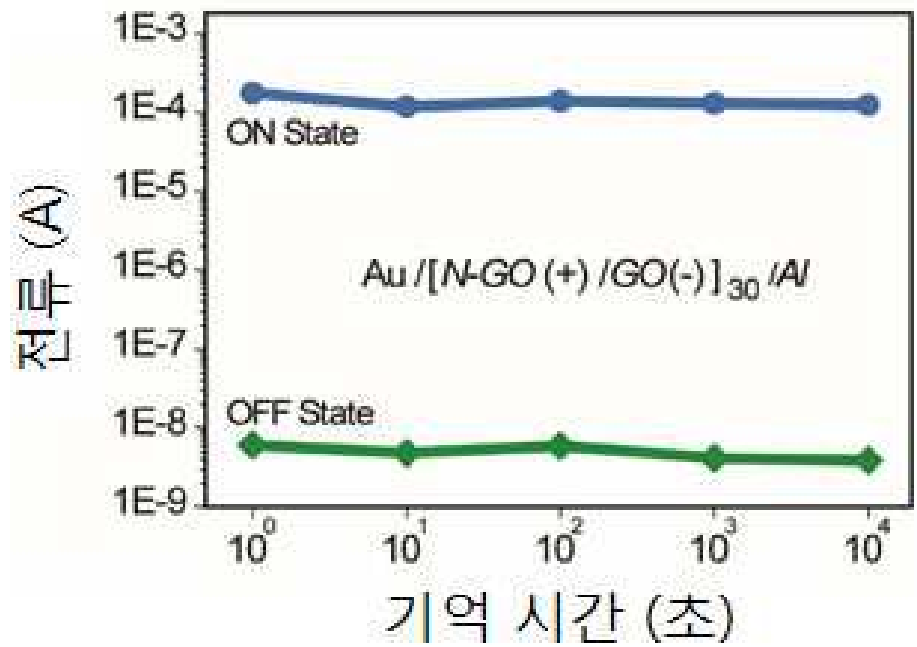
도면9b



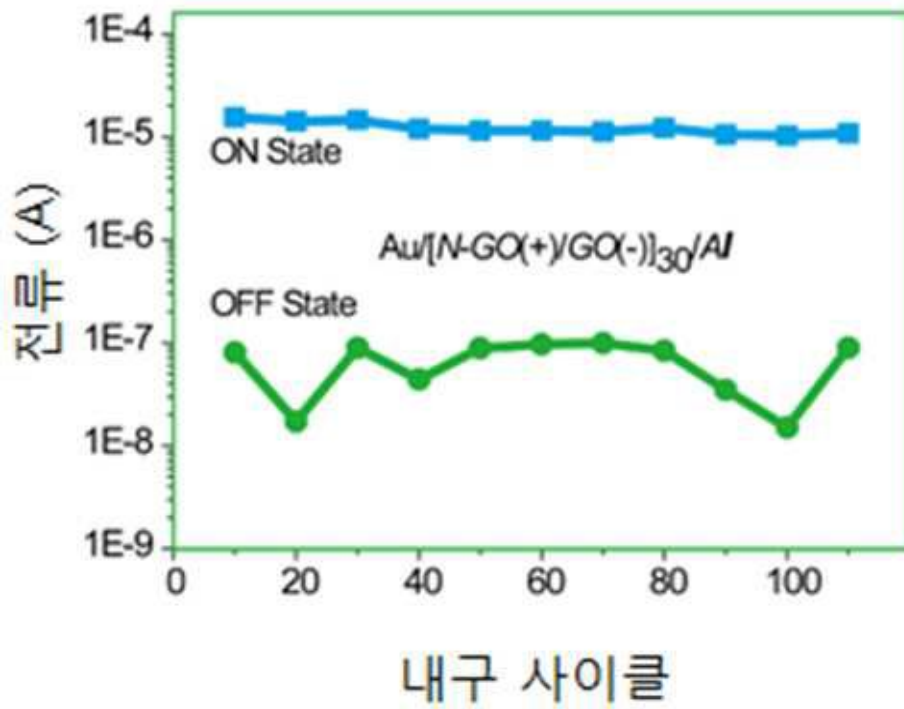
도면9c



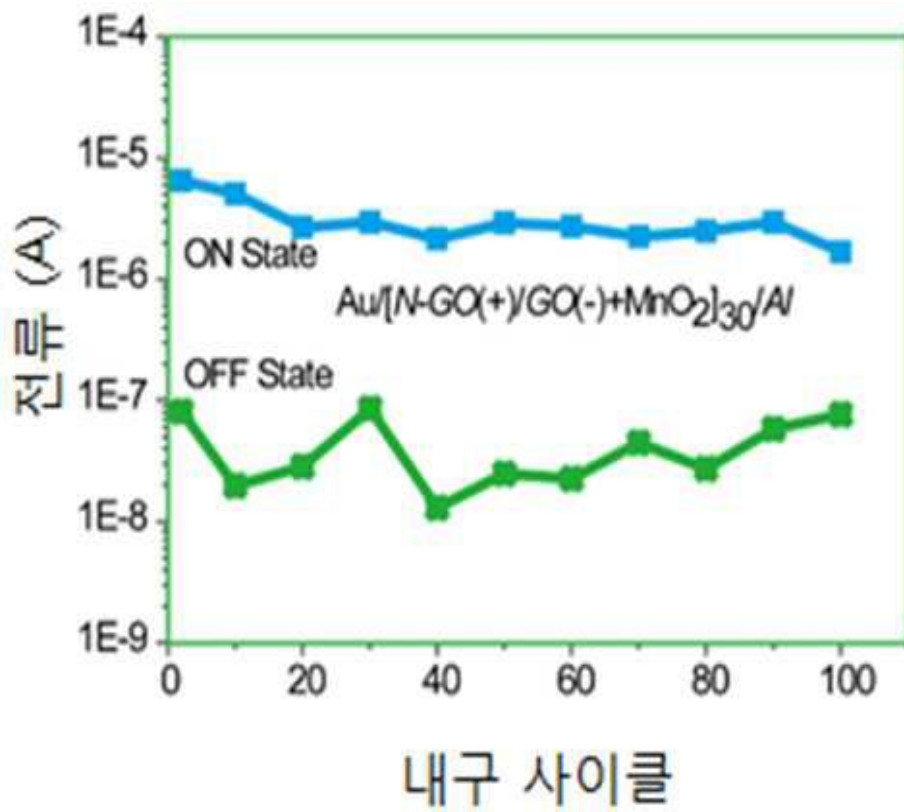
도면9d



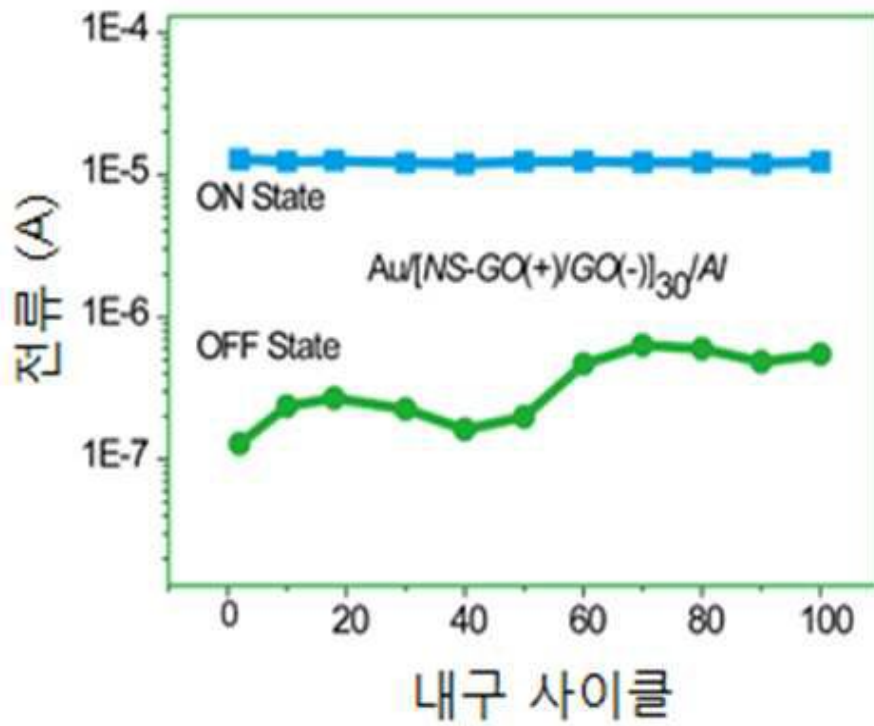
도면10a



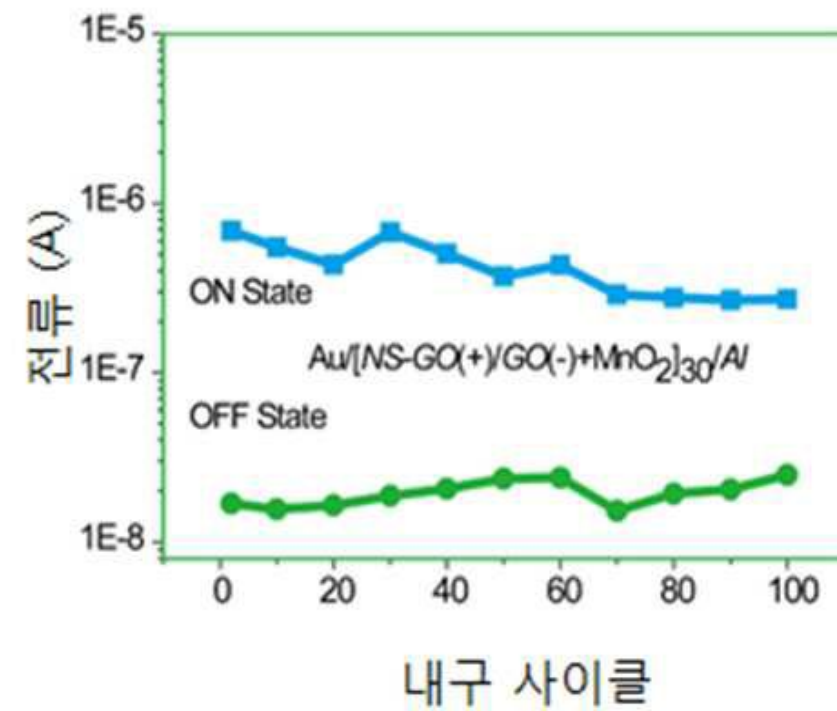
도면10b



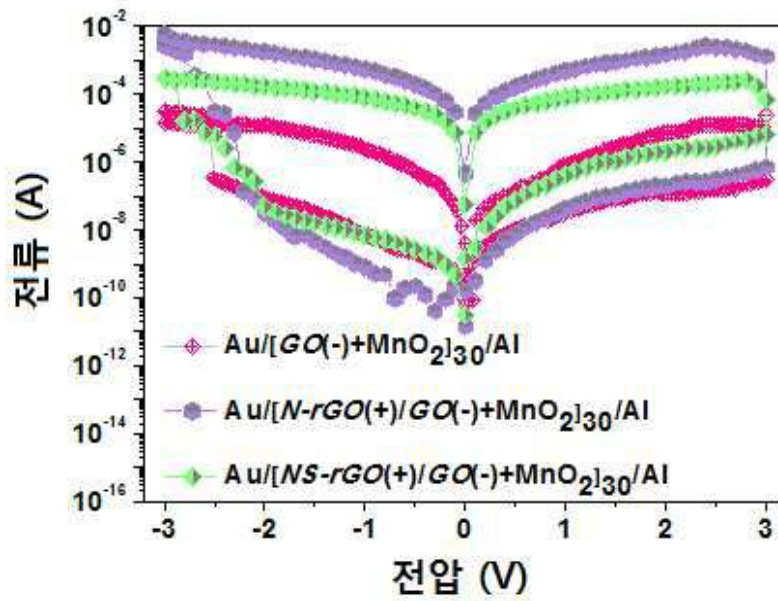
도면10c



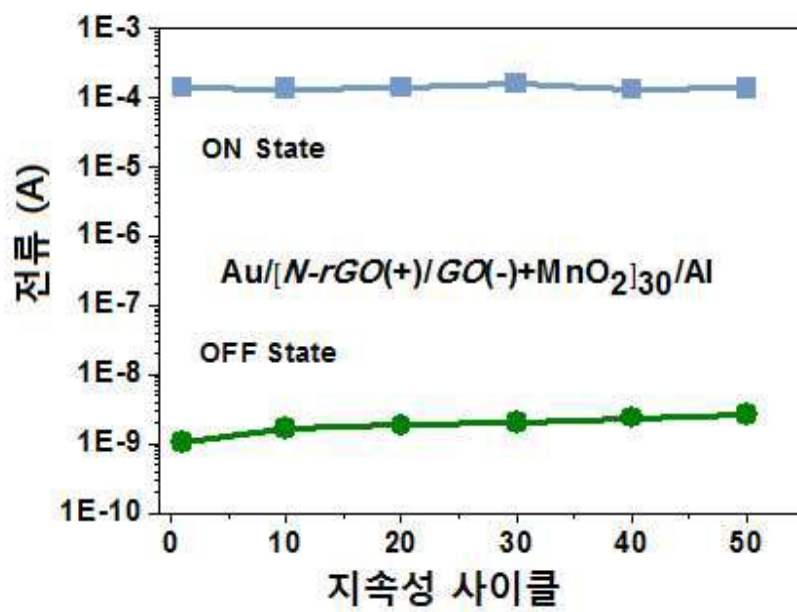
도면10d



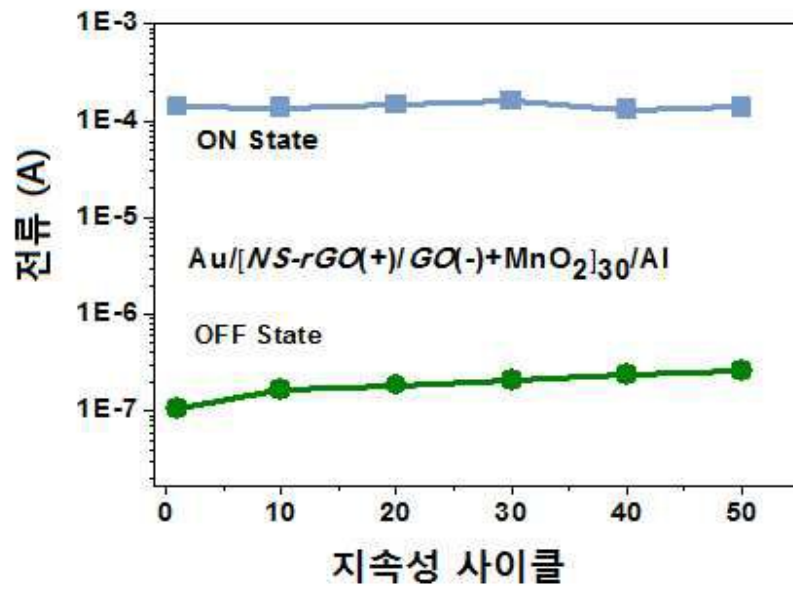
도면11



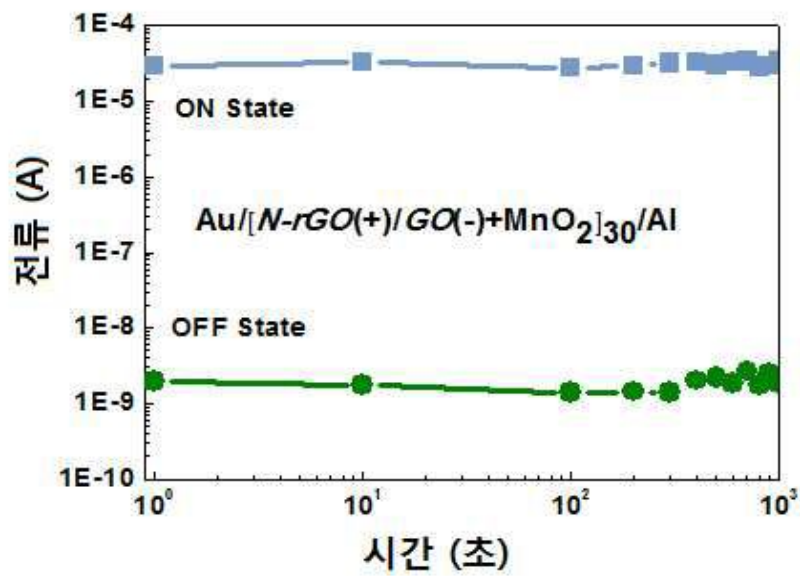
도면12a



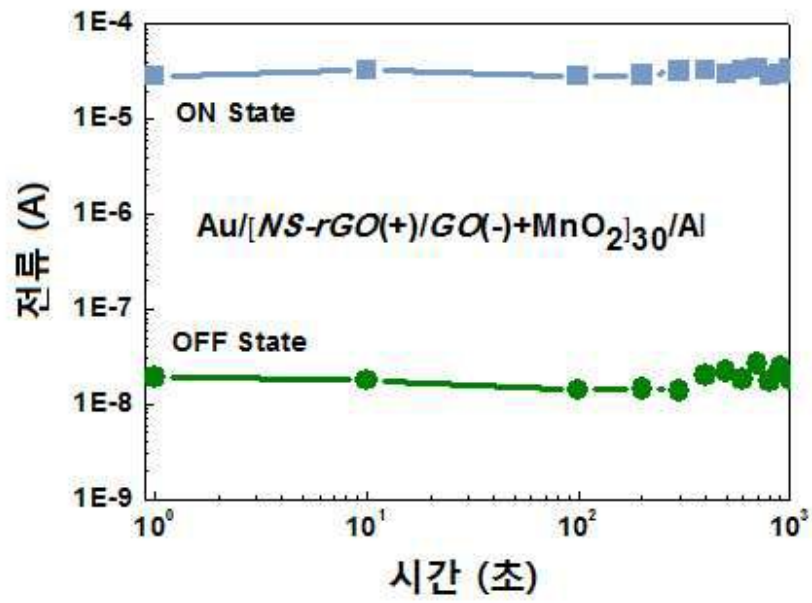
도면12b



도면12c



도면12d



도면13

