

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年8月3日 (03.08.2017)



(10) 国际公布号
WO 2017/128558 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/1362* (2006.01)
- (21) 国际申请号: PCT/CN2016/082106
- (22) 国际申请日: 2016年5月13日 (13.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610066589.4 2016年1月29日 (29.01.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH,

[见续页]

(54) Title: ARRAY SUBSTRATE AND METHOD OF MANUFACTURING ARRAY SUBSTRATE

(54) 发明名称: 阵列基板及阵列基板的制备方法

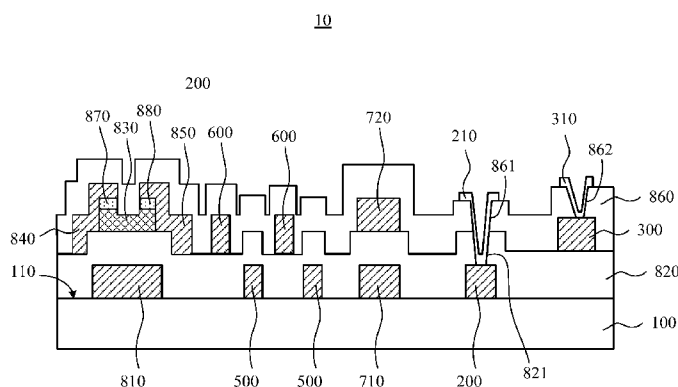


图 2

(57) Abstract: Disclosed are an array substrate and a method of manufacturing an array substrate. The array substrate (100) comprises a substrate (110), multiple gate lines (200) and multiple data lines (300) disposed on a same side of the substrate (110) and disposed intersecting each other and insulated from each other, and multiple common electrode lines (400) being parallel to the gate lines (200) and insulated from the data lines (300). The substrate (110) comprises a first surface (111), and the gate lines (200) are disposed on the first surface (111). One pixel region is defined between two adjacent gate lines (200) and two adjacent data lines (300), and a thin film transistor (800), a common electrode (500), a pixel electrode (600), and a storage capacitor (700) are disposed in the pixel region. The thin film transistor (800) comprises a gate (810), a channel layer (830), a source (840), and a drain (850). The storage capacitor (700) comprises a first electrically conductive portion (710) and a second electrically conductive portion (720). The gate (810), the common electrode lines (400), the common electrode (500), and the first electrically conductive portion (710) are disposed on the first surface (111), and the common electrode (500) is electrically connected to the common electrode lines (400). The channel layer (830), the source (840), the drain (850), the second electrically conductive portion (720), and the pixel electrode (600) are disposed on a first insulating layer (820), the source (840) and the drain (850) are disposed at two opposite ends of the channel layer (830), and the pixel electrode (600) is a metal layer.

(57) 摘要:

[见续页]

WO 2017/128558 A1



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及阵列基板的制备方法。阵列基板(100)包括基板(110)及设置在基板(110)同侧的交错且绝缘设置的多个栅极线(200)及多个数据线(300), 以及多个与栅极线(200)平行且与数据线(300)绝缘的多个公共电极线(400), 基板(110)包括第一表面(111), 栅极线(200)设置在第一表面(111)上, 相邻的两条栅极线(200)及相邻的两条数据线(300)之间限定一个像素区域, 像素区域内设置薄膜晶体管(800), 公共电极(500), 像素电极(600)及存储电容(700), 薄膜晶体管(800)包括栅极(810)、沟道层(830)、源极(840)及漏极(850), 存储电容(700)包括第一导电部(710)及第二导电部(720), 栅极(810)、公共电极线(400)、公共电极(500)及第一导电部(710)设置在第一表面(111), 且公共电极(500)与公共电极线(400)电连接, 沟道层(830)、源极(840)、漏极(850)、第二导电部(720)及像素电极(600)设置在第一绝缘层(820)上且源极(840)与漏极(850)设置在沟道层(830)相对的两端, 且像素电极(600)为金属层。

阵列基板及阵列基板的制备方法

5 本发明要求 2016 年 1 月 29 日递交的发明名称为“阵列基板及阵列基板的制备方法”的申请号 201610066589.4 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及显示领域，尤其涉及一种阵列基板及阵列基板的制备方法。

10 背景技术

显示设备，比如液晶显示器（Liquid Crystal Display, LCD）是一种常用的电子设备，由于其具有功耗低、体积小、重量轻等特点，因此备受用户的青睐。半透半反式液晶显示装置(Trans-flective Liquid Crystal Display) 同时具有透射式和反射式特性，半透半反式液晶面板在一个像素域内包括有透明电极的透射区和有反射层的反射区。在黑暗的地方可以利用像素区域的透射区和背光源来显示画像，在明亮的地方利用像素区域的反射区和外光来显示画像。因此，半透半反式液晶显示装置可以适应不同的亮暗环境而得到广泛应用。现有技术中，所述半透半反式液晶显示装置中反射外来光线的能力较弱，从而导致半透半反式液晶显示装置在反射外来光线时显示画面时的显示质量较差。

20

发明内容

本发明提供一种阵列基板，所述阵列基板包括基板及设置在所述基板同侧的多个栅极线及多个数据线，所述基板包括第一表面，所述多个栅极线设置在所述第一表面上，且所述多个栅极线向第一方向延伸且沿第二方向间隔排布，所述多个数据线与所述多个栅极线通过第一绝缘层绝缘设置，且所述多个数据线向所述第二方向延伸且沿所述第一方向间隔排布，所述阵列基板还包括多个公共电极线，所述多个公共电极线与所述多个栅极线平行，一个公共电极线设置于相邻的两个栅极线之间，且所述公共电极线与所述数据线通过所述第一绝缘层绝缘设置，相邻的两条栅极线及相邻的两条数据线之间限定一个像素区

25

域,所述阵列基板还包括设置在所述像素区域内的薄膜晶体管,公共电极,像素电极及存储电容,所述薄膜晶体管包括栅极、所述第一绝缘层、沟道层、源极及漏极,所述栅极设置在所述第一表面上,所述公共电极与所述公共电极线电连接且所述公共电极与所述公共电极线设置在所述第一表面上,所述存储电容包括第一导电部及第二导电部,所述第一导电部设置在所述第一表面上,所述第一导电部上设置所述第一绝缘层,所述第二导电部设置在所述第一绝缘层上且与所述第一导电部对应,所述沟道层、所述源极及所述漏极设置在所述第一绝缘层上且所述源极与所述漏极设置在所述沟道层相对的两端,所述像素电极设置在所述第一绝缘层上,且所述像素电极为金属层,用于反射入射至所述像素电极的光线,一第二绝缘层覆盖所述沟道层、所述源极、所述漏极、所述像素电极、所述第二部分及所述数据线。

其中,所述公共电极线及所述公共电极为金属层,分别用于反射入射至所述公共电极线及所述公共电极的光线。

其中,所述第一导电部及所述第二导电部为金属层。

其中,所述薄膜晶体管还包括第一欧姆接触层,所述第一欧姆接触层设置在所述沟道层与所述源极之间,用于减小所述沟道层与所述源极之间的接触电阻。

其中,所述薄膜晶体管还包括第二欧姆接触层,所述第二欧姆接触层设置在所述沟道层与所述漏极之间,用于减小所述沟道层与所述漏极之间的接触电阻。

其中,所述第一绝缘层包括对应所述栅极线开设的第一贯孔,所述第二绝缘层包括对应所述第一贯孔开设的第二贯孔及对应所述数据线开设的第三贯孔,一栅极端子通过所述第一贯孔及所述第二贯孔电连接所述栅极线,一数据端子通过所述第三贯孔电连接所述数据线,其中,所述栅极端子及所述数据端子为导电的。

本发明还提供了一种阵列基板的制备方法,所述阵列基板的制备方法包括:

提供基板;

在所述基板的第一表面设置整层的第一金属层;

图案化所述第一金属层,以形成多个沿第一方向延伸且沿第二方向间隔排布的栅极线,以及设置在相邻的两条栅极线之间的且间隔设置的栅极、第一导电部、与每个栅极线对应且平行的公共电极线以及与公共电极线连接且朝远离所述栅极线延伸的公共电极;

- 5 形成覆盖所述栅极、所述第一导电部、所述栅极线、所述公共电极线及所述公共电极的第一绝缘层;

在所述第一绝缘层远离所述基板的表面形成与所述栅极对应设置的沟道层;

形成覆盖所述第一绝缘层及所述沟道层的第二金属层;

- 10 图案化所述第二金属层,以形成多个沿所述第二方向延伸且沿所述第一方向排布的数据线,以及设置在相邻的两条数据线之间且对应所述沟道层两端设置的源极及漏极、与所述漏极间隔的像素电极、与所述第一导电部对应的第二导电部;

- 15 形成覆盖所述沟道层、所述源极、所述漏极、所述像素电极、所述第二导电部及所述数据线的第二绝缘层。

其中,在所述步骤“在所述第一绝缘层远离所述基板的表面形成与所述栅极对应设置的沟道层”包括:

在所述第一绝缘层远离所述基板的表面形成整层的非晶硅层;

图案化所述非晶硅层,保留对应所述栅极设置的所述非晶硅层;

- 20 对保留的所述非晶硅层的两端进行离子掺杂,以分别形成第一欧姆接触层及第二欧姆接触层,未进行离子掺杂的所述非晶硅层为所述沟道层。

其中,所述阵列基板的制备方法还包括:

在所述第一绝缘层上开设对应所述栅极线的第一贯孔,在所述第二绝缘层上开设对应所述第一贯孔的第二贯孔及对应所述数据线的第三贯孔;

- 25 在所述第二绝缘层层形成导电材料层;

图案化所述导电材料层,保留对应所述第二贯孔及所述第一贯孔的导电材料层以及对应所述第三贯孔的导电材料层,其中,对应所述第二贯孔及所述第一贯孔的导电材料层为栅极端子,对应所述第三贯孔的导电材料层为数据端子。

其中，所述离子掺杂为 N 型离子掺杂。

相较于现有技术，本发明的阵列基板的制备方法将像素电极与薄膜晶体管中的源极和漏极在一制备工序中制备，节约了制备工序，且像素电极为金属，可以反射入射至所述像素电极的光线，因此，制备出的所述阵列基板所应用的
5 液晶显示面板处于明亮的地方时，能够利用所述像素电极反射的光线显示图像，从而提升液晶显示装置显示画面时的显示质量。

进一步地，所述公共电极线和所述公共电极与所述栅极在同一制备工序中制备，节约了制备工序。且所述公共电极线和所述公共电极为金属层，分别用于反射入射至所述公共电极线和所述公共电极的光线，因此，在所述阵列基板
10 所应用的液晶显示面板处于明亮的地方时，能够利用所述像素电极反射的光线显示图像，从而提升液晶显示装置显示画面时的显示质量。

进一步地，所述存储电容的所述第一导电部与所述栅极在同一制备工序中制备，从而节约了制备工序。所述存储电容的第二导电部与所述源极及所述漏极在同一制备工序中制备，从而节约了制备工序。

15

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
20

图 1 为本发明一较佳实施方式的阵列基板的俯视图。

图 2 为图 1 中沿 I-I 线的剖面结构示意图。

图 3 为本发明一较佳实施方式的阵列基板的制备方法的流程图。

25 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1 及图 2，图 1 为本发明一较佳实施方式的阵列基板的俯视图；图 2 为图 1 中沿 I-I 线的剖面结构示意图。所述阵列基板 100 可应用于半透半反式平面转换（In-Plane Switching，IPS）面板装置。所述阵列基板 10 包括基板 100 及设置在所述基板 100 同侧的多个栅极线 200 及多个数据线 300。所述基板 100 包括第一表面 110，所述多个栅极线 200 设置在所述第一表面 110 上，且所述多个栅极线 200 向第一方向 D1 延伸且沿所述第二方向 D2 间隔排布。所述多个数据线 300 与所述多个栅极线 200 通过第一绝缘层 820 间隔设置，且所述多个数据线 300 向所述第二方向 D2 延伸且沿所述第一方向 D1 间隔排布。所述阵列基板 10 还包括多个公共电极线 400，所述多个公共电极线 400 与所述多个栅极线 200 平行，一个公共电极线 400 设置于相邻的两个栅极线 200 之间，且所述公共电极线 400 与所述数据线 300 通过所述第一绝缘层 820 绝缘设置。相邻的两条栅极线 200 及相邻的两条数据线 300 之间限定一个像素区域。所述阵列基板 10 还包括设置在所述像素区域内的薄膜晶体管 800、公共电极 500、像素电极 600 及存储电容 700。所述薄膜晶体管 800 包括栅极 810、所述第一绝缘层 820、沟道层 830、源极 840 及漏极 850。所述栅极 810 设置在所述第一表面 110 上，所述公共电极 500 与所述公共电极线 400 电连接且所述公共电极 500 与所述公共电极线 400 设置在所述第一表面 110 上。所述存储电容 700 包括第一导电部 710 和第二导电部 720，所述第一导电部 710 设置在所述第一表面 110 上，所述第一导电部 710 上设置所述第一绝缘层 820，所述第二导电部 720 设置在所述第一绝缘层 820 上且与所述第一导电部 710 对应。所述沟道层 830、所述源极 840 及所述漏极 850 设置在所述第一绝缘层 820 上且所述源极 840 与所述漏极 850 设置在所述沟道层 830 相对的两端。所述像素电极 600 设置在所述第一绝缘层 820 上，且所述像素电极 600 为金属层，用于反射入射至所述像素电极 600 的光线。一第二绝缘层 860 覆盖所述沟道层 830、所述源极 840、所述像素电极 600、所述第二部分 720 及所述数据线 300。其中，所述第一方向 D1 可以为 X 轴方向，所述第二方向 D2 可以为 Y 轴方向。

所述基板 100 可以为但不仅限于为玻璃基板或者为塑料基板等绝缘基板。

在本实施方式中，所述公共电极线 400 及所述公共电极 500 为金属层，分别用于反射入射至所述公共电极线 400 及所述公共电极 500 的光线。

在本实施方式中，所述第一导电部 710 与所述第二导电部 720 为金属层。

所述薄膜晶体管 800 还包括第一欧姆接触层 870，所述第一欧姆接触层 870 设置在所述沟道层 830 与所述源极 840 之间，用于减小所述沟道层 830 与所述源极 840 之间的接触电阻。

5 所述薄膜晶体管 800 还包括第二欧姆接触层 880，所述第二欧姆接触层 880 设置在所述沟道层 830 与所述漏极 850 之间，用于减小所述沟道层 830 与所述漏极 850 之间的接触电阻。

10 所述第一绝缘层 820 包括对应所述栅极线 200 开设的第一贯孔 821，所述第二绝缘层 860 包括对应所述第一贯孔 821 开设的第二贯孔 861 及对应所述数据线 300 开设的第三贯孔 862。一栅极端子 210 通过所述第一贯孔 821 及所述第二贯孔 861 连接所述栅极线 200，一数据端子 310 通过所述第三贯孔 862 连接所述数据线 300，其中，所述栅极端子 210 及所述数据端子 310 为导电的。所述栅极端子 210 及所述数据端子 310 可与一集成电路电连接，以接收所述集成电路的信号。

15 相较于现有技术，本发明的阵列基板 10 中的像素电极 600 为金属层，因此，能反射入射至所述像素电极 600 的光线，因此，在所述阵列基板 10 所应用的液晶显示装置处于明亮的地方时，能够利用所述像素电极 600 反射的光线显示图像，从而提升液晶显示装置显示画面时的显示质量。

20 进一步地，所述公共电极线 400 和所述公共电极 500 为金属层，分别用于反射入射至所述公共电极线 400 和所述公共电极 500 的光线，因此，在所述阵列基板 10 所应用的液晶显示面板处于明亮的地方时，能够利用所述像素电极 600 反射的光线显示图像，从而提升液晶显示装置显示画面时的显示质量。

25 下面结合图 1 和图 2 以及前面对所述阵列基板 10 的描述，对本发明的阵列基板的制备方法进行介绍。请一并参阅图 3，图 3 为本发明一较佳实施方式的阵列基板的制备方法的流程图。所述阵列基板的制备方法包括但不限于以下步骤。

步骤 S110，提供基板 110。所述基板 110 可以为但不限于为玻璃基板或者为塑料基板等绝缘基板。

步骤 S120，在所述基板 110 的第一表面 111 设置整层的第一金属层。所

述第一金属层包括但不限于铝(Al), 钼 (Mo), 铜(Cu)中的任意一种或者多种。所述第一金属层可以通过物理气相沉积 (Physical Vapor Deposition, PVD) 的方式形成, 所述第一金属层的厚度可以为 3000 埃~6000 埃。

5 步骤 S130, 图案化所述第一金属层, 以形成多个沿第一方向 D1 延伸且沿第二方向 D2 间隔排布的栅极线 200, 以及设置在相邻的两条栅极线 200 之间的且间隔设置的栅极 810、第一导电部 710、与每个栅极线 200 对应且平行的公共电极线 400 以及与所述公共电极线 400 连接且朝远离所述栅极线 200 延伸的公共电极 500。所述第一金属层的图案化可以通过掩膜板进行曝光, 显影, 蚀刻及玻璃的方式进行。

10 步骤 S140, 形成覆盖所述栅极 810、所述第一导电部 710、所述栅极线 200、所述公共电极线 400 及所述公共电极 500 的第一绝缘层 820。所述第一绝缘层 820 可以通过等离子体增强化学气相沉积法 (Plasma Enhanced Chemical Vapor Deposition, PECVD) 沉积一层膜厚为 3000 埃~6000 埃的绝缘材料以形成所述第一绝缘层 820, 所述绝缘层材料可以为但不限于为氮化硅 (SiN_x)。

15 步骤 S150, 在所述第一绝缘层 820 远离所述基板 110 的表面形成与所述栅极 810 对应设置的沟道层 830。具体地, 所述步骤 S150 还包括如下步骤。

步骤 S151, 在所述第一绝缘层 820 远离所述基板 110 的表面形成整层的非晶硅层。所述非晶硅层可以通过等离子体增强化学气相沉积法形成膜厚为 1500 埃~3000 埃的非晶硅材料以形成所述非晶硅层。

20 步骤 S152, 图案化所述非晶硅层, 保留对应所述栅极 810 设置的所述非晶硅层。

步骤 S153, 对保留的所述非晶硅层的两端进行离子掺杂, 以分别形成第一欧姆接触层 870 及第二欧姆接触层 880, 未进行离子掺杂的所述非晶硅层为所述沟道层 830。在一实施方式中, 所述离子掺杂为 N 型离子掺杂。

25 步骤 S160, 形成覆盖所述第一绝缘层 820 及所述沟道层 830 的第二金属层。所述第二金属层包括但不限于 Al, Mo, Cu 中的任意一种或者多种。所述第二金属层可以通过 PVD 的方式形成, 所述第二金属层的厚度可以为 3000 埃~6000 埃。

步骤 S170, 图案化所述第二金属层, 以形成多个沿所述第二方向 D2 延伸

且沿所述第一方向 D1 排布的数据线 300, 以及设置在相邻的两条数据线 300 之间且对应所述沟道层 830 两端设置的源极 840 及漏极 850、与所述漏极 850 间隔的像素电极 600、与所述第一导电部 710 对应的第二导电部 720。所述第二金属层的图案化可以通过掩膜板进行曝光, 显影, 蚀刻及玻璃的方式进行。

5 步骤 S180, 形成覆盖所述沟道层 830、所述源极 840、所述漏极 850、所述像素电极 600、所述第二导电部 720 及所述数据线 300 的第二绝缘层 860。所述第二绝缘层 860 可以通过 PECVD 沉积一层膜厚为 2000 埃~56000 埃的绝缘材料以形成所述第二绝缘层 860, 所述绝缘层材料可以为但不仅限于为氮化硅 (SiNx)。

10 所述薄膜晶体管阵列基板的制备方法还包括如下步骤。

步骤 I, 在所述第一绝缘层 820 上开设对应所述栅极线 200 的第一贯孔 821, 在所述第二绝缘层 860 上开设对应所述第一贯孔 821 的第二贯孔 861 及对应所述数据线 300 的第三贯孔 862。

15 步骤 II, 在所述第二绝缘层层 860 形成导电材料层。所述导电材料层为透明导电材料层, 所述导电材料层可以为但不仅限于为氧化铟锡 (Indium Tin Oxide, ITO)。所述导电材料层的厚度为 400 埃~1000 埃。

20 步骤 III, 图案化所述导电材料层, 保留对应所述第二贯孔 861 及所述第一贯孔 821 的导电材料层以及对应所述第三贯孔 862 的导电材料层, 其中, 对应所述第二贯孔 861 及所述第一贯孔 821 的导电材料层为栅极端子 210, 对应所述第三贯孔 862 的导电材料层为数据端子 310。

25 相较于现有技术, 本发明的阵列基板的制备方法将像素电极 600 与薄膜晶体管 800 中的源极 840 和漏极 850 在一制备工序中制备, 节约了制备工序, 且像素电极 600 为金属, 可以反射入射至所述像素电极 600 的光线, 因此, 制备出的所述阵列基板所应用的液晶显示面板处于明亮的地方时, 能够利用所述像素电极 600 反射的光线显示图像, 从而提升液晶显示装置显示画面时的显示质量。

进一步地, 所述公共电极线 400 和所述公共电极 500 与所述栅极 810 在同一制备工序中制备, 节约了制备工序。且所述公共电极线 400 和所述公共电极 500 为金属层, 分别用于反射入射至所述公共电极线 400 和所述公共电极 500

的光线，因此，在所述阵列基板 10 所应用的液晶显示面板处于明亮的地方时，能够利用所述像素电极 600 反射的光线显示图像，从而提升液晶显示装置显示画面时的显示质量。

进一步地，所述存储电容 700 的所述第一导电部 710 与所述栅极 810 在同一制备工序中制备，从而节约了制备工序。所述存储电容 700 的第二导电部 720 与所述源极 840 及所述漏极 850 在同一制备工序中制备，从而节约了制备工序。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1.一种阵列基板，其中，所述阵列基板包括基板及设置在所述基板同侧的多个栅极线及多个数据线，所述基板包括第一表面，所述多个栅极线设置在所述第一表面上，且所述多个栅极线向第一方向延伸且沿第二方向间隔排布，所述多个数据线与所述多个栅极线通过第一绝缘层绝缘设置，且所述多个数据线向所述第二方向延伸且沿所述第一方向间隔排布，所述阵列基板还包括多个公共电极线，所述多个公共电极线与所述多个栅极线平行，一个公共电极线设置于相邻的两个栅极线之间，且所述公共电极线与所述数据线通过所述第一绝缘层绝缘设置，相邻的两条栅极线及相邻的两条数据线之间限定一个像素区域，所述阵列基板还包括设置在所述像素区域内的薄膜晶体管，公共电极，像素电极及存储电容，所述薄膜晶体管包括栅极、所述第一绝缘层、沟道层、源极及漏极，所述栅极设置在所述第一表面上，所述公共电极与所述公共电极线电连接且所述公共电极与所述公共电极线设置在所述第一表面上，所述存储电容包括第一导电部及第二导电部，所述第一导电部设置在所述第一表面上，所述第一导电部上设置所述第一绝缘层，所述第二导电部设置在所述第一绝缘层上且与所述第一导电部对应，所述沟道层、所述源极及所述漏极设置在所述第一绝缘层上且所述源极与所述漏极设置在所述沟道层相对的两端，所述像素电极设置在所述第一绝缘层上，且所述像素电极为金属层，用于反射入射至所述像素电极的光线，一第二绝缘层覆盖所述沟道层、所述源极、所述漏极、所述像素电极、所述第二部分及所述数据线。

2.如权利要求 1 所述的阵列基板，其中，所述公共电极线及所述公共电极为金属层，分别用于反射入射至所述公共电极线及所述公共电极的光线。

3.如权利要求 1 所述的阵列基板，其中，所述第一导电部及所述第二导电部为金属层。

4.如权利要求 1 所述的阵列基板，其中，所述薄膜晶体管还包括第一欧姆

接触层, 所述第一欧姆接触层设置在所述沟道层与所述源极之间, 用于减小所述沟道层与所述源极之间的接触电阻。

5 5.如权利要求 1 所述的阵列基板, 其中, 所述薄膜晶体管还包括第二欧姆接触层, 所述第二欧姆接触层设置在所述沟道层与所述漏极之间, 用于减小所述沟道层与所述漏极之间的接触电阻。

10 6.如权利要求 1 所述的阵列基板, 其中, 所述第一绝缘层包括对应所述栅极线开设的第一贯孔, 所述第二绝缘层包括对应所述第一贯孔开设的第二贯孔及对应所述数据线开设的第三贯孔, 一栅极端子通过所述第一贯孔及所述第二贯孔电连接所述栅极线, 一数据端子通过所述第三贯孔电连接所述数据线, 其中, 所述栅极端子及所述数据端子为导电的。

15 7.一种阵列基板的制备方法, 其中, 所述阵列基板的制备方法包括:
提供基板;

在所述基板的第一表面设置整层的第一金属层;

20 图案化所述第一金属层, 以形成多个沿第一方向延伸且沿第二方向间隔排布的栅极线, 以及设置在相邻的两条栅极线之间的且间隔设置的栅极、第一导电部、与每个栅极线对应且平行的公共电极线以及与公共电极线连接且朝远离所述栅极线延伸的公共电极;

形成覆盖所述栅极、所述第一导电部、所述栅极线、所述公共电极线及所述公共电极的第一绝缘层;

在所述第一绝缘层远离所述基板的表面形成与所述栅极对应设置的沟道层;

25 形成覆盖所述第一绝缘层及所述沟道层的第二金属层;

图案化所述第二金属层, 以形成多个沿所述第二方向延伸且沿所述第一方向排布的数据线, 以及设置在相邻的两条数据线之间且对应所述沟道层两端设置的源极及漏极、与所述漏极间隔的像素电极、与所述第一导电部对应的第二导电部;

形成覆盖所述沟道层、所述源极、所述漏极、所述像素电极、所述第二导电部及所述数据线的第二绝缘层。

- 8.如权利要求 7 所述的阵列基板的制备方法, 其中, 在所述步骤“在所述第一绝缘层远离所述基板的表面形成与所述栅极对应设置的沟道层”包括:
- 5 在所述第一绝缘层远离所述基板的表面形成整层的非晶硅层;
- 图案化所述非晶硅层, 保留对应所述栅极设置的所述非晶硅层;
- 对保留的所述非晶硅层的两端进行离子掺杂, 以分别形成第一欧姆接触层及第二欧姆接触层, 未进行离子掺杂的所述非晶硅层为所述沟道层。

10

9.如权利要求 7 所述的阵列基板的制备方法, 其中, 所述阵列基板的制备方法还包括:

在所述第一绝缘层上开设对应所述栅极线的第一贯孔, 在所述第二绝缘层上开设对应所述第一贯孔的第二贯孔及对应所述数据线的第三贯孔;

15

在所述第二绝缘层层形成导电材料层;

图案化所述导电材料层, 保留对应所述第二贯孔及所述第一贯孔的导电材料层以及对应所述第三贯孔的导电材料层, 其中, 对应所述第二贯孔及所述第一贯孔的导电材料层为栅极端子, 对应所述第三贯孔的导电材料层为数据端子。

20

10.如权利要求 8 所述的阵列基板的制备方法, 其中, 所述离子掺杂为 N 型离子掺杂。

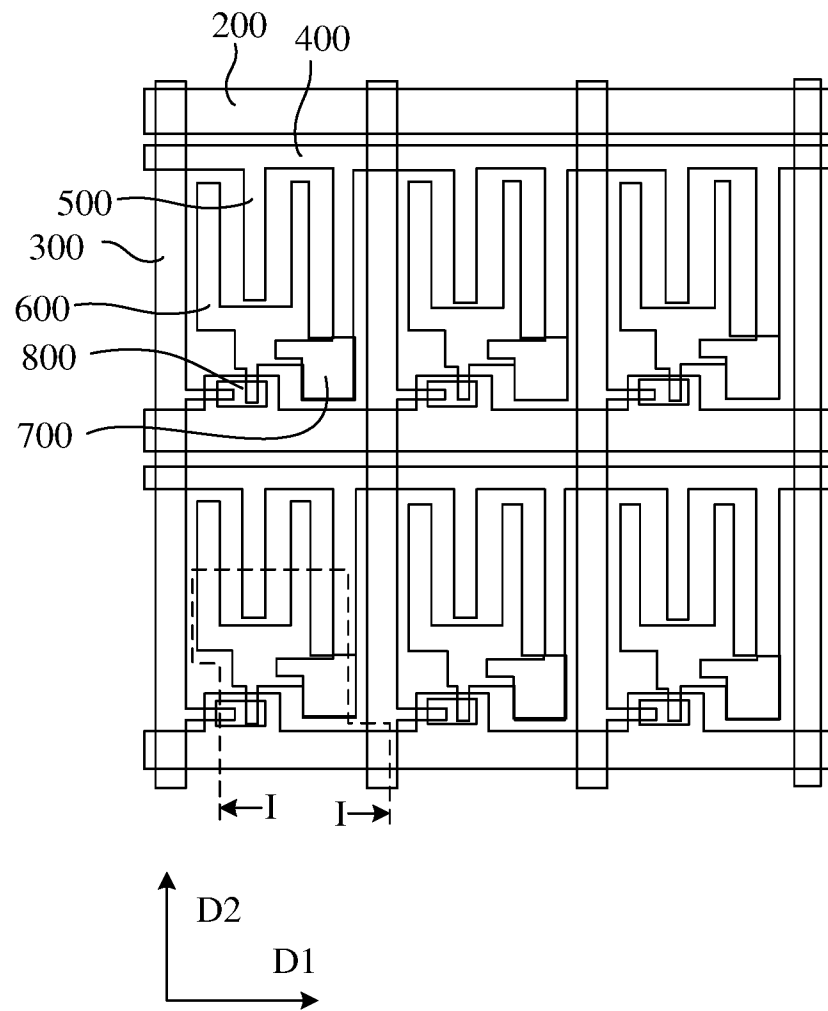
10

图 1

10

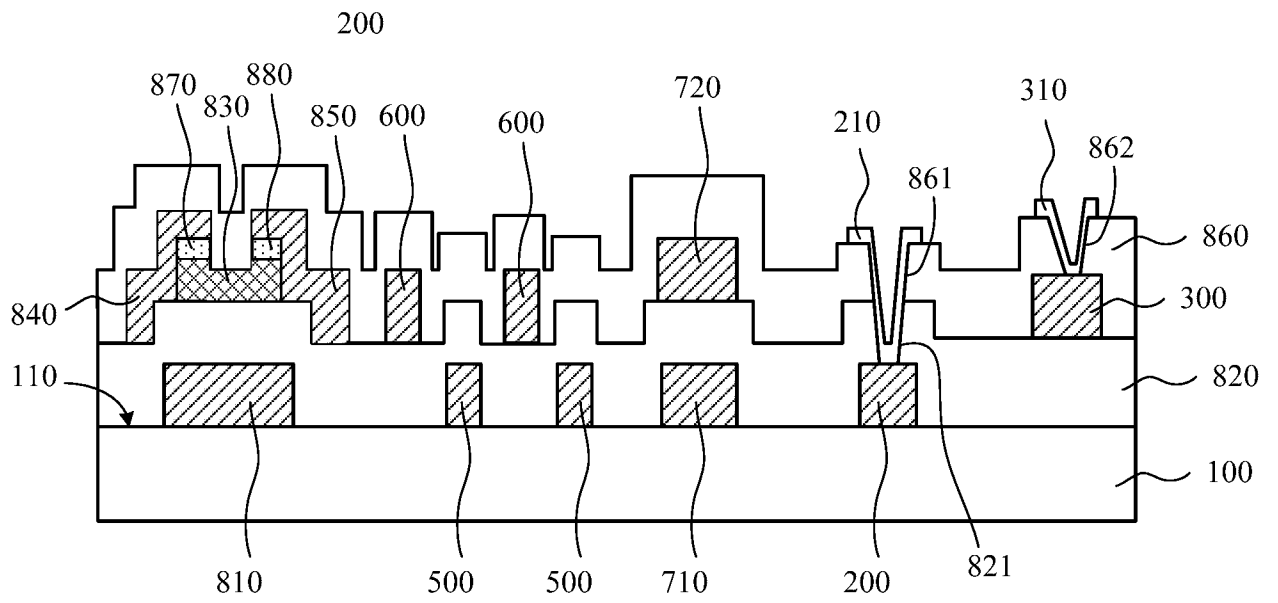


图 2

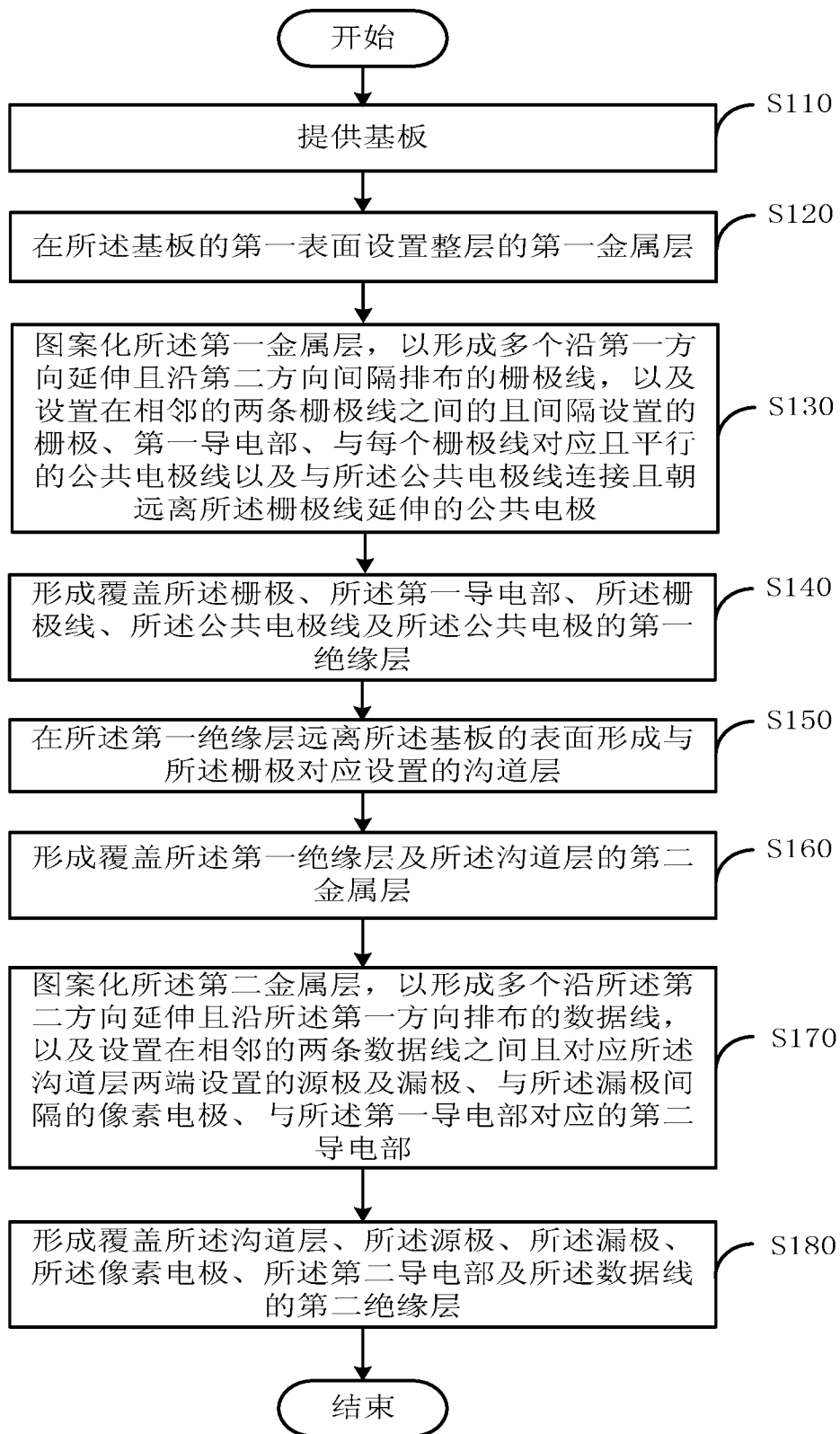


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/082106

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; CNTXT; CNABS; WPI; EPODOC: array substrate, thin film transistor, pixel electrode, common electrode, layer, same-layer, array, substrate, plate, thin, film, transistor pixel, common, electrode, metal, trans+, flective, IPS, capacitor, storage, grid, gate, source, drain, wire

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101609236 A (SVA OPTRONICS CO., LTD.), 23 December 2009 (23.12.2009), description, page 3, line 7 to page 4, line 23, and figures 2-4B	1-10
Y	CN 102543863 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 July 2012 (04.07.2012), description, paragraphs 35-54, and figures 2A-2E	1-10
PX	CN 105487285 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 April 2016 (13.04.2016), description, paragraphs 35-62, and figures 1-3	1-10
A	US 2014138714 A1 (AU OPTRONICS CORP.), 22 May 2014 (22.05.2014), the whole document	1-10
A	US 2009057671 A1 (RYU, H.Y. et al.), 05 March 2009 (05.03.2009), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 September 2016 (19.09.2016)	Date of mailing of the international search report 28 September 2016 (28.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Ning Telephone No.: (86-10) 010-62413955

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/082106

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101609236 A	23 December 2009	None	
CN 102543863 A	04 July 2012	WO 2013116992 A1	15 August 2013
		US 2013200383 A1	08 August 2013
		US 8563341 B2	22 October 2013
CN 105487285 A	13 April 2016	None	
US 2014138714 A1	22 May 2014	US 2015048367 A1	19 February 2015
		TW I483036 B	01 May 2015
		US 8900900 B2	02 December 2014
		CN 103165540 A	19 June 2013
		US 9064749 B2	23 June 2015
		CN 103165540 B	15 October 2014
		TW 201421112 A	01 June 2014
US 2009057671 A1	05 March 2009	KR 20090024383 A	09 March 2009
		US 8426228 B2	23 April 2013
		US 2011269254 A1	03 November 2011
		US 7989807 B2	02 August 2011

A. 主题的分类 H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CPRSABS;CNTXT;CNABS;WPI;EPODOC: 阵列基板, 薄膜晶体管, 栅, 源极, 漏极, 像素电极, 公共电极, 线, 存储, 电容, 金属, 层, 同层, array, substrate, plate, thin, film, transistor pixel, common, electrode, metal, trans+, flective, IPS, capacitor, storage, grid, gate, source, drain, wire																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 101609236 A (上海广电光电子有限公司) 2009年 12月 23日 (2009 - 12 - 23) 说明书第3页第7行-第4页第23行、图2-4B</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>CN 102543863 A (深圳市华星光电技术有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第35-54段、图2A-2E</td> <td>1-10</td> </tr> <tr> <td>PX</td> <td>CN 105487285 A (深圳市华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 说明书第35-62段、图1-3</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2014138714 A1 (AU OPTRONICS CORP.) 2014年 5月 22日 (2014 - 05 - 22) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2009057671 A1 (RYU, HYE-YOUNG等) 2009年 3月 5日 (2009 - 03 - 05) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 101609236 A (上海广电光电子有限公司) 2009年 12月 23日 (2009 - 12 - 23) 说明书第3页第7行-第4页第23行、图2-4B	1-10	Y	CN 102543863 A (深圳市华星光电技术有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第35-54段、图2A-2E	1-10	PX	CN 105487285 A (深圳市华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 说明书第35-62段、图1-3	1-10	A	US 2014138714 A1 (AU OPTRONICS CORP.) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-10	A	US 2009057671 A1 (RYU, HYE-YOUNG等) 2009年 3月 5日 (2009 - 03 - 05) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	CN 101609236 A (上海广电光电子有限公司) 2009年 12月 23日 (2009 - 12 - 23) 说明书第3页第7行-第4页第23行、图2-4B	1-10																		
Y	CN 102543863 A (深圳市华星光电技术有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第35-54段、图2A-2E	1-10																		
PX	CN 105487285 A (深圳市华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 说明书第35-62段、图1-3	1-10																		
A	US 2014138714 A1 (AU OPTRONICS CORP.) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-10																		
A	US 2009057671 A1 (RYU, HYE-YOUNG等) 2009年 3月 5日 (2009 - 03 - 05) 全文	1-10																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2016年 9月 19日		国际检索报告邮寄日期 2016年 9月 28日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘宁 电话号码 (86-10)010-62413955																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/082106

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101609236	A	2009年 12月 23日	无			
CN	102543863	A	2012年 7月 4日	WO	2013116992	A1	2013年 8月 15日
				US	2013200383	A1	2013年 8月 8日
				US	8563341	B2	2013年 10月 22日
CN	105487285	A	2016年 4月 13日	无			
US	2014138714	A1	2014年 5月 22日	US	2015048367	A1	2015年 2月 19日
				TW	I483036	B	2015年 5月 1日
				US	8900900	B2	2014年 12月 2日
				CN	103165540	A	2013年 6月 19日
				US	9064749	B2	2015年 6月 23日
				CN	103165540	B	2014年 10月 15日
				TW	201421112	A	2014年 6月 1日
US	2009057671	A1	2009年 3月 5日	KR	20090024383	A	2009年 3月 9日
				US	8426228	B2	2013年 4月 23日
				US	2011269254	A1	2011年 11月 3日
				US	7989807	B2	2011年 8月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)