

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-250101
(P2007-250101A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 Z
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 4 0

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2006-73386 (P2006-73386)
 (22) 出願日 平成18年3月16日 (2006.3.16)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 古川 秀之
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

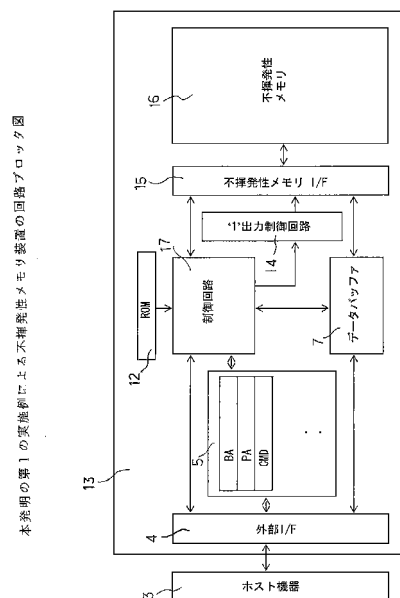
(54) 【発明の名称】 不揮発性メモリ装置および不揮発性メモリ装置の制御方法

(57) 【要約】

【課題】 FeRAM, MRAM等の次世代不揮発性メモリ装置は、すでに市場において多用されているフラッシュメモリ装置との互換性が要求されている。

【解決手段】 ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、“1”から“0”、または“0”から“1”の何れかの方向へもビットデータを書き換え可能な不揮発性メモリと、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に“1”データの書き込み処理を行う制御回路を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、"1" から "0"、または "0" から "1" の何れの方へもビットデータを書き換え可能な不揮発性メモリと、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に "1" データの書き込み処理を行う制御回路を有することを特徴とする不揮発性メモリ装置。

【請求項 2】

ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、"1" から "0"、または "0" から "1" の何れの方へもビットデータを書き換え可能な不揮発性メモリを有し、該不揮発性メモリは、それぞれが複数のページ領域をもつ複数のブロック領域と、該各ページ領域のデータの消去状態を示すフラグを格納したフラグ領域を有することを特徴とする不揮発性メモリ装置。

10

【請求項 3】

ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置の制御方法であって、該不揮発性メモリ装置は、書き込み処理によって、"1" から "0"、または "0" から "1" の何れの方へもビットデータを書き換え可能な不揮発性メモリを有し、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に "1" データの書き込み処理を行うことを特徴とする不揮発性メモリ装置の制御方法。

20

【請求項 4】

ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置の制御方法であって、該不揮発性メモリ装置は、書き込み処理によって、"1" から "0"、または "0" から "1" の何れの方へもビットデータを書き換え可能な不揮発性メモリを有し、該不揮発性メモリは、それぞれが複数のページ領域をもつ複数のブロック領域と、該各ページ領域のデータの消去状態を示すフラグを格納したフラグ領域を有し、ホスト機器から消去コマンドを受けると、指定されたブロック領域内の全てのページ領域に対応するフラグをオンとし、ホスト機器から書き込みコマンドを受けると、指定されたページ領域にデータを書き込むと共に該ページ領域に対応するフラグをオフにすることを特徴とする不揮発性メモリ装置の制御方法。

30

【請求項 5】

ホスト機器から読み出しコマンドを受けると、指定されたページ領域に対応するフラグを前記フラグ領域から読み出し、該フラグがオンの場合は、全ビット "1" のデータをホスト機器に出力し、フラグがオフの場合は、指定されたページのデータを該不揮発性メモリから読み出してホスト機器に出力することを特徴とする請求項 4 記載の不揮発性メモリ装置の制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、不揮発性メモリ装置に係り、特にフラッシュメモリ装置と互換性のある不揮発性メモリ装置に関する。

40

【背景技術】**【0002】**

近年、デジタルカメラや携帯電話、音楽プレーヤ等の幅広い分野の製品において、ユーザのデータの保存に、SDカード、メモリスティック、xDピクチャーカードといったメモリカードが使用されている。また、USBフラッシュメモリのように、メモリカード以外の不揮発性メモリ装置も普及している。これらのメモリ装置の殆どは、不揮発性メモリとして現在フラッシュメモリを使用している。

【0003】

50

ところで、フラッシュメモリ装置の記憶セルは、「書き込み」により記憶セル内の特定領域に対して電子が注入され、注入された電子量によってデータの記憶を行うようになっている。そのため、「書き込み」によってできるのは、電子の注入されていない記憶セルに対して電子を注入することによるデータの書き換えだけである。

【0004】

一般に、1つの記憶セルあたり2値(1ビット)のフラッシュメモリ装置の場合、電子が注入された状態を"0"、注入されていない状態を"1"とみなしているため、「書き込み」は"1" "0"方向にしかできないことになる。

【0005】

フラッシュメモリ装置の記憶セルの電子を放出することは「消去」と呼ばれ、一定の領域を1単位(以後ブロック)として、ビットを"1"の状態に戻すことができ、この状態から再び「書き込み」を行うことが可能となる。

【0006】

このように、フラッシュメモリ装置は一度データが書き込まれた領域を別のデータに書き換えるには、一旦、ブロック単位で消去処理を行う必要がある。

【0007】

図8は、従来のフラッシュメモリ装置1の回路ブロック図であり、図8を使用してフラッシュメモリ装置の回路動作を説明する。

【0008】

フラッシュメモリ2は、消去単位であるブロック($m+1$)個で構成され、各ブロックは、書き込み読み出し単位であるページ($n+1$)個で構成される。なお、 m 、 n は0以上の整数である。

【0009】

パソコン等のホスト機器3は、外部インタフェース(I/F)4を介して、予め決められた手順に従って、レジスタ回路5内のブロックアドレスレジスタBA、ページアドレスレジスタPAに書き込み先のアドレスを設定し、バッファ回路6内のデータバッファ7に書き込みデータを設定する。このとき、ECC制御(エラー検証・訂正制御)を行うECC制御回路8が書き込みデータからECCコードを生成してECCバッファ9に格納する。

【0010】

なお、ROM12には、ブロックサイズ、ページサイズが記録されていて、ホスト機器3はROM12を読み出すことにより、アクセス単位の情報を取得することができる。

【0011】

コマンドレジスタCMDに書き込みコマンドが設定されると、制御回路10は、ブロックアドレスレジスタBAで指定されたブロック、ページアドレスレジスタPAで指定されたページに対して、フラッシュメモリインタフェース(I/F)11を介して、データバッファ7のデータおよびECCバッファ9のデータを書き込む。書き込みが正しく行われると、ステータスレジスタSTに書き込みが正しく行われたことを示す値が設定され、ホスト機器3は、ステータスレジスタSTの内容を読むことで、書き込みコマンドが正しく実行されたことを確認できる。

【0012】

読み出しを行う場合は、ホスト機器3は、読み出しコマンドをコマンドレジスタCMDに設定し、制御回路10は、フラッシュメモリインタフェース11を介して、書き込みと同様にブロックアドレスレジスタBAおよびページアドレスレジスタPAで指定されたブロックおよびページのデータ、ECCコードを読み出す。このとき、ECC制御回路8により、読み出したデータから新たに生成したECCコードと、読み出したECCコードとの比較検証が行われ、その結果をステータスレジスタSTに設定する。データの訂正可能な場合は、ホスト機器3へのデータ出力時に、ECC制御回路8がデータを訂正して出力する。

【0013】

次に、消去を行う場合は、ホスト機器3は、消去コマンドをコマンドレジスタCMDに設定し、制御回路10は、ブロックアドレスレジスタBAに設定されたブロック内のデータを

10

20

30

40

50

フラッシュメモリインタフェース 11 を介して消去する。

【0014】

正しく消去が行われると、ステータスレジスタ ST に消去が正しく行われたことを示す値が設定され、ホスト機器 3 は、ステータスレジスタ ST の内容を読み出し、消去コマンドが正しく実行されたことを確認する。

【0015】

以上、述べたような一般的なフラッシュメモリ装置 1 の回路動作については、例えば、特許文献 1 に記載されている。また、フラッシュメモリは書き換え回数に寿命があるので、例えば、特許文献 2 のように、書き換えるブロックが一部の領域に偏らないように処理したり、比較的時間のかかる消去動作を書き換え時には行わず、フラッシュメモリにアクセスしないタイミングのバックグラウンドで行う方法も提案されている。

10

【特許文献 1】米国特許第 5602987 号公報

【特許文献 2】米国特許第 5479638 号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

現在は、不揮発性メモリ装置として、フラッシュメモリ装置を使用するのが一般的であるが、次世代の不揮発性メモリ装置として、MRAM (Magnetoresistive RAM: 磁気抵抗メモリ)、FeRAM (Ferroelectric RAM: 強誘電体メモリ)、RRAM (Resistance RAM: 抵抗メモリ) といった不揮発性メモリが開発されており、今後メモリカードなどに採用されてゆくことが期待されている。

20

【0017】

これらの次世代の不揮発性メモリ装置は、従来のフラッシュメモリ装置のように「消去」を必要とせず、書き込み処理によって "1" "0" または "0" "1" の何れの方向へもビットデータを書き換えることができる。このため次世代の不揮発性記憶装置は、フラッシュメモリ装置において最も時間のかかる消去のための時間を必要とせず、不揮発性メモリ装置のアクセス速度を高速化することができる。

【0018】

しかし、フラッシュメモリ装置は、すでに世の中の電子機器に不揮発性メモリ装置として多用されていて、次世代の不揮発性メモリ装置が、これらの電子機器に対して互換性をもつことが要求される。

30

【課題を解決するための手段】

【0019】

上記課題を解決するため、本発明の一観点によれば、ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、"1" から "0"、または "0" から "1" の何れの方向へもビットデータを書き換え可能な不揮発性メモリと、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に "1" データの書き込み処理を行う制御回路を有することを特徴とする。

【発明の効果】

40

【0020】

本発明の不揮発性メモリ装置を使用すれば、フラッシュメモリを使用する不揮発性メモリ装置と、消去処理を必要としない次世代の不揮発性メモリを使用する不揮発性メモリ装置との互換性を保つことが可能となる。従って、すでに数多く市場に流通しているフラッシュメモリ装置へのアクセスを前提としたホスト機器に何ら変更を加えることなく互換性を維持した状態で、消去処理を必要としない次世代の不揮発性メモリ装置を使用することができる。これにより、ユーザの利便性を損なうことなく、使用する不揮発性メモリ装置の切り替えを容易に行うことができる。

【発明を実施するための最良の形態】

【0021】

50

図1は本発明の第1の実施例による不揮発性メモリ装置13の回路ブロック図、図2は図1における不揮発性メモリ16のメモリマップ、図3は図1の不揮発性メモリ装置13の動作フローチャートを示す。

【0022】

次に、図1に示す不揮発性メモリ装置13の回路動作を説明する。なお、図1の不揮発性メモリ装置13における不揮発性メモリ16として、MRAMやFeRAMのように書き込み処理によって、“1”から“0”、または“0”から“1”の何れの方向へもビットデータを書き換え可能な不揮発性メモリを使用している。また、図2のメモリマップにおいて、ブロックサイズをb、ページサイズをaとしているので、ブロック0はアドレス0～(b-1)の領域、ブロック0のページ0は、アドレス0～(a-1)の領域となる。

10

【0023】

不揮発性メモリ装置13がホスト機器3からメモリアクセスコマンドを受信し(図3のステップS1)、そのコマンドが消去コマンドの場合、ホスト機器3は、消去先の単一または複数のブロックアドレス情報を外部インタフェース(I/F)4を介してブロックアドレスレジスタBAに設定する。

【0024】

次にホスト機器3は、コマンドレジスタCMDに消去コマンドコードを設定し(図3のステップS2)、不揮発性メモリ装置13にデータ消去の実行を命令する。コマンドレジスタCMDに消去コマンドコードが設定されると、制御回路17は、ブロックアドレスレジスタBAに設定されているブロックアドレス情報から、図2のメモリマップに対応する不揮発性メモリ16のアドレスに変換し、“1”出力制御回路14を使用して消去の対象となるアドレスの全てのビットを“1”に書き換える。(図3のステップS3)

20

ホスト機器3から受信したメモリアクセスコマンドが書き込みコマンドの場合、コマンドレジスタCMDに書き込みコマンドコードが設定されると(図3のステップS4)、制御回路17は、ホスト機器3からデータバッファ7に取得した書き込みデータを、ブロックアドレスレジスタBA、ページアドレスレジスタPAに設定されている書き込み先アドレスに対応する不揮発性メモリ16上の領域に書き込む。(図2のステップS5)

ホスト機器3から受信したメモリアクセスコマンドが読み出しコマンドの場合、コマンドレジスタCMDに読み出しコマンドコードが設定されると(図3のステップS6)、制御回路17は、ブロックアドレスレジスタBA、ページアドレスレジスタPAに設定されている読み出し元アドレスに対応する不揮発性メモリ16上の領域からデータを不揮発性メモリインタフェース(I/F)を介してデータバッファ7に読み出す。そしてデータバッファ7のデータを外部インタフェース(I/F)を介してホスト機器3へ出力する。(図2のステップS7)

30

次に本発明の第2の実施例による不揮発性メモリ装置について説明する。

【0025】

図4は本発明の第2の実施例による不揮発性メモリ装置18の回路ブロック図、図5は図4における不揮発性メモリ(MRAM)20のメモリマップ、図6は、図4のMRAM20のフラグテーブル、図7は図4の不揮発性メモリ装置18の動作フローチャートを示す。

40

【0026】

次に、図4に示す不揮発性メモリ装置18の回路動作を説明する。なお、図4の不揮発性メモリ装置18における不揮発性メモリとして、MRAM20を使用しており、図5のMRAMメモリマップにおいて、ページサイズを512バイト、ブロックサイズを32ページ、ブロック数を7920ブロック、MRAMの容量を1ギガビット(2の30乗ビット)としている。

【0027】

MRAM20のアドレスは、0000000H~7FFFFFFHであり、ブロック数は7920なので、データ格納領域は、0000000H~7BBFFFFFFHとなる。残りの7BC0000H~7FFFFFFHのうち、フラグ領域には、7BC0000Hを先頭に、'FFH'ならフラグがオンの状態、'00H'ならフラグが

50

オフの状態として、順に7920ブロック×32ページ=3DE00Hバイトを割り当てる。

【0028】

MRAM20は、図6に示すフラグテーブルを持ち、対応する各ページ毎にデータ消去状態を示すフラグを保持する。

【0029】

まず、書き込み処理について説明する。不揮発性メモリ装置18がホスト機器3からメモリアクセスコマンドを受信し(図7のステップS1)、そのコマンドが書き込みコマンドの場合、ホスト機器3は、書き込みコマンドをコマンドレジスタCMDに設定し(図7のステップS4)、そのパラメータとして、ブロックアドレスをブロックアドレスレジスタBAに、ページアドレスをページアドレスレジスタPAに設定する。ここで例えば、ブロック1のページ0を設定したとする。次に、ホスト機器3は、外部インタフェース(I/F)を介して書き込みデータの512バイトを入力し、このデータはデータバッファ7に格納される。

10

【0030】

制御回路21は、入力されたブロック1、ページ0のMRAM20上のアドレスである4000H~41FFHに、MRAMインタフェース(I/F)19を介して、データバッファ7のデータを書き込む。(図7のステップS5)

このアドレスに対応するフラグは、MRAM20のフラグ領域の先頭7BC0000Hから32バイト目なので、消去状態フラグ制御回路22によって、MRAM20のアドレス7BC0020Hに'00H'(フラグオフ)が書き込まれ(図7のステップS6)、ブロック1のページ0が消去された状態でないことを記録する。

20

【0031】

次に、消去処理について説明する。ホスト機器3は、消去コマンドをコマンドレジスタCMDに設定し(図7のステップS2)、そのパラメータとして、ブロックアドレスをブロックアドレスレジスタBAに設定する。ここでは例えば消去ブロックとして、ブロック0を設定したとする。制御回路21は、ブロック0のデータに対応するMRAM20上の領域0000000H~0003FFFHには何らアクセスせずに、入力されたブロック0に対応する消去状態フラグが保持されているMRAM20上のアドレス7BC0000H~7BC001FHに'FFH'(フラグオン)を書き込み(図7のステップS3)、対応する領域が消去された状態であることを記録する。

30

【0032】

次に、読み出し処理について説明する。ホスト機器3は、読み出しコマンドをコマンドレジスタCMDに設定し(図7のステップS7)、そのパラメータとしてブロックアドレスをブロックアドレスレジスタBAに設定し、ページアドレスをページアドレスレジスタPAに設定する。ここでは例えばブロック0のページ1のデータを読み出すとする。まず、消去状態フラグ制御回路22が、指定されたアドレスの消去状態フラグが記録されているMRAM20の対応アドレス7BC0001Hを読み出し、消去状態フラグがオンになっているのか、オフになっているのか確認する。(図7のステップS8)

フラグテーブルのフラグが'FFH'であれば、消去された状態とみなし、'1'出力制御回路14から全ビット'1'のデータを読み出しデータとして、外部インタフェース(I/F)4を介してホスト機器3へ出力する。(図7のステップS9)

40

フラグテーブルのフラグが'00H'であれば、データが書き込まれている状態なので、対応するMRAM20上の領域0000200H~00003FFFHのデータをデータバッファ7に読み出し、外部インタフェース(I/F)4を介してホスト機器3へ出力する。(図7のステップ10)

このように、本発明の第2の実施例による不揮発性メモリ装置では、消去状態フラグが格納されたフラグテーブルを有しているため、消去状態フラグのみの変更で済み、消去処理において指定されたブロックの全データを'1'に書き換える必要がなく、アクセス速度の向上を図ることができる。

【0033】

50

なお、次世代不揮発性メモリを使用した本発明の不揮発性メモリ装置では、従来の不揮発性メモリ装置に比してメモリの信頼性が改善される可能性があるため、ECC制御は省略している。

【0034】

以上説明した本発明の不揮発性メモリ装置を使用すれば、フラッシュメモリを使用する不揮発性メモリ装置と、消去処理を必要としない次世代の不揮発性メモリを使用した不揮発性メモリ装置との互換性を保つことが可能となる。従って、すでに数多く市場に流通しているフラッシュメモリ装置へのアクセスを前提としたホスト機器に何ら変更を加えることなく互換性を維持した状態で、消去処理を必要としない次世代の不揮発性メモリ装置を使用することができる。これにより、ユーザの利便性を損なうことなく使用する不揮発性メモリ装置の切り替えを容易に行うことができる効果がある。

10

(付記1) ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、“1”から“0”、または“0”から“1”の何れかの方向へもビットデータを書き換え可能な不揮発性メモリと、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に“1”データの書き込み処理を行う制御回路を有することを特徴とする不揮発性メモリ装置。

(付記2) ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置であって、書き込み処理によって、“1”から“0”、または“0”から“1”の何れかの方向へもビットデータを書き換え可能な不揮発性メモリを有し、該不揮発性メモリは、それぞれが複数のページ領域をもつ複数のブロック領域と、該各ページ領域のデータの消去状態を示すフラグを格納したフラグ領域を有することを特徴とする不揮発性メモリ装置。

20

(付記3) ホスト機器から読み出しコマンドを受けると、指定されたページ領域に対応するフラグを前記フラグ領域から読み出し、該フラグがオンの場合は、全ビット“1”のデータをホスト機器に出力する“1”出力制御回路を有することを特徴とする付記2記載の不揮発性メモリ装置。

(付記4) ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置の制御方法であって、該不揮発性メモリ装置は、書き込み処理によって、“1”から“0”、または“0”から“1”の何れかの方向へもビットデータを書き換え可能な不揮発性メモリを有し、該ホスト機器から消去コマンドおよび消去先アドレス情報を受信すると、該不揮発性メモリ上の該消去先アドレス情報で指定された全領域に“1”データの書き込み処理を行うことを特徴とする不揮発性メモリ装置の制御方法。

30

(付記5) ホスト機器から制御され、フラッシュメモリ装置との互換性を有する不揮発性メモリ装置の制御方法であって、該不揮発性メモリ装置は、書き込み処理によって、“1”から“0”、または“0”から“1”の何れかの方向へもビットデータを書き換え可能な不揮発性メモリを有し、該不揮発性メモリは、それぞれが複数のページ領域をもつ複数のブロック領域と、該各ページ領域のデータの消去状態を示すフラグを格納したフラグ領域を有し、ホスト機器から消去コマンドを受けると、指定されたブロック領域内の全てのページ領域に対応するフラグをオンとし、ホスト機器から書き込みコマンドを受けると、指定されたページ領域にデータを書き込むと共に該ページ領域に対応するフラグをオフにすることを特徴とする不揮発性メモリ装置の制御方法。

40

(付記6) ホスト機器から読み出しコマンドを受けると、指定されたページ領域に対応するフラグを前記フラグ領域から読み出し、該フラグがオンの場合は、全ビット“1”のデータをホスト機器に出力し、フラグがオフの場合は、指定されたページのデータを該不揮発性メモリから読み出してホスト機器に出力することを特徴とする付記5記載の不揮発性メモリ装置の制御方法。

【産業上の利用可能性】

【0035】

本発明の不揮発性メモリ装置を使用すれば、すでに数多く市場に流通しているフラッシュ

50

メモリを使用する不揮発性メモリ装置と、消去処理を必要としない次世代の不揮発性メモリを使用する不揮発性メモリ装置との互換性を保つことが可能となる。

【図面の簡単な説明】

【0036】

【図1】本発明の第1の実施例による不揮発性メモリ装置の回路ブロック図

【図2】図1の不揮発性メモリ装置のメモリマップ

【図3】図1の不揮発性メモリ装置の動作フローチャート

【図4】本発明の第2の実施例による不揮発性メモリ装置の回路ブロック図

【図5】図4の不揮発性メモリ装置のメモリマップ

【図6】図4の不揮発性メモリ装置のフラグテーブル

10

【図7】図4の不揮発性メモリ装置の動作フローチャート

【図8】従来フラッシュメモリ装置の回路ブロック図

【符号の説明】

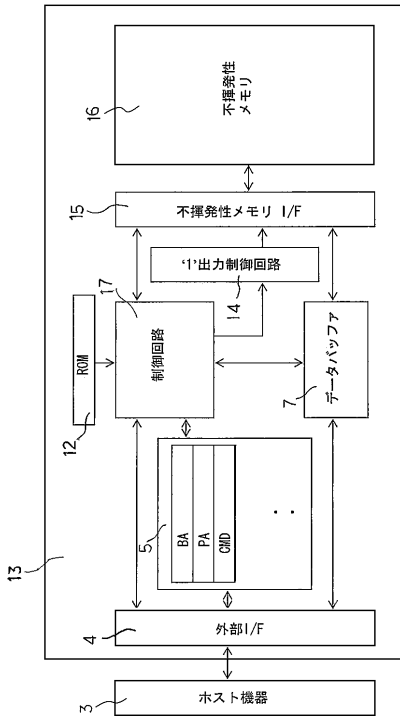
【0037】

- 3 ホスト機器
- 4 外部インタフェース
- 5 レジスタ回路
- 7 データバッファ
- 12 ROM
- 13 不揮発性メモリ装置
- 14 '1'出力制御回路
- 15 不揮発性メモリインタフェース
- 16 不揮発性メモリ
- 17 制御回路
- 18 不揮発性メモリ装置
- 19 MRAMインタフェース
- 20 MRAM
- 21 制御回路
- 22 消去状態フラグ制御回路

20

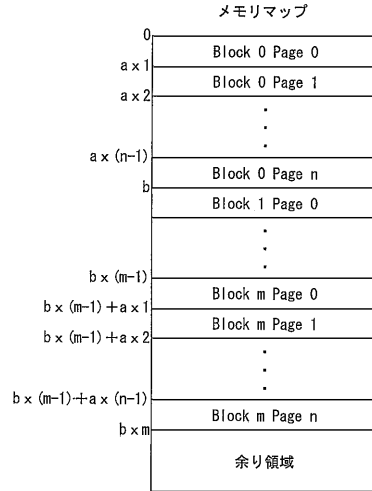
【 図 1 】

本発明の第1の実施例による不揮発性メモリ装置の回路ブロック図



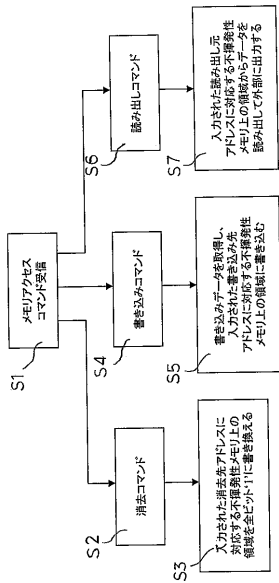
【 図 2 】

図1の不揮発性メモリ装置のメモリマップ



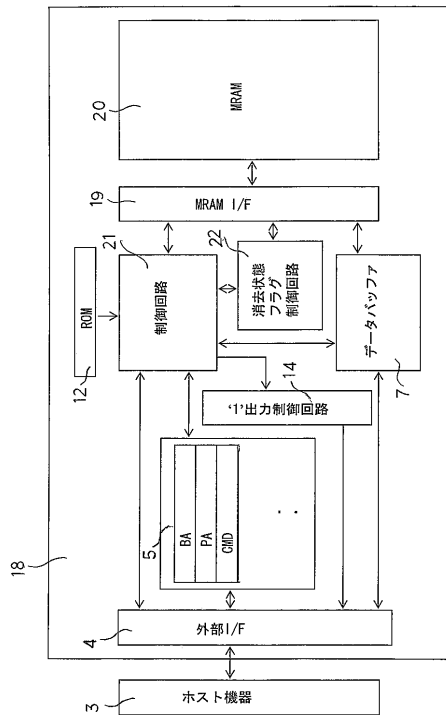
【 図 3 】

図1の不揮発性メモリ装置の動作フローチャート

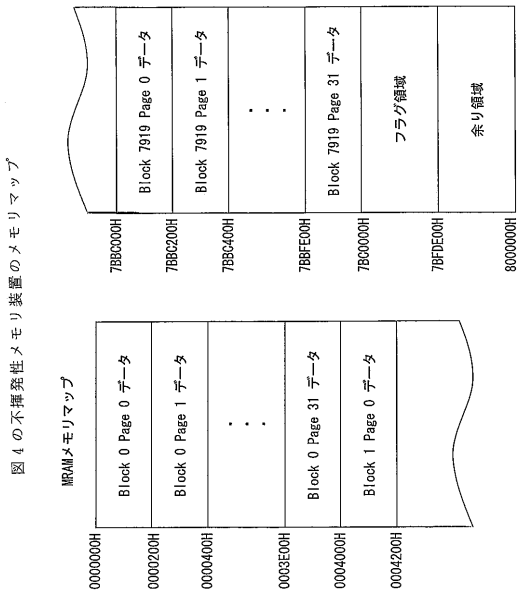


【 図 4 】

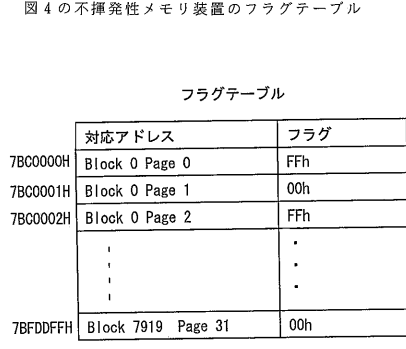
本発明の第2の実施例による不揮発性メモリ装置の回路ブロック図



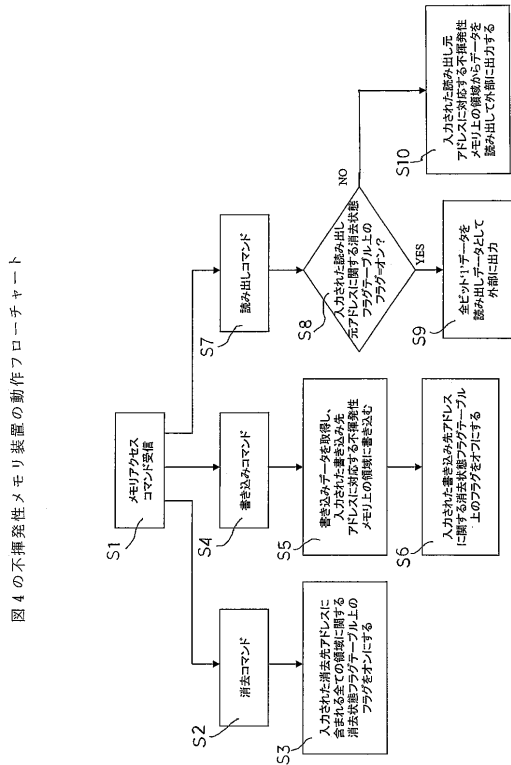
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

