

(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 262 924 A1

4(51) G 01 R 31/28
G 06 F 11/28

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP G 01 R / 305 931 6	(22)	12.08.87	(44)	14.12.88
------	-----------------------	------	----------	------	----------

(71) Ingenieurhochschule Mittweida, Platz der DSF 17, Mittweida, 9250, DD

(72) Winkler, Frank, Dipl.-Ing., DD

(54) Schaltungsanordnung zur prüffreundlichen Strukturierung von Digitalschaltungen

(55) Digitalschaltungen, Prüfung, Prüffreundlichkeit, prüffreundlicher Entwurf, Strukturierung, Partionierung, VLSI-Prüfung, Prüfdatenbus, Adreßbus, Seriell-Parallel- und Parallel-Seriell-Prüfdatenwandlung

(57) Die Schaltungsanordnung zur prüffreundlichen Strukturierung und Prüfung von Digitalschaltungen soll eine ebenso einfache wie effektive Prüfung dieser Schaltungen ermöglichen. Aufgabe der Erfindung ist es, mit einem geringen Overhead Kriterien für eine moderne Prüfung zu erfüllen. Erfindungsgemäß wird das erreicht, indem die prüffreundlich zu strukturierende Schaltung partioniert wird. Die Verbindung der Teillogikschaltungen untereinander erfolgt mittels einfacher Steuerlogikschaltungen (CLC). Eine Einheit aus Multiplexer, Demultiplexer und Adreßdecodern gewährleistet, daß der vom externen Prüfsignalgenerator gelieferte und aus Prüf- und Adreßdaten bestehende Datenstring zur jeweils zu testenden Teillogik gelangt und die parallel anstehenden Antwortsignale über den Demultiplexer zum externen Auswertegerät gelangen. Die Erfindung ist anwendbar bei den Herstellern von Digitalschaltungen, insbesondere bei Herstellern von höher integrierten Digitalschaltkreisen.

Erfindungsanspruch:

1. Schaltungsanordnung zur prüffreundlichen Strukturierung von Digitalschaltungen, **gekennzeichnet dadurch**, daß eine Digitalschaltung derart partioniert wird, daß einzelne digitale Teilschaltungen gebildet werden, die miteinander im normalen Betriebsmodus verbunden, die voll funktionsfähige Digitalschaltung ergeben; logische Steuerschaltungen (CLC) verbinden die Ausgänge der Logik n mit den zugehörigen Eingängen der Logik n + 1 derart, daß folgende Funktionen gewährleistet sind:
 1. Transparenz der CLC im normalen Betriebsmodus, so daß die Ausgangssignale der Logik n ungehindert zu den zugehörigen Eingängen der Logik n + 1 gelangen;
 2. die vor der zu prüfenden Teillogik n befindlichen CLC schalten die entsprechenden Leitungen des Prüfdatenbus' auf die zugehörigen Eingänge der Teillogik n durch und trennen gleichzeitig die vorhergehende Teillogik n - 1 schaltungslogisch von der Teillogik n;
 3. die der zu prüfenden Teillogik n nachgeschalteten CLC schalten die zugehörigen Teillogikausgänge zum Demultiplexer durch und trennen gleichzeitig die nachfolgende Teillogik n + 1 schaltungslogisch von der Teillogik n;
 4. die einzelnen CLC werden durch einen jeder Teillogik zugeordneten Adreßdecoder durch ein ENABLE-Signal in den entsprechenden Betriebszustand gebracht.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß über den externen Prüfdatengenerator binär codierte Adressen für die jeder Teillogik zugeordneten Adreßdecoder geliefert werden, wobei diese Adreßdecoder durch einen Adreßbus miteinander verbunden sind und der Adreßwechsel auf dem Adreßbus nach einem vom Multiplexer gelieferten Adreßwechsel vollzogen wird; die Adreßbereitstellung und -übertragung kann über einen zweiten, unabhängigen Adreßmultiplexer erfolgen.
3. Schaltungsanordnung nach Punkt 2, **gekennzeichnet dadurch**, daß ein externer Prüfdatengenerator ein m Bit langes Datenwort liefert, das auf einen Multiplexer gegeben, einer Seriell-Parallel-Wandlung unterzogen und auf einen m Bit breiten Prüfdatenbus gegeben wird.
4. Schaltungsanordnung nach Punkt 3, **gekennzeichnet dadurch**, daß die CLC im nichtadressierten Zustand am mit dem Demultiplexer verbundenen Ausgang den logischen Wert „Ø“ haben und somit diese Ausgänge aller mit der gleichen Leitung des Prüfdatenbus' verbundenen CLC über ein OR-Gatter verknüpft werden können.
5. Schaltungsanordnung nach Punkt 4, **gekennzeichnet dadurch**, daß die vom Multiplexer gelieferten Daten und die am Demultiplexer anstehenden Daten in einer geeigneten Weise gehalten werden, um eine fehlerfreie Übernahme durch Adreßdecoder, CLC und Demultiplexer zu gewährleisten.
6. Schaltungsanordnung nach Punkt 5, **gekennzeichnet dadurch**, daß bei Einsatz in einem Bipolar-System zusätzlich ein Prüfdaten- und ein Adreßbustreiber verwendet werden.
7. Schaltungsanordnung nach Punkt 6, **gekennzeichnet dadurch**, daß Auswerteeinheit und externer Prüfdatengenerator zweckmäßiger Weise ein oder mehrere Mikrorechner sind.
8. Schaltungsanordnung nach Punkt 7, **gekennzeichnet dadurch**, daß die Anwendung auf unterschiedlichem schaltungshierarchischem Niveau bis zur erfindungsgemäßen Strukturierung ganzer Digitalsysteme erfolgen kann; aufgrund der externen Bereitstellung von Adreßdaten ist somit der selektive Test von Teilschaltungen möglich.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung ist anwendbar bei Herstellern von Digitalschaltungen für eine effektive Produktkontrolle und bei Anwendern, wenn die Schaltungsanordnung mit der ihr immanenten prüffreundlichen Struktur bekannt ist, für die Wareneingangskontrolle und den zyklischen Test.

Charakteristik der bekannten technischen Lösungen

Das vom IBM entwickelte LSSD-Prinzip bietet gute Möglichkeiten, den Forderungen nach testfreundlichem Gestalten von hochintegrierten Digitalschaltungen gerecht zu werden. Die Speicherelemente (Flipflops) einer sequentiellen Schaltung werden so miteinander kombiniert, daß sie zusätzlich zu ihrer normalen Funktion ein Schieberegister bilden können. Die Ein- und Ausgänge des Schieberegisters führen zu externen Pins. Flipflops, die in den Abtastpfad integriert sind, können während der Shift-in- und Shift-out-Operation gesteuert und beobachtet werden. Die sequentielle Tiefe der Schaltung wird Null, wenn alle Speicherelemente (FF) im Abtastpfad zusammengeschaltet sind. Bei Verwendung der Schiebeoperationen am Schieberegister

ist es also möglich, bei jedem Flipflop Informationen einzuschreiben und Informationen auszulesen. Damit stellt jedes Flipflop einen indirekt zugänglichen Ein- und Ausgang für das zu testende kombinatorische System dar.

(Schwaertzel, H. G.: Testing of VLSI-Circuits, Proc. IFIP TC 10/WG 10.5. Int. Conf. Very Large Scale Int., Trondheim, 16.-19. Aug. 1983)

Beim Interface-Test wird auf die internen Schaltungspunkte nicht über Schieberegister, sondern über Pins zugegriffen. Der Interface-Test basiert auf der Idee, alle Pins eines Chips von deren normalen Verbindungen (außer U_B und Masse) zu trennen und ein extern generiertes Stimulussignal anstelle der normalen Signale in die Pins einzugeben. Jedes Pin ist mit der Chipschaltung über drei Leitungen verbunden: Daten-in-die-Schaltung (IN), Daten-aus-der-Schaltung (OUT) und ENABLE, die angibt, welches Pin betrieben wird. Die konstruktive Gestaltung eines Hardwaretesters vereinfacht sich, da nunmehr der aufwendige Test der Pin-Elektronik entfällt.

(Edward H. Frank: Testing and Debugging of Custom Integrated Circuits, Computing surveys, vol. 13, No. 4, Dec. 1981)

Bei der Muffler-Technik wird der wahlweise Zugriff zu internen Schaltungspunkten durch Selektoren gewährleistet. Damit ist die Auswahl von Signalen und deren externe Beobachtung möglich. Für das DUT werden Zusatzanschlüsse für die Funktionen ADDRESS, ADDRESS SHIFT und DATA benötigt. Diese Leitungen werden in einem Bus zusammengefaßt, der alle in der Schaltung befindlichen Selektoren verbindet. Jeder interne Anschlußpunkt kann durch eine extern vorzuwählende Adresse angesprochen werden. Die seriell vorliegenden Daten werden in einem Multiplexer einer Seriell-Parallel-Wandlung unterzogen. Es wird jedoch keine logikmäßige Isolation einzelner Teilschaltungen vorgenommen, so daß keine Rückwirkungsfreiheit für die betrachtete Teilschaltung garantiert wird. Die Reaktion des über einen Selektor stimulierten Schaltungsteiles kann nur an bzw. in der Schaltung selbst betrachtet werden, so daß eine externe Auswertung der Prüfergebnisse erschwert wird.

(Edward H. Frank: Testing and Debugging of Custom Integrated Circuits, Computing surveys, vol. 13, Dec. 1981, No. 4)

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, Digitalschaltungen derart prüffreundlich zu strukturieren, daß eine einfache und effektive Prüfung möglich ist.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, Digitalschaltungen derart prüffreundlich zu strukturieren, daß die Prüfung dieser Schaltungen ebenso einfach wie effizient wird.

Erfindungsgemäß wird das erreicht, indem die prüffreundlich zu realisierende Digitalschaltung in Teilschaltungen P_1 bis P_n partitioniert wird. Zusätzlich zur eigentlichen Schaltung werden ein Multiplexer (2), ein Demultiplexer (3) und Steuerlogikschaltungen (CLC) (1) benötigt. Der Eingang des Multiplexers (2) ist mit einem externen Prüfdatengenerator verbunden, der seriell die für die Prüfung der Digitalschaltung notwendigen Prüfdaten bereitstellt, die dann im Multiplexer (2) einer Seriell-Parallel-Wandlung unterzogen und auf einen Prüfdatenbus (6) gegeben werden.

Die CLC (1) sind im normalen Betriebsfall transparent und verbinden den Ausgang der Vorgängerlogik (Output Prälogik (2)) mit dem zugehörigen Eingang der Nachfolgerlogik (Input Succlogik (6)) miteinander. Zwischen jedem Ausgang der Prälogik und dem zugehörigen Eingang der Succlogik befindet sich je eine CLC (1). Das Signal ENABLE A gewährleistet die logische Trennung der unter Test befindlichen Prälogik von der Succlogik. Das Signal ENABLE B gewährleistet die Trennung der unter Test befindlichen Succlogik von der Prälogik. Wird also eine Teilschaltung getestet, so erhalten die eingangsseitigen CLC (1) das Signal ENABLE B und die ausgangsseitigen CLC (1) das Signal ENABLE A, was gleichzeitig bewirkt, daß das Ausgangssignal des jeweiligen Ausgangs der Teillogik unter Test am Ausgang 4 der CLC (1) anliegt.

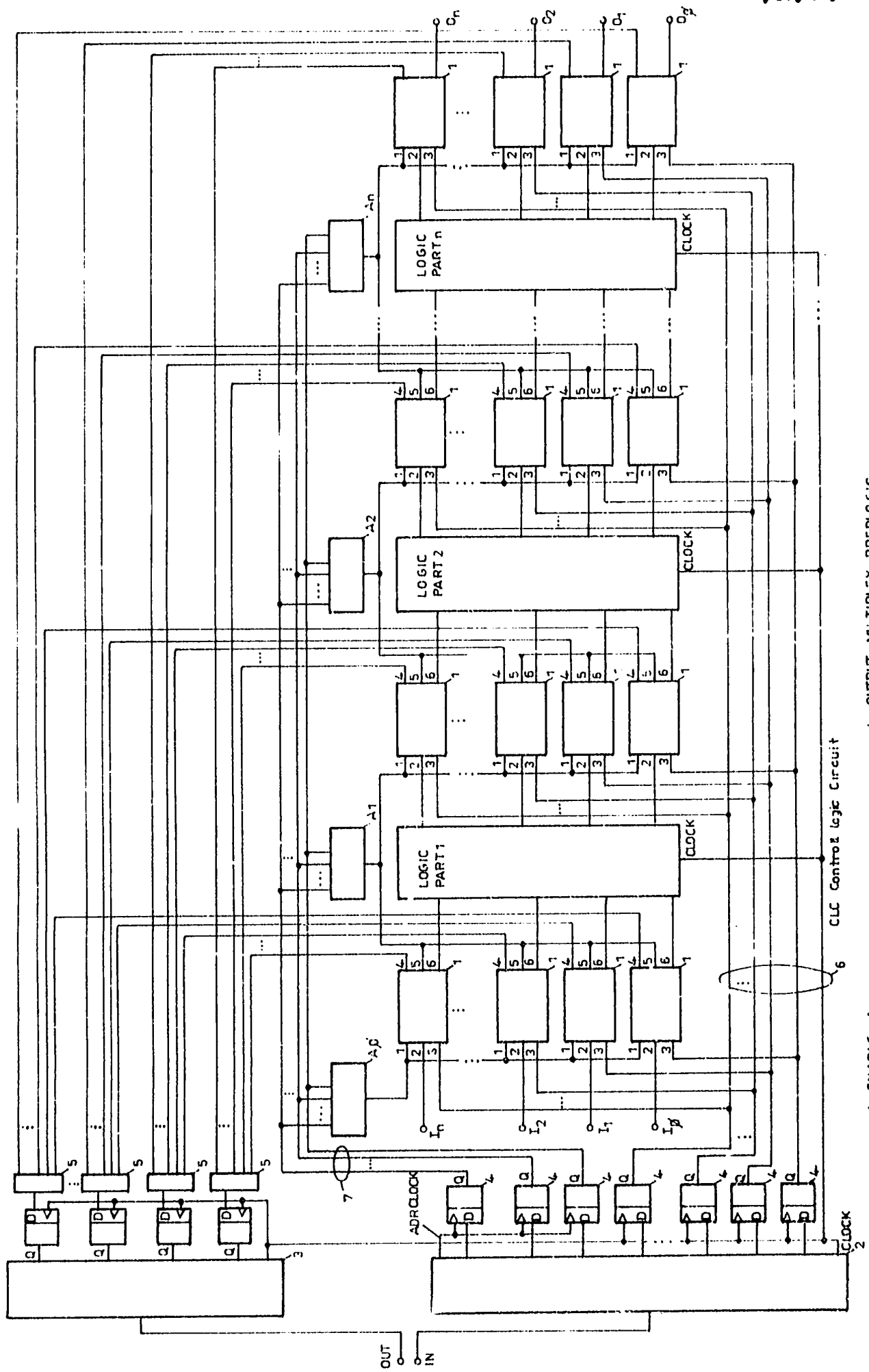
Die Eingänge der CLC (1) sind mit den zugehörigen Leitungen des Prüfsignalbus (6) verbunden. Neben den Prüfdaten gelangen über den Multiplexer auch die Adreßdaten, mit deren Hilfe die jeweils aktuelle, zu testende Teillogikschaltung ausgewählt wird. Die Adreßdaten gelangen auf einen Adreßbus (7), an den ein Adreßdecoder angeschlossen ist. Der jeweils angesprochene Adreßdecoder liefert ein ENABLE-Signal, das als ENABLE A für die Folge-CLC (1) und als ENABLE B für die Vor-CLC (1) verwendet wird. Damit ist die zu testende Teillogikschaltung vollständig vom Rest der Gesamtschaltung isoliert und die Prüfdaten gelangen vom Multiplexer (2) über Prüfdatenbus (6) und Vor-CLC (1) an die jeweiligen Eingänge der Teillogik. Die Antworten auf die Prüfdaten werden über die Folge-CLC (1) (Ausgang 4 (OUTPUT PRÄLOGIK)) an einen Demultiplexer (3) gegeben, der eine Parallel-Seriell-Wandlung der anliegenden Testantwortdaten vornimmt und an eine externe Auswerteeinheit weiterleitet. Da die CLC (1) im nichtadressierten Zustand am Ausgang 4 den logischen Wert „0“ aufweisen, können die bezüglich Stellung zum Prüfsignalbus gleichwertigen CLC-Multiplexerausgänge 4 durch OR-Gatter verknüpft werden. Um eine echte parallele Testdateneinspeisung an die Teillogikschaltungen zu gewährleisten, sind die Ausgänge des Multiplexers (2) mit D-Flipflops (4) verbunden, die erst auf das Signal CLOCK die aktuellen Werte auf den Prüfdatenbus (6) bzw. auf das Signal ADCLOCK auf den Adreßbus (7) geben. Eine Zwischenspeicherung der Ausgangsantworten der CLC (1) vor Übernahme durch den Demultiplexer (3) geschieht durch die vorgeschalteten D-Flipflops (8), die vom Systemtakt getaktet werden.

Die Primäreingänge werden in der Schaltungsanordnung als $I_0 \dots I_n$ und die Primärausgabe als $O_0 \dots O_n$ bezeichnet.

Ausführungsbeispiel

Die zu prüfende Schaltung wurde in Teilschaltungen P1 bis Pn partitioniert. Der Multiplexer (IS 1) wird von einem externen Prüfdatengenerator angesteuert, der Prüfdaten und Adressen liefert. Die Daten werden ausgangssseitig in D-Flipflops (IS 6.1. bis IS 6.K.) zwischengespeichert und durch ebenfalls vom Prüfdatengenerator gelieferte Taktsignale parallel auf den Prüfdatenbus gegeben. Gleiches geschieht mit den in den D-Flipflops (IS 7.1. bis IS 7.n.) zwischengespeicherten Adreßdaten, die über den Adreßtakt an die Adreßdecoder (IS 3.1. bis IS 3.n.) ausgegeben werden. Die Steuerlogikschaltungen (IS 4.1.1. bis IS 4.k.n + 1) entsprechen der unter „Darlegung des Wesens der Erfindung“ gezeigten Logikkombination. Die Steuerlogikschaltungen (CLC) verbinden die Ausgänge der Teilschaltungen P1 bis Pn mit den jeweils zugehörigen Ausgängen der Folgeschaltungen. Im Prüffall für die jeweilige Teilschaltung P wird durch den Adreßdecoder das ENABLE-Signal geliefert, das die logikmäßige Isolation der Teilschaltung P durch die vor- und nachgeschalteten CLC (IS 4) gewährleistet. Die Ausgänge 4 der an den Ausgängen der zu testenden Teilschaltung P befindlichen CLC (IS 4) sind mit einem Demultiplexer (IS 2) verbunden. Die Zwischenspeicherung der Ausgangsantworten der CLC (IS 4) über Ausgang 4 geschieht an den Demultiplexereingängen durch D-Flipflops (IS 5.1. bis IS 5.n + 1), die durch den Systemtakt gesteuert werden. Da die CLC (IS 4.1.1. bis IS 4.k.n + 1) im nichtangesteuerten Fall am Ausgang 4 den logischen Wert „0“ liefern, können die bezüglich Stellung zu den Leitungen des Prüfdatenbus gleichwertigen CLC-Demultiplexausgänge 4 durch OR-Gatter verknüpft werden.

Figure 1



- 1 ENABLE A
- 2 OUTPUT FROM PREDLO
- 3 INPUT TESTPATTER
- 4 OUTPUT MULTIPLEX PREDLOGIC
- 5 ENABLE B
- 6 OUTPUT TO SUCCLOGIC

