



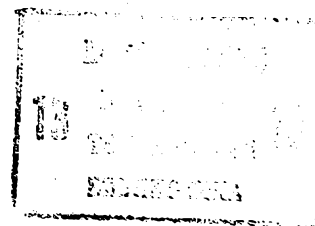
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1114983** **A**

3 (5D) G 01 R 29/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3573302/18-21

(22) 10.01.83

(46) 23.09.84. Бюл. № 35.

(72) П.А.Михейчик, В.В.Панин
и А.В.Солончев

(71) Московский ордена Трудового
Красного Знамени инженерно-физичес-
кий институт

(53) 621.317.325 (088.8)

(56) 1. Труды института ядерной
физики СО АН СССР, препринт ИЯФ-79-
-39, Новосибирск, 1979.

2. Авторское свидетельство СССР
№ 890272, кл. G 01 R 29/02, 1980
(прототип).

(54)(57) УСТРОЙСТВО ДЛЯ АНАЛИЗА ФОР-
МЫ НЕПЕРИОДИЧЕСКИХ ИМПУЛЬСНЫХ СИГНА-
ЛОВ, содержащее аналого-цифровой
преобразователь, первый вход которо-
го соединен с шиной исследуемого
сигнала, а второй вход - с выходом
генератора тактовых импульсов, и
элемент ИЛИ, отличающее -
ся тем, что, с целью повышения быст-
родействия, оно снабжено двумя рас-
пределителями импульсов и N парал-
лельными каналами, каждый из кото-

рых включает блок сравнения, блок
памяти и два буферных запоминающих
блока, информационные входы которых
соединены с выходом аналого-цифрово-
го преобразователя, а разрешающие
входы - с выходами первого распре-
делителя импульсов, вход которого со-
единен с выходом генератора такто-
вых импульсов, причем разрешающие
входы четных буферных запоминающих
блоков предыдущих каналов соединены
с разрешающими входами нечетных
буферных запоминающих блоков после-
дующих каналов и с разрешающими
входами блоков сравнения этих кана-
лов, информационные входы соединены
в каждом канале с выходами буферных
запоминающих блоков, а выходы - с
входами элемента ИЛИ, выход которо-
го соединен с входом второго распре-
делителя импульсов, выходами соеди-
ненного с разрешающими входами бло-
ков памяти, информационные входы
которых соединены с общей информа-
ционной шиной, причем выходы четных
буферных запоминающих блоков соеди-
нены с общей информационной шиной.

(19) **SU** (11) **1114983** **A**

Изобретение относится к электроизмерительной технике и может быть использовано для регистрации амплитудно-временных характеристик однократных импульсных сигналов.

Известно устройство для анализа формы непериодических импульсных сигналов, содержащее аналого-цифровой преобразователь первый вход которого соединен с шиной исследуемого сигнала, второй вход - с выходом блока управления, а выход - с входом буферного запоминающего блока [1].

Недостатками данного устройства являются неэкономное использование емкости запоминающего блока и ограниченное быстродействие.

Наиболее близким к изобретению по технической сущности является устройство для анализа формы непериодических импульсных сигналов, содержащее аналого-цифровой преобразователь, первый вход которого соединен с шиной исследуемого сигнала, второй вход - с выходом генератора тактовых импульсов, а выход - с входом первого буферного регистра, выход которого соединен с первым входом блока сравнения кодов и входом второго регистра, выходом соединенного с первым информационным входом запоминающего блока и вторым входом блока сравнения кодов, первый выход которого соединен с входом счетчика равных значений, а второй выход - с первым входом элемента ИЛИ, второй вход которого соединен с первым выходом счетчика равных значений, а выход - с входом формирователя импульсов, выходом соединенного с входом счетчика адреса записи и первым входом блока выбора режима, второй вход которого соединен с выходом генератора сигналов считывания и входом счетчика адреса считывания, второй выход - с входом управления коммутатора адресов, а первый выход - с входом управления режимом запоминающего блока, второй информационный вход которого соединен с вторым выходом счетчика равных значений, выход - с входом накопителя информации, а адресный вход - с выходом коммутатора адресов, первый информационный вход которого соединен с выходом счетчика адреса записи и первым входом блока сравнения адресов, а второй информационный вход - с выходом счетчика

адреса считывания и вторым входом блока сравнения адресов, выход которого соединен с входом генератора сигналов считывания [2].

Недостатком известного устройства является низкое быстродействие, обусловленное тем, что этап сортировки выборок и обращение к запоминающему блоку занимают значительно больше времени, чем один такт работы аналого-цифрового преобразователя.

Целью изобретения является повышение быстродействия.

Цель достигается тем, что устройство для анализа формы непериодических импульсных сигналов, содержащее аналого-цифровой преобразователь, первый вход которого соединен с шиной исследуемого сигнала, а второй вход - с выходом генератора тактовых импульсов, и элемент ИЛИ, снабжено двумя распределителями импульсов и N параллельными каналами, каждый из которых включает блок сравнения, блок памяти и два буферных запоминающих блока, информационные входы которых соединены с выходом аналого-цифрового преобразователя, а разрешающие входы - с выходами первого распределителя импульсов, вход которого соединен с выходом генератора тактовых импульсов, причем разрешающие входы четных буферных запоминающих блоков предыдущих каналов соединены с разрешающими входами нечетных буферных запоминающих блоков последующих каналов и с разрешающими входами блоков сравнения этих каналов, информационные входы которых соединены в каждом канале с выходами буферных запоминающих блоков, а выходы - с входами элемента ИЛИ, выход которого соединен с входом второго распределителя импульсов, выходами соединенного с разрешающими входами блоков памяти, информационные входы которых соединены с общей информационной шиной, причем выходы четных буферных запоминающих блоков соединены с общей информационной шиной.

На чертеже представлена структурная электрическая схема устройства.

Устройство состоит из аналого-цифрового преобразователя (АЦП) 1, первого распределителя 2 импульсов, буферных запоминающих блоков 3, блока 4 сравнения, элемента ИЛИ 5, вто-

рого распределителя 6 импульсов, блоков 7 памяти и генератора 8 тактовых импульсов.

Первый вход АЦП 1 соединен с шиной исследуемого сигнала, а второй вход - с выходом генератора 8 тактовых импульсов.

Каждый из N параллельных каналов включает блок 4 сравнения, блок 7 памяти и два буферных запоминающих блока 3, информационные входы которых соединены с выходом АЦП 1, а разрешающие входы - с выходами первого распределителя 2 импульсов, вход которого соединен с выходом генератора 8 тактовых импульсов, причем разрешающие входы четных буферных запоминающих блоков 3 предыдущих каналов соединены с разрешающими входами нечетных буферных запоминающих блоков 3 последующих каналов и с разрешающими входами блоков 4 сравнения этих каналов, информационные входы которых соединены в каждом канале с выходами буферных запоминающих блоков 3, а выходы - с входами элемента ИЛИ 5, выход которого соединен с входом второго распределителя 6 импульсов, выходами соединенного с разрешающими входами блоков 7 памяти, информационные входы которых соединены с общей информационной шиной, причем выходы четных буферных запоминающих блоков 3 соединены с общей информационной шиной.

Устройство работает следующим образом.

АЦП 1 в моменты времени, определяемые генератором 8, осуществляет преобразование выборок входного сигнала в цифровой код. Соседние выборки в выходном потоке АЦП 1 записываются на рядом стоящую пару буферных запоминающих блоков 3 в соответ-

ствии с импульсами, поступающими с выхода первого распределителя 2, и далее поступают на блоки 4 сравнения, где каждая выборка сравнивается с предыдущей для выяснения является ли она значащей. Если значащая выборка обнаружена, то с выхода соответствующего блока 4 сравнения сигнал через элемент ИЛИ 5 возбуждает второй распределитель 6 импульсов, который выдает сигнал на запись этой выборки и соответствующего ей момента времени в тот блок 7 памяти, номер которого на единицу больше номера того блока 7 памяти, в который была записана предыдущая значащая выборка, причем процедуру сортировки и записи последующей выборки можно осуществлять не дожидаясь окончания сортировки и записи предыдущей выборки.

При такой организации устройства максимально допустимая длительность цикла работы одного блока 7 памяти определяется выражением

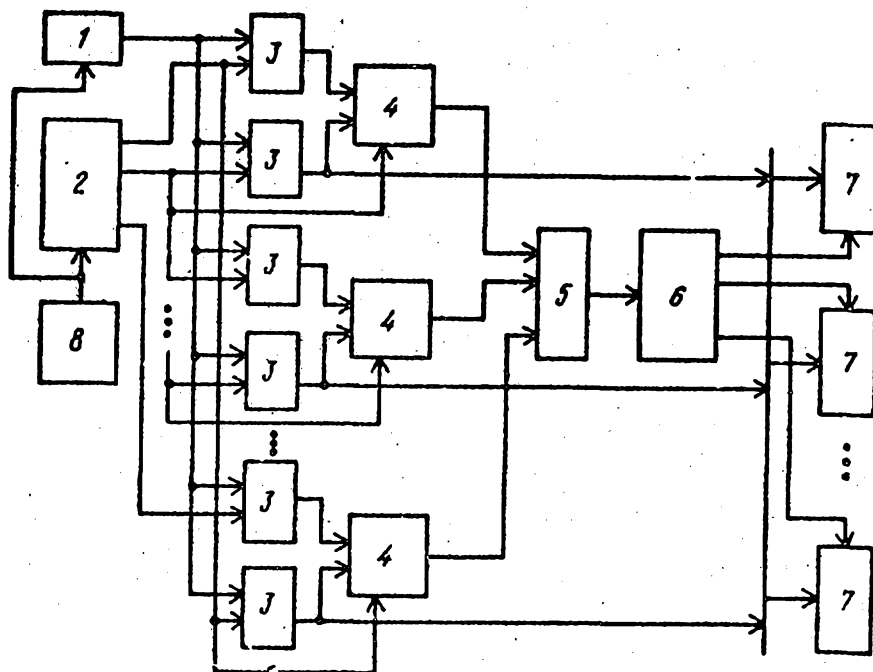
$$T_{\Sigma} \leq t_{\text{АЦП}} \cdot N,$$

где T_{Σ} - длительность цикла работы одного блока памяти;

$t_{\text{АЦП}}$ - период выдачи выборок АЦП;
 N - число параллельных каналов.

При заданных значениях T_{Σ} и $t_{\text{АЦП}}$ этому условию можно удовлетворить, выбрав соответствующее значение N .

Предлагаемое устройство позволяет повысить быстродействие до величины, определяемой быстродействием применяемого АЦП, и не зависит от быстродействия применяемого блока памяти, а значащие выборки однозначно распределяются по блокам памяти.



Редактор И.Шулпа

Составитель В.Лившиц
Техред Л.Коцюбняк

Корректор Е.Сирохман,

Заказ 6764/32

Тираж 710

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4