

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97135883

※申請日期：97年09月18日

※IPC分類：H01L 21/265 2006.01

H01L 21/00 2006.01

一、發明名稱：

(中) 半導體晶片的製造方法

(英) Method for manufacturing semiconductor wafer

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎 舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 4 人)

1. 姓 名：(中) 山崎 舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 宮永 昭治

(英) MIYANAGA, AKIHARU

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 稻田 工

(英) INADA, KO

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 岩城 裕司

(英) IWAKI, YUJI

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/09/21 ; 2007-245809 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體晶片的製造方法

本發明的目的在於提供在絕緣膜上具有膜厚度薄且其膜厚度的均勻性高的單晶半導體層的 SOI 基板的製造方法。另外，本發明的目的也在於縮短添加氫離子的時間，而縮短每一個 SOI 基板的製造時間。在第一半導體晶片的表面上形成接合層，藉由使用離子摻雜裝置對第一半導體晶片照射 H_3^+ 離子來在接合層的下方形成分離層。以高電壓被加速的 H_3^+ 離子在半導體晶片表面分離成三個 H^+ 離子，每個 H^+ 離子不能夠侵入到半導體晶片的深處。因此，與已知的離子植入法相比，可以以較高濃度在半導體晶片的更淺的區域中添加 H^+ 離子。

六、英文發明摘要

發明之名稱：

METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER

To provide a method for manufacturing an SOI substrate having a single crystal semiconductor layer having a small and uniform thickness over an insulating film. Further, time of adding hydrogen ions is reduced and time of manufacture per SOI substrate is reduced. A bond layer is formed over a surface of a first semiconductor wafer and a separation layer is formed below the bond layer by irradiating the first semiconductor wafer with H_3^+ ions by an ion doping apparatus. H_3^+ ions accelerated by high voltage are separated to be three H^+ ions at a semiconductor wafer surface, and the H^+ ions cannot enter deeply. Therefore, H^+ ions are added into a shallower region in the semiconductor wafer at a higher concentration than the case of using a conventional ion implantation method.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

101：第一半導體晶片

102：接合層

103：分離層

104：單晶半導體層

105：第二半導體晶片

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明涉及半導體晶片 (semiconductor wafer) 的製造方法，具體而言，本發明涉及在絕緣膜上具有單晶半導體層的半導體晶片的製造方法以及使用該在絕緣膜上具有單晶半導體層的半導體晶片的半導體裝置及其製造方法。

注意，在本說明書中，半導體裝置是指藉由利用半導體特性來可發揮其機能的所有裝置，電光裝置、半導體電路及電子設備全部都是半導體裝置。

【先前技術】

作為絕緣膜上的單晶半導體層的形成技術，SOI (Silicon On Insulator, 絕緣體上矽結構) 技術已被廣泛地周知。SOI 結構是在單晶矽基板中嵌入氧化矽膜，並且其上面存在有單晶矽薄膜的結構。具有該 SOI 結構的基板也稱為 SOI 基板。

與在大塊矽晶片上形成元件的情況相比，當使用 SOI 結構時，因為在元件的下方有絕緣膜，所以可以將元件分離製程簡單化，其結果，縮短了製程。另外，因為使用 SOI 基板的半導體積體電路可以降低電晶體的汲極和基板之間的寄生電容，且可以提高半導體積體電路的性能，所以在引起關注。

作為製造 SOI 基板的方法，例如已知專利文獻 1 所記載的氬離子植入剝離法。氬離子植入剝離法包括如下步驟

：即藉由離子植入法將氫離子植入到矽晶片而在離表面有預定的深度的位置上形成微小氣泡層，且藉由將該微小氣泡層作為劈開面，而在別的矽晶片上接合薄矽層（SOI 層）。然後進行剝離 SOI 層的熱處理，並且藉由在氧化性氣氛下的熱處理在 SOI 層上形成氧化膜之後去掉該氧化膜，接著在 1000℃ 至 1300℃ 的還原性氣氛下進行熱處理，以提高接合強度，且改善表面的粗糙。

離子植入法（ion implantation）是在真空中將要植入到樣品的粒子離子化，並藉由直流或高頻加速，而植入到樣品的方法。使用離子植入法的離子植入裝置由離子源、質量分離部、加速部、電子束掃描部（靜電掃描）、植入室（終端站）及真空排氣裝置構成。另外，因為離子束不均勻，為了獲得樣品面上的均勻性，電掃描離子束。另外，植入的粒子在深度的方向上呈現高斯分佈。

另外，作為使用 SOI 基板的半導體裝置的一例，已知專利文獻 2。在專利文獻 2 中也公開了使用離子植入法而植入氫的方法。

另外，在專利文獻 3 中提出了不使基板旋轉而使它移動的線狀摻雜裝置。

[專利文獻 1] 美國專利第 6372609 號

[專利文獻 2] 日本專利申請公開 2000-12864 號公報

[專利文獻 3] 日本專利申請公開 H10-162770 號公報

另外，因為藉由離子植入法植入到半導體晶片的氫離子的質量小，所以氫離子植入到離半導體晶片的表面較深

的區域，且氫濃度的峰值位於深的區域。因此，深的區域成為劈開面，結果在別的一半導體晶片的絕緣膜上獲得的一半導體層的厚度成為厚。另外，因為從淺的區域到深的區域以廣泛的範圍添加氫離子，即顯示廣泛的濃度分佈，所以發生離子植入濃度的不均勻性。

進而，因為離子植入法是將預定的電流量的離子束藉由光柵掃描（也稱為點順序掃描）而進行離子植入的方法，所以在半導體晶片內產生離子植入濃度的不均勻性。相應地，劈開面因反映該不均勻性而也有可能變得不平坦。在已知的技術中，為了改善剝離後的一半導體晶片表面的粗糙，進行藉由機械加工的研磨。

【發明內容】

本發明的目的在於提供在絕緣膜上具有膜厚度薄，且其膜厚度的均勻性高的單晶半導體層的 SOI 基板的製造方法。

另外，因為離子植入法是藉由光柵掃描預定的電流量的離子束而進行離子植入的方法，所以處理每一個半導體晶片的時間長。

因此，本發明的目的也在於縮短氫離子的照射時間，而縮短每一個 SOI 基板的製造時間。

在本說明書中公開的發明的結構是如下半導體晶片的製造方法：在第一半導體晶片的表面上形成接合層，藉由使用離子摻雜裝置對第一半導體晶片照射 H_3^+ 離子來在接

合層的下方形成分離層，將第一半導體晶片的接合層接合到第二半導體晶片的一個表面上，藉由進行熱處理沿分離層的層內或分離層的介面的劈開面來分離第一半導體晶片的一部分，其中，所述半導體晶片包括第二半導體晶片的該表面上的接合層和在該接合層上的單晶半導體層。

當在半導體晶片中形成分離層時，使含有 H_3^+ 離子（三價氫分子離子）的氫電漿產生，並以高電壓加速該電漿中的 H_3^+ 離子，而將其作為離子流（Ion current, 也稱作 Ion Shower）添加到半導體晶片中。該摻雜方法稱為離子摻雜法或電漿摻雜方法，與離子植入法大相逕庭。

以高電壓加速的 H_3^+ 離子在半導體晶片表面分離成三個 H^+ 離子，照射到半導體晶片的各個 H^+ 離子不能夠侵入到半導體晶片的深處。因此，與已知的離子植入法相比，可以在半導體晶片的更淺的區域以高濃度照射 H^+ 離子。

另外，在半導體晶片表面分離的三個 H^+ 離子的每一個分別不能夠侵入到半導體晶片的深處，所以添加到半導體晶片中的氫在深度方向上以窄的範圍分佈。換言之，添加到半導體晶片中的氫呈示陡峭的濃度分佈。因此，可以對半導體晶片中以與已知的離子植入法相比更均勻的氫濃度添加氫，因而可以製造在絕緣膜上具有膜厚度的均勻性高的單晶半導體層的 SOI 基板。

另外，當使氫電漿產生時，與在氫電漿中包含的 H^+ 離子的比率相比，最好提高 H_3^+ 離子的比率。例如，在氫電漿中， H_3^+ 離子的比率最好設定為電漿整體的 80%，或

其以上。藉由與 H^+ 離子的比率相比更提高 H_3^+ 離子的比率來可以以淺的區域為劈開面。藉由以淺的區域為劈開面，可以製造在絕緣膜上具有膜厚度薄的單晶半導體層的 SOI 基板。

另外，以 H_3^+ 離子為離子流來添加到半導體晶片中的摻雜方法可以改變離子流的照射面形狀，產生其照射面是細長的線狀或細長的長方形的離子流，藉由向與離子流的照射面形狀的長度垂直方向移動半導體晶片，來進行對半導體晶片的整個面的摻雜處理。根據該製程，可以縮短添加氫離子的時間，從而可以縮短每一個 SOI 基板的製造時間。

另外，當使形成分離層的第一半導體晶片和第二半導體晶片接合時，作為形成接合的面的其中一面方或兩面，最好使用以有機矽為原材料藉由電漿 CVD 法形成的氧化矽膜。作為有機矽烷氣體，適用含有矽的化合物，如四乙氧基矽烷（TEOS:化學式 $Si(OC_2H_5)_4$ ）、四甲基矽烷（TMS:化學式 $Si(CH_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（化學式 $SiH(OC_2H_5)_3$ ）、三（二甲基氨基）矽烷（化學式 $SiH(N(CH_3)_2)_3$ ）等。

藉由該電漿 CVD 法來形成的氧化矽膜是接合層，其最好具有平滑面且形成有親水性表面。具有平滑面且形成有親水性表面的接合層以 5nm 至 500nm 的厚度設置。在設置為該厚度的情況下，可以將被成膜表面的粗糙平滑化

的 同 時 也 可 以 確 保 該 膜 的 成 長 表 面 的 平 滑 性 。 另 外 ， 可 以 緩 和 與 接 合 的 第 二 半 導 體 晶 片 之 間 的 歪 斜 。 在 第 二 半 導 體 晶 片 上 也 可 以 設 置 同 樣 的 氧 化 矽 膜 。 總 之 ， 藉 由 在 形 成 接 合 的 面 的 其 中 一 面 或 兩 面 上 設 置 最 好 由 以 有 機 矽 為 原 材 料 來 形 成 的 氧 化 矽 膜 構 成 的 接 合 層 來 可 以 形 成 堅 固 的 接 合 。 範 德 瓦 耳 斯 力 作 用 於 該 接 合 ， 藉 由 使 第 一 半 導 體 晶 片 和 第 二 半 導 體 晶 片 密 接 ， 可 以 用 氫 鍵 形 成 堅 固 的 接 合 。

另 外 ， 作 為 接 合 層 可 以 適 用 化 學 氧 化 物 。 例 如 藉 由 使 用 含 有 臭 氧 的 水 溶 液 處 理 半 導 體 晶 片 表 面 來 可 以 形 成 化 學 氧 化 物 。 最 好 使 用 化 學 氧 化 物 因 為 其 反 映 半 導 體 晶 片 表 面 的 平 坦 性 地 形 成 。

H_3^+ 離 子 的 添 加 最 好 在 第 一 半 導 體 晶 片 表 面 形 成 接 合 層 之 後 進 行 。 因 此 ， H_3^+ 離 子 的 添 加 隔 著 接 合 層 來 進 行 。 接 合 層 可 以 防 止 因 離 子 摻 雜 法 表 面 受 到 損 害 而 損 壞 平 坦 性 。 注 意 ， 在 本 說 明 書 中 ， 只 添 加 H_3^+ 的 離 子 種 的 情 況 也 稱 為 離 子 摻 雜 。

另 外 ， 在 接 合 第 一 半 導 體 晶 片 和 第 二 半 導 體 晶 片 之 後 ， 進 行 熱 處 理 而 沿 分 離 層 的 層 內 或 分 離 層 介 面 的 劈 開 面 分 離 第 一 半 導 體 晶 片 和 第 二 半 導 體 晶 片 。 熱 處 理 的 溫 度 最 好 以 接 合 層 的 成 膜 溫 度 以 上 且 半 導 體 晶 片 的 耐 熱 溫 度 以 下 進 行 。 作 為 接 合 層 使 用 藉 由 電 漿 CVD 法 形 成 的 氧 化 矽 膜 ， 可 以 以 700°C 以 下 的 溫 度 形 成 第 一 半 導 體 晶 片 和 第 二 半 導 體 晶 片 的 接 合 。 例 如 ， 藉 由 進 行 400°C 至 600°C 的 熱 處 理 ， 使 形 成 於 分 離 層 的 微 小 的 空 洞 的 體 積 發 生 變 化 ， 而 可 以

沿分離層內或其介面進行劈開。因為分離層與第二半導體晶片接合，所以在第二半導體晶片上殘存與第一半導體晶片相同結晶性的單晶半導體層。

與藉由已知的氫離子植入剝離法獲得的 SOI 基板相比，藉由本發明的技術可以製造在絕緣膜上具有膜厚度薄且其膜厚度的均勻性高的單晶半導體層的 SOI 基板。

進而，與使用已知的離子植入法的 SOI 基板相比，可以縮短添加氫離子的時間，因而可以縮短每一個 SOI 基板的製造時間。

【實施方式】

以下對本發明的實施方式進行說明。

實施方式

以下參照圖 1 對 SOI 基板的製造方法進行說明。

首先，在第一半導體晶片 101 上形成接合層 102。作為第一半導體晶片 101，使用將單晶半導體的晶錠切薄來製造的半導體晶片。在此，作為第一半導體晶片 101，使用結晶取向是 (100) 的 5 英寸的單晶矽晶片（直徑 125mm）來舉例。另外，若有需要，也可以使用 8 英寸的單晶矽晶片（直徑 200mm）和 12 英寸的單晶矽晶片（直徑 300mm）。另外，作為第一半導體晶片 101，也可以使用外周的一部分形成有顯示結晶取向的定向平面（orientation flat）的半導體晶片。當進行離子摻雜時，可

以以定向平面為基準。另外，也可以使用結晶取向是（110）或（111）的半導體晶片 101。

作為接合層 102，使用藉由化學氣相成長法利用有機矽烷氣體來製造的氧化矽膜。在本實施方式中，使用四乙氧基矽烷（TEOS:化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）的有機矽烷氣體藉由 PCVD 法以 100nm 的膜厚度來形成接合層 102。

圖 1A 表示到此為止的步驟的程序截面圖。

其次，藉由離子摻雜法隔著接合層 102 將 H_3^+ 離子添加到半導體晶片 101 中。藉由該 H_3^+ 離子的添加形成含有大量的氫的區域的分離層 103。另外，在分離層 103 和接合層 102 之間形成單晶半導體層 104。該單晶半導體層 104 的膜厚度由分離層 103 的深度方向的位置而決定。因此，單晶半導體層 104 的膜厚度依賴於 H_3^+ 離子的摻雜條件（加速電壓等）。藉由提高 H_3^+ 離子的比率，可以提高添加效率，而可以縮短添加時間。

在此，對藉由離子摻雜法添加的氫離子的濃度分佈進行說明。

本案發明人們進行使用離子摻雜裝置對半導體晶片（結晶取向是（100）的矽晶片）添加氫離子的試驗，本案發明人設定多個添加的模型，根據其 SIMS 分析的結果資料計算出在深度方向上的氫離子數及缺陷數。另外，以模型的尺寸為（X 軸, Y 軸, Z 軸）=（800nm, 800nm, 1200nm）來計算。注意，X 軸及 Y 軸對應於 Si 晶片平面，Z 軸對應於深度方向。另外，在實驗中使用的離子摻雜裝置為了將

離子的添加分佈均勻化而旋轉晶片。

在從設置有膜厚度 100nm 的接合層 102 的面一側對第一半導體晶片 101 藉由離子摻雜法添加的情況下的離子數和因離子與膜中的原子（矽原子和氧原子）衝撞而發生的缺陷數用蒙特卡羅法計算。注意，以加速電壓為 80keV 來進行計算。另外，接合層 102 是藉由使用四乙氧基矽烷的有機矽烷氣體而可以獲得的非晶結構的氧化矽膜。

圖 2A 表示以加速電壓 80keV 加速 H_3^+ 離子，且在第一半導體晶片的表面，即在接合層 102 的表面分離成三個 H^+ 離子的第一模型圖。圖 2B 是表示根據第一模型圖計算出來的在深度方向上的離子數或缺陷數的圖表。另外，作為圖表的橫軸的深度表示從包括 100nm 的氧化矽膜（接合層 102）的表面的深度。

另外，圖 3A 表示以加速電壓 80keV 加速 H_3^+ 離子， H_3^+ 離子保持該狀態而添加到第一半導體晶片中的第二模型圖。圖 3B 是表示根據第二模型圖計算出來的在深度方向上的離子數或缺陷數的圖表。

另外，圖 4A 表示以加速電壓 80keV 加速 H^+ 離子， H^+ 離子保持該狀態而添加到第一半導體晶片中的第三模型圖。圖 4B 是表示根據第三模型圖計算出來的在深度方向上的離子數或缺陷數的圖表。

根據圖 4B 可以瞭解到 H^+ 離子添加得深，氫濃度的峰值位於 800nm 附近。另外，作為最深的區域，氫添加到甚至離表面有超過 1100nm 的深度，而可以瞭解到氫從淺的

區域到深的區域以廣泛的範圍被添加。該狀態有可能成為添加的離子植入濃度的不均勻性在晶片內發生的原因。

另外，根據圖 3B 可以瞭解到 H_3^+ 離子添加得淺，氫濃度的峰值位於 150nm 附近。另外，作為最深的區域，氫添加到僅僅離表面有超過 200nm 的深度。另外，因為缺陷數的峰值也位於與氫濃度的峰值大致相同的 150nm 附近，所以可以認為其與表面附近的原子（矽原子和氧原子）衝撞。因為 H_3^+ 離子的氫離子之間的結合能是 22.6eV 左右，與加速電壓 80keV 相比非常小，所以可以認為實際上，大部分的 H_3^+ 離子在衝撞的階段分別分離成三個 H^+ 離子。

因此，本案發明人們認為圖 2A 所示的第一模型圖接近於實際添加 H_3^+ 離子時的情況。根據圖 2B 可以瞭解到與 H^+ 離子的結果的圖 4B 相比氫添加得更淺，氫濃度的峰值位於 400nm 附近。另外，即使在最深的區域也僅僅添加到離表面有超過 600nm 的深度。與根據第三模型圖的計算結果相比根據第一模型圖的計算結果的氫的添加深度更淺，這可以認為是因為當分離成三個 H^+ 離子時運動能作為離解能被消耗。

另外，雖然在此表示了加速電壓 80keV 的計算結果，但是不用說藉由調節加速電壓的數值來可以調節氫的濃度峰值的位置。另外，雖然表示了以接合層為 100nm 的氧化矽的計算結果，但是不用說藉由調節膜厚度來可以調節單晶半導體層 104 的膜厚度。單晶半導體層 104 的膜厚度設

定為 5nm 至 500nm、最好 10nm 至 200nm 的厚度。根據已知的使用離子植入法的 SOI 基板的製造方法，若剝離後不進行研磨和蝕刻的薄膜化處理，則很難得到如此薄的膜厚度。半導體晶片是高價，所以藉由研磨和蝕刻進行薄膜化牽涉材料的浪費。另外，即使同樣是剝離後進行研磨和蝕刻，與已知的使用離子植入法的 SOI 基板的製造程序相比，本發明也可以以更短的時間進行研磨和蝕刻。另外，即使剝離後進行研磨和蝕刻也同樣可以降低材料的浪費。另外，因為剝離的第一半導體晶片的殘餘可以再利用，所以殘餘了的膜厚度越厚越可以從一個第一半導體晶片製造出更多的 SOI 基板。

接著，將接合層 102 的表面清潔化後，將其密接於第二半導體晶片 105 的一方的表面，藉由重疊第一半導體晶片 101 和第二半導體晶片 105 來形成接合。注意，將形成接合的第二半導體晶片 105 的一方的表面預先充分地淨潔化。重疊第一半導體晶片 101 和第二半導體晶片 105 且從外部輕按至少其一處，藉由局部地縮短接合面之間的距離，範德瓦耳斯力得到提高，而且也有助於氫結合，從而使第一半導體晶片 101 和第二半導體晶片 105 互相吸引而接合在一起。而且，因為在鄰接的區域上也縮短相對的基板之間的距離，藉由擴大範德瓦耳斯力強作用的區域和受到氫結合作用的區域，接合（bonding）得到進展而擴大到整個接合面。

隔著接合層 102 貼合第一半導體晶片 101 及第二半導

體晶片 105 之後，最好進行加熱處理或加壓處理。藉由進行加熱處理或加壓處理可以提高接合強度。以垂直於接合面的方向施加壓力來進行加壓處理，且在進行加壓處理時需要考慮第一半導體晶片 101 及第二半導體晶片 105 的耐壓性。

圖 1C 表示到此為止的步驟的程序截面圖。

接著，藉由進行 400℃ 至 600℃ 的熱處理，使形成於分離層 103 的微小的空洞的體積起變化，而沿分離層 103 進行劈開。而且藉由在此進行的熱處理，接合層的接合強度得到提高。熱處理可以藉由用於加熱的熔爐或雷射光束的照射來進行。

藉由經過以上的步驟，可以獲得圖 1D 所示的 SOI 基板。圖 1D 所示的 SOI 基板是具有在第二半導體晶片 105 上具有接合層 102，且在該接合層 102 上具有單晶半導體層 104 的結構。

另外，最好追加處理 SOI 基板的外周部分的步驟來能夠與半導體晶片同樣地對應於半導體裝置的製造裝置。

關於以以上的構成完成的本發明，以以下所示的實施例進行更詳細的說明。

實施例 1

在實施方式中，表示使用旋轉半導體晶片的摻雜裝置的例子，但是在本實施例中，表示以離子流的形狀為所望的形狀，並移動半導體晶片的摻雜裝置的例子。圖 5 是表

示該摻雜裝置的一例的透視圖。

離子源 12 由設置在腔室、即電漿室內的熱電子釋放用燈絲和極性交錯地配置在腔室周圍的多個環狀永久磁鐵構成。

加速電極部 13 由腔室下方開口部的與作為陽極的腔室保持同電位的離子阱電極、保持在比離子阱電極低幾 kV 的電位的引出電極、以及保持在比引出電極低的電位的加速電極構成。離子阱電極、引出電極、以及加速電極是柵狀電極。

可以藉由設置遮斷離子束的快門進行開關操作，從而控制照射的通斷。

將燈絲釋放的電子作用於從氣體導入口導入到腔室內的工作氣體（氫、磷化氫、乙硼烷等）來產生電漿，並藉由永久磁鐵的磁場將其關在腔室內，同時還藉由使用引出電極施加電場，經過離子阱電極引出電漿中的離子，並用加速電極的電場使其加速，從而產生離子束 14。

然後，將離子束 14 照射到摻雜室 11 內，而將離子添加到半導體晶片 10。半導體晶片的平面保持為垂直於離子束 14 的照射方向。以離子束 14 的照射面形狀為線狀或長方形，並使半導體晶片往垂直於離子束 14 的長度的方向移動，從而進行對整個半導體晶片的摻雜處理。

另外，藉由以離子束 14 的照射面形狀為線狀或長方形，與光柵掃描相比，在半導體晶片內可以進一步降低離子植入濃度的不均勻性。

使用晶片傳送自動機械裝置，以藉由離子源 12 的下方的方式往掃描方向 15 移動半導體晶片 10。半導體晶片 10 的往掃描方向的移動不局限於自動機械裝置，也可以使用軌道及驅動用齒輪傳動馬達。

另外，因為往直線方向的掃描方向 15 移動一次就可以照射到整個半導體晶片 10，所以與光柵掃描相比可以以更短的時間完成對半導體晶片的整個面的照射。

注意，並不局限於上述圖 5 的裝置構成，裝置構成也可以是如下結構：因為存在塵埃粒子問題而使基板近於垂直豎立的狀態的傾斜狀態，向水平方向照射離子束。

並不局限於上述摻雜裝置構成，對摻雜裝置也可以附加作為已知的離子摻雜技術周知的聚焦離子束裝置等。

本實施例可以與實施方式自由地組合。

實施例 2

在本實施例中，對使用實施方式中所製造的 SOI 基板的半導體裝置的製造方法進行說明。在此，使用圖 6A 至 6E 來表示作為半導體裝置製造 CMOS 結構的一例。注意，在圖 6A 至 6E 中，使用與圖 1A 至 1D 相同的符號來說明與圖 1A 至 1D 相同的部分。

根據實施方式，可以將 SOI 基板的單晶半導體層 104 的厚度設定為 100nm 或其以下。當將 SOI 基板的單晶半導體層 104 的厚度設定為 100nm 或其以下時，其比電晶體的通道形成區域的耗盡層的最大深度還薄，而使電晶體的電

特性顯著。藉由電晶體的充分的耗盡化，可以獲得近於理想的 S 值和臨限值電壓等。進而，在製造 CMOS 結構的情況下，可以獲得快速的開關速度。

首先，按照實施方式來獲得 SOI 基板後，在單晶半導體層 104 上形成用於形成元件分離絕緣層的掩模的保護層 106。該階段的程序截面圖相當於圖 6A。作為保護層 106 使用氧化矽膜和氮化矽膜等。

另外，為了控制臨限值電壓，最好將硼、鋁和鎵等的 p 型雜質添加到單晶半導體層 104。例如，作為 p 型雜質可以以 $5 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下的濃度添加硼。

其次，以保護層 106 為掩模進行蝕刻，去掉露出的單晶半導體層 104 及其下方的接合層 102 的一部分。然後使用 TEOS 藉由化學氣相成長法堆積氧化矽膜。將該氧化矽膜堆積得厚到可以埋入單晶半導體層 104。然後，藉由研磨去掉重疊在單晶半導體層 104 上的氧化矽膜後，去掉保護層 106，使元件分離絕緣層 107 殘留。該階段的程序截面圖相當於圖 6B。

接著，形成第一絕緣膜，在第一絕緣膜上形成具有含有導電材料的多晶矽膜的閘電極 109，藉由以閘電極為掩模對絕緣膜進行蝕刻來形成閘極絕緣層 108。然後形成覆蓋閘電極 109 的第二絕緣膜 110，而且形成側壁絕緣層 113 和側壁絕緣層 114。成為 pFET (P-channel Field Effect Transistor; p 通道場效應電晶體) 的區域的側壁絕緣層 114 的寬度設定為比成為 nFET (N-channel Field

Effect Transistor；n 通道場效應電晶體）的區域的側壁絕緣層 113 更寬闊。然後對成爲 nFET 的區域摻雜 As 等來形成接面深度（junction depth）淺的第一雜質區域 111，並對成爲 pFET 的區域摻雜 B 等來形成接面深度淺的第二雜質區域 112。該階段的程序截面圖相當於圖 6C。

接著，對第二絕緣膜 110 部分地進行蝕刻來使閘電極 109 的上面、第一雜質區域 111 及第二雜質區域 112 露出。然後對成爲 nFET 的區域摻雜 As 等來形成接面深度深的第三雜質區域 115，並對成爲 pFET 的區域摻雜 B 等來形成接面深度深的第四雜質區域 116。然後進行用於實現活性的熱處理（800℃至 1100℃）。然後，作爲用於形成矽化物的金屬膜形成鈷膜。然後進行 RTA（Rapid Thermal Anneal；快速熱退火）等的熱處理（500℃，一分鐘），使與鈷膜接觸的部分的矽形成矽化物。其結果，在閘電極 109 上形成矽化物部分 119、在第三雜質區域 115 上形成矽化物部分 117、在第四雜質區域上形成矽化物部分 118。然後，選擇性地去掉鈷膜。然後，以比矽化的熱處理高的溫度進行熱處理，以實現矽化物部分 117、118 及 119 的低電阻化。該階段的程序截面圖相當於圖 6D。

接著，形成層間絕緣膜 120，並形成與接面深度深的第三雜質區域 115 以及接面深度深的第四雜質區域 116 電連接的插頭 121。藉由使用接合到第二半導體晶片 105 的單晶半導體層 104 來可以製造 nFET122 和 pFET123。該階段的程序截面圖相當於圖 6E。

藉由互補地組合這些 nFET122 和 pFET123 來構成 CMOS 結構。

藉由在該 CMOS 結構上還層疊佈線和元件等可以製造微處理器等的半導體裝置。注意，微處理器具有算術邏輯單元（Arithmetic logic unit；也稱為 ALU）、算術邏輯單元控制器（ALU Controller）、指令解碼器（Instruction Decoder）、中斷控制器（Interrupt Controller）、定時控制器（Timing Controller）、寄存器（Register）、寄存器控制器（Register Controller）、匯流排界面（Bus I/F）、唯讀記憶體、及記憶體介面（ROM I/F）。

因為微處理器形成有包括 CMOS 結構的積體電路，不但可以實現處理速度的高速化而且可以實現低耗電化。

注意，本實施例可以與實施方式或實施例 1 自由地組合。

本發明可以提供比現有更廉價的 SOI 基板，因而可以促進降低使用 SOI 基板的半導體裝置的製造成本。

本申請案基於 2007 年 9 月 21 日在日本專利局申請的日本專利申請序列號 2007-245809，在此引用其全部內容作為參考。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 是表示 SOI 基板的製造工序的圖；

圖 2A 是表示第一模型圖的圖；圖 2B 是表示根據第一

模型圖計算出來的在深度方向上的離子數或缺陷數的圖表；

圖 3A 是表示第二模型圖的圖；圖 3B 是表示根據第二模型圖計算出來的在深度方向上的離子數或缺陷數的圖表；

圖 4A 是表示第三模型圖的圖；圖 4B 是表示根據第三模型圖計算出來的在深度方向上的離子數或缺陷數的圖表；

圖 5 是表示離子摻雜裝置的透視圖；

圖 6A 至 6E 是表示電晶體的製造工序的圖。

【主要元件之符號說明】

101：第一半導體晶片

102：接合層

103：分離層

104：單晶半導體層

105：第二半導體晶片

106：保護層

107：元件分離絕緣層

108：閘極絕緣層

109：閘電極

110：第二絕緣膜

111：第一雜質區域

112：第二雜質區域

113：側壁絕緣層

114：側壁絕緣層

115：第三雜質區域

116：第四雜質區域

120：層間絕緣膜

121：插頭

122：nFET

123：pFET

十、申請專利範圍

1. 一種半導體晶片的製造方法，包括如下步驟：

在第一半導體晶片的表面上形成接合層；

藉由使用離子摻雜裝置對該第一半導體晶片照射包含 H_3^+ 離子的氫離子來在該接合層的下方形成分離層；

將該第一半導體晶片的該接合層接合到第二半導體晶片的一個表面上；以及

藉由進行熱處理沿該分離層的層內或該分離層的介面的劈開面分離該第一半導體晶片的一部分，

其中，該氫離子中的 H_3^+ 的比率大於或等於 80%，以及

其中，在分離該第一半導體晶片的該部分之後，該接合層是在該第二半導體晶片的該表面上且單晶半導體層是在該接合層上。

2. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中所施加之該 H_3^+ 離子在該接合層的表面被分離成三個 H^+ 離子且被加到該第一半導體晶片。

3. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中該接合層是包括藉由電漿 CVD 法獲得的氧化矽的絕緣膜。

4. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中藉由使該第一半導體晶片以第一方向移動來進行照射該氫離子，其中該半導體晶片上之照射面的形狀是線狀或長方形，且該照射面的長度方向垂直於該第一方向。

5. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中在將該第一半導體晶片的該接合層接合到該第二半導體晶片的該一個表面上之前，在該第二半導體晶片的該一個表面上形成第二接合層。

6. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中該第一半導體晶片的結晶定向是 (100) 面。

7. 如申請專利範圍第 1 項之半導體晶片的製造方法，其中該離子摻雜裝置包含熱電子釋放用燈絲、配置在腔室周圍的多個環狀磁鐵以及氣體導入口，用以導入氫做為工作氣體。

8. 一種半導體裝置的製造方法，包括如下步驟：

在包含單晶半導體的第一半導體晶片的表面上形成接合層；

藉由使用離子摻雜裝置對該第一半導體晶片照射包含 H_3^+ 離子的氫離子來在該接合層的下方形成分離層；

將該第一半導體晶片的該接合層接合到第二半導體晶片的一個表面上；以及

藉由進行熱處理沿該分離層的層內或該分離層的介面的劈開面分離該第一半導體晶片的一部分，在該第二半導體晶片上形成單晶半導體層；

在該單晶半導體層中形成元件分離絕緣層；

在該單晶半導體層上形成閘極電極，其中第一絕緣膜設置於其間；

形成側壁絕緣層；

在該單晶半導體層中形成雜質區域；以及
在該閘極電極與該雜質區域上形成矽化物；
其中，該氫離子中的 H_3^+ 的比率大於或等於 80%，以
及

其中，在分離該第一半導體晶片的該部分之後，該接合層是在該第二半導體晶片的該表面上且該單晶半導體層是在該接合層上。

9. 如申請專利範圍第 8 項之半導體裝置的製造方法，其中藉由使該第一半導體晶片以第一方向移動來進行照射該氫離子，其中該第一半導體晶片上之照射面的形狀是線狀或長方形，且該照射面的長度方向垂直於該第一方向。

10. 如申請專利範圍第 8 項之半導體裝置的製造方法，其中在該第二半導體晶片的該表面上形成另一個接合層，其進一步接合到該第一半導體晶片的該接合層。

11. 如申請專利範圍第 8 項之半導體裝置的製造方法，其中該第一半導體晶片的結晶定向是 (100) 面。

12. 一種半導體裝置的製造方法，包括如下步驟：

在單晶半導體層中形成元件分離絕緣層，該單晶半導體層係形成於第一半導體晶片上，其中接合層設置於其間；

在該單晶半導體層上形成閘極電極，其中第一絕緣膜設置於其間；

形成側壁絕緣層；

在該單晶半導體層中形成雜質區域；

其中該單晶半導體層係藉由以下步驟所形成：

藉由使用離子摻雜裝置對包含單晶半導體之第二半導體晶片之表面照射包含 H_3^+ 離子的氫離子來形成分離層；

將該第二半導體晶片的該表面接合到該第一半導體晶片；以及

藉由進行熱處理沿該分離層的層內或該分離層的介面的劈開面分離該第二半導體晶片的一部分，

其中，該氫離子中的 H_3^+ 的比率大於或等於 80 %。

13. 如申請專利範圍第 8 或 12 項之半導體裝置的製造方法，其中所施加之該 H_3^+ 離子在該接合層的表面被分離成三個 H^+ 離子且被加到該第一半導體晶片。

14. 如申請專利範圍第 8 或 12 項之半導體裝置的製造方法，其中該接合層是包括藉由電漿 CVD 法獲得的氧化矽的絕緣膜。

15. 如申請專利範圍第 12 項之半導體裝置的製造方法，其中藉由使該第一半導體晶片以第一方向移動來進行照射該氫離子，其中該第二半導體晶片上之照射面的形狀是線狀或長方形，且該照射面的長度方向垂直於該第一方向。

16. 如申請專利範圍第 12 項之半導體裝置的製造方法，其中在該第一半導體晶片上形成另一個接合層，其進

一步接合到該第二半導體晶片的該接合層。

17. 如申請專利範圍第 12 項之半導體裝置的製造方法，其中該第二半導體晶片的結晶定向是（100）面。

18. 如申請專利範圍第 8 或 12 項之半導體裝置的製造方法，其中該單晶半導體層包含矽。

19. 如申請專利範圍第 8 或 12 項之半導體裝置的製造方法，其中該離子摻雜裝置包含熱電子釋放用燈絲、配置在腔室周圍的多個環狀磁鐵以及氣體導入口，用以導入氫做為工作氣體。

圖 1A

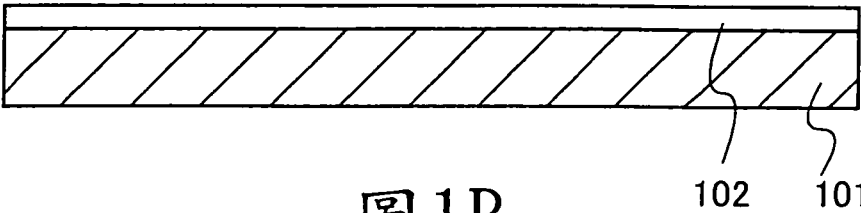


圖 1B

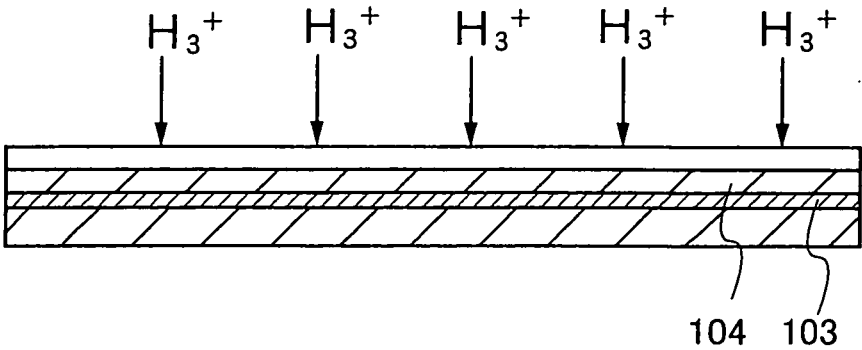


圖 1C

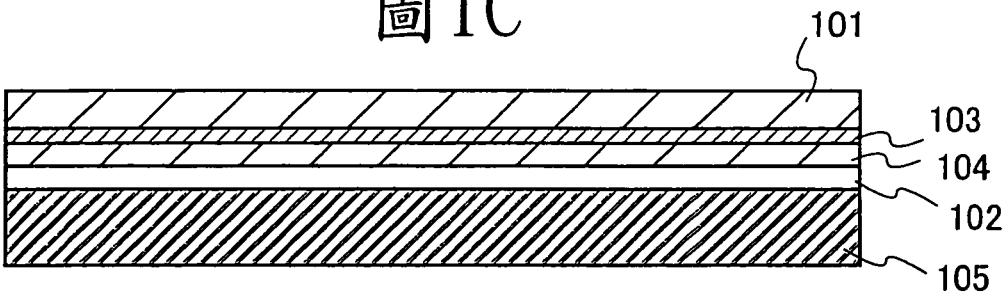


圖 1D

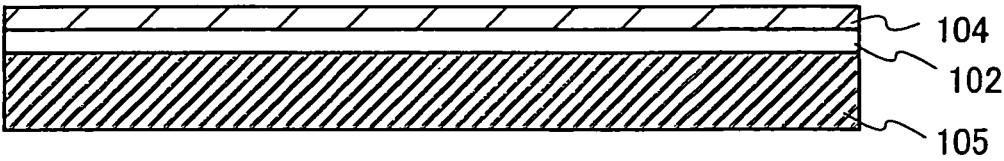


圖 2A

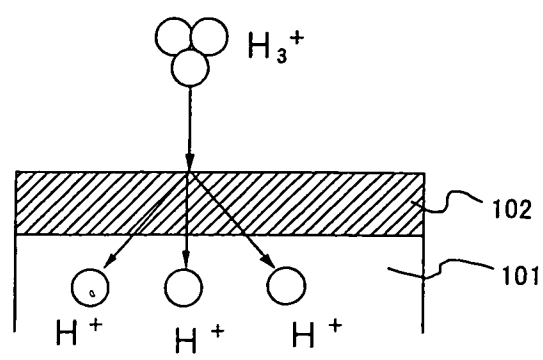


圖 2B

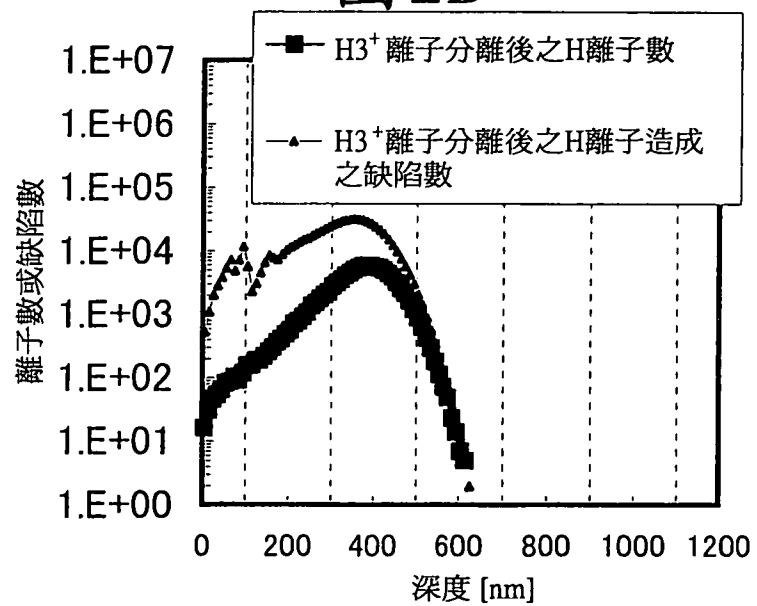


圖 3A

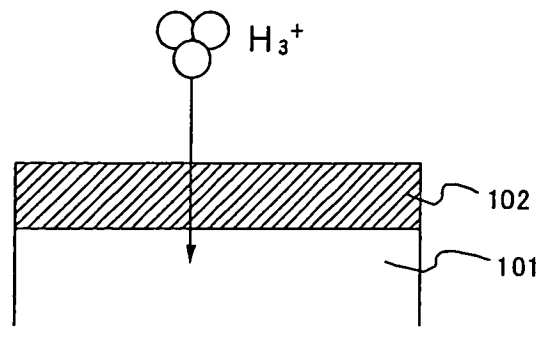


圖 3B

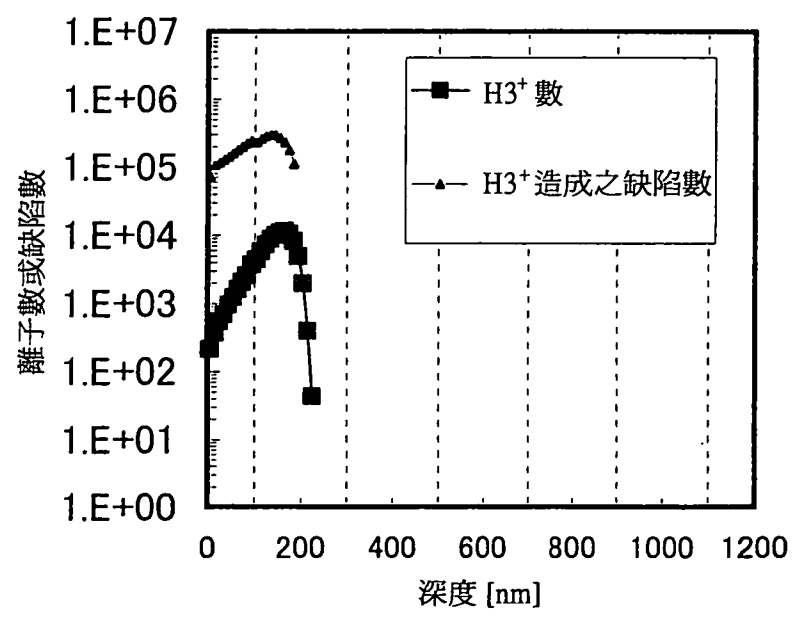


圖 4A

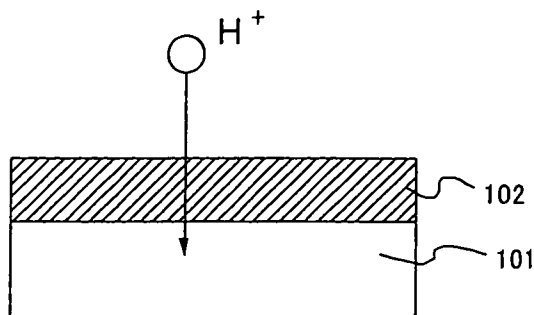


圖 4B

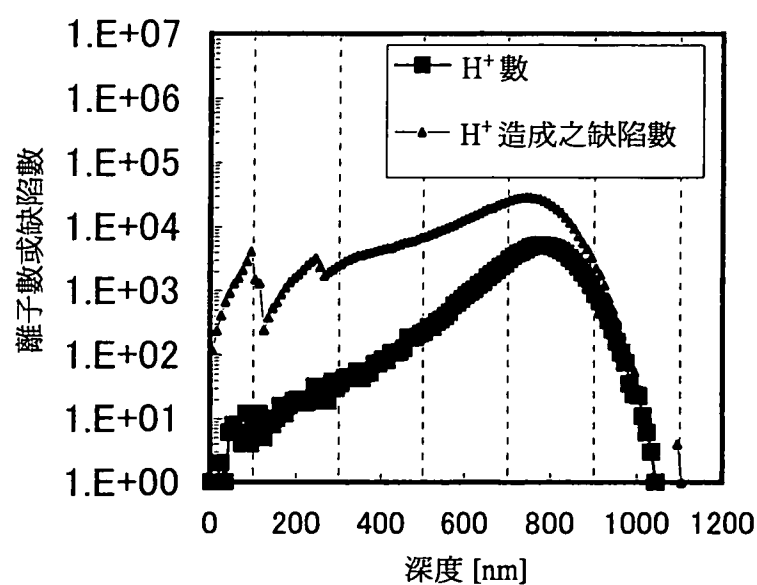


圖5

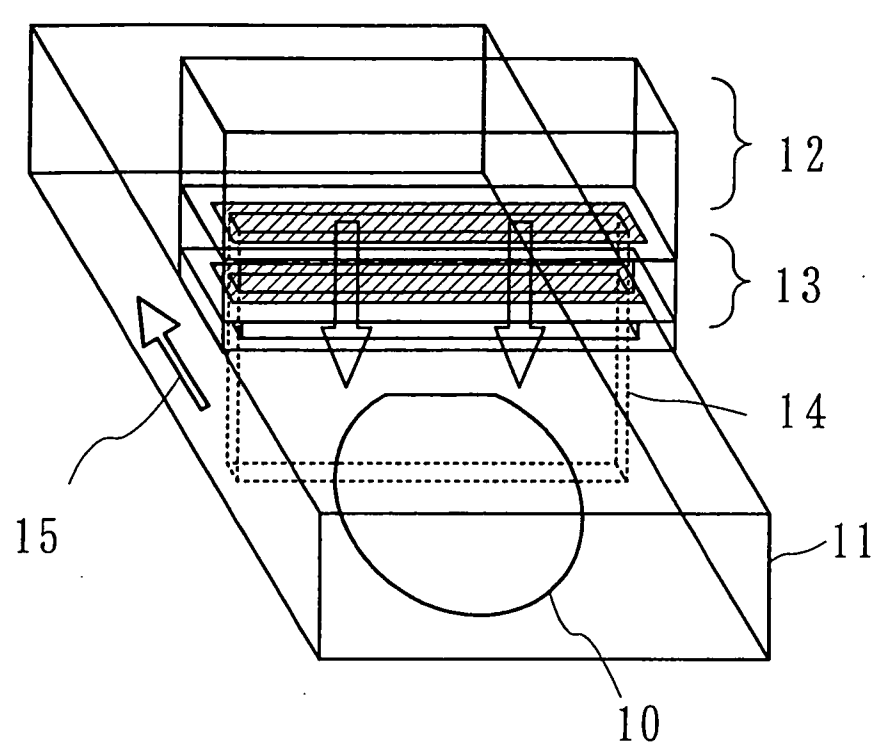


圖 6A

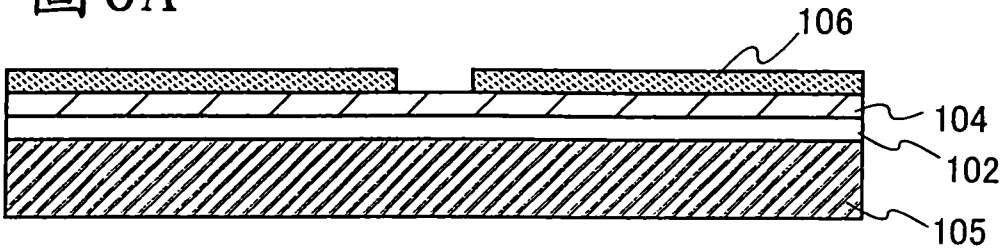


圖 6B

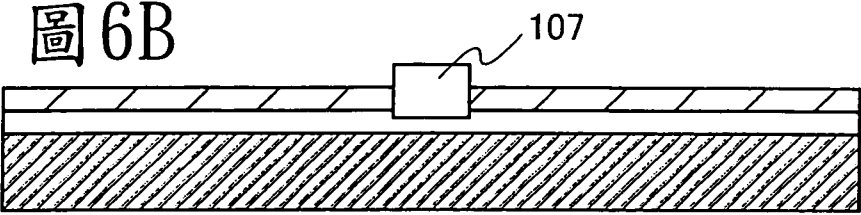


圖 6C

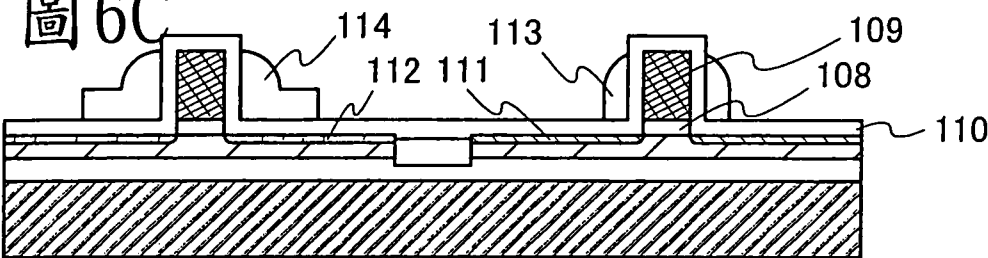


圖 6D

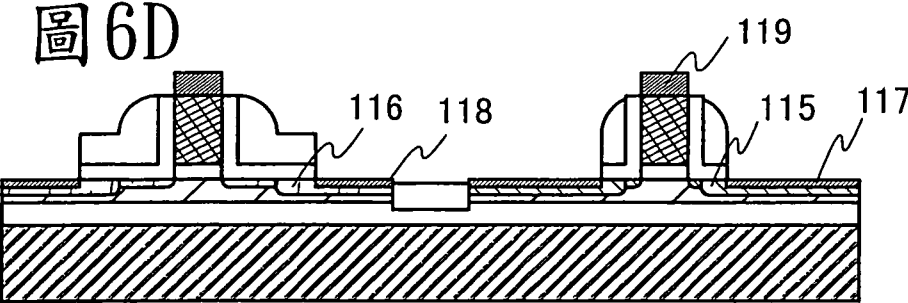


圖 6E

