

(12) 发明专利

(10) 授权公告号 CN 102012209 B

(45) 授权公告日 2012. 03. 07

(21) 申请号 201010298837. 0

(22) 申请日 2010. 09. 29

(73) 专利权人 北京京海泉传感科技有限公司
地址 100038 北京市海淀区北蜂窝 2 号中盛大厦 1909

(72) 发明人 谢雪松 柯志泉

(74) 专利代理机构 北京思海天达知识产权代理有限公司 11203

代理人 吴荫芳

(51) Int. Cl.

G01B 7/02 (2006. 01)

审查员 胡小伟

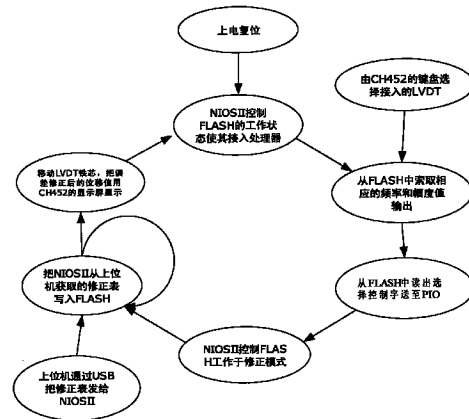
权利要求书 2 页 说明书 4 页 附图 3 页

(54) 发明名称

差动变压器式位移传感器数字变送解调方法

(57) 摘要

差动变压器式位移传感器数字变送解调方法涉及一种处理利用 LVDT 精确测量物体微小位移的信号的方法。该方法利用由现场可编程门阵列 (FPGA) 制作的变送器来驱动 LVDT 的初级线圈, 并采集 LVDT 的两个次级线圈的输出信号 Va 和 Vb, 将采集到的 LVDT 两个次级线圈的输出信号 Va 和 Vb 作 $S = (Va - Vb) / (Va + Vb)$ 的数字解调处理, 利用 LVDT 铁芯的实际位移量与 S 之间的映射关系来实现对 LVDT 的信号检测, 不仅对 LVDT 中次级线圈信号采用了加减法, 而且还采用了除法的解调方法, 并且通过移动平均算法, 运用映射关系得出 LVDT 铁芯的真实位移值。本发明降低了噪声对测量结果的干扰, 测量误差大大减小。



1. 差动变压器式位移传感器数字变送解调方法,其特征在于:利用由现场可编程门阵列(FPGA)制作的变送器来驱动LVDT的初级线圈,并采集LVDT的两个次级线圈的输出信号 V_a 和 V_b ,该变送器包括由FLASH和SRAM构成的存储器、驱动LVDT初级线圈的数模转换器(D/A)、采样LVDT两个次级线圈的两个模数转换器(A/D),以及数字输出模块、包括信号解调算法和与上位机通信程序的变送器软件;将采集到的LVDT两个次级线圈的输出信号 V_a 和 V_b 作 $S = (V_a - V_b) / (V_a + V_b)$ 的数字解调处理,利用LVDT铁芯的实际位移量与 S 之间的映射关系来实现对LVDT的信号检测,上述处理过程包括以下步骤:

A、初始化变送器中各存储器,

B、现场可编程门阵列(FPGA)产生频率可变的正弦波激励信号,通过数模转换器(D/A)输入到LVDT初级线圈输入端,

C、采用两个模数转换器(A/D)同时采集LVDT两个次级线圈的模拟输出信号,转化为数字信号,

D、建立LVDT铁芯的实际位移量与测量量之间的映射关系,

E、利用 $S = (V_a - V_b) / (V_a + V_b)$ 的方法进行数字解调,将所得结果进行数字误差修正和数字滤波,误差修正的数据存储在FLASH中,

F、修正后的结果送至数字输出模块,以浮点格式的数据输出给上位机,并同时通过数模转换以模拟形式输出,用于外部的仪表来指示测量结果。

2. 如权利要求1所述的差动变压器式位移传感器数字变送解调方法,其特征在于:所述的步骤B中,正弦波激励信号由直接数字式频率合成器(DDS)产生,并后跟一级具有稳幅功能的功率放大器,直接数字式频率合成器(DDS)与现场可编程门阵列(FPGA)的主时钟同步,为兆赫兹级,现场可编程门阵列(FPGA)通过频率控制字和幅度控制字来实现对直接数字式频率合成器(DDS)的控制,其控制方法包括如下步骤:

B1、向FLASH中写入频率控制字和幅度控制字,

B2、从FLASH中读取频率控制字通过PIO端口写入直接数字式频率合成器(DDS)频率控制寄存器,同时从FLASH中读取幅度控制字,通过PIO端口向功率放大器送出幅度控制信号,

B3、经过直接数字式频率合成器(DDS)产生正弦波数据、经过数模转换器(D/A)转化为模拟正弦波、再经过功率放大器的处理就得到相应频率、相应幅度的正弦波激励信号。

3. 如权利要求2所述的差动变压器式位移传感器数字变送解调方法,其特征在于:通过直接数字式频率合成器(DDS)同步信号控制模数转换器(A/D)的采集时刻为正弦波激励信号的正弦值的峰值点。

4. 如权利要求1或2所述的差动变压器式位移传感器数字变送解调方法,其特征在于:步骤D采用了如下校准过程来建立LVDT铁芯的实际位移量与测量量之间的映射关系:

D1、FLASH工作状态控制器将FLASH与CPU连接;

D2、将LVDT安装在测试台架上,台架上装有高等级的位移指示器,在LVDT的满量程内均匀设置测量点,测量点越密集所得误差修正表越精确,变送器软件通过路径读取未修正的计算值并发送至上位机,由上位机软件记录,同时人工通过上位机键盘输入此时测试台架上位移指示器的位移真实值;

D3、上位机软件在获得足够多的测量值和真实值之后,采用线性差值算法得到一个输

入输出的转换表,此表由上位机软件通过 USB 接口传送给变送器软件,由变送器软件写入 FLASH。

5. 如权利要求 1 或 2 或 3 所述的差动变压器式位移传感器数字变送解调方法,其特征在于:在步骤 E 中,所述数字滤波为移动平均滤波算法。

差动变压器式位移传感器数字变送解调方法

技术领域

[0001] 差动变压器式位移传感器数字变送解调方法涉及一种处理利用 LVDT 精确测量物体微小位移的信号的方法。

背景技术

[0002] 差动变压器式位移传感器采用电磁感应原理能测量微小位移,其英文名称是 linear variable differential transformer,简称 LVDT,其结构见图 1。采用环氧树脂,不锈钢等材料作为线圈骨架,用不同线径的漆包线在骨架上绕制线圈。与传统的电力变压器不同,LVDT 是一种开磁路弱磁耦合的测量元件;在骨架上绕制一个初级线圈 1,两个次级线圈 2,其工作方式依赖于在线圈骨架内铁芯 3 的移动,当初级线圈 1 供给一定频率的交变电压(激励信号)时,铁芯 3 在线圈内移动就改变了空间磁场分布从而改变了初、次级线圈之间的互感量,次级线圈 2 就产生感应电动势,随着铁芯位置的不同,互感量也不同,激励产生的感应电动势也不同,这样就将铁芯 3 的位移量(实际的铁芯是通过测杆与被测物保持相接触,也就是被测物体的位移量)变成电压信号输出,由于两个次级线圈 2 电压极性相反,所以传感器的输出是两个次级线圈 2 电压之差,其电压差值与位移量成线性关系当铁芯 3 处在两次级线圈 2 正中间位置时两次级线圈 2 感应电压相等但相位相反,其电压差值为零,当铁芯 3 往右移动时,右边的次级线圈感应的电压大于左边。两级线圈 2 输出的电压差值大小随铁芯 3 位移而成线性变化(第一象限的实线段部分),这是 LVDT 有效的测量范围(一半)。当铁芯 3 继续往右移动时线圈 2 输出电压的差值不与铁芯 3 位移成线性关系,此为缓冲,非测量区(虚线段)。反之,当铁芯 3 自两次级线圈中间位置向左边移动亦然。零点两边的实线段一般是对称的测量范围,只不过两者都是交流信号而相位差 180° ,如图 2 所示。

[0003] 一般情况下,对差动变压器式位移传感器(LVDT)常用的信号检测方法是运用载波放大器来完成的,载波放大器又是由解调电路模块、交流放大模块、低通滤波功能模块和常用的振荡器组成的。简单的方法就是从每个次级线圈得到调幅连续电压,通过整流、相减,通过输出的直流电压来表明铁芯的位置。这种方法中的原始信号经过了整流、加减等中间环节才得到直流电压信号,这样会使误差很大,不能得到精确的铁芯位置。

发明内容

[0004] 为了准确地反映铁芯的位置,本发明提供一种数字解调方法,不仅对所得次级线圈信号采用加减法,还采用除的方法,并且运用一种映射关系得出铁芯的真实位移值,大大减小误差。

[0005] 为了实现上述目的,本发明利用由现场可编程门阵列(FPGA)制作的变送器来驱动 LVDT 的初级线圈,并采集 LVDT 的两个次级线圈的输出信号 V_a 和 V_b ,该变送器包括由 FLASH 或 SRAM 构成的存储器、驱动 LVDT 初级线圈的数模转换器(D/A)、采样 LVDT 两个次级线圈的两个模数转换器(A/D),以及数字输出模块、包括信号解调算法和与上位机通信

程序的变送器软件;将采集到的 LVDT 两个次级线圈的输出信号 V_a 和 V_b 作 $S = (V_a - V_b) / (V_a + V_b)$ 的数字解调处理,利用 LVDT 铁芯的实际位移量与 S 之间的映射关系来实现对 LVDT 的信号检测,该处理方法包括以下步骤:

- [0006] A、初始化变送器中各存储器,
- [0007] B、FPGA 产生频率可变的正弦波激励信号,通过 D/A 输入到 LVDT 初级线圈输入端,
- [0008] C、采用两个 A/D 同时采集 LVDT 两个次级线圈的模拟输出信号,转化为数字信号,
- [0009] D、建立 LVDT 铁芯的实际位移量与测量量之间的映射关系,
- [0010] E、利用 $S = (V_a - V_b) / (V_a + V_b)$ 的方法进行数字解调,将所得结果进行数字误差修正和数字滤波,误差修正的数据存储在 FLASH 中,
- [0011] F、修正后的结果送至数字输出模块,以浮点格式的数据输出给上位机,并同时通过数模转换以模拟形式输出,用于外部的仪表来指示测量结果。

[0012] 所述的步骤 B 中,正弦激励信号由直接数字式频率合成器 (DDS) 产生,并后跟一级具有稳幅功能的功率放大器,DDS 与 FPGA 的主时钟同步,为兆赫兹级,FPGA 通过频率控制字和幅度控制字来实现对 DDS 的控制,其控制方法包括如下步骤:

- [0013] B1、向 FLASH 中写入激励频率字和幅度控制字,
- [0014] B2、从 FLASH 中读取频率控制字通过 PIO 端口写入 DDS 频率控制寄存器,同时从 FLASH 中读取幅度控制字,通过 PIO 端口向功率放大器送出幅度控制信号,
- [0015] B3、经过 DDS 产生正弦波数据、经过 D/A 转化为模拟正弦波、再经过功率放大器的处理就得到相应频率、相应幅度的激励信号。

[0016] 并且,通过 DDS 同步信号控制 A/D 的采集时刻,采集时刻为激励信号的正弦值的峰值点。

[0017] 为了得到精确的铁芯位移,步骤 D 采用了一种校准过程来建立 LVDT 铁芯的实际位移量与测量量之间的映射关系,该过程包括如下步骤:

- [0018] D1、FLASH 工作状态控制器将 FLASH 与 CPU 连接;
- [0019] D2、将 LVDT 传感器安装在测试台架上,台架上装有高等级的位移指示器,在 LVDT 传感器的满量程内均匀设置测量点,测量点越密集所得误差修正表越精确,变送器软件通过路径读取未修正的计算值并发送至上位机,由上位机软件记录,同时人工通过上位机键盘输入此时测试台架上位移指示器的位移真实值;
- [0020] D3、上位机软件在获得足够多的测量值和真实值之后,采用线性差值算法得到一个输入输出的转换表,此表由上位机软件通过 USB 接口传送给变送器软件,由变送器软件写入 FLASH 存储器。

[0021] 在步骤 E 中,采用移动平均滤波算法作为数字滤波。

[0022] 本发明的有益效果:采用对两个次级线圈的输出信号 V_a 和 V_b 作 $S = (V_a - V_b) / (V_a + V_b)$ 的处理方法,克服了以往噪声干扰过大的缺点,并由 DDS 产生正弦激励信号,以及进行数字误差修正和数字滤波,使位移的测量精度非常高。

附图说明

[0023] 图 1 差动变压器式位移传感器 (LVDT) 结构示意图;

[0024] 图 2 差动变压器式位移传感器 (LVDT) 工作原理图;

[0025] 图 3 本发明的差动变压器式位移传感器 (LVDT) 数字变送解调方法实施例中的硬件结构;

[0026] 图 4 本发明的差动变压器式位移传感器 (LVDT) 数字变送解调方法实施例中的软件流程图。

具体实施方式

[0027] 下面结合图 3、4 对本发明中的一实施例作具体描述。

[0028] 本发明可以通过图 3、4 所示的一种变送器实现, 变送器的硬件主要包括 NIOSII CPU 软核、DDS、D/A 转换器、A/D 转换器、FLASH 工作状态控制器、FLASH 和 SRAM 存储器、主动配置芯片、USB 接口、CH452 的显示屏和键盘以及电源、时钟 / 复位。如图 3, 画在虚线方框内的硬件我们统称为 FPGA 片内硬件, 在方框外的硬件统称为 FPGA 片外硬件。

[0029] 本实施例可同时测量 2 至 16 支 LVDT 传感器, 具体实施方法参见图 3、图 4, 步骤如下:

[0030] 1、初始化各存储器 (FLASH 和 SRAM 等), 之所以选择用 FLASH 存储数据是因为 FLASH 属于非易失性存储器, 掉电后数据不丢失, 而 SRAM 存储器是用来运行软件代码的。

[0031] 2、上电后, 主动配置芯片配置 FPGA, 从主动配置芯片中加载软件代码至 SRAM 并运行。

[0032] 3、通过 USB 接口和 CFI 接口向 FLASH 中写入激励频率字和幅度控制字。

[0033] 从 FLASH 中读取频率控制字通过 PIO 端口写入 DDS 频率控制寄存器, 同时从 FLASH 中读取幅度控制字, 通过 PIO 端口向功率放大器送出 4 位的幅度控制信号, 可通过 CH452 的键盘选择 16 支传感器其中的一支接入进行信号解调。

[0034] 4、经过 DDS、D/A 转换器、功率放大器的处理产生频率 50 兆赫兹的正弦波激励信号 (与 FPGA 的主频时钟是同步的, 都是 50 兆赫兹), 通过 D/A 转换器输入到差动变压器式位移传感器 (LVDT) 的初级线圈输入端, DDS 每个周期的 1/4 相位处, 即激励信号的峰值处, 给 A/D 控制和解算模块发出一个同步脉冲, A/D 控制和解算模块在同步脉冲的驱动下控制 A/D 转换器进行模数转换。

[0035] 5、两个 A/D 转换器同时采集两个次级线圈的模拟输出信号, 转化为 16 位的数字信号。

[0036] 6、FLASH 工作状态控制器将 FLASH 接入 10NIOS II CPU 的 CFI 接口, 保持 LVDT 铁芯位于量程中段某位置不动, 在不同频响设置下采集数据并记录。精度计算方法为采集的数据中最大值与最小值之差与满量程分辨率的比值, 即精度 = (最大值 - 最小值) / 65536, 目前数字变送器输出的全部是位移相对值, 其与 LVDT 量程对应的变送器输出值为 -65535 ~ +65536, 没有单位, 根据所用 LVDT 的量程, 此值经过换算即可得到具有长度单位的位移量。

[0037] 7、进行校准工作, 校准工作是将 LVDT 传感器安装在测试台架上, 台架上装有高等级的位移指示器, 在 LVDT 传感器的满量程内均匀设置测量点, 测量点越密集所得误差修正表越精确。变送器软件通过路径读取未修正的计算值并发送至上位机, 由上位机软件记录, 同时人工通过上位机键盘输入此时台架上位移指示器的位移真实值。上位机软件在获得足够多的测量值和真实值之后, 采用线性差值算法得到一个 17 位输入, 32 位输出的转换表, 即此表大小为 512kbyte; 此表由上位机软件通过 USB 接口传送给变送器软件, 由变送器软

件写入 FLASH 存储器。

[0038] 8、利用 $S = (V_a - V_b) / (V_a + V_b)$ 的方法进行数字解调,用移动平均算法对所得值进行处理,得到原始位移值送给误差修正模块,误差修正模块以 17 位的原始位移值作为地址加上 NIOS IICPU 通过 PIO 送来的 2bit 误差修正表选择控制字,形成 20 位地址,送至 FLASH 并从其中读出误差值进行修正,得到的结果送至转换结果寄存器,串 / 并转换模块将 32 位并行结果转换为 32 位串行数据,经多路器以串行方式发送至 FPGA 片外的串 / 并转换模块,得到 32 位的并行同步输出。并行同步输出同时送至用于模拟输出的 D/A 转换器得到模拟信号输出,可由 CH452 的显示屏显示。

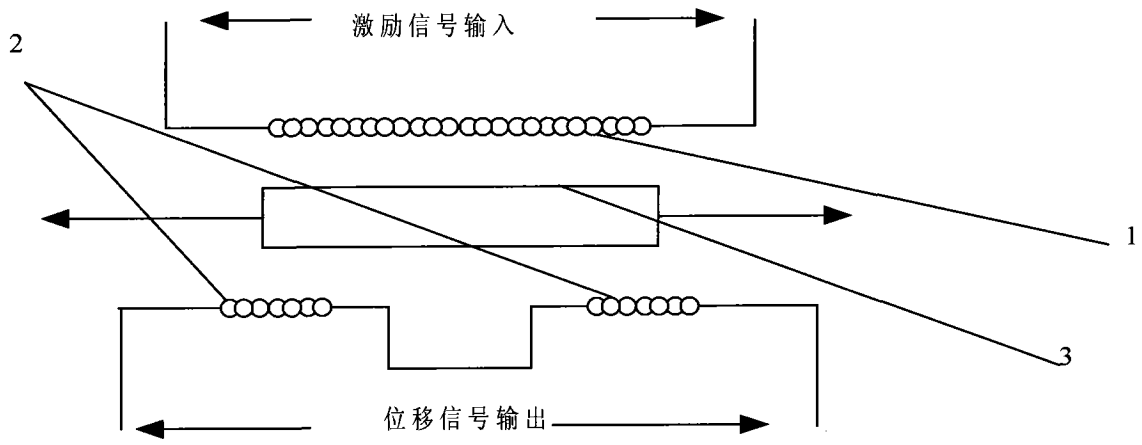


图 1

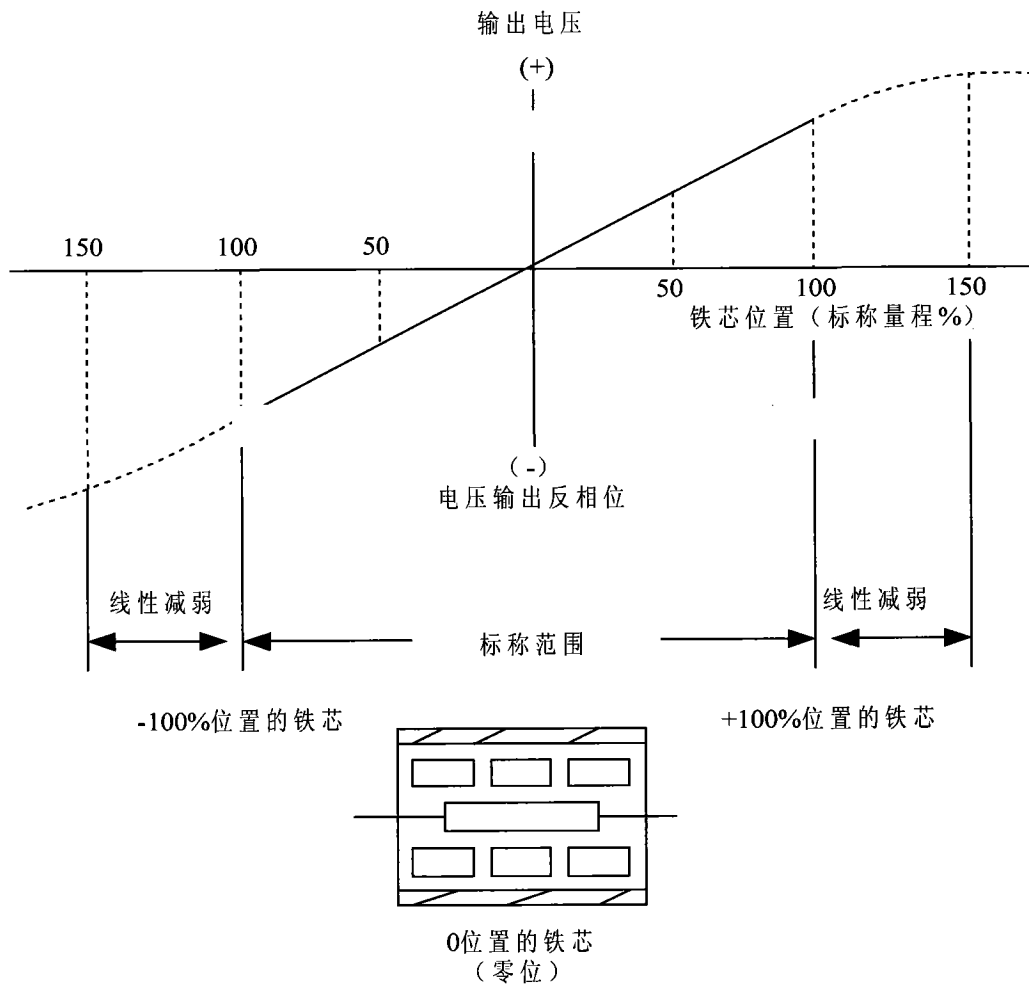


图 2

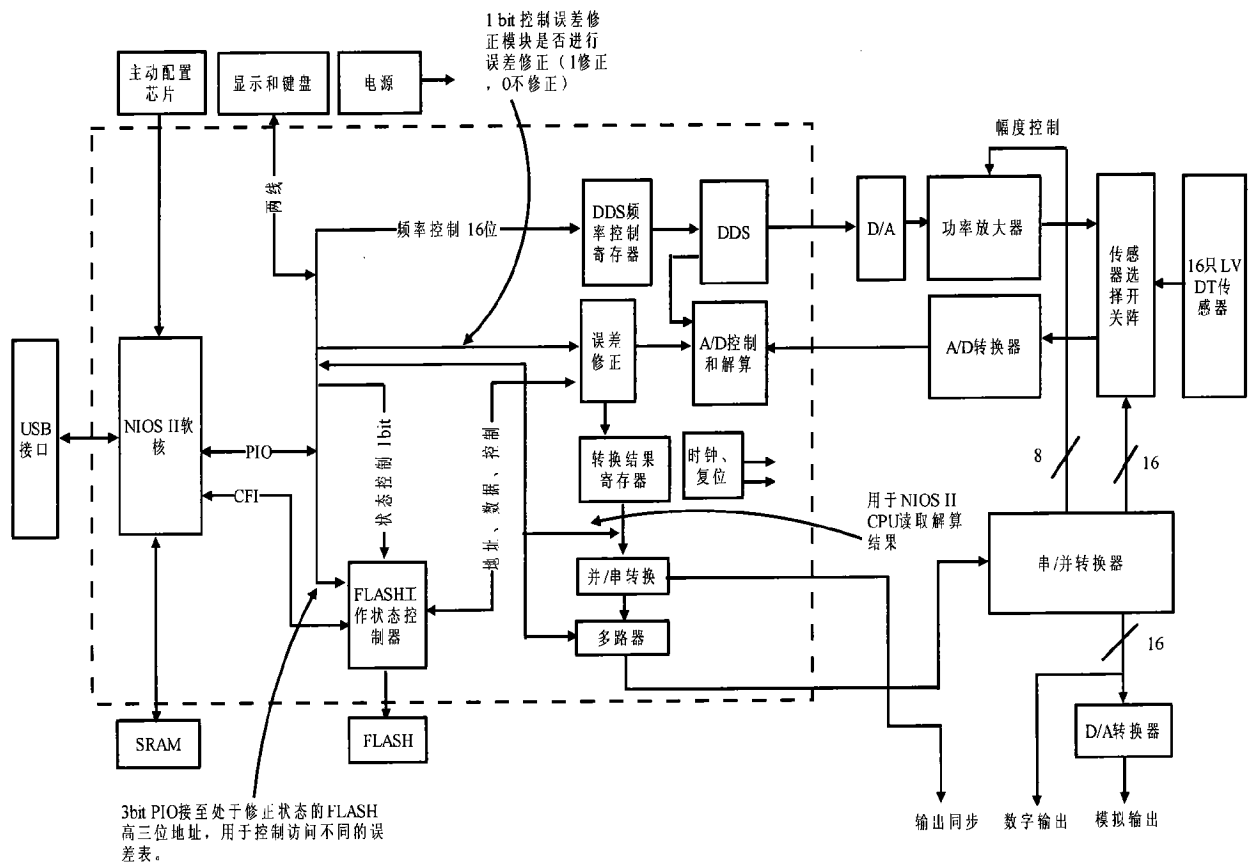


图 3

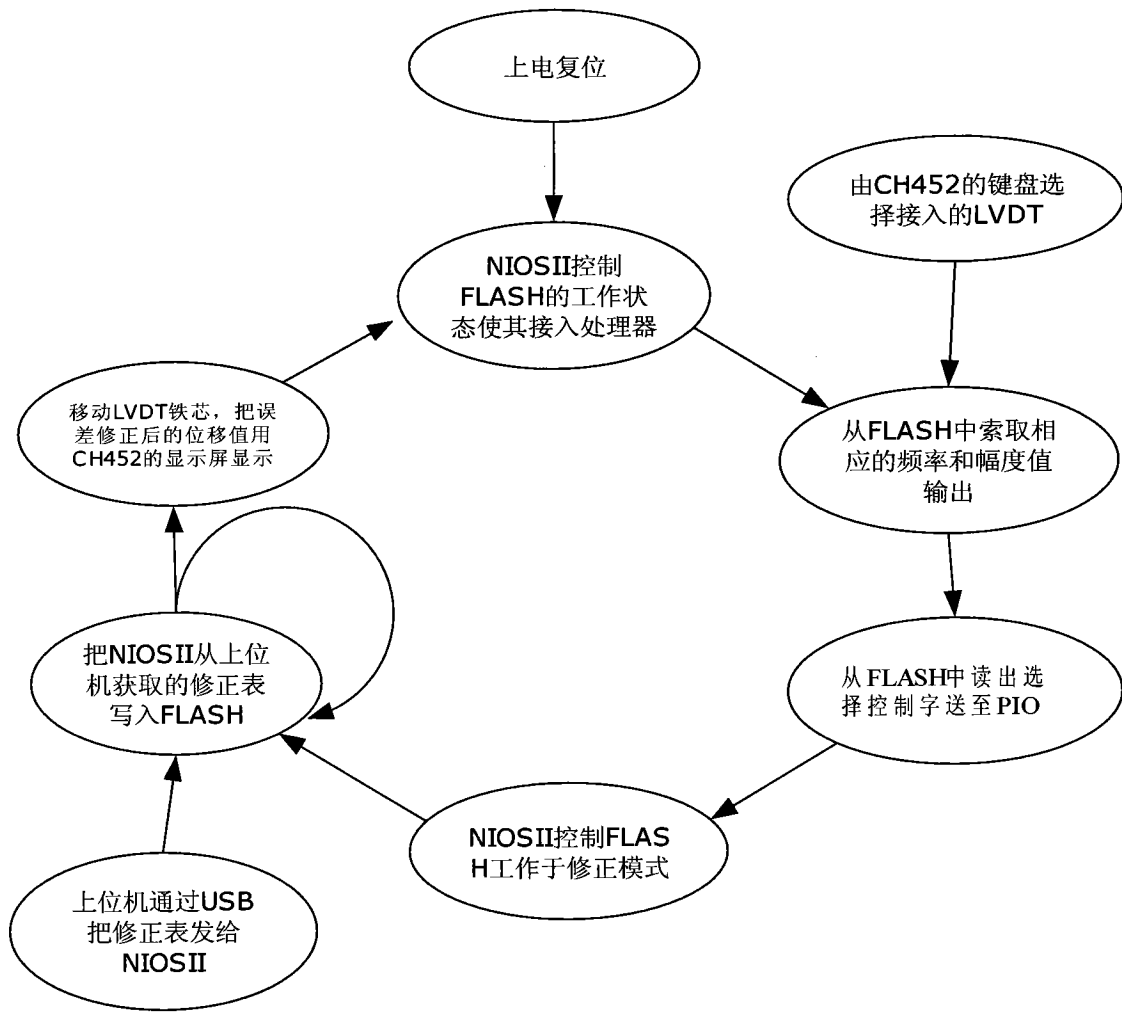


图 4