(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월22일
(11) 등록번호 10-1614789
(24) 등록일자 2016년04월18일

(51) 국제특허분류(Int. Cl.)
H01L 21/00 (2006.01) *H01L 21/208* (2006.01)
(21) 출원번호 10-2010-7019318
(22) 출원일자(국제) 2009년02월02일
심사청구일자 2014년01월24일
(85) 번역문제출일자 2010년08월30일
(65) 공개번호 10-2010-0120295
(43) 공개일자 2010년11월15일
(86) 국제출원번호 PCT/US2009/000649
(87) 국제공개번호 WO 2009/097150
국제공개일자 2009년08월06일
(30) 우선권주장
61/063,089 2008년01월31일 미국(US)
61/189,351 2008년08월18일 미국(US)
(56) 선행기술조사문헌
US20060284171 A1*
US20080017854 A1*
US20080020572 A1*
US20060006378 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
노오쓰웨스턴 유니버시티
미국 일리노이 60208 에반스톤클라크 스트리트 633
(72) 발명자
막스, 토빈 제이.
미국 일리노이 60201 에반스톤 센트럴 파크 애비뉴 2300
파체티, 안토니오
미국 일리노이 60640 시카고 노스 글렌우드 5412
(뒷면에 계속)
(74) 대리인
특허법인(유)화우

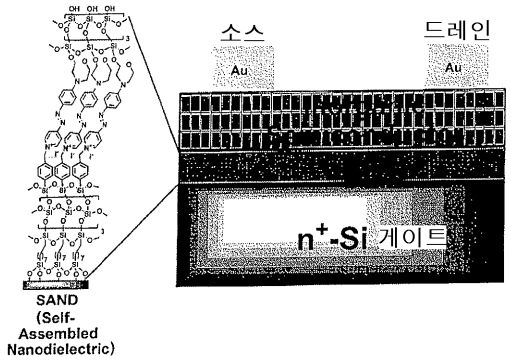
전체 청구항 수 : 총 17 항 심사관 : 최혜미

(54) 발명의 명칭 **용액-처리된 높은 이동도 무기 박막 트랜지스터**

(57) 요 약

박막 트랜지스터 디바이스들의 제조를 위해 무기 반도체 구성요소들을 포함하는 유체 매질에 관한 것이다.

대 표 도 - 도1



도 1. 왼쪽: 하부로부터, 알킬, 실록산 및 스틸바졸리움 층들로 구성된 ~5.5 nm 두께의 SAND(self-assembled nanodielectric) 게이트 절연체의 구조체. 오른쪽: 게이트 유전체로서 3 x 5.5 nm SAND 다층들을 갖고, 반도체로서 50-300 nm 무기 반도체 막을 가지며, Au 소스/드레인 전극들을 갖는, n^+-Si 게이트/기판 상에 제조되고, 이 연구에서 채택된 상부-접촉, 하부-게이트 TFT 구조체.

(72) 발명자

번, 폴 디.

미국 일리노이 60201 에반스톤 셰리던 로드 1125

김성현

미국 일리노이 60201 에반스톤 시카고 애비뉴 1736 #902엔

명 세 서

청구범위

청구항 1

박막 트랜지스터 디바이스를 조제(prepare)하는 용액-상 방법(solution-phase method)에 있어서,

무기 반도체 구성요소를 제공하도록 제 1 유체 매질을 기판 구성요소와 접촉시키는 단계 - 상기 제 1 유체 매질은 1 이상의 금속 염들과 유기 염기를 포함하고, [유기 염기]:[금속 염들]의 몰비가 2 : 1 내지 15 : 1 이며, 상기 1 이상의 금속염들은 인듐 염을 포함함 - ;

무기 반도체 막을 제공하도록 상기 무기 반도체 구성요소를 어닐링하는 단계;

적어도 부분적으로 제 2 유체 매질 안에서 용해가능한 유전 구성요소를 포함하는 상기 제 2 유체 매질을 제공하는 단계; 및

상기 무기 반도체 막에 상기 유전 구성요소를 커플링하는 단계를 포함하는 용액-상 방법.

청구항 2

제 1 항에 있어서,

상기 유기 염기는 아미노알콜인 용액-상 방법.

청구항 3

제 1 항에 있어서,

상기 1 이상의 금속 염들은 할라이드들, 옥살레이트들, 카르보네이트들, 아세테이트들, 포르메이트들, 프로피오네이트들, 설파이트들, 설페이트들, 아세틸아세토네이트들, 하이드로옥사이드들, 나이트레이트들, 퍼클로레이트들, 트리플루오아세테이트들, 트리플루오아세틸아세토네이트들, 트리플루오메탄술포네이트들, 토실레이트들, 메실레이트들, 및 이들의 하이드레이트들로부터 선택되고, 상기 1 이상의 금속 염들의 금속은 인듐을 포함하며, 추가로 틴, 징크 및 갈륨으로부터 선택되며, 상기 무기 반도체 구성요소는 금속 산화물인 용액-상 방법.

청구항 4

제 1 항에 있어서,

상기 무기 반도체 구성요소는 In_2O_3, $InSnO_2$, $InZnO_2$ 및 In-Ga-Zn-O로부터 선택되는 용액-상 방법.

청구항 5

제 1 항에 있어서,

상기 제 2 유체 매질은 적어도 부분적으로 제 2 유체 매질 안에서 용해가능한 유기 유전 구성요소를 포함하는 용액-상 방법.

청구항 6

제 5 항에 있어서,

상기 유기 유전 구성요소는 π-분극성 잔기(π-polarizable moiety)를 포함하는 유기 이중극 층을 포함하고, 상기 유기 이중극 층의 적어도 하나는 실록산 결합 시퀀스와 가교결합되는 용액-상 방법.

청구항 7

제 6 항에 있어서,

상기 유기 이중극 층은 스틸바졸리움 잔기(stilbazolium moiety)를 포함하는 비-선형 광학 발색단(non-linear

optical chromophore)을 포함하는 용액-상 방법.

청구항 8

제 6 항에 있어서,

상기 제 2 유체 매질은 추가로 하이드로카본 층을 포함하는 유기 유전 구성요소를 포함하고, 상기 하이드로카본 층은 실리콘-산소 결합들을 통해 상기 유기 이중극 층의 적어도 하나에 커플링되는 용액-상 방법.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 유기 이중극 층은 실리콘-산소 결합들을 통해 실록산 캡핑 층(capping layer)에 커플링되는 용액-상 방법.

청구항 10

제 9 항에 있어서,

상기 적어도 하나의 유기 이중극 층은, 하나의 단부에서 실리콘-산소 결합을 통해 제 1 실록산 캡핑 층에 커플링되고, 다른 단부에서 실리콘-산소 결합을 통해 제 2 실록산 캡핑 층에 커플링되며, 상기 실록산 캡핑 층들 중 하나는 상기 유기 이중극 층 및 상기 하이드로카본 층 사이에 있고, 상기 하이드로카본 층은 실리콘-산소 결합을 통해 상기 실록산 캡핑 층들 중 하나에 커플링되는 용액-상 방법.

청구항 11

제 6 항에 있어서,

상기 유기 유전 구성요소는 폴리(비닐페놀), 폴리스티렌, 폴리(메틸메타크릴레이트) 및 이들의 코폴리머들로부터 선택되는 유전 폴리머를 포함하는 용액-상 방법.

청구항 12

제 1 항에 있어서,

상기 제 2 유체 매질은 무기 유전 구성요소를 포함하는 용액-상 방법.

청구항 13

제 1 항에 있어서,

상기 제 1 유체 매질과 접촉하기 이전에, 박막 조성물을 제공하도록 상기 기판 구성요소 상으로 상기 제 2 유체 매질을 증착시키는 단계를 포함하고, 상기 제 1 유체 매질과 상기 박막 조성물의 접촉은 잉크젯 프린팅, 스크린-프린팅, 그라비어 프린팅(gravure printing), 오프셋 프린팅, 패드 프린팅, 리소그래피 프린팅, 철판인쇄 프린팅, 마이크로컨택 프린팅, 스핀-코팅, 드롭-캐스팅(drop-casting), 존 캐스팅(zone casting), 딥 코팅(dip coating), 블레이드 코팅(blade coating), 및 스프레잉으로부터 선택된 처리를 통하는 용액-상 방법.

청구항 14

제 1 항에 있어서,

상기 무기 반도체 막에 상기 유전 구성요소를 커플링하는 단계는 잉크젯 프린팅, 스크린-프린팅, 그라비어 프린팅, 오프셋 프린팅, 패드 프린팅, 리소그래피 프린팅, 철판인쇄 프린팅, 마이크로컨택 프린팅, 스핀-코팅, 드롭-캐스팅, 존 캐스팅, 딥 코팅, 블레이드 코팅, 및 스프레잉으로부터 선택된 처리를 통해 상기 반도체 막 상으로 상기 제 2 유체 매질을 증착시키는 단계를 포함하는 용액-상 방법.

청구항 15

제 1 항에 있어서,

상기 무기 반도체 구성요소는 400 ℃ 또는 이보다 낮은 온도에서 어닐링되는 용액-상 방법.

청구항 16

제 1 항에 있어서,

상기 무기 반도체 구성요소는 250 ℃ 또는 이보다 낮은 온도에서 어닐링되는 용액-상 방법.

청구항 17

제 1 항에 있어서,

상기 유전 구성요소는 실질적으로 투명한 기판에 커플링되는 용액-상 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 상호참조

[0002] 본 출원은 2008년 2월 1일에 출원된 미국 가특허출원 일련번호 61/063,089호, 및 2008년 8월 18일에 출원된 61/189,351호의 이익 및 우선권을 주장하며, 이 각각은 본 명세서에 전문이 인용된다.

[0003] 연방정부의 후원 받는 연구 또는 개발에 대한 언급

[0004] 본 발명은 미 육군의 항공 및 미사일 사령부(Army Aviation and Missile Command)에 의해 노오스웨스턴 대학에 수여된 허가 번호들(Grant Nos.) STTR TSI-2260-0674731//W31P4Q-o, 및 미국-이스라엘 양국 과학 재단(United States-Israel Binational Science Foundation)에 의해 노오스웨스턴 대학에 수여된 2006364 하에서 정부 지원으로 행해졌다. 미국 정부는 본 발명에 소정의 권리를 갖는다.

배 경 기 술

[0005] 용액상 처리(solution phase process)들에 의한 고성능 박막 트랜지스터(TFT)들의 제조는 상업적으로 실행가능하고, 저-비용의 대형 전자기기(large-area electronics)들을 개발하기 위한 유망한 접근법이다. 용액-처리된 유기 반전도성 막들을 개발하고자 하는 열성적인 노력에도 불구하고, 지금까지 보고된 유기 TFT(OTFT)들에 대한 최고 전계-효과 이동도들(field-effect mobilities)(μ_{FET}s)은 ~1.0 $cm^2V^{-1}s^{-1}$(p-형, 작은 분자), 0.21 $cm^2V^{-1}s^{-1}$(n-형, 작은 분자), ~0.6 $cm^2V^{-1}s^{-1}$(p-형, 폴리머), 및 0.1 $cm^2V^{-1}s^{-1}$(n-형, 폴리머)이다. 이러한 값들은 진공-증착된 또는 단-결정 유기 반도체들을 이용하여 제조된 최적화된 OTFT의 값들보다 최대 ~10x만큼 더 낮다. 이러한 관측치들은 종래의 OTFT들이 용액-처리된 고속 회로들이 아니라 낮은 또는 중간 성능 어플리케이션들에 유용할 것이라는 것을 암시한다. 결과적으로, 무기 반도체들은 100 $cm^2V^{-1}s^{-1}$를 초과하는 벌크(bulk) 전계 효과 이동도를 나타낼 수 있기 때문에 잠재 후보(potential candidate)들로 떠오른다.

[0006] 하지만, 무기 반도체들은 전형적으로 통상적인 용매들로 다루기 어려워, 용해가능한 전구체들이 채택되어야 하고, 그 후 활성 반전도성 막들로 전환되어야 한다. 이러한 접근법은 충분한 막 결정도(film crystallinity) 및 허용가능한 전하 이송 특성들에 대한 (결정 반도체에 대한) 텍스처링(texturing)을 달성하기 위해, 전형적으로 유해한 용매들 및 높은 어닐링 온도(> 500 ℃)를 요구한다. 높은 어닐링 온도는 저가의 플라스틱 기판들과 공존할 수 없다. 또한, 하부-게이트 트랜지스터(bottom-gate transistor)들이 제조될 때, 상기 게이트 절연체는 처리 조건들에서 살아남기 위해 충분히 견실(robust)해야 하고, 낮은 작동 전압을 보장하기 위해 충분히 얇아야 한다. 따라서, 이러한 요건들은 게이트 유전체용 재료들의 선택 및/또는 반도체 막들이 어닐링될 수 있는 온도를 크게 제한한다. 예를 들어, 용액으로부터 증착된 초-박막 무기 막들은 변함없이 새며(invariably leaky), 형태학적으로 매우 거칠다. 그동안, 알려진 다수의 중합 유전재들은 열적으로 및/또는 기계적으로든지 높은 어닐링 온도들과 부식성 수용액(aggressive aqueous solution)을 견딜 만큼 충분히 안정하지 않다. 또한, 선험적으로 명시되어 있지는 않지만, 유전 표면은 하부-게이트 TFT들이 제조될 때에 용액들로부터 무기 반도체 막 성장을 핵성장(nucleate)시켜야 한다. 이와 같이, 지금까지 TFT들은 용액-처리된 무기 반도체 및 용액-처리된 게이트 유전체 둘 모두를 이용하여 제조되지 않았다.

[0007] 최근까지, 몇몇 금속 산화물들은 저온 처리된 TFT들에 유망한 반도체들로서 떠올랐다. 이들은 인듐 옥사이드(In_2O_3), 징크 옥사이드(ZnO), 틴 디옥사이드(SnO_2), 인듐-갈륨 옥사이드들(IGO), 비정질 징크-틴 옥사이드들(a-ZTO), 비정질 인듐-징크 옥사이드들(a-IZO), 비정질 인듐-갈륨-징크 옥사이드들(a-IGZO), 및 비정질 카드뮴-인듐-안티몬 옥사이드들을 포함한다. ZnO와 같은 다결정질 산화물들은 실온에서 증착될 때조차도 원주형 입자 구조(columnar grain structure)들을 갖는다. 이러한 막들은 $O_2/H_2O/CO_2$ 화학흡착(chemisorption)으로 인한 공기

에 대한 불안정성 및 면 형성(facet formation)으로 인한 막 표면 거칠기를 포함한, 입자 경계들의 큰 밀도와 연계된 문제점들을 불가피하게 겪는다.

[0008] 비정질 금속 산화물 막들은 일반적으로 결정질 산화물들보다 더 매끄러운 표면들과 더 균일한 마이크로구조체들을 나타내며, 이는 기판에 대한 더 양호한 접착을 생성한다. 하지만, 이러한 막들은 통상적으로 스퍼터링 및 펄스화-레이저 증착(pulsed-laser deposition)과 같은 방법들을 이용하여 기상(vapor phase)으로부터 증착된다. 조합적 접근법들은 TFT 어플리케이션들에 유용한 높은-이동도 및 낮은 캐리어 도핑 조성들을 찾아내는데 이용되었다. 예를 들어, In-Ga-Zn-O, In-Zn-O, Zn-Sn-O, 및 In-Sn-O를 포함하는 비정질 금속 산화물들은 TFT 어플리케이션들을 위해 연구되었다. 하지만, 이러한 연구들에서 개별 원소 전구체들의 상이한 증기 압력은 흔히 최적의 막 조성을 조정하는데 있어서 난제들을 유도하며, 또한 중요하게는 재현성 문제(reproducibility problem)들을 유도한다. 또한, 저압 증착 공정들은 높은 스루풋(throughput) 및 넓은 영역들에 대해 스케일(scale)하기에 고가이다. 그동안, 용액 증착에 의해 제조된 이전의 금속-산화물-기반 TFT들은 일반적으로 열악한 성능, 특히 낮은 전계-효과 이동도, 낮은 $I_{on}:I_{off}$ 비율 및 큰 작동 전압을 나타내며, 이 모든 것들은 가장 실용적인 어플리케이션들을 방해하는 경향이 있다.

[0009] 이에 따라, 해당 기술 분야에서 용액으로 무기 반도체 재료들을 처리하는 새로운 제제(formulation)들, 및 반도체 용액 증착 기술들로 무기[예를 들어, 금속 산화물 및 칼코겐화물들(chalcogenides)] TFT들을 제조하는 연계된 방법들에 대한 요구가 존재한다. 또한, 용액-처리된 높은-μ_{FET}s 무기 반도체들과 유기 유전체 융화성(organic dielectric compatibility)을 더욱 연구할 뿐만 아니라, 500 ℃ 미만의 온도에서 어닐링되고 용액으로부터 고성능 TFT들을 개발할 필요성이 해당 기술 분야에서 지속적인 관심사로 남아있다.

발명의 내용

해결하려는 과제

[0010] 이전의 설명을 고려하여, 본 발명의 목적은 다양한 반도체 및 유전 구성요소들 및/또는 트랜지스터 디바이스들 및 이들의 생성 및/또는 조립에 관련된 방법들을 제공하고, 따라서 앞서 설명된 것들을 포함한 종래 기술의 여러 가지 부족한 점들과 단점들을 극복하는 것이다. 당업자라면, 본 발명의 1 이상의 실시형태들이 소정의 목표들을 충족시킬 수 있는 한편, 1 이상의 다른 실시형태들이 다른 소정의 목표들을 충족시킬 수 있다는 것을 이해할 것이다. 각각의 목표들은 본 발명의 모든 실시형태들에 대해 모든 관점들에서 동일하게 적용되지 않을 수도 있다. 이와 같이, 다음의 목적들은 본 발명의 어느 하나의 실시형태에 대한 대안으로 고려될 수 있다.

과제의 해결 수단

[0011] 본 발명의 목적은 TFT 기술들로부터 이용가능한 이점들을 완전히 구현하면서, 또한 앞서 언급된 요건들을 충족시키는 재료 구성요소들, 구조들 및/또는 디바이스 구성들을 제공하는 것일 수 있다.

[0012] 본 발명의 목적은 다양한 용액 처리들을 이용하여 무기(예를 들어, 금속 산화물계) 박막 반도체들을 조제(prepare)하는데 사용될 수 있는 제제들을 제공하는 것일 수 있다. 본 발명의 용액-처리된 무기 박막들은 전계 효과 트랜지스터들(예를 들어, 박막 트랜지스터들), 광전지들, 유기 발광 다이오드(OLED)들 및 유기 발광 트랜지스터(OLET)들과 같은 유기 발광 디바이스들, 상보적 금속 산화물 반도체(CMOS)들, 상보적 인버터들, D 플립-플롭들, 정류기, 링 오실레이터들과 같은 제조 대상물 내에 통합될 수 있다. 본 발명의 용액-처리된 무기 박막들은 유익한 전계-효과 이동도를 제공할 수 있으며, 이는 어느 특정한 이론에 의해 한정되지 않고 개선된 막 텍스처링(film texturing), 개선된 막 화학량론(film stoichiometry), 및/또는 계면적인 그리고 이와 관련된 형태학적인 고려를 통해 달성될 수 있다.

[0013] 본 발명의 목적은, 단독으로 또는 이전의 목표와 연계하여, 여기에 설명된 종류의 어닐링 온도들 및/또는 제조 기술들을 이용하여 용액-처리된 무기 반도체 재료들을 통해 이용가능할 수 있는 바와 같이, 결정도 및 높은 전계-효과 이동도들을 포함하는 유익한 성능 특성들을 갖는 금속 산화물 또는 금속 셀레나이드를 포함할 수 있지만 이로 제한되지 않는 무기 반도체 구성요소를 제공하는 것이다.

[0014] 본 발명의 목적은 트랜지스터 디바이스들에서 사용하기 위한 다중-구성요소 금속 산화물 반도체 구성요소를 제공하는 것일 수 있다. 특히, 여기에 설명된 전구체 조성물들의 사용과 함께, 여기에 설명된 용액-상 처리는 진공 증착과 같은 방법들에 의해 얻어질 수 없는 다중-구성요소 금속 산화물에서 다수의 금속들의 비율의 최적화를 허용한다.

[0015] 본 발명의 목적은 유기 및/또는 유연한 기판들을 포함하는 다양한 기판들과 융화가능하고 (n- 및 p-형 둘 모두를 포함하는) 다양한 무기 반도체들과 융화가능한 넓은 범위의 유기 또는 무기 유전재들을 제공하고, 이러한 반도체 구성요소들의 효율적인 작동을 가능하게 하는 것이다.

[0016] 본 발명의 또 다른 목적은 단독으로 또는 이전의 목표들 중 1 이상과 연계하여 용액-처리된 무기 반도체 제조 기술들 하에서 열적 안정성 및 캐패시턴스를 포함하나 이로 제한되지 않는 유익한 성능 특성들을 유기 유전 구성요소에 제공하는 것이다.

[0017] 본 발명의 또 다른 목적은 단독으로 또는 이전의 목표들 중 1 이상과 연계하여 트랜지스터 구성들 및 관련 디바이스 구조들의 범위의 제조를 통해 이러한 구성요소들의 다양한 융화가능한 조합들을 제공하는 것이다.

[0018] 본 발명의 다른 목적들, 특징들, 이점들 및 장점들은 [발명의 내용] 및 다음의 몇몇 실시예들의 설명으로부터 알 수 있을 것이며, 박막 트랜지스터 디바이스들, 트랜지스터 구성요소들 및 관련 조립/제조 기술들의 지식이 있는 당업자라면 쉽게 이해될 수 있을 것이다. 이러한 목적들, 특징들, 이점들 및 장점들은 첨부된 예시들, 데이터, 도면, 및 이로부터 도출되는 합리적인 모든 추론들과 연계하여, 또는 단독으로, 또는 여기에 통합된 참조들을 고려하여 취해진 상기의 내용으로부터 알 수 있을 것이다.

[0019] 몇몇 실시예들에서, 본 발명은 트랜지스터 디바이스 - 이러한 디바이스는 기판, 전기 전도체(소스, 드레인 및 게이트), 상기 기판 및 게이트 전도체 상에 커플링되거나 이 위에 있는 유전 구성요소, 및 상기 소스 및 드레인 전도체들 및 유전체에 커플링된 무기 반도체 구성요소를 포함함 - 및/또는 이와 관련된 조제 방법들에 관한 것일 수 있다. 이용가능한 기판 재료들은 해당 기술 분야에 알려져 있으며, 제한하는 것은 아니지만, 여기에 설명된 제조 기술들과 융화가능한 재료 중 어느 하나 또는 전부를 포함한다. 이용가능한 전도 재료들은 해당 기술 분야에 알려져 있으며, 제한하는 것은 아니지만, 여기에 설명된 제조 기술들과 융화가능한 재료 중 어느 하나 또는 전부를 포함한다. 무기 반도체 구성요소는 유전 구성요소에 커플링될 수 있으며, 2 개의 구성요소들은 함께 박막 복합물을 형성할 수 있다. 다른 실시예들에서, 본 발명은 트랜지스터 디바이스에 관한 것일 수 있으며, 이러한 디바이스는 기판, 전기 전도체(소스, 드레인 및 게이트), 상기 소스 및 드레인 전도체들에 커플링된 무기 반도체 구성요소, 무기 반도체 구성요소에 커플링되거나 이 위에 있는 유전 구성요소, 및 상기 유전체에 커플링된 게이트 전도체를 포함한다. 여기서 사용되는 바와 같이, "커플링된"이라는 것은 2 이상의 구성요소들 및/또는 화학 잔기들, 원자들 또는 이의 분자들 간의 화학적 결합들(예를 들어, 이온 또는 공유 결합들)의 형성뿐만 아니라, (예를 들어, 흡착에 의한) 여하한의 화학적 결합들을 형성하지 않는 2 개의 재료들의 단순한 물리적인 접착을 의미할 수 있다.

[0020] 이에 따라, 본 발명은 부분적으로 트랜지스터 디바이스를 조제하는 방법에 관한 것일 수 있다. 이러한 방법은 기판 구성요소에 커플링된 유기 유전 구성요소를 포함하는 디바이스 구조체를 제공하는 단계; 무기 반도체 구성요소를 포함하는 유체 매질을 제공하는 단계 - 이러한 반도체 구성요소는 본 발명을 숙지한 당업자에 의해 이해될 수 있는 바와 같은 또는 여기의 다른 곳에 설명된 종류의 화합물을 포함함 - ; 및 이러한 유체 매질 및 디바이스 구조체를 접촉시키는 단계 - 이러한 접촉은 이러한 유전 구성요소에 이러한 반도체 구성요소를 활성적으로 커플링하기에 적어도 부분적으로 충분함 - 를 포함할 수 있다. 또한, 본 발명을 숙지한 당업자에 의해 이해될 수 있는 바와 같이, 및/또는 종래 기술의 방법들 및 기술들을 능가하는 특색으로서, 추가적인 화학적 반응 및/또는 물리적 변형 없이 이용가능한 디바이스 구조체에 관한 활성 반도체 특성들을 반도체 구성요소에 제공하도록 이러한 충분한 접촉이 고려될 수 있다.

[0021] 어떤 실시예들에서, 이러한 디바이스 구조체는 유체 매질 내에 위치될 수 있다. 이러한 어떤 실시예들에서, 이러한 반도체 구성요소를 갖는 이러한 매질은 수성일 수 있으며, 전구체 시약들의 반응 생성물은 적어도 부분적으로 이 안에서 용해가능하다. 비-제한적으로, 이러한 반도체 구성요소는 금속 셀레나이드를 포함할 수 있다. 다른 어떤 비-제한적인 실시예들에서, 유체 매질 접촉은 알려진 프린팅 및 캐스팅(casting) 처리들로부터 선택된 처리를 포함할 수 있다. 이러한 어떤 실시예들에서, 이러한 유체 매질은 이러한 반도체 구성요소를 포함하는 솔-겔 시스템(sol-gel system)일 수 있다. 비-제한적으로, 이러한 반도체 구성요소는 금속 산화물을 포함할 수 있다.

[0022] 어떤 실시예들에서, 반도체 구성요소는 전구체 조성물로부터 조제될 수 있다. 전구체 조성물은 1 이상의 금속 염들 및 용매 내의 염기를 포함할 수 있으며, 염기 및 금속 염(들)은 반도체 구성요소에서 최적의 형태학적 및/또는 마이크로구조적 특징들을 유도하는 상대 몰비로 용매 내에 존재한다. 예를 들어, 박막 트랜지스터 안으로 통합될 때, 본 발명에 따라 조제된 반도체 구성요소는 향상된 전계 효과 특성들, 예를 들어 증가된 전계 효과

이동도 및/또는 증가된 I_{0n} :I_{off} 비율을 나타낼 수 있다.

[0023] 어떤 실시예들에서, 본 발명은 금속 산화물 박막 반도체를 (용액-상으로) 제조하는 전구체 조성물들에 관한 것이다. 예시적인 금속 산화물들은 In_2O_3, $InZnO_2$, $InSnO_2$, In-Ga-Sn-O, 및 SnO_2를 포함한다. 전구체 조성물은 일반적으로 1 이상의 금속 염들 및 용매 내의 염기를 포함한다. 몇몇 실시예들에서, 전구체 조성물은 1 이상의 3가의(trivalent) 금속 염들을 포함할 수 있다. 본 발명의 기재내용에 따라 사용될 수 있는 염 형태(Salt form)들은 할라이드들(예를 들어, 클로라이드들, 브로마이드들, 아이오다이드들), 옥살레이트들, 카르보네이트들, 아세테이트들, 포르메이트들, 프로피오네이트들, 설파이트들, 설페이트들, 아세틸아세토네이트들, 하이드로옥사이드들, 나이트레이트들, 퍼클로레이트들, 트리플루오아세테이트들들, 트리플루오아세틸아세토네이트들, 트리플루오메탄술포네이트들, 토실레이트들, 메실레이트들, 및 이들의 하이드레이트들을 포함한다. 어떤 실시예들에서, 전구체 조성물은 1 이상의 인듐 (In^{3+}) 염들(예를 들어, 인듐 클로라이드, $InCl_3$)을 포함할 수 있다. 어떤 실시예들에서, 전구체 조성물은 갈륨 (Ga^{3+}) 염들(예를 들어, 갈륨 클로라이드, $GaCl_3$)을 포함할 수 있다. 특정한 실시예들에서, 전구체 조성물은 1 이상의 4가의(tetravalent) 염들, 예를 들어 1 이상의 틴(Sn^{4+}) 염들(예를 들어, 틴(IV) 클로라이드, $SnCl_4$)을 포함할 수 있다. 몇몇 실시예들에서, 전구체 조성물은 1 이상의 2가의(divalent) 염들, 예를 들어 1 이상의 징크(Zn^{2+}) 염들[예를 들어, 징크 아세테이트들, $Zn(Ac)_2$]을 포함할 수 있다. 몇몇 실시예들에서, 전구체 조성물은 상이한 원자가 상태(valence state)들의 금속들의 금속 염들을 포함할 수 있다. 예를 들어, 전구체 조성물은 1 이상의 인듐 염들, 및 선택적으로는 1 이상의 2가의 또는 4가의 금속 염들 및/또는 또 다른 비-인듐 3가의 금속 염을 포함할 수 있다.

[0024] 전구체 조성물 내의 금속 염들의 농도는 약 0.01 M 내지 약 5.0 M일 수 있다. 예를 들어, 금속 염은 약 0.02 M 내지 약 2.0 M, 약 0.05 M 내지 약 1.0 M, 약 0.05 M 내지 약 0.5 M, 또는 0.05 M 내지 약 0.25 M의 농도를 가질 수 있다. 전구체 조성물이 2 이상의 금속 염들을 포함하는 실시예들에서, 전구체 조성물은 2 이상의 금속 염들의 등몰량(equimolar amount)들을 포함할 수 있다. 예를 들어, 전구체 조성물에서 3가의 금속 염 (예를 들어, In^{3+}) 및 4가의(예를 들어, Sn^{4+}) 또는 2가의 (Zn^{2+}) 금속 염, [In^{3+}]:[Sn^{4+}] 또는 [In^{3+}]:[Zn^{2+}] ~ 1을 포함한다.

[0025] 전구체 조성물 내의 염기는 당업자에 의해 이해되는 바와 같이 브뢴스테드 염기 또는 루이스 염기일 수 있다. 예를 들어, 염은 금속(M) 하이드로옥사이드들(M = Li, Na, K, Rb, Cs, Ba, Ca), 금속 카르보네이트들, 금속 바이카르보네이트들, 및 이들의 혼합물들뿐만 아니라, 알라닌($C_3H_5O_2NH_2$), 암모니아(NH_3), 아닐린($C_6H_5NH_2$), 디메틸아민($(CH_3)_2NH$), 2-에탄올아민($NH_2CH_2CH_2OH$), 3-프로판올아민, 디에탄올아민, 2-메틸아미노에탄올, N,N-디메틸아미노에탄올, 메톡시에틸아민, 메톡시프로필아민, 디아미노에탄, 디아아미노프로판, 디아미노부탄, 디아미노사이클로헥산, 에틸아민($C_2H_5NH_2$), 글리신($C_2H_3O_2NH_2$), 헥사메틸렌테트라아민($C_6H_{12}N_4$), 헥사메틸렌디아민($NH_2(CH_2)_6NH_2$), 하이드라진(N_2H_4), 메틸아민(CH_3NH_2), 트리메틸아민($(CH_3)_3N$), 이미다졸($C_2H_5NH_2$), 피리딘(C_5H_5N), 피리미딘($C_4H_4N_2$), 피라진($C_4H_4N_2$), 피페리딘($C_5H_{11}N$), 피페라진($C_4H_{10}N_2$), 퀴놀린(C_9H_7N), 1-3-티아졸($C_2H_3O_2NH_2$), 이미드들($R_2C=NH$), 아미드들($RCONH_2$)로부터 선택될 수 있다. 몇몇 실시예들에서, 전구체 조성물은 1 이상의 유기 염기들을 포함할 수 있다. 예를 들어, 전구체 조성물은 유기아민을 포함할 수 있다. 어떤 실시예들에서, 전구체 조성물은 디에탄올아민과 같은 아미노디올, 프로판올아민 및 에탄올아민로부터 선택된 아미노알콜을 포함할 수 있다.

[0026] 용매는 물 또는 1 이상의 유기 용매들일 수 있다. 예를 들어, 용매는 물, 알콜, 아미노알콜, 카르복실릭 애시드, 글리콜, 하이드록시에스테르, 아미노에스테르, 및 이들의 혼합물로부터 선택될 수 있다. 몇몇 실시예들에서, 용매는 물, 메탄올, 에탄올, 프로판올, 부탄올, 펜탄올, 헥실 알콜, 헵틸 알콜, 에틸렌글리콜, 메톡시에탄올, 에톡시에탄올, 메톡시프로판올, 에톡시프로판올, 메톡시부탄올, 디메톡시글리콜, N,N-디메틸포름아미드, 및 이들의 혼합물로부터 선택될 수 있다.

[0027] 몇몇 실시예들에서, 전구체 조성물은 세제, 분산제, 결합제, 상용화제(compatiblizing agent), 경화제, 개시제, 보습제(humectant), 소포제, 습윤제(wetting agent), pH 개질제(pH modifier), 살생제(biocide), 및 제균제(bactereriostat)로부터 독립적으로 선택된 1 이상의 첨가제들을 더 포함할 수 있다. 예를 들어, 계면활성제들, 킬레이트들[예를 들어, 에틸렌디아민테트라아세틱 애시드(EDTA)], 및/또는 다른 폴리머들(예를

들어, 폴리스티렌, 폴리에틸렌, 폴리-알파-메틸스티렌, 폴리이소부텐, 폴리프로필렌, 폴리메틸메타크릴레이트 등등)은 분산제, 결합제, 상용화제 및/또는 소포제로서 포함될 수 있다.

[0028] 전구체 조성물에서 염기 대 1 이상의 금속 염들([염기]:[금속 염들])의 몰비는 약 1 내지 약 20일 수 있다. 예를 들어, 전구체 조성물은 약 2 내지 약 15, 약 2 내지 약 12, 약 5 내지 약 15, 약 5 내지 약 12, 약 5 내지 약 10, 또는 약 7 내지 약 10의 [염기]:[금속 염들] 비를 가질 수 있다. 어떤 실시예들에서, 전구체 조성물은 약 1 내지 약 15, 약 2 내지 약 15, 약 2 내지 약 12, 약 5 내지 약 15, 약 5 내지 약 12, 약 5 내지 약 10, 또는 약 7 내지 약 10의 [염기]:[In^{3+}] 비를 가질 수 있다. 다른 실시예들에서, 전구체 조성물은 약 1 내지 약 15, 약 2 내지 약 15, 약 2 내지 약 12, 약 5 내지 약 15, 약 5 내지 약 12, 약 5 내지 약 10, 또는 약 7 내지 약 10의 [염기]:[In^{3+} + Sn^{4+}] 비 또는 [염기]:[In^{3+} + Zn^{2+}] 비를 가질 수 있다.

[0029] 여기에서 예시들에 의해 입증된 바와 같이, 최적의 [염기]:[금속 염들] 비는 향상된 특성들을 갖는 용액-처리된 반도체 구성요소를 유도할 수 있다. 예를 들어, 박막 형태들로 된 결과적인 반도체 구성요소는 예를 들어 더 양호한 표면 형태들(예를 들어, 막 평활도 및 균일한 두께), 향상된 텍스처링, 및/또는 더 양호한 반도체 성능을 제공하는 우선적인 상 성장(preferential phase growth)을 가질 수 있다.

[0030] 다결정질 금속 산화물들의 상 형성은, 예를 들어 x-선 회절(XRD) 기술들을 이용함으로써 분석될 수 있다. In_2O_3 박막들에 대하여, 004 반사는 더 높은 캐리어 이동도와 연계되는 반면, 222 반사는 더 낮은 캐리어 이동도와 연계된다. 이에 따라, In_2O_3 박막 반도체를 제조하는 다양한 실시예들에서, 전구체 조성물은 X-선 회절에 의해 분석될 때, 1 보다 큰 (004)/(222) 평면 회절 세기 비를 갖는 결정질 In_2O_3 막을 제공하는 [염기]:[In^{3+}] 비를 포함할 수 있다. 몇몇 실시예들에서, (004)/(222) 평면 회절 세기 비는 10보다 더 클 수 있으며, 예를 들어 004 반사가 우세하고, 222 반사는 실질적으로 억제된다. 이와 같이, 본 발명의 개시내용은 1 이상의 금속 염들 및 염기를 포함하는 전구체 제제로부터 결정질 금속 산화물을 증착시킴으로써 금속 산화물계 박막 트랜지스터의 전자 이동도를 증가시키는 방법에 관한 것일 수 있으며, [염기]:[금속 염들] 비는 더 높은 이동도 산화물 상의 우선적인 성장을 유도할 수 있다. 또한, 비정질 금속 산화물 박막들에 대해서는, TFT들을 제조하기 위해 여기에 설명된 [염기]:[금속 염들] 비들을 갖는 전구체 제제가 사용될 때에, 증가된 이동도가 관측될 수 있다. 결정질 금속 산화물들과 달리, 이러한 이동도의 증가는 여하한의 특정한 이론에 의해 한정되지 않고 특정 산화물 상의 우선적인 성장에 기인할 수 없지만, 염기의 존재는 향상된 막 형태, 증가된 막 화학양론, 및/또는 금속-OH 기들(따라서, 수소 결합들)의 잔여량을 유도하며, 이는 더 안정한 막을 제공한다.

[0031] 반도체 구성요소는 반도체 전구체(또는 증착된 조성물)를 제공하기 위해 본 발명에 따른 전구체 조성물을 기판상에 증착시키고, 반도체 구성요소를 형성하기 위해 반도체 전구체(또는 증착된 조성물)를 가열(또는 어닐링)함으로써 조제될 수 있다. 상기 증착하는 단계는 다양한 용액-상 방법들에 의해 수행될 수 있다. 예를 들어, 증착하는 단계는 잉크젯 프린팅 및 다양한 접촉 프린팅 기술들(예를 들어, 스크린-프린팅, 그라비어 프린팅, 오프셋 프린팅, 패드 프린팅, 리소그래피 프린팅, 철판인쇄 프린팅 및 마이크로컨택 프린팅)을 포함하는 프린팅에 의해 수행될 수 있다. 다른 실시예들에서, 증착하는 단계는 스핀-코팅, 드롭-캐스팅(drop-casting), 존 캐스팅(zone casting), 딥 코팅(dip coating), 블레이드 코팅(blade coating), 스프레잉, 로드 코팅(rod coating), 또는 스탬핑에 의해 수행될 수 있다.

[0032] 유전 구성요소에 커플링되기 이전[상부-게이트 디바이스 구조체의 경우) 또는 이후(하부-게이트 디바이스 구조체의 경우)에 관계없이, 이러한 반도체 구성요소는, 예를 들어 충분한 막 결정도 및 텍스처를 제공하거나 용매를 제거하기 위해 어닐링될 수 있다. 다양한 실시예들에서, 반도체 구성요소의 열적 어닐링(가열)은 약 100 ℃ 내지 약 700 ℃의 온도 또는 몇몇 온도들에서 수행될 수 있다. 예를 들어, 약 200 ℃ 내지 약 500 ℃의 온도에서 가열이 수행될 수 있다. 어떤 실시예들에서, 가열은 약 500 ℃보다 더 낮은 온도에서 수행될 수 있다. 몇몇 실시예들에서, 열 처리는 예열된 가열 장비를 이용하여 정해진 온도에서 일시적으로 가열하는 방식으로 행해질 수 있다. 다른 실시예들에서는, 실온으로부터 시작하거나 약 25 ℃ 내지 약 100 ℃의 온도로부터 시작하여, 예를 들어 분당 약 0.5 내지 100 ℃ 범위의 가열 속도에서 점진적인 방식으로 가열이 행해질 수 있다. 어떤 실시예들에서는, 반도체 동일성(semiconductor identity), 조성 및/또는 원하는 특성들에 의존하여, 400 ℃ 또는 이보다 낮은, 약 300 ℃ 또는 이보다 낮은, 약 250 ℃ 또는 이보다 낮은 약 200 ℃ 또는 이보다 낮은, 또는 약 100 ℃ 또는 이보다 낮은 온도에서 이러한 구성요소가 어닐링될 수 있다. 몇몇 실시예들에서는, 1 이상의 온도들에서 단차적인 방식(stepwise manner)으로 가열이 행해질 수 있다. 가열하는 단계는, 예를 들어 저항성 요소들(예를 들어, 오븐들), IR 방사선(예를 들어, IR 램프들), 마이크로파 방사선(예를들어, 마이크로파 오븐들),

및/또는 자기 가열을 이용함으로써 해당 기술 분야에 알려진 다양한 방법들에 의해 수행될 수 있다. 아래에 설명되고, 여기의 다른 곳에 입증된 바와 같이, 이러한 유전 구성요소 및/또는 디바이스 성능에 불필요한 부정적인 영향을 주지 않고 이러한 반도체 조제 및 처리가 달성될 수 있다.

[0033] 어떤 실시예들에서, 본 발명의 반도체 구성요소들은 여기에 설명된 종류의 다른 무기 재료들뿐만 아니라, 카드뮴 셀레나이드(이것으로 제한하려는 것은 아님)와 같은 금속 셀레나이드 또는 In_2O_3, $InSnO_2$, $InZnO_2$, In-Ga-Zn-O, 및 SnO_2(이것들로 제한하려는 것은 아님)와 같은 금속 산화물을 포함할 수 있다. 반도체 구성요소는 결정질 또는 비정질일 수 있다. 더 광범위하게, 이러한 반도체 구성요소는 다른 이용가능한 12족 금속들, 13족 금속들, 14족 금속들, 및/또는 15족 금속들, 특히 셀레나이드들 및 이들의 산화물들을 포함할 수 있다. 이러한 어떤 실시예들에서, 이러한 산화물들은 2 이상의 금속들, 예를 들어 3 이상의 금속들을 포함할 수 있다. 다른 어떤 실시예들에서, 이러한 반도체 구성요소는 2 이상의 상이한 타입의 금속 산화물들 및/또는 셀레나이드들을 포함할 수 있다. 구조적-기능적 관점으로부터, 이러한 반도체 구성요소는 유익한 전계-효과 이동도들을 제공하는 금속 셀레나이드 또는 금속 산화물을 포함할 수 있으며, 이와 같은 이동도들은 개선된 구성요소 결정도, 및 여기에 설명된 형태의 계면적 및 이와 관련된 형태학적 고려사항들을 통해 접근될 수 있다. 대안적으로, 본 발명의 다양한 더 광범위한 실시형태들에 대해, 무기 반도체 구성요소는 1 이상의 반전도성 금속 또는 메탈로이드(metalloid) 칼코겐화물들(예를 들어, 설파이드들, 셀레나이드들, 텔루라이드들 등), 프닉티나이드들(pnictinides)(예를 들어, 갈륨, 인듐, 탈륨 등) 카르바이드들 등등을 포함할 수 있다. 이러한 구성요소들은 여기에 설명된 종류의 유체 매질(예를 들어, 비-제한적으로, 용액-처리된 또는 용액-증착된 무기 반도체들)을 이용하는 디바이스 통합 및 이용가능성에 대한 활성 반도체 기능에 의해서만 제한되며, 이러한 재료들 및 제조 기술들은 본 명세서에 설명되었으며, 본 발명을 숙지한 당업자에 의해 이해될 수 있을 것이다. 이와 무관하게, 이러한 반도체는 박막, 와이어, 나노와이어, 나노튜브 또는 나노입자 구성을 포함할 수 있거나, 특정한 디바이스 구조와 관련하여 기능할 것이며, 이러한 구성들은 당업자에 의해 이해될 수 있을 것이다.

[0034] 본 발명의 기재내용들에 따라 제조된 반도체 구성요소는 상부-게이트 상부-접촉 구조체들, 상부-게이트 하부-접촉 구조체들, 하부-게이트 상부-접촉 구조체들, 및 하부-게이트 하부-접촉 구조체들을 포함하는 다양한 타입의 전계 효과 트랜지스터들에 사용될 수 있다. 상기 반도체 구성요소는 기판 구성요소 및/또는 유전 구성요소 상에 증착될 수 있다. 기판 구성요소는 도핑된 실리콘, 인듐 틴 옥사이드(ITO), ITO-코팅된 유리, ITO-코팅된 폴리이미드 또는 다른 플라스틱들, 단독으로 또는 폴리머 또는 다른 기판 상에 코팅된 알루미늄 또는 다른 금속들, 도핑된 폴리티오펜, 다양한 유연한 플라스틱들 등등으로부터 선택될 수 있다.

[0035] 본 발명의 유전 구성요소는 유익한 캐패시턴스 및/또는 절연 특성들을 제공하는 다양한 재료들로부터 선택될 수 있다. 유전 구성요소는 SAS/SAND(self-assembled superlattice/self-assembled nanodielectric) 재료들, 다양한 중합 재료들(예를 들어, 폴리카르보네이트, 폴리에스테르, 폴리스티렌, 폴리할로에틸렌, 폴리아실레이트)과 같은 유기 유전 재료들, 질화물들(예를 들어, Si_3N_4) 및 다양한 산화물들(예를 들어, SiO_2, Al_2O_3, HfO_2)과 같은 무기 유전재들[예를 들어, 미국 특허 출원 일련번호 11/181,132호 - Yoon 외, *PNAS*, 102(13): 4678-4682 (2005) - 에 개시되고, 이 각각의 개시내용은 여기에서 인용 참조됨], 또한 하이브리드 유기/무기 유전재들(예를 들어, 미국 특허 출원 일련번호 11/642,504호에 개시되며, 이 전체 내용은 여기에서 인용 참조됨)로부터 조제될 수 있다. 몇몇 실시예들에서, 유전 구성요소는 미국 특허 출원 일련번호 11/315,076호, 60/816,952호, 및 60/861,308호에 개시된 가교 폴리머 블렌드(crosslinked polymer blend)들을 포함할 수 있으며, 이들 각각의 전체 개시내용은 여기에서 인용 참조된다.

[0036] 다양한 실시예들에서, 유전 구성요소는 다양한 용액-상 방법들에 의해 (하부 게이트 디바이스들에 대한) 기판 구성요소 또는 (상부 게이트 디바이스들에 대한) 반도체 구성요소 중 어느 하나 상에 유전재 또는 이의 전구체를 포함하는 유체 매질을 증착함으로써 조제될 수 있다. 예를 들어, 증착하는 단계는 잉크젯 프린팅 및 다양한 접촉 프린팅 기술들(예를 들어, 스크린-프린팅, 그라비어 프린팅, 오프셋 프린팅, 패드 프린팅, 리소그래피 프린팅, 철판인쇄 프린팅 및 마이크로컨택 프린팅)을 포함하는 프린팅에 의해 수행될 수 있다. 다른 실시예들에서, 증착하는 단계는 스핀-코팅, 드롭-캐스팅, 존 캐스팅, 딥 코팅, 블레이드 코팅, 스프레잉, 로드 코팅, 또는 스탬핑에 의해 수행될 수 있다. 몇몇 실시예들에서, 유전 구성요소는 가열 및/또는 조사(irradiation)에 의해 경화될 수 있다.

[0037] 어떤 비-제한적인 실시예들에서, 이러한 유전 구성요소는 상이한 재료들의 주기적으로 교번하는 층들을 갖는 SAND 다층화된(multi-layered) 유기 또는 금속-유기 조립체/조성물을 포함할 수 있다. 이러한 교번 층들은 π-분극성 잔기(π-polarizable moiety)["발색단 층(choromophore layer)"]을 포함하는 1 이상의 층들, 또는 금속

산화물 또는 몇몇 다른 무기 재료들을 포함하는 1 이상의 층들, 및 실릴 또는 실록산 잔기("유기 층")를 포함하는 1 이상의 층들을 포함할 수 있다. 교번 층들의 적어도 일부는 실록산 매트릭스를 포함하는 커플링 또는 캡핑 층(capping layer)에 의해 커플링될 수 있다(예를 들어, 비-제한적으로, 도 1을 참조한다).

[0038] π-분극성 잔기는 공액화된(conjugated) π-전자들을 포함할 수 있다. 몇몇 실시예들에서, π-분극성 잔기는 이중극 모멘트(dipole moment), 전자 밀어내는 잔기(electron releasing moiety), 전자 끄는 잔기(electron withdrawing moiety), 이러한 잔기들의 조합, 쯔비터이온(zwitterion) 및 순 전하 중 적어도 하나를 포함할 수 있다. 비-제한적으로, 이러한 구성요소는 비-선형 광학(NLO) 발색단을 포함할 수 있다. 몇몇 실시예들에서, 발색단은 π-공액화된 시스템을 포함할 수 있으며, 이는 교번하는 단일 및 다중(예를 들어, 이중) 결합들(예를 들어, C=C-C=C-C 및 C=C-N=N-C)과 공유적으로 결합된 원자들의 시스템을 포함할 수 있다. π-공액화된 시스템은 질소(N), 산소(O) 및 황(S)으로 제한되는 것은 아니지만 이와 같은 헤테로원자들을 포함할 수 있다. 몇몇 실시예들에서, π-공액화된 시스템은 공액화된 하이드로카본 체인에 의해 연결된 1 이상의 방향족 고리들(아릴 또는 헤테로아릴)을 포함할 수 있다. 어떤 실시예들에서, 방향족 고리들은 헤테로원자들(예를 들어, 아조기들 [-N=N-])을 포함하는 공액화된 체인들에 의해 연결될 수 있다. 예를 들어, π-분극성 잔기는 스틸바졸리움 잔기(stilbazolium moiety)를 포함하는 발색단일 수 있다. 이러한 화합물들의 동일성은 이들의 전자적/구조적 특징들, 및 여기에 설명된 다양한 대표적인 실시예들에 의해 예시된 바와 같은 특정한 사용 또는 적용에 관한 결과적인 분극성(polarizability)에 의해서만 제한된다.

[0039] 유기 층들은 (예를 들어, 약 C_1 내지 약 C_{20} 범위의) 비스(실릴화된) 알킬 잔기를 포함할 수 있다. 특정 실시예들에서, 유기 층들은 발색단 층들에 직접 커플링될 수 있거나, 실록산 매트릭스를 포함하는 커플링 또는 캡핑 층을 통해 커플링될 수 있다. 상기 커플링은 응축 반응 또는 알려진 실릴 화학제를 이용한 화학흡착을 통해 수행될 수 있다. 예를 들어, 실릴 잔기 및 실록산 잔기의 전구체들은 할로기들, 아미노기들(예를 들어, 디알킬아미노기들), 및 알콕시기들로 제한되는 것은 아니지만 이와 같은 가수분해성 기들을 포함할 수 있다. 이러한 전구체들의 예시들은 $Cl_3Si(CH_2)_nSiCl_3$, $(CH_3O)_3Si(CH_2)_nSi(OCH_3)_3$, 및 $(Me_2N)_3Si(CH_2)_nSi(NMe_2)_3$를 포함할 수 있지만, 이로 제한되지 않으며, 여기서 n은 1 내지 10의 범위 내의 정수(즉, n은 1, 2, 3, 4, 5, 6, 7, 8, 9, 또는 10)일 수 있다. 여기에서 더 자세히 설명되는 바와 같이, 이러한 기들은 채택된 처리 또는 제조 조건들 하에서 실록산 결합 형성을 통해 기판 수착(substrate sorption) 또는 응축 또는 분자간 가교결합에 충분한 정도로 가수분해된다. 이와 유사하게, π-분극성 잔기는 실록산 캡핑 층 및/또는 유기 층을 갖는 결합 형성을 허용하기 위해 유사한 실릴 가수분해 기들을 포함하도록 유도체화(derivatize)될 수 있다. 특정한 실시예들에서, 유기 층들 및 발색단 층들은 실릴 또는 실록산 잔기, 또는 π-분극성 잔기를 포함하는 개별적으로 자기-조립된 단층(self- assembled monolayer)들일 수 있다.

[0040] 몇몇 실시예들에서, 유전 구성요소는 실록산 결합 시퀀스에 공유적으로 결합되거나 이와 가교결합된 π-분극성 잔기를 포함하는 화합물을 포함하는 적어도 하나의 유기 이중극 층을 포함할 수 있다. 어떤 실시예들에서, 이러한 유전 구성요소는 실리콘-산소 결합들로 이러한 이중극 층에 커플링된 하이드로카본 층을 포함할 수 있다. 어떤 다른 실시예들에서, 이러한 유전 구성요소는 실리콘-산소 결합들로 이러한 이중극 층에 커플링된 적어도 하나의 실록산 캡핑 층을 더 포함할 수 있다. 이러한 실시예들에 관하여, 실록산 캡핑 층은 실리콘-산소 결합들로 각각에 커플링된 이중극 층과 하이드로카본 층 사이에 위치될 수 있다. 이러한 구성들은 2005년 7월 14일에 출원된 동시-계류중인 출원 일련번호 11/181,132호에 더 자세하게 설명되어 있으며, 이 전문은 본 명세서에 인용 참조된다.

[0041] 이러한 실리콘-산소 결합 시퀀스는 가수분해 실리콘 잔기(예를 들어, 비-제한적으로, 할로겐화된, 알콕시화된 및/또는 카르복실화된 실릴 잔기) 및 하이드록실 기능의 응축 생성물일 수 있다. 여기에 통합된 참조들 중 1 이상에서 더 자세히 설명되고 해당 기술에서 이해되는 바와 같이, 이러한 결합 시퀀스는 각각의 유전 층들에 대한 개시 재료 화합물들 - 이러한 화합물들은 1 이상의 가수분해성 실리콘 잔기들로 치환됨 - 의 사용, 자기-조립 조건들 하에서 이러한 잔기의 가수분해, 및 후속 층 개시 재료 또는 전구체 화합물과의 응축으로부터 도출될 수 있다.

[0042] 이러한 층들에 통합될 수 있는 전구체 화합물들은, 예를 들어 비스-트리클로로실릴옥탄, 옥타클로로트리실록산 및 4-[[(4-(N,N-비스((하이드록시)에틸)아미노]-페닐]아조]-1-(4-트리클로로실릴)벤질-피리디늄 아이오다이드를 포함할 수 있고, 이러한 화합물들은 서로 응축되며, 대응하는 층들은 본 발명에 따른 유전 구성요소들을 제공하도록 조립된다.

[0043] 앞서 언급된 유전 구성요소 화합물들, 층들 및 잔기들 중 몇몇이 앞서 언급된 통합된 참조에 예시되었지만, 본

발명을 숙지한 당업자에 의해 이해되는 바와 같이, 다양한 다른 구성요소 화합물들 및 연계된 잔기들은 본 발명의 범위 내에 있는 것으로 고려된다. 예를 들어, 비-제한적으로, 다양한 다른 π-분극성 구성요소 화합물들 및 연계된 잔기들은 미국 특허 6,855,274호에, 특히 상기 특허의 도 1 내지 도 2, 도 11, 도 13 및 도 15의 NLO 구조체들에, 또한 특허 6,549,685호에, 특히 상기 특허의 도 2 내지 도 3에, 또한 특허 5,156,918호에, 특히 상기 특허의 도 4 내지 도 5의 구조체들에 개시되어 있으며, 이 각각은 대안적인 실시예들의 합체 및 특성화에 관한 대응하는 명세(specification)에 관한 것이며, 이 각각은 여기에서 전문이 인용 참조된다. 또한, 당업자에 의해 이해되는 바와 같이, 다양한 다른 비-선형 광학 발색단 화합물들은 "Supramolecular Approaches to Second-Order Nonlinear Optical Materials. Self-Assembly and Microstructural Characterization of Intrinsically Acentric [(Aminophenyl)azo]pyridinium Superlattices", Journal of American Chemical Society, 1996, 118, 8034-8042에 개시되어 있으며, 이는 여기에서 전문이 인용 참조된다. 이러한 층 구성요소 화합물들은 여기에 설명된 바와 같이 다양한 비기능화된(difunctionalized) 하이드로카본 층 및/또는 실록산 캡핑 층 구성요소 화합물들(이러한 화합물들은 본 발명에 따른 적절한 기판 및/또는 다양한 다른 유전 층들 또는 구성요소들과 응집할 수 있는 기능화 정도 또는 하이드로카본 길이에 대한 제한을 갖지 않음)과 함께 사용될 수 있다.

[0044] 또한, 어떤 실시예들에서, 다층 유전 구성요소는 무기 잔기("무기 층")를 포함하는 1 이상의 층들을 포함할 수 있다. 무기 층들은 유기 층들과 발색단 층들 사이에서 주기적으로 교번할 수 있으며, 1 이상의 주요 기/전이 금속 화합물들, 예를 들어 주요 기 또는 3족 금속, 4족 금속, 5족 금속 및 13족 금속으로부터 선택된 전이 금속들을 포함할 수 있다. 어떤 실시예들에서, 주요 기 금속들은 이트륨(Y)으로 제한되지 않지만 이와 같은 3족 금속, 티타늄(Ti), 지르코늄(Zr) 및 하프늄(Hf)으로 제한되지 않지만 이와 같은 4족 금속, 탄탈(Ta)로 제한되지 않지만 이와 같은 5족 금속, 및 갈륨(Ga), 인듐(In) 및 탈륨(Tl) 등으로 제한되지 않지만 이와 같은 13족 금속으로부터 선택될 수 있다.

[0045] 어떤 다른 실시예들에서, 유전 구성요소는 유전 중합 구성요소, 및 선택적으로는 가수분해 잔기들을 갖는 2 이상의 실릴기들을 연결시키는 잔기, 예를 들어 알킬기 또는 할로알킬기를 포함하는 실릴화된 구성요소를 포함할 수 있다. 다양한 다른 연결 잔기들이 해당 기술 분야에서 인식될 것이며, 분자간 실록산 결합 및 매트릭스 형성을 방해하는 구조 또는 기능에 의해서만 제한될 것이다. 가수분해 실릴기들의 범위는 본 발명을 숙지한 당업자에 의해 알려질 것이며, 트리알콕시실릴, 트리할로실릴, 디알콕시할로실릴, 디알킬할로실릴, 디할로알킬실릴 및 디할로알콕시실릴과 같은 기들을 포함하나 이로 제한되지 않는다. 이러한 중합 조성물들은 2005년 12월 22일에 출원된 동시-계류중인 미국 특허 출원 일련번호 11/315,076호 더 자세히 개시되어 있으며, 이 전문은 여기서 인용 참조된다.

[0046] 이러한 어떤 비-제한적인 실시예들에서, 비스(실릴화된) 구성요소는 2 개의 트리할로실릴기들, 2 개의 트리알콕시실릴기들 또는 이들의 조합을 연결하는 약 C_1 내지 C_{20} 범위의 알킬 잔기를 포함할 수 있다. 여기에 더 자세히 설명되는 바와 같이, 이러한 기들은 채택된 처리 또는 제조 조건들 하에서 실록산 결합 형성을 통해 기판 수착 또는 응축 또는 분자간 가교결합에 충분한 정도로 가수분해된다. 이와 무관하게, 이러한 조성물들의 중합 구성요소는 해당 기술 분야에서 TFT 제조 시 별도의 게이트 절연체 재료들 또는 층들로서 다르게 사용되는 이러한 유전 폴리머들의 범위로부터 선택될 수 있다. 단지 예시의 목적으로, 유전 폴리머들은 폴리(비닐페놀), 폴리스티렌 및 이들의 코폴리머들을 포함할 수 있다. 몇몇 실시예들에서, 이러한 중합 조성물들은 가교결합될 수 있다. 본 발명의 이러한 조성물들은 적합한 실릴화된 구성요소들 및 중합 유전 구성요소들의 이용가능성, 디바이스 제조 동안 서로에 대한 혼합 또는 혼화성(miscibility), 및 결과적인 폴리머-통합된 실록산-결합된 매트릭스/네트워크 및 대응하는 유전/절연체 기능에 의해서만 제한된다.

[0047] 또한, 복합물은 1 이상의 전기적 접촉부들을 포함할 수 있다. 소스, 드레인 및 게이트 전극들에 적합한 재료들은 금속들(예를 들어, Au, Ag, Al, Ni, Cu), 투명한 전도성 산화물들(예를 들어, ITO, IZO, ZITO, GZO, GIO, GITO), 및 전도성 폴리머들(예를 들어, 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌술포네이트)(PEDOT:PSS), 폴리아닐린 (PANI), 폴리피롤(PPy))을 포함한다.

[0048] 비-제한적으로, 본 발명의 일 실시형태는 [도핑된 실리콘 웨이퍼, 유리 상에 틴-도핑된 인듐 옥사이드, 마일라 필름(mylar film) 상에 틴-도핑된 인듐 옥사이드, 및 폴리에틸렌 테레프탈레이트 상의 알루미늄으로 제한되지 않지만 이와 같은 기판-게이트 재료를 포함하는] 기판, 기판/기판-게이트 상에 증착된 여기에 설명된 바와 같은 유전재, 유전재 상에 증착된 반도체 재료, 및 소스-드레인 접촉부들을 포함하는 TFT 디바이스에 관한 것일 수 있다. 몇몇 실시예들에서, TFT는 다음: 투명한 또는 실질적으로 투명한 기판, 투명한 또는 실질적으로 투명한 게이트 전도체, 투명한 또는 실질적으로 투명한 무기 반도체 구성요소, 투명한 또는 실질적으로 투명한 유전 구

성요소, 및 투명한 또는 실질적으로 투명한 소스 및 드레인 접촉부들 중 1 이상을 포함하는 투명한 TFT일 수 있다. 여기에서 사용되는 바와 같이, "투명한"은 스펙트럼의 가시 영역에서 적어도 90 % 투과율을 갖는 것을 일컬으며, "실질적으로 투명한"은 스펙트럼의 가시 영역에서 적어도 80 % 투과율을 갖는 것을 일컫는다.

[0049] 어떤 실시예들에서, 본 발명의 개시내용들은, 예를 들어 얇은 유기 유전체들의 범위 및 채널 재료로서 용액-처리된 다결정질 금속 산화물 반전도성 박막들(예를 들어, In_2O_3)로 제조된 고성능 무기-유기 하이브리드 TFT들에 관한 것일 수 있다. 다른 실시예들에서, 본 발명의 개시내용들은 SiO_2로 제한되지 않지만 이와 같은 무기 유전체들을 통합한 TFT들에 관한 것일 수 있다. 아래에 나타낸 바와 같이, 충분한 마이크로구조 결정도를 갖는 무기 결정질 반도체 구성요소들은 n-형 전계-효과 거동을 나타낼 수 있고, 충분한 절연 특성들을 갖는 얇은 유기(또는 무기) 유전 구성요소들은 초-저-전압(ultra-low-voltage) TFT 작동을 인에이블(enable)할 수 있다는 것이 밝혀졌다. 이러한 하이브리드 TFT들은 낮은 작동 전압들(1 내지 2 V)에서 40 cm^2/V보다 큰 예외적으로 큰 전계-효과 이동도들을 나타낼 수 있다.

[0050] 다양한 다른 기판들, 유기 유전체들, 무기 반도체들, 및 본 발명과 연계하여 유용한 트랜지스터 디바이스 구성들은 2006년 12월 20일에 출원된 동시-계류중인 출원 일련번호 11/642,217호에 개시되어 있으며, 이 전문이 여기에서 인용 참조된다.

[0051] 박막 트랜지스터들과 같은 트랜지스터 디바이스들 이외에도, 유전 구성요소에 커플링되는지 여부에 관계없이, 여기에 설명된 용액-처리된 반도체 구성요소는 센서들, 캐패시터들, 단극성 회로들, 상보적 회로들(예를 들어, 인버터 회로들), 링 오실레이터들 등등과 같은 다양한 유기 전자, 광학 및 광전자 디바이스들 내에서 구현될 수 있다.

도면의 간단한 설명

[0052] 어떤 도면들은 본 발명의 개시내용들의 원리들을 예시하면서 일반적으로 과장되게 도시됨에 따라, 축척대로 되어 있지 않다. 도면들은 어떠한 방식으로도 본 발명의 개시내용들의 범위를 제한하려는 것이 아니다.

도 1은 본 발명의 기재내용들에 따른 용액-처리된 무기 반도체 구성요소와 통합될 수 있는 예시적인 박막 트랜지스터(오른쪽)를 나타내고, 또한 동일한 박막 트랜지스터 또는 유사한 디바이스 구조체들 내로 용액 처리에 의해 통합될 수 있는 대표적인 유기 나노크기 유전체(SAND; self-assembled nanodielectric) 및 그 구성요소 성분의 분자 구조(왼쪽)를 나타내는 도면;

도 2는 p^+-Si/SiO_2/CdSe/Au(A 및 C) 및 n^+-Si/SAND/CdSe/Au(B 및 D) 구조를 갖는 TFT들에 대한 대표적인 전달 및 출력 I-V 플롯들을 나타내는 도면;

도 3a는 어닐링 온도에 대한 캐패시턴스 및 평균 μ_{FET}의 플롯을 나타내는 도면;

도 3b는 15 min 동안 나타낸 온도에서 어닐링하기 전(◇)과 어닐링한 후[■(300 ℃), Δ(400 ℃)]의 Au/SAND(16.5 nm)/n^+-Si 구조의 MIS 캐패시터들에 대한 전류 밀도-전기장 플롯들을 나타내는 도면;

도 3c는 주변 분위기 하에서 15 min 동안 나타낸 온도에서 어닐링하기 전(◇)과 어닐링한 후[■(300 ℃), Δ(400 ℃)]의 Au/SAND(16.5 nm)/n^+-Si 구조의 MIS 캐패시터들에 대한 전류 밀도-적용된 전위 플롯들을 나타내는 도면;

도 4는 나타낸 기판들 상에 성장되고 400 ℃에서 어닐링된 CBD CdSe 막들의 XRD Θ-2Θ(A 및 B) 및 ω=0.33° 인 GIXD(grazing incidence X-ray diffraction)(C 및 D) 스캔들: p^+-Si/SiO_2(A 및 C) 및 n^+-Si/SAND(B 및 D)을 나타내고, 입방정(E; PDF #65-2891) 및 육방정(F; PDF #65-3436) CdSe에 대한 PDF(powder diffraction file)로부터의 평판형(tabulated) 분말 회절 패턴들이 XRD 및 GIXD 스캔들 아래에 구성되는 도면;

도 5a는 막이 어닐링되기 전에 p^+-Si/SiO_2 상에 성장된 CBD CdSe 막의 XRD Θ-2Θ를 나타내는 도면;

도 5b는 막이 어닐링되기 전에 n^+-Si/SAND 상에 성장된 CBD CdSe 막의 XRD Θ-2Θ를 나타내는 도면;

도 6은 나타낸 기판들 상에 성장되고 400 ℃에서 어닐링된 CBD CdSe 막들의 AFM 이미지들: A. p^+-Si/SiO_2 및 B.

n^+-Si/SAND 기판들을 나타내는 도면;

도 7은 p^+-Si/SiO_2/ZIO/Au(A 및 C) 및 n^+-Si/SAND/ZIO/Au(B 및 D) 구조들을 갖는 TFT들에 대한 전류-전압 출력(A 및 B) 및 전달(C 및 D) 플롯들을 나타내는 도면;

도 8a는 p^+-Si/SiO_2 기판들 상에 성장된 (10의 [에탄올아민]:[In^{+3}] 비를 갖는 제제로부터 조제된) In_2O_3 막들의 XRD(X-ray diffraction) θ-2θ 스캔들을 나타내는 도면; 및 도 8b는 n^+-Si/SAND(위의 2 줄) 및 p^+-Si/SiO_2(아래의 3 줄) 기판들 상에 성장된 In_2O_3 막들([에탄올아민]:[In^{3+}] = 10)의 XRD θ-2θ 스캔들을 나타내는 도면;

도 8c 및 도 8d는 p^+-Si/SiO_2(C) 및 n^+-Si/SAND(D) 상에 성장된 In_2O_3 막들([에탄올아민]:[In^{3+}] = 10)의 AFM 이미지들을 나타내는 도면;

도 9a 및 도 9b는 광 투과도 스펙트럼(A) 및 유리 기판들 상에서 스핀-코팅되고 10 분 동안 400 ℃에서 어닐링된 In_2O_3 막들([에탄올아민]:[In^{3+}] = 10)의 밴드갭의 유도(B)를 나타내는 도면;

도 10은 다음 구조들: A 및 B - Si/SiO_2(300 nm)/In_2O_3(30 nm)/Au(50 nm), L = 100 ㎛, W = 1000 ㎛; C 및 D - Si/SAND(16.5 nm)/In_2O_3(30 nm)/Au(50 nm), L = 100 ㎛, W = 500 ㎛를 갖는 대표적인 In_2O_3-기반 TFT들에 대한 전형적인 전달(A, C) 및 출력(B, C) 플롯들을 나타내고, In_2O_3 전구체 용액이 [에탄올아민]:[In^{3+}] 비 = 10을 갖는 도면;

도 11은 Si/SAND/In_2O_3/Au 디바이스들([에탄올아민]:[In^{3+}] 몰비 = 10)의 채널 길이(25, 50, 100 mm)의 함수로서 이동도들을 비교하는 도면;

도 12는 Si/SiO_2(300 nm)/In_2O_3(30 nm)/Au(50 nm), L = 100 ㎛, W = 1000 ㎛의 구조를 갖는 대표적인 In_2O_3-기반 TFT들에 대한 전형적인 전달(A, C) 및 출력(B, D) 플롯들을 나타내고, In_2O_3 막들이 다음의 In_2O_3 전구체 용액들: A, B - [디에탄올아민]:[In^{3+}] 비 = 10; C, D - [프로판올아민]:[In^{3+}] 비 = 10으로부터 조제되는 도면;

도 13은 Si/SiO_2(300 nm)/In_2O_3(30 nm)/Au(50 nm), L = 100 ㎛, W = 1000 ㎛의 구조를 갖는 대표적인 $InZnO_2$- 및 $InSnO_2$-기반 TFT들에 대한 전형적인 전달(A, C) 및 출력(B, D) 플롯들을 나타내고, 금속 옥사이드 막들이 다음의 전구체 용액들: A, B - [에탄올아민]:[In^{3+} + Zn^{2+}] 비 = 10; C, D - [에탄올아민]:[In^{3+} + Sn^{4+}] 비 = 10으로부터 조제되는 도면;

도 14는 대표적인 SnO_2-기반 TFT들에 대한 전형적인 전달 플롯을 나타내고, SnO_2 막들이 [에탄올아민]:[Sn^{4+}] 비 = 10을 갖는 전구체 용액으로부터 조제되는 도면;

도 15는 n^+-Si/SAND 상에 스핀-코팅되고 약 200 ℃ 내지 약 250 ℃에서 어닐링된 인듐 틴 옥사이드(ITO) 막들의 XRD(X-ray diffraction) θ-2θ 스캔들을 나타내는 도면;

도 16은 유리 기판들 상에 스핀-코팅되고 약 250 ℃에서 어닐링된 ITO 막의 최적 투과율 스펙트럼(A) 및 밴드갭의 유도(B)를 나타내는 도면;

도 17은 Si/SiO_2/ITO/Au, L = 100 ㎛, W = 1000 ㎛의 구조를 갖는 대표적인 ITO-기반 TFT들에 대한 전형적인 전달(A, C) 및 출력(B, D) 플롯들을 나타내고, ITO 막들이 [In^{3+}] 대 [In^{3+} + Sn^{4+}]의 비~7를 갖는 전구체 용액으로부터 조제되고, 200 ℃(A, B) 및 250 ℃(C, D)에서 어닐링되는 도면; 도 17f는 어닐링 온도에 대한 이동도 및 전류 on/off 비를 구성하는 도면; 도 17e는 [In^{3+}] 대 [In^{3+} + Sn^{4+}]의 상이한 비들에 대한 이동도 및 전류 on/off 비를 구성하는 도면; 및

도 18은 Si/SAND/ITO/Au, L = 100 ㎛, W = 500 ㎛의 구조를 갖는 대표적인 ITO-기반 TFT들에 대한 전형적인 전

달(왼쪽) 및 출력(오른쪽) 플롯들을 나타내고, ITO 막들이 [In^{3+}] 내지 [In^{3+} + Sn^{4+}]~7의 비를 갖는 전구체 용액으로부터 조제되고, 250 ℃에서 어닐링되는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0053] 본 발명의 소정의 비-제한적인 대표 실시예들은 SAND 유전재 및 그 독특한 표면의 화학적 특성들의 이례적인 열적 견실성(thermal robustness)을 입증하도록 강조될 수 있다. 예를 들어, 이러한 고려사항 및 다른 고려사항에 따라, 본 발명의 다양한 실시형태들이 5 V 미만에서 작동하고 57 $cm^2V^{-1}s^{-1}$만큼 높은 μ_{FET} 값들을 갖는 용액-처리된 SAND/CdSe 하이브리드 TFT들에 의해 예시될 수 있다. 이와 관련하여, CBD(chemical bath deposition) 방법은 수용성 전구체(aqueous soluble precursor)들로부터 무기 박막들을 제작하는 통상적인 측정가능한(scalable) 기술이다. CdSe의 홀 및 전계-효과 이동도(800 $cm^2V^{-1}s^{-1}$까지임)가 모두 실질적으로 Si의 홀 및 전계-효과 이동도를 초과하기 때문에, 이 재료가 유망한 무기 TFT용 반도체 후보로서 인지되었다. CdSe 박막들을 성장하는데 가장 통상적인 CBD 방법은 Cd^{2+} 및 소듐 셀레노술페이트($SeSO_3^{2-}$) 수용액들을 채택한다. 이점은 수산화된 표면들 상으로의 CdSe 막 증착 파라미터들이 조사되었다는 것이며, 이 정보는 n^+-Si/SAND 기판들 상으로의 CdSe 성장에 사용될 수 있다.

[0054] 특히, CdSe 막 성장에 대한 동일한 CBD 절차들을 따라 상업용 p^+-Si/(300 nm) SiO_2[(대조군(control)] 및 n^+-Si/(16.5 nm) SAND 기판들 상에 하부-게이트/상부-접촉부 CdSe-기반 TFT들이 제작되었다. Si/SiO_2 기판들 상에 SAND 막을 제작하는 일반적인 절차는 문헌에서 앞서 보고되었으며, 앞서 언급된 인용 참조들 중 1 이상에서 설명된다. 요약하면, 기판은 유기층[예를 들어, $Cl_3Si(CH_2)_8SiCl_3$]을 조제하기 위해 전구체를 포함한 용액 내에 침지될 수 있다. 초과 시약의 제거 후, 유기층으로 코팅된 기판은 실록산 매트릭스(siloxane matrix)를 제공하기 위해 캐핑제(capping agent)(예를 들어, $Si_3O_2Cl_8$)를 포함한 용액 내에 침지될 수 있다. 다시, 초과 시약의 제거 후, 유기층 및 캐핑제로 코팅된 기판은 π-분극성 잔기(예를 들어, Stbz 발색단 전구체)를 포함한 용액 내에 침지될 수 있다. 이 단계들은 원하는 두께의 SAND 다층 유전체를 성장하기 위해 반복될 수 있다.

[0055] 다양한 온도에서 CdSe 막들을 어닐링(anneal)한 후, 쉐도우 마스크를 통한 Au 소스 및 드레인 접촉부들(50 nm)의 열증착에 의해 TFT 제작이 완료되었다. I-V 플롯 분석으로부터 디바이스 파라미터들이 얻어졌으며, 수학식(1)을 이용하여 포화상태 시 전계-효과 이동도들이 계산되었다:

수학식 1

[0056] $$I_{ds} = (W/2L)\mu C_i (V_g - V_{th})^2$$

[0057] 이때, L은 채널 길이이고, W는 채널 폭이며, C_i는 유전막의 단위 영역당 캐패시턴스이고, μ는 반도체의 전계효과 이동도이며, V_{th}는 임계 전압이고, V_g는 게이트 전압이다. 도 2는 대표적인 전달 및 출력 I-V 플롯들을 나타낸다. SiO_2 상의 제어 디바이스들에 대해, CdSe 막들이 진공 및 주변(ambient)에서 5 분 동안 300 ℃에서 어닐링되었고, ~3.0 $cm^2V^{-1}s^{-1}$의 최대 관찰 μ_{FET}와 함께 ~1.3(±1.1) $cm^2V^{-1}s^{-1}$의 평균 μ_{FET}를 나타내는 TFT들을 산출하였다. 동일한 조건들 하에 400 ℃에서 어닐링된 CdSe 막들은 ~6.7 $cm^2V^{-1}s^{-1}$의 최대 μ_{FET}와 함께 ~4.0(±2.0) $cm^2V^{-1}s^{-1}$의 평균 μ_{FET}를 나타내는 디바이스들을 산출한다(도 2a 및 도 2c). 400 ℃에서 어닐링된 디바이스들에 대한 평균 V_{th}, 아임계 기울기(S), 및 SiO_2-기반 I_{on}/I_{off}는 각각 +25 V, 3.4 V dec^{-1}, 및 10^6이었다. 이 μ_{FET} 값들은 거의 Al 소스 및 드레인 전극들을 갖는 CBD CdSe/SiO_2 TFT들에 대해 앞서 보고된 것보다 더 낮은 크기 차수(order of magnitude)를 갖는다. 이들은 n-채널 TFT들이기 때문에, Au에 대한 Al의 낮은 일함수가 금속-반도체 접촉 저항을 감소시켜, 전자 주입을 향상시킬 수 있으며, 그러므로 이동도들이 관찰될 수 있다. 그럼에도 불구하고, 이 이동도 값들은 1 $cm^2V^{-1}s^{-1}$의 최대 이동도를 나타내는 잉크-분사(ink-jet)된 CdSe 막들로 제작

된 TFT들의 이동도 값들보다 더 크다. 그 후, 반도체 성장 영역이 I_{on}/I_{off} 비 및 디바이스 산출량을 증가시키도록 폴리스티렌 또는 폴리메틸 메타크릴레이트 마스킹을 이용하여 패터닝되었다. 이 절차는 비슷한(comparable) 이동도들로, SiO_2/CdSe TFT I_{on}/I_{off} 비를 10^7로 증가시키고, 디바이스 산출량을 70 %보다 크게 증가시킨다. 상이한 채널 길이/폭들이 이용되는 경우, 관찰된 드레인 전류들은 디바이스 치수들과 선형으로 증감(scale)하여, 우수한 막 균일성 및 낮은 기생 누설 전류를 입증한다.

[0058] SAND-기반 TFT 제작에 앞서, 금속(Au)-절연체(SAND)-반도체(Si) 캐패시터 구조체들에서 CdSe 어닐링 조건 하에서의 SAND 유전체의 열 안정성이 조사되었다. n^+-Si/SAND 기판들이 대기 중에서 15 min 동안 다양한 온도들에서 열적 어닐링된 후, Au 도트 접촉부가 쉐도우 마스크(200 ㎛ x 200 ㎛)를 통해 열적 증착되었다. 그 다음, 대조군(초기)의 전압에 대한 누설 전류 밀도(J_{leak}) 및 전압에 대한 캐패시턴스(또는 주파수), 및 열적 어닐링된 샘플들이 동일한 바이어스 윈도우(bias window)(-4 내지 +4 V, 도 3)에서 측정되었다. 대조군 샘플(4 V에서 ~0.3 ㎂ cm^{-2})과 비교하면, SAND J_{leak}는 300 ℃에서의 어닐링 후에 변화하지 않으며, 단지 대기 중에서 400 ℃에서의 어닐링에 대해 4 배(4 V에서 ~1.1 ㎂ cm^{-2}, 도 3c)이다. 이와 유사하게, 어닐링 온도가 증가함에 따라 SAND 막들의 캐패시턴스는 160(대조군)으로부터 225(300 ℃) 내지 274 nF cm^{-2}(400 ℃; 도 3a)까지 상당히 증가한다. 이 캐패시턴스 증가의 세부 사항이 본 명세서에서 전부 설명되지는 않는다; 하지만, 예비 X-선 반사율(XRR) 측정들이 열 어닐링 시, 가능하게는 H_2O 제거와 함께 추가 실라놀 축합으로 인한 막의 치밀화(densification) 및 박화(thinning)를 제안한다. 이 어닐링 조건들 하에서 Si는 여하한의 추가 SiO_2 코팅을 형성하지 않는다는 것을 유의한다. 그러므로, 캐패시턴스 변동이 감소된 SAND 막 두께와 적절히 연계된다. 결과적으로, 동일한 바이어스 윈도우에 대한 400 ℃에서의 J_{leak} 증가가 간단히 막 두께 감소를 반영할 수 있다. 도 3b는 전기장에 대한 누설 전류 밀도를 도시하여, SAND J_{leak}가 어닐링된 막들에 대해 감소한다는 것을 입증한다. 이 결과들은, SAND 막들이 주변 하에서 현저한 열적 및 절연 안정성을 나타내고, 이들이 고온 무기 막 성장/어닐링에 적절하다는 것에 대한 명백한 증거이다.

[0059] 우수한 SAND 열적 안정성을 가정하여, SAND/CdSe TFT 제작이 수행되었다. 도 3a는 어닐링 온도에 대한 평균 CdSe 막 μ_{FET}를 나타낸다. 400 ℃에서 어닐링된 전형적인 패터닝된 SAND/CdSe 디바이스들은 ~5.7 $cm^2V^{-1}s^{-1}$의 최대 관찰 μ_{FET}와 함께 평균 μ_{FET} = 41(±15) $cm^2V^{-1}s^{-1}$를 나타낸다. I_{on}/I_{off} 비는 전형적으로 ~10^4이고, 최대 ~10^5이며, 전형적인 아임계(subthreshold) 기울기들은 0.26 V dec^{-1}이다. 300 ℃에서 어닐링된 TFT들은, 최대 μ_{FET}는 거의 동일하지만 15(±11) $cm^2V^{-1}s^{-1}$의 더 낮은 평균 이동도를 갖는 더 큰 포화 이동도 분포를 나타낸다. 이 디바이스들에 대한 V_{th}는 +3.0 V 이하이다. 게이트 누설 전류는 I_{ds}보다 1 내지 2 더 낮은 크기 차수이다. 전반적으로, SAND 디바이스들로부터 얻어진 이동도들은 p^+-Si/SiO_2/CdSe 디바이스들의 이동도들보다 상당히 더 크며, *디바이스들은 실질적으로 더 낮은 작동 전압에서 실행한다.* (GaAs 및 In_2O_3 막과 같은 무기 반도체들에 대해, 또한 옥사이드 나노선에 대해 앞서 SiO_2에서 SAND-기반 TFT로 진행 시 전계-효과 이동도 향상이 관찰되었다.) 표 1은 다양한 유전체 및 어닐링 온도를 이용한 본 발명의 CBD CdSe-기반 TFT들에 대한 TFT 데이터를 요약한다. 어닐링되지 않았던 p^+-Si/SiO_2/CdSe 기판들은 전류 변조를 나타내지 않았다.

표 1

주변에서 측정된 CBD CdSe-기반 TFT 성능의 요약

[0060]

디바이스 구조체	어닐링 온도 (°C)	μ_{FET} ($cm^2 V^{-1}s^{-1}$)[a]	I_{on}/I_{off}[a]	V_{th} (V)	S (V dec^{-1})
n^+-Si/SAND/CdSe	25 (no anneal)	0.34	10^3	3.8	0.65
p^+-Si/2/CdSe	300	1.3 ± 1.1 (3.0)	10^5 (10^6)	+30	5.0
n^+-Si/SAND/CdSe	300	15 ± 11 (29)	10^4 (10^5)	+3.0	0.30
p^+-Si/SiO_2/CdSe	400	4.0 ± 2.0 (6.7)	10^6 (10^7)	+25	3.4
n^+-Si/SAND/CdSe	400	41 ± 15 (57)	10^5 (10^6)	+2.5	0.26

[0061] [a] 괄호 안의 값들이 기록된 최고치임.

[0062] 향상된 SiO_2/CdSe에 대한 SAND/CdSe TFT 성능이 미세구조 기원을 갖는지를 이해하기 위해, CBD에 의해 p^+-Si/SiO_2 및 n^+-Si/SAND 기판들 상에 증착된 후 400 ℃에서 어닐링된 CdSe 막들에서 X-선 회절(XRD) 실험들이 수행되었다(도 4). Θ-2Θ XRD 분석으로 인하여, p^+-Si/SiO_2 및 n^+-Si/SAND 기판들 상에 성장된 초기(도 4 및 도 5) 및 어닐링된 CBD CdSe 막들에 대해 $2\theta \approx 25.4°$에서의 단지 하나의 특징만이 관찰된다. 이 증착 조건들 하에서, CdSe는 육방정(hexagonal) 및 입방정(cubic) 상들의 혼합물로서 증착될 것이 예상되며, $2\theta \approx 25.4°$에서의 특징은 섬아연석 입방정(섬아연광 구조)으로부터의 (111) 반사 및/또는 육방정(섬유아연석-구조) 상의 (002) 반사에 기인할 수 있다. 흥미롭게는, 표면에 가까운 CdSe 막의 스침 입사 X-선 회절(GIXD) 분석이 입방정 상과 가장 일치하는 회절 패턴을 드러낸다. 5 분 동안 300 내지 400 ℃에서의 어닐링은 막 결정도를 상당히 개선하지만, 육방정 상으로의 완전한 전환을 초래하지는 않는다. 더 긴 어닐링 시간이 육방정 상으로의 완전한 전환을 초래하여야 하지만, 짧은 어닐링 주기들을 갖는 결정 입계(grain boundary)들의 감소는 허용가능한 본 발명의 μ_{FET} 값들을 생성하기에 충분하며, μ_{FET} 값들은 1 시간까지 어닐링 시간들과 함께 상당히 증가하지는 않는다. 소정 조건들 하에서 육방정 상은 더 낮은 전기 저항력 및 밴드갭(bandgap) 값들과 연계되지만, 진공-증착된 입방정 또는 육방정 상 CdSe 막 이동도들 간의 보고된 차이들은 무시해도 좋다. 하지만, 입방정 CdSe가 준안정 상태이기 때문에, 이 성능 개선은 결정 입계 밀도를 감소시키는 어닐링 효과들로 인해 이루어질 수도 있다. 디바이-슈아이러(Debye-Scheirer) 식 및 $2\theta \approx 25.4°$ 반사의 반폭치(full-width at half-maximum) 분석을 이용하면, SiO_2 상에 성장된 본 발명의 CBD CdSe 막들에 대한 평균 미소결정(crystallite) 크기는 ~5 nm인 한편, n^+-Si/SAND 상의 평균 미소결정 크기는 ~7 nm이다. 탭핑 모드(Tapping mode) AFM 이미지들(도 6)은 두 기판들에 대해 ~20 내지 70 nm의 rms 거칠기들을 나타내는 본 발명의 CdSe 막들의 다결정 성질을 분명하게 한다. 또한, 이미지들은 CdSe에 대해 X-선 측정들을 행한 것보다 더 큰 결정 크기를 나타낸다. 이 차이의 원인은, AFM이 분해능 및 표면-제한 방법이라는 사실로 인한 것일 수 있다. 막 두께는 두 기판들에 대해 ~200 nm이었다.

[0063] 설명된 바와 같이, 본 발명은 용액-처리된 유기 게이트 유전체와 조합된 용액-처리된 무기 반도체를 이용한 TFT들의 제 1 제작을 제공한다. 본 명세서에서 입증된 전계-효과 이동도들은 57 $cm^2V^{-1}s^{-1}$만큼 높으며, 큰 I_{on}/I_{off} 비(10^5) 및 0.26 V dec^{-1}만큼 낮은 아임계 기울기들을 갖는다. 이러한 성능 파라미터들은 이 디바이스들을 매우 다양한 적용들에 대해 매력적이게 만든다. 이러한 TFT 결과들은 특히 반도체 및 유전막 증착 방법들의 간단함을 고려하여, 넓은-면적 전자기기 제작에 있어서 이후 중요한 단계를 나타낸다.

[0064] 본 발명의 소정의 비-제한적인 대표 실시예들은 본 발명에 따라 용액-처리된 무기 반도체 구성요소에 기인하는 이례적인 특성들을 입증하도록 강조될 수 있다. 예를 들어, 이러한 고려사항 및 다른 고려사항에 따르면, 본 발명의 다양한 실시형태들이 본 발명에 따른 전구체 용액으로부터 조제된 다양한 인듐 옥사이드들에 의해 예시될 수 있다.

[0065] 인듐 옥사이드(In_2O_3)는 폭넓은 밴드갭(3.6 eV)을 갖는 n-타입 옥사이드 반도체이며, 이는 α = 10.11 Å인 격자 파라미터를 갖는 복잡한 입방정 빅스바이트 결정체 구조를 갖는다. 가시광 구역에서의 높은 광 투과율, 높은 캐리어 이동도, 및 조정가능한 도전율의 공존은 In_2O_3를 TFT, 태양전지 및 다른 광-전자 디바이스들에서의 적용들에 대한 후보로 만든다. In_2O_3의 박막들은 주로 ~10^{19} 내지 10^{20} cm^{-3}의 캐리어 밀도에서의 10 내지 75 $cm^2V^{-1}s^{-1}$의 높은 이동도로 인해, ZnO, CdO 및 SnO_2와 같은 다른 투명한 옥사이드 등가물들보다 우수하다. 하지만, 고품질 In_2O_3 박막들은 현재 이온-보조(ion-assisted) 증착과 같은 진공-기반 물리적 기상 증착 공정들에 의해 성장되며, 이는 넓은 면적들 및 높은 스루풋의 스케일에 대해 고가이다. 발명자들이 알고 있는 한에서는, 만족스러운 성능을 갖는 용액-처리된 In_2O_3 박막 트랜지스터들은 보고된 바가 없다. 따라서, 본 발명의 다양한 다른 실시예들에 따르면, 징크 인듐 옥사이드(ZIO)의 막들은 다른 용액-처리된 무기 반도체들에 SAND의 폭넓은 적용

가능성을 입증하도록 SAND 유전체 상에 스핀-캐스팅(spin-cast)되었다. 300 nm SiO_2 기판들 상에 스핀-캐스팅된 ZIO 막들은 ~0.60 $cm^2V^{-1}s^{-1}$의 μ_{FET}, 10^5의 I_{on}/I_{off}, 30 V와 같은 V_{th}, 및 8.0 V dec^{-1}와 같은 S를 가졌다. SAND 기판들 상에 스핀-캐스팅된 ZIO 막들은 ~7.2 $cm^2V^{-1}s^{-1}$의 μ_{FET}, 10^4의 I_{on}/I_{off}, 3.3 V와 같은 V_{th}, 및 1.0 V dec^{-1}와 같은 S를 가졌다. 이 결과들은, 디바이스의 게이트 유전체가 SiO_2에서 SAND로 스위칭되는 경우(도 7), 다시 용액-처리된 무기 반도체의 개선된 성능을 입증한다.

[0066] 본 발명의 예시들

[0067] 다음의 비-제한적인 예시들 및 데이터는 본 명세서에 설명된 제작 기술들을 통해 이용가능한 바와 같이, 박막 트랜지스터 디바이스들의 조립체를 포함하여 본 발명의 방법들 및 디바이스들에 관한 다양한 실시형태들 및 특징들을 예시한다. 종래 기술과 비교하여, 본 발명의 방법들 및 디바이스들은 놀랍고 예기치 않으며, 종래 기술에 반하는 결과들 및 데이터를 제공한다. 본 발명의 유용성은 수 개의 디바이스 구조들 및 이와 사용된 무기 반도체 구성요소들의 사용을 통해 예시되지만, 당업자라면 본 발명의 범위와 상응하는 바와 같이 다양한 다른 디바이스들 및 관련 방법들 및 반도체 구성요소들을 이용하여 비슷한 결과들이 얻어질 수 있다는 것을 이해할 것이다.

[0068] 제 1a 예시

[0069] CdSe 막 증착

[0070] Aldrich Chemicals로부터 시약 $CdCl_2$, Se 및 Na_2SO_3가 구입되고, 추가 정제 없이 사용되었다. Mallinckrodt Baker로부터 암모니아(28 내지 30 %) 수용액이 구입되었다. 모든 증착 단계들에서 사용된 물은 Millipore의 초순수(nanopure water) 시스템으로 정화되었다. 40 mL의 0.2 M(7.9 mmol) Na_2SO_3 용액 내의 0.37 g(4.7 mmol)의 Se로부터 Na_2SeSO_3 용액이 조제되었으며, 이는 Na_2SeSO_3로부터 항온조(water bath)에서 60 ℃로 1.5 h 동안 가열되었다. 그 후, 용해되지 않은 Se가 여과지를 이용한 여과에 의해 제거되었으며, 결과적인 여과액은 CBD 용액에서 사용되었다. CBD 용액은 20 mL의 ~0.1 M $CdCl_2$, 6.0 ml 농축된 NH_4OH, 및 20 mL의 ~0.1 M Na_2SeSO_3 수용액으로부터 조제되었다. 그 후, 이 용액은 항온조를 이용하여 80 ℃까지 가열되었다. 상기 용액이 오렌지 색이 된 후, 기판들(7 x 2.5 cm)이 유리 홀더 내에 로딩되고, CBD 용액 내에 침지되었다. 기판들은 초기에는 1 min 동안 용액 내에 배치되었으며, 그 후 탈-이온수로 헹구어지고, 이 단계가 2 번 반복되었다. 이 초기 표면 컨디셔닝 단계들 이후, 기판들이 ~15 min 동안 상기 용액 내에 다시 침지되었다. 막 증착 후, 기판들은 새로운 탈-이온수에서 5 min 동안 3 번 초음파 처리되었고, 그 후 어닐링 전에 자연 건조되었다. 전형적인 CdSe 막 두께는 160 내지 200 nm이었다.

[0071] 제 1b 예시

[0072] 반도체 막 성장의 패터닝에 대하여, Si 기판 상에 증착 구역들을 정의하기 위해 폴리스티렌(M_w = 250 K) 및 폴리메틸 메타크릴레이트(350 K)의 용액들이 기판들 상에 브러싱(brush)되었다. 폴리스테린 및 폴리메틸 메타크릴레이트 각각에 대한 TFT 및 톨루엔에서 중합체 용액들의 농도는 100 mg/mL이었다. 20 min의 자연 건조 후, 패터닝된 기판들이 1 h 동안 진공 하에서 가열(65 ℃)되었다. 그 후, CdSe의 CBD가 수행되었다. 초순수 세척에 이어서, CdSe 코팅된 기판들이 5 min 동안 50 mL의 THF에서 3 번 초음파 처리되었으며, 후속하여 5 min 동안 초순수에서 2 번 세척되었다. 이 절차는 ~12 mm^2 패터닝된 CdSe 막들을 발생시킨다.

[0073] 제 2 예시

[0074] 징크 인듐 옥사이드 막 증착

[0075] 2-메톡시-에탄올에서의 징크 아세테이트($Zn(OAC)_2$)의 0.1 M 용액이 조제되었다. 0.1 M의 용액 농도를 제공하도

록 $Zn(OAC)_2$ 용해도를 증가시키기 위하여, 상기 용액에는 $Zn(OAC)_2$와 1:1 비로 화합물 2-아미노-에탄올이 첨가되었다. 또한, 2-메톡시-에탄올에서 $InCl_3$의 0.1 M 용액이 조제되었다. 0.5 mL의 $InCl_3$ 용액 및 0.5 mL의 $Zn(OAC)_2$ 용액을 혼합함으로써 스핀-캐스팅 용액이 조제되었다. 그 후, 전구체 막이 1500 rpm에서 스핀-캐스팅되었다. 그 후, 전구체 막이 10 min 동안 180 ℃에서 사전-어닐링된 후, ZIO의 제 2 코트가 스핀-캐스팅되었고, 그 후 사전-어닐링된 ZIO 막이 30 min 동안 400 ℃에서 어닐링되었다.

[0076] 제 3 예시

[0077] 막 특성화 및 TFT 제작 및 측정

[0078] 실리콘 캔틸레버와 함께 IEOL-5200 원자 현미경을 이용하여 탭핑 모드에서 원자간력 현미경 이미지들이 기록되었다. 상기 이미지들은 WinSPM 소프트웨어를 이용하여 처리되었다. Iencor 모델 P10 표면 프로파일로미터로 막 두께들이 측정되었다. Ni-여과 Cu Kα 방사선을 이용한 Rigaku DMAX-A 회절계로 CdSe 막들의 WAXRD(wide angle Θ-2Θ X-ray diffractometry)가 수행되었다. 국부적으로 기록되는 LABVIEW 프로그램 및 범용 인터페이스 버스 통신을 이용하여 Keithley 6430 Sub-Femtoamp 리모트 소스 미터(Remote source meter) 및 Keithley 2400 소스 미터로 전기적 측정들이 수행되었다. Hewlett-Packard 4192A 임피던스 분광계로 임피던스 분광법 측정들이 수행되었다. TFT 특성화는 주위 조건들 하의 어둠 속에서 수행되었다. 본 명세서의 수학식 1을 이용하여 포화 이동도의 수치가 구해졌다. 포화 이동도 계산은 디바이스 전달 플롯으로부터 도출된 V_G에 대한 $I_{ds}^{1/2}$의 기울기를 이용하여 수행되었다. 하부 게이트/상부 접촉부 TFT 구조가 이용되었다. 원하는 채널 치수들을 제공하도록 쉐도우 마스크들을 통한 열증착에 의해 (50 nm) 소스/드레인 접촉부들이 증착되었다. 앞서 발표된 절차에 따라, 또한 앞서 언급된 인용 참조들에 제공된 바와 같이 SAND 막들이 증착되었다.

[0079] 제 4a 예시

[0080] 인듐 클로라이드(99.9 %, Sigma-Aldrich), 2-메톡시-에탄올(99 %, Sigma-Aldrich), 및 2-에탄올아민(99 %, Sigma-Aldrich)이 추가 정제 없이 일반적으로 인정되는 바와 같이 사용되었다. 7 개의 약병(25 mL)들이 제공되고, 각각의 약병 내로 $InCl_3$(0.1 mmol)의 2-메톡시에탄올 용액의 10 mL 부분 표본(0.1 mmol)이 첨가되었다. 그 후, $InCl_3$의 2-메톡시에탄올 용액에 다양한 양의 에탄올아민(각각 0.0, 0.10, 0.50, 0.75, 1.0, 1.25 및 1.5 mmol)이 첨가되어, 에탄올아민:In^{3+} 몰비가 각각 0.0에서 15까지 변화되었다. 이 클리어 용액들은 스핀-코팅 전에 실온에서 30 분 동안 교반되었다.

[0081] 제 4b 예시

[0082] 인듐 클로라이드(99.9 %, Sigma-Aldrich), 2-메톡시-에탄올(99 %, Sigma-Aldrich), 및 디에탄올아민(99 %, Sigma-Aldrich)이 추가 정제 없이 일반적으로 인정되는 바와 같이 사용되었다. 7 개의 약병(25 mL)들이 제공되고, 각각의 약병 내로 $InCl_3$(0.1 mmol)의 2-메톡시에탄올 용액의 10 mL 부분 표본이 첨가되었다. 그 후, $InCl_3$의 2-메톡시에탄올 용액에 다양한 양의 디에탄올아민(각각 0.0, 0.05, 0.10, 0.25, 0.50 및 0.75 mmol)이 첨가되어, 에탄올아민:In^{3+} 몰비가 각각 0.0에서 7.5까지 변화되었다. 이 클리어 용액들은 스핀-코팅 전에 실온에서 30 분 동안 교반되었다.

[0083] 제 4c 예시

[0084] 인듐 클로라이드(99.9 %, Sigma-Aldrich), 2-메톡시-에탄올(99 %, Sigma-Aldrich), 및 프로판올아민(99 %, Sigma-Aldrich)이 추가 정제 없이 일반적으로 인정되는 바와 같이 사용되었다. 7 개의 약병(25 mL)들이 제공되고, 각각의 약병 내로 $InCl_3$(0.1 mmol)의 2-메톡시에탄올 용액의 10 mL 부분 표본이 첨가되었다. 그 후, $InCl_3$의 2-메톡시에탄올 용액에 다양한 양의 3-프로판올아민(각각 0.0, 0.10, 0.50, 0.75, 1.0 및 1.25 mmol)이 첨가되어, 에탄올아민:In^{3+} 몰비가 각각 0.0에서 12.5까지 변화되었다. 이 클리어 용액들은 스핀-코팅 전에 실온

에서 30 분 동안 교반되었다.

[0085] 제 4d 예시

[0086] 인듐 클로라이드(99.9 %, Sigma-Aldrich), 징크 아세테이트(99.9 %, Sigma-Aldrich), 2-메톡시-에탄올(99 %, Sigma-Aldrich), 및 에탄올아민(99 %, Sigma-Aldrich)이 추가 정제 없이 일반적으로 인정되는 바와 같이 사용되었다. 7 개의 약병(25 mL)들이 제공되고, 각각의 약병 내로 $InCl_3$(0.05 mmol) 및 $Zn(ac)_2$(0.05 mmol)의 2-메톡시에탄올의 10 mL 부분 표본이 첨가되었다. 그 후, $InCl_3$ 및 $Zn(ac)_2$의 2-메톡시에탄올 용액에 다양한 양의 에탄올아민(각각 0.0, 0.10, 0.20, 0.30, 0.40 및 0.50 mmol)이 첨가되어, 에탄올아민:(Zn^{2+} + In^{3+}) 몰비가 각각 0.0에서 5.0까지 변화되었다. 이 클리어 용액들은 스핀-코팅 전에 실온에서 30 분 동안 교반되었다.

[0087] 제 4e 예시

[0088] 인듐 클로라이드(99.9 %, Sigma-Aldrich), 틴 클로라이드(99.9 %, Sigma-Aldrich), 2-메톡시-에탄올(99 %, Sigma-Aldrich), 및 에탄올아민(99 %, Sigma-Aldrich)이 추가 정제 없이 일반적으로 인정되는 바와 같이 사용되었다. 7 개의 약병(25 mL)들이 제공되고, 각각의 약병 내로 $InCl_3$(0.05 mmol) 및 $SnCl_4$(0.05 mmol)의 2-메톡시에탄올 용액의 10 mL 부분 표본이 첨가되었다. 그 후, $SnCl_4$ 및 $InCl_3$의 2-메톡시에탄올 용액에 다양한 양의 에탄올아민(각각 0.0, 0.10, 0.20, 0.30 및 0.40 mmol)이 첨가되어, 에탄올아민:(Sn^{4+} + In^{3+}) 몰비가 각각 0.0에서 4.0까지 변화되었다. 이 클리어 용액들은 스핀-코팅 전에 실온에서 30 분 동안 교반되었다.

[0089] 제 5 예시

[0090] 제 4 예시로부터의 금속 옥사이드 전구체 제제(formulation)가, 무기 유전재(예를 들어, SiO_2) 또는 유기 유전재[예를 들어, 미국 특허 출원 일련번호 제 11/181,132호에서 설명된 "SAND(self-assembled nanodielectric)"]로 코팅된 유리, 실리콘 웨이퍼들 및 실리콘 기판들을 포함한 다양한 기판들 상에 스핀-코팅되었다. 대표적인 나노 크기의 SAND 유전체 및 그 구성요소 성분들의 분자 구조가 **도 1**에 도시되어 있다. 실리콘 웨이퍼(1 cm x 2 cm)들은 무수 에탄올과 초음파 처리되고, N_2 스트림으로 건조된 후 5 분 동안 산소 플라즈마 처리되었다. 이와 유사하게, 유전체-코팅된 실리콘 기판들이 무수 에탄올로 헹구어지고, N_2 스트림으로 건조되었다. 그 후, 이 기판들 상에 435 rpm/sec의 가속을 갖는 1500 rpm의 속력으로 적절한 금속 옥사이드 전구체 제제가 스핀-코팅되었다. 후속하여, 스핀-코팅된 막들이 (예를 들어, 10 분 동안 400 ℃까지 가열된) 관형로(tubular furnace)에서 어닐링되었다. 실온으로 냉각된 후, 필요한 막 두께를 달성하도록 상기 공정이 반복되었다. 용액-상-기반 성장 기술들을 확립함으로써 SAND 재료가 제작되었다. 결과적인 막들은 매끄럽고, 강한 부착, 우수한 열 안정성, 핀-홀-프리(pin-hole-free) 모폴로지, 및 두드러진 전기 절연 특성들을 나타내었다. 예를 들어, SAND 재료는 캐패시턴스 측정으로부터 결정된 바와 같이 180 nF/cm^2의 큰 캐패시턴스, 4.7의 유효 유전 상수, 10^{-13} pA만큼 낮은 누설 전류, 및 8 MV/cm만큼 높은 절연파괴 전계(breakdown field)를 나타내었다. 결과로서, SAND 재료와 같은 얇은 유기 유전체가 매우 낮은 게이트 및 드레인-소스 전압들로 TFT 작동할 가망성이 있다. 이러한 얇은 유기 유전체들은 기계적으로, 또한 화학적으로 견실하다. IAD 성장 공정의 신중한 제어가, 이러한 유전재들이 금속 옥사이드 증착 시 이온/플라즈마 노광을 견딜 것을 보장하였다. SAND 유전체 성장 및 디바이스 제작에 관한 추가적인 세부 내용들은, 예를 들어 Yoon 외 *Proc. Natl. Acad. Sci. U. S. A.*, vol. 102, 4678(2005); 및 Yoon 외 *J. AM. Chem. Soc.*, vol. 127, 10388(2005)에서 알 수 있다. 일반적으로, 무기 및 유기 계면들 사이의 약한 부착은 하이브리드 전계-효과 트랜지스터 성능 및 안정성을 저하시키는 중요한 인자이다. 본 발명의 디바이스들에 대해, 종래의 '스카치 테이프' 부착 테스트는 다층 두께에서 검출할 수 없는 변화를 드러내며, 유기 유전체들 상의 In_2O_3 막들을 나타내는 테스트 전후의 광학 현미경 이미지들 또는 광 투명도는 강한 계면 부착을 나타낸다.

[0091] 제 6 예시

[0092] 하부-게이트 상부-접촉부 트랜지스터(BGTC TFT)들을 제작하기 위해 (제 4 예시로부터의) 금속 옥사이드 전구체 제제들이 사용되었다. 특히, 상기 제제들은 스핀-코팅에 의해 무기 유전층(예를 들어, 300 nm SiO_2 층) 또는 유기 유전층(예를 들어, 용액-처리된 SAND 층) 상에 제 5 예시에 설명된 바와 같이 박막들로서 증착되었다. 결과적인 막들은 다양한 온도들에서, 또한 250 ℃만큼 낮은 온도에서 어닐링되었다. 쉐도우 마스크들을 통한 열 증착(압력 ~10^{-6} Torr)에 의해 Au 소스 및 드레인 전극들(50 nm)이 증착되어, 50/100 ㎛(L) x 5 mm(W)의 채널 치수들을 제공하였다. **도 1**은 대표적인 BGTC TFT의 디바이스 구조를 예시한다.

[0093] 제 7 예시

[0094] 반도체의 금속 옥사이드 박막, 얇은 나노 크기의 유기 유전재, TFT 디바이스 구조체, 및 그 각각의 전기적 특성들은 아래에 설명된 특성을 나타낸다. 막 성장에 이어서 에칭함으로써 Tencor P-10 스텝 프로파일로미터를 이용하여 In_2O_3 막 두께들이 검증되었다. Ni-여과 Cu Kα 방사선을 이용한 Rigaku DMAX-A 회절계로 In_2O_3의 XRD Θ-2Θ 스캔들이 획득되었다. 광 투과율 스펙트럼들이 Cary 500 자외선-가시광-근적외선 분광광도계로 획득되었으며, 코팅되지 않은 Corning 1737F 유리의 스펙트럼에 참조되었다. Digital Instruments Nanoscope Ⅲ 원자간력 현미경(AFM) 상에 막 표면 모폴로지들이 이미징되었다. 15 keV Ga^+ 이온 소스를 이용한 MATS 쿼드러폴 SIMS 기구 상에서 SIMS(secondary ion mass spectroscopy) 정량 분석이 수행되었다. Keithley 2182A 나노전압계 및 6221 전류 소스로 반도체의 In_2O_3 박막들의 전도성들이 측정되었다. Bio-Rad HL5500 van der Pauw 홀-효과 측정 시스템 상에서 고 전도성의 ITO 및 In_2O_3 막들의 전기적 특성들이 특성화되었다. 국부적으로 기록되는 Labview 프로그램 및 GPIB 통신에 의해 작동되는 Keithley 6430 서브펨토미터 및 Keithley 2400 소스 미터를 이용하여 대기 중의 맞춤형 프로브 스테이션 상에서 TFT 디바이스 특성화가 수행되었다.

[0095] 제 7a 예시

[0096] **도 8a**는 p^+-Si/SiO_2 기판들 상에 성장된 In_2O_3 막들의 X-선 회절(XRD) Θ-2Θ 스캔들을 나타낸다. In_2O_3 막들은 제 4a 예시에 따라 조제되었으며, 에탄올아민:In^{3+}의 몰비는 10이다. 이 특정 제제에 대하여, In_2O_3 막들의 큰 텍스처링(texturing)을 가능하게 하는 최소 어닐링 온도는 약 400 ℃라는 것이 명백해진다. **도 8b**는 n^+-Si/SAND(위의 2 줄) 및 p^+-Si/SiO_2(아래의 3 줄) 기판들 상에 성장된 In_2O_3 막들의 XRD Θ-2Θ 스캔들을 나타낸다. 제 4a 예시에 따라 나타낸 에탄올아민:In^{3+}의 몰비를 갖는 In_2O_3 막들이 조제되었다. 모든 막들은 400 ℃에서 어닐링되었다. 반도체 전구체 제제 내에 포함된 염기의 농도의 임계적 효과는 XRD Θ-2Θ 스캔들에서 분명하다. 아래 놓인 게이트 유전체와 독립적으로, 염기가 없는 제제들로부터 증착된 어닐링된 막들은 불충분한 결정이며, 낮은 캐리어 이동도 222 In_2O_3 반사의 존재에 의해 특성화된다. 염기:In^{3+}의 몰비가 0에서 15까지 증가함에 따라, 222 In_2O_3 반사는 사라지고, 높은 캐리어 이동도 004 In_2O_3 방위가 우세하게 된다. 흥미롭게는, 염기 농도가 (예를 들어, 12.5 및 15.0의 염기:In^{3+}의 몰비로) 더 증가하는 경우, 대응하는 막들은 두 방위들의 존재를 나타낸다. 여하한의 특정 이론에 의해 제한될 것을 바라지 않고, 방위 또는 혼합된 방위들의 존재와 같은 미세구조 특징들이 TFT의 다른 디바이스 특성들 및 전계 효과 이동도들에 크게 영향을 줄 수 있는 것으로 여겨진다.

[0097] 제 7b 예시

[0098] 접촉-모드 AFM에 의해, 스핀-코팅된 In_2O_3 박막들의 결정 크기 및 표면 모폴로지가 검사되었으며, 이미지들은 **도 8c** 및 **도 8d**에 도시된다. In_2O_3 박막들이 성장된 유전체 기판들에 관계없이, 상기 막들은 빽빽하고 조밀하며 균일하고 매끄러운 것으로 보였다. In_2O_3 박막들은 낮은 RMS 거칠기, 예를 들어 Si/SiO_2 상에서 ~3 nm, Si/유기

(SAND) 유전체 상에서 ~6 nm의 RMS를 나타내었다. 여하한의 특정 이론에 의해 제한될 것을 바라지 않고, 낮은 거칠기가: (1) 아래 놓인 매끄러운 유전체(유기 또는 무기 여부에 상관없음)- 이는 AFM에 의해 더 뒷받침됨 -; 및 (2) 매끄러운 막들을 증착하는 스핀-코팅 기술의 본질적인 효력에 기인할 수 있는 것으로 여겨진다.

[0099] 제 7c 예시

[0100] 본 발명의 용액-처리된 In_2O_3 막들은 모두 육안으로 무색이고, 분광기로는 투명하며, 유기 기판들 상에 증착된 막들은 가시광 구역에서 ~95 %의 평균 투명도를 나타낸다(**도 9a**). $\alpha=0$에 대해 $h\upsilon$에 대한 $(\alpha h\upsilon)^2$의 플롯의 선형 부분을 예측함으로써 광 투과율 스펙트럼으로부터 광학 밴드갭이 조사되고 추정되었다. 밴드갭 데이터는 스핀-코팅-유도된 In_2O_3 막들에 대해 3.65 eV의 값을 나타낸다(**도 9b**). 이 투과율 및 밴드갭 결과들은, In_2O_3 박막들이 투명한 TFT 제작에 대해 이상적인 n-채널 재료들이라고 제안한다.

[0101] 제 7d 예시

[0102] 제 4a 예시에서 설명된 제제들(In_2O_3)을 이용하여 p^+-Si/SiO_2 기판들 및 n^+-Si/SAND 기판들 상에 TFT들이 제작되었다. 디바이스들은 유리/ITO 게이트들, 및 Au 또는 In_2O_3 소스 및 드레인 전극들을 갖는다. 제작 후, 디바이스들은 주변 분위기에서 평가되었다. 전형적인 디바이스 I-V 플롯들은 **도 10**에 도시되며, 아래의 **표 2**는 염기:In^{3+} 염 몰비 및 유전체 타입의 함수로서 성능 파라미터들을 요약한다.

표 2

염기/In^{3+}	유전체/기판	μ ($cm^2 V^{-1}s^{-1}$)	I_{on}/I_{of}	V_{th} (V)	S (V decade^{-1})
0.0 (Fig. 7A-B)	SiO_2/p^+-Si	0.04	10^4	42.6	23.8
1.0	SiO_2/p^+-Si	0.01	10^4	44.3	16.0
5.0	SiO_2/p^+-Si	0.05	10^4	54.2	15.3
7.5	SiO_2/p^+-Si	0.12	10^4	38.0	11.4
10.0 (Fig. 7C-D)	SiO_2/p^+-Si	0.70	10^6	29.8	5.7
12.5	SiO_2/p^+-Si	0.35	10^5	44.6	11.2
15.0	SiO_2/p^+-Si	0.22	10^3	36.5	26.0
0.0	SAND/n^+-Si	5.50	10^4	2.6	0.4
10.0 (Fig. 7E-F)	SAND/n^+-Si	43.70	10^5	2.2	0.3

[0103] [a] 포화 상태에서 $\mu=(2I_{SD}L)/[WC_{OX}(V_{SG}-V_{th})^2]$ 로부터 계산됨

[0104] **표 2**로부터 염기:In^{3+} 몰비가 증가함에 따라, 전계-효과 이동도가 XRD에 의해 관찰된 미세구조 변화들을 쫓는다는 것을 알 수 있다. 모든 경우, 가장 큰 이동도는 약 10의 [염기]:[In^{3+}] 비에 대해 관찰되었다. 이 제제들에 대해, SiO_2 게이트 유전체들을 이용한 In_2O_3 디바이스들은 0.0 내지 100 V 범위에서의 작동 전압들(V_{TH}~29.9 V)과 함께 적절한 전계-효과 응답들(μ_{FET} = 0.7 $cm^2V^{-1}s^{-1}$; I_{on}/I_{off} = 10^6)을 나타낸다. **표 2** 및 **도 10**을 다시 참조하면, SAND 유전체들로 제작된 In_2O_3-유기 하이브리드 TFT들은 매우 낮은 작동 전압들(0.0 내지 4.0 V)에서 전형적인/뚜렷한 핀치-오프 선형 곡선 및 포화와 함께 우수한 I-V 특성을 나타낸다. n^+-Si/SAND/In_2O_3/Au TFT 전기 응답의 분석은 ([염기]:[In^{3+}] 비 = 10을 이용하여) 약 43.7 $cm^2V^{-1}s^{-1}$까지 큰 포화-체제 필드-전계 이동도들을 드러낸다. ~10^5의 I_{on}/I_{off} 비 및 5 V보다 작은 작동 전압들(V_{TH}~2.2 V)과 조합된 이 결과는 본 발명의 In_2O_3 TFT들을 고속 적용들에 특히 적절하게 한다. 추가적인 Si/SiO_2/In_2O_3/Au 상부-접촉부 TFT들은 상이한 농도들의 $InCl_3$ 염뿐 아니라, 상이한 두께의 In_2O_3 막들을 갖는 제제들로부터 제작되었다. 아래의 **표 3**은 전구체 용액 내의 $InCl_3$ 염 농도의 함수([에탄올아민]:[In^{3+}] 몰비 = 10)로서 성능 파라미터들을 요약한다. 아래의 **표 4**는 In_2O_3 막 두께의 함수([에탄올아민]:[In^{3+}] 몰비 = 10)로서 성능 파라미터들을 요약한다. 얻어진 결과들로부터,

주어진 기판들 상에서 최적화된 막 두께는 ~30 nm이고, In^{3+} 농도는 ~0.1 M인 것으로 보인다. **도 11**은 Si/SAND/In_2O_3/Au 디바이스들의 채널 길이(25, 50, 100 mm)의 함수([에탄올아민]:[In^{3+}] 몰비 = 10)로서 이동도들을 비교한다. **도 11**에 나타낸 바와 같이, 이동도는 채널 길이에 독립적인 것으로 보인다. 이는 낮은 접촉 저항을 입증하며, 이에 따라 Au가 이 n-채널 반도체 막들에 대해 우수한 접촉재인 것으로 나타난다. 이는 n-채널 반도체가 p-채널 반도체와 조합되어야 하는 상보적인 회로 적용들에 대해 관계가 있다. 나중의 재료는 통상적으로 적절한 p-채널 TFT 제작에 대해 Au와 같은 높은 일함수 접촉부를 필요로 한다.

표 3

$[InCl_3]^b$	유전체/기판	μ (cm^2/Vs)	I_{on}/I_{off}	V_{th} (V)	S (V $decade^{-1}$)
0.05	SiO_2/n^+-Si	0.008	10^5	46.5	13.1
0.1	SiO_2/n^+-Si	0.70	10^6	29.8	5.7
0.2	SiO_2/n^+-Si	1.02	10^2	28.2	41.6

[0105] [b] M에서 $InCl_3$의 농도

표 4

x[c]	유전체/기판	두께 (nm)	μ (cm^2/Vs)	I_{on}/I_{off}	V_{th} (V)	S (V $decade^{-1}$)
1	SiO_2/n+-Si	15	0.0002	10^2	42.6	71.4
2	SiO_2/n+-Si	30	0.70	10^6	29.8	5.7
3	SiO_2/n+-Si	45	1.02	10^3	54.2	20.1
4	SiO_2/n+-Si	50	1.15	10^2	38.0	69.5

[0106] [c] 스핀-코팅 횟수

[0107] 본 발명의 기재내용을 더 예시하기 위해, 제 4b 예시(디에탄올아민) 제 4c 예시(프로판올아민)의 제제들을 이용하여 Si/SiO_2/In_2O_3/Au 상부-접촉부 TFT들이 제작되었다. 전형적인 디바이스 I-V 플롯들은 **도 12**에 나타내며, 아래의 **표 5** 및 **표 6**은 염기:In^{3+} 염 몰비의 함수로서 성능 파라미터들을 요약한다.

표 5

디에탄올아민/In^{3+}	μ (cm^2 $V^{-1}s^{-1}$)	I_{on}/I_{of}	V_{th} (V)	S (V $decade^{-1}$)
0.0	0.04	10^4	42.6	23.8
0.5	0.05	10^4	42.4	18.2
1.0	0.23	10^5	41.5	13.7
2.5	0.34	10^4	38.0	7.8
5.0	0.77	10^4	13.2	5.1
7.5	0.70	10^4	24.1	9.4

[0108]

표 6

프로판올아민/In^{3+}	μ (cm^2 $V^{-1}s^{-1}$)	I_{on}/I_{off}	V_{th} (V)	S (V $decade^{-1}$)
0.0	0.04	10^4	42.6	23.8
1.0	0.06	10^6	44.3	20.1
5.0	0.19	10^4	32.5	12.8
7.5	0.48	10^4	36.9	8.6
10.0	0.61	10^4	31.2	7.0
12.5	0.37	10^5	42.6	9.1

[0109]

[0110] 본 발명의 기재내용이 다양한 금속 옥사이드에 적용될 수 있음을 입증하기 위해, In_2O_3-기반 TFT들과 관련하여 앞서 설명된 절차들에 따라 Si/SiO_2/$InZnO_2$/Au, Si/SiO_2/$InSnO_2$/Au 및 Si/SiO_2/SnO_2/Au 상부-접촉부 TFT들이 제작되었다. 전형적인 디바이스 I-V 플롯들은 **도 13** 및 **도 14**에 나타내며, 아래의 **표 7** 및 **표 8**은 $InZnO_2$ 및

$InSnO_2$ 각각에 대한 [에탄올아민]:[조합된 염] 비의 함수로서 성능 파라미터들을 요약한다. SnO_2 디바이스들은 0.0 내지 0.4 V 범위에서의 작동 전압들(V_{TH}~2.16 V)과 함께 적절한 전계-효과 응답들(μ_{FET} = 0.5 $cm^2V^{-1}s^{-1}$; I_{on}/I_{off} = 10^6)을 나타낸다.

표 7

[0111]

에탄올아민/(In^{3+}+Zn^{2+})	μ ($cm^2 V^{-1}s^{-1}$)	I_{on}/I_{off}	V_{th} (V)	S (V $decade^{-1}$)
0.0	-	-	-	-
1.0	0.01	10^4	44.3	25.3
2.0	0.12	10^4	54.2	13.3
3.0	0.27	10^4	38.0	9.1
4.0	0.70	10^6	29.8	5.8
5.0	0.37	10^5	44.6	7.2

표 8

[0112]

에탄올아민/(In^{3+}+Sn^{4+})	μ ($cm^2 V^{-1}s^{-1}$)	I_{on}/I_{off}	V_{th} (V)	S (V $decade^{-1}$)
0.0	-	-	-	-
1.0	0.58	10^4	53.3	13.7
2.0	0.92	10^5	35.5	10.8
3.0	0.18	10^5	53.2	13.2
4.0	0.02	10^3	29.8	15.8

[0113] 제 8 예시

[0114] 본 발명의 기재내용을 더 예시하기 위해, 제 4e 예시의 제제로부터 조제되고, SAND-코팅된 기판 상에 스핀-코팅된 반도체 구성요소를 이용하여 Si/SAND/ITO/Au 상부-접촉부 TFT들이 제작되었다. 결과적인 막들은 다양한 온도들 및 200 ℃만큼 낮은 온도에서 어닐링되었다. **도 15**에 나타낸 XRD 기술에 의해 무정형 금속 옥사이드의 형성이 검증되었다. 1-번 스핀-코팅된 ITO 막의 두께는 X-선 반사 측정으로부터 약 16.4 nm인 것으로 결정되었다.

[0115] 접촉-모드 AFM에 의해 스핀-코팅된 ITO 박막들의 표면 모폴로지 및 결정 크기들이 검사되었다. 어닐링 온도에 관계없이, ITO 박막들은 AFM 이미지들로부터 빽빽하고 조밀하며 균일하고 매끄러운 것으로 관찰되었다. 예를 들어, ITO 박막은 낮은 RMS 거칠기를 나타내었다. 여하한의 특정 이론에 의해 제한될 것을 바라지 않고, 낮은 거칠기가: (1) 아래 놓인 매끄러운 유전체; 및 (2) 매끄러운 막들을 증착하는 스핀-코팅 기술의 본질적인 효력에 기인할 수 있는 것으로 여겨진다.

[0116] 성장한 상태 그대로(as-grown)의 ITO 막들은 무색이고, 광학적으로 매우 투명하며, 판 유리(plain glass) 상에 증착된 유사한 막들은 가시광 구역에서 약 90 %의 평균 투명도를 나타낸다(**도 16a**). 광학 밴드갭은 광 투과율 스펙트럼으로부터 약 3.65 eV인 것으로 추정되었다(**도 16b**).

[0117] 제 9 예시

[0118] 어닐링 온도들 및 [In^{3+}]:[Sn^{4+} + In^{3+}]의 비들의 함수로서 ITO TFT 디바이스들의 성능이 조사되었다. 테스트된 디바이스들은 Si/SiO_2(300 nm)/ITO/Au, L = 100 ㎛, W = 1000 ㎛의 구조를 가졌다.

[0119] 어닐링 온도가 200 ℃부터 250 ℃까지 증가함에 따라 이동도가 증가하는 것이 관찰되었다(**도 17a 내지 도 17d**, 및 **도 17f**). 특히, 이동도는 200 ℃에서의 0.04 $cm^2V^{-1}s^{-1}$로부터 250 ℃에서의 2.11 $cm^2V^{-1}s^{-1}$까지 점진적으로 증가한다. 아래에서 **표 9**에 값들이 요약된다.

표 9

[0120]

온도 (°C)	μ ($cm^2 V^{-1}s^{-1}$)	I_{on}/I_{off}	Vth (V)
200	0.04	103	34.2
210	0.12	105	25.9
220	0.21	105	17.2
230	0.24	105	21.4
240	0.92	106	20.6
250	2.11	105	13.0

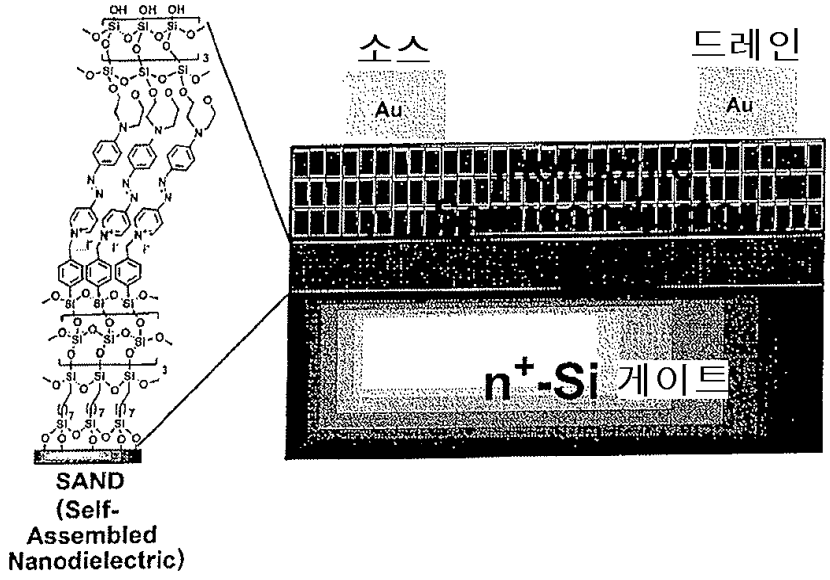
[0121] ITO 막들에서 인듐의 비를 증가시킴으로써 이동도도 개선된다는 것이 발견되었다(**도 17e**).

[0122] 제 10 예시

[0123] 각각 100 ㎛ 및 500 ㎛의 채널 길이 및 폭을 갖는 유전층으로서의 SAND 및 250 ℃에서 어닐링된 n-채널 반도체층으로서의 ITO로 구성된 TFT들의 I_{DS}-V_{DS} 전달 및 출력 특성들이 **도 18**에 도시된다. 결과들은 낮은 작동 전압(1.54 V)에서 높은 이동도 및 높은 I_{on}/I_{off} 비를 나타낸다. 그 전기 응답의 분석은 ~ 10^4의 양호한 I_{on}/I_{off} 비를 가지고 ([In^{3+}]:[Sn^{4+} + In^{3+}]~7을 이용하여) 약 20.1 $cm^2V^{-1}s^{-1}$까지 큰 포화-체제 필드-전계 이동도들을 드러낸다.

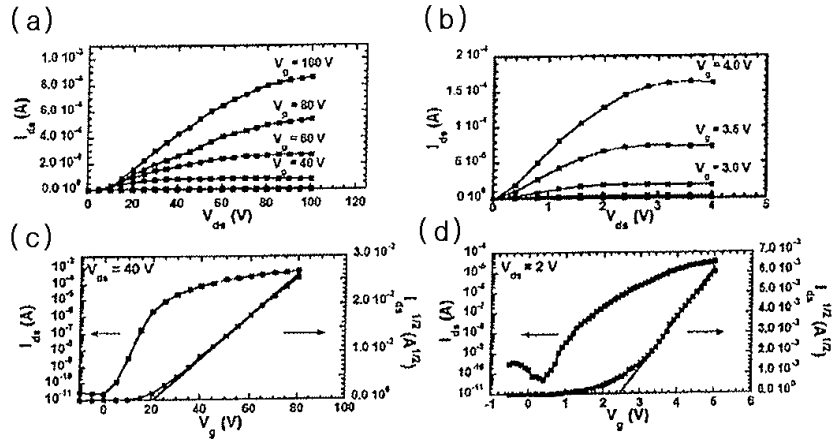
도면

도면1



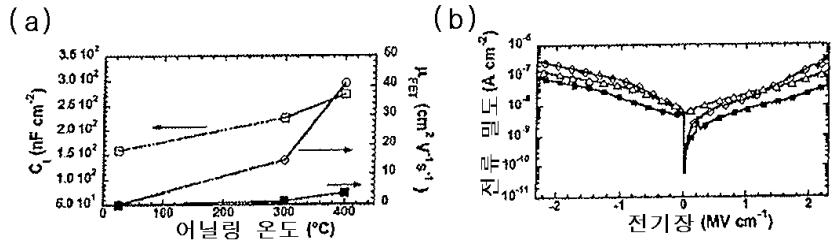
도 1. 왼쪽: 하부로부터, 알킬, 실록산 및 스틸바졸리움 층들로 구성된 ~5.5 nm 두께의 SAND(self-assembled nanodielectric) 게이트 절연체의 구조체. 오른쪽: 게이트 유전체로서 3 x 5.5 nm SAND 다층들을 갖고, 반도체로서 50-300 nm 무기 반도체 막을 가지며, Au 소스/드레인 전극들을 갖는, n^+-Si 게이트/기판 상에 제조되고, 이 연구에서 채택된 상부-접촉, 하부-게이트 TFT 구조체.

도면2

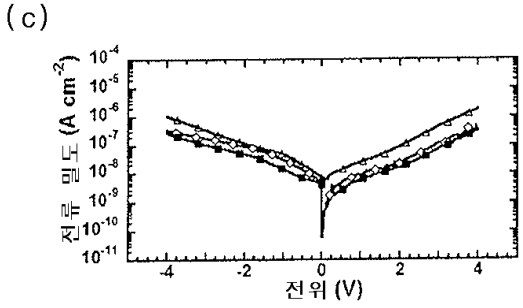


도 2. 구조들: p^+-Si/SiO_2/CdSe/Au(A 및 C) 및 n^+-Si/SAND/CdSe/Au(B 및 D)을 갖는 TFT들에 대한 전류-전압 출력(A 및 B) 및 전달(C 및 D) 플롯들. 모든 CdSe 막들은 Au 증착 이전에 5 분 동안 400 ℃에서 어닐링되었다. TFT 채널 길이 및 폭은 각각 100 ㎛ 및 500 ㎛이다.

도면3

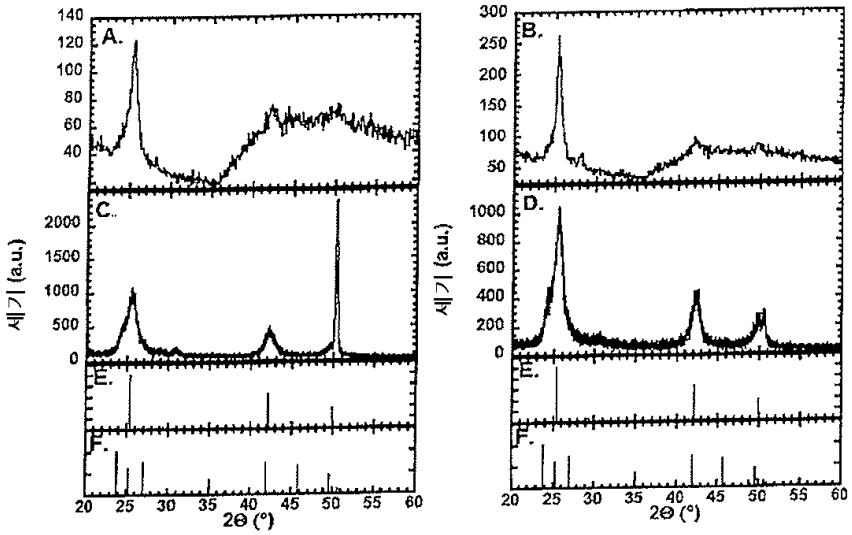


도 3. A. 어닐링 온도에 대한 캐패시턴스 및 평균 μ_{FET}의 플롯. 나타내어진 라인은 MIS 디바이스들의 캐패시턴스 값들(10^4 Hz)을 제공하고, o로 나타내어진 라인은 구조체 n^+-Si/SAND/CdSe의 TFT들에 대한 대응하는 어닐링 온도들 이후의 평균 μ_{FET}을 제공한다. ■로 나타내어진 라인은 구조체 p^+-Si/SiO_2/CdSe의 TFT들에 대한 대응하는 어닐링 온도들 이후의 평균 μ_{FET}을 제공한다. B. 15 분 동안 나타낸 온도에서 어닐링하기 전(◇)과 어닐링한 후[■(300 ℃), Δ(400 ℃)]의 구조체: Au/SAND(16.5 nm)/n^+-Si의 MIS 캐패시터들에 대한 전류 밀도-전기장 플롯들.



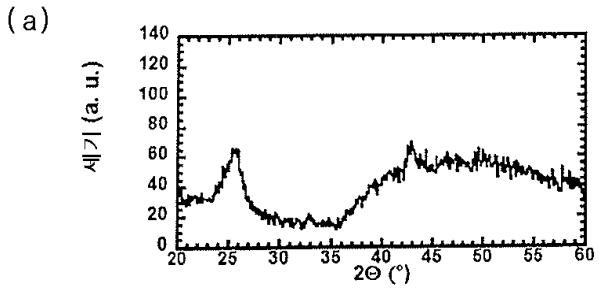
도 3c. 주변 분위기 하에서 15 분 동안 나타낸 온도에서 어닐링하기 전(◇)과 어닐링한 후[■(300 ℃), Δ(400 ℃)]의 구조체: Au/SAND (16.5 nm)/n^+-Si의 MIS 캐패시터들에 대한 전류 밀도-적용된 전위 플롯들.

도면4

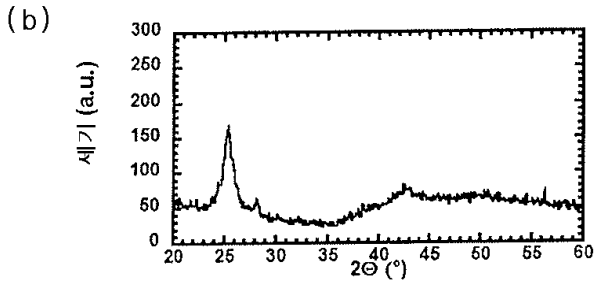


도 4. 나타낸 기판들 상에 성장되고 400 ℃에서 어닐링된 CBD CdSe 막들의 XRD θ-2θ(A 및 B) 및 ω=0.33°인 GIXD(grazing incidence X-ray diffraction)(C 및 D): p^+-Si/SiO_2(A 및 C) 및 n^+-Si/SAND(B 및 D). 입방정(E; PDF #65-2891) 및 육방정(F; PDF #65-3436) CdSe에 대한 PDF(powder diffraction file)로부터의 평판형(tabulated) 분말 회절 패턴들이 XRD 및 GIXD 스캔들 아래에 플롯된다.

도면5

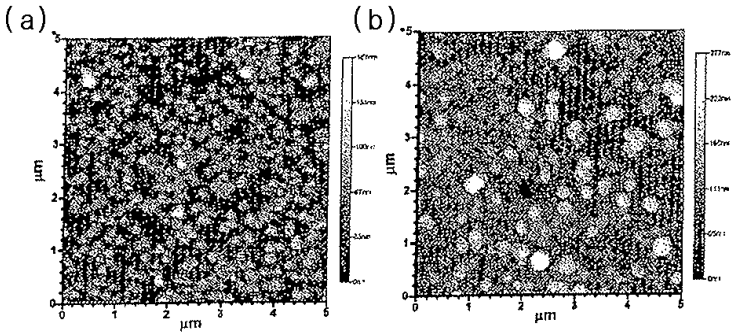


도 5a. 막이 어닐링되기 전에 p^+-Si/SiO_2 상에 성장된 CBD CdSe 막의 XRD θ-2θ. SiO_2 상에 성장된 어닐링되지 않은 CBD CdSe 막들에 대한, Debye-Scherrer formula에 의해 계산된 바와 같은 평균 결정 크기는 ~ 2 nm이다.



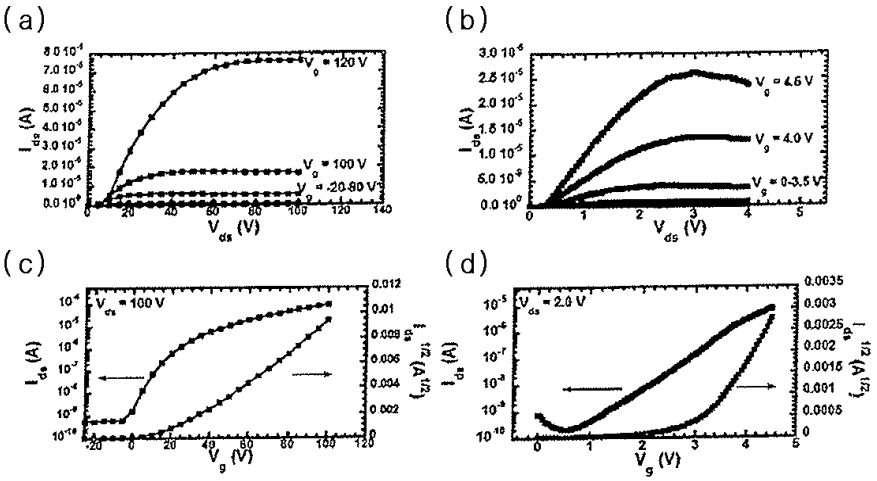
도 5b. 막이 어닐링되기 전에 n^+-Si/SAND 상에 성장된 CBD CdSe 막의 XRD θ-2θ. SAND 상에 성장된 어닐링되지 않은 CBD CdSe 막들에 대한, Debye-Scherrer formula에 의해 계산된 바와 같은 평균 결정 크기는 ~ 4 nm이다.

도면6



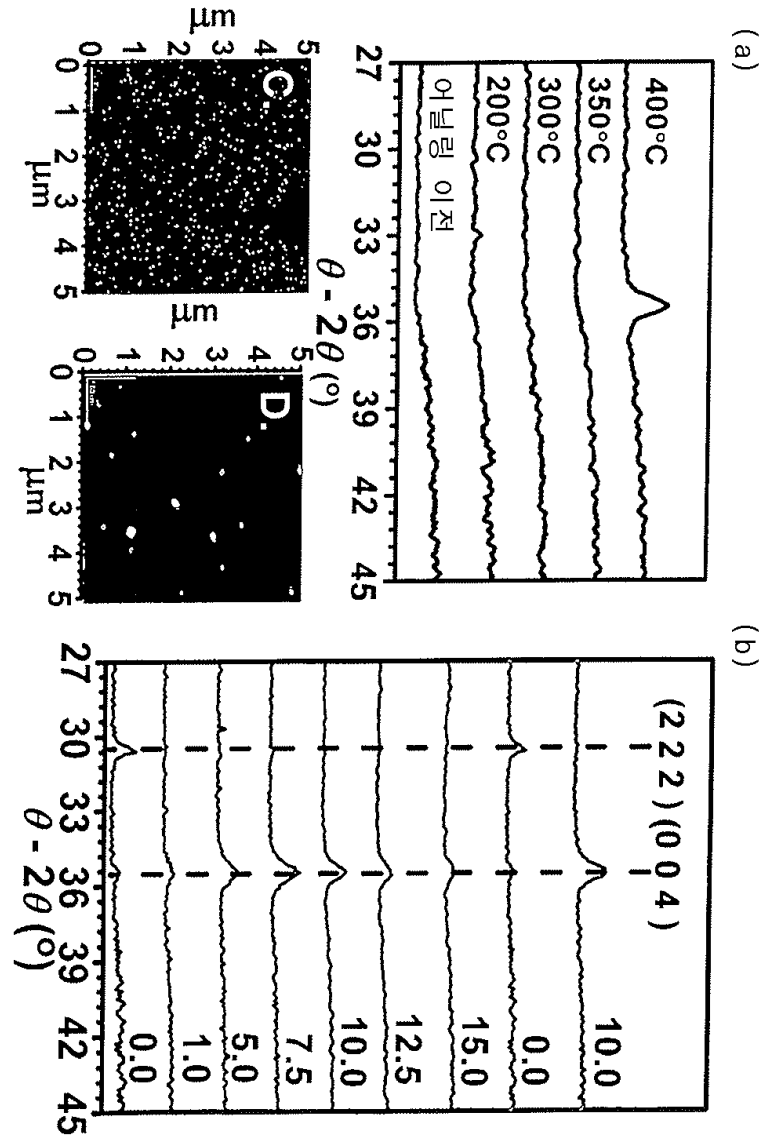
도 6. 나타낸 기판들 상에 성장되고 400 ℃에서 어닐링된 CBD CdSe 막들의 AFM 이미지들: A. p^+-Si/SiO_2 및 B. n^+-Si/SAND 기판들.

도면7

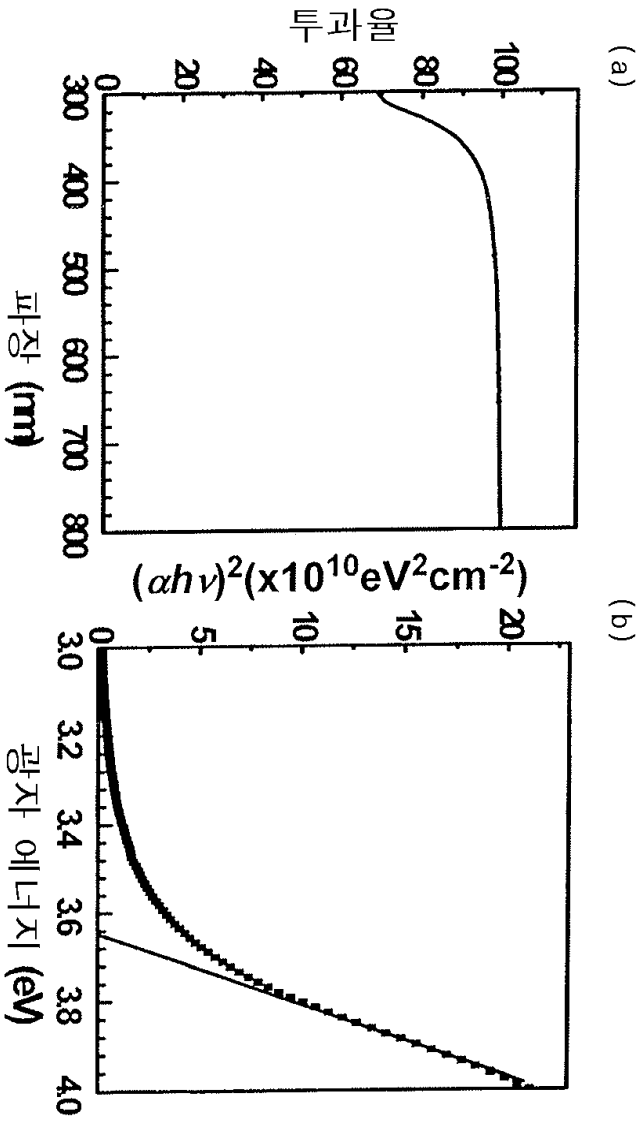


도 7. 구조체들: p^+-Si/SiO_2/ZIO/Au(A 및 C) 및 n^+-Si/SAND/ZIO/Au(B 및 D) 을 갖는 TFT들에 대한 전류-전압 출력(A 및 B) 및 전달(C 및 D) 플롯들. 모든 ZIO 막들은 Au 증착 이전에 30 분 동안 400 ℃에서 어닐링되었다. TFT 채널 길이 및 폭은 각각 100 ㎛ 및 500 ㎛이다.

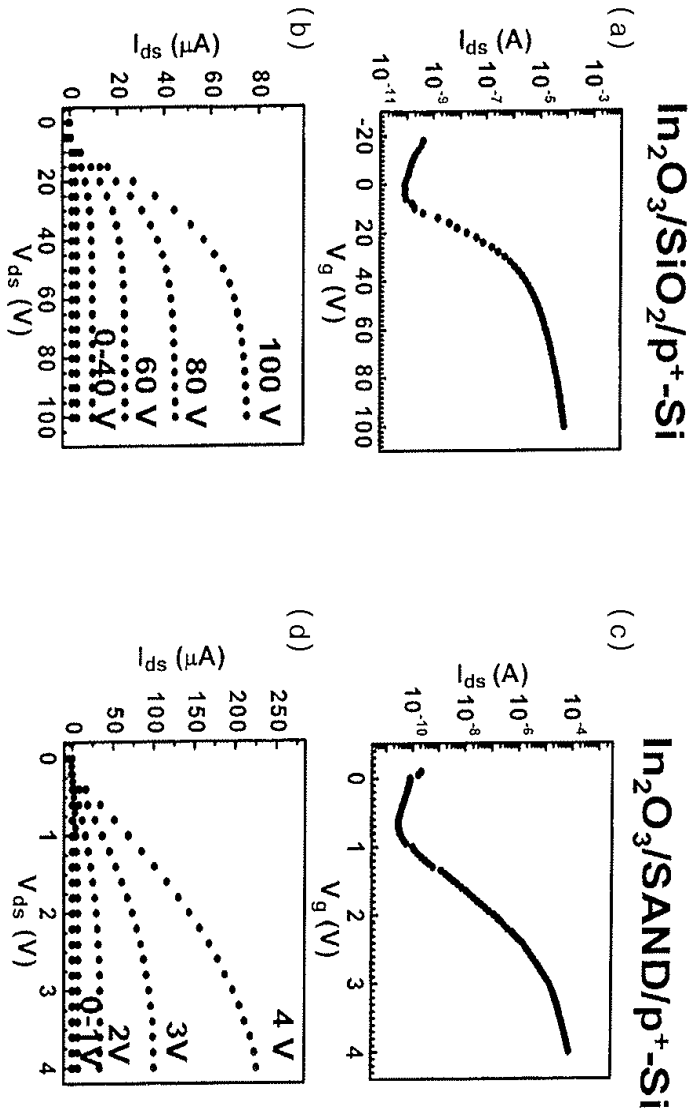
도면8


(a)
400°C
350°C
300°C
200°C
어닐링 이전
27 30 33 36 39 42 45
θ - 2θ (°)
C
D
μm
0 1 2 3 4 5
(b)
(2 2 2) (0 0 4)
10.0
0.0
15.0
12.5
10.0
7.5
5.0
1.0
0.0
27 30 33 36 39 42 45
θ - 2θ (°)

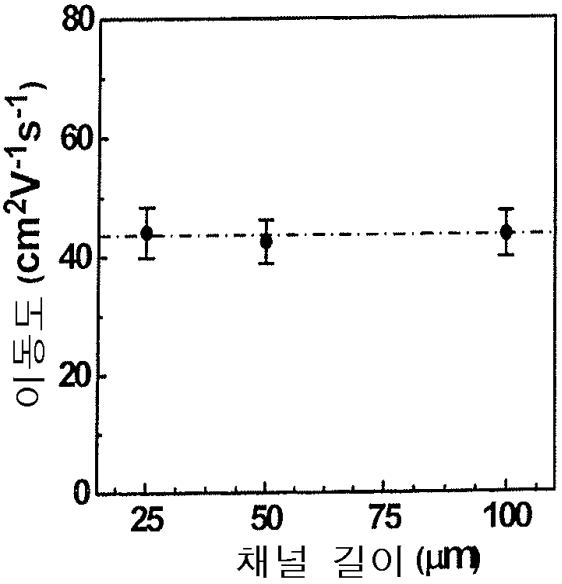
도면9


투과율
0
20
40
60
80
100
(a)
파장 (nm)
300
400
500
600
700
800
$(\alpha h\nu)^2(x10^{10}eV^2cm^{-2})$
0
5
10
15
20
(b)
광자 에너지 (eV)
3.0
3.2
3.4
3.6
3.8
4.0

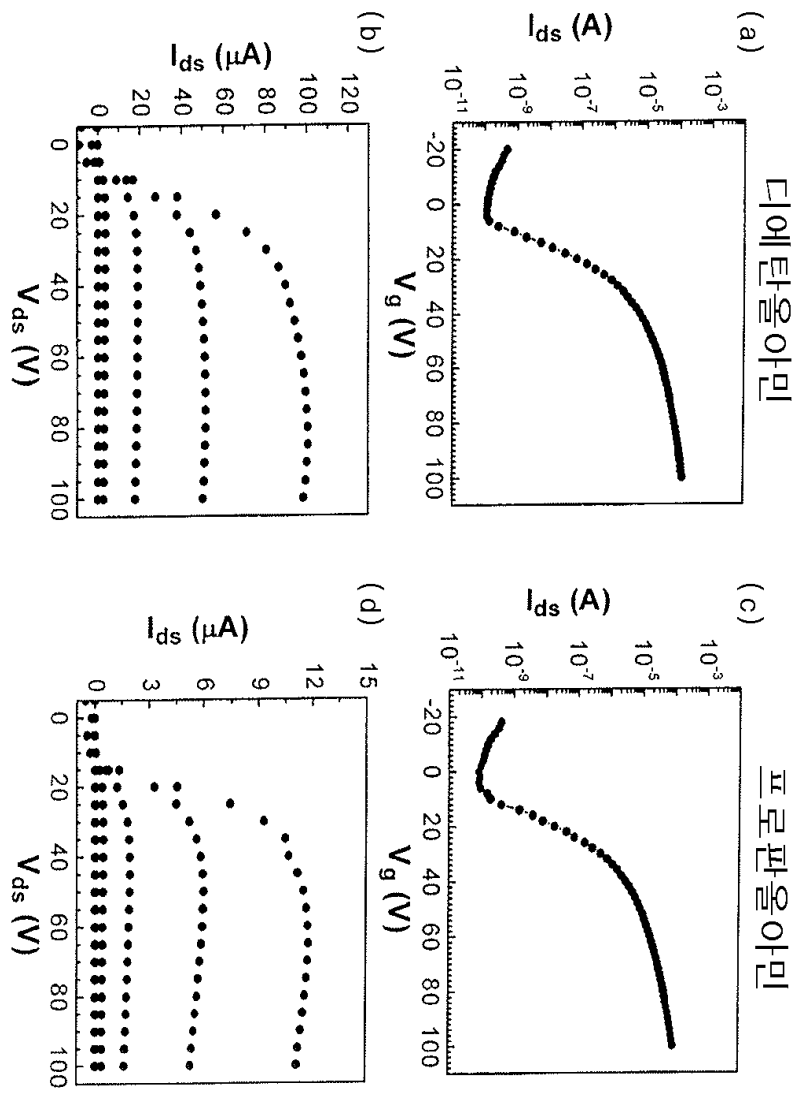
도면10


(a)
$In_2O_3/SiO_2/p^+$-Si
I_{ds} (A)
V_g (V)
(b)
I_{ds} (μA)
V_{ds} (V)
100 V
80 V
60 V
40 V
0 V
(c)
In_2O_3/SAND/p^+-Si
I_{ds} (A)
V_g (V)
(d)
I_{ds} (μA)
V_{ds} (V)
4 V
3V
2V
1V
0 V

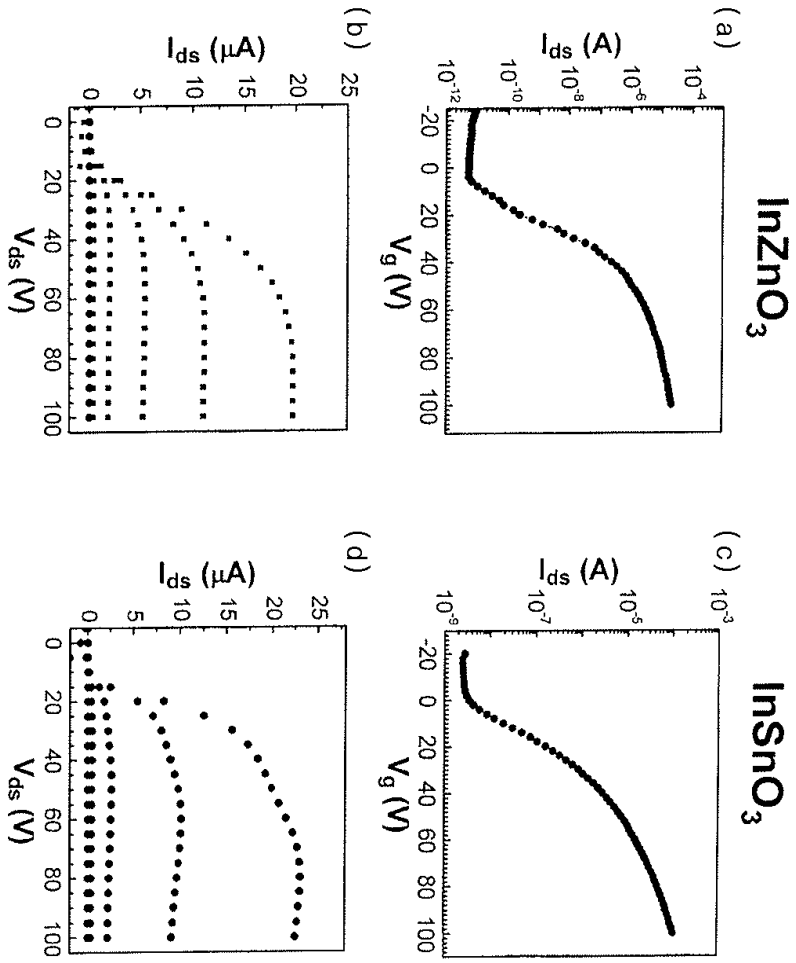
도면11


이동도 ($cm^2V^{-1}s^{-1}$)
채널 길이 (μm)
0
20
40
60
80
25
50
75
100

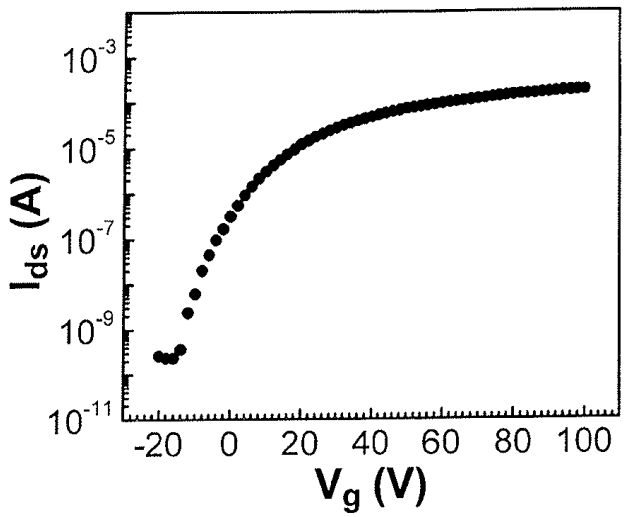
도면12


(a)
I_{ds} (A)
10^{-3}
10^{-5}
10^{-7}
10^{-9}
10^{-11}
-20 0 20 40 60 80 100
V_g (V)
디에탄올아민
(b)
I_{ds} (μA)
0 20 40 60 80 100 120
0 20 40 60 80 100
V_{ds} (V)
(c)
I_{ds} (A)
10^{-3}
10^{-5}
10^{-7}
10^{-9}
10^{-11}
-20 0 20 40 60 80 100
V_g (V)
프로판올아민
(d)
I_{ds} (μA)
0 3 6 9 12 15
0 20 40 60 80 100
V_{ds} (V)

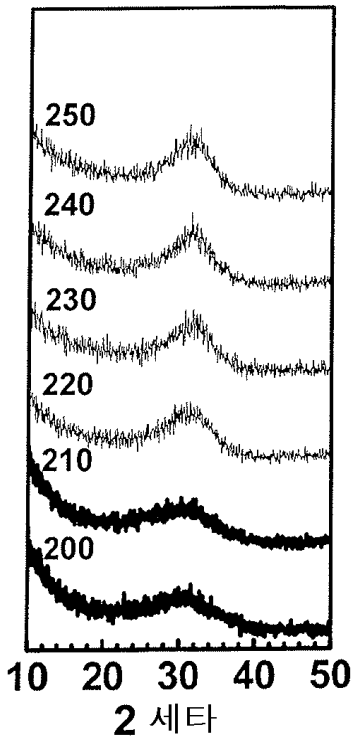
도면13


(a)
I_{ds} (A)
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
-20 0 20 40 60 80 100
V_g (V)
$InZnO_3$
(b)
I_{ds} (μA)
0 5 10 15 20 25
0 20 40 60 80 100
V_{ds} (V)
(c)
I_{ds} (A)
10^{-3}
10^{-5}
10^{-7}
10^{-9}
-20 0 20 40 60 80 100
V_g (V)
$InSnO_3$
(d)
I_{ds} (μA)
0 5 10 15 20 25
0 20 40 60 80 100
V_{ds} (V)

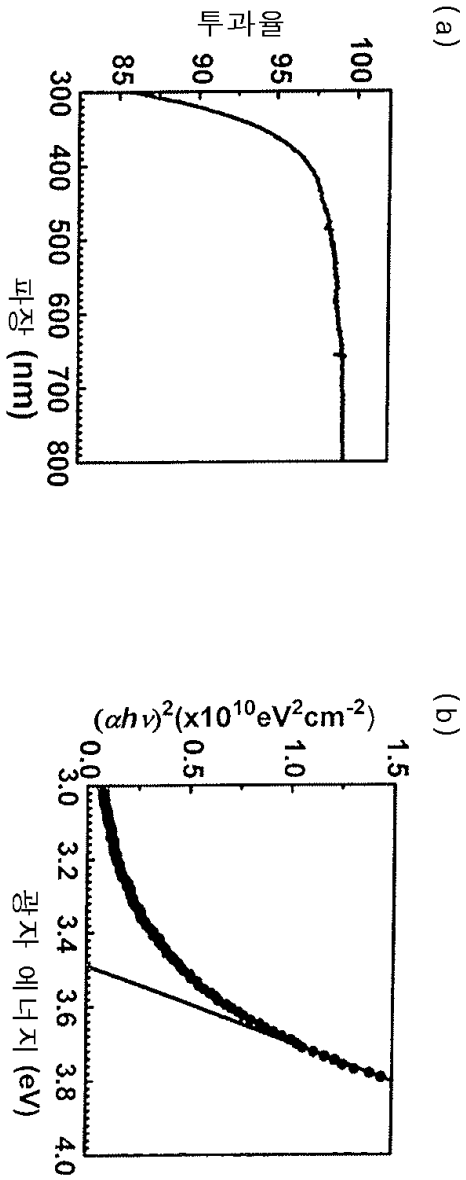
도면14


10^{-3}
10^{-5}
10^{-7}
10^{-9}
10^{-11}
I_{ds} (A)
-20 0 20 40 60 80 100
V_g (V)

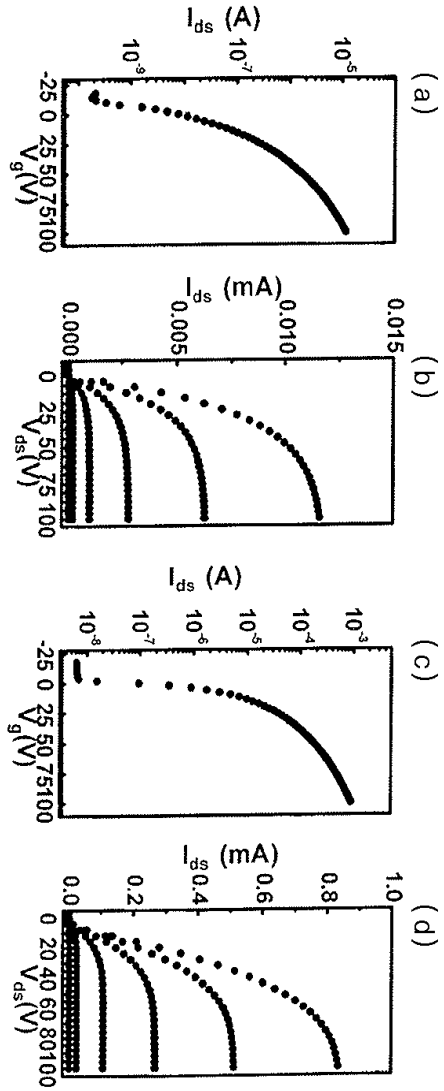
도면15



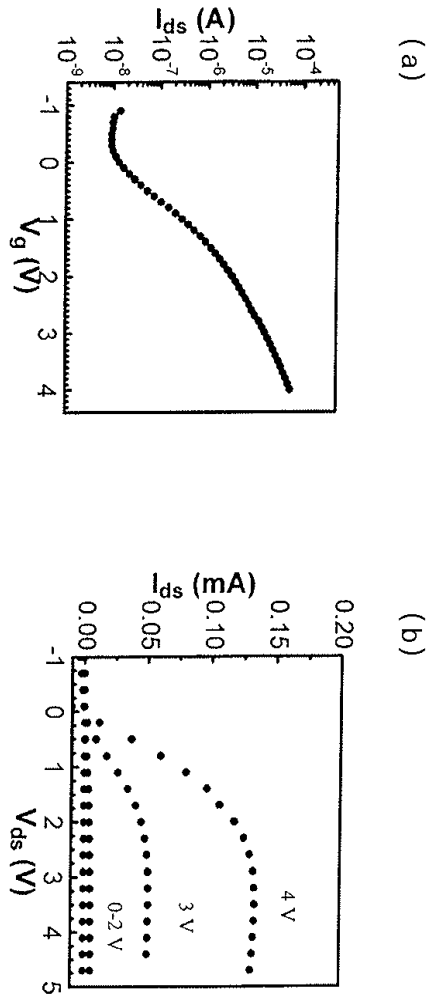
도면16


(a)
투과율
85
90
95
100
300
400
500
600
700
800
파장 (nm)
(b)
$(\alpha h\nu)^2(x10^{10}eV^2cm^{-2})$
0.0
0.5
1.0
1.5
3.0
3.2
3.4
3.6
3.8
4.0
광자 에너지 (eV)

도면17


I_ds (A)
10^-9
10^-7
10^-5
-25 0 25 50 75100
V_g(V)
(a)
I_ds (mA)
0.000
0.005
0.010
0.015
0 25 50 75 100
V_ds(V)
(b)
I_ds (A)
10^-8
10^-7
10^-6
10^-5
10^-4
10^-3
-25 0 25 50 75100
V_g(V)
(c)
I_ds (mA)
0.0
0.2
0.4
0.6
0.8
1.0
0 20 40 60 80100
V_ds(V)
(d)

도면18


(a)
I_{ds} (A)
10^{-4}
10^{-5}
10^{-6}
10^{-7}
10^{-8}
10^{-9}
-1
0
1
2
3
4
V_g (V)
(b)
I_{ds} (mA)
0.00
0.05
0.10
0.15
0.20
-1
0
1
2
3
4
5
V_{ds} (V)
4 V
3 V
0-2 V