



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년11월05일
(11) 등록번호 10-0992015
(24) 등록일자 2010년10월29일

(51) Int. Cl.

H01L 21/301 (2006.01) *H01L 21/78* (2006.01)

H01L 23/12 (2006.01) *H01L 23/48* (2006.01)

(21) 출원번호 10-2007-7011373

(22) 출원일자(국제출원일자) 2005년11월16일

심사청구일자 2008년06월26일

(85) 번역문제출일자 2007년05월18일

(65) 공개번호 10-2007-0085402

(43) 공개일자 2007년08월27일

(86) 국제출원번호 PCT/EP2005/056009

(87) 국제공개번호 WO 2006/053879

국제공개일자 2006년05월26일

(30) 우선권주장

10/994,494 2004년11월20일 미국(US)

(56) 선행기술조사문헌

US04907062 A1*

US05091331 A1*

US20040043533 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터넷 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

버렐 로이드

미국 뉴욕주 12603 포립시 혼백 럿지 20

챈 호워드 하오

미국 뉴욕주 10598 요크타운 하이츠 에버그린 스트리트 2710

(뒷면에 계속)

(74) 대리인

송승필, 신정건

전체 청구항 수 : 총 10 항

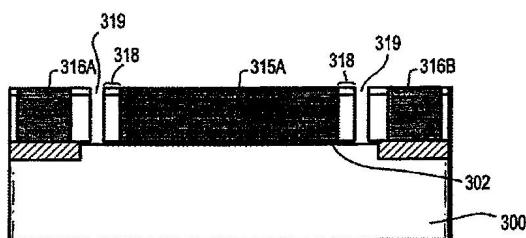
심사관 : 남인호

(54) 동일 평면의 웨이퍼-스케일 칩 패키지들을 형성하는 방법

(57) 요 약

본 발명은 동일 평면의 멀티-칩 웨이퍼-레벨 패키지들을 형성하기 위한 경제적인 방법을 제공한다. 칩 뿐만 아니라 포켓들을 생성하기 위하여 부분적인 웨이퍼 본딩 기술 및 부분적인 웨이퍼 다이싱 기술을 사용한다. 그 후, 캐리어 기판의 대응하는 포켓들에 최종처리된 칩들을 탑재하고, 그 최종처리된 칩들의 평탄한 상면에 칩들 사이의 전체 상호접속부들을 형성한다. 제안된 방법들은 다른 프로세스 단계들 및 재료들로 제조되는 칩들의 통합을 용이하게 한다. 그 칩들의 상면을 평탄화하기 위하여 화학적 기계적 연마와 같은 평탄화 프로세스를 사용할 필요가 없다. 칩들은 서로 정밀하게 정렬되고, 전체 칩들이 페이스 업 상태로 탑재되기 때문에, 전체 배선에 대한 모듈이 준비되며, 이는 칩들을 업사이드-다운 위치로부터 뒤집어야 할 필요성을 제거한다.

대 표 도 - 도4a



(72) 발명자
휴 루이스
미국 뉴욕주 12524 피시킬 크로스비 코트 7

사우터 블프강
미국 베몬트주 05477 리치몬드 벌리 뷰 이엑스티
170

특허청구의 범위

청구항 1

멀티-칩 웨이퍼-레벨 패키지를 형성하는 방법에 있어서,

복수의 칩 기판들 상에 복수의 상이한 타입의 칩들을 형성하는 단계로서, 상기 복수의 칩 기판들 각각은 하나의 타입의 칩만을 형성하는데 사용되는 것인, 칩 형성 단계;

상기 복수의 칩 기판들로부터 상기 복수의 상이한 타입의 칩들을 분리하는 단계;

캐리어 기판에 포켓들을 형성하는 단계로서, 상기 포켓들 각각은 상기 복수의 상이한 타입의 칩들 중 하나의 칩을 홀드(hold)하는 것인, 포켓 형성 단계; 및

상기 복수의 칩들의 상면이 상기 캐리어 기판의 상면과 실질적으로 동일 평면에 있도록, 상기 복수의 칩들을 상기 캐리어 기판 내의 대응하는 포켓들에 탑재하는 단계를 포함하고,

상기 복수의 칩 기판들 상에 복수의 상이한 타입의 칩들을 형성하는 단계는,

상기 복수의 칩 기판들의 표면 상에 산화물 영역들을 형성하는 단계;

반도체 웨이퍼가 상기 복수의 칩 기판들의 표면 상의 비-산화물(non-oxide) 영역들에는 본딩되지 않으면서 상기 반도체 웨이퍼가 상기 복수의 칩 기판들의 표면 상의 산화물 영역들에만 본딩되도록, 상기 반도체 웨이퍼를 상기 복수의 칩 기판들 각각의 표면에 부분적으로 본딩하는 단계; 및

상기 복수의 칩 기판들에 본딩되지 않은 상기 반도체 웨이퍼의 영역들에 칩들을 형성하는 단계

를 포함하는 것인, 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 2

제 1 항에 있어서, 상기 복수의 칩 기판들의 표면 상의 상기 산화물 영역들은 STI(shallow trench isolation) 영역들이고, 상기 반도체 웨이퍼와 칩 기판 사이에 상기 STI 영역들에 인접하게 보이드(void)들을 형성하도록 상기 반도체 웨이퍼가 상기 복수의 칩 기판들 각각에 본딩되며, 상기 STI 영역들 위의 상기 반도체 웨이퍼 내의 영역들은 칩 간(inter-chip) 영역들을 정의하고 상기 보이드들 위의 상기 반도체 웨이퍼 내의 영역들은 칩 영역들을 정의하는 것인, 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 3

제 2 항에 있어서, 상기 웨이퍼를 상기 STI 영역들에 본딩하기 이전에,

상기 칩 기판 상의 유전체층을 패터닝하는 단계;

오프-칩(off-chip) 영역들을 정의하기 위해 상기 패턴화된 유전체층을 에칭하는 단계;

상기 오프-칩 영역들에 STI 영역들을 형성하는 단계; 및

상기 오프-칩 영역들 사이의 상기 유전체층을 제거하는 단계를 더 포함하는 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 4

제 2 항에 있어서, 상기 웨이퍼를 상기 STI 영역들에 본딩한 이후에,

상기 웨이퍼를 박육화(thining)하는 단계;

상기 박육화된 웨이퍼에 디바이스들을 형성하는 단계;

상기 박육화된 웨이퍼 상에 BEOL(Back-End-of-Line) 상호접속부들을 형성하는 단계; 및

상기 복수의 칩들의 형성을 완료하기 위하여 상기 칩 영역들에 최종처리된(finishing) 디바이스들 및 상호접속부들을 형성하는 단계를 더 포함하는 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 5

제 4 항에 있어서, 상기 복수의 칩 기판들로부터 상기 칩들을 분리하는 단계는,
 상기 박육화된 웨이퍼의 상면을 패시베이션(passivation) 층으로 코팅하는 단계; 및
 상기 박육화된 웨이퍼의 칩 영역들로부터 상기 보이드들까지의 채널을 다이싱(dicing)하여, 상기 복수의 칩 기판들로부터 상기 복수의 칩들을 분리하는 단계를 포함하는 것인 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 6

제 1 항에 있어서, 상기 캐리어 기판에 포켓들을 형성하는 단계는,
 상기 웨이퍼와 상기 캐리어 기판 사이에 상기 STI 영역들에 인접하게 보이드들을 형성하도록 상기 캐리어 기판의 STI 영역들에 웨이퍼를 본딩하는 단계를 포함하고,
 상기 STI 영역들 위의 상기 웨이퍼 내의 영역들은 칩 간 영역들을 정의하며, 상기 보이드들 위의 상기 웨이퍼 내의 영역들은 칩 영역들을 정의하는 것인 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 7

멀티-칩 웨이퍼-레벨 패키지를 형성하는 방법에 있어서,
 복수의 상이한 타입의 칩들을 대응하는 칩 기판 상에 형성하는 단계;
 상기 대응하는 칩 기판으로부터 상기 복수의 칩들을 분리하는 단계;
 복수의 포켓들 각각이 미리 결정된 타입의 칩을 홀드하도록 캐리어 기판 상에 상기 복수의 포켓들을 형성하는 단계;
 상기 복수의 포켓들 각각에 대하여 미리 결정된 타입의 칩들에 대응하는 복수의 상이한 타입의 칩들로부터 칩들을 선택하는 단계; 및
 상기 선택된 칩들의 상면이 상기 캐리어 기판의 상면과 실질적으로 동일 평면에 있도록 상기 선택된 칩들을 그 칩들에 대응하는 포켓에 탑재하는 단계를 포함하고,
 상기 캐리어 기판 상에 포켓들을 형성하는 단계는,
 상기 캐리어 기판의 표면 상에 산화물 영역들을 형성하는 단계;
 반도체 웨이퍼가 상기 캐리어 기판의 표면 상의 비-산화물(non-oxide) 영역들에는 본딩되지 않으면서 상기 반도체 웨이퍼가 상기 캐리어 기판의 표면 상의 상기 산화물 영역들에만 본딩되도록, 상기 반도체 웨이퍼를 상기 캐리어 기판의 표면에 부분적으로 본딩하는 단계; 및
 상기 캐리어 기판의 표면에 본딩되지 않은 상기 반도체 웨이퍼의 부분들을 제거하기 위해 상기 반도체 웨이퍼를 부분적으로 다이싱(dicing)하여 상기 포켓들을 형성하는 단계
 를 포함하는 것인, 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 8

제 7 항에 있어서, 상기 선택된 칩들을 탑재하는 단계는,
 상기 선택된 칩들을 그 칩들에 대응하는 포켓 내에 정렬하는 단계를 더 포함하는 것인 멀티-칩 웨이퍼-레벨 패키지의 형성 방법.

청구항 9

멀티-칩 웨이퍼 레벨 패키지를 형성하는 방법에 있어서,
 칩 기판의 표면 상에 STI(shallow trench isolation) 영역들을 형성하는 단계;
 웨이퍼와 상기 칩 기판 사이의 비-본딩(non-bonded) 영역들 내의 상기 STI 영역들에 인접하게 보이드(viod)들을 형성하도록 상기 칩 기판의 표면 상의 상기 STI 영역들에 웨이퍼를 부분적으로 본딩하는 단계로서, 상기 STI 영역들 위의 상기 웨이퍼 내의 영역들은 칩 간(inter-chip) 영역들을 정의하며 상기 보이드들 위의 상기 웨이퍼 내의 영역들은 칩 영역들을 정의하는 것인, 웨이퍼를 부분적으로 본딩하는 단계;

상기 웨이퍼를 박육화하는 단계;

상기 박육화된 웨이퍼의 상기 칩 영역들에 디바이스들을 형성하는 단계;

상기 박육화된 웨이퍼 상에 BEOL 상호접속부들을 형성하는 단계; 및

복수의 칩들의 형성을 완료하기 위하여 상기 칩 영역들에 최종처리된(finishing) 디바이스들 및 상호접속부들을 형성하는 단계를 포함하는 멀티-칩 웨이퍼 레벨 패키지의 형성 방법.

청구항 10

제 9 항에 있어서, 상기 칩 기판으로부터 상기 복수의 칩들을 분리하는 단계를 더 포함하는 멀티-칩 웨이퍼 레벨 패키지의 형성 방법.

명세서

기술 분야

[0001] 본 발명은 멀티칩 웨이퍼 레벨 패키지에 관한 것으로, 더욱 상세하게는 부분 웨이퍼 본딩 및 부분 웨이퍼 다이싱 기술을 이용한 멀티칩 웨이퍼 레벨 패키지들을 형성하기 위한 방법에 관한 것이다.

배경기술

[0002] 원자의 물리적 치수를 초과하는 CMOS(complimentary metal oxide) 반도체 프로세스들의 스케일링을 방지하는 기본적인 제한사항은, VLSI(very large scale integrated)의 설계에 대한 저비용, 고성능의 멀티 칩 패키지의 중요성이 크게 증가하고 있다. 삽입된 SoC(system-on-a-chip) 설계에서, 동일한 기판상의 다른 메모리 및 논리 회로들은 종종 다른 처리 단계들을 요구한다. 예를 들어, 비휘발성 플래시 메모리는, 논리 회로들을 제조하기 위한 종래의 CMOS 프로세스들과 호환되지 않는, 초박육 터널 옥사이드를 갖는 이중 폴리-실리콘 플로팅 게이트들을 이용한다.

[0003] 또한, 실리콘, 유리, 실리콘 카바이드(SiC), 갈륨 아세나이드(GaAs) 및 III-V족의 다른 화합물과 같은 다른 기판 재료 상에 제조되는 칩들을 통합하는 것은 어렵다. MRAM(magnetic random access memory) 및 MEMS(micro-electro-mechanical systems)과 같은 디바이스들과 특정한 집적 회로들 (ASIC) 의 통합은, 멀티-칩 패키지들의 설계에 있어서 추가적인 문제점을 제공한다.

[0004] 예를 들어, 2 차원의 멀티-칩 패키지에 있어서, 칩들은 캐리어 상에 수평하게 배치되고, 전체적인(global) 상호접속부들은 칩들의 상부 또는 제 2 레벨 패키지 상에 형성된다. 그러나, 칩 두께의 변화로 인하여, 본딩된 칩 표면, 칩들 사이의 갭들 및 주변 영역들을 종종 평탄화할 필요가 있다. 평탄한 표면 없이, 다마신(damascene) 법에 기초한 상호접속 프로세스들은 본딩된 칩 표면 상에서 적절히 수행될 수 없다. 또한, 필수적인(critical) 정렬 제어 없이, 각각의 캐리어가 전체적인 상호접속부들을 형성하도록 맞춤화된 마스크 세트를 가져야 하지만, 이는 제조 비용을 증가시킨다.

[0005] 또한, 2 개 이상의 칩들이 수직하게 적층되는 3 차원으로 적층된 칩 패키지에 있어서, 적층된 칩들의 상호접속들은 와이어 본딩 또는 태그 본딩을 이용하여 각 칩의 예지(edge)들에 형성된다. 휴대용 장치들에 사용되는 적층된 칩들은, 이용 가능한 제한된 공간에 적합하게 되도록 얇아져야 한다. 적층된 칩들의 개수가 증가함에 따라, 칩들의 두께는 감소되어야 한다. 적층될 수 있는 칩들의 개수는 이용 가능한 최대 공간 및 최소 칩 두께에 의해 결정된다.

[0006] 따라서, 본딩된 칩 표면을 평탄화할 필요없이 전체적인 상호접속부들을 형성하고 다른 프로세싱 단계들에 의해 그리고 다른 재료들을 사용하여 제조되는 칩들의 통합을 용이하게 하기 위하여, 멀티-칩 웨이퍼-레벨 칩 패키지들을 형성하는 경제적이고 비용 효율적인 방법에 대한 필요성이 존재한다.

발명의 상세한 설명

[0007] 본 발명의 예시적인 실시형태들은, 본딩된 칩 표면을 평탄화할 필요없이 전체적인 상호접속부들을 형성하고 다른 프로세싱 단계들에 의해 그리고 다른 재료들을 사용하여 제조되는 칩들의 통합을 용이하게 하기 위하여, 멀티-칩 웨이퍼-레벨 칩 패키지들을 형성하는 방법들을 포함한다.

[0008] 예시적인 실시형태는 멀티-칩 웨이퍼-레벨 패키지를 형성하는 방법에 관한 것이다. 이 방법은 복수의 칩 기판

들 상에 복수의 다른 타입의 칩들을 형성하는 단계로서, 상기 복수의 칩 기판들 각각은 일 타입의 칩만을 형성하는데 사용되는 것인, 칩 형성 단계; 상기 복수의 칩 기판들로부터 상기 복수의 다른 타입의 칩들을 분리하는 단계; 캐리어 기판에 포켓들을 형성하는 단계로서, 상기 포켓들 각각은 상기 복수의 다른 타입의 칩들 중 하나의 칩을 홀드하는 것인, 포켓 형성 단계; 상기 복수의 칩들의 상면이 상기 캐리어 기판의 상면과 실질적으로 동일 평면에 있도록, 상기 복수의 칩들을 상기 캐리어 기판내의 대응하는 포켓들에 탑재하는 단계를 포함한다. 이 다른 타입 칩들은 메모리 칩, 논리 칩, MENs 디바이스, RF 회로 또는 패시브 디바이스일 수도 있다.

[0009] 복수의 칩 기판들 상에 복수의 칩들을 형성하는 단계는, 상기 웨이퍼와 칩 기판 사이에 STI(shallow trench isolation) 영역들에 인접하게 보이드들을 형성하도록 상기 칩 기판들 각각의 STI 영역들에 웨이퍼를 본딩하는 단계를 더 포함하며, 상기 STI 영역들 위의 상기 웨이퍼 내의 영역들은 칩간 영역을 규정하고, 상기 보이드 위의 상기 웨이퍼 내의 영역들은 칩 영역을 규정한다. 또한, 별개의 디바이스가 칩 기판의 칩간 영역들에 형성될 수도 있으며, 별개의 디바이스는 인더터, 디커플링 커패시터 또는 ESD(electrostatic discharge) 다이오드일 수도 있다.

[0010] 상술한 바와 같이, 웨이퍼를 STI 영역들에 본딩하기 이전에, 이 방법은 상기 칩 기판 상의 유전체충을 패터닝하는 단계; 오프-칩 영역을 규정하도록 상기 패턴화된 유전체충을 에칭하는 단계; 상기 오프-칩 영역에 STI 영역을 형성하는 단계; 및 상기 오프-칩 영역들 사이의 상기 유전체충을 제거하는 단계를 더 포함할 수도 있다.

[0011] 이 방법은 상기 웨이퍼를 박육화(thinning)하는 단계; 상기 박육화된 웨이퍼에 디바이스들을 형성하는 단계; 상기 박육화된 웨이퍼 상에 BEOL(Back-End-of-Line) 상호접속부들을 형성하는 단계; 상기 복수의 칩들의 형성을 완료하기 위하여 상기 칩 영역들에 최종 디바이스들 및 상호접속부들을 형성하는 단계를 포함한다.

[0012] 상기 복수의 칩 기판들로부터 상기 복수의 칩들을 분리하는 단계는, 상기 박육화된 웨이퍼의 상면을 패시베이션 충으로 코팅하는 단계; 및 상기 박육화된 웨이퍼의 칩 영역들로부터 상기 보이드들까지의 채널을 다이싱하여 상기 복수의 칩 기판들로부터 상기 복수의 칩들을 분리하는 단계를 더 포함할 수도 있다.

[0013] 상기 캐리어 기판에 포켓들을 형성하는 단계는, 상기 웨이퍼와 상기 캐리어 기판 사이에 상기 STI 영역들에 인접하게 보이드들을 형성하도록 상기 캐리어 기판의 STI 영역들에 웨이퍼를 본딩하는 단계를 포함할 수도 있으며, 상기 STI 영역들 위의 상기 웨이퍼 내의 영역들은 칩간 영역들을 규정하며, 상기 보이드들 위의 상기 웨이퍼 내의 영역들은 칩 영역들을 규정한다.

[0014] 상기 복수의 칩들을 대응하는 포켓들에 탑재하는 단계는, 실질적으로 상기 보이드들과 동일한 두께를 가지는 칩 영역들에 유전체충을 적층하는 단계 및 상기 대응하는 포켓들 내의 복수의 칩들을 정렬하는 단계를 더 포함할 수도 있다.

[0015] 또 다른 예시적인 실시형태는 멀티-칩 웨이퍼 레벨 패키지를 형성하는 방법에 관한 것이다. 이 방법은 대응하는 칩 기판 상에 복수의 동일한 타입 또는 다른 타입의 칩들을 형성하는 단계, 상기 대응하는 칩 기판으로부터 상기 복수의 칩들을 분리하는 단계, 복수의 포켓들 각각이 미리 결정된 타입의 칩을 홀딩하도록 캐리어 기판 상에 복수의 포켓들을 형성하는 단계, 상기 복수의 포켓들 각각에 대하여 미리 결정된 타입의 칩들에 대응하는 복수의 동일한 타입 또는 다른 타입의 칩들로부터 칩들을 선택하는 단계 및 선택된 칩들의 상면이 캐리어 기판의 상면과 실질적으로 동일한 평면에 있도록 상기 선택된 칩들을 이들의 대응하는 포켓에 탑재하는 단계를 포함한다.

[0016] 바람직하기로는, 멀티-칩 웨이퍼 레벨 패키지를 형성하는 방법이 제공되며, 이 방법은 보이드들이 웨이퍼와 캐리어 기판 사이에 STI 영역들에 인접하게 형성되도록 캐리어 기판 내의 STI 영역들에 웨이퍼를 본딩하는 단계로서, 상기 STI 영역들 위의 상기 웨이퍼 내의 영역들은 칩간 영역들을 규정하며, 상기 보이드들 위의 상기 웨이퍼 내의 영역들은 칩 영역들을 규정하는 것인, 웨이퍼 본딩 단계; 상기 웨이퍼를 박육화하는 단계; 상기 박육화된 웨이퍼상에 BEOL 상호접속부들을 형성하는 단계; 상기 박육화된 웨이퍼의 상면을 패시베이션 충으로 코팅하는 단계; 상기 박육화된 웨이퍼의 미리 결정된 부분이 분리되도록 상기 박육화된 웨이퍼의 칩 영역 내의 채널을 다이싱하여 상기 박육화된 웨이퍼 내에 포켓들을 형성하는 단계를 포함한다.

[0017] 본 발명의 이러한 및 다른 예시적인 실시형태, 특징, 양태 및 이점이 기술되었지만, 이는 첨부된 도면들과 함께 읽는 경우에 예시적인 실시형태들의 상세한 설명으로부터 명백하게 된다.

실시예

[0029] 여기서 설명되는 바와 같이 본 발명의 예시적인 실시형태들은, 멀티-칩 웨이퍼-레벨 패키지들을 제조하기 위한

저가의 방법을 제공하며, 여기서 칩들과 캐리어는 "부분적인 웨이퍼 본딩" 및 "부분적인 웨이퍼 다이싱" 기술을 이용하여 형성된다. 일반적으로, 본 발명의 예시적인 실시형태들에 따르면, 부분적인 웨이퍼 본딩 기술을 사용하면 웨이퍼 캐리어 상의 박육 실리콘 층의 미본딩 영역에 칩들을 형성하고, 캐리어 기판 상의 상부 박육 실리콘층의 미본딩 영역에 포켓들을 형성할 수 있다. 칩 집적 프로세스 동안에, 부분적인 웨이퍼 다이싱 기술을 이용하여 웨이퍼 캐리어를 벗어나서 칩들을 다이싱하고, 동일한 부분적인 웨이퍼 다이싱 기술을 이용하여 캐리어 기판상에 포켓을 형성한다. 최종적으로, 동일한 웨이퍼 캐리어 또는 다른 웨이퍼 캐리어로부터의 칩들을 대응하는 포켓들에 배치하여 본딩한다.

[0030] 도 1a 내지 도 1e 는 본 발명의 예시적인 실시형태에 따른, 멀티-칩 웨이퍼 패키지의 형성 방법을 나타낸다. 더욱 상세하게, 도 1a 내지 도 1e 는 본 발명의 예시적인 실시형태에 따른, 캐리어 기판(2)(*"cs"*)에 포켓들을 형성하는 프로세스 및 상기 캐리어 기판의 포켓들 내에 칩들을 배치하는 것을 나타낸다.

[0031] 도 1a 를 참조하면, 캐리어 기판(2)의 표면에 포켓들을 형성하는 실리콘층(6)은 캐리어 기판(2)의 옥사이드 사이트(site)(8)에 부분적으로 본딩된다. 또한, 실리콘층(6)은 비산화 영역(3)들에서 캐리어 기판(2)에 본딩되지 않으므로, 실리콘층(6) 아래의 비산화 영역(3)들에 미세한(microscopic) 보이드(explored) 부분에 도시되는 바와 같이)를 형성한다. 또한, 이 보이드(16)는 공기 또는 질화층을 포함한다. 또한, CVD 질화막은 보이드(16)가 질화막을 포함하도록 적층 및 패터닝할 수도 있다. 요약하면, 미세한 보이드, CVD 질화막 또는 거친 표면은 캐리어 기판의 표면에서의 본딩을 방지한다.

[0032] 도 1a 의 부분의 분해도를 참조하면, 분해도는 STI(shallow trench isolation) 영역(8)을 포함하는 캐리어 기판(2), 실리콘층(6), 이 실리콘층(6)과 캐리어 기판(2) 사이에 형성되고 상기 STI 영역(8)에 인접한 보이드(16)의 부분을 나타낸다. 바람직하게는, 보이드(16)는 공기, 질화층 또는 본딩을 방지하기 위한 거친(roughened) 실리콘층을 포함한다.

[0033] 다음으로, 도 1b 의 실리콘층 상에 종래의 금속화 프로세스를 수행하여, 상호접속층(10)을 형성한다. 그 후, 도 1c 의 포켓(12, 13, 14 및 15)들을 캐리어 기판(2)에 형성한다. 부분적인 웨이퍼 다이싱 기술을 사용하여 캐리어 기판(2)에 포켓들을 형성한다.

[0034] 도 1d 및 도 1e 는 복수의 더미 캐리어들로부터의 칩들(11A, 24, 26 및 28)을 캐리어 기판(2) 내의 대응 포켓들(12-15)로 전달하는 것을 나타낸다. 칩들(11A, 24, 26 및 28)은 다른 타입의 칩들을 나타내며, 각 타입의 칩은 별도의 캐리어 기판상에 형성됨을 이해해야 한다. 또한, 절연층(70)은 적절한 장소의 다른 더미 캐리어들로부터 복수의 칩들을 홀드하고, 칩과 STI 영역(8)들 사이에 제공될 수 있는 캡을 채우고, 전체 상호접속부(22)가 도 1e 에 도시된 바와 같이 캐리어 기판(2) 상에 형성될 수 있게 상면을 평탄화하도록 캐리어 기판 상에 적층될 수도 있다.

[0035] 도 2a 내지 도 2c 는 본 발명의 또 다른 예시적인 실시형태에 따른, 더미 캐리어 상에 칩들을 형성하는 방법을 나타낸다. 도 2a 를 참조하면, 칩들을 형성하기 위한 반도체층(6')은, STI 영역(8')에서 더미 캐리어(4)에 부분적으로 본딩된다. 반도체층(6')은 실리콘, 게르마늄, 갈륨 아세나이드, CdSe, II 족 원소와 IV 족 원소의 혼합물 또는 III 족 원소와 V 족 원소의 혼합물일 수 있다. 즉, 다른 칩들을 형성하기 위하여 다른 재료를 사용할 수도 있다. 더미 캐리어(4)로부터 칩들(11A 내지 11E)을 다이싱한 이후에, 칩들 중 적어도 하나 예를 들어 칩 11A 는 캐리어 기판(2)의 대응 포켓(예를 들어, 포켓 14)에 조립될 수 있다. 여기서, 단지 하나의 더미 캐리어(4) 또는 s1 이 도시되어 있지만, 많은 다른 타입의 칩들 예를 들어, 메모리 칩, 논리 회로, MEMS 디바이스, RF 회로 또는 수동 디바이스를 생성하기 위하여 동일한 또는 다른 반도체층들을 가진 많은 다른 더미 캐리어들이 존재할 수도 있음을 이해해야 한다. 또한, 도 2b 에 나타낸 바와 같이, 각 더미 캐리어는 동일한 복수의 칩(11A-11E)을 생성할 수 있다. 도 2b 에 도시한 상기 디바이스들이 직사각형 모양을 가지더라도, 예를 들어 정사각형, 다각형, u-형상, v-형상 등과 같은 많은 다른 형상들을 가지는 칩들(11A-11E)을 형성할 수도 있다. 또한, 동일한 형상의 가변 크기를 가진 칩들(11A-11E)을 형성할 수도 있다. 예를 들어, 칩들(11A-11E)은 직사각형 형상의 가변 길이를 가지는 커페시터들일 수도 있다.

[0036] 또한, 반도체층(6')은 비산화(non-oxidized) 영역(3')에서 더미 캐리어(4)에 본딩되지 않으므로 그 비산화 영역(3')에서 도 2a 의 분해도에 도시된 바와 같이 보이드(16')를 형성한다. 또한, 보이드(16')는 공기 또는 질화층을 포함할 수도 있다. 부분적인 웨이퍼 본딩 기술을 사용하면 각각 도 1a 및 도 1b 에서 실리콘층(6) 및 반도체층(6')의 두께를 초과하여 더 엄격한 제어를 제공함을 주목해야 한다. 도 2a 의 부분 분해도에서, 더미 캐리어(4)는 STI(shallow trench isolation) 영역(8'), 반도체층(6') 및 그 반도체층(6')과 더미 캐리어(4) 사이에 형성되고 상기 STI 영역(8')에 인접한 영역(16')을 포함한다. 바람직하기로는, 그 영역(16')은 공기, 질화

층 또는 본딩을 방지하기 위한 거친 실리콘 표면을 포함한다.

[0037] 다음으로, 디바이스(미도시)들은 더미 캐리어(4) 상의 반도체층(6')에 형성된다. 그 후, 종래의 금속화 프로세스가 도 2b 의 반도체층(6')상에서 수행되어 도 1b 에 도시된 바와 같이 대략 상기 상호접속층(10)과 동일한 두께를 가지는 상호접속층(10')을 형성한다. 그 후, 도 2c 의 칩들(11A-11E)은 더미 캐리어(4)로부터 분리된다. 더미 캐리어(4)로부터 칩들(11A-11E)을 분리하는데 부분적인 웨이퍼 다이싱 기술을 사용한다. 더미 캐리어(4)로부터의 칩들(11A-11E)중 적어도 하나 예를 들어, 칩 11A 는, 도 1c 의 캐리어 기판(2)에 형성되는 대응 포켓 예를 들어 포켓(14)에 배치된다. 각 더미 캐리어는 동일한 또는 다른 상부 반도체층(6')을 가질 수도 있다. 그러나, 더미 캐리어 내에서, 동일한 칩들이 생성된다. 예를 들어, 상부 실리콘층을 가지는 제 1 더미 캐리어(s1)는 복수의 DRAM 메모리칩들을 생성하는데 사용될 수도 있다. 상부 자기층을 가지는 제 2 더미 캐리어(s2)는 복수의 MRAM 칩들을 생성하는데 사용될 수도 있다. 조립 동안에, 더미 캐리어들(s1-sn) 각각으로부터의 적어도 하나의 칩은 캐리어 기판(cs)의 대응 포켓에 배치될 수도 있다. 예를 들어, 제 2 더미 캐리어(s2)로부터의 MRAM 칩 및 제 1 더미 캐리어(s1)로부터의 4 개의 DRAM 칩들은, 멀티-칩 웨이퍼-레벨 패키지의 조립동안에 캐리어 기판의 대응 포켓들에 배치될 수도 있다.

[0038] 재료 적층 및 두께 제어를 포함하는 동일한 프로세스를 포켓 깊이 및 칩 두께가 일치되도록 칩들을 형성하는 더미 캐리어들과 포켓들을 가지는 캐리어 기판에 적용하는 것이 중요하다. 즉, 모든 최종처리된(finished) 칩들은 그 포켓들의 깊이와 동등한 실질적으로 동일한 두께를 가져야 한다. 대응하는 포켓들의 칩들 사이의 크기 및 정렬을 정밀하게 제어하는 마스크 및 에칭 기술을 이용함으로써 부분적인 웨이퍼 다이싱을 수행한다. 그 후, 적절한 접착제 또는 열 페이스트를 사용하여 그 대응하는 포켓에 각 칩들을 배치 및 접착한다. 이 프로세스는, 캐리어 기판상의 칩들을 전기적으로 접속하는 전체 상호접속부들을 형성할 수 있도록 모든 칩들이 이미 페이싱 업(facing up)되므로, 평탄화 또는 캐리어 전달의 임의의 부가적인 단계를 요구하지 않는다.

[0039] 또한, 부분적인 웨이퍼 다이싱 기술은 더미 캐리어를 절단하지 않고 더미 캐리어로부터 칩들을 커팅 및 제거할 수 있다. 웨이퍼를 통하여 바람직하기로는 더미 캐리어 상의 상부 반도체층만을 부분적인 커팅에 의해 더미 캐리어로부터 칩들을 제거한다. 이 영역은 더미 캐리어에 본딩되지 않으므로, 웨이퍼가 부분적으로 커팅되면, 칩들은 더미 캐리어로부터 분리된다. 즉, 웨이퍼가 더미 캐리어에 부분적으로 본딩되는 경우에 부분적인 웨이퍼 다이싱 기술만을 실행할 수 있다. 부분적인 본딩 및 부분적인 다이싱의 이점은, 일단 칩들이 각각의 더미 캐리어들로부터 분리되면, 칩들의 두께가 캐리어 기판의 포켓 깊이와 실질적으로 일치되어 엄격한 연마 단계에 대한 필요성을 피할 수 있다.

[0040] 도 3a 내지 도 3l 은 본 발명의 예시적인 실시형태에 따른 멀티-칩 웨이퍼-스케일 패키지들에 대한 칩들 및 캐리어를 형성하기 위한 방법을 나타낸다. 도 3a 에서, 유전체층(301)은 더미 캐리어(300)의 상면에 적층된다. 유전체층(301)의 두께는 후속 단계에서 형성될 보이드의 깊이를 결정한다. 도 3b 에서, 유전체층(301)은 포토레지스트 마스크(303)를 사용한 종래의 리소그래피 방법을 이용하여 패터닝된다. 도 3c 에서, 유전체층(301)은 건식 에칭 프로세스에 의해 에칭되어 오프-칩 영역(304)을 규정한다. 오프-칩 영역(304)은 후속 단계에서 본딩 사이트로서 사용될 수 있다. 도 3d 에서, STI 영역(305)은 오프-칩 영역(304)들에 형성된다. 도 3e 에서 유전체층(301)을 제거하여 갭 영역(306)을 형성한다. 도 3f 에서, 웨이퍼(307)는 STI 영역(305)들에서 더미 기판(300)에 본딩되므로, 갭 영역(306)에서 보이드(302)를 형성한다. 웨이퍼(307)에서의 보이드 위 영역은 칩 영역(312)을 규정하고, 웨이퍼(307)에서의 STI 영역(305) 위의 영역은 칩간(inter-chip) 영역(311)을 규정한다. 도 3g 에서, 웨이퍼(307)를 박육화하여 박육화된 웨이퍼(308)를 형성한다. 바람직하게는, 박육화된 웨이퍼의 두께는 약 50 내지 약 100 μm 이다. 이러한 박육화 기술 및 두께 제어가 완전하게 확립되므로 추가로 설명하지는 않는다. 도 3h 에서, 그 박육화된 웨이퍼(308) 내부에 디바이스(310)들이 형성된다. 도 3i 에서, BEOL 또는 백-엔드-오브-라인(Back-End-Of-Line) 상호접속부(309)가 그 박육화된 웨이퍼(308)상에 형성된다. 또한, 별개의 디바이스가 더미 캐리어(300)의 박육화된 웨이퍼(308)의 칩간 영역(311)들에 형성될 수도 있다. 별개의 디바이스는 인더터, 디커플링(decoupling) 커패시터, ESD(electrostatic discharge) 다이오드 또는 임의의 다른 별개의 디바이스를 포함할 수도 있다. 즉, 칩들(315A 및 315B)을 커팅하기 이전에, 이러한 별개의 디바이스들은 칩간 영역들에 존재하며, 이 영역들에 형성된 칩들의 작업(workings)을 테스트 및 모니터링하는데 이용될 수도 있다. 또한, BEOL 상호접속부(309)의 형성 이후에, 칩 영역(312A 및 312B)은 도 3j 에 도시된 바와 같이, 칩들(315A 및 315B)의 형성을 완료하기 위하여, 도시되지 않은 최종 디바이스들 및 상호접속부들로 채우진다.

[0041] 도 3j 를 참조하면, 패시브층(314)은 다이싱용 웨이퍼를 준비하기 위하여 박육화된 웨이퍼(308)의 상면에 코팅된다. 박육화된 웨이퍼(308)이 얇으므로, 칩들(315A 및 315B) 주변에, 도 4a 에 도시된 바와 같이, 채널

(319)을 커팅함으로써 박육화된 웨이퍼층(308)으로부터 칩들(315A 및 315B)을 커팅 및 분리하도록 레이저 다이싱 기술 또는 반응 이온 에칭을 이용할 수 있다. 바람직하게는, 채널 폭은 약 15 μm 내지 약 40 μm 이다. 도 3k 는 박육화된 웨이퍼층(308)으로부터 보이드(302)까지 다이싱하여 그 박육화된 웨이퍼층(308)으로부터 칩들(315A 및 315B)을 분리하기 위한 소망의 위치(320)를 나타낸다. 또한, 더미 캐리어 또는 칩 캐리어의 칩간 영역들에 형성된 디바이스들만이, 일단 칩들이 더미 캐리어로부터 제거되기 때문에 그 영역들에 형성된 칩들을 테스팅 및 모니터링하는데 사용될 수 있으므로, 더미 캐리어는 쓸모 없게 되고 버려진다.

[0042] 또한, 상술한 프로세스도 캐리어 기판에서 포켓을 형성하는데 사용된다. 또한, 박육 웨이퍼 내에 칩들을 형성하는 것과 관련된 단계들은 캐리어 기판에 대하여 수행되지 않는다. 그러나, 별개의 디바이스들은 캐리어 기판의 칩간 영역들에 형성될 수도 있다. 별개의 디바이스들은 인더터, 디커플링 커패시터, ESD(electrostatic discharge) 다이오드들 또는 임의의 다른 별개의 디바이스들을 포함할 수도 있다. 즉, 포켓들이 커팅되는 경우에, 이러한 별개의 디바이스들은, 칩들이 형성된 이후에 시스템의 일부로서 이용될 수 있도록 칩간 영역들에 존재한다.

[0043] 도 31 은 본 발명의 예시적인 실시형태에 따른 캐리어 기판의 구조를 나타낸다. 보다 상세하게는, 도 31 은 더미 칩들이 캐리어 기판의 미분딩 영역들로부터 제거된 이후의 캐리어 기판 구조를 나타낸다. 다음으로 도 31 을 참조하면, 미도시된 더미 칩들이 캐리어 기판(300')으로부터 커팅 및 분리된 이후에, 포켓들(317A 및 317B) 및 칩간 영역(311)들에서 미리 제조된 유용한 디바이스들(316A, 316B 및 316C)을 포함하는 구조(330)를 형성한다.

[0044] 또한, 프로세스 단계들이 동일하므로, 다른 시간에서 및/또는 다른 소스들에서 다른 웨이퍼들상에 포켓들 및 칩들을 형성할 수 있기 때문에, 칩들의 두께 및 포켓들의 깊이는 면밀하게 추적됨을 주목하여야 한다. 칩들을 그 대응하는 포켓들에 투하하기 이전에, 도 3a 의 유전체층(301)과 동일한 두께를 가지는 유전체층은 보이드(302)를 채우도록 적층되어야 한다. 바람직하게, 보이드(302)는, 칩들을 이들 각각의 포켓들에 투하하기 이전에 유전체층, 접착층 또는 열 페이스트를 사용하여 채워진다. 그 결과, 전체 칩들이 그 대응하는 포켓들에 투하되는 경우에, 전체 칩들의 상면은 그 포랫들을 가지는 웨이퍼의 상면과 실질적으로 동일 평면에 있게 되므로 멀티-칩 웨이퍼-레벨 패키지를 형성하기 위하여 요구되는 단계들 및 프로세스들의 개수를 감소시킨다. 또한, 더미 캐리어의 칩간 영역들에 형성되는 별개의 디바이스들은 그 영역에 형성되는 칩들의 작업을 테스트 및 모니터링하는데 사용된다. 반면, 캐리어 기판의 칩간 영역에 형성되는 별도의 디바이스들은 멀티-칩 웨이퍼-레벨 패키지의 필수 부분이다.

[0045] 도 4a 는 부분적인 웨이퍼 다이싱 기술을 수행한 이후의 도 3k 에 도시된 바와 같은 칩의 측면도이다. 도 4a 를 참조하면, 박육화된 웨이퍼층(308)의 미리 결정된 부분들은 부분적인 웨이퍼 다이싱 기술을 이용하여 제거되어, 캐리어 기판(300)으로부터 칩(315A)을 분리한다. 또한, 베퍼 영역(318)은 칩(315A) 주변에 규정된다. 추가적으로, 박육화된 웨이퍼층(308)을 통하여 보이드(302)까지 다이싱하고 그 기판으로부터 칩(315A)을 분리함으로써 다이싱 기술을 수행한다는 점에 주목해야 한다. 즉, 칩(315A)이 보이드(302)에서 기판에 부착되지 않기 때문에, 일단 박육화된 웨이퍼층(308)이 칩(315A) 주변에서 커팅되고 다이싱되면 칩(315A)은 분리된다.

[0046] 도 4b 는 도 3k 에 나타낸 바와 같이 부분적인 웨이퍼 다이싱 기술이 수행된 이후의 칩의 상면도이다. 도 4b 를 참조하면, 커팅 채널(319)에 인접한 칩(315A)의 외주부(outer perimeter)에 따른 베퍼 영역(318)을 가지는 칩(315A)을 나타낸다.

[0047] 도 5a 내지 도 5c 는 본 발명의 예시적인 실시형태에 따른 캐리어 기판에 형성된 칩을 분리하는 방법을 나타낸다. 도 5a 에서, 두께 d1을 가지는 얇은 웨이퍼층(510)은 취급 및 처리 동안에 기계적 강도를 유지하기 위한 d2 의 두께를 가지는 두꺼운 기판(530)에 본딩된다. 바람직하게는, d1 의 두께는 약 50 μm 내지 약 300 μm 이다. 본딩된 영역(521)은 패터닝된 산화층(540)에 본딩되는 웨이퍼층(510)에 의해 형성된다. 그 본딩된 영역(522)은 산화층의 부족에 기인한다. 칩(520) 또는 다이는 본딩되지 않은 영역내의 얇은 웨이퍼층(510)에 형성된다. 그러나, 웨이퍼층(510)은 실리콘, 게르마늄, 갈륨 아세나이드, CdSe, II 족 원소와 IV 족 원소의 혼합물 또는 III 족 원소와 V 족 원소의 혼합물일 수 있다. 얇은 웨이퍼층(510)의 상부에 포토레지스트 마스크(500)을 형성하고 그 포토레지스트 마스크(500)를 리소그래피법에 의해 노출시킴으로서 부분적인 웨이퍼 다이싱 기술을 수행할 수도 있다. 포토마스크(500)를 규정한 이후에, 얇은 웨이퍼층(510)을 에칭하기 위하여 건식 또는 습식 에칭 프로세스를 수행한다. 다른 방법으로, 마스크없는 다이렉트 레이저 커팅을 이용하여 칩(520)을 분리하기 위하여 부분적인 다이싱도 행할 수 있다. 도 5b 는 얇은 웨이퍼층(510)을 통하여 칩(520)을 둘러싸는 미분딩된 영역(522)까지 에칭함으로써 형성되는 트렌치(550)들을 나타낸다. 도 5c 에서, 칩(520) 또는 다이는 미분딩된 영역(522)으로부터 제거되어 포켓(560)을 형성한다. 트렌치(550)를 에칭하고 칩 또는 다이를 효과적으로 커팅

하기 위하여 고밀도 플라즈마 또는 반응 이온 에칭을 사용할 수 있다. 이와 유사하게, 포켓은 기판으로부터 더미 칩을 제거함으로써 형성될 수 있다. 포켓의 깊이는, 칩이 탑재된 이후에, 칩의 상면이 웨이퍼의 상면과 실질적으로 동일한 평면에 있도록, 실질적으로 실제 칩과 동일한 두께를 가진다. 이 방법을 수행함으로써, 본딩된 칩들의 상면을 평탄화하는 것과 같은 임의의 추가적인 준비에 대한 필요없이 전체 칩간 배선에 대하여 패키지가 준비된다.

[0048] 본 발명의 예시적인 실시형태들은 다른 프로세스 단계들로 제조된 칩들 및 재료들을 경제적인 방식으로 통합하는 것을 용이하게 하는 멀티-칩 웨이퍼-레벨 패키지를 형성하기 위한 방법을 포함한다. 도 6은 본 발명의 예시적인 실시형태에 따른, 멀티-칩 웨이퍼-레벨 패키지를 형성하기 위한 방법을 나타내는 흐름도이다. 이어서 도 6을 참조하면, 복수의 칩들이 칩 기판상에 형성된다(단계 602). 다음으로, 캐리어 기판으로부터 더미 칩들을 분리함으로써 캐리어 기판에 포켓들을 형성한다(단계 604). 그 후, 칩 기판으로부터 칩들을 분리한다(단계 606). 단계 604 및 606은 동시에 또는 다른 순서로 수행할 수도 있다. 그 후, 칩들의 상면이 캐리어 기판의 상면과 실질적으로 동일 평면에 존재하도록 칩 기판으로부터 분리된 칩들을 캐리어 기판 내의 미리 결정된 포켓들에 탑재한다(단계 608).

도 7은 본 발명의 예시적인 실시형태에 따른, 칩 기판 상에 복수의 칩들을 형성하기 위한 방법을 나타내는 흐름도이다. 특히, 도 7은 칩 기판 상에 칩들을 형성하는 것과 관련되는, 도 6의 단계 602의 예시적인 방법을 나타낸다. 이어서 도 7을 참조하면, 칩 기판상의 유전체층을 패터닝한다(단계 702). 다음으로, 그 패턴화된 유전체층을 에칭하여 오프-칩 영역을 규정한다(단계 704). 이 오프-칩 영역들에 STI 영역들을 형성한다(단계 706). 그 후, 이 오프-칩 영역들 사이의 유전체층을 제거한다(단계 708). 다음으로, STI 영역들에 인접하고 웨이퍼와 칩 기판 사이에 보이드가 형성되도록 STI 영역들에 웨이퍼를 본딩하며, 여기서 웨이퍼내의 STI 영역들 위의 영역은 칩간 영역을 규정하고 보이드 위의 영역은 칩 영역을 규정한다(단계 710). 그 후, 웨이퍼를 박육화한다(단계 712). 그 후, 박육화된 웨이퍼에 디바이스들을 형성한다(단계 714). 다음으로, 그 웨이퍼에 형성된 디바이스들을 가지는 박육화된 웨이퍼상에 BEOL 상호접속부들을 형성한다(단계 716). 최종적으로, 칩의 형성을 완료하기 위하여 그 박육화된 웨이퍼의 칩 영역에 최종처리된 디바이스들과 상호접속부들을 형성한다(단계 718). 또한, 상술된 프로세스를 다른 칩 기판들 상에 많은 다른 타입의 칩들을 형성하도록 사용할 수도 있음을 이해해야 한다.

도 8은 본 발명의 예시적인 실시형태에 따른 캐리어 기판 내에 복수의 포켓들을 형성하는 방법을 나타내는 흐름도이다. 특히, 도 8은 캐리어 기판에 포켓들을 형성하는 것과 관련되는, 도 6의 단계 604의 예시적인 방법을 나타낸다. 다음으로 도 8을 참조하면, 캐리어 기판상의 유전체층을 패터닝한다(단계 802). 다음으로, 그 패턴화된 유전체층을 에칭하여 오프-칩 영역들을 규정한다(단계 804). 그 후, STI 영역들을 오프-칩 영역들에 형성한다(단계 806). 그 후, 오프-칩 영역들 사이에서 유전체층을 제거한다(단계 808). 다음으로, STI 영역들에 인접하며 웨이퍼와 캐리어 기판 사이에 보이드가 형성되도록 그 STI 영역들에 웨이퍼를 본딩하며, 여기서 웨이퍼에서 STI 영역들 위의 영역은 칩간 영역을 규정하고, 보이드 위의 영역은 칩 영역을 규정한다(단계 810). 그 후, 웨이퍼를 박육화한다(단계 812). 다음으로, 그 박육화된 웨이퍼상에 BEOL 상호접속부를 형성한다(단계 814). 상기 박육화된 웨이퍼의 상면을 패시베이션층으로 코팅한다(단계 816). 다음으로, 웨이퍼의 미리 결정된 부분 또는 더미 칩이 분리되어 그 웨이퍼 내에 포켓들을 형성하도록, 웨이퍼의 칩 영역들에서 채널이 다이싱된다(단계 818).

도 9는 본 발명의 예시적인 실시형태에 따른, 칩 기판으로부터 칩을 분리하기 위한 방법을 나타내는 흐름도이다. 특히, 도 9는 칩 기판으로부터 칩들을 분리하는 것과 관련되는, 도 6의 단계 606의 예시적인 방법을 나타낸다. 이어서 도 9를 참조하면, 상기 박육화된 웨이퍼의 상면을 패시베이션층으로 코팅하여 그 칩을 보호한다(단계 902). 다음으로, 웨이퍼의 칩 영역들로부터 보이드까지의 채널을 다이싱하여 칩 기판으로부터 칩을 분리한다(단계 904).

도 10은 본 발명의 예시적인 실시형태에 따른, 캐리어 기판내의 미리 결정된 포켓에 칩 기판으로부터 분리된 칩을 탑재하는 방법을 나타내는 흐름도이다. 특히, 도 10은 도 6의 단계 608의 예시적인 방법을 나타낸다. 다음으로 도 10을 참조하면, 보이드와 동일한 두께를 가지는 접착층 또는 열 페이스트를 포켓의 바닥부에 적층한다(단계 1002). 다음으로, 칩들을 배치하고 이들의 대응 포켓들내에 정렬한다(단계 1004). 또한, 보이드와 동일한 치수를 가지는 유전체층을 상기 접착층 또는 열 페이스트 대신에 사용할 수도 있다.

[0053] 요약하면, 본 발명의 예시적인 실시형태들은 동일한 평면의 멀티-칩 웨이퍼-레벨 패키기를 형성하기 위한 유효한 방법들을 제공하며, 여기서 부분적인 웨이퍼 본딩 및 부분적인 웨이퍼 다이싱 기술을 사용하여 웨이퍼의 표

면에 칩 뿐만 아니라 포켓들을 생성한다. 최종 칩들은 웨이퍼의 대응하는 포켓들에 탑재되고, 그 칩들 사이의 전체 상호접속부들을 본딩된 칩들의 평탄한 상부 표면상에 형성한다. 이러한 방법들은 다른 프로세스 단계들 및 재료들로 제조되는 칩들의 통합을 용이하게 한다. 칩들의 상면을 평탄화하기 위하여 화학적-기계적 연마와 같은 거친 평탄화 프로세스를 이용할 필요가 없다. 그 칩들은 서로 정밀하게 정렬되고, 전체 칩들은 페이스 업 상태로 탑재되기 때문에, 전체 배선에 대한 모듈이 준비되며, 이는 칩들을 업사이드-다운 위치로부터 뒤집어야 할 필요성을 제거한다.

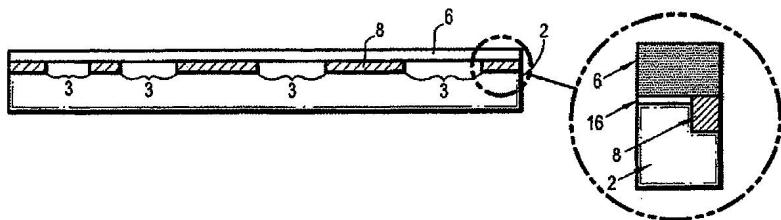
[0054] 특히 본 발명을 본 발명의 예시적인 실시형태들을 참조하여 도시하고 설명하였다. 형태 및 세부사항에 있어서의 다양한 변경이 이하의 청구항들에 의해 규정되는 바와 같이 본 발명의 범위를 벗어나지 않고 행해질 수 있음이 당해분야의 당업자에 의해 이해될 수 있다.

도면의 간단한 설명

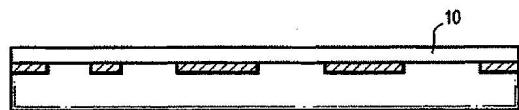
- [0018] 도 1a 내지 도 1e 는 본 발명의 예시적인 실시형태에 따른, 멀티칩 웨이퍼 패키지의 형성 방법을 나타낸다.
- [0019] 도 2a 내지 도 2c 는 본 발명의 또 다른 예시적인 실시형태에 따른, 더미 캐리어 상의 칩 형성 방법을 나타낸다.
- [0020] 도 3a 내지 도 3l 은 본 발명의 실시형태에 따른 멀티칩 웨이퍼 스케일 패키지의 형성 방법을 나타낸다.
- [0021] 도 4a 는 도 3k 에 도시되는 바와 같이 부분적인 웨이퍼 다이싱 기술을 수행한 이후의 칩의 측면도이다.
- [0022] 도 4b 는 도 3k 에 도시되는 바와 같이 부분적인 웨이퍼 다이싱 기술을 수행한 이후의 칩의 상면도이다.
- [0023] 도 5a 내지 도 5c 는 본 발명의 예시적인 실시형태에 따른, 캐리어 기판 상에 형성되는 칩을 분리하는 방법을 나타낸다.
- [0024] 도 6 은 본 발명의 예시적인 실시형태에 따른, 멀티-칩 웨이퍼-레벨 패키지의 형성 방법을 나타내는 흐름도이다.
- [0025] 도 7 은 본 발명의 예시적인 실시형태에 따른, 칩 기판 상에 복수의 칩들을 형성하는 방법을 나타내는 흐름도이다.
- [0026] 도 8 은 본 발명의 예시적인 실시형태에 따른, 칩 캐리어 기판 내에 복수의 포켓들을 형성하는 방법을 나타내는 흐름도이다.
- [0027] 도 9 는 본 발명의 예시적인 실시형태에 따른, 상기 칩 기판으로부터 칩을 분리하기 위한 방법을 나타내는 흐름도이다.
- [0028] 도 10 은 본 발명의 예시적인 실시형태에 따른, 캐리어 기판 내의 미리 결정된 포켓 내에 상기 칩 기판으로부터 분리되는 칩을 탑재하는 방법을 나타내는 흐름도이다.

도면

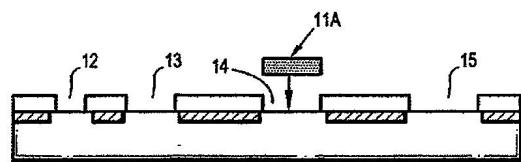
도면1a



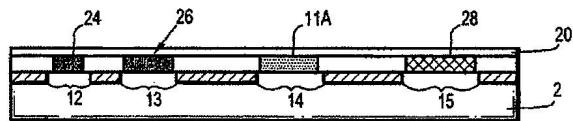
도면1b



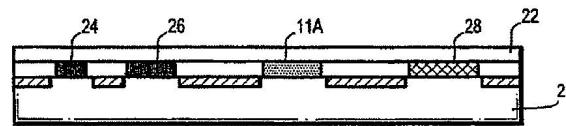
도면1c



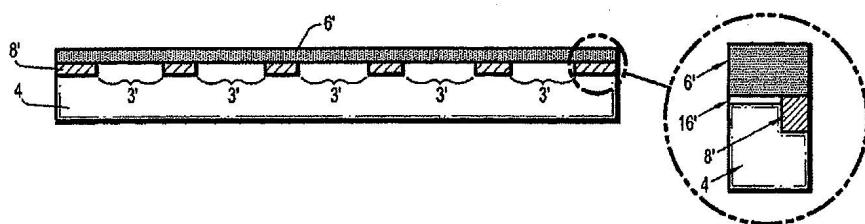
도면1d



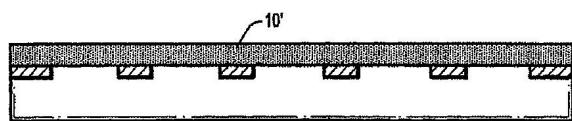
도면1e



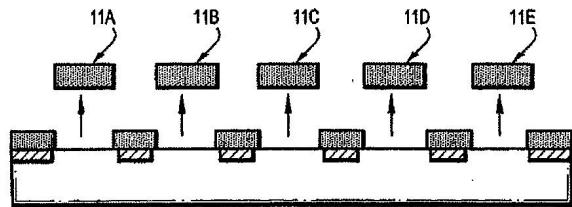
도면2a



도면2b



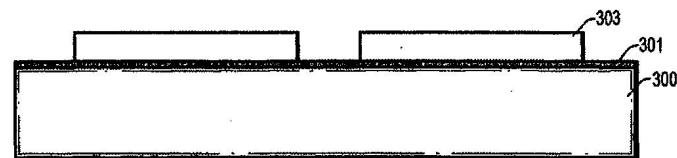
도면2c



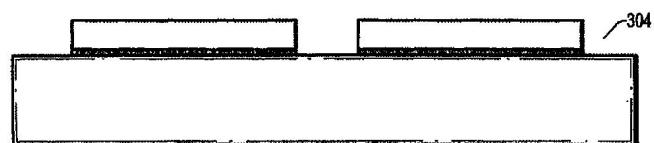
도면3a



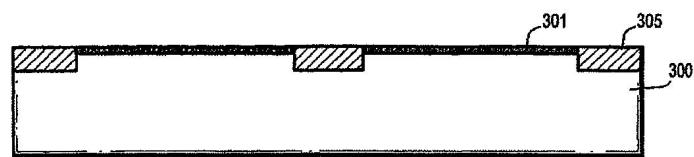
도면3b



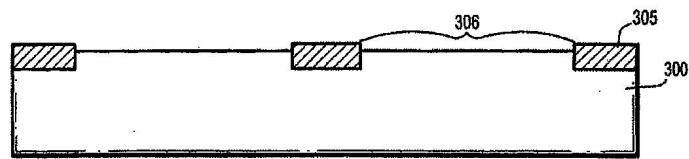
도면3c



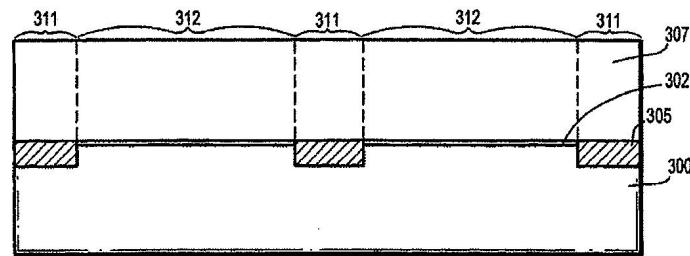
도면3d



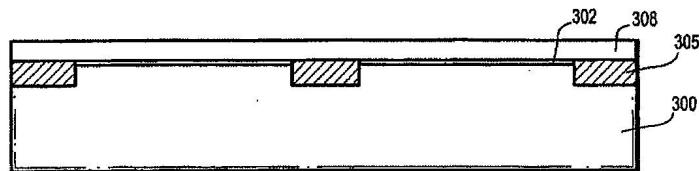
도면3e



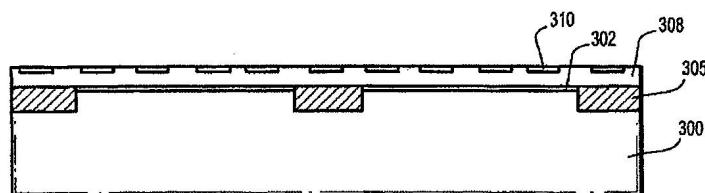
도면3f



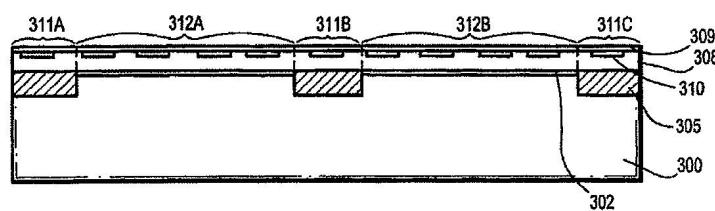
도면3g



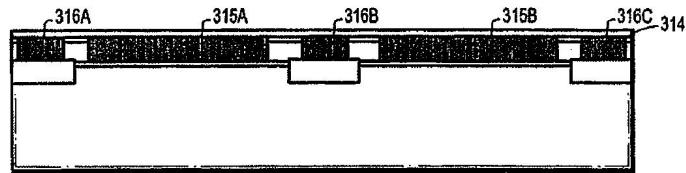
도면3h



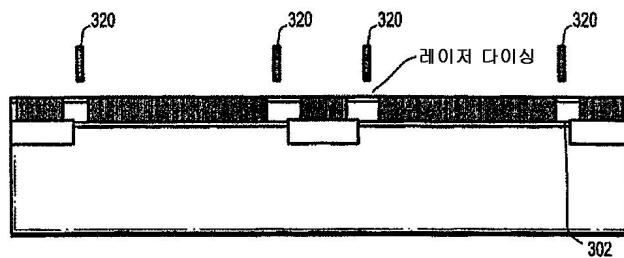
도면3i



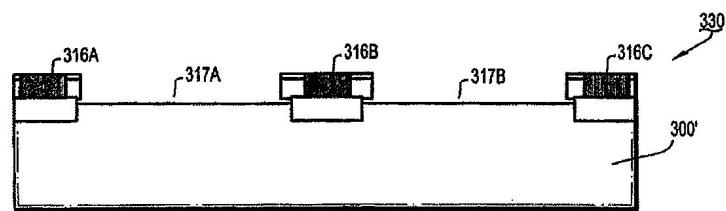
도면3j



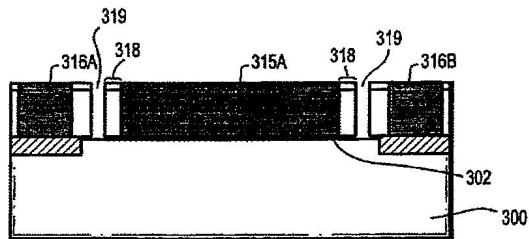
도면3k



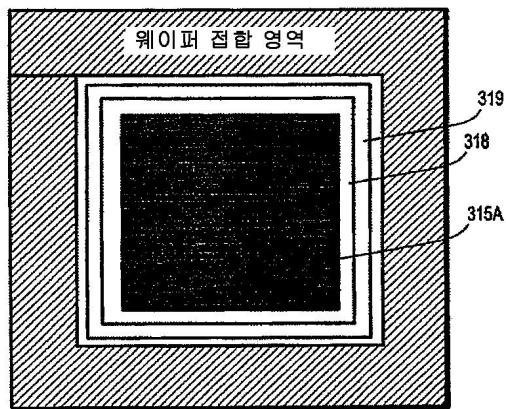
도면3l



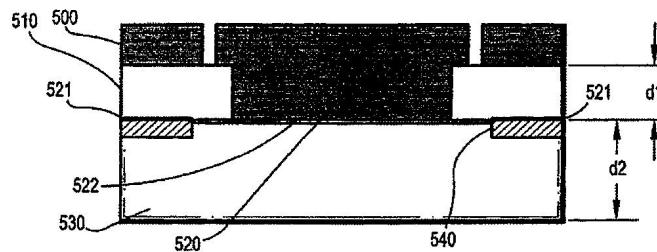
도면4a



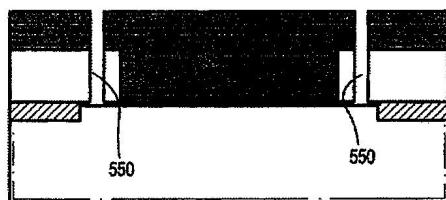
도면4b



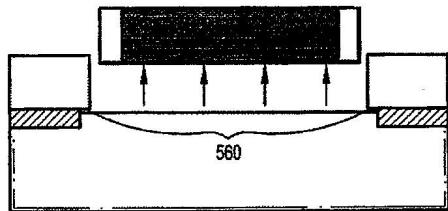
도면5a



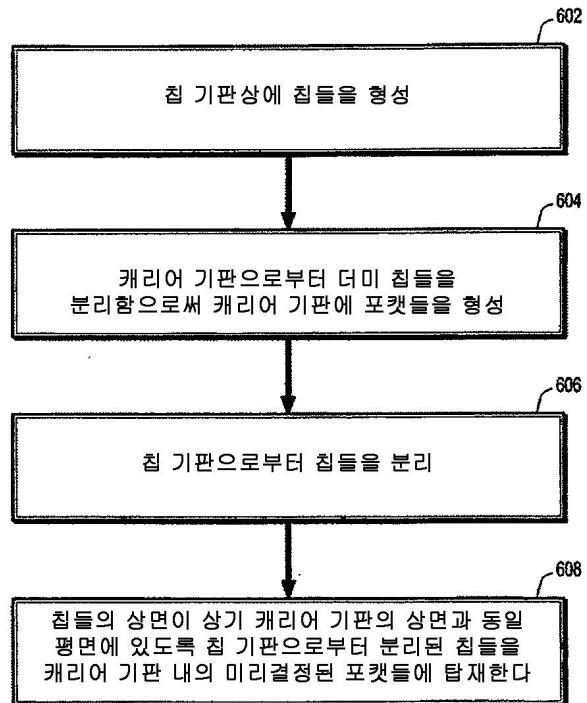
도면5b



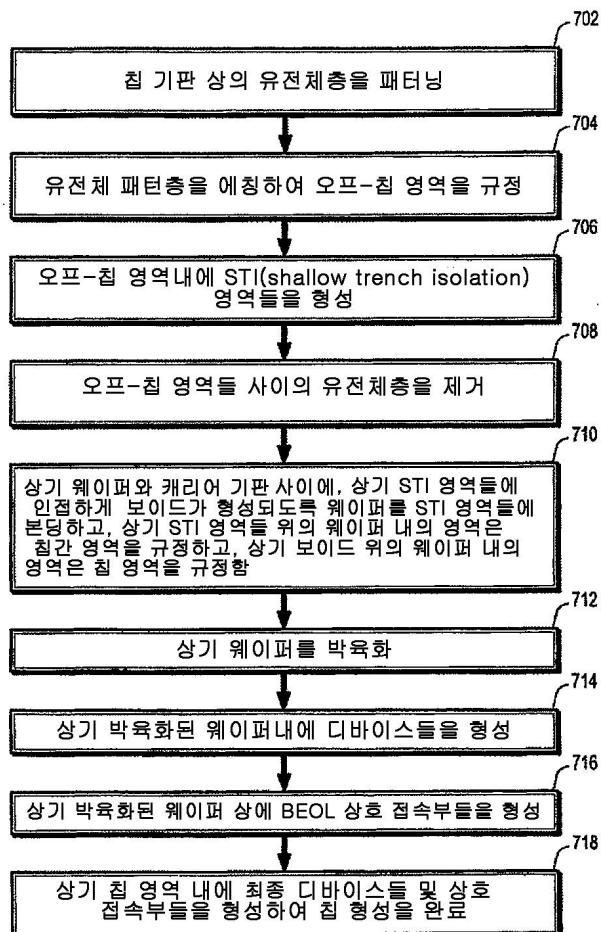
도면5c



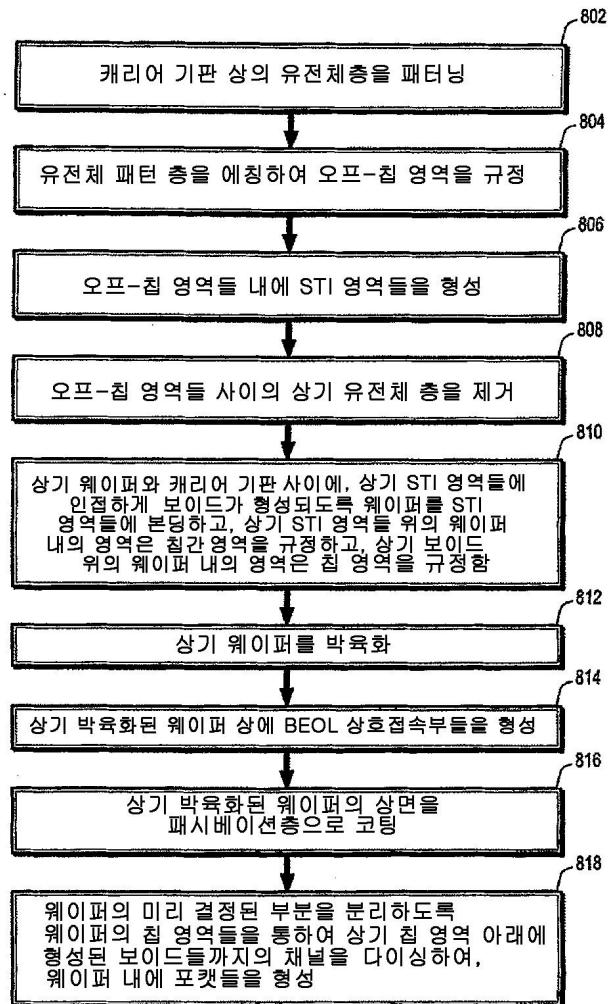
도면6



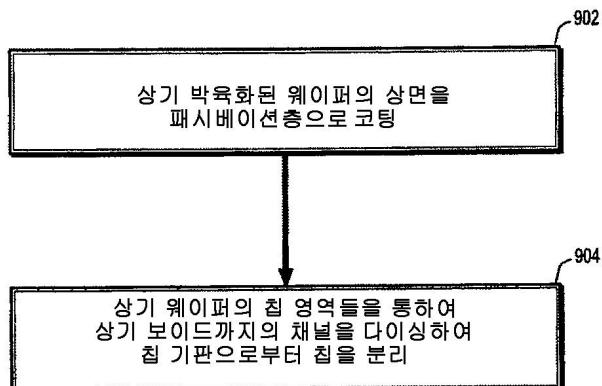
도면7



도면8



도면9



도면10

