

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4071531号
(P4071531)

(45) 発行日 平成20年4月2日(2008.4.2)

(24) 登録日 平成20年1月25日(2008.1.25)

(51) Int. Cl.	F I
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 5 0
H O 1 L 27/10 (2006.01)	G 1 1 C 11/15 1 8 0
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 4 8 1
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 7
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z

請求項の数 5 (全 29 頁)

(21) 出願番号	特願2002-121150 (P2002-121150)	(73) 特許権者	503121103
(22) 出願日	平成14年4月23日(2002.4.23)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-317467 (P2003-317467A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年11月7日(2003.11.7)	(74) 代理人	100064746
審査請求日	平成17年3月22日(2005.3.22)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100096781
			弁理士 堀井 豊
		(73) 特許権者	591036457
			三菱電機エンジニアリング株式会社
			東京都千代田区九段北一丁目13番5号
		(74) 代理人	100064746
			弁理士 深見 久郎

最終頁に続く

(54) 【発明の名称】 薄膜磁性体記憶装置

(57) 【特許請求の範囲】

【請求項1】

各々が、磁気的に書込まれた記憶データに応じた電気抵抗を有する複数のメモリセルと、
 前記複数のメモリセルのうち選択メモリセルのデータ読出時に活性化されるワード線と、
 前記データ読出時において、前記選択メモリセルを介して第1の電圧と電氣的に結合される第1のデータ線と、
 前記データ読出時において、前記選択メモリセルの比較対象として設けられた比較セルを介して前記第1の電圧と電氣的に結合される第2のデータ線と、
 前記データ読出時において、前記ワード線よりも先に活性化されて、前記第1および第2のデータ線の各々を第2の電圧と電氣的に結合するとともに、前記第1および第2のデータ線への電流供給を開始し、前記第1および第2のデータ線の間が生じる通過電流差に応じたデータ読出を行なうための差動増幅部と、
 データ読出前に、前記第1および第2のデータ線同士を電氣的に接続するとともに、各々を、前記第1の電圧とは異なる所定電圧に設定するためのイコライズ回路と、
 前記所定電圧を生成する所定電圧生成回路とを備え、
 前記差動増幅部は、各々の一方導通端子が、前記第1および第2のデータ線とそれぞれ電氣的に結合され、ゲートが共に基準電圧に接続され、他方導通端子が第1および第2の出力ノードとそれぞれ電氣的に結合される第1および第2のトランジスタを含むソースフ

10

20

オロワ型差動増幅部を構成し、

前記所定電圧生成回路は、前記データ読出時に、前記第1および第2の電圧の間に前記差動増幅部を構成するトランジスタ、前記選択メモリセルおよび前記第1のデータ線を介して形成される電流経路を擬似的に構成する電流経路擬似回路を含み、

前記電流経路擬似回路の中の前記電流経路上の所定ノードの電圧は、前記所定電圧として前記イコライズ回路へ供給される、薄膜磁性体記憶装置。

【請求項2】

前記差動増幅部は、前記第1のトランジスタの他方導通端子と前記第2の電圧との間に電氣的に結合される第3のトランジスタと、

前記第2のトランジスタの他方導通端子と前記第2の電圧との間に電氣的に結合され、ゲートが前記第3のトランジスタのゲートとともに前記第2のトランジスタの他方導通端子と結合される第4のトランジスタとをさらに含む、請求項1記載の薄膜磁性体記憶装置

10

【請求項3】

前記電流経路擬似回路において、前記選択メモリセルに対応する擬似抵抗素子として、前記選択メモリセルが有する電気抵抗の範囲内 (R_{min} 以上、 R_{max} 以下)である抵抗値を有する抵抗素子を備える、請求項2記載の薄膜磁性体記憶装置。

【請求項4】

前記擬似抵抗素子は、トンネル磁気抵抗素子である、請求項3記載の薄膜磁性体記憶装置。

20

【請求項5】

前記所定電圧生成回路は、前記データ読出時において、制御信号に応じて前記電流経路を形成する、請求項2記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合 (MTJ: Magnetic Tunnel Junction) を有するメモリセルを備えた薄膜磁性体記憶装置に関する。

【0002】

【従来の技術】

低消費電力で不揮発的なデータ記憶が可能な記憶装置として、MRAMデバイスが注目されている。MRAMデバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて、不揮発的なデータ記憶を行ない薄膜磁性体の各々をメモリセルとして、ランダムアクセスが可能な記憶装置である。

30

【0003】

特に、近年では磁気トンネル接合を利用した薄膜磁性体をメモリセルとして用いることによって、MRAMデバイスの性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.、 “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.、および “A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM”, ISSCC Digest of Technical Papers, TA7.6, Feb. 2001.等の技術文献に開示されている。等の技術文献に開示されている。

40

【0004】

図18は、磁気トンネル接合部を有するメモリセル(以下、単に「MTJメモリセル」とも称する)の構成を示す概略図である。

【0005】

図18を参照して、MTJメモリセルは、磁氣的に書込まれた記憶データのデータレベルに応じて電気抵抗が変化するトンネル磁気抵抗素子TMRと、アクセストラジスタAT

50

Rとを含む。アクセストランジスタATRは、ビット線BLおよび接地電圧GNDの間に、トンネル磁気抵抗素子TMRと直列に接続される。代表的には、アクセストランジスタATRとして、半導体基板上に形成された電界効果型トランジスタが適用される。

【0006】

MTJメモリセルに対しては、データ書込時に異なった方向のデータ書込電流をそれぞれ流すためのビット線BLおよびディジット線DLと、データ読出を指示するためのワード線WLと、データ読出時にトンネル磁気抵抗素子TMRを接地電圧GNDにプルダウンするためのソース線SRLとが設けられる。データ読出時においては、アクセストランジスタATRのターンオンに 응답して、トンネル磁気抵抗素子TMRは、ソース線SRL（接地電圧GND）およびビット線BLの間に電氣的に結合される。

10

【0007】

図19は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0008】

図19を参照して、トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）FLと、外部からの印加磁界に応じた方向に磁化される強磁性体層（以下、単に「自由磁化層」とも称する）VLとを有する。固定磁化層FLおよび自由磁化層VLの間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）TBが設けられる。自由磁化層VLは、書込まれる記憶データのレベルに応じて、固定磁化層FLと同一方向または固定磁化層FLと反対方向に磁化される。これらの固定磁化層FL、トンネルバリアTBおよび自由磁化層VLによって、磁気トンネル接

20

【0009】

トンネル磁気抵抗素子TMRの電気抵抗は、固定磁化層FLおよび自由磁化層VLのそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子TMRの電気抵抗は、固定磁化層FLの磁化方向と自由磁化層VLの磁化方向とが平行である場合に最小値 R_{min} となり、両者の磁化方向が反対（反平行）方向である場合に最大値 R_{max} となる。

【0010】

データ書込時においては、ワード線WLが非活性化されて、アクセストランジスタATRはターンオフされる。この状態で、自由磁化層VLを磁化するためのデータ書込電流は、ビット線BLおよびディジット線DLのそれぞれにおいて、書込データのレベルに応じた方向に流される。

30

【0011】

図20は、データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【0012】

図20を参照して、横軸は、トンネル磁気抵抗素子TMR内の自由磁化層VLにおいて磁化容易軸（EA：Easy Axis）方向に印加される磁界を示す。一方、縦軸H（HA）は、自由磁化層VLにおいて磁化困難軸（HA：Hard Axis）方向に作用する磁界を示す。縦軸H（EA）および横軸H（HA）は、ビット線BLおよびディジット線DLをそれぞれ流れる電流によって生じる2つの磁界の一方ずつにそれぞれ対応する。

40

【0013】

MTJメモリセルにおいては、固定磁化層FLの固定された磁化方向は、自由磁化層VLの磁化容易軸に沿っており、自由磁化層VLは、記憶データのレベル（“1”および“0”）に応じて、磁化容易軸方向に沿って、固定磁化層FLと平行あるいは反平行（反対）方向に磁化される。MTJメモリセルは、自由磁化層VLの2通りの磁化方向と対応させて、1ビットのデータ（“1”および“0”）を記憶することができる。

【0014】

自由磁化層VLの磁化方向は、印加される磁界H（EA）およびH（HA）の和が、図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えるこ

50

とができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層 V L の磁化方向は変化しない。

【 0 0 1 5 】

アステロイド特性線に示されるように、自由磁化層 V L に対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げるができる。

【 0 0 1 6 】

図 2 0 に示した例のようにデータ書込時の動作点を設計した場合には、データ書込対象である M T J メモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線 B L またはディジット線 D L を流されるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分 H との和で示される。すなわち、 $H_{WR} = H_{SW} + H$ で示される。

10

【 0 0 1 7 】

M T J メモリセルの記憶データ、すなわちトンネル磁気抵抗素子 T M R の磁化方向を書換えるためには、ディジット線 D L とビット線 B L との両方に所定レベル以上のデータ書込電流を流す必要がある。これにより、トンネル磁気抵抗素子 T M R 中の自由磁化層 V L は、磁化容易軸 (E A) に沿ったデータ書込磁界の向きに応じて、固定磁化層 F L と平行もしくは、反対 (反平行) 方向に磁化される。トンネル磁気抵抗素子 T M R に一旦書込まれた磁化方向、すなわち M T J メモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

20

【 0 0 1 8 】

図 2 1 は、M T J メモリセルからのデータ読出を説明する概念図である。

図 2 1 を参照して、データ読出時においては、アクセストランジスタ A T R は、ワード線 W L の活性化にตอบสนองしてターンオンする。これにより、トンネル磁気抵抗素子 T M R は、接地電圧 G N D でプルダウンされた状態でビット線 B L と電氣的に結合される。

【 0 0 1 9 】

この状態で、ビット線 B L を所定電圧でプルアップすれば、ビット線 B L およびトンネル磁気抵抗素子 T M R を含む電流経路を、トンネル磁気抵抗素子 T M R の電気抵抗に応じた、すなわち M T J メモリセルの記憶データのレベルに応じたメモリセル電流 I_{cell} が通過する。たとえば、このメモリセル電流 I_{cell} を所定の基準電流と比較することにより、M T J メモリセルから記憶データを読出すことができる。

30

【 0 0 2 0 】

このようにトンネル磁気抵抗素子 T M R は、印加されるデータ書込磁界によって書換可能な磁化方向に応じてその電気抵抗が変化するので、トンネル磁気抵抗素子 T M R の電気抵抗 R_{max} および R_{min} と、記憶データのレベル (“ 1 ” および “ 0 ”) とそれぞれ対応付けることによって、不揮発的なデータ記憶を実行することができる。

【 0 0 2 1 】

このように、M R A M デバイスでは、記憶データレベルの違いに対応したトンネル磁気抵抗素子 T M R での接合抵抗差である電気抵抗差 $R = (R_{max} - R_{min})$ を利用してデータ記憶が実行される。すなわち、選択メモリセルの通過電流 I_{cell} の検知に基づいて、データ読出動作が実行される。

40

【 0 0 2 2 】

【 発明が解決しようとする課題 】

図 2 2 は、従来 of データ読出系回路の概念図である。

【 0 0 2 3 】

ここでは、行列状に配置されたメモリセルにおいて、1 ビットのデータを記憶するメモリセルのデータ読出について説明する。

【 0 0 2 4 】

図 2 2 を参照して、メモリセル列に対応して相補のビット線が交互に配置される。ここで

50

は、ビット線 B_L および $\overline{B_L}$ (以下、本明細書において「 $\overline{\quad}$ 」記号は反転、否定、相補等を示すものとする) の各々に対応して MTJ メモリセルがそれぞれ配置される。 MTJ メモリセルの各々は、図 18 に示したのと同様の構成を有し、対応するビット線 B_L または $\overline{B_L}$ と接地電圧 GND との間に直列に接続された、トンネル磁気抵抗素子 TMR およびアクセス素子 (アクセストランジスタ) ATR とを有する。アクセストランジスタ ATR のゲートは、対応するワード線 WL と接続される。

【0025】

以下においては、2 個の MTJ メモリセルのうちのビット線 B_L と接続される一方を、単にメモリセル MC とも称し、ビット線 $\overline{B_L}$ と接続される他方を比較セル \overline{MC} とも称する。メモリセル MC および比較セル \overline{MC} によって、1 ビットのデータ記憶が実行される。具体的には、メモリセル MC には、記憶データが書込まれ、比較セル \overline{MC} へは、メモリセル MC と相補のデータが書込まれる。

10

【0026】

また、読出データを伝達するための相補のローカルデータ線 LIO および \overline{LIO} が配置される。ローカルデータ線 LIO および \overline{LIO} は、ローカルデータ線対 LIO_P を構成する。なお、以下においては、ローカルデータ線 LIO および \overline{LIO} を単にデータ線とも称する。また、ローカルデータ線対 LIO_P を単にデータ線対 LIO_P とも称する。

【0027】

また、データ線 LIO および \overline{LIO} を通過する通過電流差を増幅してデータとして出力するデータ増幅回路 90 をさらに設ける。データ増幅回路 90 は、活性化信号 SER に応答して活性化し、データ読出時に通過電流差を増幅する。

20

【0028】

また、各メモリセル列において、ビット線 B_L および $\overline{B_L}$ の他端と、データ線 LIO および \overline{LIO} との間にコラム選択ゲート CSG が設けられる。コラム選択ゲート CSG は、対応するコラム選択線 CSL の活性化 (「H」レベル) に応答してオンする。コラム選択線 CSL は、データ書込時およびデータ読出時の双方において、選択列で活性化 (「H」レベル) される。

【0029】

また、メモリセル列ごとにイコライズ回路 EQG が設けられる。イコライズ回路 EQG は、対応するビット線 B_L , $\overline{B_L}$ の間に接続されるトランジスタスイッチ 31 と、ビット線 B_L および接地電圧 GND の間に接続されるトランジスタスイッチ 32 と、ビット線 $\overline{B_L}$ および接地電圧 GND の間に接続されるトランジスタスイッチ 33 とを有する。トランジスタスイッチ 31、32 および 33 の各々は、たとえば N チャネル MOS トランジスタで構成される。

30

【0030】

トランジスタスイッチ 31 ~ 33 の各々のゲートには、メモリセル列に共通のビット線イコライズ信号 $BLEQ$ が入力される。ビット線イコライズ信号 $BLEQ$ は、少なくともデータ読出動作前の所定期間において、「H」レベルへ活性化される。

【0031】

図 23 は、従来 of データ読出回路系のデータ読出時の各内部回路の動作を説明するタイミングチャート図である。

40

【0032】

図 23 を参照して、データ読出前の時刻 t_A 前まで、ビット線イコライズ信号 $BLEQ$ は「H」レベルであり、ビット線 B_L および $\overline{B_L}$ は、接地電圧 GND にプリチャージされている。データ読出が開始される時刻 t_A において、ビット線イコライズ信号 $BLEQ$ は「L」レベルとなり、接地電圧 GND と切り離される。

【0033】

次に、時刻 t_B において、ワード線 WL が活性化 (「H」レベル) され、アクセストランジスタがオンしてビット線 B_L , $\overline{B_L}$ と接地電圧 GND とが電氣的に結合される。また、コラム選択ゲート CSG は、コラム選択線 CSL の活性化 (「H」レベル) に応答して

50

オンし、データ線 L I O , / L I O とビット線 B L , / B L とがそれぞれ電氣的に結合される。

【 0 0 3 4 】

次に、時刻 t B から期間 t W L 経過後の時刻 t C において、データ増幅回路 9 0 の活性化信号 S E R が活性化(「 L 」レベル)されてデータ読出電流が供給され、ビット線 B L , / B L およびデータ線 L I O , / L I O に対して充電が始まる。

【 0 0 3 5 】

この時刻 t C 以降において、データ読出電流が検知可能な程度通過電流差が生じるまでは、読出データ O U T , / O U T 間にもデータレベルを検知可能な電圧差は生じない。

【 0 0 3 6 】

データ増幅回路 9 0 からデータ読出電流が供給され、ビット線 B L , / B L およびデータ線 L I O , / L I O の充電が完了するタイミングに相当する時刻 t D ころからメモリセル M C の記憶データに基づく抵抗差すなわち通過電流差を検知することが可能となり、データ増幅回路 9 0 から電圧差 V が発生する。この読出データ O U T , / O U T の電圧差 V に基づき記憶データが読出される。

【 0 0 3 7 】

このように、データ読出が開始されてから実際にメモリセル M C の記憶データが出力されるまでには、上述したようにビット線およびデータ線の充電時間 t B L (時刻 t C ~ t D) が経過するまで待機する必要がある。

【 0 0 3 8 】

特に、データ線 L I O , / L I O は、一般的にメモリアレイが大容量となればなるほど負荷容量が増大し、それに伴いその充電時間が増加してしまう。このデータ読出時におけるデータ線の充電時間は上記のデータ読出の高速化の阻害要因となってきた。

【 0 0 3 9 】

本発明の目的は、データ読出開始時からのデータ線およびビット線の充電時間を短縮し、高速なデータ読出を可能とする薄膜磁性体記憶装置を提供する。

【 0 0 4 0 】

【課題を解決するための手段】

本発明の薄膜磁性体記憶装置は、各々が、磁氣的に書込まれた記憶データに応じた電気抵抗を有する複数のメモリセルと、複数のメモリセルのうち選択メモリセルのデータ読出時に活性化されるワード線と、データ読出時において、選択メモリセルを介して第 1 の電圧と電氣的に結合される第 1 のデータ線と、データ読出時において、選択メモリセルの比較対象として設けられた比較セルを介して第 1 の電圧と電氣的に結合される第 2 のデータ線と、データ読出時において、ワード線よりも先に活性化されて、第 1 および第 2 のデータ線の各々を第 2 の電圧と電氣的に結合するとともに、第 1 および第 2 のデータ線への電流供給を開始し、第 1 および第 2 のデータ線の間が生じる通過電流差に応じたデータ読出を行なうための差動増幅部と、データ読出前に、第 1 および第 2 のデータ線同士を電氣的に接続するとともに、各々を、第 1 の電圧とは異なる所定電圧に設定するためのイコライズ回路と、所定電圧を生成する所定電圧生成回路とを備える。差動増幅部は、各々の一方導通端子が、第 1 および第 2 のデータ線とそれぞれ電氣的に結合され、ゲートが共に基準電圧に接続され、他方導通端子が第 1 および第 2 の出力ノードとそれぞれ電氣的に結合される第 1 および第 2 のトランジスタを含むソースフォロワ型差動増幅部を構成する。所定電圧生成回路は、データ読出時に、第 1 および第 2 の電圧の間に差動増幅部を構成する第 1 および第 3 のトランジスタ、選択メモリセルおよび第 1 のデータ線を介して形成される電流経路を擬似的に構成する電流経路擬似回路を含む。電流経路擬似回路の中の電流経路上の所定ノードの電圧は、所定電圧としてイコライズ回路へ供給される。

好ましくは、差動増幅部は、第 1 のトランジスタの他方導通端子と第 2 の電圧との間に電氣的に結合される第 3 のトランジスタと、第 2 のトランジスタの他方導通端子と第 2 の電圧との間に電氣的に結合され、ゲートが第 3 のトランジスタのゲートとともに第 2 のトランジスタの他方導通端子と結合される第 4 のトランジスタとをさらに含む。

10

20

30

40

50

【0044】

特に、電流経路擬似回路において、選択メモリセルに対応する擬似抵抗素子として、選択メモリセルが有する電気抵抗の範囲内 (R_{min} 以上、 R_{max} 以下)である抵抗値を有する抵抗素子を備える。

【0045】

特に、擬似抵抗素子は、トンネル磁気抵抗素子である。

特に、所定電圧生成回路は、データ読出時において、制御信号に応じて電流経路を形成する。

【0054】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

【0055】

[実施の形態1]

図1は、本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0056】

図1を参照して、本発明の実施の形態に従うMRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDにตอบสนองしてランダムアクセスを行ない、書込データDINの入力および読出データDOUTの出力を実行する。

【0057】

MRAMデバイス1は、制御信号CMDにตอบสนองしてMRAMデバイス1の全体動作を制御するコントロール回路5と、行列状に配されたMTJメモリセルMCを含むメモリアレイ10とを備える。

【0058】

メモリアレイ10においては、MTJメモリセルの行にそれぞれ対応して、ワード線WLおよびデジタル線DLが配置され、MTJメモリセルの列にそれぞれ対応して、相補ビット線BLおよび/BLから構成されるビット線対BLPが配置される。図1においては、代表的に示される1個のMTJメモリセルMCと、これに対応するワード線WL、デジタル線DL、およびビット線対BLPの配置が示される。

【0059】

MRAMデバイス1は、アドレス信号によって示されるロウアドレスRAをデコードして、メモリアレイ10における行選択を実行するための行デコーダ20と、アドレス信号ADDによって示されるコラムアドレスCAをデコードして、メモリアレイ10における列選択を実行するための列デコーダ25と、読出/書込制御回路30および35とをさらに備える。

【0060】

読出/書込制御回路30および35は、メモリアレイ10に対してデータ書込動作を行なうための回路群、およびメモリアレイ10からデータ読出を行なうための回路群(以下、「データ読出回路系」とも称する)を総称したものである。

【0061】

デジタル線DLは、メモリアレイ10を挟んで行デコーダ20と反対側の領域において、接地電圧GNDと結合される。

【0062】

図2は、本発明の実施の形態1に従うデータ読出回路系の構成図である。

図2を参照して、メモリアレイ10は、ワード線WLとビット線BLおよび/BLの各々との交点に対応して、それぞれ配置されるMTJメモリセルを有する。すなわち、行アドレスおよび列アドレスの組合せで示される1つのアドレスに対応して、2個のMTJメモリセルが配置される。MTJメモリセルの各々は、図18に示したのと同様の構成を有し、対応するビット線BLまたは/BLと接地電圧GNDとの間に直列に接続された、トン

10

20

30

40

50

ネル磁気抵抗素子 TMR およびアクセス素子 (アクセストランジスタ) ATR とを有する。アクセストランジスタ ATR のゲートは、対応するワード線 WL と接続される。

【0063】

図2においては、第*i*番目 (*i*:自然数)のメモリセル行および第*j*番目 (*j*:自然数)に対応する、ワード線 WL_{*i*}、ディジット線 DL_{*i*}、ビット線 BL_{*j*}、/BL_{*j*}、ならびに、対応するメモリセル MC および比較セル /MC が代表的に示される。

【0064】

なお、以下においては、信号、信号線およびデータ等の2値的な高電圧状態 (たとえば、電源電圧 VCC) および低電圧状態 (たとえば、接地電圧 GND) を、それぞれ「H」レベルおよび「L」レベルとも称する。

【0065】

さらに、メモリアレイ 10 に隣接して、読出データおよび書込データを伝達するための相補のデータ線 LIO および /LIO が配置される。データ線 LIO および /LIO は、データ線対 LIO P を構成する。

【0066】

各メモリセル列において、ビット線 BL および /BL の他端と、データ線 LIO および /LIO との間にコラム選択ゲート CSG が設けられる。コラム選択ゲート CSG は、対応するコラム選択線 CSL の活性化 (「H」レベル) に応答してオンする。コラム選択線 CSL は、データ書込時およびデータ読出時の双方において、選択列で活性化 (「H」レベル) される。図2には、ビット線 BL_{*j*} および /BL_{*j*} に対応して設けられる、コラム選択線 CSL_{*j*} およびコラム選択ゲート CSG_{*j*} が代表的に示される。コラム選択ゲート CSG_{*j*} は、図22で示したコラム選択ゲートと同様の構成である。

【0067】

次に、MTJメモリセルからのデータ読出動作について説明する。

読出/書込制御回路30は、メモリセル列ごとに配置されたイコライズ回路 EQG を有する。図2においては、第*j*番目のメモリセル列に対応するイコライズ回路 EQG_{*j*} が代表的に示される。イコライズ回路 EQG_{*j*} は、図22で示したイコライズ回路と同様の構成である。

【0068】

読出/書込制御回路30は、さらに、データ線対 LIO P をイコライズするためのデータ線イコライズ回路50と、差動増幅器60とを有する。

【0069】

データ線イコライズ回路50は、データ線 LIO および /LIO の間に接続されるトランジスタスイッチ51と、データ線 LIO および接地電圧 GND の間に接続されるトランジスタスイッチ52と、データ線 /LIO および接地電圧 GND の間に接続されるトランジスタスイッチ53とを有する。トランジスタスイッチ51、52および53の各々は、たとえばNチャネルMOSトランジスタで構成される。

【0070】

トランジスタスイッチ51~53の各々のゲートには、行デコーダ20によって生成されるデータ線イコライズ信号 LIOEQ が入力される。データ線イコライズ信号 LIOEQ は、少なくともデータ読出動作前の所定期間において、「H」レベルへ活性化される。これに応答したプリチャージ・イコライズ動作によって、データ線 LIO および /LIO の各々は、接地電圧 GND へ設定される。

【0071】

差動増幅器60は、ノードN0およびデータ線 LIO の間に接続されたNチャネルMOSトランジスタ61と、ノード/N0とデータ線 /LIO との間に接続されたNチャネルMOSトランジスタ62と、ノードNs p およびノードN0の間に接続されるPチャネルMOSトランジスタ63と、ノードNs p およびノード/N0の間に接続されるPチャネルMOSトランジスタ64と、電源電圧 VCC およびノードNs p の間に接続されるPチャネルMOSトランジスタ65とを有する。

10

20

30

40

50

【 0 0 7 2 】

トランジスタ 6 3 および 6 4 の各々のゲートは、ノード N 0 と接続される。トランジスタ 6 3 および 6 4 は、カレントミラー回路を構成し、ノード N 0 および / N 0 の各々に対して、同一電流を供給しようとする。

【 0 0 7 3 】

トランジスタ 6 1 および 6 2 の各々のゲートには、V r e f 発生回路 5 5 によって生成される固定された基準電圧 V r e f が入力される。トランジスタ 6 1 および 6 2 は、データ線 L I O および / L I O を基準電圧以下に維持するとともに、データ線 L I O および / L I O の通過電流差を増幅して、ノード N 0 および / N 0 間の電圧差に変換する。

【 0 0 7 4 】

トランジスタ 6 5 のゲートへは、行デコーダ 2 0 によってデータ読出動作時に「 L 」レベルに活性化されるセンスイネーブル信号 / S E が入力される。トランジスタ 6 5 は、センスイネーブル信号 / S E の活性化（「 L 」レベル）に応答して動作電流を供給して、差動増幅器 6 0 を動作させる。

【 0 0 7 5 】

次に、図 3 を用いて、実施の形態 1 に従う M R A M デバイスにおけるデータ読出動作を説明する。

【 0 0 7 6 】

図 3 においても、第 i 行・第 j 列がデータ読出対象に選択された場合の動作について代表的に説明する。

【 0 0 7 7 】

図 3 を参照して、データ読出実行前の時刻 t 0 以前において、データ線イコライズ信号 L I O E Q およびビット線イコライズ信号 B L E Q は、「 H 」レベルに活性化されている。これにより、各メモリセル列においてビット線 B L および / B L は接地電圧 G N D にプリチャージされ、データ線 L I O , / L I O も接地電圧 G N D にプリチャージされる。

【 0 0 7 8 】

時刻 t 0 においてデータ読出動作が開始されると、まず、データ線イコライズ信号 L I O E Q およびビット線イコライズ信号 B L E Q が「 L 」レベルへ非活性化されて、各ビット線 B L , / B L およびデータ線 L I O , / L I O は、接地電圧 G N D から切り離される。時刻 t 0 は、図 2 3 の時刻 t A に相当する。

【 0 0 7 9 】

次に、時刻 t 1 において、センスイネーブル信号 / S E が「 L 」レベルに活性化されて、差動増幅器 6 0 が活性化される。これにより、データ線 L I O および / L I O の各々の充電が電源電圧 V C C により開始される。

【 0 0 8 0 】

次に、時刻 t 2 において、選択行のワード線 W L i および選択列のコラム選択線 C S L j が各々「 H 」レベルに活性化される。このように本実施の形態 1 においては、センスイネーブル信号 S E をコラム選択線 C S L およびワード線 W L よりも早く活性化する。ここで、時刻 t 2 は、図 2 3 の時刻 t B に相当する。

【 0 0 8 1 】

選択行のワード線 W L i および選択列のコラム選択線 C S L j の活性化に応答して、データ線 L I O は、ビット線 B L j およびメモリセル M C を介して接地電圧 G N D へプルダウンされ、データ線 / L I O は、ビット線 / B L j および比較セル / M C を介して接地電圧 G N D へプルダウンされる。既に説明したように、メモリセル M C および比較セル / M C へは互いに相補のデータが書込まれているので、それぞれの電気抵抗は R m a x および R m i n の一方ずつである。

【 0 0 8 2 】

センスイネーブル信号 / S E の活性化に応じて、トランジスタ 6 5 によって供給される動作電流は、データ線 L I O , / L I O と、ビット線 B L j , / B L j と、メモリセル M C および比較セル / M C のトンネル磁気抵抗素子 T M R を通過して接地電圧 G N D へ至る経

10

20

30

40

50

路を流れる。

【0083】

差動増幅器60において、トランジスタ63および64で構成されたカレントミラー回路は、データ線L I Oおよび/ L I Oの各々に同一電流を供給しようとする。しかし、選択アドレスに対応するメモリセルM Cおよび比較セル/ M C間には電気抵抗差 Rが存在するので、両者の通過電流には電流差が生じようとする。この電流差によって生じようとする、ビット線B L jおよび/ B L jの間、すなわちデータ線L I Oおよび/ L I O間の電圧差は、差動増幅器60中のトランジスタ61および62におけるソース・ドレイン電圧の差に相当するので、上記の電気抵抗差 Rは、トランジスタ61および62の通過電流(ソース・ドレイン電流)差に変換される。すなわち、この電流差が、時刻t3において、ビット線B L jおよび/ B L j間、ならびにデータ線L I Oおよび/ L I O間の電流差として現われる。トランジスタ61および62は、電流差を増幅した電圧レベル差 Vを、ノードN0および/ N0間に生じさせる。電圧レベル差 Vの極性、すなわちノードN0および/ N0の電圧の高低は、選択されたメモリセルM Cの記憶データに応じて異なる。すなわち、図3に示されるように、ここでは差動増幅部60のノードN0, / N0から出力されるデータ信号O U T, / O U Tの電圧差が生じ、これに応答して記憶データの「H」レベルおよび「L」レベルに対応する読出データが出力される。

10

【0084】

本実施の形態においては、センスイネーブル信号/ S Eをコラム列選択線C S Lおよびワード線W Lよりも早く活性化(「L」レベル)することにより、コラム列選択線C S Lおよびワード線W Lの活性化前にデータ線L I O, / L I Oの充電を開始することができる。

20

【0085】

すなわち、センスイネーブル信号S Eが活性化(「L」レベル)されてからビット線およびデータ線が充電されるまでの時刻t1~t3の充電時間t B Lについては、図23で示した従来例で説明した充電期間と同様であるが、電流の供給タイミングをはじめる図23に示した期間t W Lを除去し、データ読出の所要時間を短縮することができる。

【0086】

一方、充電が完了したビット線B L jおよび/ B L j間、ならびにデータ線L I Oおよび/ L I O間には電圧差は生じず、データ線L I O, / L I Oおよびビット線B L j, / B L jの各々の電圧は、“V r e f - V t h - V m c”に落ち着く。ここで、V t hはトランジスタ61, 62のしきい値電圧に相当し、V m cは、メモリセルM Cおよび比較セル/ M Cで生じる電圧降下に相当する。

30

【0087】

基準電圧V r e fはトンネル磁気抵抗素子中のトンネルバリアである絶縁膜の信頼性等を考慮して、上記の電圧“V r e f - V t h - V m c”がたとえば約400mV程度となるように設定される。これにより、過電圧印加によるメモリセル破壊を回避して、動作信頼性を向上できる。

【0088】

以上説明したように、実施の形態1に従う構成においては、行および列選択動作を実行する前に、センスイネーブル信号/ S Eを活性化(「L」レベル)させて、差動増幅器60によりデータ線L I O, / L I Oの充電を前もって開始させることにより、データ読出開始時からデータが読出されるまでの期間を短縮し、データ読出を高速化することができる。

40

【0089】

[実施の形態2]

本発明の実施の形態2は、製造時の各素子のばらつきに基づき生じるビット線対B L Pおよびデータ線対L I O Pの容量アンバランスを抑制することを目的とする。

【0090】

図4は、実施の形態2に従うデータ読出回路系の構成図である。

50

図4を参照して、実施の形態2に従う構成においては、図2に示した構成と比較して、データ線イコライズ回路50に代えてデータ線イコライズ回路50aが配置される点が異なる。

【0091】

イコライズ回路EQGjは、図2に示されるイコライズ回路EQGjと比較して、イコライズするトランジスタスイッチ31と、プリチャージするトランジスタスイッチ32および33とがそれぞれ独立に制御される点が異なる。すなわち、トランジスタスイッチ31のゲートは、ビット線イコライズ信号BLEQの入力を受け、トランジスタスイッチ32および33のゲートは、共にビット線プリチャージ信号BLPREの入力を受ける。ビット線プリチャージ信号BLPREは、行デコーダ20によって生成される。

10

【0092】

データ線イコライズ回路50aは、図2に示されるデータ線イコライズ回路50と比較して、イコライズに用いられるトランジスタスイッチ51と、プリチャージに用いられるトランジスタスイッチ52および53とがそれぞれ独立に制御される点が異なる。すなわち、トランジスタスイッチ51のゲートは、データ線イコライズ信号LIOEQの入力を受け、トランジスタスイッチ52および53のゲートは、共にデータ線プリチャージ信号LIOPREの入力を受ける。データ線プリチャージ信号LIOPREは、行デコーダ20によって生成される。

【0093】

実施の形態2に従うMRAMデバイスのその他の部分の構成は、実施の形態1と同様であるので詳細な説明は繰返さない。

20

【0094】

次に、図5を用いて、実施の形態2に従うMRAMデバイスにおけるデータ読出動作を説明する。図5においても、第i行・第j列がデータ読出対象に選択された場合の動作について代表的に説明する。

【0095】

図5を参照して、データ読出動作が開始される時刻t0以前において、ビット線イコライズ信号BLEQおよびデータ線イコライズ信号LIOEQおよびビット線プリチャージ信号BLPREおよびデータ線プリチャージ信号LIOPREは「H」レベルに活性化されるので、各メモリセル列においてビット線BLおよび/BLならびにデータ線LIOおよび/LIOは接地電圧GNDと電氣的に結合される。また、各ビット線間および各データ線間は電氣的に結合され、イコライズされている。

30

【0096】

データ読出開始時における時刻t0において、ビット線およびデータ線プリチャージ信号BLPREおよびLIOPREは「L」レベルとなり、ビット線BLおよび/BLならびにデータ線LIOおよび/LIOは接地電圧GNDと電氣的に切り離される。

【0097】

時刻t1において、センスイネーブル信号/SEが「L」レベルに活性化されて、差動増幅器60の動作が開始される。これにより、データ線LIOおよび/LIOの各々の充電が電源電圧VCCにより開始される。なお、このタイミングでは、データ線LIOおよび/LIOは、トランジスタ51によって、電氣的な接続を維持されているため同電位で充電される。

40

【0098】

時刻t2において、選択行のワード線WL_iおよび選択列のコラム選択線CSL_jの活性化に応答して、データ線LIOは、ビット線BL_jおよびメモリセルMCを介して接地電圧GNDへプルダウンされ、データ線/LIOは、ビット線/BL_jおよび比較セル/MCを介して接地電圧GNDへプルダウンされる。

【0099】

また、同様のタイミングでビット線およびデータ線イコライズ信号BLEQおよびLIOEQは、「L」レベルとなり、各ビット線および各データ線は、電氣的に切り離される。

50

【0100】

ビット線およびデータ線が充電された時刻 t_4 において、選択アドレスにおけるメモリセル MC および比較セル $/MC$ の電気抵抗差 R に応じた、実施の形態 1 と同様の電流差が、ビット線 BL_j および $/BL_j$ 間、ならびにデータ線 LIO および $/LIO$ 間に生じる。この電流差は、トランジスタ 61 および 62 によって、実施の形態 1 と同様にノード N_0 および $/N_0$ 間の電圧レベル差 V に変換される。

【0101】

一方で、ビット線 BL_j および $/BL_j$ 間ならびに、データ線 LIO および $/LIO$ 間には電圧差は発生せず、各々の電圧は、図 3 に示したのと同様に、“ $V_{ref} - V_{th} - V_{mc}$ ” に落ち着く。

10

【0102】

このように、データ線イコライズ信号 $LIOEQ$ を差動増幅器 60 の動作開始後も活性化させて、相補のデータ線間を互いに電氣的に結合させることにより負荷容量のアンバランスを調整することができる。すなわち、データ線 LIO および $/LIO$ の充電時間を平均化することができる。

【0103】

したがって、相補のデータ線間の負荷容量のアンバランスが大きい場合、他方のデータ線の充電時間が一方のデータ線に比べて長い場合、不均衡に伴うデータ読出の遅延という問題を回避することができる。この結果として高速なデータ読出を安定的に実行することが可能となる。すなわち、実施の形態 2 に従う構成においては、データ読出回路系を構成する、各素子の製造時のばらつきにより生じる相補のデータ線間の負荷容量のアンバランスが大きい場合にも相補のデータ線間を電氣的にある一定期間結合させることにより、そのアンバランスを調整し、実施の形態 1 よりもデータ読出を安定的にかつ高速に実行することができる。

20

【0104】

なお、本構成においては、ビット線イコライズ信号 $BLEQ$ およびデータ線イコライズ信号 $LIOEQ$ を「L」レベルにするタイミングをワード線 WL およびコラム選択線 CSL の活性化（「H」レベル）と同様のタイミングとする構成について説明したが、これに限られず、ワード線 WL およびコラム選択線 CSL の活性化タイミングよりも後一定期間経過後にビット線イコライズ信号 $BLEQ$ およびデータ線イコライズ信号 $LIOEQ$ を「L」レベルとすることも可能である。

30

【0105】

[実施の形態 3]

実施の形態 3 においては、プリチャージ電圧を接地電圧 GND に代えて所定電圧に置換する構成について説明する。

【0106】

図 6 は、実施の形態 3 に従うデータ読出回路系の構成を示す回路図である。

図 6 を参照して、実施の形態 3 に従う構成においては、図 2 に示した構成と比較して、イコライズ回路 EQG_j が、プリチャージ電圧である接地電圧 GND の代わりに VBL 発生回路 54 によって生成される所定電圧 VBL がプリチャージ電圧として入力される点異なる。また、データ線イコライズ回路 50 が、プリチャージ電圧である接地電圧 GND の代わりに所定電圧 VBL がプリチャージ電圧として入力される点異なる。ここで、所定電圧 VBL は、上述した“ $V_{ref} - V_{th} - V_{mc}$ ”に相当するレベルへ設定される。

40

【0107】

次に、図 7 を用いて、実施の形態 3 に従う $MRAM$ デバイスにおけるデータ読出動作を説明する。図 7 においても、第 i 行・第 j 列がデータ読出対象に選択された場合の動作について代表的に説明する。

【0108】

図 7 を参照して、データ読出動作が開始される時刻 t_0 前において、ビット線およびデータ線イコライズ信号 $BLEQ$ 、 $LIOEQ$ は「H」レベルに活性化されるので、各メモリ

50

セル列においてビット線 B_L および \bar{B}_L ならびにデータ線 L_{IO} および \bar{L}_{IO} は所定電圧 V_{BL} にプリチャージされる。また、各ビット線間および各データ線間は電氣的に結合され、イコライズされている。

【0109】

時刻 t_0 において、ビット線およびデータ線イコライズ信号 B_{LEQ} および L_{IOEQ} は「L」レベルとなり、ビット線 B_L および \bar{B}_L ならびにデータ線 L_{IO} および \bar{L}_{IO} と所定電圧 V_{BL} とが電氣的に切り離される。

【0110】

時刻 t_1 において、センスイネーブル信号 $/SE$ が「L」レベルに活性化されて、差動増幅器 60 の動作が開始される。これにより、データ線 L_{IO} および \bar{L}_{IO} の充電が電源電圧 V_{CC} により開始される。

10

【0111】

その後の動作については、実施の形態 1 で説明したのと同様であるのでその説明は繰り返さない。

【0112】

本実施の形態 3 においては、差動増幅器 60 の動作開始時もうすでにビット線およびデータ線が所定電圧 V_{BL} のレベルに充電された状態にある。したがって、ワード線 W_L およびコラム選択線 CS_L の活性化後のすぐ後の時刻 t_5 に選択アドレスにおけるメモリセル MC および比較セル $/MC$ の電気抵抗差 R に応じた、実施の形態 1 と同様の電流差が、ビット線 B_{Lj} および \bar{B}_{Lj} 間、ならびにデータ線 L_{IO} および \bar{L}_{IO} 間に生じる。また、これに 응답してノード N_0 および \bar{N}_0 間の電圧レベル差 V に変換される。

20

【0113】

このように、実施の形態 3 に従う構成によれば、 V_{BL} 発生回路 54 で発生させた所定電圧 V_{BL} でビット線およびデータ線をプリチャージすることによって、ビット線およびデータ線の充電時間をさらに短縮し、 $MRAM$ デバイスからの高速なデータ読出をさらに高速化することができる。

【0114】

[実施の形態 3 の変形例]

図 8 は、実施の形態 3 の変形例に従うデータ読出回路系の構成を示す回路図である。

【0115】

実施の形態 3 の変形例は、製造時の各素子のばらつきに基づき生じるビット線対 B_{LP} およびデータ線対 L_{IOP} の容量アンバランスを抑制することを目的とする。

30

【0116】

図 8 を参照して、実施の形態 3 の変形例に従う構成においては、実施の形態 2 に従う構成と比較して、イコライズ回路 EQ_{Gj} が、プリチャージ電圧である接地電圧 GND の代わりに V_{BL} 発生回路 54 によって生成される所定電圧 V_{BL} をプリチャージ電圧として入力される点が異なる。また、データ線イコライズ回路 50a が、プリチャージ電圧である接地電圧 GND の代わりに所定電圧 V_{BL} をプリチャージ電圧として入力される点が異なる。その他の部分の構成および動作は、実施の形態 2 と同様であるので、詳細な説明は繰り返さない。

40

【0117】

次に、図 9 を用いて、実施の形態 3 の変形例に従う $MRAM$ デバイスにおけるデータ読出動作を説明する。図 9 においても、第 i 行・第 j 列がデータ読出対象に選択された場合の動作について代表的に説明する。

【0118】

図 9 を参照して、データ読出動作が開始される時刻 t_0 以前においては、ビット線およびデータ線イコライズ信号 B_{LEQ} 、 L_{IOEQ} およびビット線およびデータ線プリチャージ信号 B_{LPRE} 、 L_{IOPRE} が「H」レベルに活性化されるので、各メモリセル列においてビット線 B_L および \bar{B}_L ならびにデータ線 L_{IO} および \bar{L}_{IO} は所定電圧 V_{BL} にプリチャージされる。また、各ビット線間および各データ線間は電氣的に結合され、

50

イコライズされている。

【 0 1 1 9 】

時刻 t_0 において、ビット線およびデータ線プリチャージ信号 $BLPRE$ および $LIOPRE$ が「L」レベルとなり、プリチャージが終了し、データ読出動作が開始される。

【 0 1 2 0 】

時刻 t_1 において、センスイネーブル信号 SE が「L」レベルに活性化されて、差動増幅器 60 の動作が開始される。これにより、データ線 LIO および $/LIO$ の各々の充電が電源電圧 VCC により開始される。なお、このタイミングでは、データ線 LIO および $/LIO$ は、トランジスタ 51 によって、電気的な接続を維持されているため同電位で充電される。

10

【 0 1 2 1 】

その後の動作については、実施の形態 2 で説明したのと同様であるのでその説明は繰り返さない。

【 0 1 2 2 】

本実施の形態 3 の変形例においては、差動増幅器 60 の動作開始時にもうすでにビット線およびデータ線が所定電圧 VBL のレベルに充電された状態にある。したがって、ワード線 WL およびコラム選択線 CSL の活性化後およびビット線およびデータ線イコライズ信号 $BLEQ$ および $LIOEQ$ を「L」レベルにする時刻 t_2 と同様のタイミングに選択アドレスにおけるメモリセル MC および比較セル $/MC$ の電気抵抗差 R に応じた、実施の形態 1 と同様の電流差が、ビット線 BLj および $/BLj$ 間、ならびにデータ線 LIO および $/LIO$ 間に生じる。また、これに应答してノード $N0$ および $/N0$ 間の電圧レベル差 V に変換される。

20

【 0 1 2 3 】

このように、差動増幅器 60 の動作開始時にすでにビット線およびデータ線を所定電圧 VBL のレベルに充電しておくことにより、ビット線およびデータ線の充電時間をさらに短縮することができる。

【 0 1 2 4 】

また、実施の形態 3 の変形例に従う構成によれば、データ読出回路系を構成する、各素子の製造時のばらつきにより生じるデータ線の負荷容量のアンバランスが大きい場合にもデータ線イコライズ信号 $LIOEQ$ を差動増幅器 60 の動作開始後も活性化させて、相補のデータ線間を互いに電気的に結合させることにより負荷容量のアンバランスを調整することができる。すなわち、データ線 LIO および $/LIO$ の充電時間を平均化することができる。したがって、実施の形態 3 よりも $MRAM$ デバイスからの高速なデータ読出を安定的に実行することができる。

30

【 0 1 2 5 】

なお、本構成においては、ビット線およびデータ線イコライズ信号 $BLEQ$ および $LIOEQ$ を「L」レベルにするタイミングをワード線 WL およびコラム選択線 CSL の活性化（「H」レベル）と同様のタイミングとする構成について説明したが、これに限られず、ワード線 WL およびコラム選択線 CSL の活性化タイミングよりも後にビット線およびデータ線イコライズ信号 $BLEQ$ および $LIOEQ$ を「L」レベルとすることも可能である。

40

【 0 1 2 6 】

[実施の形態 4]

実施の形態 4 においては、実施の形態 3 およびその変形例に用いられる VBL 発生回路 54 の構成について説明する。

【 0 1 2 7 】

本発明の実施の形態 4 は、データ読出回路系と等価な電流経路を形成する回路を構成することにより、所望の電圧 VBL を生成することを目的とする。

【 0 1 2 8 】

図 10 は、実施の形態 4 に従う VBL 発生回路 54 の構成を示す回路図である。

50

【 0 1 2 9 】

図 1 0 を参照して、実施の形態 4 に従う V B L 発生回路 5 4 は、直列に接続されたセンス等価回路 6 0 # と、トランジスタ 4 1 # および 4 2 # と、抵抗素子 4 3 # とを備える。トランジスタ 4 1 # および 4 2 # は、電源電圧 V C C の入力を受けてオンしている。また、トランジスタ 4 1 # は、トランジスタ 4 1 と同様に設計されるトランジスタ特性を有する。トランジスタ 4 2 # は、メモリセルのアクセストランジスタ A T R を擬似的に設計し、同様のトランジスタ特性を有する。また、抵抗素子 4 3 # は、メモリセルのトンネル磁気抵抗素子 T M R を擬似的に設計し、同様の抵抗素子特性を有する。なお、抵抗素子 4 3 # は、トンネル磁気抵抗素子 T M R が有する抵抗素子特性である電気抵抗の最大値 R m a x と最小値 R m i n との所定範囲内に抵抗値を設定することが可能である。

10

【 0 1 3 0 】

センス等価回路 6 0 # は、電源電圧 V C C と直列に接続されたトランジスタ 6 5 # , 6 4 # および 6 2 # を含む。トランジスタ 6 5 # は、差動増幅器 6 0 に含まれるトランジスタ 6 5 と同様に設計されるトランジスタ特性を有し、活性化信号 A C T に応答してオンする。また、トランジスタ 6 4 # は、トランジスタ 6 4 と同様に設計されるトランジスタ特性を有し、トランジスタ 6 4 # のゲートは、ドレイン側と接続される。また、トランジスタ 6 2 # は、トランジスタ 6 2 と同様に設計されるトランジスタ特性を有し、基準電圧 V r e f の入力を受けてオンする。この V B L 発生回路 5 4 は、データ読出時に活性化信号 A C T を入力して、トランジスタ 6 5 # をオンし、電圧 V B L をノード R E F L I O から出力する。もしくは電圧 V B L をノード R E F B L から出力する。ノード R E F L I O およびノード R E F B L との間には、トランジスタ 4 1 # が配置されているが、高電圧である電源電圧 V C C を受けてオンしているため、ノード R E F L I O の電圧レベルとノード R E F B L の電圧レベルは、ほぼ同様の値である。

20

【 0 1 3 1 】

ここで、電圧 V B L は、“ V r e f - V t h - V m c ” に設定される。ここで、 V t h はトランジスタ 6 2 # のしきい値電圧に相当し、 V m c は、抵抗素子 4 3 # で生じる電圧降下に相当する。

【 0 1 3 2 】

すなわち、本実施の形態の V B L 発生回路 5 4 は、上記の実施の形態におけるデータ読出回路系のデータ線 / L I O およびビット線 / B L 側の電源電圧 V C C から接地電圧 G N D までのメモリセルを介して形成される電流経路を擬似的に構成した電流経路擬似回路である。

30

【 0 1 3 3 】

このような構成とすることにより、 V B L 発生回路 5 4 は、所望の所定電圧 V B L を安定的に供給することができる。

【 0 1 3 4 】

なお、これまで説明した、実施の形態 1 から 3 およびそれらの変形例においては、相補のデータ線を用いたデータ読出動作を前提としているが、メモリアレイ 1 0 の構成については、これまで説明したように、2 個の M T J メモリセルによって 1 ビットを記憶するメモリセル配置に限定されるものではない。

40

【 0 1 3 5 】

図 1 1 は、相補のデータ線によってデータ読出動作を行なうためのアレイ構成のバリエーションを説明する概念図である。

【 0 1 3 6 】

図 1 1 (a) には、実施の形態 1 から 4 およびそれらの変形例で示した、2 個の M T J メモリセルによって 1 ビットを記憶するメモリセル配置が示される。この配置では、同一アドレスに対応する 2 個のメモリセル M C および / M C が相補のデータ線 L I O (B L) および / L I O (/ B L) とそれぞれ接続されて、相補データ線間の通過電流差に基づいたデータ読出が実行される。

【 0 1 3 7 】

50

図11(a)に示したメモリセル配置は、記憶ビット数の2倍のMTJメモリセルが必要となるものの、実際に相補データを記憶しているMTJメモリセル間の通過電流差に応じてデータ読出を実行するため、トンネル磁気抵抗素子の製造特性のばらつきに追従して、高精度のデータ読出を実行することができる。

【0138】

図11(b)および(c)には、中間的な電気抵抗を有するダミーメモリセルを用いたメモリセル配置が示される。ダミーメモリセルDMCは、メモリセルMCの2種類の記憶データレベル("1", "0")にそれぞれ対応した電気抵抗 R_{max} および R_{min} の中間値である電気抵抗 R_m を有する。好ましくは、 $R_m = R_{min} + R/2$ ($R = R_{max} - R_{min}$)に設計される。通常、ダミーメモリセルDMCは、正規のMTJメモリセルMCと同様のトンネル磁気抵抗素子TMRを含むように設計される。

10

【0139】

ダミーメモリセルDMCを配置する構成では、1個のMTJメモリセルごとに1ビットのデータ記憶を実行するので、メモリセルの配置個数を削減することが可能となる。

【0140】

図11(b)には、ダミーメモリセルDMCがダミー行を形成する配置例が示される。

【0141】

この配置においては、各メモリセル行において、メモリセルMCは、ビット線BLまたは/BLのいずれかと接続される。たとえば、奇数行においてビット線BLと接続され、偶数行においてビット線/BLと接続されるように、メモリセルMCは交互配置される。

20

【0142】

詳細は図示しないが、ダミーメモリセルDMCは、2つのダミー行にわたって、正規のメモリセルMCとメモリセル列を共有するように配置される。さらに、ダミー行にそれぞれ対応して、ダミーワード線DWL1およびDWL2が配置される。ダミーメモリセルDMCは、それぞれのダミー行において、ビット線BLまたは/BLの一方と接続される。

【0143】

このような配置とすることにより、ワード線WLおよびダミーワード線DWL1, DWL2の選択的な活性化によって、相補のデータ線LIO(BL)および/LIO(/BL)の一方ずつに、選択されたメモリセルMCおよびダミーメモリセルDMCをそれぞれ接続することができるので、相補データ線間の通過電流差に基づいたデータ読出が可能となる。

30

【0144】

また、図11(c)に示されるように、ダミー列を形成するようにダミーメモリセルDMCを配置することもできる。ダミーメモリセルDMCは、正規のメモリセルMCとメモリセル行を共有するように配置され、さらに、ダミー列に対応してダミービット線DBLが設けられる。データ線LIOおよび/LIOは、選択列のビット線およびダミービット線DBLと接続される。

【0145】

このような配置とすることにより、ワード線WLの選択的な活性化によって、相補のデータ線LIO(BL)および/LIO(DBL)に、選択されたメモリセルMCおよびダミーメモリセルDMCをそれぞれ接続することができるので、相補データ線間の通過電流差に基づいたデータ読出が可能となる。

40

【0146】

すなわち、ダミーメモリセルDMCを配置して、1個のMTJメモリセルごとに1ビットのデータ記憶を実行する構成としても、実施の形態1から4およびそれらの変形例に従うデータ読出回路系の構成において、比較セル/MCに代えてダミーメモリセルDMCを適用することにより、同様のデータ読出動作を実行することが可能である。

【0147】

[実施の形態5]

実施の形態5においては、中間的な電気抵抗を有する基準セル、すなわち図11(b),

50

(c) に示したダミーメモリセルDMCの配置を前提としたデータ読出回路系の構成について説明する。

【0148】

図12は、実施の形態5に従うデータ読出回路系の構成を示す回路図である。図12を参照して、メモリアレイ10には、図11(b)と同様に、メモリセルMCおよびダミーメモリセルDMCが配置される。すなわち、ダミーメモリセルDMCは、2行にわたって、正規のメモリセルMCとメモリセル列を共有するように配置される。

【0149】

各メモリセル列に対応して、互いに相補のビット線BLおよび/BLによって構成されるビット線対BLPjが配置される。各ビット線BLおよび/BLにそれぞれ対応して、プリチャージゲートPGおよび/PGが設けられる。各プリチャージゲートPGおよび/PGは、ビット線プリチャージ信号BLPRに応答して、対応するビット線BLおよび/BLの一端側を接地電圧GNDと結合する。

【0150】

メモリセルMCは、奇数行においてビット線BLと接続され、偶数行においてビット線/BLと接続されるように、1行おきに交互配置される。メモリセルMCは、対応するビット線BLまたは/BLと接地電圧GNDとの間に接続される、トンネル磁気抵抗素子TMRおよびアクセス素子(アクセストランジスタ)ATRを有する。アクセストランジスタATRは、対応するワード線WLの活性化に応答してオンする。

【0151】

ダミーメモリセルの行にそれぞれ対応して、ダミーワード線DWL1およびDWL2が配置される。ダミーワード線DWL1に対応するダミーメモリセル群は、対応するビット線/BLと接地電圧GNDとの間に接続される、ダミー磁気抵抗素子TMRdおよびダミーアクセス素子(アクセストランジスタ)ATRdを有する。ダミーアクセス素子ATRdは、奇数行の選択時に活性化されるダミーワード線DWL1に応じてオンする。

【0152】

これに対して、ダミーワード線DWL2に対応するダミーメモリセル群は、対応するビット線BLと接地電圧GNDとの間に接続される、ダミー磁気抵抗素子TMRdおよび、ダミーアクセス素子(アクセストランジスタ)ATRdを有する。ダミーアクセス素子ATRdは、偶数行の選択時に活性化されるダミーワード線DWL2に応じてオンする。

【0153】

各ダミーメモリセルDMCの電気抵抗Rmは、 $R_m = R_{min} + (R/2)$ に設計される。たとえば、電気抵抗Rminに対応するデータを記憶した、メモリセルMCと同様のトンネル磁気抵抗素子TMRによってダミー磁気抵抗素子TMRdを構成し、かつ、ダミーアクセス素子ATRdのオン抵抗をアクセストランジスタATRよりもR/2大きく設定することによって、ダミーメモリセルDMCが構成される。あるいは、ダミーアクセス素子ATRdとアクセストランジスタATRのオン抵抗を同様に設計し、ダミー磁気抵抗素子TMRdを、電気抵抗Rminに対応するデータを記憶するトンネル磁気抵抗素子TMRと電気抵抗がR/2の固定抵抗との直列接続によって、ダミーメモリセルDMCを構成することもできる。

【0154】

図12においては、第1番目および第2番目のメモリセル列に対応するワード線WL1, WL2およびディジット線DL1, DL2と、第j番目のメモリセル列に対応するビット線BLjおよび/BLjと、これらに対応するメモリセルMCおよびダミーメモリセルDMCが代表的に示される。

【0155】

実施の形態5に従う構成においては、各メモリセル列に対応して配置されるコラム選択ゲートCSGと、メモリアレイ10に隣接して配置される相補のデータバスDBおよび/DBがさらに設けられる。データバスDBおよび/DBは、データバス対DBPを構成する。

【0156】

コラム選択ゲートCSGは、ビット線BLおよび/BLの他端側と、データバスDBおよび/DBとの間に接続され、対応するコラム選択線CSLの活性化にตอบสนองしてオンする。たとえば、コラム選択ゲートCSGjは、コラム選択線CSLjの活性化にตอบสนองして、対応するビット線BLjおよび/BLjの他端側をデータバスDBおよび/DBとそれぞれ接続する。

【0157】

また、差動増幅器60は、データバス線DBおよび/DBと接続され、データバス線DBおよび/DBの通過電流差を増幅して、ノードN0および/N0間の電圧差に変換する。

【0158】

また、データ読出時にビット線BLjおよび/BLjの電圧レベルを調整するレベル調整回路70がビット線BLjおよび/BLjに対して設けられる。

【0159】

レベル調整回路70は、ビット線BLおよび/BL間に直列に接続されるキャパシタ/CjおよびCjと、その接続ノードと電氣的に結合される信号線kuとを含む。

【0160】

次に、図13を用いて、実施の形態5に従うMRAMデバイスにおけるデータ読出動作を説明する。

【0161】

データ読出前においては、各ワード線WLは非活性化されているので、ビット線BLおよび/BLと、メモリセルMCおよびダミーメモリセルDMCの間は切離される。また、ビット線プリチャージ信号BLPRが活性化されているので、ビット線BLおよび/BLの各々は、接地電圧GNDへプリチャージされる。

【0162】

さらに、各コラム選択線CSLも非活性化されているので、データバスDBおよび/DBは、各ビット線BLおよび/BLから切離されている。

【0163】

データ読出時には、ビット線プリチャージ信号BLPRは非活性化されて、各ビット線BL、/BLは、接地電圧GNDから切り離される。さらに、アドレス選択に応じて、選択行のワード線、選択列のコラム選択線およびダミーワード線DWL1およびDWL2の一方が選択的に活性化される。

【0164】

これに応じて、データバスDBおよび選択列のビット線BLは、選択されたメモリセルMCおよびダミーメモリセルDMCの一方を介して、電源電圧VCCおよび接地電圧GNDの間に電氣的に結合される。同様に、データバス/DBおよび選択列のビット線/BLは、選択されたメモリセルMCおよびダミーメモリセルDMCの他方を介して、電源電圧VCCおよび接地電圧GNDの間に電氣的に結合される。

【0165】

また、このとき信号線kuが活性化される。これにตอบสนองしてキャパシタCjおよび/Cjによる容量結合によってビット線BLjおよび/BLjの電圧レベルを上昇させることができる。

【0166】

これにตอบสนองして、時刻T0において、検知可能な記憶データに応じた通過電流差を速やかにデータバスDBおよび/DBに対して生じさせることができる。

【0167】

このデータバスDBおよび/DBの通過電流差に応じて、ノードN0および/N0の間に、選択されたメモリセルMCの記憶データに応じた電圧差が発生する。この結果、差動増幅器60は、選択されたメモリセルMCの記憶データのレベルを反映した読出データDOUTを生成できる。

【0168】

10

20

30

40

50

図 1 3 に示すように、レベル調整回路 7 0 を設けることにより、設けていない場合に検知可能な通過電流差が生じる時刻 T_1 よりも早い時刻 T_0 から記憶データに応じた通過電流差が生じることになる。

【 0 1 6 9 】

なお、データバス DB とダミーメモリセル DMC が接続された場合でも、差動増幅器 6 0 の入力側とデータバス DB および / DB との間の接続を特に切換えなくとも、選択されたメモリセル MC およびダミーメモリセル DMC の通過電流差に基づいた同様のデータ読出動作が実行できる。

【 0 1 7 0 】

一方、ビット線 BLj および / BLj 間、ならびにデータバス線 DB および / DB 間には電圧差は生じず、データバス線 DB, / DB およびビット線 BLj, / BLj の各々の電圧は、上述したのと同様に " $V_{ref} - V_{th} - V_{mc}$ " に落ち着く。ここで、 V_{th} はトランジスタ 6 1, 6 2 のしきい値電圧に相当し、 V_{mc} は、メモリセル MC およびダミーメモリセル DMC で生じる電圧降下に相当する。

【 0 1 7 1 】

以上説明したように、実施の形態 5 に従う構成においては、データ読出時に信号線 ku を活性化して、キャパシタ Cj および / Cj の容量結合によってビット線 BLj および / BLj の電圧レベルを上昇させてデータバス線対 DBP の充電時間を短縮し、早期に記憶データを読出すことができる。すなわち、データバス線対を所定の電圧レベルに充電する充電時間を短縮し、高速なデータ読出を実行することができる。

【 0 1 7 2 】

[実施の形態 5 の変形例 1]

図 1 4 は、実施の形態 5 の変形例 1 に従うデータ読出回路系の構成を示す回路図である。

【 0 1 7 3 】

図 1 4 を参照して、実施の形態 5 の変形例 1 に従う構成においては、実施の形態 5 と比較して、レベル調整回路 7 0 のキャパシタ Cj および / Cj の接続ノードは、コラム選択線 CSLj と電気的に接続される点異なる。この結果、信号線 Ku の配置が不要となり削除される。

【 0 1 7 4 】

次に、図 1 5 を用いて、実施の形態 5 の変形例 1 に従う M R A M デバイスにおけるデータ読出動作を説明する。

【 0 1 7 5 】

データ読出前については、実施の形態 5 で説明したのと同様であるのでその説明は繰り返さない。

【 0 1 7 6 】

実施の形態 5 と比較して異なる点は、選択行のワード線、選択列のコラム選択線およびダミーワード線 DWL 1 および DWL 2 の一方が選択的に活性化されるタイミングと同じタイミングで、キャパシタ Cj および / Cj の容量結合によって、ビット線 BLj および / BLj の電圧レベルが上昇する点である。その他の点については同様であるのでその説明は繰り返さない。

【 0 1 7 7 】

このような構成とすることにより、実施の形態 5 に従うデータ読出動作と同様に、高速かつ高精度にデータ読出を実行することができる。また、信号線 ku の代わりにコラム選択線 CSL を用いてビット線 BLj および / BLj の電圧レベルを容量結合によって上昇させることができるため部品点数を削減することが可能となる。

【 0 1 7 8 】

[実施の形態 5 の変形例 2]

実施の形態 5 の変形例 1 においては、信号線 ku の代わりにコラム選択線 CSL を用いてビット線 BL および / BL の電圧レベルを容量結合によって上昇させる構成について説明した。しかし、この場合、コラム選択線 CSL の電圧レベルに基づいてキャパシタ Cj

および C_j が充電され、容量結合によって対応するビット線の電圧レベルが上昇する。したがって、コラム選択線 C_{SL} の電圧レベルによってはビット線 B_L および \bar{B}_L の電圧レベルが上昇しすぎてしまい、メモリセルのデータを破壊してしまう可能性もある。

【0179】

本実施の形態5の変形例2は、ビット線 B_L および \bar{B}_L の電圧レベルを所定の電圧レベル値以下に設定することを目的とする。

【0180】

図16は、実施の形態5の変形例2に従う読出回路系の構成図である。

図16を参照して、実施の形態5の変形例2に従う読出回路系は、図14の読出回路系と比較して、ビット線クランプ回路 $B_L C L P$ とデータバス線クランプ回路 $D B C L P$ をさらに設けた点異なる。その他の点は実施の形態5の変形例1と同様であるのでその説明は繰り返さない。

【0181】

ビット線クランプ回路 $B_L C L P$ は、いわゆるダイオード接続されたトランジスタ80および81を含む。

【0182】

具体的には、トランジスタ80は、接地電圧 GND とビット線 \bar{B}_L との間に接続され、そのゲートは、ビット線 \bar{B}_L と接続される。トランジスタ81は、接地電圧 GND とビット線 B_L との間に接続され、そのゲートは、ビット線 B_L と接続される。

【0183】

また、データバス線クランプ回路 $D B C L P$ は、いわゆるダイオード接続されたトランジスタ82および83を含む。具体的には、トランジスタ82は、接地電圧 GND とデータバス線 $D B$ との間に接続され、そのゲートは、データバス線 $D B$ と接続される。トランジスタ83は、接地電圧 GND とデータバス線 $\bar{D B}$ との間に接続され、そのゲートは、データバス線 $\bar{D B}$ と接続される。

【0184】

ビット線クランプ回路 $B_L C L P$ は、ビット線 B_L および \bar{B}_L を所定の電圧レベル以下に降下させる。また、データバス線クランプ回路 $D B C L P$ は、データバス線 $D B$ および $\bar{D B}$ を所定の電圧レベル以下に降下させる。

【0185】

この所定電圧は、“ $V_{ref} - V_{th} - V_{mc}$ ” を上述したいわゆるダイオードのオン電圧として設定される。

【0186】

このような構成とすることにより、ビット線対 $B_L P$ およびデータ線対 $D B P$ の電圧レベルの上昇を所定の電圧レベル以下に抑制し、実施の形態5の変形例1に従うデータ読出動作よりも安定的にデータ読出を実行することができる。

【0187】

なお、本実施の形態は、実施の形態5にも適用可能である。

なお、本構成においては、ダイオード接続されたトランジスタの構成について説明したが、これに限られず、例えば、通常のダイオードを用いて構成することも可能である。

【0188】

なお、本構成においては、プリチャージ電圧が接地電圧である構成であるためビット線クランプ回路 $B_L C L P$ およびデータバス線クランプ回路 $D B C L P$ を用いて所定の電圧レベル以下に降下させる構成について説明したが、プリチャージ電圧が接地電圧以外の固定電圧である場合には、これに限られず、ビット線クランプ回路 $B_L C L P$ およびデータバス線クランプ回路 $D B C L P$ を用いて所定の電圧レベル以上に上昇させる構成としても良い。

【0189】

[実施の形態5の変形例3]

上記の実施の形態5およびこれら変形例においては、データ読出時のビット線およびデー

10

20

30

40

50

タ線の電圧レベルについて説明してきたが、本実施の形態5の変形例3においては、データ読出前のビット線のプリチャージを行なうプリチャージ回路について説明する。

【0190】

図17は、本発明の実施の形態5の変形例3に従う読出回路系の構成図である。

【0191】

図17を参照して、この読出回路系は、図16の読出回路系と比較してプリチャージゲートユニットPGU_jをプリチャージゲートユニットPGU#_jに置換した点が異なる。

【0192】

プリチャージゲートユニットPGU#_jは、プリチャージゲートユニットPGU_jと比較して、コラム選択線CSL_jと電氣的に接続されたインバータIV_jをさらに含む点異なる。このプリチャージゲートユニットPGU#_jは、コラム選択線CSL_jの反転信号の入力を受けて活性化される。

10

【0193】

したがって、コラム選択線CSL_jの非活性化にตอบสนองしてプリチャージが実行され、活性化にตอบสนองしてプリチャージが終了する。

【0194】

本構成とすることにより、ビット線イコライズ信号BLEQを用いることなく、ビット線対BLPをプリチャージすることが可能となるため配線層を削減し、部品点数を実施の形態5の変形例2よりも削減することができる。なお、本実施の形態は、実施の形態5およびその変形例1にも適用可能である。

20

【0195】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0196】

【発明の効果】

本発明の薄膜磁性体記憶装置は、データ読出時において、ワード線の活性化に応じて、データ線および選択メモリセルを含む電流経路が形成される前に、差動増幅部を先に活性化させ、第2の電圧とデータ線とを電氣的に接続してデータ線の充電を開始する。データ線の充電を早期に完了することにより、データ読出開始から、選択メモリセルの記憶データに応じたレベルへデータ線の通過電流差が到達するまでの時間を短縮し、データ読出を高速化することができる。

30

【0197】

また、データ線は、データ読出前に所定電圧にプリチャージされる。したがって、データ線の充電時間を短縮し、ワード線の立上りから実際にデータが読出されるまでの時間をさらに短縮することができる。これにより、高速なデータ読出が可能となる。

【0199】

また、所定電圧生成回路に対して選択メモリセルおよびデータ線を通過する電流経路と同様の電流経路が形成されるため、安定的な所定電圧をイコライズ回路に供給することができる。したがって、所定電圧の変動に基づくメモリセルのデータ破壊を回避することができ、精度よく高速なデータ読出を実行することができる。

40

【図面の簡単な説明】

【図1】 本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 本発明の実施の形態1に従うデータ読出回路系の構成図である。

【図3】 実施の形態1に従うMRAMデバイスにおけるデータ読出動作を説明するタイミングチャートである。

【図4】 実施の形態2に従うデータ読出回路系の構成図である。

【図5】 実施の形態2に従うMRAMデバイスにおけるデータ読出動作を説明するタイ

50

ミングチャートである。

【図6】 実施の形態3に従うデータ読出回路系の構成を示す回路図である。

【図7】 実施の形態3に従うMRAMデバイスにおけるデータ読出動作を説明するタイミングチャートである。

【図8】 実施の形態3の変形例に従うデータ読出回路系の構成を示す回路図である。

【図9】 実施の形態3の変形例に従うMRAMデバイスにおけるデータ読出動作を説明するタイミングチャートである。

【図10】 実施の形態4に従うVBL発生回路54の構成を示す回路図である。

【図11】 相補のデータ線によってデータ読出動作を行なうためのアレイ構成のバリエーションを説明する概念図である。

【図12】 実施の形態5に従うデータ読出回路系の構成を示す回路図である。

【図13】 実施の形態5に従うMRAMデバイスにおけるデータ読出動作を説明するタイミングチャートである。

【図14】 実施の形態5の変形例1に従うデータ読出回路系の構成を示す回路図である。

【図15】 実施の形態5の変形例1に従うMRAMデバイスにおけるデータ読出動作を説明するタイミングチャートである。

【図16】 実施の形態5の変形例2に従う読出回路系の構成図である。

【図17】 本発明の実施の形態5の変形例3に従う読出回路系の構成図である。

【図18】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図19】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図20】 データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【図21】 MTJメモリセルからのデータ読出を説明する概念図である。

【図22】 従来データ読出回路系の概念図である。

【図23】 従来データ読出回路系のデータ読出におけるタイミングチャートである。

【符号の説明】

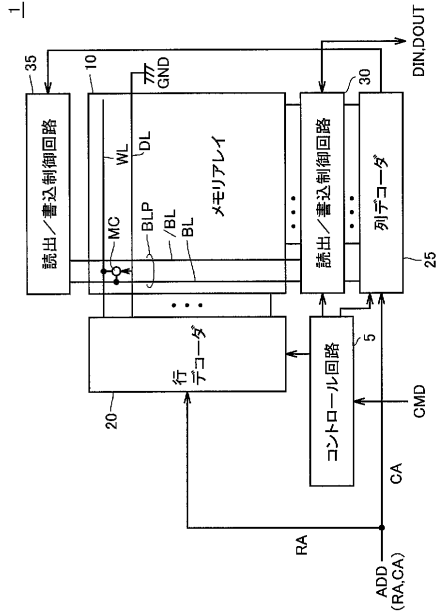
1 MRAMデバイス、5 コントロール回路、10 メモリアレイ、20 行デコーダ、25 列デコーダ、30, 35 読出/書込制御回路、50, 50a データ線イコライズ回路、54 VBL発生回路、55 Vref発生回路、60 差動増幅部、70 レベル調整回路、DBCLP データバス線クランプ回路、BLCCLP ビット線クランプ回路。

10

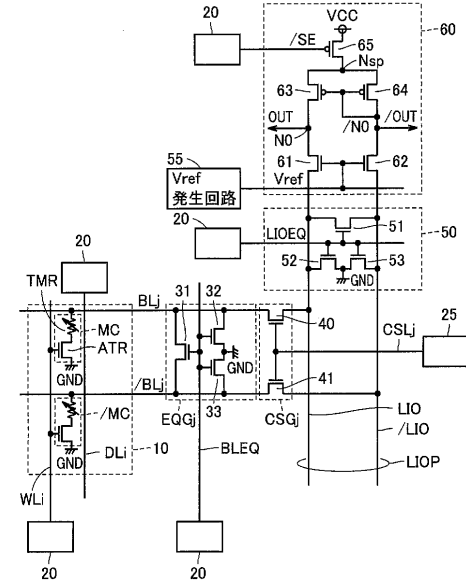
20

30

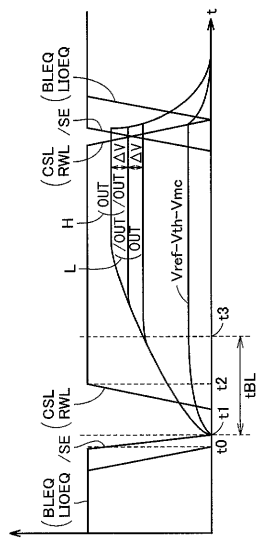
【図1】



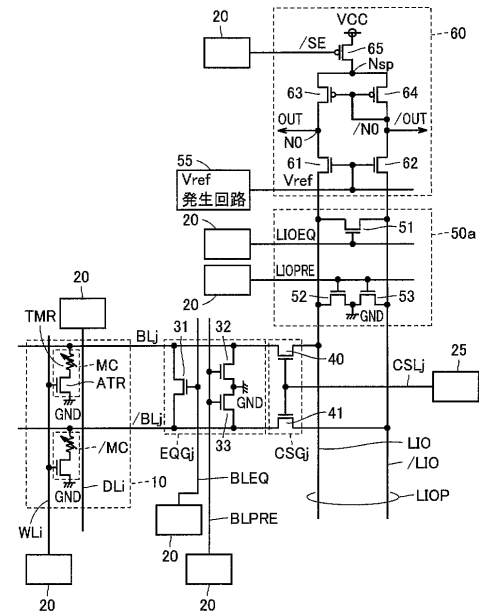
【図2】



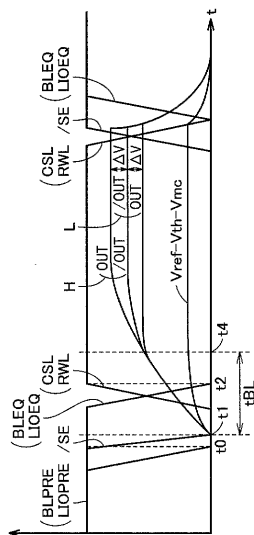
【図3】



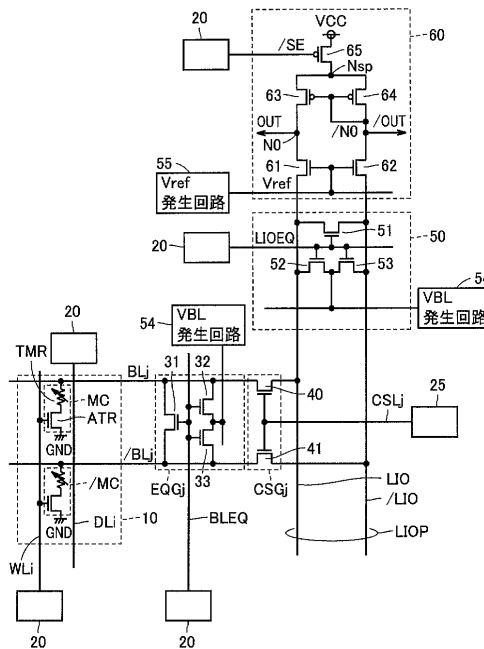
【図4】



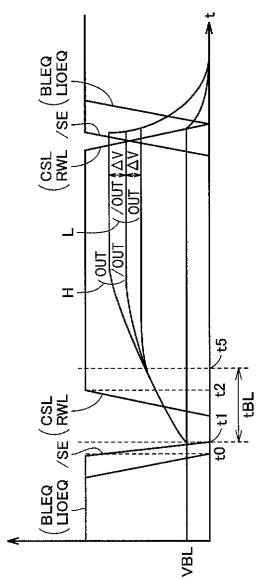
【図 5】



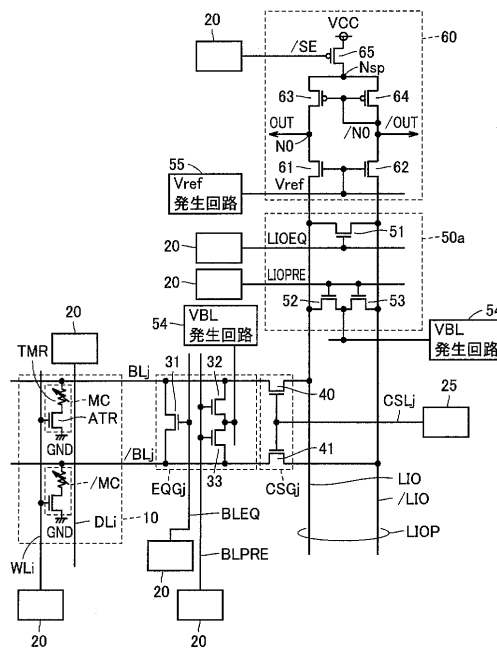
【図 6】



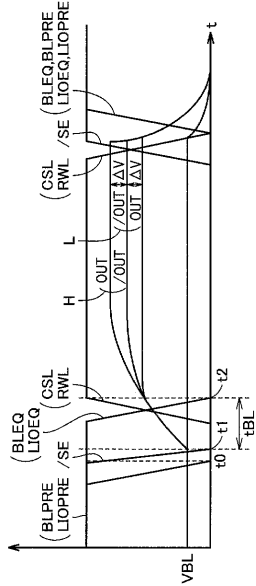
【図 7】



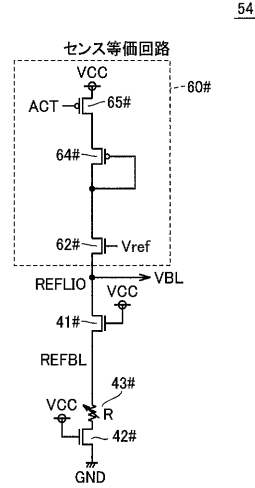
【図 8】



【 図 9 】

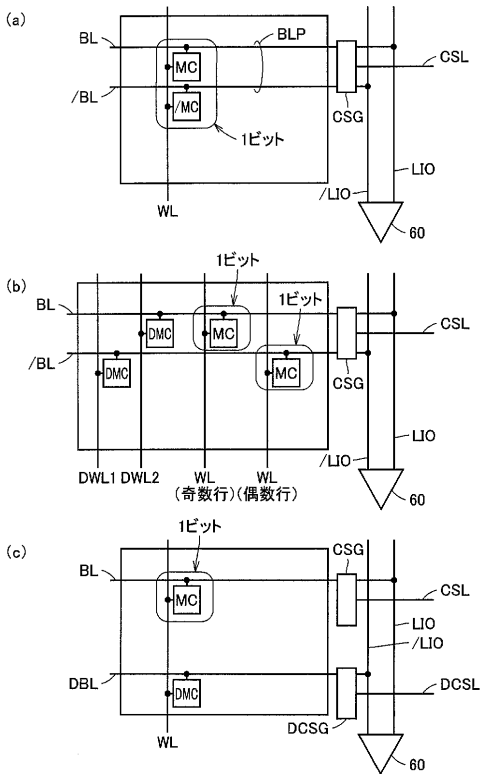


【 図 10 】

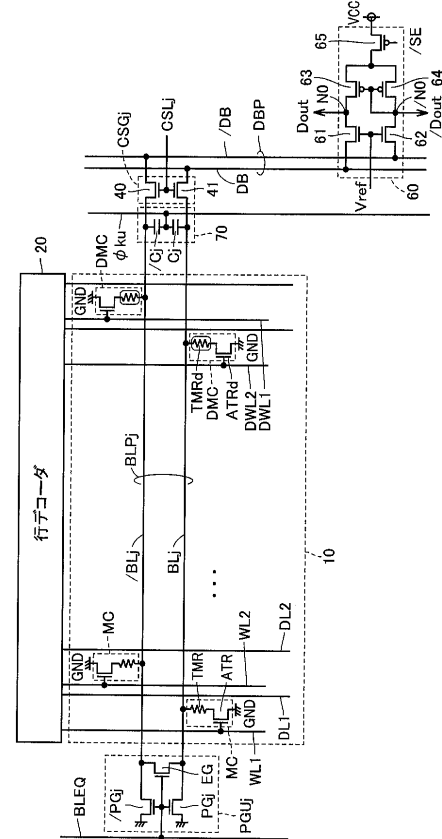


54

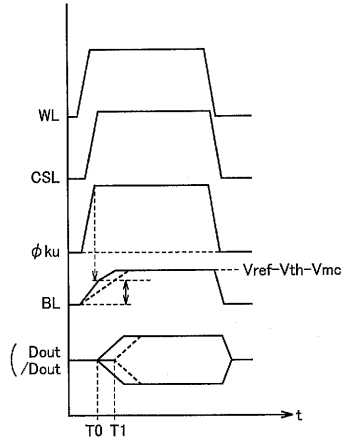
【 図 11 】



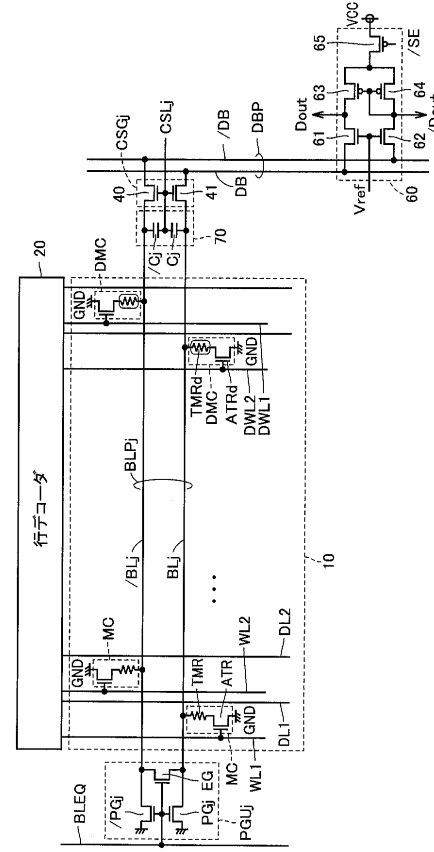
【 図 12 】



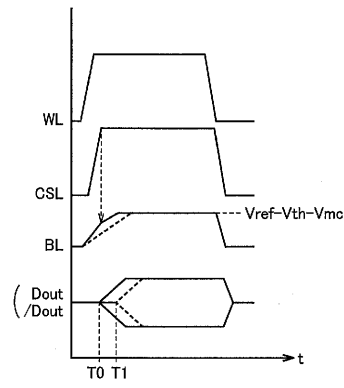
【図 13】



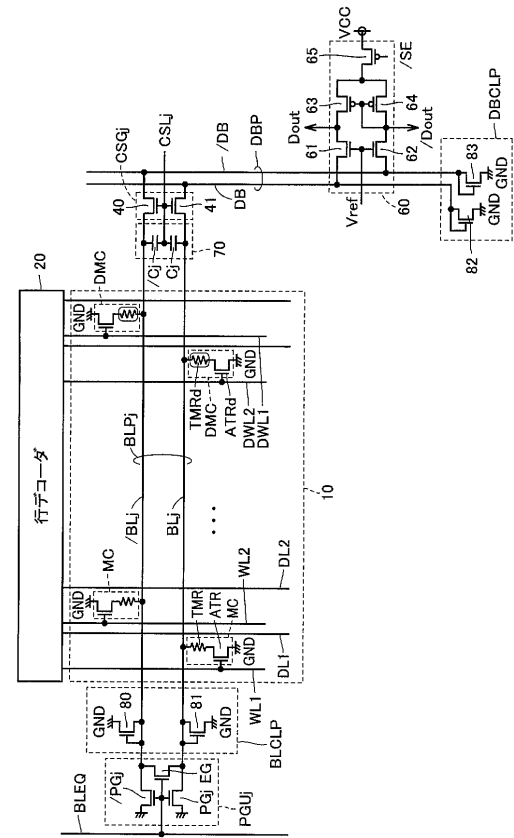
【図 14】



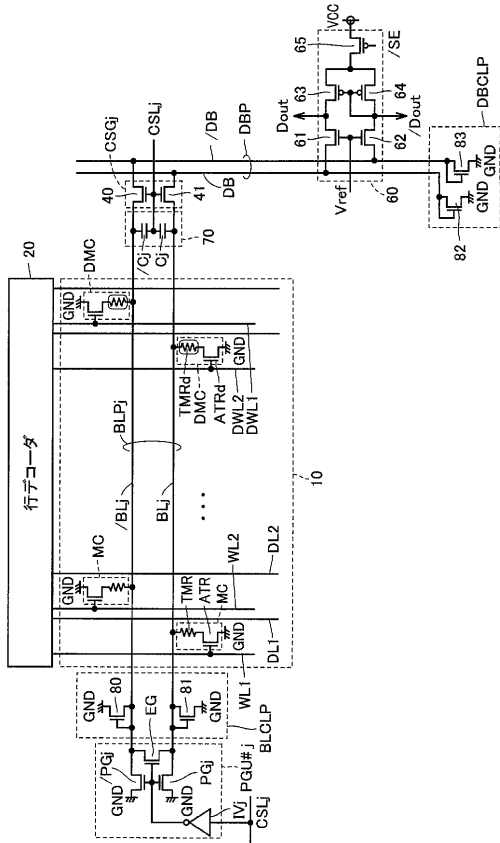
【図 15】



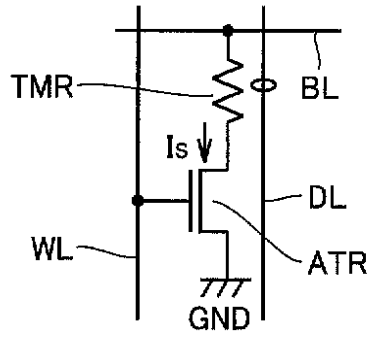
【図 16】



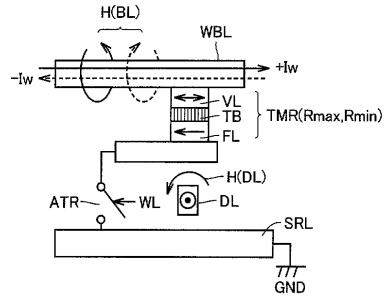
【図17】



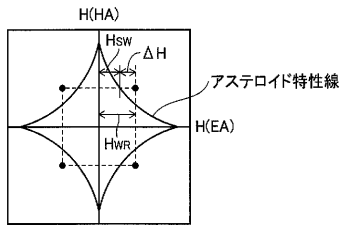
【図18】



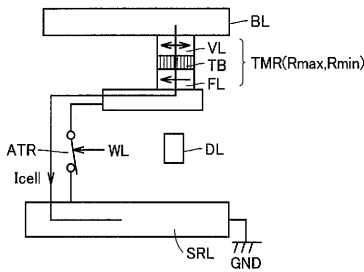
【図19】



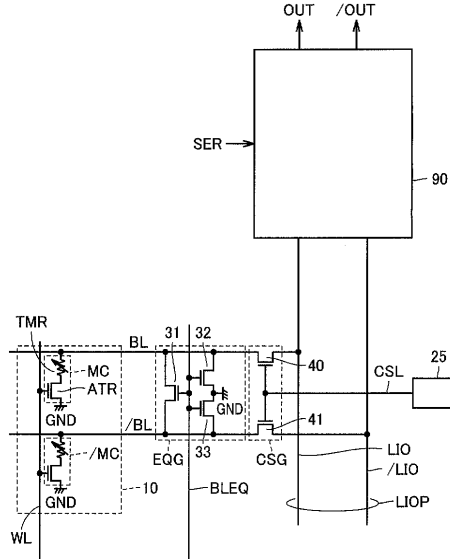
【図20】



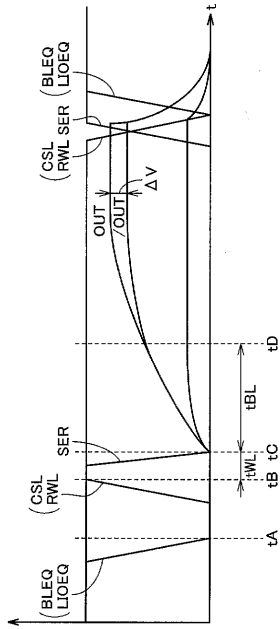
【図21】



【図22】



【 2 3 】



フロントページの続き

- (74)代理人 100085132
弁理士 森田 俊雄
- (74)代理人 100091409
弁理士 伊藤 英彦
- (74)代理人 100096781
弁理士 堀井 豊
- (74)代理人 100096792
弁理士 森下 八郎
- (72)発明者 谷崎 弘晃
東京都千代田区大手町二丁目 6 番 2 号 三菱電機エンジニアリング株式会社内
- (72)発明者 日高 秀人
東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
- (72)発明者 大石 司
東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

審査官 滝谷 亮一

- (56)参考文献 特開昭 6 4 - 0 3 5 7 9 3 (J P , A)
特開昭 6 3 - 2 6 6 6 8 9 (J P , A)
特開 2 0 0 1 - 1 6 0 2 9 7 (J P , A)
米国特許第 0 6 3 4 9 0 5 4 (U S , B 1)

- (58)調査した分野(Int.Cl. , D B 名)
G11C 11/15
G11C 16/02-16/06