

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年12月18日(18.12.2014)



(10) 国際公開番号  
WO 2014/199481 A1

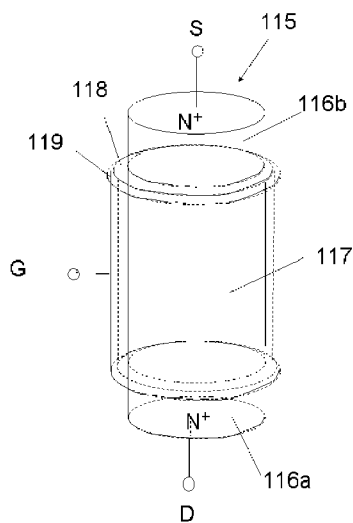
- (51) 国際特許分類:  
H01L 21/336 (2006.01) H01L 27/092 (2006.01)  
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2013/066320
- (22) 国際出願日: 2013年6月13日(13.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ  
サンティス エレクトロニクス シンガポール  
プライベート リミテッド(UNISANTIS ELEC-  
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098  
ノースブリッジロード 111、ペニンシュラ  
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-  
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九  
段北1-15-2 九段坂パークビル4F S  
emicon Consulting株式会社  
内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];  
〒1020073 東京都千代田区九段北1-15-2  
九段坂パークビル4F Semicon Co  
nsulting株式会社内 Tokyo (JP). 中村  
広記(NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京  
都千代田区九段北1-15-2 九段坂パー  
クビル4F Semicon Consulti  
ng株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東  
京都千代田区神田錦町二丁目7番地 協販ビル  
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ  
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE HAVING SGT AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: SGTを有する半導体装置とその製造方法

[図10]



(57) Abstract: A P<sup>+</sup> region (13bb) and an N<sup>+</sup> region (12bb) that serve as drains for SGTs at the tops of silicon columns (P1, P2) formed on an i-layer substrate (1) are connected to a power-supply-wiring metal layer (Vdd) and a ground-wiring metal layer (Vss) throughout low-resistance nickel-silicide layers (14c, 14h) that contact the P<sup>+</sup> region (13bb) and the N<sup>+</sup> region (12bb) and are formed around the silicon columns (P1, P2). The bottom edges of the power-supply-wiring metal layer (Vdd) and the ground-wiring metal layer (Vss) are located at the heights of the surfaces of HfO layers (9ba, 9bb) near interfaces between channels and the P<sup>+</sup> and N<sup>+</sup> regions (13bb and 12bb).

(57) 要約: i層基板1上に形成されたSi柱(P1、P2)の頭頂部にあるSGTのドレインとなるP<sup>+</sup>領域(13bb)、N<sup>+</sup>領域(12bb)と、電源配線金属層(Vdd)及びグランド配線金属層(Vss)との接続が、P<sup>+</sup>領域(13bb)、N<sup>+</sup>領域(12bb)に接触するとともにSi柱(P1、P2)の外周に形成された低抵抗なNiシリサイド層(14c、14h)の全面で行われる。電源配線金属層(Vdd)及びグランド配線金属層(Vss)の下端が、P<sup>+</sup>領域(13bb)、N<sup>+</sup>領域(12bb)のチャンネルとの境界近傍のHfO層(9ba、9bb)表面の高さに位置している。

WO 2014/199481 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：SGTを有する半導体装置とその製造方法

### 技術分野

[0001] 本発明は、SGT (Surrounding Gate MOS Transistor) を有する半導体装置と、その製造方法に関する。

### 背景技術

[0002] 近年、SGTは、高集積半導体装置を提供する半導体素子としてますますその用途が拡大しつつある。これに伴い、SGTを有する半導体装置の更なる高速駆動化が求められている。

[0003] 図8に、MOSトランジスタを有するCMOSインバータ回路の代表例を示す。図8に示されているように、この回路は、Nチャネル型MOSトランジスタ100aとPチャネル型MOSトランジスタ100bと、から構成されている。Nチャネル型MOSトランジスタ100aのゲート101aとPチャネル型MOSトランジスタ100bのゲート101bとが入力端子Viに接続されている。Nチャネル型MOSトランジスタ100aのドレイン102aとPチャネル型MOSトランジスタ100bのドレイン102bとが出力端子Voに接続されている。Pチャネル型MOSトランジスタ100bのソース103bは、電源配線金属層Vddに接続され、Nチャネル型MOSトランジスタ100aのソース103aは、グランド端子Vssに接続されている。この回路において、入力端子Viに「1」又は「0」に相当する入力電圧が印加されると、その入力電圧と反転した「0」又は「1」に相当する出力電圧が出力端子Voから取り出される。

このようなCMOSインバータ回路は、マイクロプロセッサなどの多くの回路チップに用いられており、CMOSインバータ回路を用いた回路の高速駆動化が求められている。

[0004] 図9に、従来例のプレーナ (Planer) 型CMOSインバータ回路の断面図を示す。

図9に示すように、P型半導体基板104（以下、アクセプタ不純物を含む半導体基板を「P型半導体基板」と称す。）にNウエル領域105（以下、ドナー不純物を含むPチャネルMOSトランジスタを形成する半導体領域を「Nウエル領域」と称す。）が形成されている。Nウエル領域105の表層部とP型半導体基板104の表層部との間に、素子分離用絶縁層106a、106bが形成されている。P型半導体基板104の表面上と、Nウエル領域105の表面上とに、PチャネルMOSトランジスタ用ゲート酸化膜107aとNチャネルMOSトランジスタ用ゲート酸化膜107bとが形成されている。これらゲート酸化膜107a、107b上にPチャネルMOSトランジスタ用ゲート導体層108aとNチャネルMOSトランジスタ用ゲート導体層108bとが形成されている。

[0005] また、図9に示すように、PチャネルMOSトランジスタ用ゲート導体層108aの左右両側のNウエル領域105の表層部に、アクセプタ不純物が低濃度でドーピングされたP<sup>-</sup>領域141a（以下、アクセプタ不純物を低濃度で含む半導体領域を「P<sup>-</sup>領域」と称す。）が形成されている。これと同様に、NチャネルMOSトランジスタ用ゲート導体層108bの両側において、ドナー不純物が低濃度でドーピングされたN<sup>-</sup>領域141a（以下、ドナー不純物を低濃度で含む半導体領域を「N<sup>-</sup>領域」と称す。）が形成されている。ゲート導体層108a、108bの両側のNウエル領域105上とP型半導体基板104上とに、サイドウォール絶縁層142a、142bが形成されている。PチャネルMOSトランジスタのソースP<sup>+</sup>領域109a（以下、アクセプタ不純物を多く含む半導体領域を「P<sup>+</sup>領域」とする。）とドレインP<sup>+</sup>領域109bとが、ゲート導体層108aの両側に形成されている。P型半導体基板104の表層部に、ソースN<sup>+</sup>領域110b（以下、ドナー不純物を多く含む半導体領域を「N<sup>+</sup>領域」とする。）と、ドレインN<sup>+</sup>領域110aと、が形成されている。ソースP<sup>+</sup>領域109a及びドレインP<sup>+</sup>領域109bの表層部と、ドレインN<sup>+</sup>領域110a及びソースN<sup>+</sup>領域110bの表層部と、にシリサイド層143a、143b、143c、143dが形成されてい

る。Nウエル領域105上と、P型半導体基板104上と、に第1の層間絶縁層111が形成されている。第1の層間絶縁層111を貫通するように、ソースP+領域109a及びドレインP+領域109bの上方と、ドレインN+領域110a及びソースN+領域110bの上方と、に、シリサイド層143a、143b、143c、143dを介してコンタクトホール112a、112b、112c、112dが形成されている。

[0006] 図9に示すように、コンタクトホール112aを介して、第1の層間絶縁層111上に形成された電源配線金属層V<sub>dd</sub>と、P型MOSトランジスタ・ソースP+領域109aと、が接続されている。コンタクトホール112bを介して、第1の層間絶縁層111上に形成された出力配線金属層V<sub>out</sub>と、PチャネルMOSトランジスタのドレインP+領域109bと、が接続されている。コンタクトホール112cを介して、出力配線金属層V<sub>out</sub>と、NチャネルMOSトランジスタのドレインN+領域110aと、が接続されている。コンタクトホール112dを介して、グランド配線金属層V<sub>ss</sub>と、NチャネルMOSトランジスタのソースN+領域110bと、が接続されている。第1の層間絶縁層111上に第2の層間絶縁層113が形成されている。第1の層間絶縁層111と第2の層間絶縁層113を貫通するように、PチャネルMOSトランジスタ用ゲート導体層108a上と、NチャネルMOSトランジスタ用ゲート導体層108b上と、にコンタクトホール114a、114bがそれぞれ形成されている。コンタクトホール114aを介して、第2の層間絶縁層113上に形成した入力配線金属層V<sub>in</sub>と、PチャネルMOSトランジスタ用ゲート導体層108aと、が接続されている。コンタクトホール114bを介して、入力配線金属層V<sub>in</sub>と、NチャネルMOSトランジスタ用ゲート導体層108bと、が接続されている。

[0007] 図9に示すプレナー型CMOSインバータ回路を含め、多くのCMOS回路は、更なる高速駆動が求められている。CMOS回路の高速駆動を実現するには、P、NチャネルMOSトランジスタのドレイン、ソースN+領域110a、110b、ソース、ドレインP+領域109a、109bの低抵抗化が

必要となる。このため、ドレイン、ソースN+領域110a、110b、ソース、ドレインP+領域109a、109b上に形成したシリサイド層143a、143b、143c、143dを、可能な限りゲート導体層108a、108bに接近した状態で形成することが必要となる。一般に、回路の信号伝播速度は、抵抗(R)と容量(C)との積RCで支配される。このため、P、NチャネルMOSトランジスタのドレイン、ソースN+領域110a、110b、ソース、ドレインP+領域109a、109bの低抵抗化のみならず、ドレイン、ソースN+領域110a、110b、及び、ソース、ドレインP+領域109a、109bと、ゲート導体層108a、108bと、の結合容量を、ドレイン、ソースN+領域110a、110b、及び、ソース、ドレインP+領域109a、109bと、ゲート導体層108a、108bと、の間にサイドウォール絶縁層142a、142bを設けることで低結合容量化している。さらに、このようなソース、ドレインP+領域109a、109b、ドレイン、ソースN+領域110a、110bの低抵抗化と、ソース、ドレインP+領域109a、109b、ドレイン、ソースN+領域110a、110bと、ゲート導体層126a、126bと、の低結合容量化とを、制御性良好に実現することが必要である。また、図9に示すプレナー型CMOSインバータ回路の高密度化に伴って、P、NチャネルMOSトランジスタのドレイン、ソースN+領域110a、110b、ソース、ドレインP+領域109a、109bのサイズの縮小化が行われているため、更なるP、NチャネルMOSトランジスタのドレイン、ソースN+領域110a、110b、ソース、ドレインP+領域109a、109bの低抵抗化及び低結合容量化を実現するための改善が求められている。

[0008] プレナー型MOSトランジスタでは、P、NチャネルMOSトランジスタのチャンネルは、ソース、ドレイン間のP型半導体基板104及びNウエル領域105の表面に沿う水平方向に形成されている。これに対し、SGTのチャンネルは、半導体基板表面に対して垂直方向に形成されている（例えば、特許文献1、非特許文献1を参照）。

[0009] 図10に、NチャネルSGTの構造模式図を示す。P型又はi型（真性型）のSi柱115（以下、シリコン半導体柱を「Si柱」と称す。）の上下の位置に、一方がソースとして機能するとき、他方がドレインとして機能し、一方がドレインとして機能するとき、他方がソースとして機能するN<sup>+</sup>領域116a、116bが形成されている。ソース、ドレインN<sup>+</sup>領域116a、116bの間のSi柱115がチャンネル領域117となる。このチャンネル領域117を囲むようにゲート絶縁層118が形成され、ゲート絶縁層118を囲むようにゲート導体層119が形成されている。SGTでは、ソース、ドレインN<sup>+</sup>領域116a、116b、チャンネル領域117、ゲート絶縁層118、ゲート導体層119が、単一のSi柱115に形成されている。このため、SGTの表面の占有面積は、見かけ上、プレーナーMOSトランジスタの単一のソース又はドレインN<sup>+</sup>領域の占有面積に相当するものになる。そのため、SGTを有する回路チップでは、プレーナ型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化を実現することが可能である。

[0010] 図11に、SGTを用いたCMOSインバータ回路の断面図を示す（例えば、特許文献2を参照）。

絶縁層基板120上にi層121（「i層」は、真性型Si層を示す。）が形成され、このi層121上に、PチャネルSGTのためのSi柱SP1とNチャネルSGTのためのSi柱SP2とが形成されている。

PチャネルSGTのためのSi柱SP1の下部に繋がるi層121に、PチャネルSGTのドレインP<sup>+</sup>領域122が、i層121と同層に、かつ、Si柱SP1の下部を囲むように形成されている。また、NチャネルSGTのドレインN<sup>+</sup>領域123が、i層121と同層に、かつ、Si柱SP2の下部を囲むように形成されている。

さらに、PチャネルSGTのためのSi柱SP1の上部にPチャネルSGTのソースP<sup>+</sup>領域124が形成され、NチャネルSGTのためのSi柱SP2の上部にNチャネルSGTのソースN<sup>+</sup>領域125が形成されている。

[0011] さらにまた、図11に示すように、Si柱SP1、SP2を囲むように、ゲート絶縁層126a、126bが形成され、ゲート絶縁層126a、126bを囲むように、PチャネルSGTのゲート導体層127aと、NチャネルSGTのゲート導体層127bと、が形成されている。

これらゲート導体層127a、127bを囲むように、絶縁層であるサイドウォール窒化膜128a、128bが形成されている。これと同様に、Si柱SP1、SP2の頭頂部のP<sup>+</sup>領域、N<sup>+</sup>領域をそれぞれ囲むように、絶縁層であるサイドウォール窒化膜128c、128dが形成されている。

PチャネルSGTのドレインP<sup>+</sup>領域122と、NチャネルSGTのドレインN<sup>+</sup>領域123と、は、シリサイド層129bを介して接続されている。PチャネルSGTのソースP<sup>+</sup>領域124上にシリサイド層129aが形成され、NチャネルSGTのソースN<sup>+</sup>領域125上にもシリサイド層129cが形成されている。さらに、ゲート絶縁層126a、126bの頭頂部にもシリサイド層129b、129eが形成されている。

Si柱SP1の上下の位置にあるP<sup>+</sup>領域122、124間のi層130aがPチャネルSGTのチャンネルとなり、Si柱SP2の上下の位置にあるN<sup>+</sup>領域123、125間のi層130bがNチャネルSGTのチャンネルとなる。

[0012] 図11に示すように、CVD (Chemical Vapor deposition) を用いて、絶縁層基板120、i層121及びSi柱SP1、SP2を覆うように、SiO<sub>2</sub>層131を形成する。さらに、このSiO<sub>2</sub>層131にコンタクトホール132a、132b、132cを、Si柱SP1、SP2上、PチャネルSGTのドレインP<sup>+</sup>領域122上、及びNチャネルSGTのN<sup>+</sup>領域123上に形成する。

コンタクトホール132aを介して、SiO<sub>2</sub>層131上に形成された電源配線金属層V<sub>dd</sub>と、PチャネルSGTのソースP<sup>+</sup>領域124及びシリサイド層129aと、が接続されている。コンタクトホール132bを介して、SiO<sub>2</sub>層131上に形成された出力配線金属層V<sub>o</sub>と、PチャネルSGTの

ドレインP+領域122、NチャンネルSGTのドレインN+領域123及びシリサイド層129bと、が接続されている。さらに、コンタクトホール132cを介して、SiO<sub>2</sub>層131上に形成されたグラウンド配線金属層V<sub>ss</sub>と、NチャンネルSGTのソースN+領域125及びシリサイド層129cと、が接続されている。

PチャンネルSGTのゲート導体層127aとNチャンネルSGTのゲート導体層127bとは、互いに接続された状態で入力配線金属層（図示せず）に繋がっている。このSGTを有するインバータ回路では、PチャンネルSGTとNチャンネルSGTとが、それぞれSi柱SP1、SP2内に形成されている。このため、垂直方向から平面視した場合の回路面積が縮小される。この結果、従来例のプレナー型MOSトランジスタを有するインバータ回路と比較して、さらなる回路の縮小化が実現される。

[0013] 図11に示すSGTを有するCMOS回路においても、従来例のプレナー型MOSトランジスタを有するインバータ回路と同様に、更なる回路の高速駆動化が求められている。この回路の高速駆動化には、ドレイン、ソースとして機能するP+領域122、124、N+領域123、125の低抵抗化が必要とされている。Si柱SP1、SP2の下部のP+領域122、N+領域123は、Si柱SP1、SP2の外周に存在する、占有面積が相対的に広いシリサイド層129cを介して、出力配線金属層V<sub>out</sub>に接続されている。一方、Si柱SP1、SP2の頭頂部にあるP+領域124、N+領域125は、占有面積が相対的に狭い、P+領域124、N+領域125の頭頂部の表面に形成されたシリサイド層129a、129cを介して、電源配線金属層V<sub>dd</sub>、グラウンド配線金属層V<sub>ss</sub>に接続されている。このため、さらに回路の高密度化が進むと、それに伴ってSi柱SP1、SP2の直径（幅）が小さくなり、P+領域124、N+領域125の抵抗が増大する問題が生じる。

[0014] 一般に、回路の信号伝播速度は、抵抗（R）と容量（C）との積RCにより支配されるので、Si柱SP1、SP2の頭頂部にあるP+領域124、N

+領域 1 2 5 の抵抗を低減するだけでなく、P+領域 1 2 4、N+領域 1 2 5 とゲート導体層 1 2 6 a、1 2 6 b との結合容量を低減することが必要となる。さらに、P+領域 1 2 4、N+領域 1 2 5 の低抵抗化と、P+領域 1 2 4、N+領域 1 2 5 とゲート導体層 1 2 6 a、1 2 6 b との低結合容量化を、制御性よく実現する手段が必要となる。

[0015] Si 柱 SP 1、SP 2 の頭頂部のソース、ドレインの低抵抗化に対して、SGT において、Si 柱 SP 1、SP 2 の頭頂部のソース、ドレインとなる不純物領域の側面と、取り出し配線とを接続することによりソース、ドレインの低抵抗化を実現している技術が存在する（例えば、特許文献 3、4 を参照）。これらの技術では、取り出し配線と不純物領域とが接続された Si 柱の側面の下部位置と、チャンネル領域と接触するソース、ドレイン不純物領域の端部の位置と、ゲート導体層の上端の位置とが、ゲート導体層の上端の位置が定めれば、ソース、ドレイン不純物領域の端部の位置が定まる関係となる自己整合で形成されていない。このため、ソース、ドレインの低抵抗化と、ソース、ドレインとなる不純物領域及びゲート導体層との低結合容量化と、が、制御性良好に実現されることが必要となる。また、特許文献 3 では、Si 柱の側面の不純物領域と接続される配線金属層の厚さが、ゲート絶縁層の厚さと等しくなっている。この場合、回路の高密度化に伴い、ゲート絶縁層の厚さが 2～3 nm と薄くなるので、配線金属層をコンタクトホールに埋め込むことに技術的困難性が生じるとともに、この厚さの薄い配線金属層の抵抗が増大する問題がある。

## 先行技術文献

### 特許文献

- [0016] 特許文献 1：特開平 2－1 8 8 9 6 6 号公報  
特許文献 2：米国特許出願公開第 2 0 1 0 / 0 2 6 4 4 8 4 号明細書  
特許文献 3：特開 2 0 1 1－4 0 4 2 1 号公報  
特許文献 4：特開 2 0 0 4－1 8 6 6 0 1 号公報  
特許文献 5：特開 2 0 1 0－2 3 2 6 3 1 号公報

## 非特許文献

- [0017] 非特許文献1 : Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)
- 非特許文献2 : 関根誠 : “プラズマエッチング装置技術開発の経緯、課題と展望(Background and Challenges for Plasma Etching Tool development)” , J. Plasma Fusion res. Vol. 83, No. 4, pp. 319-324 (2007)
- 非特許文献3 : Hyoungiun Na and Tetsuo Endoh : ” A New Compact SRAM cell by Vertical MOSFET for Low-power and Stable Operation” , Memory Workshop, 201 3rd IEEE International Digest, pp.1~4 (2011)

## 発明の概要

### 発明が解決しようとする課題

- [0018] 本発明は、回路の高速駆動化が図れる、SGTを有する半導体装置を提供することを目的とする。

### 課題を解決するための手段

- [0019] 本発明の第1の観点に係る半導体装置は、
- 半導体基板上に形成された半導体柱と、
  - 前記半導体柱の下方に形成されたドナー又はアクセプタ不純物を含む第1の不純物領域と、
  - 前記第1の不純物領域から上方に離間するとともに、前記半導体柱の頭頂部に形成され、前記第1の不純物領域と同じ導電性を有するドナー又はアクセプタ不純物を含む第2の不純物領域と、
  - 前記第1の不純物領域と前記第2の不純物領域との間において、前記半導体柱の外周を囲む第1の絶縁層と、
  - 前記第1の絶縁層の外周を囲む第1の導体層と、
  - 前記第1の導体層の上端面に接触する第2の絶縁層と、
  - 前記半導体基板と前記半導体柱とを覆う第3の絶縁層と、

前記第3の絶縁層に形成され、前記半導体柱の頭頂部を囲むとともに、前記第2の絶縁層の表層部と接触する底部を有し、かつ、その底部の外周が、前記第2の絶縁層上に位置するコンタクトホールと、

前記コンタクトホール内において、前記第2の絶縁層の表層部に接触し、かつ前記第2の不純物領域が形成された前記半導体柱の頭頂部の側面と接触する第2の導体層と、を有し、

前記第1の不純物領域と前記第2の不純物領域とは、一方がソースとして機能するときに、他方がドレインとして機能し、

前記第1の不純物領域と前記第2の不純物領域との間における前記半導体柱の一部がチャンネルとして機能し、

前記第1の絶縁層が、ゲート絶縁層として機能し、

前記第1の導体層が、ゲート導体層として機能し、

前記第2の導体層が、前記半導体柱の頭頂部に位置する前記第2の不純物領域に電氣的に接続されている、SGT (Surrounding Gate Transistor) が構成されている、

ことを特徴とする。

[0020] 前記第2の絶縁層が形成された後に、前記第2の絶縁層をマスクとして用いることで、前記半導体柱の頭頂部に、前記第2の不純物領域が形成されている、

ことが好ましい。

[0021] 前記第1の導体層の外周を囲む第4の絶縁層をさらに有し、

前記第2の絶縁層は、前記第1の導体層及び前記第4の絶縁層の上端面に接触するように形成されている、

ことが好ましい。

[0022] 前記第1の導体層と前記第2の絶縁層との間に第5の絶縁層が形成されている、

ことが好ましい。

[0023] 前記第2の不純物領域と前記第2の導体層との電氣的接続が、前記半導体

柱に形成され、前記コンタクトホールに繋がるシリサイド層を介してなされている、

ことが好ましい。

[0024] 前記シリサイド層が、前記半導体柱の頭頂部の内部全体に形成され、前記第2の不純物領域は、前記シリサイド層に接触するとともに、前記第2の不純物領域の下端が前記第1の導体層の上端の高さに位置する、ことが好ましい。

[0025] 前記コンタクトホールの、前記半導体基板の上面から見た外周が円形である、ことが好ましい。

[0026] 本発明の第2の観点に係る半導体装置の製造方法は、前記半導体基板上に、半導体柱を形成する半導体柱形成工程と、前記半導体柱の底部に、ドナー又はアクセプタ不純物を含む第1の不純物領域を形成する第1不純物領域形成工程と、前記第1の不純物領域から上方に離間するとともに、前記第1の不純物領域と同じ導電性を有するドナー又はアクセプタ不純物を含む第2の不純物領域を、前記半導体柱の頭頂部に形成する第2不純物領域形成工程と、前記第1の不純物領域と前記第2の不純物領域との間に、前記半導体柱の外周を囲むように第1の絶縁層を形成する第1絶縁層形成工程と、前記第1の絶縁層の外周を囲むように第1の導体層を形成する第1導体層形成工程と、前記第1の導体層の上端面に接触するように第2の絶縁層を形成する第2絶縁層形成工程と、前記半導体基板と前記半導体柱とを覆うように第3の絶縁層を形成する第3絶縁層形成工程と、前記第3の絶縁層に、前記半導体柱の頭頂部を囲むとともに、前記第2の絶縁層の表層部と接触する底部を有し、かつ、前記底部の外周が、前記第2の絶縁層上に位置するようにコンタクトホールを形成するコンタクトホール

形成工程と、

前記コンタクトホール内に、前記第2の絶縁層の表層部に接触するように、かつ前記第2の不純物領域が形成された前記半導体柱の頭頂部の側面と接触するように、第2の導体層を形成する第2導体層形成工程と、を有し、

前記第1の不純物領域と前記第2の不純物領域とは、一方がソースとして機能するときに、他方がドレインとして機能し、

前記第1の不純物領域と前記第2の不純物領域との間における前記半導体柱の一部がチャネルとして機能し、

前記第1の絶縁層がゲート絶縁層として機能し、

前記第1の導体層がゲート導体層として機能し、

前記第2の導体層が、前記半導体柱の頭頂部に位置する前記第2の不純物領域に電氣的に接続されるSGT (Surrounding Gate Transistor) を形成する、

ことを特徴とする。

[0027] 前記第2の絶縁層を形成した後に、前記第2の絶縁層をマスクとして用いることで、前記半導体柱の頭頂部に、前記第2の不純物領域を形成する、ことが好ましい。

[0028] 前記コンタクトホール形成工程が、前記第3の絶縁層のエッチング速度が前記第2の絶縁層のエッチング速度よりも速くなるエッチングイオンを含むプラズマ雰囲気で行われる、ことが好ましい。

[0029] 前記第1の導体層の外周を囲むように第4の絶縁層を形成する第4絶縁層形成工程をさらに有し、  
前記第2絶縁層形成工程では、前記第2の絶縁層を、前記第1の導体層及び前記第4の絶縁層の上端面に接触するように形成する、  
ことが好ましい。

[0030] 前記第1の導体層と前記第2の絶縁層との間に第5の絶縁層を形成する第5絶縁層形成工程をさらに有する、

ことが好ましい。

[0031] 前記第1の導体層の外周を囲むようにエッチングストッパ層を形成するエッチングストッパ層形成工程と、

前記エッチングストッパ層をエッチングマスクとして用い、前記第1の導体層の上端部を除去するエッチング工程と、

前記半導体基板と前記半導体柱との全体を絶縁層で被覆する絶縁膜被覆工程と、

等方プラズマエッチングを用いて前記絶縁層のエッチングを行い、前記第1の導体層の上端に、前記第5の絶縁層を形成する工程と、を有し、

前記第5の絶縁層の厚さを、前記第1の導体層の厚さの $1/2$ よりも厚くする、

ことが好ましい。

[0032] 前記コンタクトホールに繋がるように、前記半導体柱に、前記第2の不純物領域と前記第2の導体層との電氣的接続を行うシリサイド層を形成するシリサイド層形成工程をさらに有する、

ことが好ましい。

[0033] 前記シリサイド層を、前記半導体柱の頭頂部の内部全体に、かつ前記コンタクトホールに繋がるように形成し、

前記第2の不純物領域を、前記シリサイド層に接触するとともに、前記第2の不純物領域の下端が前記第1の導体層の上端の高さに位置するように形成する、

ことが好ましい。

[0034] 前記コンタクトホールを、前記半導体基板の上面から見た外周が、円形となるように形成する、

ことが好ましい。

## 発明の効果

[0035] 本発明によれば、回路の高速駆動化が図れる、SGTを有する半導体装置が提供できる。

## 図面の簡単な説明

[0036] [図1A]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1B]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1C]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1D]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1E]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1F]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1G]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1H]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1I]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1J]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1K]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1L]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1M]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1N]第1実施形態に係るSGTを有する半導体装置の製造方法を説明する

ためのCMOSインバータ回路の平面図と断面図である。

[図10]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2A]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2B]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2C]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2D]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2E]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3A]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3B]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3C]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3D]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3E]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4A]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4B]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5A]第4実施形態に係るSGTを有する半導体装置の製造方法を説明する

ためのCMOSインバータ回路の平面図と断面図である。

[図5B]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5C]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図6]第5実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図7]第6実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図8]従来例のCMOSインバータ回路図である。

[図9]従来例のプレナー型CMOSインバータ回路の断面図である。

[図10]従来例のSGTを示す模式構造図である。

[図11]従来例のSGTを有するCMOSインバータ回路の断面図である。

### 発明を実施するための形態

[0037] 以下、本発明の実施形態に係る、SGTを有する半導体装置の製造方法について、図面を参照しながら説明する。

[0038] (第1実施形態)

図1A～図1Oに、本発明の第1実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。

[0039] 図1Aに、SGTを有するCMOSインバータ回路の最初の製造工程を説明するための、平面図と断面図とを示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY-Y'線に沿った断面図を示す。以下の説明で参照するその他の各図面においても、(a)、(b)、(c)で示す各図同士の関係は同様である。

[0040] 図1Aに示すように、i層基板1上に、熱酸化処理によりSiO<sub>2</sub>層2a、2bを形成する。続いて、SiO<sub>2</sub>層2a、2bをエッチングマスクとして、例えばRIE(Reactive Ion Etching)によって、Si柱P1、P2を形成する。

[0041] 次に、図1Bに示すように、i層基板1、Si柱P1、P2上に、CVD (Chemical Vapor Deposition) を用いてSiO<sub>2</sub>層を堆積する。続いて、このSiO<sub>2</sub>層全体を等方性プラズマエッチングによりエッチングする。これにより、Si柱P1、P2の側面のSiO<sub>2</sub>層を除去し、i層基板1上にSiO<sub>2</sub>層3、Si柱P1、P2の頭頂部上にSiO<sub>2</sub>層4a、4bをそれぞれ残存させる。ここで、SiO<sub>2</sub>層3、4a、4bを残存させるにあたり、SiO<sub>2</sub>膜をCVDで堆積しているのは、CVDによれば、SiO<sub>2</sub>膜がSi柱P1、P2の側面には相対的に厚さが薄く堆積され、i層基板1上には相対的に厚さが厚く堆積されるためである。

[0042] 続いて、図1Cに示すように、SiO<sub>2</sub>層3と、Si柱P1、P2と、の全体を覆うように、ゲート絶縁層としてのHfO層5 (酸化ハフニウム層) と、ゲート金属層としてのTiN層6 (窒化チタン層) と、例えば、ドナー又はアクセプタをドーピングしたポリSi層7と、を、例えばALD (Atomic Layer Deposition) 又はCVDによって形成する。

[0043] 続いて、図1Dに示すように、i層基板1と、Si柱P1、P2と、の全体を覆うようにレジストを塗布し、エッチバック (Etch Back) によって、レジストの表面を一様にエッチングする。これにより、表面位置がSi柱P1、P2の高さ方向における所定の位置となるレジスト層8を形成する。続いて、レジスト層8をエッチングマスクとして用い、Si柱P1、P2の上部の露出したポリSi層7、TiN層6、及びHfO層5をそれぞれエッチングすることで、ポリSi層7a、TiN層6a、及びHfO層5aを残存させる。ここでは、Si柱P1、P2の頭頂部には、SiO<sub>2</sub>層4a、4bが残存する。その後、レジスト層8を除去する。

[0044] 続いて、図1Eに示すように、i層基板1上のポリSi層7aとSi柱P1、P2との全体を覆うように、CVDを用いてHfO層9を形成する。

[0045] 続いて、図1Fに示すように、プラズマエッチングを用いて、Si柱P1、P2の側面のHfO層9を除去することで、i層基板1上のポリSi層7aと、Si柱P1、P2を囲む、ポリSi層7a、TiN層6a、及びHf

O層5aの上端面上と、Si柱P1、P2の上方の平坦部に、HfO層9a、9ba、9bb、9ca、9cbを形成する。

[0046] 続いて、図1Gに示すように、Si柱P1、P2と、Si柱P1、P2との間に形成されたHfO層9aと、を覆うように、リソグラフィを用いてレジスト層10を形成する。

[0047] 続いて、図1Hに示すように、レジスト層10をエッチングマスクとして用い、HfO層9aa、ポリSi層7a、TiN層6a、HfO層5a、SiO<sub>2</sub>層3をエッチングする。その後、レジスト層10を除去する。

[0048] 続いて、図1Iに示すように、Si柱P1の外周を覆うように、レジスト層11aをリソグラフィにより形成する。続いて、i層基板1の上面の全体からヒ素(As)をイオン注入する。このイオン注入は、i層基板1に対して、垂直方向と斜め方向との両方向から行う。これにより、HfO層9ba、9bb、9ca、9cbをマスクとして用い、レジスト層11aで覆われずに露出しているi層基板1の表層部と、Si柱P2の頭頂部と、に、それぞれN<sup>+</sup>領域12a、12bが形成される。その後、レジスト層11aを除去する。

[0049] 続いて、図1Jに示すように、Si柱P2の外周を覆うように、レジスト層11bをリソグラフィにより形成する。その後、i層基板1の面の全体からボロン(B)をイオン注入する。このイオン注入は、i層基板1に対して、垂直方向と斜め方向との両方向から行う。これにより、HfO層9ba、9bb、9ca、9cbをマスクとして用い、レジスト層11bで覆われずに露出しているi層基板1の表層部と、Si柱P2の頭頂部と、に、それぞれP<sup>+</sup>領域13a、13bが形成される。その後、レジスト層11bを除去する。

[0050] 続いて、図1Kに示すように、熱処理を行うことで、P<sup>+</sup>領域13a、13b及びN<sup>+</sup>領域12a、12bに含まれるドナー及びアクセプタ不純物を熱拡散させる。これにより、P<sup>+</sup>領域13aa、13bb及びN<sup>+</sup>領域12aa、12bbが形成される。その後、ALDを用いて、ニッケル(Ni)により

、Si柱P1、P2とi層基板1とを被覆する。さらに、熱処理を行い、残存するNi膜を除去する。これにより、露出しているi層基板1の表面、露出しているポリSi層7aの側部表面、露出しているSi柱P1、P2の頭頂部の表面に、Niシリサイド層14a、14b、14c、14d、14e、14f、14g、14hを形成する。

[0051] 続いて、図1Lに示すように、CVDによりSiO<sub>2</sub>層15を形成する。続いて、このSiO<sub>2</sub>層15上をレジスト層（図示せず）で被覆する。これにより、リソグラフィと、SiO<sub>2</sub>層15へのRIEと、により、コンタクトホール16をSi柱P1、P2間のポリSi層7a上に形成する。その後、レジスト層（図示せず）を除去し、図1Kを参照して説明した方法により、コンタクトホール16内のポリSi層7aの表層部にNiシリサイド層14iを形成する。

[0052] 続いて、図1Mに示すように、SiO<sub>2</sub>層15をレジスト層17で被覆し、リソグラフィと、SiO<sub>2</sub>層15へのRIEと、により、i層基板1の表層部のN<sup>+</sup>領域12aa上、及び、P<sup>+</sup>領域13aa上に形成されたNiシリサイド層14a、14e上に、コンタクトホール18を形成する。

[0053] 続いて、図1Nに示すように、SiO<sub>2</sub>層15をレジスト層19で被覆し、リソグラフィと、SiO<sub>2</sub>層15へのRIEと、により、Si柱P1、P2上と、Si柱P1、P2の外周に形成されたHfO層5a、TiN層6a、ポリSi層7a、及びNiシリサイド層14c、14gの上面に位置するHfO層9ba、9bb上と、にコンタクトホール20a、20bを形成する。ここで、図1N(b)に示すように、Si柱P1、P2の外周のSGTチャンネルに相当する部分の、HfO層5a、TiN層6a、ポリSi層7a、及びNiシリサイド層14c、14gを、ゲート層g1、g2とすると、ゲート層g1、g2の上面のHfO層9ba、9bb上に、コンタクトホール20a、20bが形成されている。このHfO層9ba、9bbは、SiO<sub>2</sub>層15のエッチングに対するエッチングストップ層の役割を果たしている。その後、レジスト層19を除去する。

[0054] 続いて、図10に示すように、例えばチタン(Ti)、タンタル(Ta)、アルミニウム(Al)、銅(Cu)などが多層化されてなる金属層を、Si柱P1、P2、HfO層9ba、9bb、SiO<sub>2</sub>層15上に形成する。その後、リソグラフィとエッチングとを用い、入力配線金属層Vin、電源配線金属層Vdd、グランド配線金属層Vss、及び出力配線金属層Voutを形成する。入力配線金属層Vinは、コンタクトホール16及びNiシリサイド層14iを介して、PチャンネルSGTのゲートとなるポリSi層7a及びTiN層6aに接続されている。電源配線金属層Vddは、コンタクトホール20a及びNiシリサイド層14cを介して、PチャンネルSGTのソースとなるP+領域13bbに接続されている。グランド配線金属層Vssは、コンタクトホール20b及びNiシリサイド層14hを介して、NチャンネルSGTのソースとなるN+領域12bbに接続されている。出力配線金属層Voutは、コンタクトホール18及びNiシリサイド層14a、14eと、を介して、PチャンネルSGT、NチャンネルSGTのドレインとなるP+領域13aa、N+領域12aaに接続されている。これにより、SGTを有するCMOSインバータ回路がi層基板1上に形成されている。

[0055] 第1実施形態によれば、以下の(1)～(3)が得られる。

(1) Si柱P1、P2の頭頂部にある、SGTのソースとなるP+領域13bb及びN+領域12bbと、電源配線金属層Vdd及びグランド配線金属層Vssとの接続が、P+領域13bb、N+領域12bbに接触するとともにSi柱P1、P2の外周側面に形成された低抵抗なNiシリサイド層14c、14hの全面を介して行われる。さらに電源配線金属層Vdd及びグランド配線金属層Vssが、SGTのソースとなるP+領域13bb及びN+領域12bbと、チャンネルとの境界近傍にて電氣的に接続される。これにより、Si柱P1、P2の頭頂部に形成されているソース(他の回路ではドレインにもなる。)の抵抗値が低く抑えられたSGTが形成される。これにより、回路の高速駆動化が実現される。

(2) SGTのソースとなるP+領域13b及びN+領域12bが、ゲート導

体層となるTiN層6a及びポリSi層7aをマスクとして用いたイオン注入により、自己整合により形成される。P<sup>+</sup>領域13b及びN<sup>+</sup>領域12bは、さらに熱処理を経て、SGTのソースとなるP<sup>+</sup>領域13bb及びN<sup>+</sup>領域12bbと、チャンネル領域と、の境界位置が、ゲート導体層となるTiN層6a及びポリSi層7aの上端の位置と一致するように形成される。Niシリサイド層14c、14hは、HfO層9ba、9bbをマスクとすることで露出した、ソースとなるP<sup>+</sup>領域13bb、N<sup>+</sup>領域12bbの側面に自己整合により形成される。これらにより、コンタクトホール20a、20bの底部の電源配線金属層Vdd及びグランド配線金属層Vssと、ソースとなるP<sup>+</sup>領域13bb及びN<sup>+</sup>領域12bbと、の下端部の接続位置と、Niシリサイド層14c、14hの下端部の位置と、ソースとなるP<sup>+</sup>領域13bb、N<sup>+</sup>領域12bbのチャンネルとの境界位置と、の関係が、ゲート層g1、g2上のHfO層9ba、9bbを挟み、自己整合により設定される。このため、バラツキの小さいソース（他の回路では、ドレインにもなる。）抵抗を有するとともに、低抵抗なソース、ゲート導体層間の低結合容量を有するSGTを形成することができる。

(3) Si柱P1、P2の外周に形成したTiN層6a、ポリSi層7a、及びNiシリサイド層14c、14gからなるゲート層g1、g2の上端に形成されたHfO層9ba、9bb上にコンタクトホール20a、20bが形成されている。このHfO層9ba、9bbは、SiO<sub>2</sub>層15のエッチングに対するエッチングストップ層の役割を果たしている。これにより、コンタクトホール20a、20bを形成するためのSiO<sub>2</sub>層15のエッチング工程が制御性良好に行なえる。

[0056] HfO層9ba、9bb上のコンタクトホール20a、20bは、レジスト層19をエッチングマスクとして用い、例えば弗化カーボン(CF<sub>4</sub>)と水素(H<sub>2</sub>)との混合ガスをエッチングガスとしたRIEによりSiO<sub>2</sub>層15をエッチングすることで形成する。この場合、SiO<sub>2</sub>層15のエッチング速度は、HfO層9ba、9bb、Niシリサイド層14c、14gのエッチ

ング速度よりも大きいので、Niシリサイド層14c、14gを残存させた状態で、コンタクトホール20a、20bをHfO層9ba、9bb上に形成することができる。RIEでは、Si柱P1、P2の頭頂部のHfO層9ca、9cbがNiシリサイド層14c、14gに対するエッチングマスクの役割を果たすので、HfO層9ba、9bbのエッチング速度がSiO<sub>2</sub>層15のエッチング速度よりも十分に小さいことのみで、Niシリサイド層14c、14gを残存させた状態で、コンタクトホール20a、20bをHfO層9ba、9bb上に形成することができる。このことは、SiO<sub>2</sub>層15をコンタクトホールが形成される絶縁層とし、HfO層9ba、9bbをコンタクトホール・エッチングストッパ層とした場合、コンタクトホールが形成される絶縁層のエッチング速度が、コンタクトホール・エッチングストッパ層のエッチング速度よりも大きければ、SiO<sub>2</sub>層15とHfO層9ba、9bbとは、そのSiO<sub>2</sub>とHfOとの組み合わせに限らず、他の材料からなる層の組み合わせでもよいことを意味している。

[0057] また、コンタクトホール・エッチングストッパ層は、SGTのゲートとなるTiN層6a及びポリSi層7aと、電源配線金属層Vdd及びグランド配線金属層Vssと、の間の電氣的短絡が生じないように絶縁性が確保されることが必要である。このため、本実施形態でコンタクトホール・エッチングストッパ層として用いたHfO層9ba、9bbのように、必ずしもコンタクトホール・エッチングストッパ層の全部が絶縁層で形成されることは必要でない。例えば、HfO層9ba、9bb上に、ALD法で形成したシリコン(Si)層を設けた層を、コンタクトホール・エッチングストッパ層とすることもできる。弗化カーボン(CF<sub>4</sub>)と水素(H<sub>2</sub>)との混合ガスをエッチングガスとしたRIEでSiO<sub>2</sub>層15のエッチングを行う場合には、水素の割合を増やすことによって、SiO<sub>2</sub>に対するSiのエッチング速度を相当程度に小さくすることができる(例えば、非特許文献2を参照)。これにより、コンタクトホール・エッチングストッパ層に、HfO(酸化ハフニウム)よりも絶縁性の高い材料を使用することができ、確実に電氣的短絡を発

生させないコンタクトホール20a、20bを形成することができる。

[0058] (第2実施形態)

図2A～図2Eに、本発明の第2実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。

[0059] まず、図2Aに示すように、i層基板1上に、Si柱P1、P2を形成する。続いて、i層基板1上とSi柱P1、P2上とに、SiO<sub>2</sub>層3、4a、4bを形成する。続いて、Si柱P1、P2とSiO<sub>2</sub>層3との全体を覆うようにHfO層5、TiN層6、ポリSi層7を形成する（ここまでは、第1実施形態における図1A～図1Cに示す工程と同様である）。その後、ALD法を用いて、全体を覆うようにHfO層21を形成する。

[0060] 続いて、図2Bに示すように、i層基板1とSi柱P1、P2との全体を覆うようにレジスト（図示せず）を塗布する。続いて、エッチバック（Etch Back）により一様にレジストの表層部をエッチングすることで、Si柱P1、P2の高さ方向（Z方向）の所定の位置に表面が位置するレジスト層8を形成する。続いて、レジスト層8をエッチングマスクとして用い、Si柱P1、P2の上方にあるHfO層21、ポリSi層7、及びTiN層6、HfO層5をエッチングで除去し、Si柱P1、P2の側面にHfO層21a、ポリSi層7a、TiN層6a、及びHfO層5aを残存させる。ここで、Si柱P1、P2の頭頂部には、SiO<sub>2</sub>層4a、4bが残存する。その後、レジスト層8を除去する（露出したHfO層21をエッチングにより除去すること以外は、第1実施形態における図1Dに示す工程と同様である）。

[0061] 続いて、図2Cに示すように、i層基板1上とSi柱P1、P2上との全体を覆うように、CVDを用いてHfOによりHfO層21aを被覆する。続いて、プラズマエッチングにより、Si柱P1、P2の側面のHfO層21aを除去する。これにより、i層基板1上のポリSi層7aと、Si柱P1、P2を囲むHfO層21a、ポリSi層7a、TiN層6a、HfO層5aの上端面上と、Si柱P1、P2の上方の平坦部上とに、HfO層22aa、22ba、22bb、22ca、22cbを形成する（この工程は、

第1実施形態における図1E、図1Fに示す工程と同様である)。

[0062] 続いて、第1実施形態における図1G～図1Nにおいて、図1Nに示す工程で、さらにHfO層21aをエッチングすることを除いて、同様な工程を行う。これによって、図2Dに示すように、Si柱P1、P2のSGTチャネルに相当する外周に形成されたHfO層21a、ポリSi層7a、TiN層6a、及びHfO層5aからなるゲート層g1、g2上にあるHfO層22ba、22bb上に、レジスト層19をRIEのエッチングマスクとして用い、SiO<sub>2</sub>層15がエッチングされる。これによりコンタクトホール20a、20bが形成される。この場合、第1実施形態と異なり、ゲート層g1、g2の最外周には、絶縁層であるHfO層21aが残存している。

[0063] 続いて、図2Eに示すように、第1実施形態における図1Oに示す工程と同様にして、電源配線金属層Vdd、入力配線金属層Vin、出力配線金属層Vout、及びグランド配線金属層Vssを形成する。これにより、第1実施形態に係る、SGTを有するCMOSインバータ回路と同様な機能を備えるSGTを有するCMOSインバータ回路がi層基板1上に形成される。

[0064] 第2実施形態によれば、ゲート層g1、g2の最外周には絶縁層であるHfO層21aが形成されているので、このHfO層21aによって、コンタクトホール20a、20bの形成のためのリソグラフィ工程においてマスク合せズレが生じることでコンタクトホール20a、20bの底部がHfO層22ba、22bbの外側に位置した場合であっても、これによる電源配線金属層Vdd及びグランド配線金属層Vssと、ポリSi層7aとの電氣的な短絡が防止される。

[0065] (第3実施形態)

図3A～図3E、図4A、図4Bに、本発明の第3実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。

[0066] まず、図3Aに示すように、i層基板1上に、Si柱P1、P2を形成する。続いて、i層基板1上とSi柱P1、P2上とに、SiO<sub>2</sub>層3、4a、4bを形成する。続いて、Si柱P1、P2とSiO<sub>2</sub>層3との全体を覆うよ

うにHfO層5、TiN層6、ポリSi層7を形成する。続いて、i層基板1とSi柱P1、P2との全体を覆うようにレジスト（図示せず）を塗布する。続いて、エッチバックによって一様にレジストの表層部をエッチングすることで、Si柱P1、P2の高さ方向（Z方向）の所定の位置に表面が位置するレジスト層8を形成する。続いて、レジスト層8をエッチングマスクとして用い、Si柱P1、P2の上方にあるHfO層21、ポリSi層7、TiN層6、HfO層5をエッチングで除去し、Si柱P1、P2の側面にポリSi層7a、TiN層6a、HfO層5aを残存させる。ここでは、Si柱P1、P2の頭頂部に、SiO<sub>2</sub>層4a、4bが残存している（ここまでは、第1実施形態における図1A～図1Dに示す工程と同様である）。続いて、図3Aに示すように、ポリSi層7aエッチングマスクとして用い、TiN層6aの上端部24a、24bをエッチングにより除去する。その後、レジスト層8を除去する。

[0067] 次に、図3Bに示すように、Si柱P1、P2とi層基板1上との全体を覆うように、ALD（Atomic Layer Deposition；原子層堆積装置）を用いてHfO層23を形成する。これにより、TiN層6aの上端部24a、24bがHfO層23によって埋め込まれる。

[0068] 続いて、図3Cに示すように、等方プラズマエッチングを用いて、Si柱P1、P2の側面及びポリSi層7a上のHfO層23をエッチングにより除去して、TiN層6aの上端部24a、24bに、HfO層23a、23bを残存させる。

[0069] 続いて、図3Dに示すように、第1実施形態における図1E、図1Fに示す工程と同様にして、底部にあるポリSi層7a上にHfO層9aを形成する。また、HfO層5a及びTiN層6aの上端部のHfO層23a、23b上、及び、ポリSi層7aの上端面上に、HfO層9ba、9bbを形成する。さらに、SiO<sub>2</sub>層4a、4b上にHfO層9ca、9cbを形成する。

[0070] 続いて、図3Eに示すように、第1実施形態における図1G～図1Oに示

す工程と同様にして、S i 柱P 1、P 2において、S G Tのチャンネルに相当する外周に形成されたN i シリサイド層1 4 c、1 4 g、ポリS i 層7 a、T i N層6 a、及びH f O層5 aからなるゲート層g 1、g 2上にあるH f O層9 b a、9 b b上のS i O<sub>2</sub>層1 5内に、コンタクトホール2 0 a、2 0 bを形成する。また、電源配線金属層V d d、入力配線金属層V i n、出力配線金属層V o u t、及びグランド配線金属層V s sを形成する。これによって、第1実施形態に係る、S G Tを有するC M O Sインバータ回路と同様な機能を備えるS G Tを有するC M O Sインバータ回路がi層基板1上に形成される。

[0071] 第3実施形態によれば、以下の(1)～(3)が得られる。

(1) 第1実施形態では、図1 Jに示すS i 柱P 1、P 2の上下にイオン注入により形成したN<sup>+</sup>領域1 2 a、1 2 b、P<sup>+</sup>領域1 3 a、1 3 bについて熱処理を行い、図1 Kで示すように、ドナー、アクセプタ不純物を熱拡散させることで、N<sup>+</sup>領域1 2 a a、1 2 b b、P<sup>+</sup>領域1 3 a a、1 3 b bを形成した。この場合、S i 柱P 1、P 2の頭頂部のP<sup>+</sup>領域1 3 b b、N<sup>+</sup>領域1 2 b bの下端の位置は、S G TゲートとなるT i N層6 aの上端と等しい高さに位置することが好ましい。第1実施形態では、このような高さ位置の設定を、H f O層9 b a、9 b bの厚さと、不純物拡散の熱処理時間とを調整することにより行う。これに対し、第2実施形態では、第1実施形態における、H f O層9 b a、9 b bの厚さと、不純物拡散の熱処理時間との調整に加え、さらにT i N層6 aの上端部2 4 a、2 4 bのエッチング深さを調整することで、S i 柱P 1、P 2の頭頂部のP<sup>+</sup>領域1 3 b b、N<sup>+</sup>領域1 2 b bの下端を、S G TゲートとなるT i N層6 aの上端と等しい高さに位置させる。これにより、さらに高さ位置の設定が容易となる。

(2) 図3 Eに示すように、T i N層6 aと、電源配線金属層V d d及びグランド配線金属層V s sと、の間に、H f O層9 b a、9 b bに加え、T i N層6 aの上端部2 4 a、2 4 bにあるH f O層2 3 a、2 3 bが介在するため、第1実施形態と比べ、T i N層6 aと、電源配線金属層V d d及びグ

ランド配線金属層V s s と、の間の電氣的短絡の発生がさらに効果的に防止される。

[0072] なお、図3 Bでは、H f O層2 3は、A L Dで形成されるので、S i柱P 1、P 2の側面とi層基板1の上方とに互いに等しい厚さL hで形成されている。このH f O層2 3の厚さL h (μ m)は、T i N層6 aの厚さをL t (μ m)とすると、

$$L h > (1 / 2) \times L t$$

の関係を満たすことが好ましい。これによって、図3 Cに示すように、T i N層6 aの上端部2 4 a、2 4 bに、H f O層2 3 a、2 3 bが一様に埋め込められる。

[0073] また、図4 Aに示すように、S i柱P 1、P 2の外周に形成したH f O層5 a、2 1 aの間にあるT i N層6 a及びポリS i層7 aの上端部を所定の深さにエッチングする。そして、エッチングされたT i N層6 a及びポリS i層7 aの上端部に、図3 B、図3 Cに示す方法でH f O層2 5 a、2 5 bを埋め込む。そして埋め込まれたH f O層2 5 a、2 5 b上にH f O層2 2 b a、2 2 b bを形成することもできる。このような方法によっても、第3実施形態と同様な効果が得られる。

[0074] この後、第2実施形態の図2 D、図2 Eで示す工程を経て、図4 Bに示すように、S G Tを有するC M O Sインバータ回路が形成される。これにより、S G Tのゲート導体層であるT i N層6 a及びポリS i層7 aと、電源配線金属層V d d及びグランド配線金属層V s sと、の間には、埋め込まれたH f O層2 5 a、2 5 bと、H f O層2 5 a、2 5 b上に形成されたH f O層2 2 b a、2 2 b bと、の2層の絶縁層が存在する。これによって、図3 A～図3 Eを参照して説明したS G Tと同様な機能が得られる上に、T i N層6 a及びポリS i層7 aと、電源配線金属層V d d及びグランド配線金属層V s sと、の間での電氣的短絡の発生が防止される。

[0075] (第4実施形態)

図5 A～図5 Cに、本発明の第4実施形態に係るS G Tを有するC M O S

インバータ回路の製造方法を示す。

- [0076] まず、第1実施形態の図1A～図1Dに示す工程と同様な工程を行う。ここで、第1実施形態の図1Dでは、Si柱P1、P2の頭頂部にSiO<sub>2</sub>層4a、4bを残存させたが、第4実施形態では、図5Aに示すように、SiO<sub>2</sub>層4a、4bを除去する。その後、レジスト層を除去する。
- [0077] 続いて、第1実施形態の図1E、図1Fに示す工程を行い、図5Bに示すように、i層基板1とSi柱P1、P2との全体を覆うようにレジストを塗布し、エッチバックにより一様にレジストの表層部をエッチングする。これにより、HfO層9ba、9bbを覆うとともに、Si柱P1、P2の頭頂部のHfO層9ca、9cbが露出するように、レジスト層27を形成する。続いて、Si柱P1、P2の頭頂部のHfO層9ca、9cbをエッチングにより除去する。その後、レジスト層27を除去する。
- [0078] 続いて、第1実施形態における図1G～図1Oに示す工程を行うことで、図5Cに示すように、SGTを有するCMOSインバータ回路が形成される。
- [0079] 第4実施形態では、図5Bに示すように、第1実施形態の図1Oにおける、Si柱P1、P2の頭頂部のSiO<sub>2</sub>層4a、4b及びHfO層9ca、9cbが形成されておらず、Si柱P1、P2の頭頂部のP<sup>+</sup>領域13bbとN<sup>+</sup>領域12bbとの側面及び上面に、Niシリサイド層28a、28bが形成されている。これにより、第1実施形態と比べて、ドレインとなるP<sup>+</sup>領域13bb、N<sup>+</sup>領域12bbの抵抗が低いCMOSインバータ回路が形成される（回路によっては、ソース抵抗が低いSGT回路が得られる）。これにより、回路の更なる高速駆動化が実現される。
- [0080] (第5実施形態)
- 図6に、本発明の第5実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。
- [0081] 第3実施形態では、図4Bに示すように、Si柱P1、P2の頭頂部のN<sup>+</sup>領域12bb、P<sup>+</sup>領域13bbの外周にNiシリサイド層14d、14hが

形成されている（第1、第2実施形態でも同様である）。これに対して、第5実施形態では、図6に示すように、コンタクトホール20a、20bに接触するSi柱P1、P2の内部全体に、Niシリサイド層26d、26hが形成されている。そして、Niシリサイド層26d、26hに接触するとともに、不純物拡散端の位置がゲート層g1、g2の上端近傍に位置するP+領域27a、N+領域27bが形成されている。Niシリサイド層26d、26hは、図1Kに示すNiシリサイド層14a、14b、14d、14e、14hを形成した後に行う熱処理時間を長くすることで形成されている。また、Niシリサイド層26d、26hが形成されると同時に、P+領域13aa、N+領域12aa上と、ポリSi層7a下部の側面に、Niシリサイド層26a、26b、26e、26fが深い位置まで形成されている。また、コンタクトホール16の底部のNiシリサイド層14iも、上述した熱処理をNiシリサイド層14iの形成時に行うことでさらに深い位置まで形成できる。

[0082] 第5実施形態によれば、以下の(1)～(3)が得られる。

(1) コンタクトホール20a、20bに接触するSi柱P1、P2の内部全体に低抵抗なNiシリサイド層26d、26hが形成されているので、コンタクトホール20a、20bに接触するSi柱P1、P2の表層部に形成されたNiシリサイド層14d、14h、28a、28bを有する第1～第3実施形態と比べ、ドレイン抵抗が低いCMOSインバータ回路が形成される（回路によっては、ソース抵抗が低いSGT回路が得られる）。

(2) コンタクトホール20a、20bに接触するSi柱P1、P2の内部全体に低抵抗なNiシリサイド層26d、26hが形成されているので、第3実施形態のように、Si柱P1、P2の頭頂部のSiO<sub>2</sub>層4a、4b及びHfO層9ca、9abを除去する工程を追加することなく、ドレイン抵抗が低いCMOSインバータ回路が形成される（回路によっては、ソース抵抗が低いSGT回路が得られる）。

[0083] (第6実施形態)

図7に、本発明の第6実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。

[0084] 図7に示すように、第1実施形態の図1Nに相当する工程において、リソグラフィ法によるコンタクトホール30a、30bを形成するためのレジスト層19の形状を、i層基板1の上面から見た外周が円形となるように、コンタクトホール30a、30bをHfO層9ba、9bb上に形成する。

[0085] 図1Nでは、コンタクトホール20a、20bのレジスト層19の形状は矩形形状であるため、Si柱P1、P2の外周に同心円状に形成されたHfO層9ba、9bb上に、断面矩形形状のコンタクトホール20a、20bを確実に形成するために、このコンタクトホール20a、20bの4つの角部でのマスク合せを精度よく行うことが必要となる。これに対して、第6実施形態では、コンタクトホール30a、30bを形成するためのレジスト層19の形状が円形であるため、マスク合せが簡素化され、第1実施形態よりもマスク合わせが容易になる。

[0086] なお、上記各実施形態では、シリコンからなるSi柱を用いたが、シリコン以外の材料からなる半導体柱を用いるSGTにも本発明の技術的思想を適用することができる。

[0087] 上記各実施形態では、ゲート導電層としてTiN6a、ドナー又はアクセプタ不純物を含むポリSi層7aを用いたが、これらは他の金属層であってもよい。また、ゲート導電層は、TiN及びポリSiと、それ以外の材料層とからなる多層構造から形成してもよい。

[0088] 上記各実施形態では、Niシリサイド層14a、14b、14c、14d、14e、14h、26a、26b、26c、26d、26e、26h、28a、28bを用いたが、Ni以外の金属とのシリサイド層であってもよい。

[0089] Si柱P1、P2の頭頂部のシリサイド層は、コンタクトホール20a、20b、30a、30bを形成した後に、Ti、Ta、W、Niなどを被覆することで形成してもよい。

- [0090] Si柱P1、P2の頭頂部のN<sup>+</sup>領域12bb、27b、P<sup>+</sup>領域13bb、27aは、イオン注入法以外に、例えば、ドーブ・エピタキシ法、モレキュラビーム法、ALD法などの方法を用いて形成してもよい。
- [0091] Si柱P1、P2の頭頂部のN<sup>+</sup>領域12bb、27b、P<sup>+</sup>領域13bb、27aは、必ずしもSi柱P1、P2の底部の外周のN<sup>+</sup>領域12aa、P<sup>+</sup>領域13aaと同時に形成しなくとも良い。
- [0092] 上記各実施形態では、i層基板1の代わりに、i層基板1の底部に絶縁基板を有するSOI基板を用いることもできる。
- [0093] 第6実施形態は、第1実施形態と対比しながら説明したが、第1～5実施形態においても、これと同様にコンタクトホール20a、20b、30a、30bの形成を容易とする効果が得られる。
- [0094] 上記各実施形態では、絶縁層としてHfO層5、5a、9、9a、9ba、9bb、9ca、9cb、9aa、21、21a、22aa、22ba、22bb、22ca、22cb、23a、23b、25a、25bを用いたが、HfOに限定されず、他の絶縁材料を使用してもよい。
- [0095] 第3実施形態では、埋め込み絶縁層としてHfO層23a、23b、25a、25bを用いたが、この埋め込み絶縁層上に形成されているHfO層22ba、22bbは、絶縁性を有するHfOと異なる絶縁材料層、例えば、酸化ジルコニウム (ZrO<sub>2</sub>)、酸化コバルト・チタン (CoTiO<sub>3</sub>) などを用いても良い。
- [0096] HfO層5、5aは、ゲート絶縁層であることから、通常、HfO<sub>2</sub>が用いられる。他のHfO層9、9a、9ba、9bb、9ca、9cb、9aa、21、21a、22aa、22ba、22bb、22ca、22cb、23は、絶縁層として機能すればその他の材料からなるものでもよい。
- [0097] 第4実施形態は、第2実施形態に基づいて説明したが、第4実施形態の技術的思想は、他の実施形態にも適用できる。
- [0098] 第3実施形態では、図3Aで示すように、TiN層6aの上端部24a、24bのエッチングを、レジスト層8をエッチングマスクとして用い、Ti

O層5a、TiN層6a、ポリSi層7aを形成した後に行った。これに限られず、このTiN層6aの上端部24a、24bのエッチングは、レジスト層8をエッチングマスクとして用い、TiO層5a、TiN層6a、ポリSi層7aを形成するエッチングと同時にすることもできる。このことは、図4Aにおいても同様である。

[0099] 本発明の実施形態の説明は、Si柱P1、P2に1つのSGTを形成する場合について行ったが、1つの半導体柱に複数のSGTを形成する場合（特許文献5、非特許文献3を参照）についても、半導体柱の頭頂部にSGTのソース、又はドレイン不純物領域を有するSGTを有する回路形成に本発明を適用できる。

[0100] SGTは、半導体柱の外周にゲート絶縁膜が形成され、このゲート絶縁膜の外周にゲート導体層が形成されている構造を有する。このゲート導体層とゲート絶縁層の間に電氣的に浮遊した導体層を有するフラッシュメモリ素子もSGTの1形態であり、本発明の技術的思想が適用可能である。

[0101] 上記各実施形態では、半導体柱にSGTのみが形成されている場合について説明したが、本発明の技術的思想は、SGTとそれ以外の素子（例えばフォトダイオードなど）が組み込まれた半導体装置の製造方法にも適用できる。

[0102] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされているものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて実施形態の構成要件の一部を除いても本発明の技術的思想の範囲内となる。

### 産業上の利用可能性

[0103] 本発明に係る、SGTを有する半導体装置とその製造方法は、SGTを有する、高速動作が可能な半導体装置を実現するために有用である。

### 符号の説明

[0104] 1 i層基板

2 a、2 b、3 SiO<sub>2</sub>層

5、5 a、9、9 a、9 b a、9 b b、9 c a、9 c b、9 a a、2 1、2  
1 a、2 2 a a、2 2 b a、2 2 b b、2 2 c a、2 2 c b、2 3 HfO  
層

6、6 a TiN層

7、7 a ポリSi層

8、1 0、1 1 a、1 1 b、1 5、2 7 レジスト層

1 2 a、1 2 b、1 2 a a、1 2 b b N<sup>+</sup>領域

1 3 a、1 3 b、1 3 a a、1 3 b b P<sup>+</sup>領域

1 4 a、1 4 b、1 4 c、1 4 d、1 4 e、1 4 g、1 4 h、1 4 i、2 6  
a、2 6 b、2 6 c、2 6 d、2 6 e、2 6 f、2 6 h、2 8 a、2 8 b、  
Niシリサイド層

1 6、1 8、2 0 a、2 0 b、3 0 a、3 0 b コンタクトホール

2 3 a、2 3 b、2 5 a、2 5 b (埋め込まれた) HfO層

2 4 a、2 4 b TiN層の上端部

g 1、g 2 ゲート層

P 1、P 2 Si柱

V d d 電源配線金属層

V s s グランド配線金属層

V i n 入力配線金属層

V o u t 出力配線金属層

## 請求の範囲

[請求項1]

半導体基板上に形成された半導体柱と、  
前記半導体柱の下方に形成されたドナー又はアクセプタ不純物を含む第1の不純物領域と、  
前記第1の不純物領域から上方に離間するとともに、前記半導体柱の頭頂部に形成され、前記第1の不純物領域と同じ導電性を有するドナー又はアクセプタ不純物を含む第2の不純物領域と、  
前記第1の不純物領域と前記第2の不純物領域との間において、前記半導体柱の外周を囲む第1の絶縁層と、  
前記第1の絶縁層の外周を囲む第1の導体層と、  
前記第1の導体層の上端面に接触する第2の絶縁層と、  
前記半導体基板と前記半導体柱とを覆う第3の絶縁層と、  
前記第3の絶縁層に形成され、前記半導体柱の頭頂部を囲むとともに、前記第2の絶縁層の表層部と接触する底部を有し、かつ、その底部の外周が、前記第2の絶縁層上に位置するコンタクトホールと、  
前記コンタクトホール内において、前記第2の絶縁層の表層部に接触し、かつ前記第2の不純物領域が形成された前記半導体柱の頭頂部の側面と接触する第2の導体層と、を有し、  
前記第1の不純物領域と前記第2の不純物領域とは、一方がソースとして機能するとき、他方がドレインとして機能し、  
前記第1の不純物領域と前記第2の不純物領域との間における前記半導体柱の一部がチャンネルとして機能し、  
前記第1の絶縁層が、ゲート絶縁層として機能し、  
前記第1の導体層が、ゲート導体層として機能し、  
前記第2の導体層が、前記半導体柱の頭頂部に位置する前記第2の不純物領域に電氣的に接続されている、S G T (Surrounding Gate Transistor) が構成されている、  
ことを特徴とするS G Tを有する半導体装置。

- [請求項2] 前記第2の絶縁層が形成された後に、前記第2の絶縁層をマスクとして用いることで、前記半導体柱の頭頂部に、前記第2の不純物領域が形成されている、  
ことを特徴とする請求項1に記載のSGTを有する半導体装置。
- [請求項3] 前記第1の導体層の外周を囲む第4の絶縁層をさらに有し、  
前記第2の絶縁層は、前記第1の導体層及び前記第4の絶縁層の上端面に接触するように形成されている、  
ことを特徴とする請求項1に記載のSGTを有する半導体装置。
- [請求項4] 前記第1の導体層と前記第2の絶縁層との間に第5の絶縁層が形成されている、  
ことを特徴とする請求項1に記載のSGTを有する半導体装置。
- [請求項5] 前記第2の不純物領域と前記第2の導体層との電氣的接続が、前記半導体柱に形成され、前記コンタクトホールに繋がるシリサイド層を介してなされている、  
ことを特徴とする請求項1に記載のSGTを有する半導体装置。
- [請求項6] 前記シリサイド層が、前記半導体柱の頭頂部の内部全体に形成され、  
前記第2の不純物領域は、前記シリサイド層に接触するとともに、前記第2の不純物領域の下端が前記第1の導体層の上端の高さに位置する、  
ことを特徴とする請求項5に記載のSGTを有する半導体装置。
- [請求項7] 前記コンタクトホールの、前記半導体基板の上面から見た外周が円形である、  
ことを特徴とする請求項1に記載のSGTを有する半導体装置。
- [請求項8] 前記半導体基板上に、半導体柱を形成する半導体柱形成工程と、  
前記半導体柱の底部に、ドナー又はアクセプタ不純物を含む第1の不純物領域を形成する第1不純物領域形成工程と、  
前記第1の不純物領域から上方に離間するとともに、前記第1の不

純物領域と同じ導電性を有するドナー又はアクセプタ不純物を含む第2の不純物領域を、前記半導体柱の頭頂部に形成する第2不純物領域形成工程と、

前記第1の不純物領域と前記第2の不純物領域との間に、前記半導体柱の外周を囲むように第1の絶縁層を形成する第1絶縁層形成工程と、

前記第1の絶縁層の外周を囲むように第1の導体層を形成する第1導体層形成工程と、

前記第1の導体層の上端面に接触するように第2の絶縁層を形成する第2絶縁層形成工程と、

前記半導体基板と前記半導体柱とを覆うように第3の絶縁層を形成する第3絶縁層形成工程と、

前記第3の絶縁層に、前記半導体柱の頭頂部を囲むとともに、前記第2の絶縁層の表層部と接触する底部を有し、かつ、前記底部の外周が、前記第2の絶縁層上に位置するようにコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内に、前記第2の絶縁層の表層部に接触するように、かつ前記第2の不純物領域が形成された前記半導体柱の頭頂部の側面と接触するように、第2の導体層を形成する第2導体層形成工程と、を有し、

前記第1の不純物領域と前記第2の不純物領域とは、一方がソースとして機能するときに、他方がドレインとして機能し、

前記第1の不純物領域と前記第2の不純物領域との間における前記半導体柱の一部がチャンネルとして機能し、

前記第1の絶縁層がゲート絶縁層として機能し、

前記第1の導体層がゲート導体層として機能し、

前記第2の導体層が、前記半導体柱の頭頂部に位置する前記第2の不純物領域に電氣的に接続されるSGT (Surrounding Gate Transis

tor) を形成する、

ことを特徴とするSGTを有する半導体装置の製造方法。

[請求項9] 前記第2の絶縁層を形成した後に、前記第2の絶縁層をマスクとして用いることで、前記半導体柱の頭頂部に、前記第2の不純物領域を形成する、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

[請求項10] 前記コンタクトホール形成工程が、前記第3の絶縁層のエッチング速度が前記第2の絶縁層のエッチング速度よりも速くなるエッチングイオンを含むプラズマ雰囲気で行われる、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

[請求項11] 前記第1の導体層の外周を囲むように第4の絶縁層を形成する第4絶縁層形成工程をさらに有し、

前記第2絶縁層形成工程では、前記第2の絶縁層を、前記第1の導体層及び前記第4の絶縁層の上端面に接触するように形成する、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

[請求項12] 前記第1の導体層と前記第2の絶縁層との間に第5の絶縁層を形成する第5絶縁層形成工程をさらに有する、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

[請求項13] 前記第1の導体層の外周を囲むようにエッチングストッパ層を形成するエッチングストッパ層形成工程と、

前記エッチングストッパ層をエッチングマスクとして用い、前記第1の導体層の上端部を除去するエッチング工程と、

前記半導体基板と前記半導体柱との全体を絶縁層で被覆する絶縁膜被覆工程と、

等方プラズマエッチングを用いて前記絶縁層のエッチングを行い、前記第1の導体層の上端に、前記第5の絶縁層を形成する工程と、を有し、

前記第5の絶縁層の厚さを、前記第1の導体層の厚さの $1/2$ よりも厚くする、

ことを特徴とする請求項12に記載のSGTを有する半導体装置の製造方法。

[請求項14]

前記コンタクトホールに繋がるように、前記半導体柱に、前記第2の不純物領域と前記第2の導体層との電氣的接続を行うシリサイド層を形成するシリサイド層形成工程をさらに有する、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

[請求項15]

前記シリサイド層を、前記半導体柱の頭頂部の内部全体に、かつ前記コンタクトホールに繋がるように形成し、

前記第2の不純物領域を、前記シリサイド層に接触するとともに、前記第2の不純物領域の下端が前記第1の導体層の上端の高さに位置するように形成する、

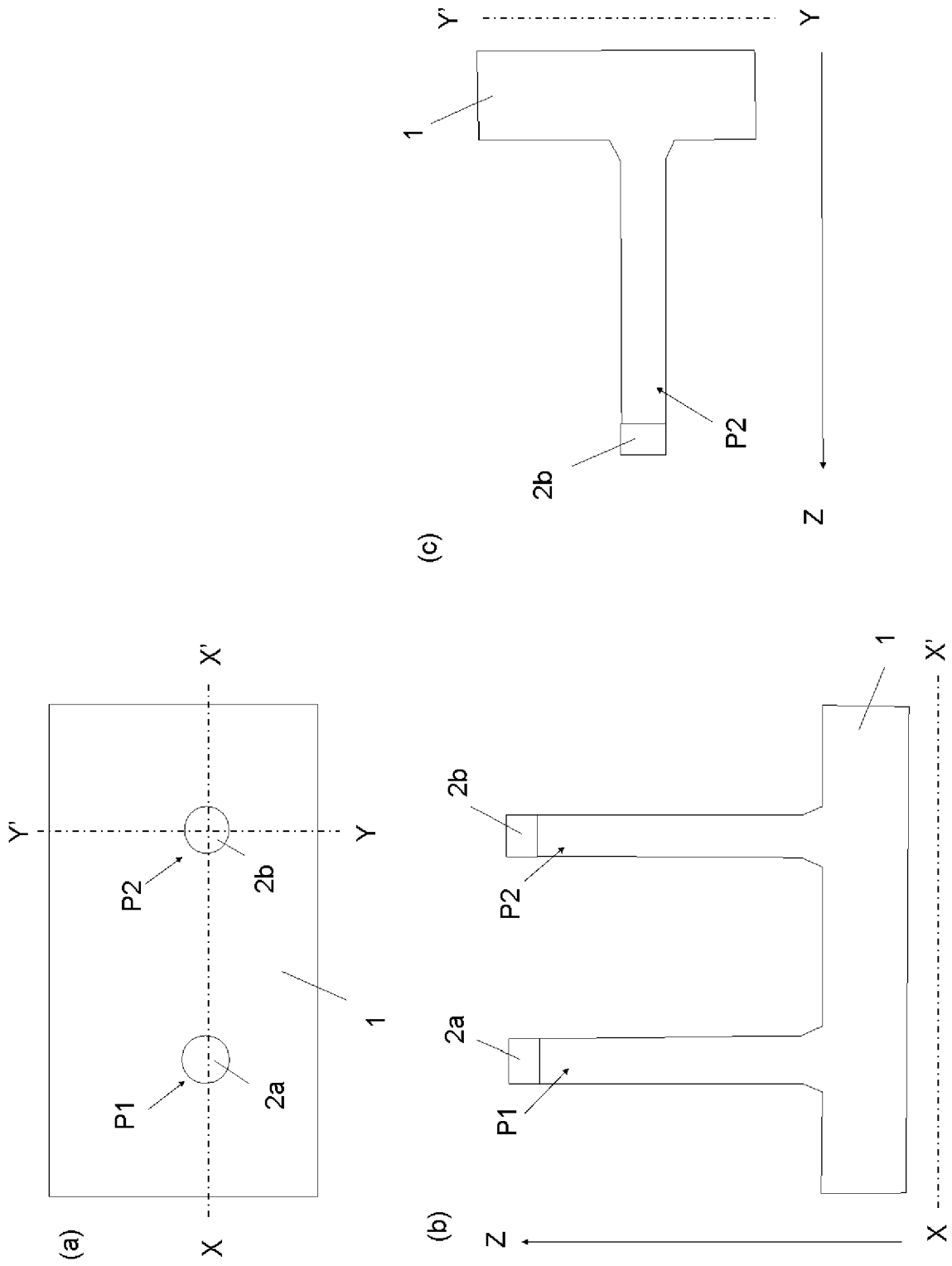
ことを特徴とする請求項14に記載のSGTを有する半導体装置の製造方法。

[請求項16]

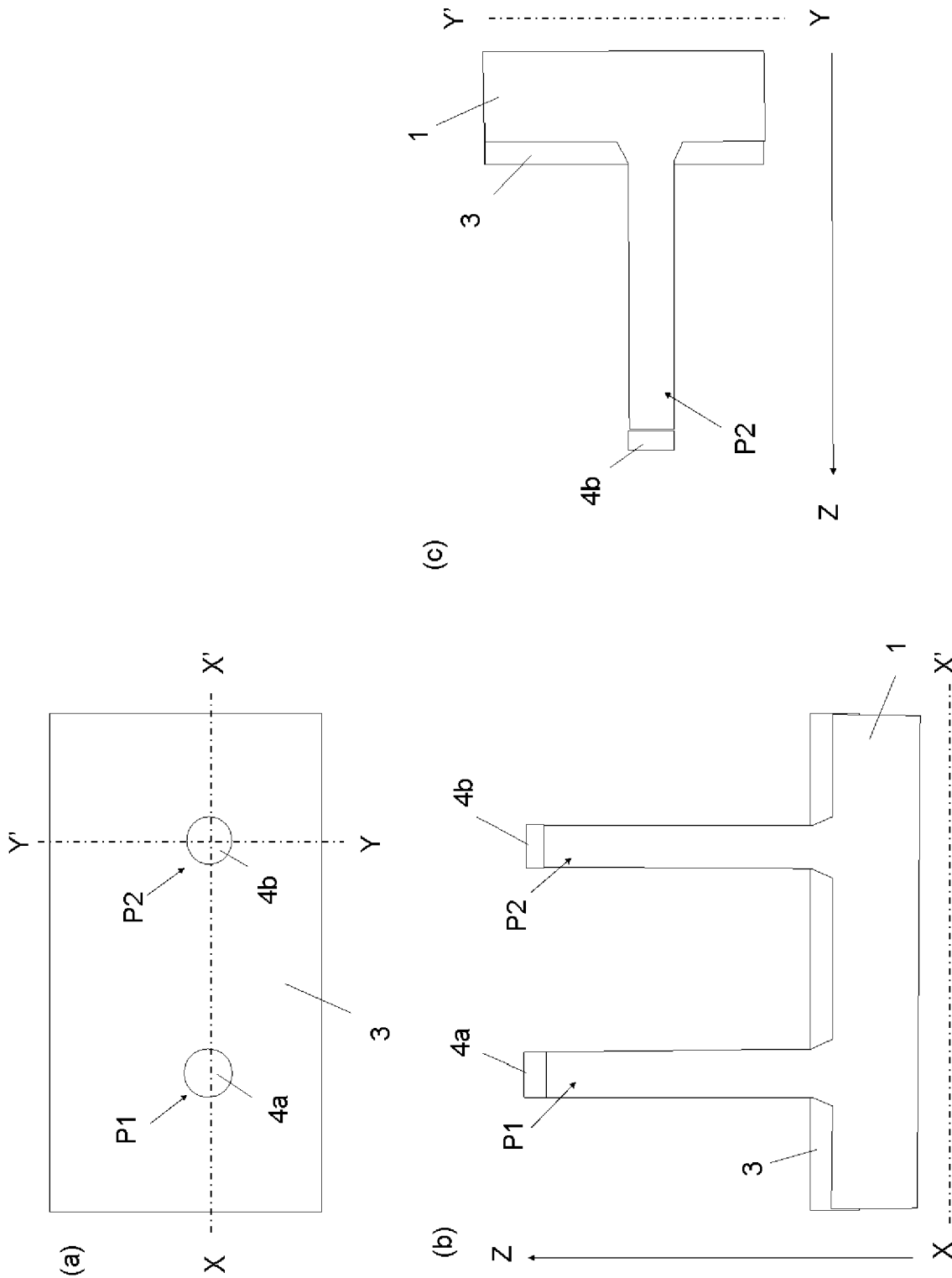
前記コンタクトホールを、前記半導体基板の上面から見た外周が、円形となるように形成する、

ことを特徴とする請求項8に記載のSGTを有する半導体装置の製造方法。

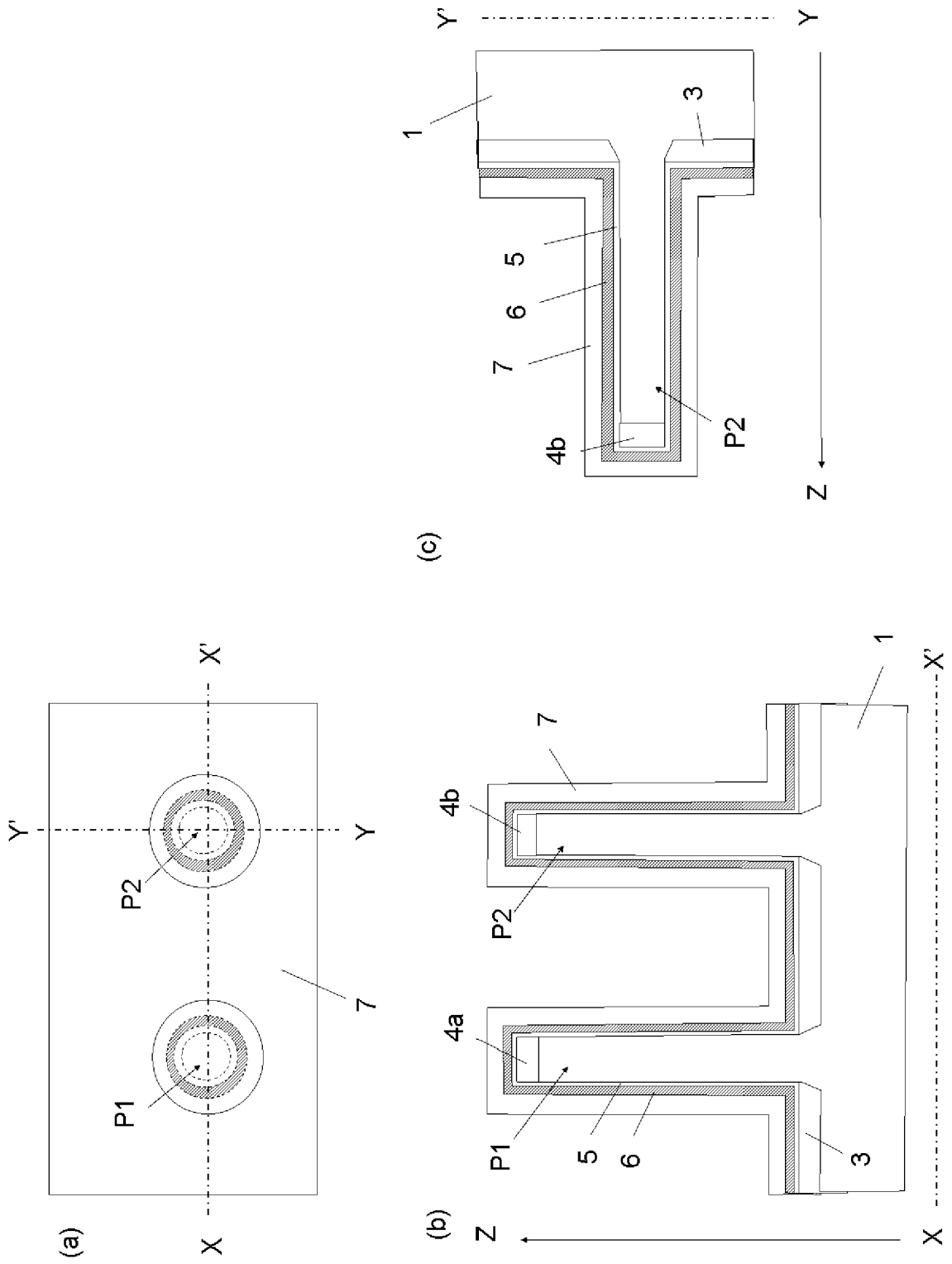
[図1A]



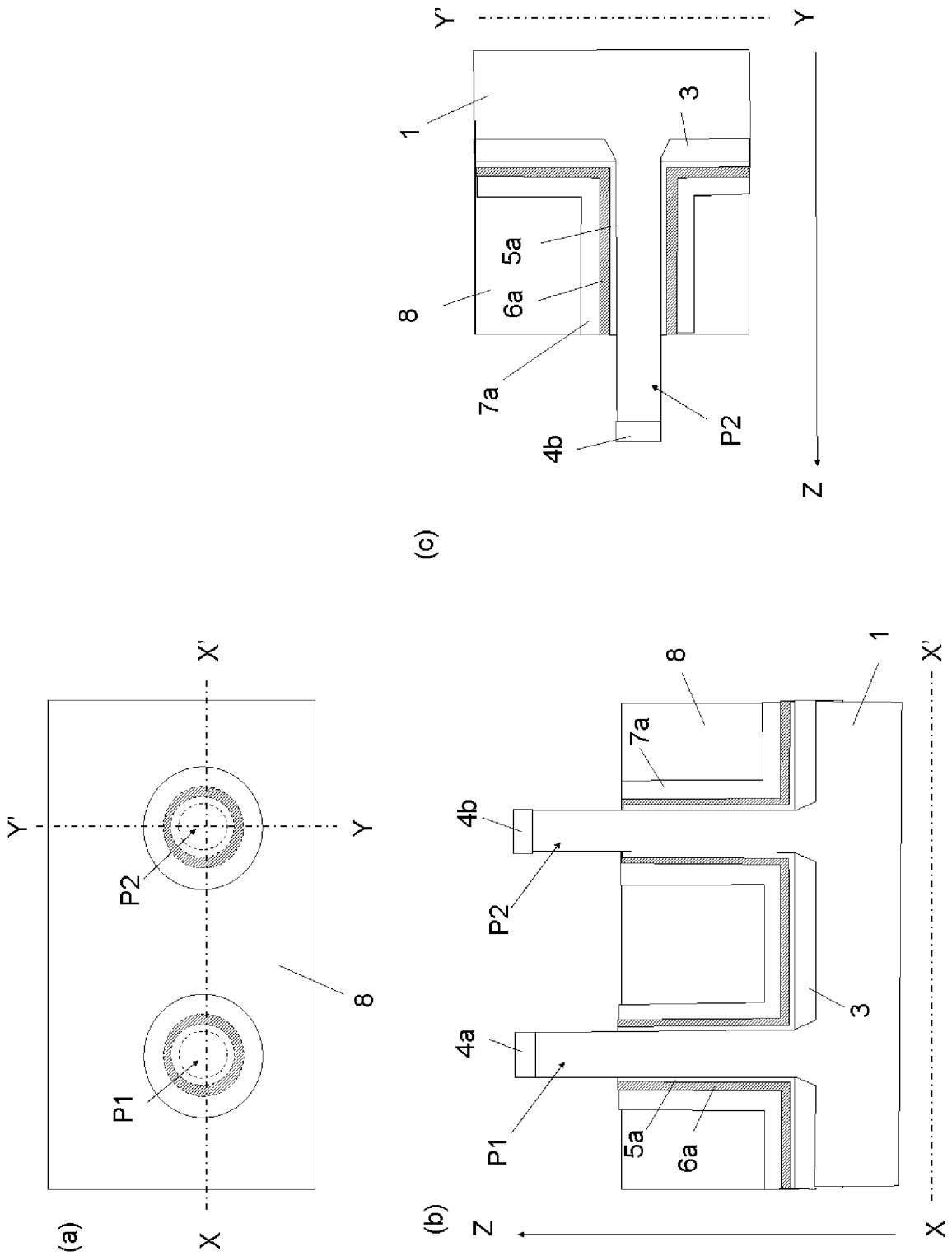
[圖1B]



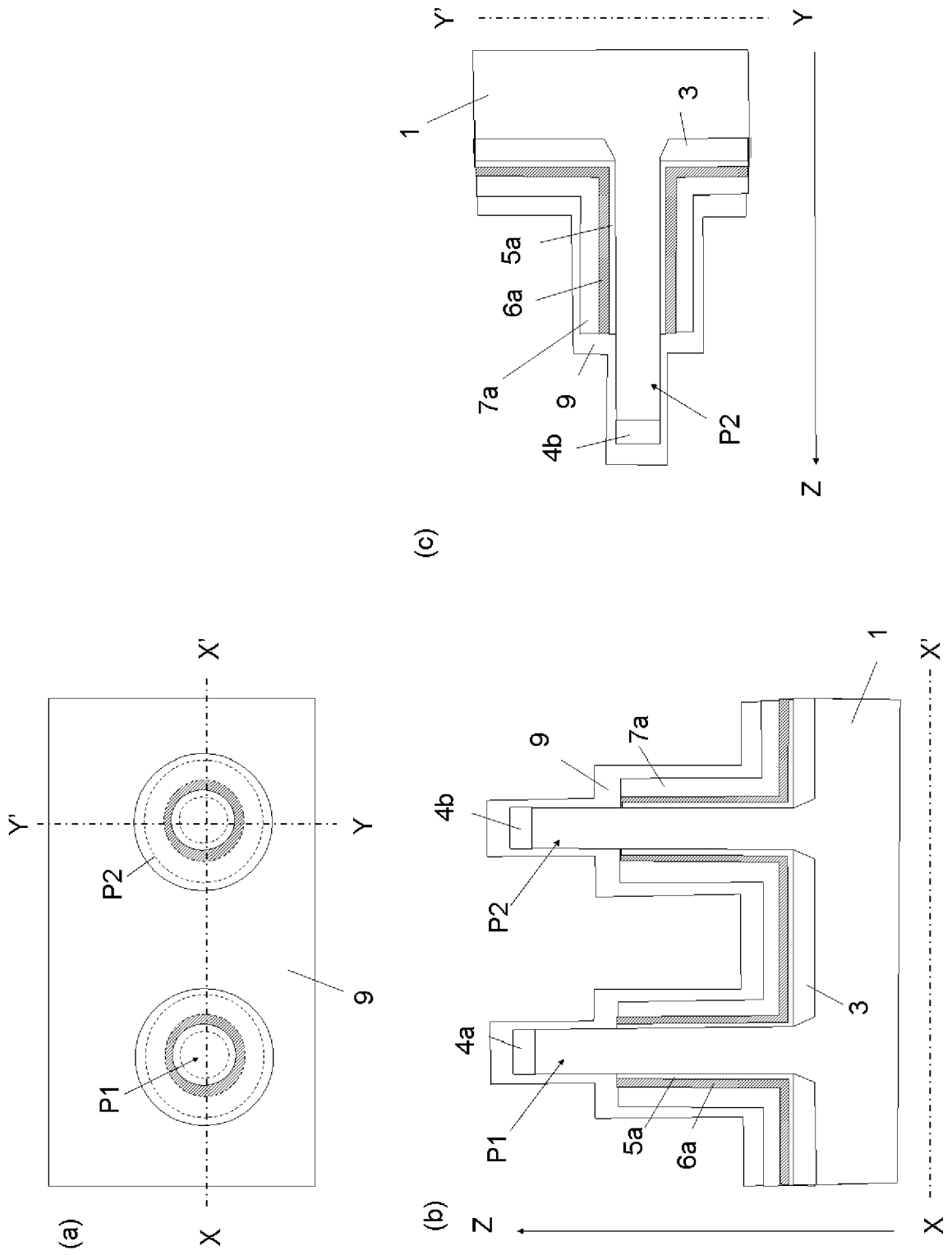
[図1C]



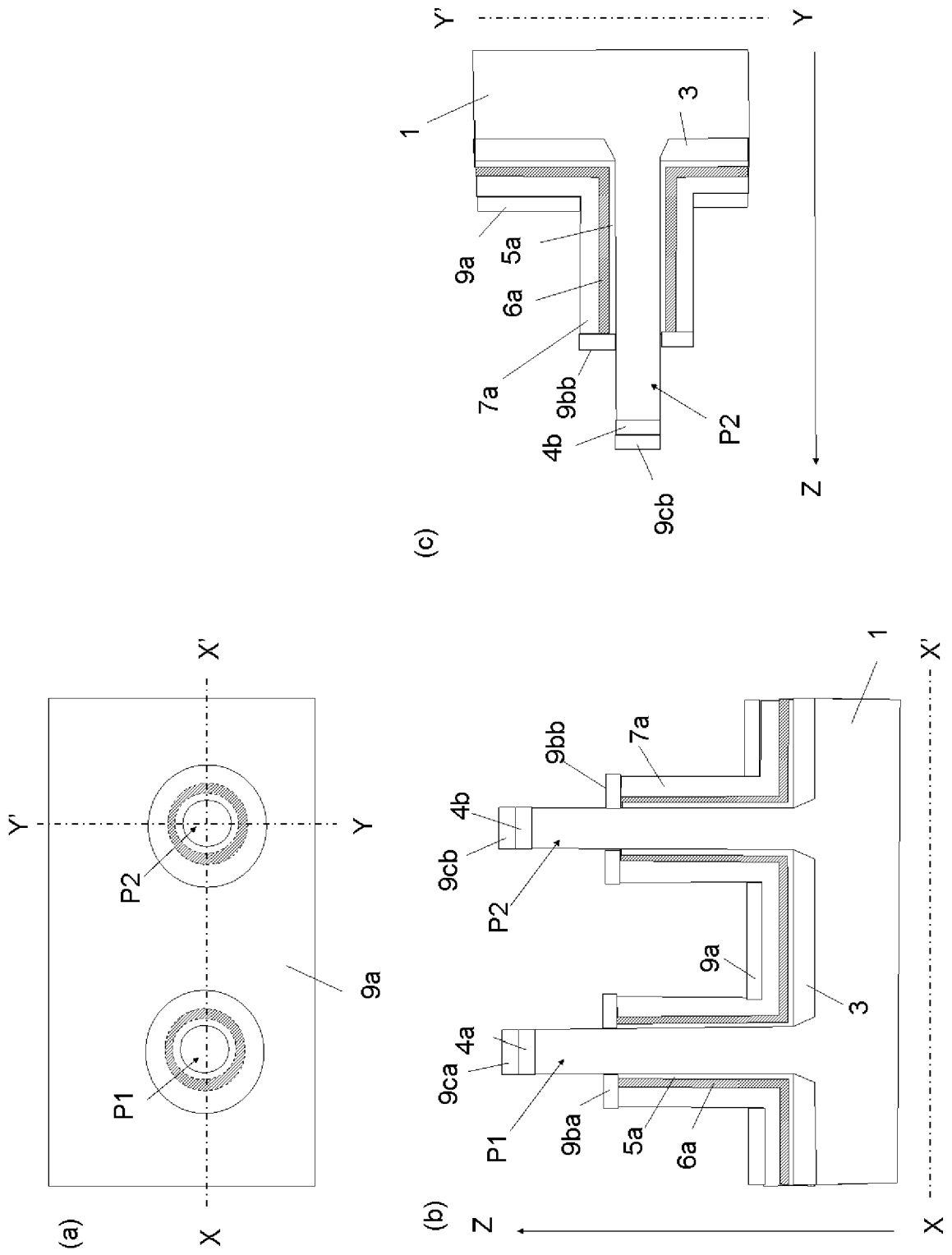
[図1D]



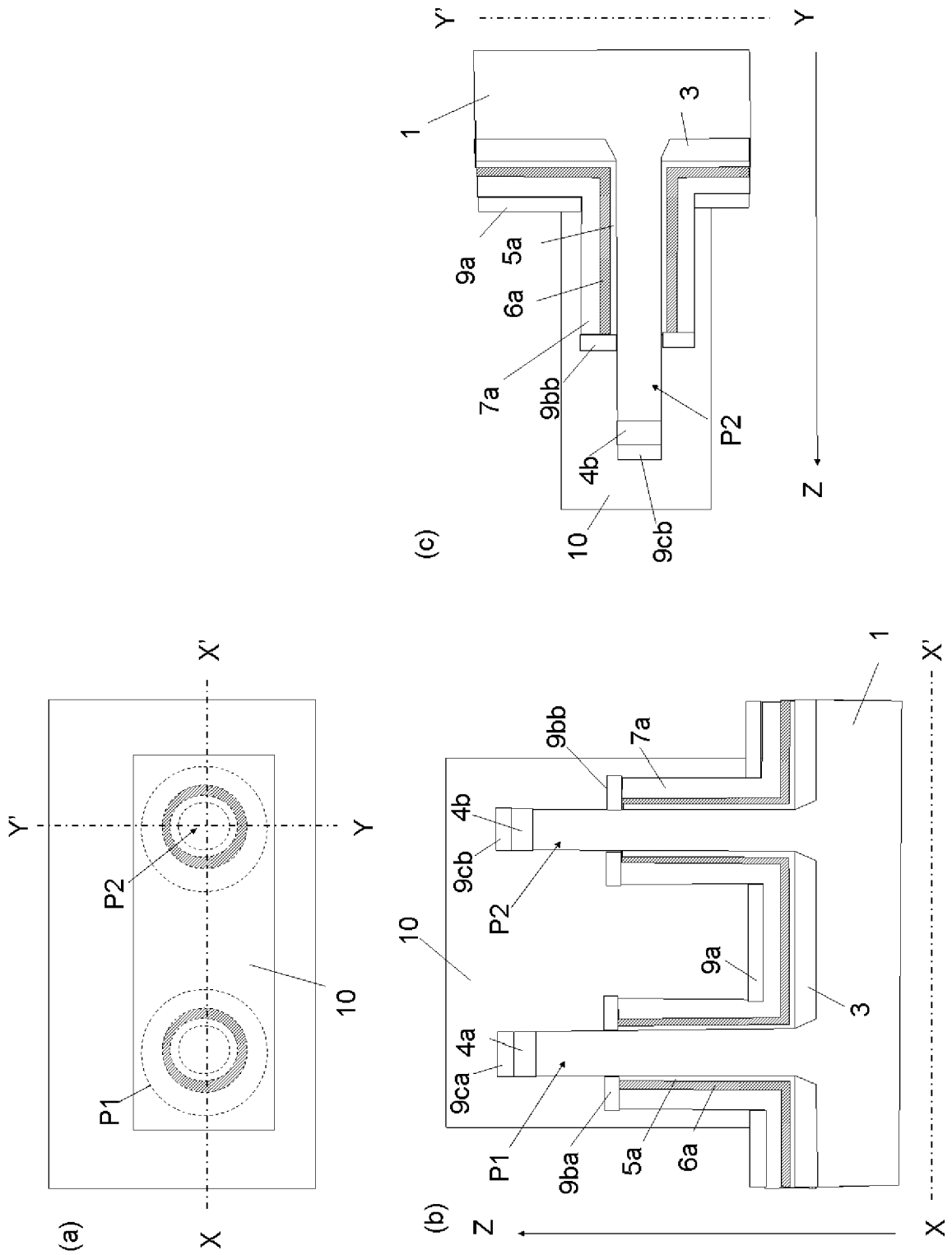
[図1E]



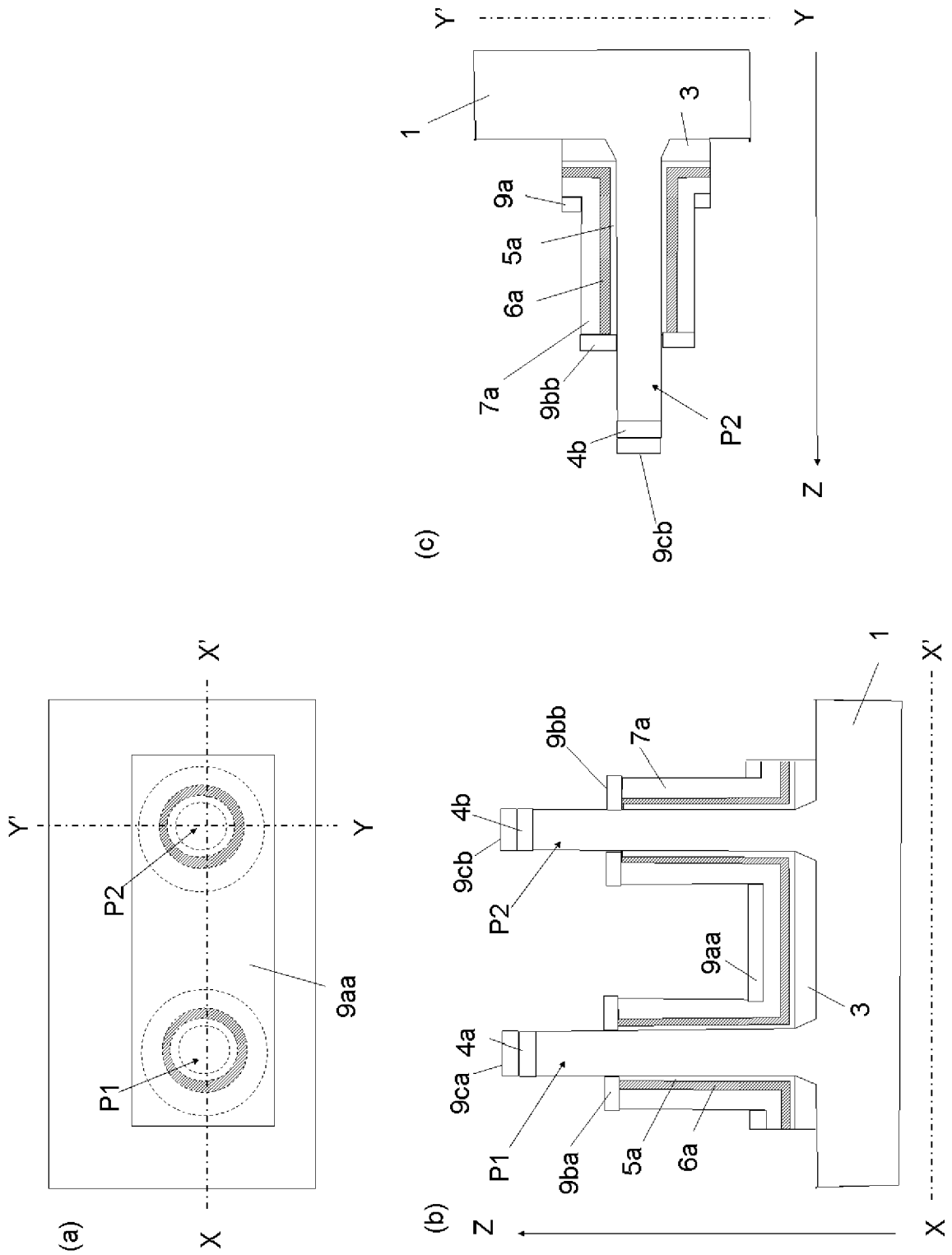
[図1F]



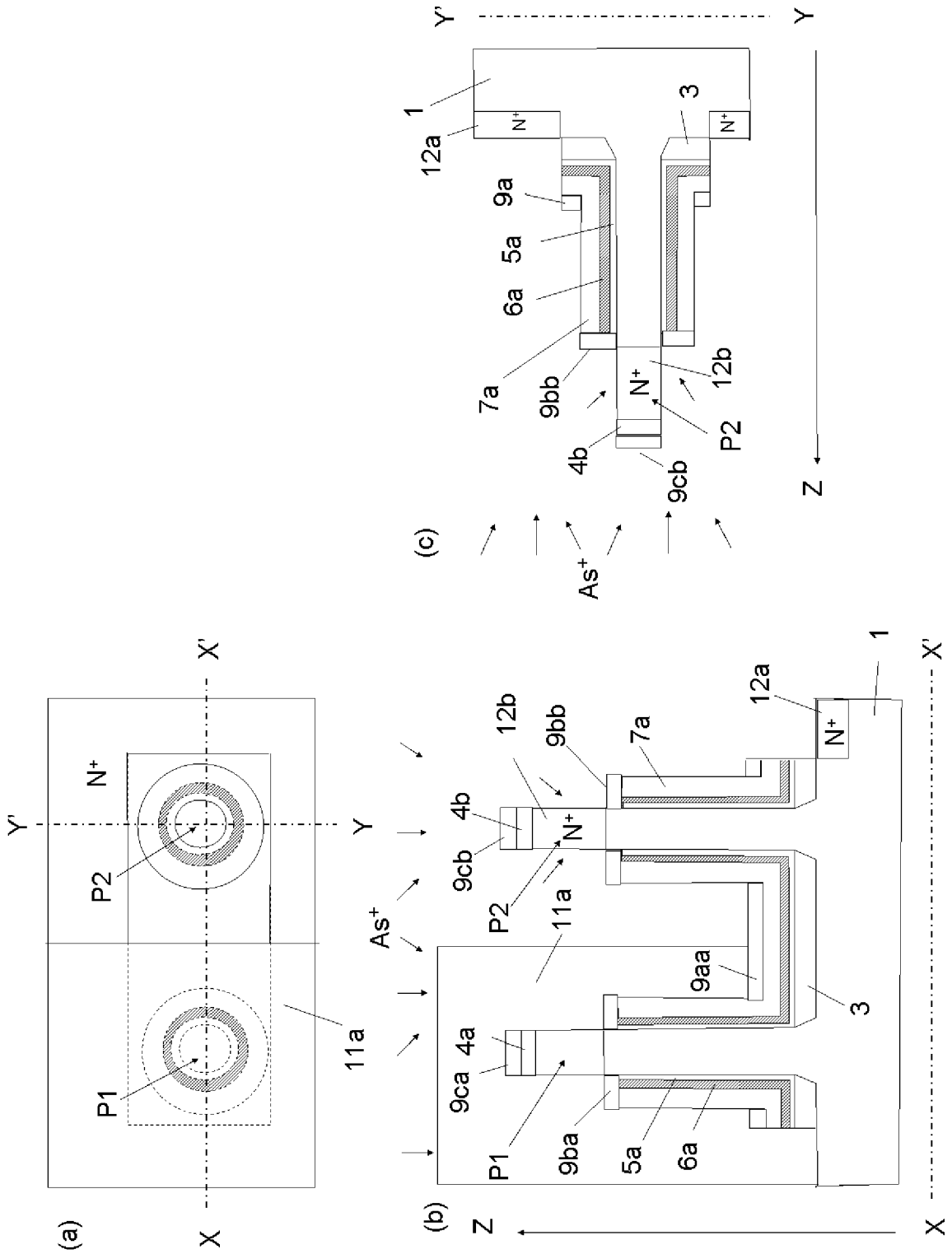
[1G]



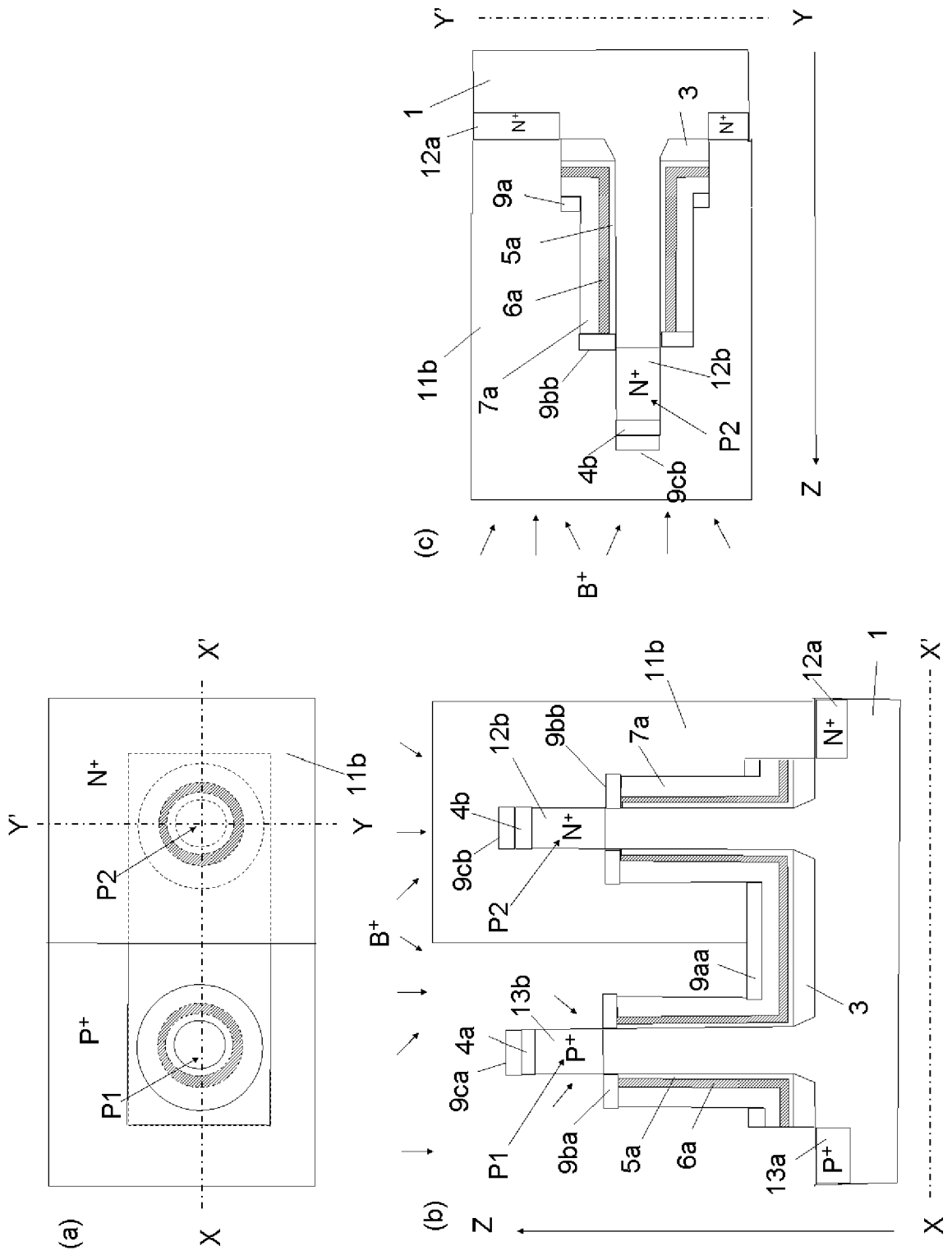
[図1H]



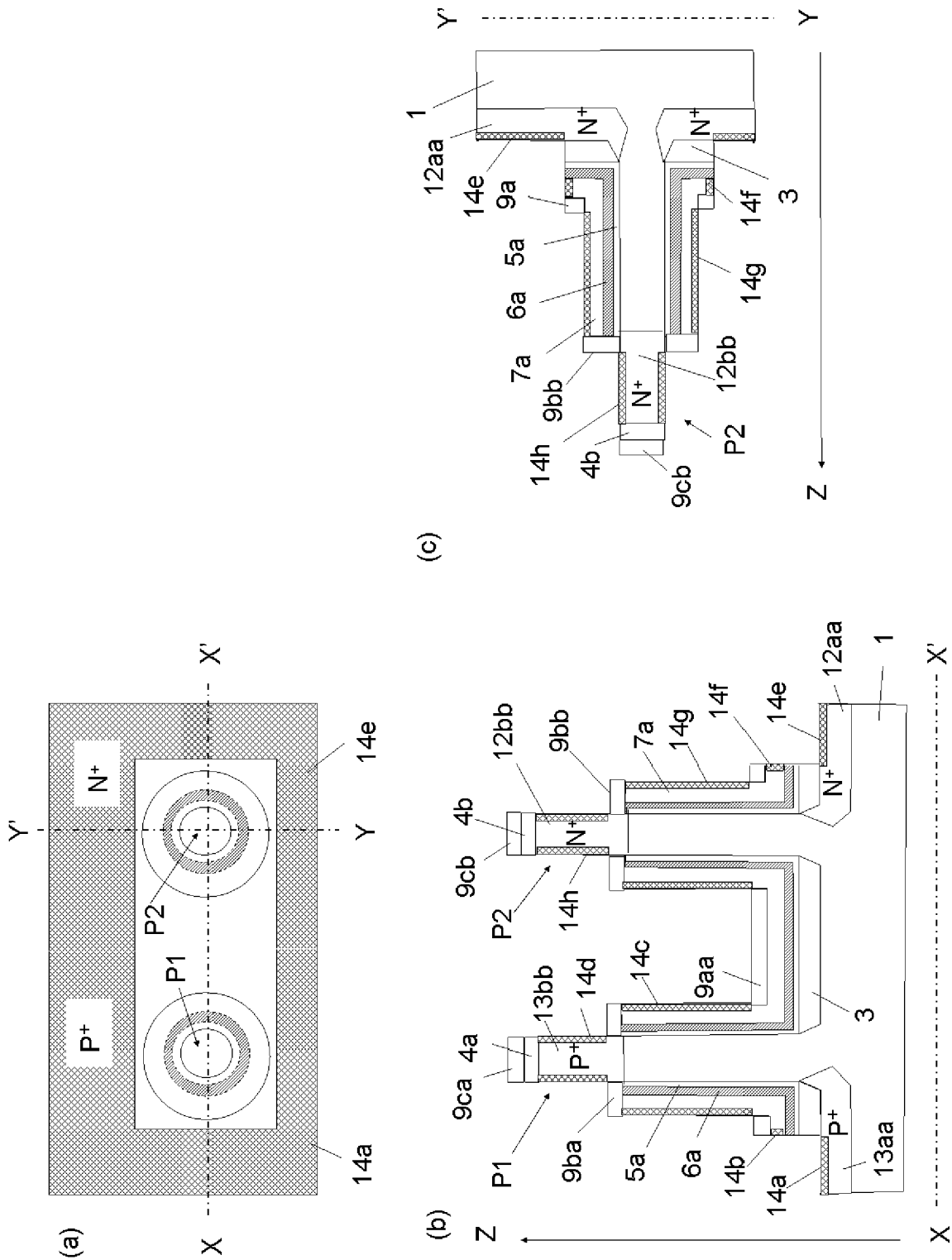
[図11]



[図1J]

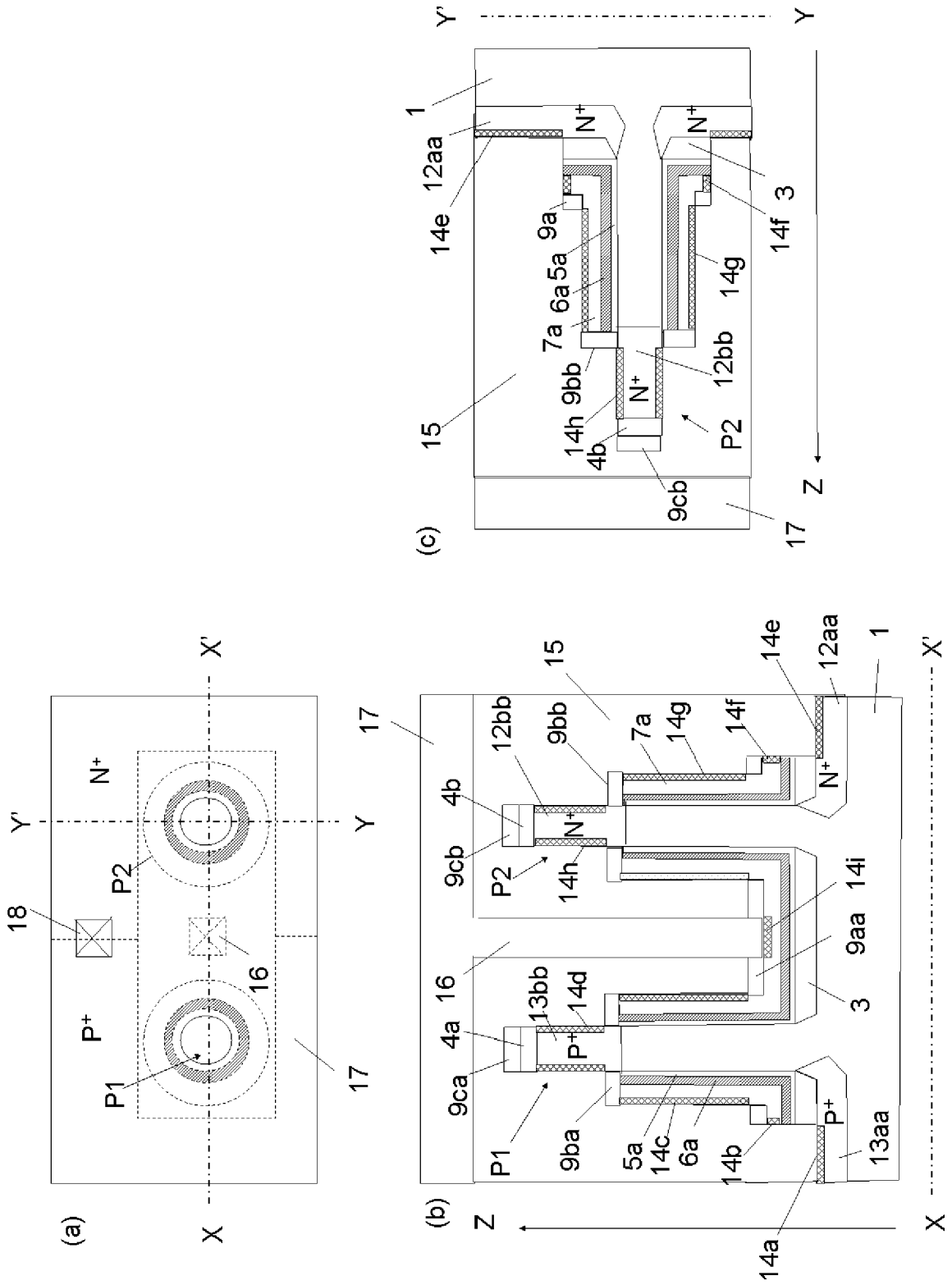


[図1K]



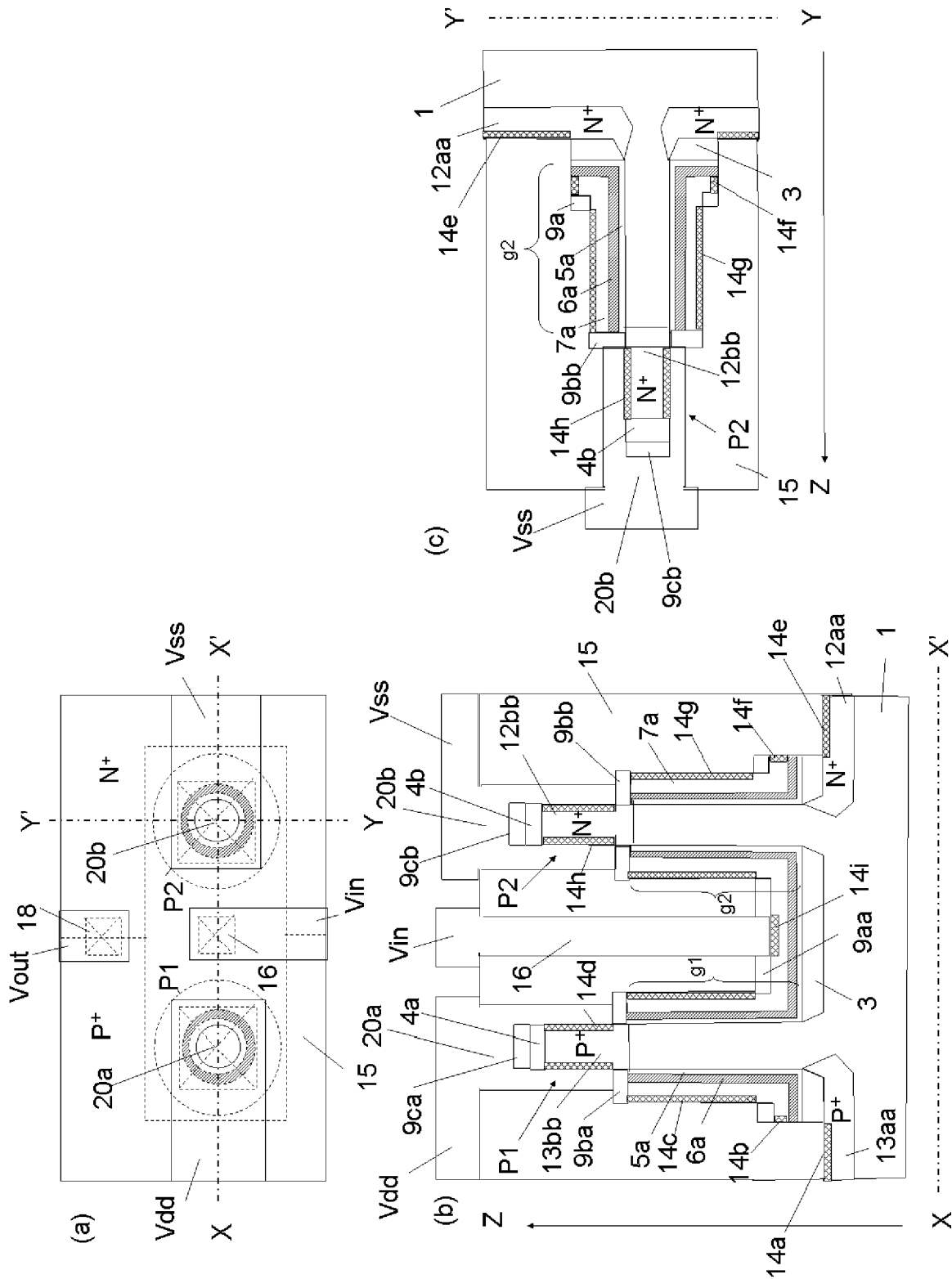


[図1M]

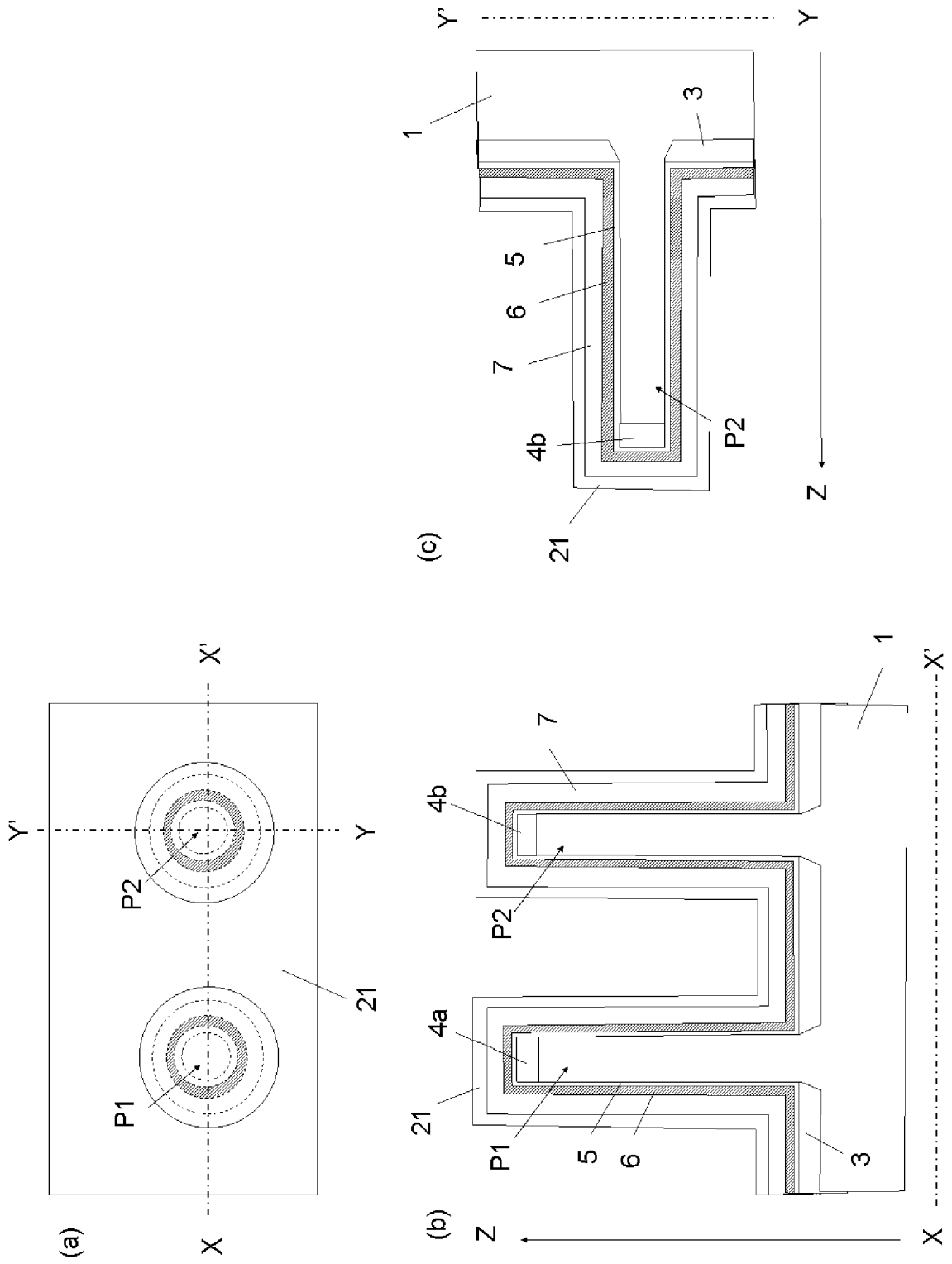




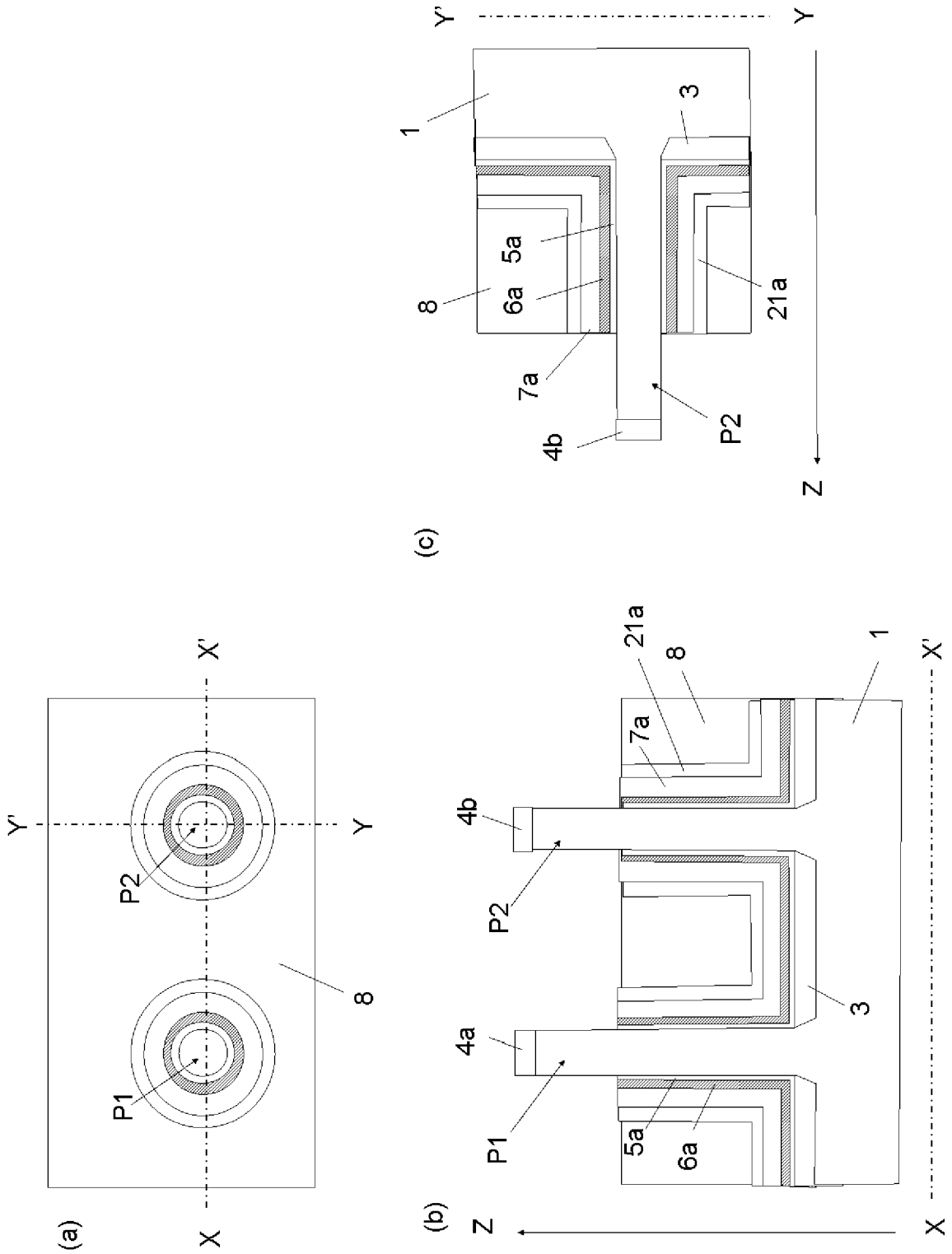
[図10]



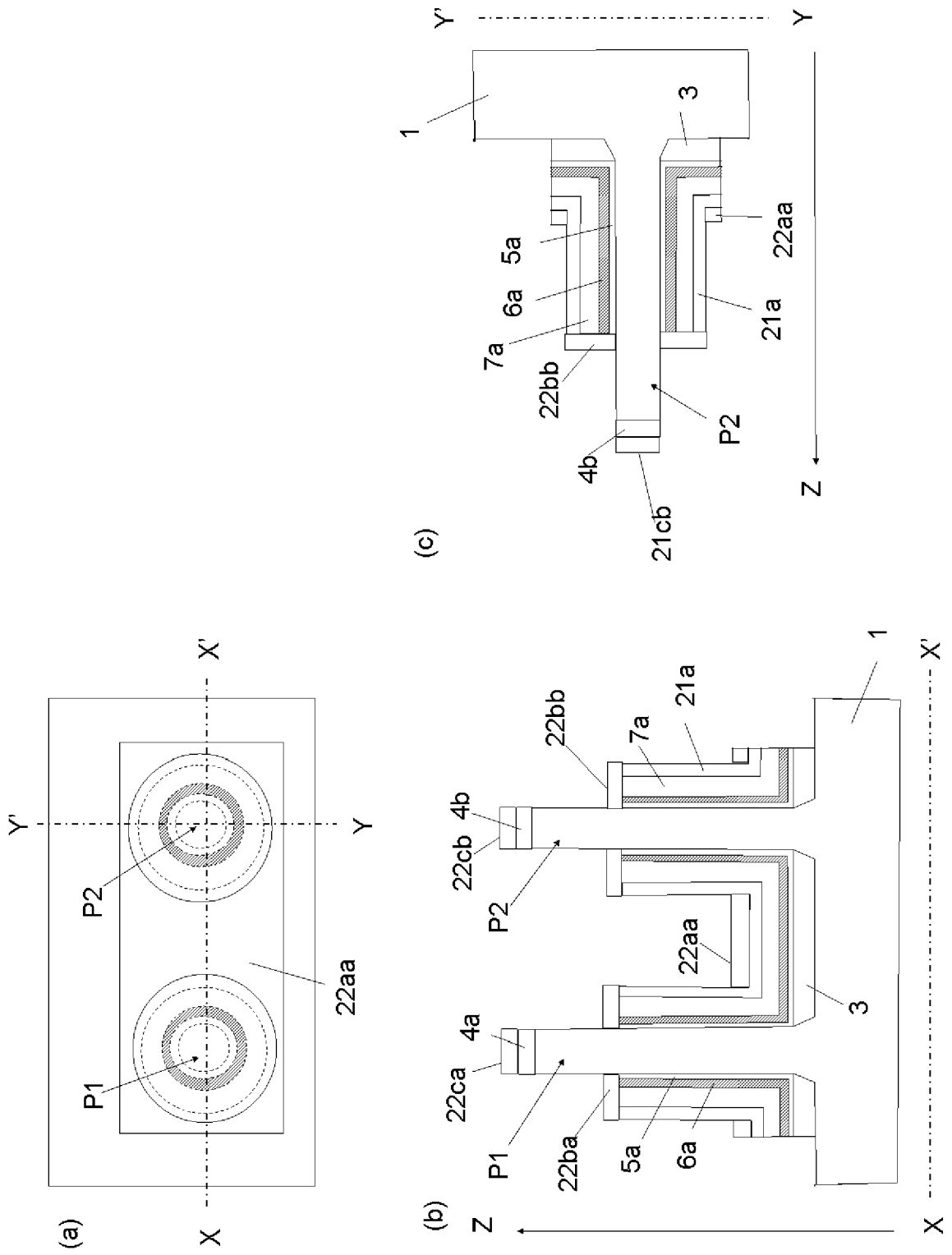
[図2A]



[図2B]



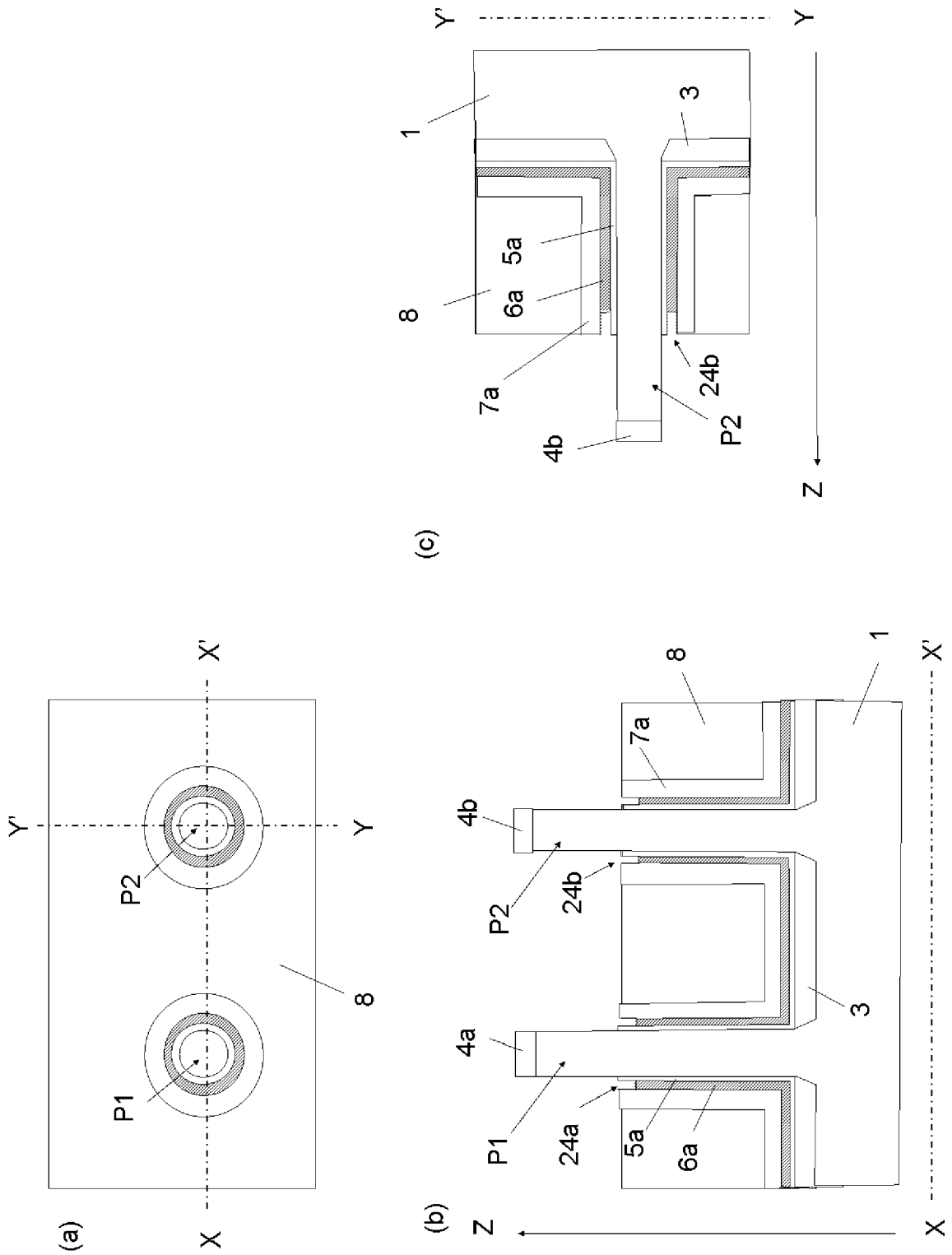
[図2C]



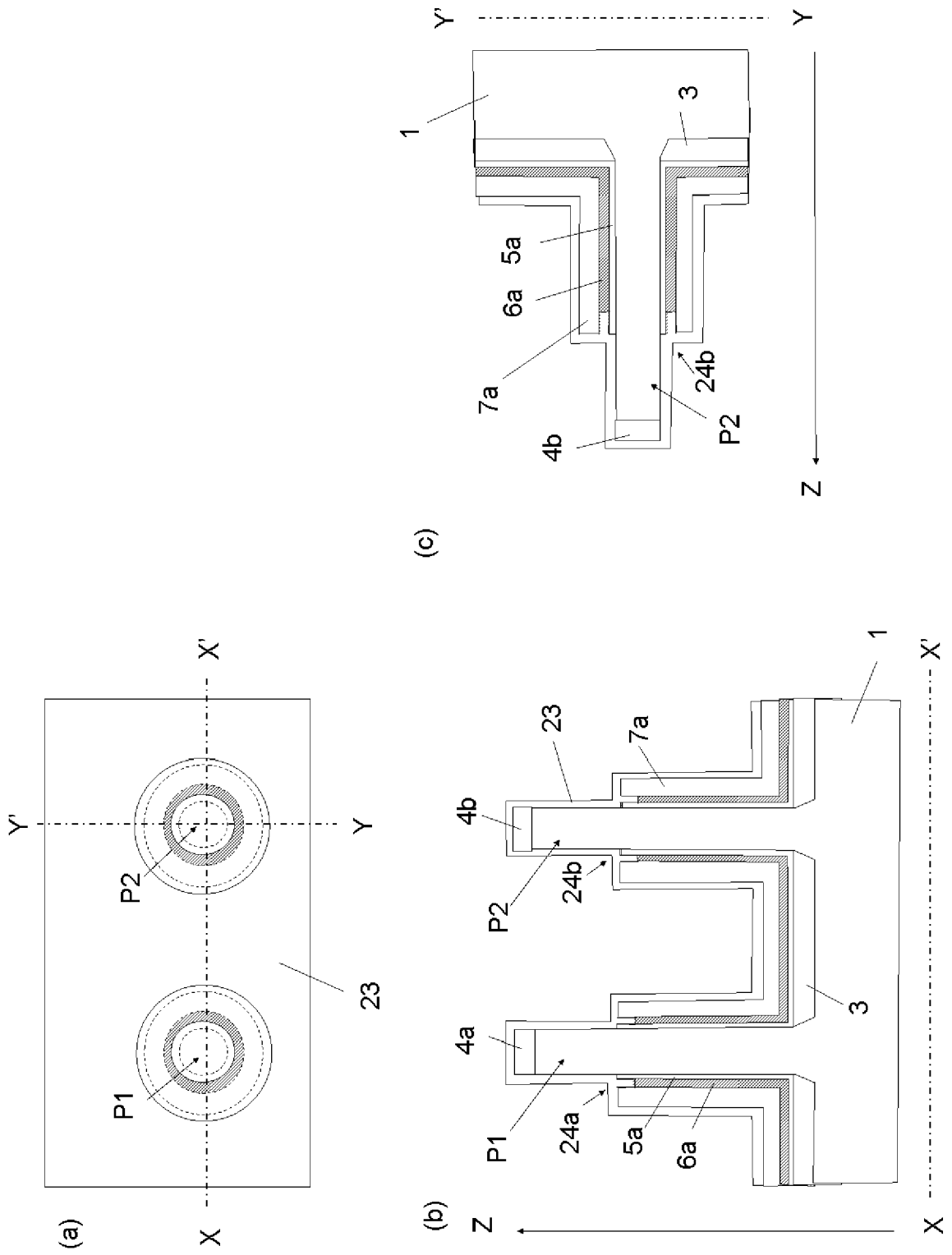




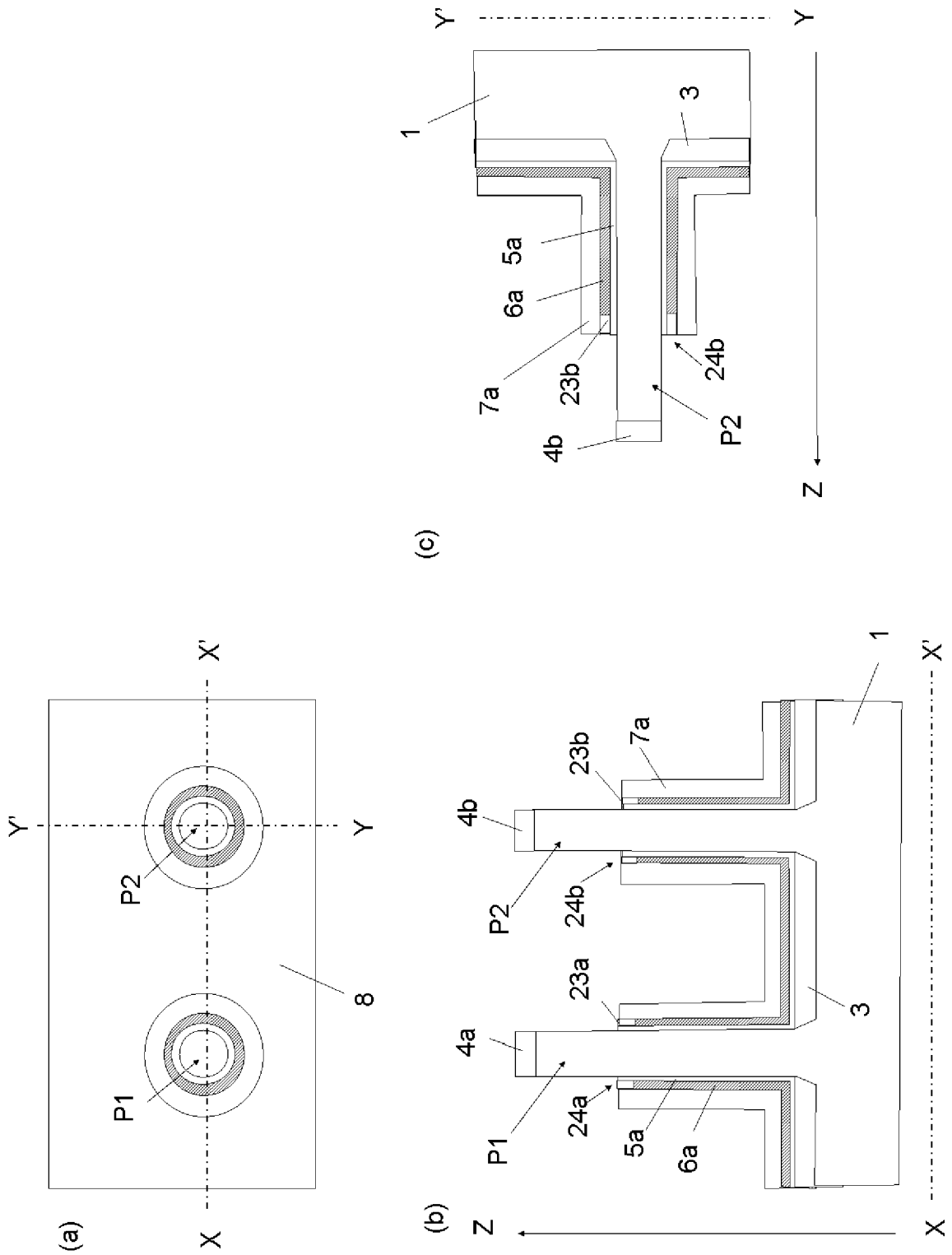
[図3A]



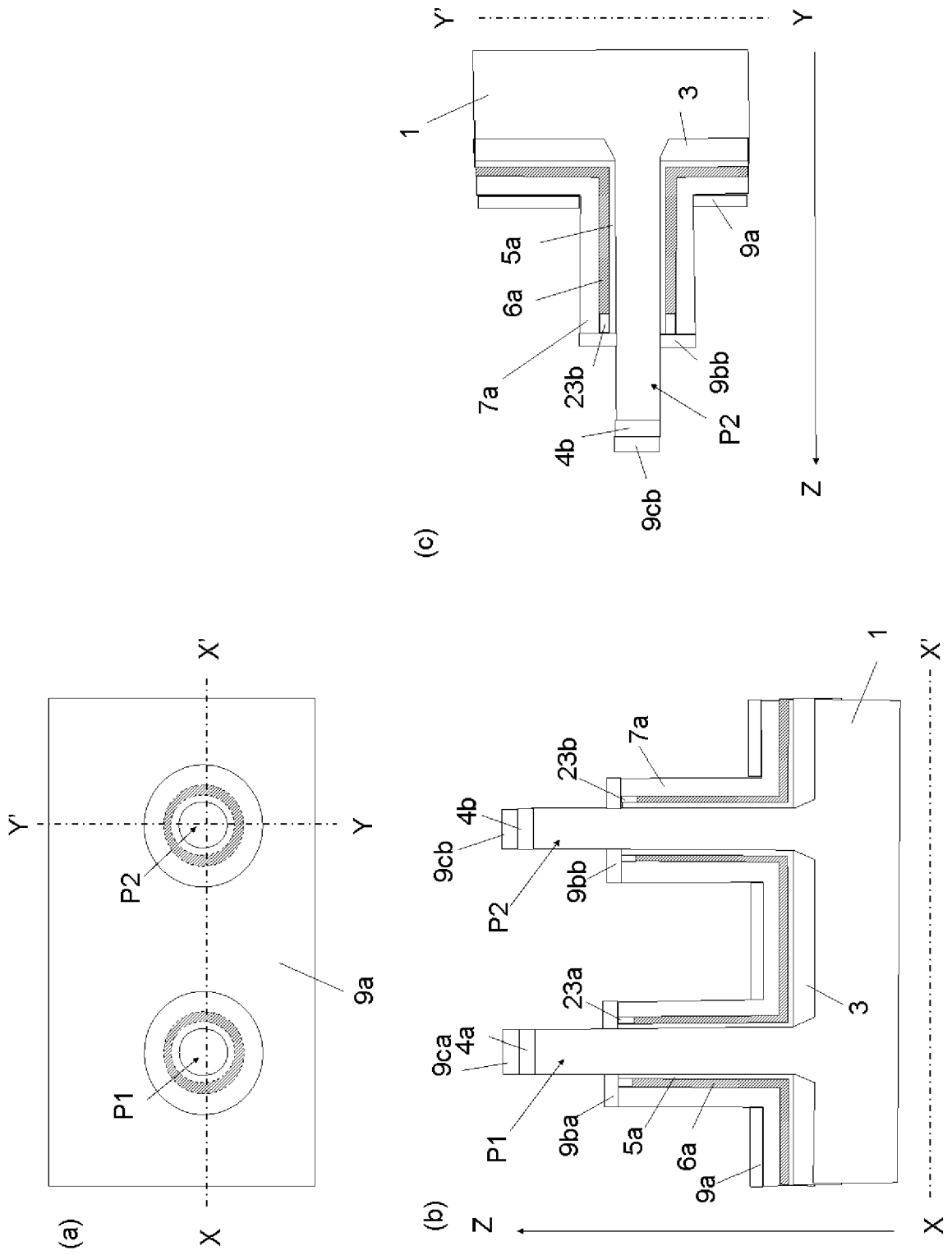
[圖3B]



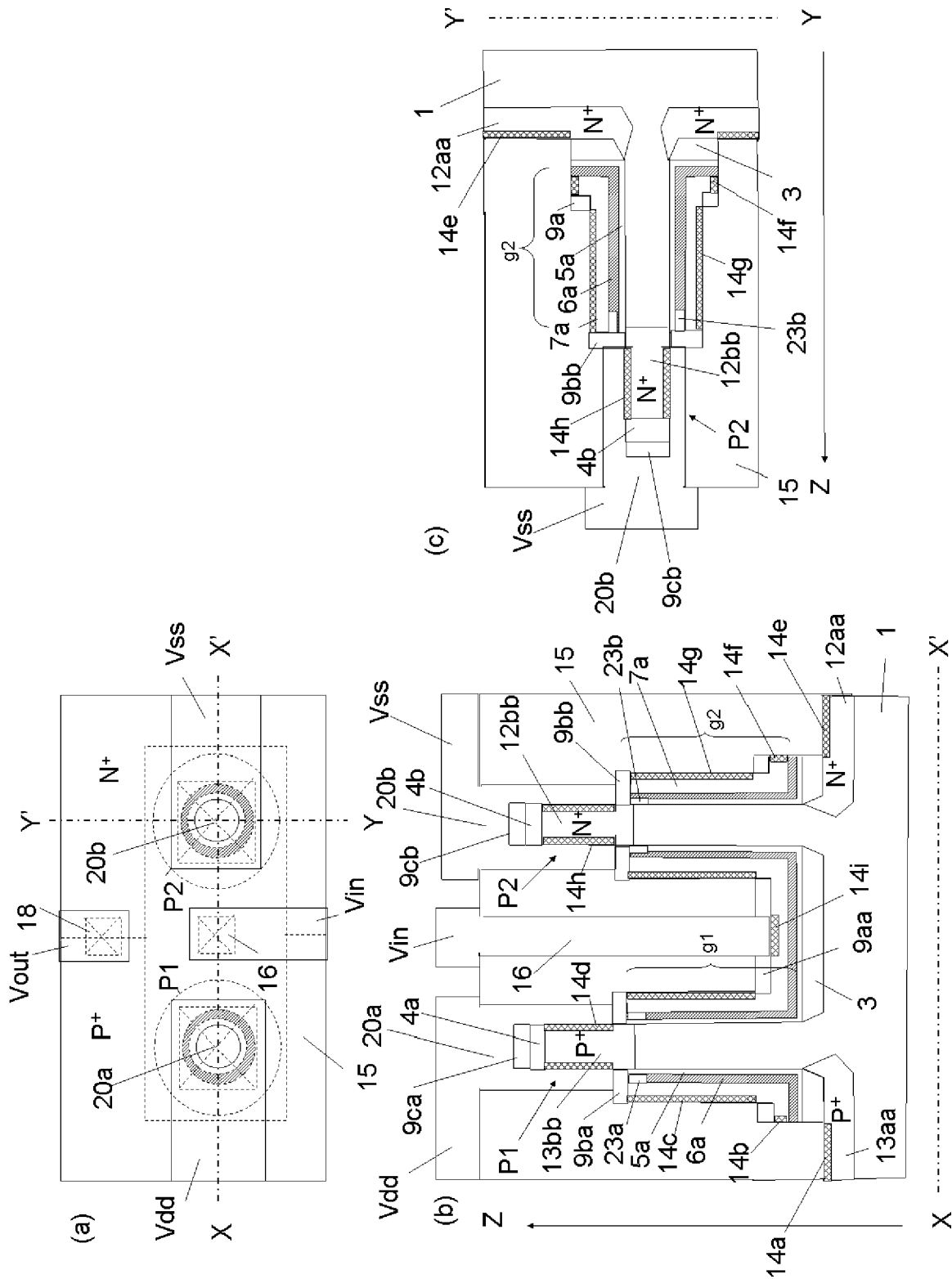
[図3C]



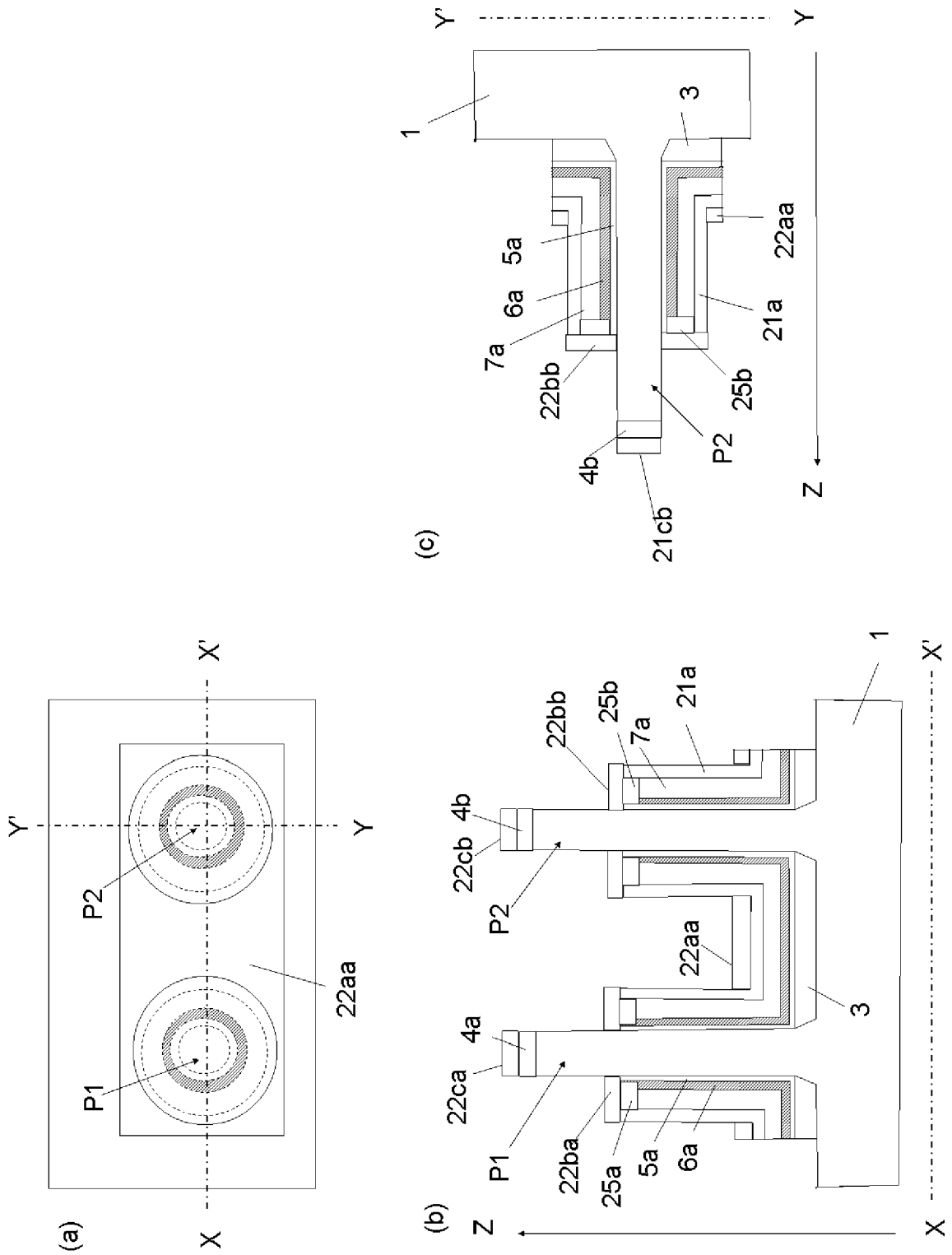
[図3D]



[3E]

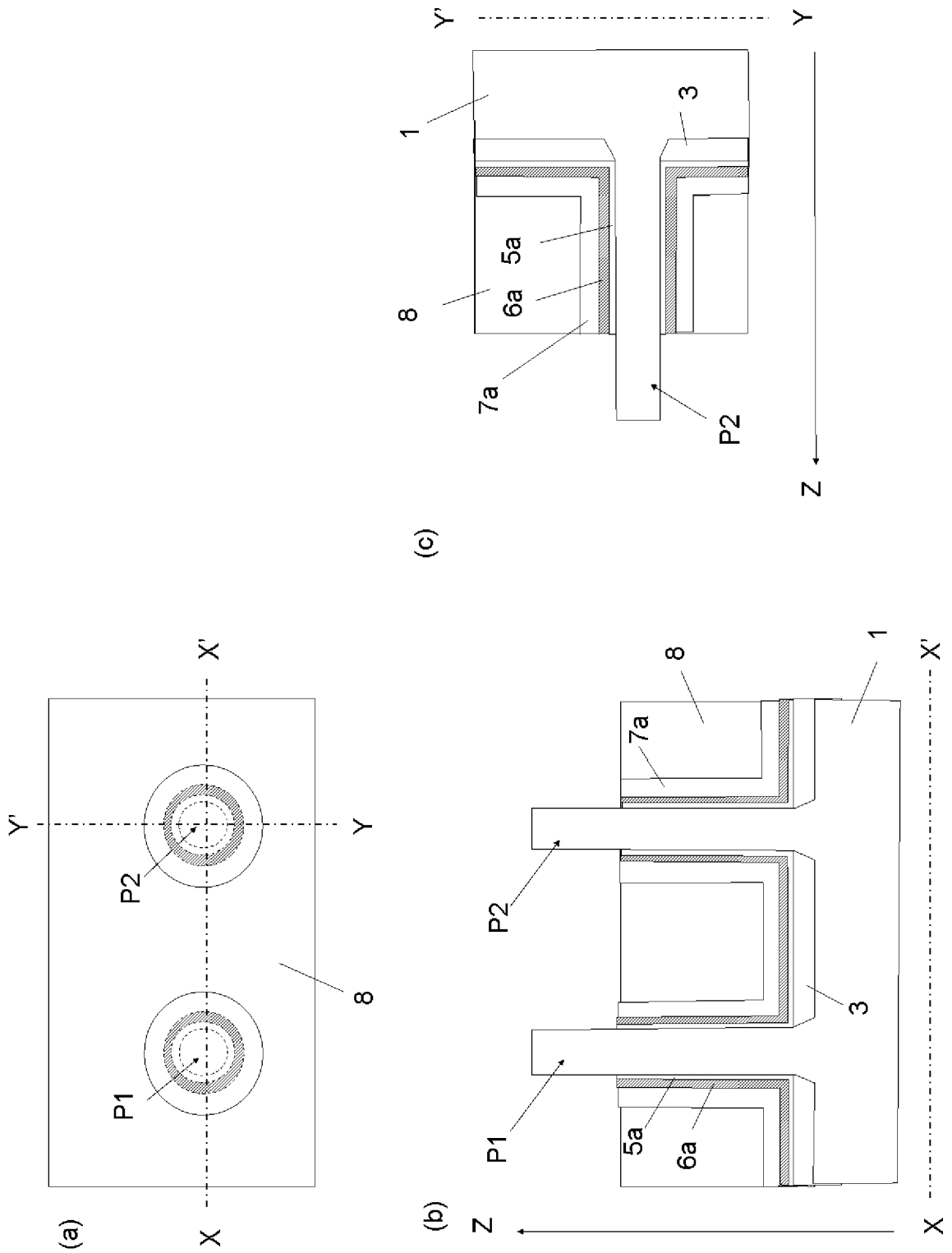


[図4A]

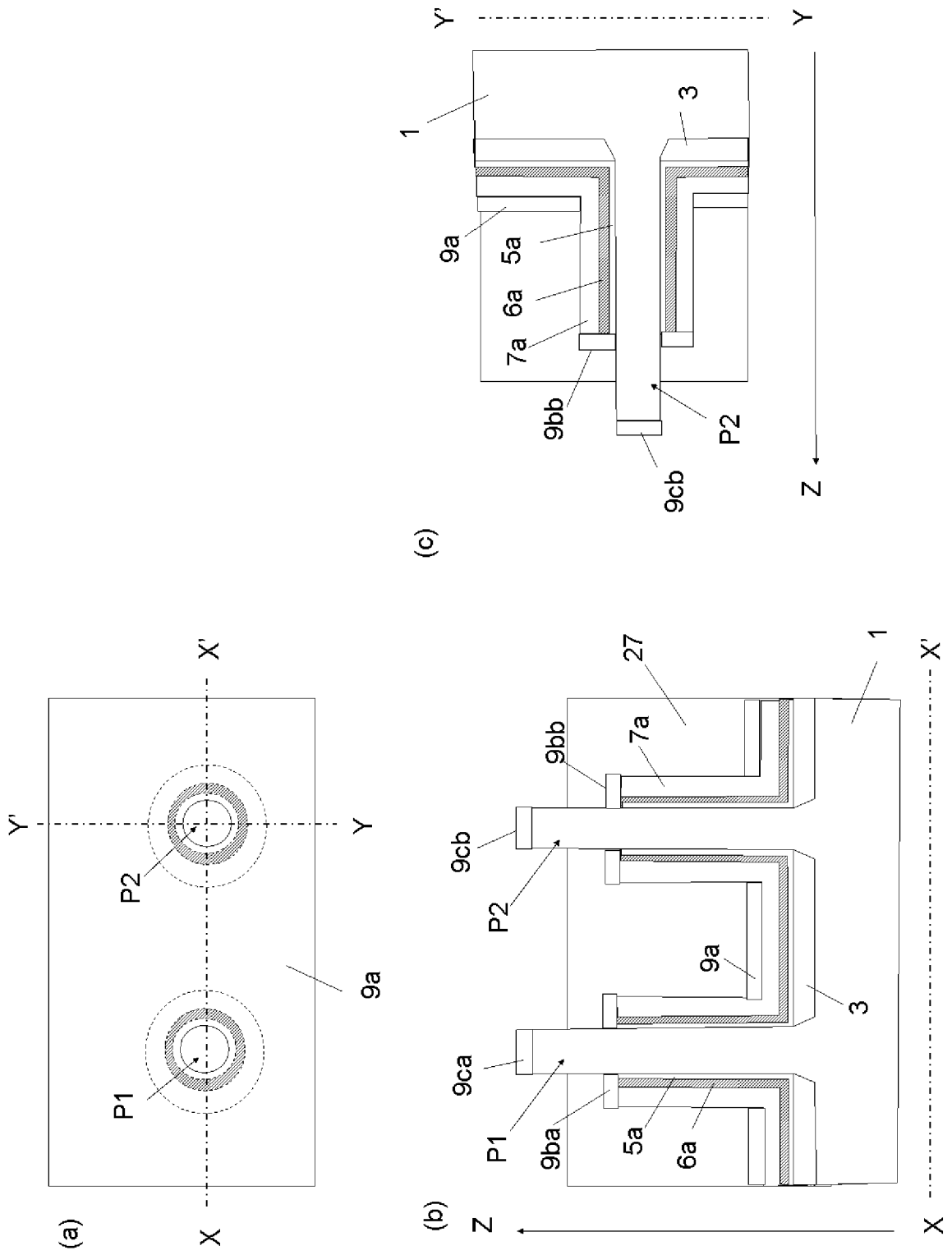




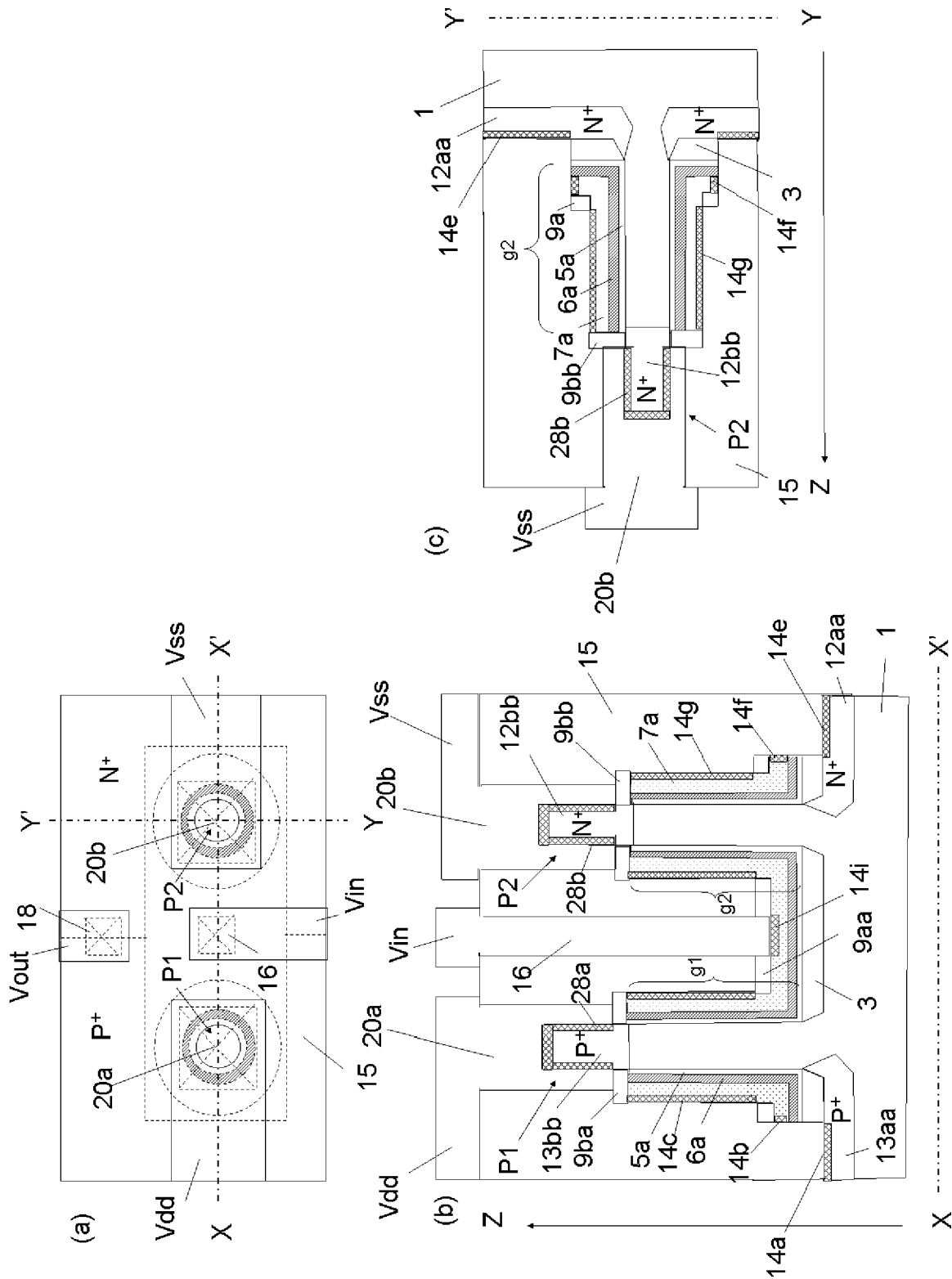
[図5A]



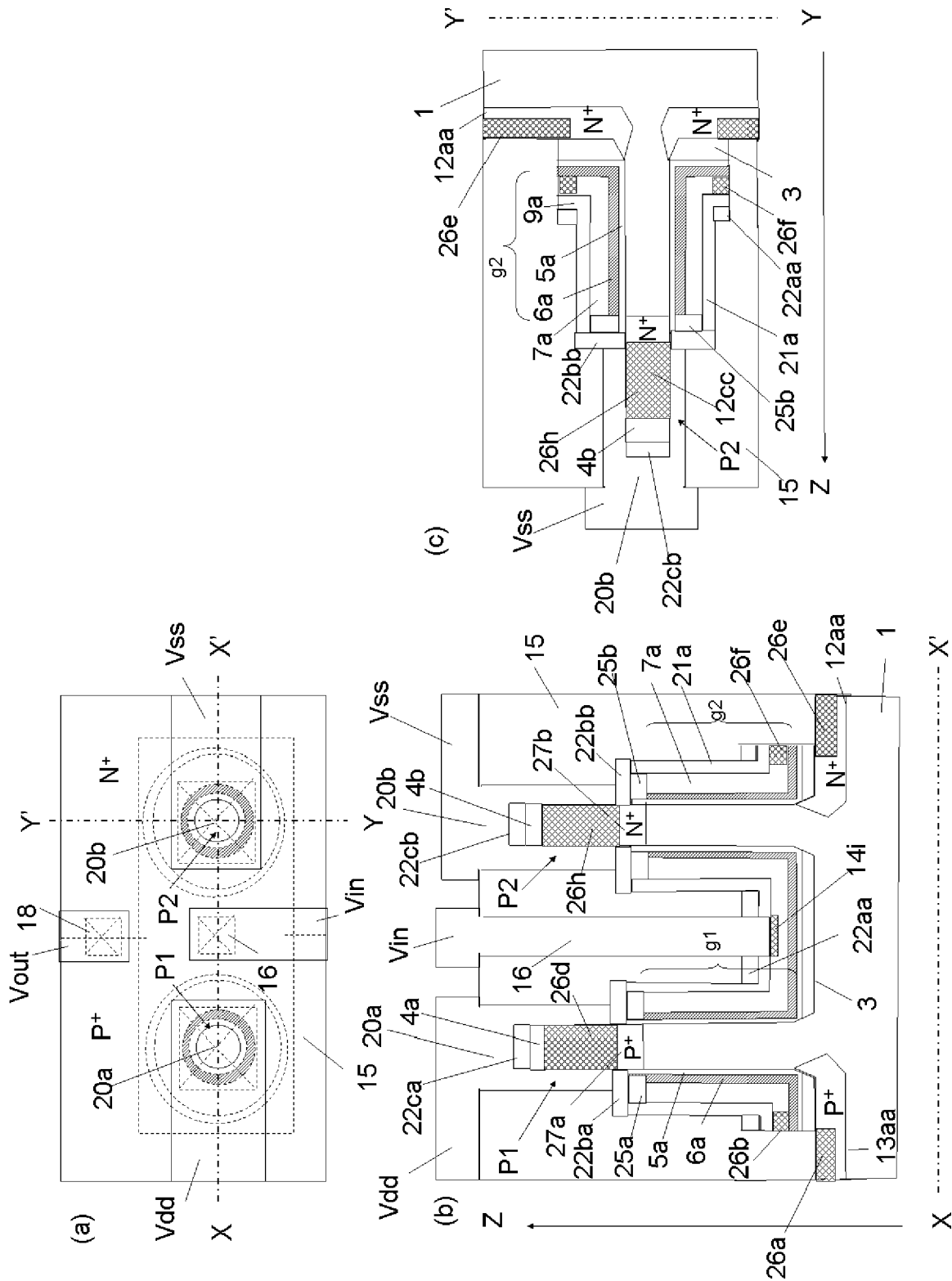
[図5B]



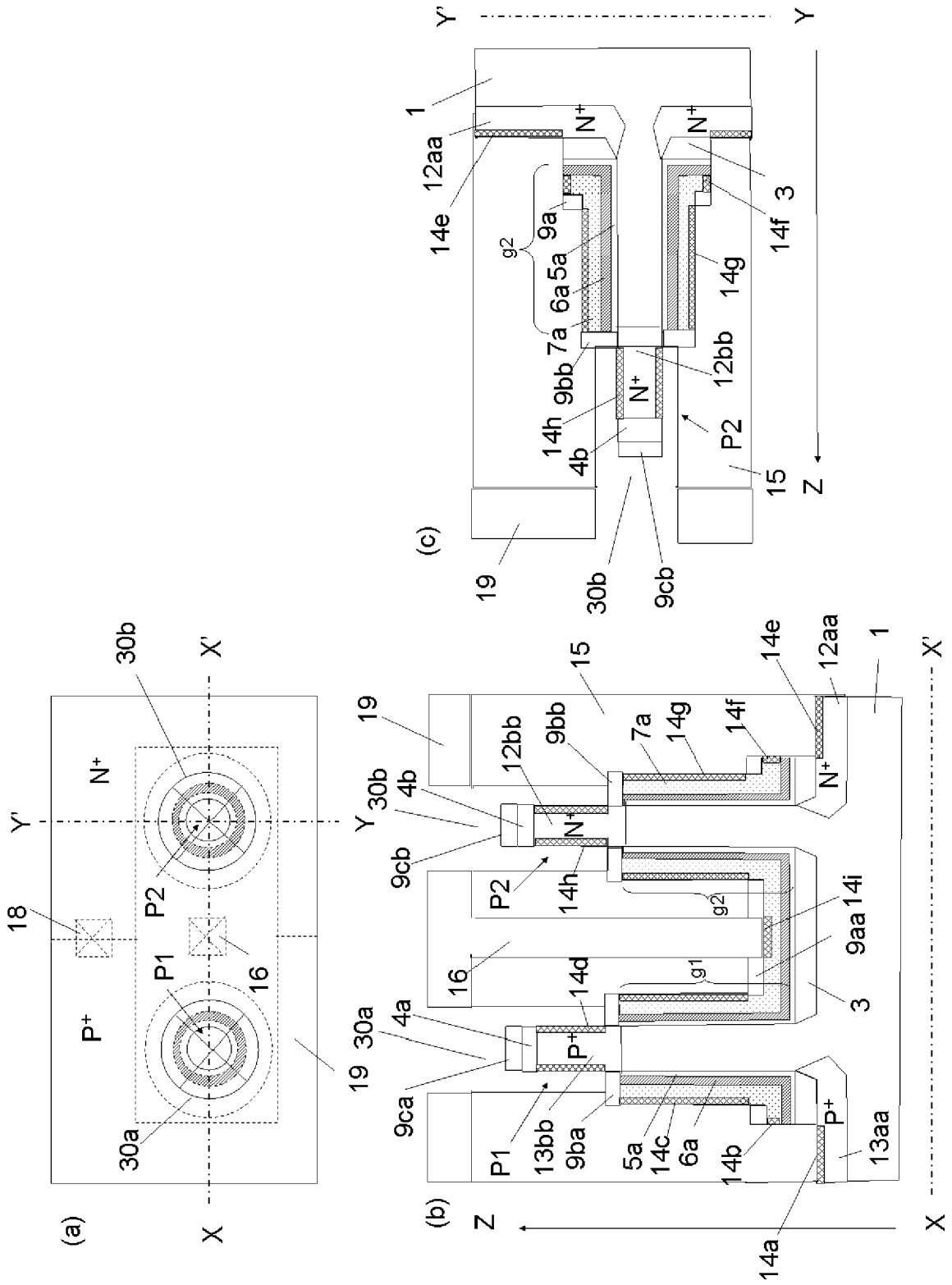
[図5C]



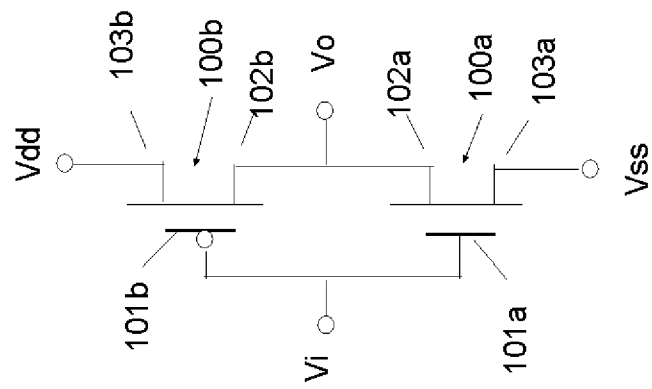
[図6]



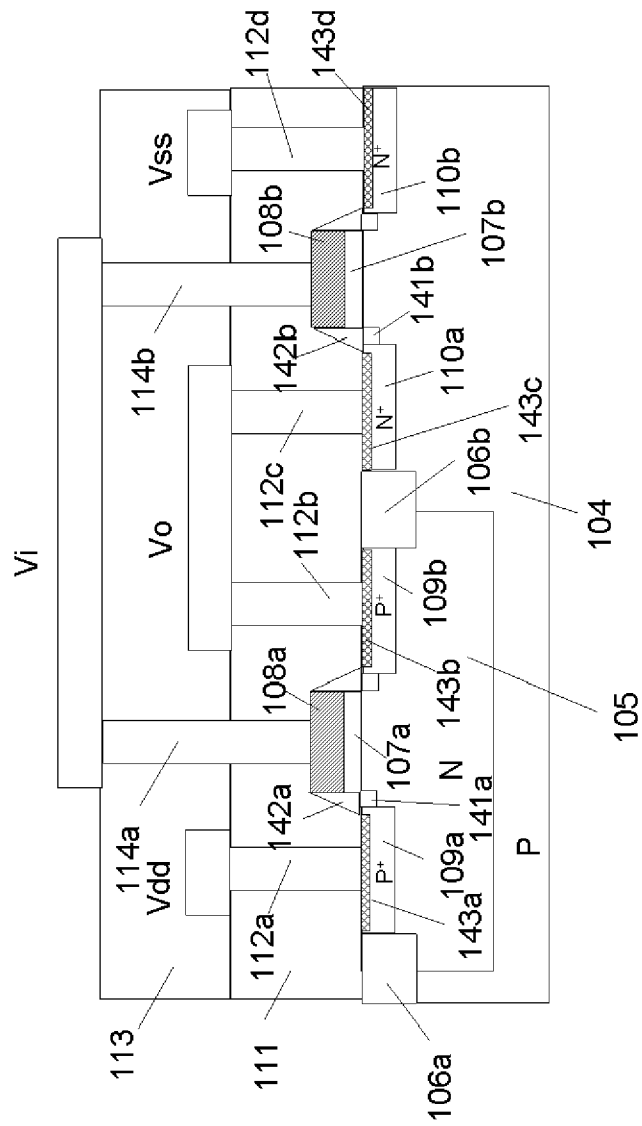
[図7]



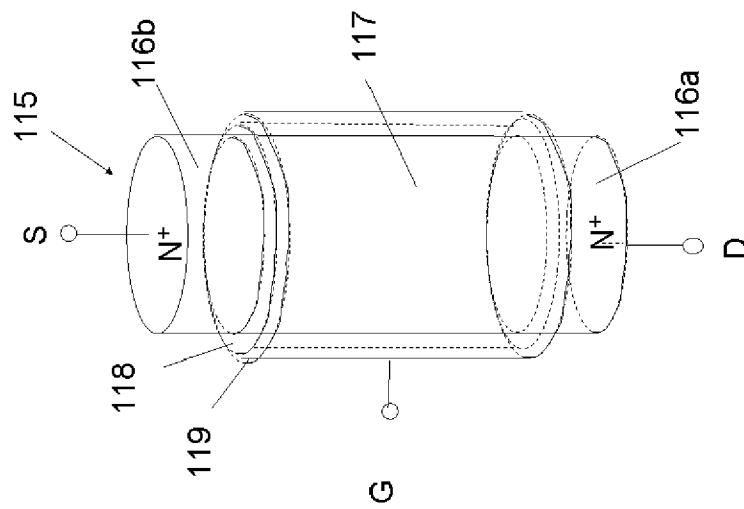
[図8]



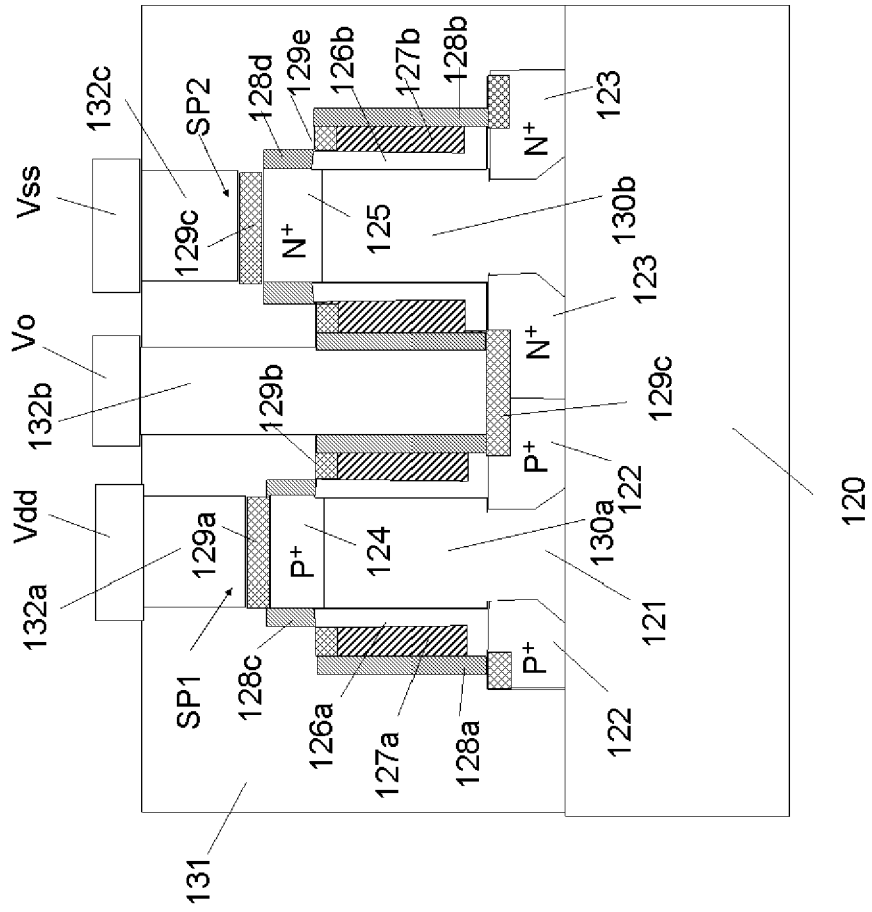
[図9]



[図10]



[図11]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2013/066320

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i,  
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L21/336, H01L21/8238, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-123415 A (Sharp Corp.), 17 May 2007 (17.05.2007), paragraphs [0010] to [0047]; fig. 1 to 14 (Family: none)	1, 2, 5, 7 6 3, 4, 8-16
Y A	JP 2009-509359 A (International Business Machines Corp.), 05 March 2009 (05.03.2009), paragraphs [0002] to [0005], [0036] to [0039] & US 2007/0063277 A1 & WO 2007/038237 A2 & KR 10-2008-0058341 A & CN 101268543 A	6 1-5, 7-16
Y A	JP 2011-243908 A (Panasonic Corp.), 01 December 2011 (01.12.2011), paragraphs [0009] to [0012] (Family: none)	6 1-5, 7-16

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 July, 2013 (31.07.13)	Date of mailing of the international search report 13 August, 2013 (13.08.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066320

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-004244 A (Unisantis Electronics Singapore Pte Ltd.), 05 January 2012 (05.01.2012), paragraph [0138] & US 2011/0303973 A1 & CN 102290441 A	1-16
A	WO 2009/075031 A1 (Unisantis Electronics Japan Ltd.), 18 June 2009 (18.06.2009), paragraphs [0009] to [0017]; fig. 1 to 6 & US 2010/0187601 A1 & EP 2221858 A1 & CN 101897008 A	1-16
A	JP 1-232755 A (Fujitsu Ltd.), 18 September 1989 (18.09.1989), page 6, lower right column, line 15 to page 8, lower right column, line 16; fig. 3, 4 (Family: none)	1-16
A	JP 2011-108702 A (Unisantis Electronics Japan Ltd.), 02 June 2011 (02.06.2011), paragraphs [0009] to [0033]; fig. 9 to 13 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L21/336, H01L21/8238, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2013年  
 日本国実用新案登録公報 1996-2013年  
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-123415 A (シャープ株式会社) 2007.05.17, 段落 0010-0047, 図 1-図 14 (ファミリーなし)	1, 2, 5, 7 6 3, 4, 8-16
Y A	JP 2009-509359 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2009.03.05, 段落 0002-0005, 段落 0036-0039 & US 2007/0063277 A1 & WO 2007/038237 A2 & KR 10-2008-0058341 A & CN 101268543 A	6 1-5, 7-16

C 欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 31.07.2013	国際調査報告の発送日 13.08.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 棚田 一也 電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-243908 A (パナソニック株式会社) 2011. 12. 01, 段落 0009-0012 (ファミリーなし)	6 1-5, 7-16
A	JP 2012-004244 A (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2012. 01. 05, 段落 0138 & US 2011/0303973 A1 & CN 102290441 A	1-16
A	WO 2009/075031 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009. 06. 18, 段落 0009-0017, 図 1-図 6 & US 2010/0187601 A1 & EP 2221858 A1 & CN 101897008 A	1-16
A	JP 1-232755 A (富士通株式会社) 1989. 09. 18, 第 6 頁右下欄第 15 行ないし第 8 頁右下欄第 16 行, 第 3 図, 第 4 図 (ファミリーなし)	1-16
A	JP 2011-108702 A (日本ユニサンティスエレクトロニクス株式会社) 2011. 06. 02, 段落 0009-0033, 図 9-図 13 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A	1-16