

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4574158号  
(P4574158)

(45) 発行日 平成22年11月4日(2010.11.4)

(24) 登録日 平成22年8月27日(2010.8.27)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 3 A
G O 2 F 1/1368 (2006.01)	G O 2 F 1/1368
G O 9 F 9/30 (2006.01)	G O 9 F 9/30 3 3 8
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 Z
H O 1 L 23/52 (2006.01)	H O 1 L 27/04 H
請求項の数 13 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2003-367639 (P2003-367639)	(73) 特許権者	000153878
(22) 出願日	平成15年10月28日(2003.10.28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2005-135991 (P2005-135991A)		神奈川県厚木市長谷398番地
(43) 公開日	平成17年5月26日(2005.5.26)	(72) 発明者	山崎 舜平
審査請求日	平成18年10月18日(2006.10.18)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体表示装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

第1のTFT乃至第3のTFTと、

第1の配線と、

前記第1のTFT乃至前記第3のTFT、及び前記第1の配線を覆って形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜上に接するように形成された第2乃至第7の配線と、

前記第2乃至第7の配線を覆って、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜上に接するように形成された第8乃至第10の配線と、

前記第2の層間絶縁膜上に接するように形成され、なおかつ前記第10の配線に接続された表示素子と、を有し、

前記第1の配線は、接続端子部に設けられ、

前記第2の配線は、前記接続端子部に設けられ、且つ前記第1の層間絶縁膜に形成されたコンタクトホールを介して、前記第1の配線と接続され、

前記第3の配線は、前記第1の層間絶縁膜に形成されたコンタクトホールを介して、前記第1のTFTが有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第4の配線は、前記第1の層間絶縁膜に形成されたコンタクトホールを介して、前記第1のTFTが有するソース領域又はドレイン領域の他方と接続され、

10

20

前記第 5 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の T F T が有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第 6 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の T F T が有するソース領域又はドレイン領域の他方と接続され、

前記第 7 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 3 の T F T が有するソース領域又はドレイン領域の一方と接続され、

前記第 8 の配線は、前記接続端子部に設けられ、且つ前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の配線と接続され、

前記第 9 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 4 の配線及び前記第 5 の配線と接続され、

前記第 10 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 7 の配線と接続されることを特徴とする半導体表示装置。

【請求項 2】

第 1 の T F T 乃至第 3 の T F T と、

第 1 の配線と、

前記第 1 の T F T 乃至前記第 3 の T F T 、及び前記第 1 の配線を覆って形成された第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜上に接するように形成された第 2 乃至第 6 の配線と、

前記第 2 乃至第 6 の配線を覆って、前記第 1 の層間絶縁膜上に形成された第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜上に接するように形成された第 7 乃至第 9 の配線と、

前記第 2 の層間絶縁膜上に接するように形成され、なおかつ前記第 9 の配線に接続された表示素子と、を有し、

前記第 1 の配線は、接続端子部に設けられ、

前記第 2 の配線は、前記接続端子部に設けられ、且つ前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の配線と接続され、

前記第 3 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の T F T が有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第 4 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の T F T が有するソース領域又はドレイン領域の他方に接続され、且つ前記第 2 の T F T が有するソース領域又はドレイン領域の一方と、前記第 2 の T F T のゲート電極にダイオード接続され、

前記第 5 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の T F T が有するソース領域又はドレイン領域の他方と接続され、

前記第 6 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 3 の T F T が有するソース領域又はドレイン領域の一方と接続され、

前記第 7 の配線は、前記接続端子部に設けられ、且つ前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の配線と接続され、

前記第 8 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 4 の配線と複数箇所て接続され、

前記第 9 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 6 の配線と接続されることを特徴とする半導体表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記表示素子は発光素子であり、

前記発光素子は第 1 の電極と、前記第 1 の電極上に形成された電界発光層と、前記電界発光層上に形成された第 2 の電極と、を有し、

前記第 2 の電極は透光性を有することを特徴とする半導体表示装置。

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記表示素子は発光素子であり、

前記発光素子は第 1 の電極と、前記第 1 の電極上に形成された電界発光層と、前記電界発光層上に形成された第 2 の電極と、を有し、

前記第 1 の電極は透光性を有することを特徴とする半導体表示装置。

## 【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記第 2 の層間絶縁膜は塗布法を用いて形成されたことを特徴とする半導体表示装置。

## 【請求項 6】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記第 2 の層間絶縁膜は、積層された絶縁膜で形成され、前記積層された絶縁膜のいずれか 1 層は塗布法を用いて形成されたことを特徴とする半導体表示装置。

## 【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、

前記第 2 の層間絶縁膜は、有機樹脂膜または無機絶縁膜を有することを特徴とする半導体表示装置。

## 【請求項 8】

請求項 1 乃至請求項 6 のいずれか 1 項において、

前記第 2 の層間絶縁膜は、シロキサン系の材料を用いて形成された絶縁膜を有することを特徴とする半導体表示装置。

## 【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、

前記半導体表示装置は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末、記録媒体を備えた画像再生装置のいずれか一に用いられていることを特徴とする半導体表示装置。

## 【請求項 10】

第 1 乃至第 3 の TFT と、第 1 の配線とを形成し、

前記第 1 の TFT 乃至前記第 3 の TFT、及び前記第 1 の配線を覆って第 1 の層間絶縁膜を形成し、

前記第 1 の層間絶縁膜にコンタクトホールを形成し、

前記第 1 の層間絶縁膜上に第 2 乃至第 7 の配線を形成し、

前記第 1 の層間絶縁膜上に前記第 2 乃至第 7 の配線を覆って第 2 の層間絶縁膜を形成し、

、

前記第 2 の層間絶縁膜にコンタクトホールを形成し、

前記第 2 の層間絶縁膜上に第 8 乃至第 10 の配線を形成し、

前記第 2 の層間絶縁膜上に前記第 10 の配線に接続するように表示素子を形成し、

前記第 1 の配線は、接続端子部に形成され、

前記第 2 の配線は、前記接続端子部に形成され、且つ前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の配線と接続され、

前記第 3 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の TFT が有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第 4 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の TFT が有するソース領域又はドレイン領域の他方と接続され、

前記第 5 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の TFT が有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第 6 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前

10

20

30

40

50

記第 2 の T F T が有するソース領域又はドレイン領域の他方と接続され、

前記第 7 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 3 の T F T が有するソース領域又はドレイン領域の一方と接続され、

前記第 8 の配線は、前記接続端子部に形成され、且つ前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の配線と接続され、

前記第 9 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 4 の配線及び前記第 5 の配線と接続され、

前記第 10 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 7 の配線と接続されることを特徴とする半導体表示装置の作製方法。

【請求項 11】

第 1 乃至第 3 の T F T と、第 1 の配線とを形成し、

前記第 1 の T F T 乃至前記第 3 の T F T、及び前記第 1 の配線を覆って第 1 の層間絶縁膜を形成し、

前記第 1 の層間絶縁膜にコンタクトホールを形成し、

前記第 1 の層間絶縁膜上に第 2 乃至第 6 の配線を形成し、

前記第 1 の層間絶縁膜上に前記第 2 乃至第 6 の配線を覆って第 2 の層間絶縁膜を形成し

、

前記第 2 の層間絶縁膜にコンタクトホールを形成し、

前記第 2 の層間絶縁膜上に第 7 乃至第 9 の配線を形成し、

前記第 2 の層間絶縁膜上に前記第 9 の配線に接続するように表示素子を形成し、

前記第 1 の配線は、接続端子部に設けられ、

前記第 2 の配線は、前記接続端子部に設けられ、且つ前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の配線と接続され、

前記第 3 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の T F T が有するソース領域又はドレイン領域の一方と、ゲート電極にダイオード接続され、

前記第 4 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 1 の T F T が有するソース領域又はドレイン領域の他方に接続され、且つ前記第 2 の T F T が有するソース領域又はドレイン領域の一方と、前記第 2 の T F T のゲート電極にダイオード接続され、

前記第 5 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の T F T が有するソース領域又はドレイン領域の他方と接続され、

前記第 6 の配線は、前記第 1 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 3 の T F T が有するソース領域又はドレイン領域の一方と接続され、

前記第 7 の配線は、前記接続端子部に設けられ、且つ前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 2 の配線と接続され、

前記第 8 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 4 の配線と複数箇所接続され、

前記第 9 の配線は、前記第 2 の層間絶縁膜に形成されたコンタクトホールを介して、前記第 6 の配線と接続されることを特徴とする半導体表示装置の作製方法。

【請求項 12】

請求項 10 又は請求項 11 において、

前記第 2 の層間絶縁膜は塗布法により形成されることを特徴とする半導体表示装置の作製方法。

【請求項 13】

請求項 10 又は請求項 11 において、

前記第 2 の層間絶縁膜は、塗布法により形成された絶縁膜、及び前記絶縁膜上の窒化珪素膜を有することを特徴とする半導体表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

## 【 0 0 0 1 】

本発明は、半導体素子の絶縁破壊を防ぐことができる保護回路を用いた、半導体表示装置に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

半導体素子の劣化或いは絶縁破壊に繋がる帯電現象（チャージング）を如何に抑えるかは、半導体装置の作製工程における重要な課題である。特に、高集積化に伴い、チャネル長の微細化のみならず、ゲート絶縁膜などに代表される各種の絶縁膜の膜厚が減少傾向にあり、チャージングによる絶縁破壊はより深刻な問題になっている。

## 【 0 0 0 3 】

チャージングの発生する原因や環境は極めて複雑で多岐に渡っている。そのため、チャージングが発生する原因や環境を究明することのみならず、半導体装置の構成に、チャージングによる劣化或いは絶縁破壊に対する耐性を高めるような工夫を凝らす必要がある。チャージングによる劣化或いは絶縁破壊を防ぐためには、ダイオード（保護ダイオード）を用いた保護回路による放電経路の確保が有効である。放電経路を確保しておくことで、絶縁膜に蓄積された電荷が半導体素子の近傍で放電するのを防ぐことができ、よって放電のエネルギーによって半導体素子が劣化されたり、破壊されたりする現象（E S D : Electro-Static Discharge）を防ぐことができる。

## 【 0 0 0 4 】

また保護回路を設けておくことで、信号や電源電圧と共に雑音が配線に入力されても、該雑音により後段の回路が誤動作するのを防ぐことができ、また該雑音により半導体素子が劣化或いは破壊されるのを防ぐことができる。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

ところで、液晶表示装置や発光装置に代表される半導体表示装置において、ビデオ信号の入力後も表示素子への信号の供給をある程度維持することができるアクティブマトリクス型は、パネルの大型化、高精細化に柔軟に対応することができるので、今後の主流となりつつある。具体的に提案されているアクティブマトリクス型の半導体表示装置における画素の構成は、メーカーによって多少異なっている。通常少なくとも、発光素子や液晶素子などの表示素子と、該表示素子の動作を制御するためのT F Tとが、各画素に設けられている。

## 【 0 0 0 6 】

そして半導体表示装置は、T F Tを覆っている絶縁膜（第1の層間絶縁膜）上に、T F Tの第1の端子または第2の端子と直接接続されている配線と共に、表示素子が形成されている構成と、該配線を更に覆っている絶縁膜（第2の層間絶縁膜）上に表示素子が形成されている構成とがある。発光素子からの光が、T F Tとは反対の側から取り出される発光装置の場合は、前者に比べ後者の方が、発光に寄与する領域の画素部全体に占める割合が高まるので、コントラストを高めることができ、望ましい。

## 【 0 0 0 7 】

しかし、配線を更に覆っている第2の層間絶縁膜は、その表面の凹凸が表示素子の特性に影響を与える恐れがあるので、平坦化が容易な塗布法を用いて成膜される。この絶縁性を有する塗布膜は、塗布時において帯電しやすいという問題を有している。ところが通常保護ダイオードはT F Tを用いており、該T F Tは他の回路を構成しているT F Tと同じ層に形成されている。そのため、保護ダイオードとして用いるT F Tを覆っている絶縁膜よりも、更に上の層に形成されている絶縁膜に帯電している電荷は、保護回路によって確保されている放電経路を通して放電されにくい。よって該電荷により、絶縁破壊が起きやすいという問題があった。

## 【 0 0 0 8 】

本発明では上述した問題に鑑み、絶縁破壊をより効果的に防ぐことができる保護回路を

10

20

30

40

50

用いた、半導体表示装置の提供を課題とする。

【課題を解決するための手段】

【0009】

本発明では、保護ダイオードとして用いるTF Tを覆って第1の層間絶縁膜が形成されており、更に該第1の層間絶縁膜上に形成された配線を覆って、絶縁性の塗布膜である第2の層間絶縁膜が形成されている場合に、第2の層間絶縁膜の表面に蓄積した電荷を放電させる経路を確保するために、該TF Tと他の半導体素子とを接続するための配線を、第2の層間絶縁膜上に接するように形成する。なお保護ダイオードとして用いるTF Tは、その第1の端子または第2の端子のいずれか一方がゲート電極と接続された、所謂ダイオード接続のTF Tである。

10

【0010】

なお本明細書において、第1の端子と第2の端子は、いずれか一方がソース領域、他方がドレイン領域に相当し、第1の端子と第2の端子との電位の関係によって、その都度ソース領域かドレイン領域かが決まる。具体的に、nチャネル型TF Tの場合、第1の端子と第2の端子のうち、電位のより低い端子がソース領域、電位のより高い端子がドレイン領域に相当する。またpチャネル型TF Tの場合、第1の端子と第2の端子のうち、電位のより高い端子がソース領域、電位のより低い端子がドレイン領域に相当する。

【0011】

ダイオード接続されたnチャネル型TF Tにおいて、第1の端子とゲート電極とが接続されていると仮定する。この場合、第1の端子の電位が第2の端子の電位よりも高いと、第1の端子がドレイン領域、第2の端子がソース領域に相当し、nチャネル型TF Tはオンする。よって、第1の端子から第2の端子への順方向電流が得られる。逆に、第1の端子の電位が第2の端子の電位よりも低いと、第1の端子がソース領域、第2の端子がドレイン領域に相当し、nチャネル型TF Tはオフする。

20

【0012】

またダイオード接続されたpチャネル型TF Tにおいて、第1の端子とゲート電極とが接続されていると仮定する。この場合、第1の端子の電位が第2の端子の電位よりも高いと、第1の端子がソース領域、第2の端子がドレイン領域に相当し、pチャネル型TF Tはオフする。逆に、第1の端子の電位が第2の端子の電位よりも低いと、第1の端子がドレイン領域、第2の端子がソース領域に相当し、pチャネル型TF Tはオンする。よって、第2の端子から第2の端子への順方向電流が得られる。

30

【0013】

具体的に本発明の半導体表示装置は、保護ダイオードとして用いるTF Tが絶縁表面上に形成されており、前記TF Tを覆って第1の層間絶縁膜が形成されており、前記第1の層間絶縁膜を覆って第2の層間絶縁膜が形成されており、前記TF Tの第1の端子または第2の端子のいずれか一方とゲート電極とが、第1の配線によって接続されており、前記第1の配線は第2の配線に接続されており、前記第1の配線は前記第1の層間絶縁膜上に接するように形成されており、前記第2の配線は前記第2の層間絶縁膜上に接するように形成されていることを特徴とする。

【0014】

40

本発明の半導体表示装置は、表示素子に信号を供給するための第1のTF Tと、保護ダイオードとして用いる第2のTF T及び第3のTF Tが絶縁表面上に形成されており、前記第1のTF T、前記第2のTF T及び前記第3のTF Tを覆って第1の層間絶縁膜が形成されており、前記第1の層間絶縁膜を覆って第2の層間絶縁膜が形成されており、前記第2の層間絶縁膜上に表示素子が形成されており、前記第1のTF Tの第1の端子または第2の端子と前記表示素子とは、第1の配線及び第2の配線によって接続されており、前記第2のTF Tの第1の端子とゲート電極とは、第3の配線によって接続されており、前記第3のTF Tの第1の端子または第2の端子とゲート電極とは、第4の配線によって接続されており、前記第2のTF Tの第2の端子は、第5の配線及び前記第6の配線により前記第4の配線と接続されており、前記第1の配線、前記第3の配線、前記第4の配線及

50

び前記第 5 の配線は、前記第 1 の層間絶縁膜上に接するように形成されており、前記第 2 の配線及び前記第 6 の配線は、前記第 2 の層間絶縁膜上に接するように形成されていることを特徴とする。

【 0 0 1 5 】

また本発明の半導体表示装置の別の構成は、表示素子に信号を供給するための第 1 の T F T と、保護ダイオードとして用いる第 2 の T F T 及び第 3 の T F T が絶縁表面上に形成されており、前記第 1 の T F T、前記第 2 の T F T 及び前記第 3 の T F T を覆って第 1 の層間絶縁膜が形成されており、前記第 1 の層間絶縁膜を覆って第 2 の層間絶縁膜が形成されており、前記第 2 の層間絶縁膜上に表示素子が形成されており、前記第 1 の T F T の第 1 の端子または第 2 の端子と前記表示素子とは、第 1 の配線及び第 2 の配線によって接続されており、前記第 2 の T F T の第 1 の端子とゲート電極とは、第 3 の配線によって接続されており、前記第 2 の T F T の第 2 の端子と、前記第 3 の T F T の第 1 の端子または第 2 の端子と、ゲート電極とは、第 4 の配線によって接続されており、前記第 4 の配線は第 5 の配線に接続されており、前記第 1 の配線、前記第 3 の配線及び前記第 4 の配線は、前記第 1 の層間絶縁膜上に接するように形成されており、前記第 2 の配線及び前記第 5 の配線は、前記第 2 の層間絶縁膜上に接するように形成されていることを特徴とする。

10

【発明の効果】

【 0 0 1 6 】

本発明は上記構成により、保護ダイオードとして用いる 2 つの T F T を覆って第 1 の層間絶縁膜が形成されており、更に該第 1 の層間絶縁膜上に形成された配線を覆って第 2 の層間絶縁膜が形成されている場合に、第 2 の層間絶縁膜の表面に蓄積した電荷を放電させる経路を確保することができる。したがって、第 2 の層間絶縁膜の表面が帯電した電荷が放電することで、半導体素子が破壊される現象を防ぐことができる。

20

【発明を実施するための最良の形態】

【 0 0 1 7 】

図 1 を用いて、本発明の半導体表示装置に用いられている保護回路の構成について説明する。本発明において保護回路は、放電経路に保護ダイオードが設けられている。図 1 ( A ) は、本発明の保護回路の一形態を示す回路図に相当し、正の電荷が放電される経路と、負の電荷が放電される経路とのそれぞれに、少なくとも 1 つずつ、ダイオード接続された T F T 1 0 1、1 0 2 が設けられている。

30

【 0 0 1 8 】

具体的に T F T 1 0 1、1 0 2 は、それぞれ第 1 の端子とゲート電極とが接続されている。そして T F T 1 0 1 は、第 1 の端子に電位  $V_{dd}$  が与えられており、T F T 1 0 2 は、第 2 の端子に電位  $V_{ss}$  が与えられている。なお本明細書において、電位  $V_{ss} < \text{電位 } V_{dd}$  とする。また T F T 1 0 1 の第 2 の端子と T F T 1 0 2 の第 1 の端子は、互いに電氣的に接続されており、さらに、保護したい半導体素子に共に電氣的に接続されている。なお図 1 ( A ) では、T F T 1 0 1 の第 2 の端子及び T F T 1 0 2 の第 1 の端子が、配線 1 0 3 に電氣的に接続されているものと仮定する。

【 0 0 1 9 】

なお図 1 ( A ) では、T F T 1 0 1、1 0 2 が共に p チャネル型 T F T である例を示しているが、T F T 1 0 1、1 0 2 のいずれか一方または両方が n チャネル型 T F T であっても良い。n チャネル型 T F T を用いる場合も、第 1 の端子とゲート電極とを接続する。

40

【 0 0 2 0 】

そして本発明の保護回路では、保護ダイオードとして用いる T F T どうしを電氣的に接続するための配線、具体的にはそのレイアウトに特徴を有する。図 1 ( B ) に、T F T 1 0 1 と T F T 1 0 2 の断面図を、一例として示す。

【 0 0 2 1 】

T F T 1 0 1 は、島状の半導体膜 1 0 4 と、島状の半導体膜 1 0 4 に接しているゲート絶縁膜 1 0 5 と、ゲート絶縁膜 1 0 5 を間に挟んで島状の半導体膜 1 0 4 と重なっているゲート電極 1 0 6 とを有している。島状の半導体膜 1 0 4 は、ゲート電極 1 0 6 と重なっ

50

ているチャネル形成領域 107 と、チャネル形成領域 107 を間に挟んだソース領域またはドレイン領域に相当する、第 1 の端子 108、第 2 の端子 109 とを有している。

【0022】

TFT102 は、島状の半導体膜 114 と、島状の半導体膜 114 に接しているゲート絶縁膜 105 と、ゲート絶縁膜 105 を間に挟んで島状の半導体膜 114 と重なっているゲート電極 116 とを有している。島状の半導体膜 114 は、ゲート電極 116 と重なっているチャネル形成領域 117 と、チャネル形成領域 117 を間に挟んだソース領域またはドレイン領域に相当する、第 1 の端子 118、第 2 の端子 119 とを有している。

【0023】

そして TFT101 と TFT102 は、単数または複数の絶縁膜を有する第 1 の層間絶縁膜 120 に覆われている。そして第 1 の層間絶縁膜 120 に形成されたコンタクトホールを介して TFT101、TFT102 に接続された配線 121 ~ 124 が、第 1 の層間絶縁膜 120 上に接するように形成されている。

【0024】

具体的に配線 121 は、TFT101 の第 1 の端子 108 とゲート電極 106 とに接続されており、配線 122 は TFT101 の第 2 の端子 109 に接続されている。また配線 123 は、TFT102 の第 1 の端子 118 とゲート電極 116 とに接続されており、配線 124 は TFT102 の第 2 の端子 119 に接続されている。

【0025】

なお図 1 (B) では、配線 121 ~ 124 がそれぞれ単数の配線で構成されているが、本発明はこの構成に限定されない。配線 121 ~ 124 は、それぞれ、電氣的に接続された複数の配線で構成されていても良い。

【0026】

そして配線 121 ~ 124 を覆うように、第 1 の層間絶縁膜 120 上に第 2 の層間絶縁膜 125 が形成されている。第 2 の層間絶縁膜 125 は、その上に表示素子を形成する必要があるので、表面がより平坦化されていることが望ましく、塗布法で形成することが好ましい。なお、第 2 の層間絶縁膜 125 は、単数の絶縁膜で形成されていても良いし、複数の絶縁膜で形成されていても良い。いずれの場合にしても、少なくとも 1 層の絶縁膜が塗布法で形成されていることが好ましい。

【0027】

そして第 2 の層間絶縁膜 125 に形成されたコンタクトホールを介して配線 122、123 に接続された配線 126 が、第 2 の層間絶縁膜 125 上に接するように形成されている。配線 122、123、126 によって、TFT101 の第 2 の端子 109 と、TFT102 の第 1 の端子及びゲート電極 116 とが、電氣的に接続される。そして、配線 122、123、126 は、図 1 (A) で示す配線 103 に、電氣的に接続されている。

【0028】

なお図 1 (B) では、配線 126 が単数の配線で構成されているが、本発明はこの構成に限定されない。配線 126 は、電氣的に接続された複数の配線で構成されていても良い。

【0029】

また本発明では、配線 122 と配線 123 とが、配線 126 を介して電氣的に接続されているが、本発明はこの構成に限定されない。例えば図 1 (C) に示すように、TFT101 の第 2 の端子 109 と、TFT102 の第 1 の端子 118 及びゲート電極 116 とが、第 1 の層間絶縁膜 120 上に接するように形成された配線 127 によって接続されていても良い。配線 127 は、単数の配線であっても電氣的に接続された複数の配線で構成されていても良い。そして配線 127 は、配線 126 とも接続されている。

【0030】

図 1 (B) の場合、図 1 (C) の場合と比べて TFT に直接接続されている配線の長さを短くすることができるので、アンテナ効果によって TFT101、102 に絶縁破壊が起こるのを抑えることができる。また図 1 (C) の場合、第 2 の層間絶縁膜 125 を形成

10

20

30

40

50



する前に、既に保護回路より放電の経路が確保されているので、より確実にチャージングによるESDを防ぐことができる。

【0031】

そして図1(B)、図1(C)において、例えば第2の層間絶縁膜125の表面に正の電荷が帯電し、配線126に電位V<sub>dd</sub>よりも高い電位V<sub>dd</sub>'が与えられた場合、図2(A)に示すようにTF<sub>T</sub>101がオンになり、TF<sub>T</sub>102がオフになる。よって、該正の電荷はTF<sub>T</sub>101を介して放電される。また図1(B)、図1(C)において、例えば第2の層間絶縁膜125の表面に負の電荷が帯電し、配線126に電位V<sub>ss</sub>よりも低い電位V<sub>ss</sub>'が与えられた場合、図2(B)に示すようにTF<sub>T</sub>101がオフになり、TF<sub>T</sub>102がオンになる。よって、該負の電荷はTF<sub>T</sub>102を介して放電される。

10

【0032】

従って、いずれの場合も、配線103にV<sub>dd</sub>よりも高い電位、或いはV<sub>ss</sub>よりも低い電位が与えられることはないため、配線103に電気的に接続された半導体素子へのチャージングによるダメージを回避することができる。

【0033】

なお上記保護回路は、第2の層間絶縁膜が塗布法で形成されるときに生じるチャージングにより、半導体素子が劣化したり破壊されたりするのを防ぐのに特に有効である。しかし本発明の半導体表示装置は、第2の層間絶縁膜が塗布膜であることに限定されない。チャージングの発生する原因や環境は極めて複雑で多岐に渡っており、塗布法で第2の層間絶縁膜が形成されるとき以外にも、チャージングが発生する可能性は否定できない。よって本発明は、第2の層間絶縁膜が塗布法以外の成膜方法、例えば蒸着法、スパッタ法、CVD法などで成膜された場合にも、ESDを防ぐのに有効である。

20

【0034】

次に図3を用いて、本発明の半導体表示装置の構成について説明する。図3は、半導体表示装置が有する基板130の上面図であり、基板130上に、画素部131、画素部131が有する画素を選択する走査線駆動回路132と、選択された画素にビデオ信号を供給する信号線駆動回路133とが形成されている。また134は、基板130上に形成された各種回路へ、信号または電源電位を供給するための入力端子に相当する。

【0035】

そして135~137は保護回路に相当する。そして基板130上に形成された各種回路間は配線によって接続されており、該配線は保護回路135~137に接続されている。

30

【0036】

具体的に、入力端子134と信号線駆動回路133とは配線140によって接続されており、保護回路135は該配線140に接続されている。保護回路135によって、信号線駆動回路133が有する各種の半導体素子を保護することができる。

【0037】

また、信号線駆動回路133と画素部131とは信号線141によって接続されており、保護回路136は該信号線141に接続されている。保護回路136によって、信号線駆動回路133と画素部131が有する各種の半導体素子を保護することができる。なお保護回路136は、信号線141に接続されていれば良い。よって保護回路136は、例えば図3に示すように、信号線駆動回路133と画素部131との間に設けられていても良いし、画素部131を間に挟んで信号線駆動回路133の反対側に設けられていても良い。また図示してはいないが、保護回路136は信号線駆動回路133と入力端子134との間に設けられていても良い。

40

【0038】

また、走査線駆動回路132と画素部131とは走査線142によって接続されており、保護回路137は、該走査線142に接続されている。保護回路137によって、走査線駆動回路132と画素部131が有する各種の半導体素子を保護することができる。なお保護回路137は、走査線142に接続されていれば良い。よって保護回路137は、

50

例えば図3に示すように、走査線駆動回路132と画素部131との間に設けられていても良いし、画素部131を間に挟んで走査線駆動回路132の反対側に設けられていても良い。また図示してはいないが、保護回路137は走査線駆動回路132と入力端子134との間に設けられていても良い。

【0039】

なお保護回路135～137は全て設ける必要はなく、いずれか1つまたは複数を有していても良い。

【0040】

本発明において保護回路は、第2の層間絶縁膜に帯電した電荷の放電のみならず、信号または電源電圧と共に配線に入力された雑音を、低減させることができ、該雑音により半

10

【0041】

なお図3では、画素部131と同じ基板130上に信号線駆動回路133、走査線駆動回路132を形成しているが、本発明はこの構成に限定されない。例えば、画素部131を構成する半導体素子として、非晶質半導体又は微結晶半導体を用いる場合、別途形成した信号線駆動回路133、走査線駆動回路132をCOG方式やTAB方式等の公知の方式により基板130に実装しても良い。この場合保護回路は、入力端子と画素部とを接続する配線に、接続する。また、画素部131を構成する素子として、微結晶半導体を用いる場合、走査線駆動回路と画素部とを同一基板上に微結晶半導体で形成し、信号線駆動回路は実装するようにしてもよい。また、走査線駆動回路の一部または信号線駆動回路の一部を、画素部と共に同一基板上に形成し、走査線駆動回路のほかの部分または信号線駆動回路の他の部分を実装するようにしても良い。つまり、駆動回路の形態は様々であるため、保護回路はその形態に合わせて設ける数及び場所を定めるようにする。

20

【0042】

次に、本発明で用いられる保護回路の具体例について、図4を用いて説明する。

【0043】

図4(A)に示す保護回路は、複数のTF Tを用いた保護ダイオード401～404を有している。保護ダイオード401は、直列に接続された2つのpチャネル型TF T 401a、401bを有している。そして、直列に接続された2つのpチャネル型TF T 401a、401bの一端は、2つのpチャネル型TF T 401a、401bのゲート電極と接続されている。そして、他の保護ダイオード402～404も保護ダイオード401と同様に、それぞれ直列に接続された複数のTF Tを有しており、なおかつ直列に接続された複数のTF Tの一端は、複数のTF Tのゲート電極と接続されている。

30

【0044】

なお本発明において、各保護ダイオード401～404が有するTF Tの数及び極性は、図4(A)に示す構成に限定されない。

【0045】

そして、保護ダイオード401～404は順に直列に接続されており、なおかつ保護ダイオード402と保護ダイオード403の間のノードは、配線405に接続されている。なお配線405は、保護対象となる半導体素子に接続されているものと仮定する。なお配線405と接続するノードは、保護ダイオード402と保護ダイオード403の間のノードに限定されず、直列に接続される保護ダイオード401～404間の複数のノードのうち、いずれのノードであっても良い。

40

【0046】

そして直列に接続されている保護ダイオード401～404の一端には電位Vssが、もう一端には電位Vddが与えられている。そして各保護ダイオード401～404は、逆方向バイアスの電圧がかかるような向きで接続されている。

【0047】

図4(B)に示す保護回路は、保護ダイオード410、411、容量素子412、413、抵抗素子414を有する。抵抗素子414は2端子の抵抗であり、一端には配線41

50

5に与えられる電位 $V_{in}$ が、他端には電位 $V_{ss}$ が与えられる。抵抗素子414は、電位 $V_{in}$ が与えられなくなったときに、配線415の電位を電位 $V_{ss}$ に落とすために設けられており、その抵抗値は配線414の配線抵抗よりも十分に大きくなるように設定する。各保護ダイオードは410、411は、ダイオード接続されたpチャネル型TFTを用いている。

#### 【0048】

電位 $V_{in}$ が電位 $V_{dd}$ よりも高い場合、そのゲート電極とソース領域間の電圧により、保護ダイオードは410が有するpチャネル型TFTはオン、保護ダイオードは411が有するpチャネル型TFTはオフとなる。そうすると、電位 $V_{dd}$ が保護ダイオードは410を介して、配線415に与えられる。従って、雑音等により、電位 $V_{in}$ が電位 $V_{dd}$ よりも高くなっても、配線415に与えられる電位は、電位 $V_{dd}$ よりも高くなることはない。一方、電位 $V_{in}$ が電位 $V_{ss}$ よりも低い場合、そのゲート電極とソース領域間の電圧により、保護ダイオードは410が有するpチャネル型TFTはオフ、保護ダイオードは411が有するpチャネル型TFTはオンとなる。そうすると、電位 $V_{ss}$ が配線に与えられる。従って、雑音等により、電位 $V_{in}$ が電位 $V_{ss}$ よりも低くなっても、配線415に与えられる電位は、電位 $V_{ss}$ よりも低くなることはない。さらに、容量素子412、413により、入力電位 $V_{in}$ が有するパルス状の雑音を鈍らせることができ、雑音による電位の急峻な変化をある程度小さくすることができる。

#### 【0049】

上記構成の保護回路の配置により、配線の電位は、電位 $V_{ss}$ と電位 $V_{dd}$ の間に保たれ、この範囲外の異常に高いまたは低い電位の印加から、後段の回路を保護することができる。さらに、信号が入力される入力端子に保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電位を、一定(ここでは電位 $V_{ss}$ )の高さに保つことができる。つまり信号が入力されていないときは、配線同士をショートさせることができるショートリングとしての機能も有する。そのため、配線間での電位差に起因する静電破壊を防ぐことができる。また、信号を入力しているときは、抵抗素子414の抵抗値が十分に大きいので、配線に与えられる信号が電位 $V_{ss}$ に引っ張られることがない。

#### 【0050】

図4(C)に示す保護回路は、保護ダイオード410、411を、それぞれ2つのpチャネル型TFTで代用した等価回路図である。

#### 【0051】

なお、図4(B)、図4(C)に示す保護回路は、保護ダイオードとしてダイオード接続されたpチャネル型TFTを用いているが、本発明はこの構成に限定されない。保護ダイオードとして、ダイオード接続されたnチャネル型TFTを用いても良い。

#### 【0052】

また、図4(D)に示す保護回路は、保護ダイオード420~427と、抵抗素子428とを有している。抵抗素子428は配線429と直列に接続されている。各保護ダイオード420~423は、それぞれダイオード接続されたnチャネル型TFTを用いており、各保護ダイオード424~427は、それぞれダイオード接続されたpチャネル型TFTを用いている。

#### 【0053】

保護ダイオード420、421は直列に接続されており、一端には電位 $V_{ss}$ が与えられ、他端は配線429に接続されている。保護ダイオード422、423は直列に接続されており、一端には電位 $V_{dd}$ が与えられ、他端は配線429に接続されている。保護ダイオード424、425は直列に接続されており、一端には電位 $V_{ss}$ が与えられ、他端は配線429に接続されている。保護ダイオード426、427は直列に接続されており、一端には電位 $V_{dd}$ が与えられ、他端は配線429に接続されている。

#### 【0054】

また、図4(E)に示す保護回路は、抵抗素子430、431と、保護ダイオード43

2とを有する。図4(E)では、保護ダイオード432としてダイオード接続されたnチャネル型TFTを用いているが、本発明はこの構成に限定されない。ダイオード接続されたpチャネル型TFTを用いていても良いし、ダイオード接続された複数のTFTを用いていても良い。抵抗素子430、431と、保護ダイオード432とは、配線433に直列に接続されている。

#### 【0055】

抵抗素子430、431によって、配線433の電位の急激な変動を緩和し、半導体素子の劣化又は破壊を防止することができる。また、保護ダイオード432によって、電位の変動により配線433に逆方向バイアスの電流が流れるのを防ぐことができる。

#### 【0056】

なお抵抗素子のみを配線に直列に接続する場合、配線の電位の急激な変動を緩和し、半導体素子の劣化又は破壊を防止することができる。また保護ダイオードのみを配線に直列に接続する場合、電位の変動により配線に逆方向の電流が流れるのを防ぐことができる。

#### 【実施例1】

#### 【0057】

次に、本発明の半導体表示装置の一形態に相当する、発光装置の具体的な作製方法について説明する。なお本実施例では、保護回路に用いられるTFTと、発光素子への電流の供給を制御するためのTFTとを、同一基板上に作製する例について説明する。

#### 【0058】

まず図5(A)に示すように、基板201上に下地膜202を形成する。基板201には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、SUS基板を含む金属基板またはシリコン基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

#### 【0059】

下地膜202は基板201中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。本実施例では、プラズマCVD法を用いて窒化酸化珪素膜を10~400nm(好ましくは50~300nm)の膜厚になるように成膜した。

#### 【0060】

なお下地膜202は単層であっても複数の絶縁膜を積層したものであっても良い。またガラス基板、SUS基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効であるが、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

#### 【0061】

次に下地膜202上に、活性層として用いる島状の半導体膜203~205を形成する。島状の半導体膜203~205の膜厚は25~100nm(好ましくは30~60nm)とする。なお島状の半導体膜203~205は、非晶質半導体であっても良いし、セミアモルファス半導体(微結晶半導体)または多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomic%程度であることが好ましい。

#### 【0062】

多結晶半導体を用いる場合、まず非晶質半導体を成膜して、公知の結晶化方法を用いて該非晶質半導体を結晶化すれば良い。公知の結晶化方法としては、加熱器による加熱で結晶化を行なう方法、レーザー光の照射で結晶化を行なう方法、触媒金属を用いて結晶化を

10

20

30

40

50

行なう方法、赤外光を用いて結晶化を行なう方法等が挙げられる。

【0063】

例えばレーザー光を用いて結晶化する場合、パルス発振型または連続発振型のエキシマレーザー、YAGレーザー、YVO<sub>4</sub>レーザー等を用いれば良い。例えばYAGレーザーを用いる場合は、半導体膜に吸収されやすい第2高調波の波長を用いるのが望ましい。そして発振周波数30～300kHz、エネルギー密度を300～600mJ/cm<sup>2</sup>(代表的には350～500mJ/cm<sup>2</sup>)とし、任意のポイントに数ショットずつ照射できるように走査速度を設定すると良い。

【0064】

次に、該島状の半導体膜203～205を用いてTF Tを形成する。なお本実施例では、図5(B)に示すように、島状の半導体膜203～205を用いてトップゲート型のTF T206～208を形成する。

10

【0065】

具体的には、島状の半導体膜203～205を覆うようにゲート絶縁膜209を成膜する。そして、ゲート絶縁膜209上に導電膜を成膜し、パターニングすることで、ゲート電極210～212を形成する。そして、ゲート電極210～212や、あるいはレジストをマスクとして用い、島状の半導体膜203～205にn型またはp型を付与する不純物を添加し、ソース領域、ドレイン領域、さらにはLDD領域等を形成する。なおここでは、TF T206～208が全てp型の場合について示す。

【0066】

20

なおゲート絶縁膜209には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いることができる。また成膜方法は、プラズマCVD法、スパッタ法などを用いることができる。例えば、酸化珪素を用いたゲート絶縁膜をプラズマCVD法で成膜する場合、TEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>を混合したガスを用い、反応圧力40Pa、基板温度300～400℃、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>とし、成膜する。

【0067】

また窒化アルミニウムをゲート絶縁膜209として用いることができる。窒化アルミニウムは熱伝導率が比較的高く、TF Tで発生した熱を効率的に発散させることができる。またアルミニウムの含まれない酸化珪素や酸化窒化珪素等を形成した後、窒化アルミニウムを積層したものをゲート絶縁膜として用いても良い。

30

【0068】

上記一連の工程によって、保護ダイオードに用いるTF T206、207と、発光素子に供給する電流を制御するTF T208とを形成することができる。なおTF Tの作製方法は、上述した工程に限定されない。液滴吐出法によりゲート電極や配線を作製しても良い。

【0069】

次に、TF T206～208を覆うように、第1の層間絶縁膜の一部に相当するパッシベーション膜213を形成する。パッシベーション膜213は、珪素を含む酸化珪素、窒化珪素、酸化窒化珪素などの絶縁膜を用いることができ、その厚さは100～200nm程度とする。

40

【0070】

次に、島状の半導体膜203～205に添加された不純物元素を活性化するために、熱処理を行なう。この工程はファーネスアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を用いることができる。例えば熱アニール法で活性化を行なう場合、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で、400～700℃(好ましくは500～600℃)で行なう。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状の半導体膜を水素化する工程を行なう。この工程は、熱的に励起された水素によりダングリングボンドを終端する目的で行なわれる。水素化の他の手段として、プラズ

50

マ水素化（プラズマにより励起された水素を用いる）を行っても良い。また活性化処理はパッシベーション膜 213 を成膜する前に行っても良い。

【0071】

次に図 5（C）に示すように、パッシベーション膜 213 を覆うように、第 1 の絶縁膜 214 を形成する。第 1 の絶縁膜 214 は、有機樹脂膜、無機絶縁膜、シロキサン系の材料を出発材料として形成された Si-O 結合と Si-CH<sub>x</sub> 結合手を含む絶縁膜等を用いることができる。本実施例では、第 1 の絶縁膜 214 とパッシベーション膜 213 とが積層された膜が、第 1 の層間絶縁膜 215 に相当する。なお、第 1 の層間絶縁膜 215 は、単層の絶縁膜で形成されていても良いし、複数の絶縁膜で形成されていても良い。

【0072】

次いで、ゲート絶縁膜 209 及び第 1 の層間絶縁膜 215 をエッチングし、コンタクトホールを形成する。そして、第 1 の層間絶縁膜 215 に接するように、島状の半導体膜 203 ~ 205 及びゲート電極 210、211 と接続する配線 216 ~ 221 を形成する。

【0073】

なお TFT 206 は、ソース領域またはドレイン領域に相当する第 1 の端子 223 と、ゲート電極 210 とが、配線 216 によって接続されている。また TFT 206 のソース領域またはドレイン領域に相当する第 2 の端子 225 は、配線 217 に接続されている。TFT 207 は、ソース領域またはドレイン領域に相当する第 1 の端子 226 と、ゲート電極 211 とが、配線 218 によって接続されている。また TFT 207 のソース領域またはドレイン領域に相当する第 2 の端子 228 は、配線 219 に接続されている。TFT 208 のソース領域またはドレイン領域に相当する第 1 の端子 229 は、配線 220 に接続されている。また TFT 208 のソース領域またはドレイン領域に相当する第 2 の端子 231 は、配線 221 に接続されている。

【0074】

次に図 6（A）に示すように、配線 216 ~ 221 を覆って、第 1 の絶縁膜 214 上に接するように、第 2 の絶縁膜 233 と第 3 の絶縁膜 234 とを順に形成する。第 2 の絶縁膜 233 と第 3 の絶縁膜 234 とが積層された膜が、第 2 の層間絶縁膜 235 に相当する。なお、第 2 の層間絶縁膜 235 は、単層の絶縁膜で形成されていても良いし、複数の絶縁膜で形成されていても良い。

【0075】

第 2 の絶縁膜 233 として、有機樹脂膜、無機絶縁膜、シロキサン系の材料を出発材料として形成された Si-O 結合と Si-CH<sub>x</sub> 結合手を含む絶縁膜等を用いることができる。本実施例では、シロキサン系の材料を用いて形成された絶縁膜を用いて、塗布法で形成する。第 3 の絶縁膜 234 は、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、RF スパッタ法で形成された窒化珪素膜を用いるが、その他にもダイヤモンドライクカーボン（DLC）膜や、窒化アルミニウム膜などを用いることができる。

【0076】

次いで図 6（B）に示すように、第 2 の層間絶縁膜 235 をエッチングし、コンタクトホールを形成する。そして、配線 217、218、221 と接続する配線 236、237 を、第 2 の層間絶縁膜 235 上に接するように形成する。具体的に、配線 236 は配線 217、218 と接続されており、配線 237 は配線 221 と接続されている。

【0077】

次に図 7（A）に示すように、配線 236、237 を覆って、第 3 の絶縁膜 234 上に接するように、陽極 240 を形成する。陽極 240 は配線 237 と接続されている。陽極 240 として、例えば TiN、ZrN、Ti、W、Ni、Pt、Cr、Ag 等の 1 つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。本実施例では、TiN を用いて陽極 240 を形成する。

【0078】

なお本実施例では、陰極側から光を取り出す場合について説明しているが、陽極 240 側から光を取り出すようにしても良い。この場合、陽極 240 は、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などその他の透光性酸化物導電材料を用いることが可能である。ITO 及び酸化珪素を含む酸化インジウムスズ (以下、ITO とする) や、酸化珪素を含んだ酸化インジウムに、さらに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合したものをを用いても良い。

#### 【0079】

次に隔壁 241 を、第 3 の絶縁膜 234 上に形成する。隔壁 241 として、有機樹脂膜、無機絶縁膜、シロキサン系の材料を出発材料として形成された Si-O 結合と Si-C H<sub>x</sub> 結合手を含む絶縁膜等を用いることができる。隔壁 241 は、陽極 240 の端部を覆い、なおかつ陽極 240 と重なる領域において開口部を有するようにする。隔壁 241 の開口部における端部は、該端部において後に成膜される電界発光層に穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における隔壁 241 の断面が描いている曲線の曲率半径が、0.2 ~ 2 μm 程度であることが望ましい。

#### 【0080】

図 7 (A) では、隔壁 241 として、ポジ型の感光性のアクリル樹脂を用いた例を示している。感光性の有機樹脂には、光、電子、イオンなどのエネルギー線が露光された箇所が除去されるポジ型と、露光された箇所が残るネガ型とがある。本発明ではネガ型の有機樹脂膜を用いても良い。また感光性のポリイミドを用いて隔壁 241 を形成しても良い。ネガ型のアクリルを用いて隔壁 241 を形成した場合、開口部における端部が、S 字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、0.2 ~ 2 μm とすることが望ましい。

#### 【0081】

上記構成により、後に形成される電界発光層や陰極のカバレッジを良好とすることができ、陽極 240 と陰極が電界発光層に形成された穴においてショートするのを防ぐことができる。また電界発光層の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。

#### 【0082】

なお、電界発光層を形成する前に、陽極 240 の表面が平坦化されるように、CMP 法、ポリビニルアルコール系の多孔質体による拭浄などで、その表面を研磨しておいても良い。

#### 【0083】

また電界発光層を形成する前に、隔壁 241 及び陽極 240 に吸着した水分や酸素等を除去するために、大気雰囲気下で加熱処理または真空雰囲気下で加熱処理 (真空バーク) を行なっても良い。具体的には、基板の温度を 200 ~ 450、好ましくは 250 ~ 300 で、0.5 ~ 20 時間程度、真空雰囲気下で加熱処理を行なう。望ましくは  $3 \times 10^{-7}$  Torr 以下とし、可能であるならば  $3 \times 10^{-8}$  Torr 以下とするのが最も望ましい。そして、真空雰囲気下で加熱処理を行なった後に電界発光層を成膜する場合、電界発光層を成膜する直前まで当該基板を真空雰囲気下に置いておくことで、信頼性をより高めることができる。また真空バークの前または後に、陽極 240 に紫外線を照射してもよい。

#### 【0084】

なお、第 2 の層間絶縁膜 235 に接するように形成される電極 (本実施例では陽極 240) を、ITO のように透光性酸化物導電材料と酸化珪素を含む導電膜で形成し、第 2 の層間絶縁膜 235 のうち該電極に接する絶縁膜 (本実施例では第 3 の絶縁膜 234) を窒化珪素で形成することで、陽極 240 と第 3 の絶縁膜 234 を他の材料で形成した組み合わせよりも、発光素子の輝度を高めることができる。この場合、陽極 240 に含まれる酸化珪素によって、水分が付着しやすいので、上述した真空バークは特に有効である。

#### 【0085】

次に図7(B)に示すように、陽極240上に電界発光層242を成膜する。電界発光層242は、単数または複数の層からなり、各層には有機材料のみならず無機材料が含まれていても良い。電界発光層242は陰極に用いられる材料の仕事関数が十分小さくない場合、電子注入層を設けることが望ましい。

【0086】

次に、電界発光層242を覆うように陰極243を形成する。陽極240、電界発光層242、陰極243は、隔壁241の開口部において重なり合っており、該重なり合っている部分が発光素子244に相当する。

【0087】

陰極243は、透光性を有している。具体的には、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いることが可能である。ITO及び酸化珪素を含む酸化インジウムスズ(以下、ITOとする)や、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものをを用いても良い。この場合、電界発光層242に、陰極243に接するように電子注入層を設けるのが望ましい。

【0088】

また、仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを、光が透過する程度の膜厚で形成し、陰極243として用いることができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属を用い、5nm~30nm程度の膜厚で陰極243を形成することができる。また電子注入層を設ける場合、Alなどの他の導電層を、光が透過する程度の膜厚で形成し、陰極243として用いることも可能である。なお、光が透過する程度の膜厚で陰極243を形成する場合、該陰極243の上または下に接するように透光性酸化物導電材料を用いて透光性を有する導電層を形成し、陰極のシート抵抗を抑えるようにしても良い。なお陰極243側において光を反射させ、陽極240側からのみ光を取り出したい場合は、光が反射する程度の膜厚で陰極243を形成しても良い。

【0089】

なお発光素子244を形成したら、陰極243上に、保護膜を形成しても良い。保護膜は第3の絶縁膜234と同様に、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

【0090】

なお図7(B)では、陽極が陰極よりも基板に近い側に形成されている例を示しているが、本発明はこの構成に限定されない。陰極が陽極よりも基板に近い側に形成されていても良い。

【0091】

なお、実際には図7(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のカバー材でパッケージング(封入)することが好ましい。その際、カバー材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0092】

なお本発明の発光装置の作製方法は、必ずしも上述した形態に限定されない。さらに、本発明の半導体表示装置は、発光装置だけではなく液晶表示装置もその範疇に含む。上述した実施例は、本発明の一形態について具体的に説明しただけであり、本発明は、上述した実施例に限定されるものではなく、発明の技術的思想に基づく各種の変形が可能である。



## 【 0 0 9 3 】

なお、上記方法を用いて作製される半導体素子を、プラスチックなどの可撓性を有する基板上に転写することで、半導体表示装置を形成しても良い。転写は、基板と半導体素子の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して半導体素子を剥離し、転写する方法、基板と半導体素子の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより該非晶質珪素膜を除去することで基板と半導体素子とを剥離し、転写する方法、半導体素子が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで半導体素子を基板から切り離し、転写する方法等、様々な方法を用いることができる。なお転写は、表示素子を作製する前に行なっても良いし、作製した後に転写しても良い。

10

## 【実施例 2】

## 【 0 0 9 4 】

本実施例では、本発明の半導体表示装置が有する駆動回路と保護回路の位置関係について説明する。

## 【 0 0 9 5 】

図 8 ( A ) に本実施例の信号線駆動回路のブロック図を示す。図 8 ( A ) において、900 は画素部、901 は信号線駆動回路、902 は保護回路、903 は入力端子に相当する。信号線駆動回路 901 は、シフトレジスタ 904、ラッチ A 905、ラッチ B 906 を有している。

## 【 0 0 9 6 】

20

シフトレジスタ 904 には、クロック信号 ( CLK )、スタートパルス信号 ( SP ) が入力されている。また CLK、SP の他に切り替え信号 ( L / R ) が入力されていても良い。CLK と SP が入力されると、シフトレジスタ 904 においてタイミング信号が生成される。また L / R によって、タイミング信号のパルスの出現する順序を切り替えることができる。生成したタイミング信号は、一段目のラッチ A 905 に順に入力される。ラッチ A 905 にタイミング信号が入力されると、該タイミング信号のパルスに同期して、ビデオ信号 ( VS ) が順にラッチ A 905 に書き込まれ、保持される。なお、本実施例ではラッチ A 905 に順にビデオ信号を書き込んでいるが、本発明はこの構成に限定されない。複数のステージのラッチ A 905 をいくつかのグループに分け、グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

30

## 【 0 0 9 7 】

ラッチ A 905 の全てのステージのラッチへの、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

## 【 0 0 9 8 】

1 ライン期間が終了すると、2 段目のラッチ B 906 にラッチ信号 ( Latch Signal ) が供給され、該ラッチ信号に同期してラッチ A 905 に保持されているビデオ信号が、ラッチ B 906 に一斉に書き込まれ、保持される。ビデオ信号をラッチ B 906 に送出し終えたラッチ A 905 には、再びシフトレジスタ 904 からのタイミング信号に同期して、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、ラッチ B 906 に書き込まれ、保持されているビデオ信号が、信号線 907 を介して画素部 900 に入力される。

40

## 【 0 0 9 9 】

なお、シフトレジスタ 904 の代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

## 【 0 1 0 0 】

図 8 ( A ) では、保護回路 902 が信号線駆動回路 901 と画素部 900 の間に設けられている。そして保護回路 902 は、信号線 907 に接続されている。保護回路 902 に

50

より、信号線 9 0 7 に接続された各種半導体素子を E S D から防ぐことができる。

【 0 1 0 1 】

なお図 8 ( A ) では、信号線 9 0 7 に保護回路 9 0 2 を接続する例を示しているが、信号線駆動回路 9 0 1 にビデオ信号 ( V S ) を入力するための配線に、保護回路を設けても良い。

【 0 1 0 2 】

図 9 に、図 8 ( A ) に示したシフトレジスタ 9 0 4、ラッチ A 9 0 5、ラッチ B 9 0 6 と、保護回路 9 0 2 の具体的な回路図を一例として示す。なお図 9 では、ビデオ信号 ( V S ) を入力するための配線にも保護回路 9 0 8 を設けている例を示す。図 9 に示すように、各回路間には、バッファ、インバータなどが設けられていても良い。

10

【 0 1 0 3 】

また図 1 0 に、走査線駆動回路が有するシフトレジスタと、走査線に接続された保護回路の、具体的な回路図を一例として示す。図 1 0 において、走査線駆動回路は、シフトレジスタ 1 1 0 1、バッファ 1 1 0 3 を有している。また 1 1 0 2 は保護回路、1 1 0 4 は走査線に相当する。走査線駆動回路はレベルシフトを有していても良い。走査線駆動回路では、シフトレジスタ 1 1 0 1 に C L K 及び S P が入力されることによって、選択信号が生成される。生成された選択信号はバッファ 1 1 0 3 において緩衝増幅され、対応する走査線 1 1 0 4 に入力される。走査線 1 1 0 4 には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一斉に O N にしなくてはならないので、バッファ 1 1 0 3 は大きな電流を流すことが可能なものが用いられる。

20

【 0 1 0 4 】

なお、シフトレジスタ 1 1 0 1 の代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【 0 1 0 5 】

なお図 8 ( A ) では、信号線 9 0 7 に接続されている保護回路 9 0 2 が、信号線駆動回路 9 0 1 と画素部 9 0 0 の間に設けられているが、本発明はこの構成に限定されない。信号線 9 0 7 を第 1 の層間絶縁膜上に接するように形成し、該信号線 9 0 7 を、第 2 の層間絶縁膜上に接するように形成された配線と接続し、引き回すことで、保護回路 9 0 7 の位置は如何様にも変えられる。

30

【 0 1 0 6 】

図 8 ( B ) に、信号線 9 0 7 に接続した保護回路 9 0 7 を、入力端子 9 0 3 と信号線駆動回路 9 0 1 の間に設けた例を示す。配線 9 0 9 の引き回しによって、発光素子を基板とカバー材の間に封止するためのシール材 9 1 0 と、保護回路 9 0 7 とを重ねることができ、スペースを有効活用することができる。

【 0 1 0 7 】

なお、本発明の半導体表示装置が有する信号線駆動回路と走査線駆動回路は、上述した構成に限定されない。また信号線駆動回路の数及びレイアウトは、設計者が任意に設定することができる。

【 実施例 3 】

40

【 0 1 0 8 】

次に、本発明の半導体表示装置の一形態に相当する、発光装置の画素について、図 1 1 を用いて説明する。図 1 1 ( A ) は、画素の等価回路図を示したものであり、信号線 6 1 1 4、電源線 6 1 1 5、6 1 1 7、走査線 6 1 1 6、発光素子 6 1 1 3、画素へのビデオ信号の入力を制御する T F T 6 1 1 0、発光素子 6 1 1 3 の両電極間に流れる電流値を制御する T F T 6 1 1 1、該 T F T 6 1 1 1 のゲート電極とソース領域間の電圧を保持する容量素子 6 1 1 2 を有する。なお、図 1 1 ( A ) では、容量素子 6 1 1 2 を図示したが、T F T 6 1 1 1 のゲート容量や他の寄生容量で賄うことが可能な場合には、設けなくてもよい。

【 0 1 0 9 】

50

図11(B)は、図11(A)に示した画素に、TF T 6 1 1 8と走査線6 1 1 9を新たに設けた構成の画素回路である。TF T 6 1 1 8の配置により、強制的に発光素子6 1 1 3に電流が流れない状態を作ることができるため、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができる。従って、デューティ比が向上して、動画の表示は特に良好に行なうことができる。

#### 【0110】

図11(C)は、図11(B)に示した画素に、新たにTF T 6 1 2 5と、配線6 1 2 6を設けた画素回路である。本構成では、TF T 6 1 2 5のゲート電極を一定の電位に保持した配線6 1 2 6に接続することにより、このゲート電極の電位を固定し、なおかつ飽和領域で動作させる。また、TF T 6 1 2 5と直列に接続させ、線形領域で動作するTF T 6 1 1 1のゲート電極には、TF T 6 1 1 0を介して、画素の点灯又は非点灯の情報を伝えるビデオ信号を入力する。線形領域で動作するTF T 6 1 1 1のソース領域とドレイン領域間電圧の値は小さいため、TF T 6 1 1 1のゲート電極とソース領域間の電圧の僅かな変動は、発光素子6 1 1 3に流れる電流値には影響を及ぼさない。従って、発光素子6 1 1 3に流れる電流値は、飽和領域で動作するTF T 6 1 2 5により決定される。上記構成を有する発光装置は、TF T 6 1 2 5の特性バラツキに起因した発光素子6 1 1 3の輝度ムラを改善して画質を高めることができる。なお、TF T 6 1 2 5のチャンネル長 $L_1$ 、チャンネル幅 $W_1$ 、TF T 6 1 1 1のチャンネル長 $L_2$ 、チャンネル幅 $W_2$ は、 $L_1 / W_1 : L_2 / W_2 = 5 \sim 6000 : 1$ を満たすように設定するとよい。また、両TF Tは同じ導電型を有していると作製工程上好ましい。さらに、TF T 6 1 2 5には、エンハンスメント型だけでなく、ディプリーション型のTF Tを用いてもよい。

#### 【0111】

なお、本発明の発光装置には、アナログのビデオ信号、デジタルのビデオ信号のどちらを用いてもよい。但し、デジタルのビデオ信号を用いる場合、そのビデオ信号が電圧を用いているのか、電流を用いているのかで異なる。つまり、発光素子の発光時において、画素に入力されるビデオ信号は、定電圧のものと、定電流のものがある。ビデオ信号が定電圧のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。またビデオ信号が定電流のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。この発光素子に印加される電圧が一定のものは定電圧駆動であり、発光素子に流れる電流が一定のものは定電流駆動である。定電流駆動は、発光素子の抵抗変化によらず、一定の電流が流れる。本発明の発光装置は、その駆動に電圧のビデオ信号、電流のビデオ信号のどちらを用いてもよく、また定電圧駆動、定電流駆動のどちらを用いてもよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

#### 【実施例4】

##### 【0112】

本実施例では、図11に示した画素の変形例について説明する。

##### 【0113】

図12(A)に、図11(B)に示した画素において、TF T 6 1 1 1の代わりに、直列に接続された2つのTF T 6 1 1 1 a、6 1 1 1 bを用いる例を示す。TF T 6 1 1 1 a、6 1 1 1 bは同じ極性を有し、なおかつゲート電極が互いに接続されている。なお代わりに用いるTF Tは2つに限らず、複数であれば良い。

##### 【0114】

なお、図11(A)に示した画素も同様に、TF T 6 1 1 1の代わりに、直列に接続された複数のTF Tを用いることができる。また図11(C)に示した画素も同様に、TF T 6 1 2 5の代わりに、直列に接続された複数のTF Tを用いることができる。

##### 【0115】

次に図12(B)に、図11(B)に示した画素において、TF T 6 1 1 1の代わりに、並列に接続された2つのTF T 6 1 1 1 a、6 1 1 1 bを用いる例を示す。TF T 6 1 1 1 a、6 1 1 1 bは同じ極性を有し、なおかつゲート電極が互いに接続されている。な

お代わりに用いる T F T は 2 つに限らず、複数であれば良い。

#### 【 0 1 1 6 】

なお、図 1 1 ( A ) に示した画素も同様に、T F T 6 1 1 1 の代わりに、並列に接続された複数の T F T を用いることができる。また図 1 1 ( C ) に示した画素も同様に、T F T 6 1 2 5 の代わりに、並列に接続された複数の T F T を用いることができる。

#### 【 0 1 1 7 】

図 1 1 ( A )、図 1 1 ( B ) に示した画素において、T F T 6 1 1 1 を飽和領域で動作させることで、発光素子の 6 1 1 3 が劣化しても、発光素子 6 1 1 3 の両電極間に流れる電流値が低減するのを抑えることができ、よって発光素子の 6 1 1 3 の輝度の低下を抑えることができる。また、図 1 1 ( C ) に示した画素において、T F T 6 1 2 5 を飽和領域で動作させることで、発光素子の 6 1 1 3 が劣化しても、発光素子 6 1 1 3 の両電極間に流れる電流値が低減するのを抑えることができ、よって発光素子の 6 1 1 3 の輝度の低下を抑えることができる。そして、この場合 T F T 6 1 1 1、6 1 2 5 のチャネル幅に対するチャネル長の比が高いと、飽和領域におけるドレイン電流の線形性を高めることができ、より劣化による輝度の低下を抑えることができるので望ましい。しかしチャネル長が長くなると、T F T が有する島状の半導体膜の面積が増大し、島状の半導体膜の面積とゲート絶縁膜の面積比（アンテナ比）が増大する傾向にある。本実施例のように、T F T 6 1 1 1、6 1 2 5 のそれぞれの代わりに、島状の半導体膜が互いに分離した複数の T F T を用いることで、アンテナ比の増大を抑えることができる。

#### 【 0 1 1 8 】

図 1 3 に、図 1 2 ( A ) に示した画素の上面図を、一例として示す。図 1 3 において、T F T 6 1 1 1 a と T F T 6 1 1 1 b は、互いに分離した島状の半導体膜 6 1 3 0、6 1 3 1 を有している。また T F T 6 1 1 1 b は、発光素子 6 1 1 3 が有する第 1 の電極 6 1 3 2 に、配線 6 1 3 3、配線 6 1 3 4 を介して電氣的に接続されている。なお、配線 6 1 3 3 は T F T 6 1 1 0、6 1 1 8、6 1 1 1 a、6 1 1 1 b を覆っている第 1 の層間絶縁膜上に、接するように形成されており、配線 6 1 3 4 及び第 1 の電極 6 1 3 2 は、第 1 の層間絶縁膜上に形成された第 2 の層間絶縁膜上に、接するように形成されている。

#### 【 実施例 5 】

#### 【 0 1 1 9 】

本実施例では、本発明の一形態に相当する発光装置の、パネルの外観について、図 1 4 を用いて説明する。図 1 4 は、基板上に形成されたトランジスタ及び発光素子を、カバー材との間にシール材によって封止した、パネルの上面図であり、図 1 4 ( B ) は、図 1 4 ( A ) の A - A ' における断面図に相当する。

#### 【 0 1 2 0 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 と、保護回路 4 0 2 0 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 の上にカバー材 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 とは、基板 4 0 0 1 とシール材 4 0 0 5 とカバー材 4 0 0 6 とによって、充填材 4 0 0 7 と共に密封されている。

#### 【 0 1 2 1 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 と、保護回路 4 0 2 0 とは、T F T を複数有しており、図 1 4 ( B ) では、信号線駆動回路 4 0 0 3 に含まれる T F T 4 0 0 8 と、保護回路 4 0 2 0 に含まれる T F T 4 0 0 9 a、4 0 0 9 b と、画素部 4 0 0 2 に含まれる T F T 4 0 1 0 とを示す。保護回路 4 0 2 0 に含まれる T F T 4 0 0 9 a、4 0 0 9 b は、ダイオード接続されており、配線 4 0 2 1 によって直列に接続されている。

#### 【 0 1 2 2 】

また 4 0 1 1 は発光素子に相当し、T F T 4 0 1 0 と電氣的に接続されている。

#### 【 0 1 2 3 】

また引き回し配線 4014 は、画素部 4002 と、信号線駆動回路 4003 と、走査線駆動回路 4004 と、保護回路 4020 とに、信号または電源電圧を供給するための配線に相当する。引き回し配線 4014 は、引き回し配線 4015a 及び引き回し配線 4015b を介して接続端子 4016 と接続されている。接続端子 4016 は、FPC4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

#### 【0124】

なお、基板 4001 としては、ガラス、金属（代表的にはステンレス）、セラミックスのほか、プラスチックに代表されるようなフレキシブルな素材を用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。またカバー材 4006 は、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

#### 【0125】

また、充填材 4007 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

#### 【0126】

また充填材 4007 を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着する物質にさらしておくために、カバー材 4006 の基板 4001 側の面に凹部を設けて吸湿性物質または酸素を吸着する物質を配置しても良い。

#### 【0127】

なお本発明の半導体表示装置は、表示素子を有する画素部が形成されたパネルと、該パネルに IC が実装されたモジュールとを、その範疇に含む。

#### 【実施例 6】

#### 【0128】

本発明の半導体表示装置は、様々な電子機器に用いることができる。具体的に本発明の半導体表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD: Digital Versatile Disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。これら電子機器の具体例を図 15 に示す。

#### 【0129】

図 15（A）は表示装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカ部 2004、ビデオ入力端子 2005 等を含む。本発明の半導体表示装置は、表示部 2003 に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0130】

図 15（B）はノート型パーソナルコンピュータであり、本体 2201、筐体 2202、表示部 2203、キーボード 2204、外部接続ポート 2205、マウス 2206 等を含む。本発明の半導体表示装置は、表示部 2203 に用いることができる。

#### 【0131】

図15(C)は携帯情報端末(PDA)であり、本体2101、表示部2102、操作キー2103、モデム2104等を含む。モデム2104は本体2101に内蔵されていても良い。本発明の半導体表示装置は、表示部2202に用いることができる。

#### 【0132】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は、実施例1～5に示したいずれの構成の半導体表示装置を用いても良い。

#### 【図面の簡単な説明】

#### 【0133】

【図1】本発明の保護回路の回路図と、断面図とを示す図。

10

【図2】本発明の保護回路の回路図を示す図。

【図3】本発明の保護回路が設けられた基板の上面図。

【図4】本発明の保護回路の回路図。

【図5】本発明の半導体表示装置の作製方法を示す図。

【図6】本発明の半導体表示装置の作製方法を示す図。

【図7】本発明の半導体表示装置の作製方法を示す図。

【図8】本発明の半導体表示装置が有する信号線駆動回路と保護回路の位置関係を示す図。

【図9】本発明の半導体表示装置が有する信号線駆動回路と保護回路の等価回路図。

【図10】本発明の半導体表示装置が有する走査線駆動回路と保護回路の等価回路図。

20

【図11】本発明の発光装置が有する画素の等価回路図。

【図12】本発明の発光装置が有する画素の等価回路図。

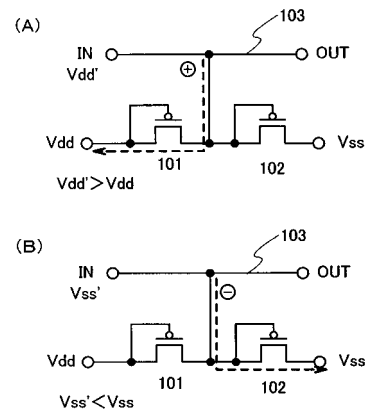
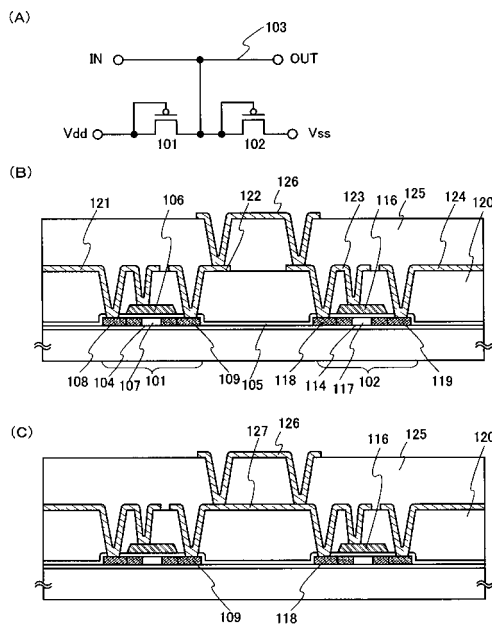
【図13】本発明の発光装置が有する画素の上面図。

【図14】本発明の発光装置の上面図及び断面図。

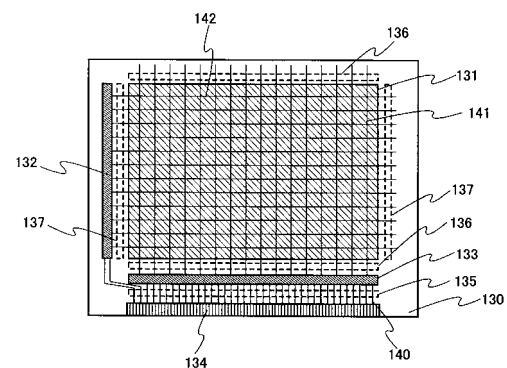
【図15】本発明の半導体表示装置を用いた電子機器の図。

#### 【図1】

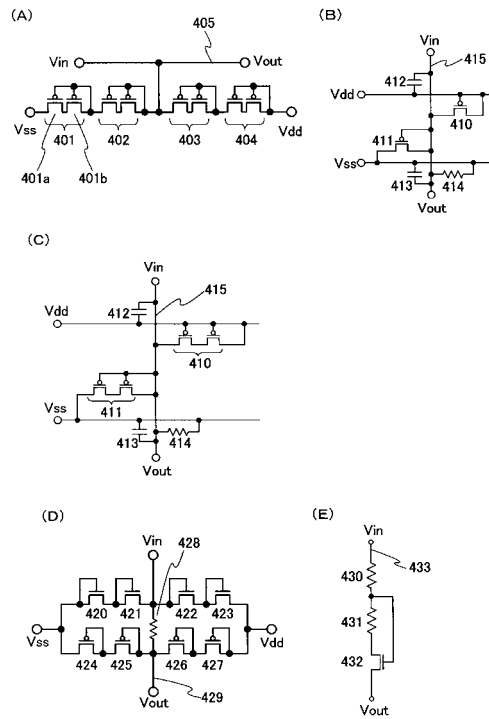
#### 【図2】



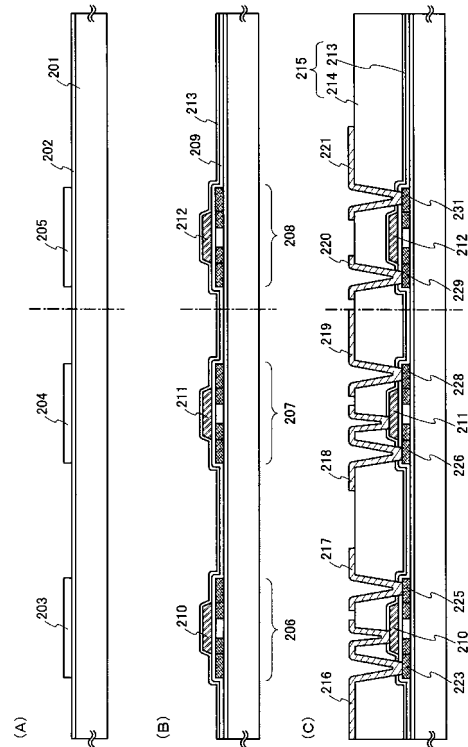
#### 【図3】



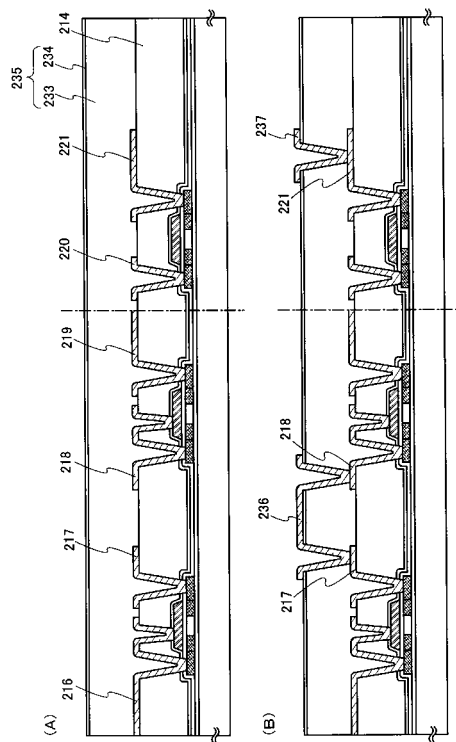
【図 4】



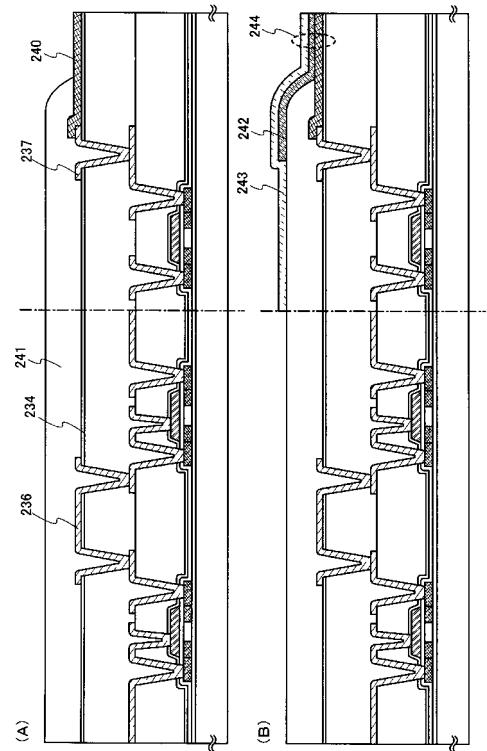
【図 5】



【図 6】

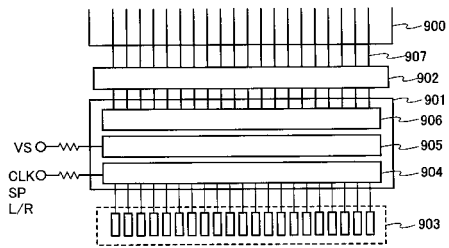


【図 7】

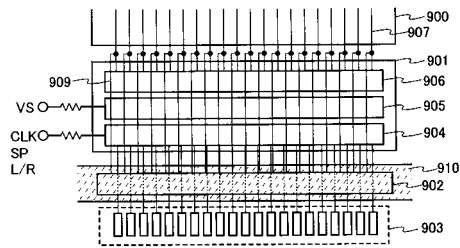


【図 8】

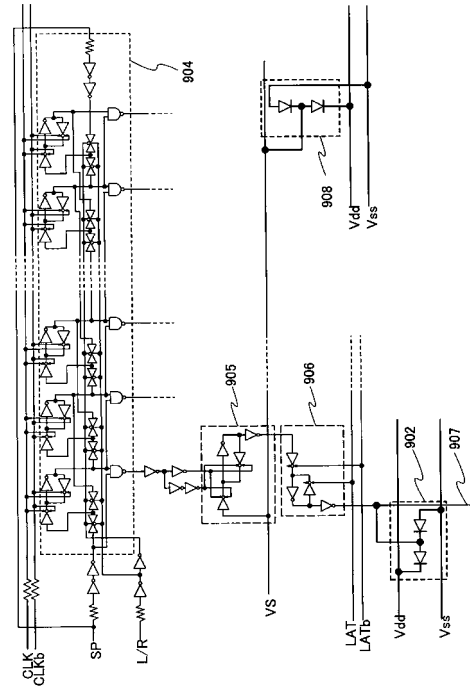
(A)



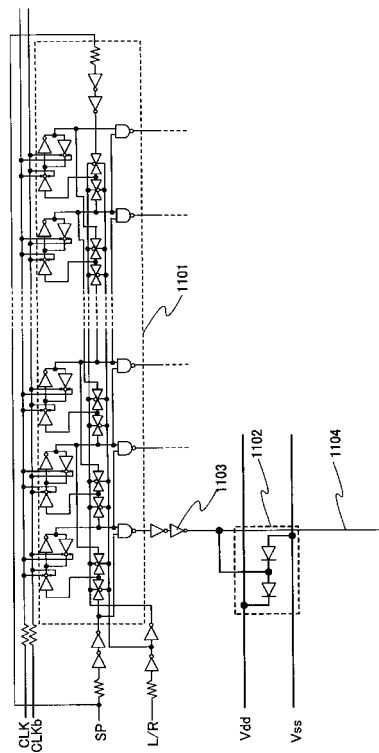
(B)



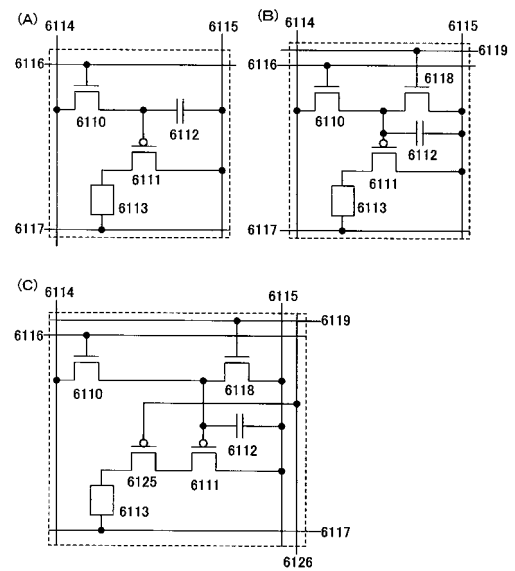
【図 9】



【図 10】

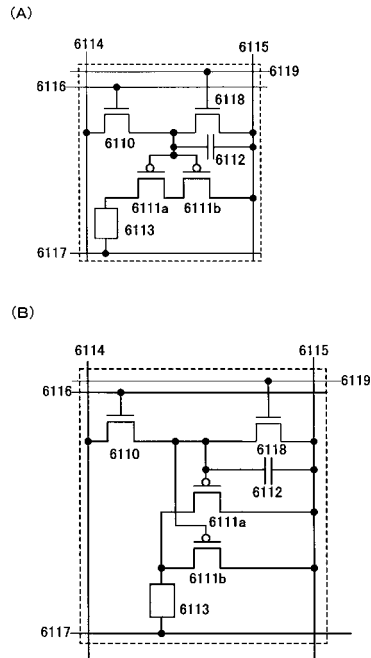


【図 11】

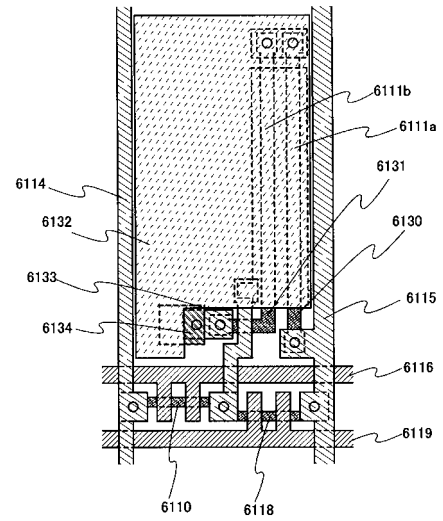




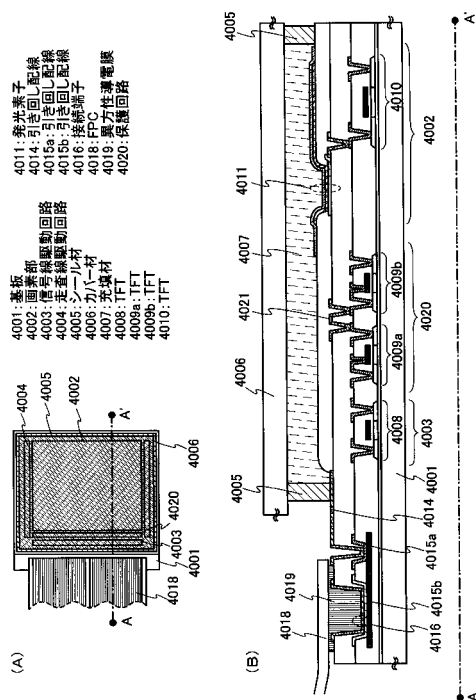
【 図 1 2 】



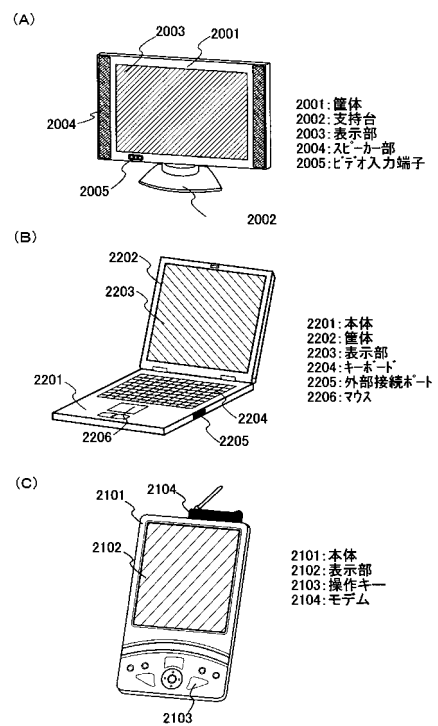
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



---

 フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/06	3 1 1 A	
H 0 1 L 27/04 (2006.01)	H 0 1 L 27/06	3 1 1 C	
H 0 1 L 27/06 (2006.01)	H 0 1 L 27/08	3 3 1 E	
H 0 1 L 27/08 (2006.01)			

(56)参考文献 特開平 0 6 - 0 5 1 3 4 6 ( J P , A )  
 特開 2 0 0 3 - 2 0 7 8 0 8 ( J P , A )  
 特開平 1 0 - 3 3 5 6 6 6 ( J P , A )  
 特開平 0 4 - 2 9 5 8 2 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0
H 0 1 L	2 1 / 3 2 0 5
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 3 / 5 2
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 0 6
H 0 1 L	2 7 / 0 8
H 0 1 L	2 9 / 7 8 6