(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/176062 A1

(51) 国際特許分類:
H10B 12/00 (2023.01) *H01L 27/04* (2006.01)
G06F 12/0893 (2016.01) *H01L 27/06* (2006.01)
G11C 11/405 (2006.01) *H01L 27/088* (2006.01)
H01L 21/822 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8234 (2006.01) *H10B 41/70* (2023.01)

(21) 国際出願番号： PCT/IB2024/051464

(22) 国際出願日： 2024年2月16日(16.02.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-026953 2023年2月24日(24.02.2023) JP
特願 2023-037340 2023年3月10日(10.03.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

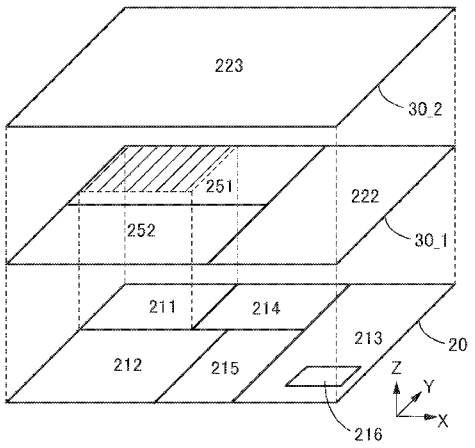
(72) 発明者: 山崎 舜平 **(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 黒川 義元 **(KUROKAWA, Yoshiyuki)**. 松嵜 隆徳 **(MATSUZAKI, Takanori)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図3B



(57) **Abstract:** Provided is a semiconductor device having a novel configuration. In this invention, a first element layer is provided with a calculation unit. A second element layer is provided with a storage unit. The calculation unit comprises a first transistor including a silicon first semiconductor having a channel formation region . The storage unit includes the first transistor and a second transistor including an oxide semiconductor second semiconductor having a channel formation region. The calculation unit includes an instruction decode unit. The storage unit includes an instruction cache. The second element layer includes a plurality of layers each including the second transistor and the layers each including the second transistor are provided in a laminate form. The instruction cache is provided in a region included in the second element layer existing above the instruction decode unit provided in the first element layer.

WO 2024/176062 A1

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約：新規な構成の半導体装置の提供。 第１素子層は、演算部が設けられる。第２素子層は、記憶部が設けられる。演算部は、チャネル形成領域を有する第１半導体層がシリコンを有する第１トランジスタを有する。記憶部は、第１トランジスタ、およびチャネル形成領域を有する第２半導体層が酸化物半導体を有する第２トランジスタを有する。演算部は、命令デコード部を有する。記憶部は、命令キャッシュを有する。第２素子層において、第２トランジスタを有する層を複数有し、第２トランジスタを有する層が積層して設けられる。命令キャッシュは、第１素子層に設けられる命令デコード部の上方にある第２素子層が有する領域に設けられる。

明細書

発明の名称

半導体装置

技術分野

［０００１］

本発明の一態様は、半導体装置等に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置（メモリ装置）、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

［０００３］

ＣＰＵ（中央演算装置）は、メモリに格納されたプログラム（データ）に応じた処理を逐次実行することで一連の処理を実行する。また、当該処理に必要なデータもメモリに格納されている。したがって、ＣＰＵがメモリにアクセスする速度または消費電力は、ＣＰＵの演算能力または消費電力などに大きく影響する。

［０００４］

全てのメモリ上のデータに等しくアクセスできる構成は、汎用性が高いものの、ＣＰＵがメモリにアクセスする速度が遅くなり、演算能力の低下や消費電力の増大を招く。そのため、メモリを階層化した構成、すなわち、ＣＰＵから近い順に、ＳＲＡＭなどで構成するキャッシュメモリ、ＤＲＡＭなどで構成する主記憶装置、フラッシュメモリやハードディスクなどの補助記憶装置、などを配する構成が一般的である。

［０００５］

主記憶装置は、キャッシュメモリよりアクセス速度が低速だが記憶容量を大きくする。補助記憶装置は、主記憶装置よりさらにアクセス速度が低速だが記憶容量を大きくする。ＣＰＵは、基本的にキャッシュメモリにアクセスするが、所望のデータがキャッシュメモリに格納されていない場合は、主記憶装置にアクセスし、キャッシュメモリに当該データをコピーしてからあらためて当該データにアクセスする。さらに、所望のデータが主記憶装置にも無い場合は、補助記憶装置にアクセスし、主記憶装置およびキャッシュメモリに当該データをコピーしてからあらためて当該データにアクセスする。

［０００６］

また、キャッシュメモリをさらに階層化した構成、すなわち、ＣＰＵから近い順に、１次キャッシュメモリ（１次キャッシュ、Ｌ１キャッシュ）、２次キャッシュメモリ（２次キャッシュ、Ｌ２キャッシュ）、３次キャッシュメモリ（３次キャッシュ、Ｌ３キャッシュ）、などを配する構成が一般的である。

［０００７］

特許文献１には、酸化物半導体を半導体層に含むトランジスタを用いた記憶部をレジスタ、キャッ

シュメモリ、主記憶装置に適用する構成が開示されている。酸化物半導体を半導体層に含むトランジスタは、オフ電流が極めて小さい特性を有する。そのため、当該トランジスタをレジスタ、キャッシュメモリ、または主記憶装置といった記憶部に適用することによって、格納されたデータを長時間保持することができる。

［先行技術文献］

［特許文献］

［０００８］

［特許文献１］特開２０１５－１８０９９４号公報

発明の概要

発明が解決しようとする課題

［０００９］

キャッシュメモリの記憶容量を大きくすることは、ＣＰＵなどの演算部の演算能力の向上や低消費電力化に有効である。しかしながらＣＰＵの場合、算術論理演算部（Ｉｎｔｅｇｅｒ／ＡＬＵ）といった複数の回路部を有する演算部が限られた面積の大部分を占める。そのため、演算部の演算能力を低下させることなく、キャッシュメモリの記憶容量を大きくするために記憶部を配置するための領域を確保することは、容易ではない。そのため、キャッシュメモリの記憶容量を大きくすることと、演算部の演算能力の向上や低消費電力化と、の両立が難しかった。

［００１０］

また特許文献１では、酸化物半導体を半導体層に含むトランジスタを、演算部にある記憶部であるレジスタに適用する構成について開示している。演算部からアクセスされるデータを保持するレジスタは、アクセス速度が求められる。酸化物半導体を半導体層に含むトランジスタをレジスタに適用する場合、却ってレジスタへのアクセス速度が低下する虞がある。また酸化物半導体を半導体層に含むトランジスタを、演算部に近い階層の記憶部であるキャッシュメモリに適用する場合、演算部が有する複数の回路部と、キャッシュメモリと、の間の信号伝搬距離が長くなり、消費電力の増加および動作速度の低下が生じる虞がある。

［００１１］

本発明の一態様は、新規な構成の半導体装置を提供することを課題の一とする。また、本発明の一態様は、演算能力の向上、消費電力の低減、動作速度の向上、小型化、または記憶容量の向上に優れた半導体装置を提供することを課題の一とする。

［００１２］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

［００１３］

本発明の一態様は、第１素子層と、複数の第２素子層と、を有し、複数の第２素子層は、第１素子層上に設けられ、第１素子層には、演算部が設けられ、複数の第２素子層のそれぞれには、記憶部が設けられ、演算部は、チャネル形成領域にシリコンを有する第１半導体層を有する第１トランジスタ

を有し、記憶部は、チャネル形成領域に酸化物半導体を有する第２半導体層を有する第２トランジスタを有し、記憶部は、演算部のキャッシュメモリの機能を有する、半導体装置である。

［００１４］

本発明の一態様は、第１素子層と、複数の第２素子層と、を有し、複数の第２素子層は、第１素子層上に設けられ、第１素子層には、演算部が設けられ、複数の第２素子層のそれぞれには、記憶部が設けられ、演算部は、チャネル形成領域にシリコンを有する第１半導体層を有する第１トランジスタを有し、記憶部は、チャネル形成領域に酸化物半導体を有する第２半導体層を有する第２トランジスタを有し、演算部は、命令解析部を有し、複数の第２素子層の少なくとも一層の記憶部は、命令キャッシュを有し、命令キャッシュは、第１素子層に設けられる命令解析部の上方にある第２素子層が有する領域に設けられる、半導体装置である。

［００１５］

本発明の一態様において、酸化物半導体は、少なくともＩｎを有する、半導体装置が好ましい。

［００１６］

本発明の一態様において、第２トランジスタは、縦型トランジスタである、半導体装置が好ましい。

［００１７］

本発明の一態様において、第１素子層が有する演算部と、複数の第２素子層のそれぞれが有する記憶部と、は、複数の第２素子層のそれぞれに設けられる貫通電極を介して電気的に接続される、半導体装置が好ましい。

［００１８］

本発明の一態様において、第１素子層が有する演算部と、複数の第２素子層のそれぞれが有する記憶部と、は、第１素子層が有する配線層と、複数の第２素子層のそれぞれが有する配線層と、を介して電気的に接続される、半導体装置が好ましい。

［００１９］

本発明の一態様において、第１素子層が有する演算部は、フリップフロップを有し、複数の第２素子層のそれぞれは、フリップフロップと電気的に接続されたバックアップ回路を有し、バックアップ回路は、フリップフロップに書き込まれたデータ信号を保持する機能を有し、バックアップ回路が設けられる領域は、フリップフロップが設けられる領域と重なる領域を有する、半導体装置が好ましい。

［００２０］

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

発明の効果

［００２１］

本発明の一態様は、新規な半導体装置等を提供することができる。または、本発明の一態様は、演算能力の向上、消費電力の低減、動作速度の向上、小型化、または記憶容量の向上に優れた半導体装置を提供することができる。

［００２２］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２３］

図１Ａおよび図１Ｂは、半導体装置の構成例を説明するブロック図および模式図である。

図２Ａおよび図２Ｂは、半導体装置の構成例を説明する模式図である。

図３Ａおよび図３Ｂは、半導体装置の構成例を説明する模式図である。

図４Ａおよび図４Ｂは、半導体装置の構成例を説明する模式図である。

図５Ａ乃至図５Ｃは、半導体装置の構成例を説明するブロック図および回路構成例を示す図である。

図６は、半導体装置の構成例を説明するタイミングチャートである。

図７Ａおよび図７Ｂは、半導体装置の構成例を説明する模式図である。

図８Ａ乃至図８Ｈは、半導体装置の構成例を説明する回路図である。

図９は、半導体装置の構成例を説明する模式図である。

図１０Ａおよび図１０Ｂは、演算処理システムの構成例を説明する模式図である。

図１１Ａおよび図１１Ｂは、半導体装置の構成例を説明する模式図である。

図１２Ａ乃至図１２Ｃは、半導体装置の構成例を説明する模式図である。

図１３Ａおよび図１３Ｂは、半導体装置の構成例を説明する断面模式図である。

図１４Ａおよび図１４Ｂは、半導体装置の構成例を説明する模式図である。

図１５Ａおよび図１５Ｂは、半導体装置の構成例を説明する模式図である。

図１６は、半導体装置の構成例を説明する断面図である。

図１７Ａ乃至図１７Ｃは、半導体装置の構成例を説明する断面図である。

図１８Ａは、半導体装置の構成例を説明する図である。図１８Ｂは、半導体装置の等価回路を説明する図である。

図１９は、半導体装置の構成例を説明する図である。

図２０Ａは、半導体装置の構成例を説明する図である。図２０Ｂは、半導体装置の等価回路を説明する図である。

図２１は、半導体装置の構成例を説明する断面模式図である。

図２２Ａ乃至図２２Ｃは、半導体装置に含まれるトランジスタの構成例を示す平面図であり、図２２Ｄは、半導体装置に含まれるトランジスタの構成例を示す断面図である。

図２３Ａは、半導体装置に含まれるトランジスタの構成例を示す平面図であり、図２３Ｂは、半導体装置に含まれるトランジスタの構成例を示す断面図である。

図２４は、半導体装置の構成例を説明する断面模式図である。

図２５Ａおよび図２５Ｂは、電子部品の一例を説明する図である。

図２６Ａおよび図２６Ｂは、電子機器の一例を説明する図である。図２６Ｃ乃至図２６Ｅは、大型計算機の一例を説明図である。

図２７は、宇宙用機器の一例を説明する図である。

図２８は、データセンターに適用可能なストレージシステムの一例を説明する図である。

発明を実施するための形態

［００２４］

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容

に限定して解釈されるものではない。

［００２５］

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

［００２６］

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００２７］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００２８］

（実施の形態１）

本発明の一態様に係る半導体装置について、図面を参照して説明する。なお半導体装置は半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、又はフォトダイオード等）を含む回路、同回路を有する装置である。本実施の形態で説明する半導体装置は、極小オフ電流のトランジスタを利用した記憶部を有する演算装置としての機能を有する。

［００２９］

図１Ａは、本実施の形態で説明する半導体装置１０のブロック図である。また図１Ｂは、本実施の形態で説明する半導体装置１０の模式図である。

［００３０］

図１Ａには、図１Ｂに示す素子層２０と、素子層２０上に設けられる素子層３０＿１乃至３０＿ｎとの間でのデータ（Ｄａｔａ）を表している。半導体装置１０では、素子層２０上に素子層３０＿１乃至３０＿ｎが積層して設けられる。なお素子層とは、トランジスタ、又はキャパシタなどの半導体素子が設けられる層である。

［００３１］

なお図１Ａ、図１Ｂでは、素子層３０＿１乃至３０＿ｎにおいて、１層目を素子層３０＿１と示し、２層目を素子層３０＿２と示し、３層目を素子層３０＿３と示す。また、ｎ層目を素子層３０＿ｎと示す。なお、本実施の形態等において、素子層３０＿１乃至３０＿ｎ全体に係る事柄を説明する場合、又は素子層３０＿１乃至３０＿ｎの各層に共通の事柄を示す場合に、単に「素子層３０」と表記する場合がある。

［００３２］

素子層２０は、演算部２１を有する。素子層２０は、チャネル形成領域を有する半導体層にシリコンを有するトランジスタ（Ｓｉトランジスタ）を有する。素子層２０は、シリコン基板内にチャネル

形成領域を有する半導体層が設けられる素子層、あるいはチャネル形成領域を有するシリコンの半導体層がシリコン基板に貼り合わせられて設けられる素子層である。

［００３３］

なお素子層２０に設けられる基板は、シリコン基板であるとして説明するが、本実施の形態はこれに限らない。なおシリコン基板は、シリコンを半導体材料とする基板、例えば単結晶シリコンの基板をいう。なおシリコンに限らず、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）などを有する材料を基板に用いてもよい。

［００３４］

素子層２０が有するＳｉトランジスタとしては、特に単結晶シリコンまたは多結晶シリコンなどの結晶性の高いシリコンを用いる。素子層２０は、結晶性の高いシリコンを有することで、高い電界効果移動度を実現することができ、より高速な動作が可能となる。そのため、素子層２０が有する演算部２１には、命令解析部（命令デコーダ、Ｄｅｃｏｄｅ）、分岐予測部（Ｂｒａｎｃｈ　Ｐｒｅｄｉｃｔｉｏｎ）、ロード／ストア部（Ｌｏａｄ／Ｓｔｏｒｅ）、算術論理演算部（Ｉｎｔｅｇｅｒ／ＡＬＵ）、浮動小数点演算部（Ｆｌｏａｔｉｎｇ　Ｐｏｉｎｔ）などといった、各回路部を設けることができる。

［００３５］

演算部２１は、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）あるいはＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）のように、オペレーティングシステムの実行、データの制御、各種演算、プログラムの実行といった汎用の処理を行う機能を有する。

［００３６］

素子層３０＿１乃至３０＿ｎは、チャネル形成領域を有する半導体層に酸化物半導体を有するトランジスタ（ＯＳトランジスタ）を有する。ＯＳトランジスタを有する素子層３０＿１乃至３０＿ｎは、素子層２０上に積層して設けることができる。図１Ｂに示す半導体装置１０では、素子層３０＿１乃至３０＿ｎが、素子層２０上に積層して設けられる様子を図示している。素子層３０＿１乃至３０＿ｎを素子層２０上に設けることで、単位面積当たりのトランジスタ密度を高めることができる。

［００３７］

ＯＳトランジスタに適用される金属酸化物は、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Ｍは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種または複数種である。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種または複数種であることが好ましい。

［００３８］

特に、金属酸化物として、インジウム（Ｉｎ）、ガリウム（Ｇａ）、及び亜鉛（Ｚｎ）を含む酸化物（ＩＧＺＯとも記す）を用いることが好ましい。または、インジウム（Ｉｎ）、スズ（Ｓｎ）、及び亜鉛（Ｚｎ）を含む酸化物（ＩＴＺＯとも記す）を用いることが好ましい。または、インジウム、ガリウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。または、インジウム（Ｉｎ）、アルミニウム（Ａｌ）、及び亜鉛（Ｚｎ）を含む酸化物（ＩＡＺＯとも記す）を用いることが好ましい。ま

たは、インジウム（Ｉｎ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、及び亜鉛（Ｚｎ）を含む酸化物（ＩＡＧＺＯとも記す）を用いることが好ましい。または、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、及びスズ（Ｓｎ）を含む酸化物（ＩＧＺＴＯとも記す）を用いることが好ましい。

［００３９］

また、ＯＳトランジスタに適用される金属酸化物は、組成が異なる２層以上の金属酸化物層とすることが可能である。例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成の第１の金属酸化物層と、当該第１の金属酸化物層上に設けられるＩｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成の第２の金属酸化物層と、の積層構造を好適に用いることができる。

［００４０］

また、例えば、インジウム酸化物、インジウムガリウム酸化物、及びＩＧＺＯの中から選ばれるいずれか一と、ＩＡＺＯ、ＩＡＧＺＯ、及びＩＴＺＯの中から選ばれるいずれか一と、の積層構造などを用いてもよい。

［００４１］

なお、ＯＳトランジスタに適用される金属酸化物は、結晶性を有すると好ましい。結晶性を有する酸化物半導体としては、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）－ＯＳ、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）－ＯＳ等が挙げられる。結晶性を有する酸化物半導体を用いると、信頼性が高い半導体装置を提供することができる。

［００４２］

なおＯＳトランジスタは、ソース電極とドレイン電極とが異なる高さに位置する縦型のトランジスタであることが好ましい。縦型のトランジスタは、半導体層のチャネル形成領域において、高さ方向（Ｚ方向）に電流が流れることになる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するということができる。したがって、上述の縦型のトランジスタは、ＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）、縦型チャネルトランジスタ、縦チャネル型トランジスタ、または縦型トランジスタなどとも呼ぶことができる。

［００４３］

縦型のトランジスタは、上面視において、ソース領域と、チャネル形成領域と、ドレイン領域と、の少なくとも一部を重ねることができる構成であることから、占有面積（フットプリントともいう）を小さくすることができる。また、チャネル長を小さく、かつチャネル幅を大きくできる構造であることから、オン抵抗を小さく（オン電流を大きく）することができる。

［００４４］

また縦型のトランジスタは、Ｓｉトランジスタを有する素子層２０上に、ＯＳトランジスタを有する素子層３０を積層する場合、ソース電極とドレイン電極とが同じ高さに位置する横型のトランジスタ（プレーナ型構造ともいう）と比べて、単位面積当たりのメモリ密度を高めることができる。縦型のトランジスタは、占有面積（フットプリントともいう）が小さいため、上層にある素子層３０ほど単位面積当たりのメモリ密度を高める構成において特に有効である。当該構成とすることで、演算部２１を有する素子層２０上に、演算部２１を有する素子層２０に近い順にメモリ密度を異ならせて階層化した構成とすることができる。例えば、演算部２１を有する素子層２０に近い素子層３０のＯＳトランジスタを横型のトランジスタとし、演算部２１を有する素子層２０から遠い素子層３０のＯＳトランジスタを縦型のトランジスタとすることで、演算部２１を有する素子層２０に近い順にメモリ密度を異ならせて階層化した構成とすることができる。

［００４５］

素子層３０＿１乃至３０＿ｎは、ＯＳトランジスタを有するメモリセル３４が設けられた記憶部３３を有する。記憶部３３に設けられるメモリセル３４の回路構成は、素子層３０＿１乃至３０＿ｎごとに異なっていてもよい。当該構成とすることで、演算部２１を有する素子層２０上に、演算部２１を有する素子層２０に近い順にアクセス速度を異ならせて階層化した構成とすることができる。例えば回路構成の異なるメモリセル３４を有する記憶部３３を素子層３０＿１乃至３０＿ｎに適用することができる。演算部２１に近い位置にある素子層３０では後述するＮＯＳＲＡＭを配置し、演算部２１に遠い位置にある素子層３０では後述するＤＯＳＲＡＭを配置することで、演算部２１を有する素子層２０に近い順にアクセス速度を異ならせることができる。

［００４６］

また記憶部３３に設けられるメモリセル３４は、素子層３０＿１乃至３０＿ｎのうちの複数の層にわたって同じ回路構成としてもよい。当該構成とすることで、複数の素子層において同じフォトマスクを用いた製造工程を採用できる。そのため、垂直方向に繰り返し同じ製造工程を用いて記憶部３３を作製することができ、製造コストの低減を図ることができる。

［００４７］

なお素子層２０上に作製される素子層２０上に素子層３０＿１乃至３０＿ｎが有する記憶部３３は、素子層３０＿１乃至３０＿ｎごとに異なる配線間隔、あるいはトランジスタサイズとして設計することもできる。この場合、記憶部３３のアクセス速度などの仕様を素子層３０＿１乃至３０＿ｎごとに異ならせることができるため、同じ面積の記憶部３３において記憶容量およびアクセス速度の異なる記憶部とすることができる。

［００４８］

ＯＳトランジスタはオフ電流が極めて低い。よって、メモリセル３４に書き込まれたデータに対応する電荷を、キャパシタに長時間保持させることができる。つまり、メモリセル３４において、一旦書き込んだデータを長時間保持することができる。そのため、データリフレッシュの頻度を下げ、本発明の一態様の半導体装置１０の消費電力を低減させることができる。なおＯＳトランジスタを有するメモリセルを有する記憶部を、「ＯＳメモリ」という場合もある。

［００４９］

ＯＳトランジスタを有するメモリセル３４が設けられた記憶部３３は、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）とすることができる。ＤＯＳＲＡＭは、１Ｔ（トランジスタ）１Ｃ（容量）型のメモリセルを有するＲＡＭを指す。ＤＯＳＲＡＭは、ＯＳトランジスタを用いて形成されたＤＲＡＭであり、ＤＯＳＲＡＭは、外部から送られてくる情報を一時的に格納するメモリである。ＤＯＳＲＡＭは、ＯＳトランジスタのオフ電流が低いことを利用したメモリである。ＤＯＳＲＡＭは１Ｔ１Ｃ型のメモリセルであるため、記憶部３３において大きい記憶容量を実現できる。また、ＯＳトランジスタを用いることで、Ｓｉトランジスタを有するＤＲＡＭと比べて、データの保持期間を大きくすることができる。

［００５０］

ＤＲＡＭが有するＳｉトランジスタは、ＯＳトランジスタと比べてオフ電流が高い。そのため、Ｓｉトランジスタでオフ電流を低減するためには、チャネル長を長くする必要がある。限られた面積の中で長いチャネル長を確保する場合、基板の深さ方向にチャネル長を長くとる構成が有効であるが、この場合、基板を薄くすることが難しくなる。加えて電荷を保持するためにキャパシタの容量値を大

きくする必要がある。そのため、トレンチ型（深溝形）の構造のようにキャパシタの高さを大きくする必要がある。そのため、Ｓｉトランジスタを有するＤＲＡＭのメモリセルでは、Ｚ方向にセルサイズが大きくなる。

［００５１］

一方、ＤＯＳＲＡＭが有するＯＳトランジスタは、オフ電流が極めて低い。そのため、オフ電流を低減するために、チャネル長を長くする必要がない。素子層３０の１層あたりの素子層の厚さをＤＲＡＭと比べて薄くできる。加えてＤＯＳＲＡＭにおいて、ＯＳトランジスタのオフ電流が極めて低いため、キャパシタの容量を小さく見積もることができる。例えば、トレンチ型（深溝形）ではなく、平行平板型のキャパシタとすることも可能である。平行平板型のキャパシタは、トレンチ型と比較して作製しやすい。そのため、歩留まりが高く、製造工程を少なくことができる。このような素子層を薄くできる、歩留まりが高く、製造工程を少なくできる、といったＤＯＳＲＡＭの構成は、本発明の一態様の素子層３０＿１乃至３０＿ｎの記憶部３３に適用する場合に、特に有効である。

［００５２］

またＯＳトランジスタを有するメモリセル３４が設けられた記憶部３３は、ＮＯＳＲＡＭ（Ｎｏｎｖｏｌａｔｉｌｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）とすることができる。ＮＯＳＲＡＭは、メモリセルが２トランジスタ型（２Ｔ）、又は３トランジスタ型（３Ｔ）ゲインセルである。ＮＯＳＲＡＭは、キャパシタの充放電によってデータの書き換えを行うため、原理的には書き換え回数に制約はなく、かつ、低エネルギーである。またＮＯＳＲＡＭは、ＤＯＳＲＡＭと比べてデータのアクセス速度の向上が可能である。したがってＮＯＳＲＡＭは、ＤＯＳＲＡＭと比べて高速動作が可能で、消費電力が小さく、且つ書き替え耐性が高いメモリである。

［００５３］

ＮＯＳＲＡＭは、データを３値以上の多値にすることで、ＤＯＳＲＡＭと比べて１メモリセル当たりのデータを大容量化することができる。またＮＯＳＲＡＭは、書きこまれたデータを非破壊で読み出すことができるため、長時間のデータ保持に適している。一方、ＤＯＳＲＡＭは、書きこまれたデータを破壊読み出しするため、アクセスの頻度が大きい記憶部の階層への適用に適している。

［００５４］

またＯＳトランジスタは、高温環境下において、Ｓｉトランジスタよりも優れた電気特性を有する。具体的には、１２５℃以上１５０℃以下といった高温下においてもオン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。また、ＯＳトランジスタは、－４０℃以上１９０℃以下の範囲内にて良好に動作する。別減すると、ＯＳトランジスタは、耐熱性が非常に良い。これは、相変化メモリ（ＰＣＭ：Ｐｈａｓｅ Ｃｈａｎｇｅ Ｍｅｍｏｒｙ）の耐熱性（－４０℃以上１５０℃以下）、抵抗変化型メモリ（ＲｅＲＡＭ：Ｒｅｓｉｓｔａｎｃｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）の耐熱性（－４０℃以上１２５℃以下）、磁気抵抗メモリ（ＭＲＡＭ：Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）の耐熱性（－４０℃以上１０５℃以下）、などと比較しても、良好な耐熱性である。

［００５５］

図１Ｂに示す模式図において、半導体装置１０を構成する各要素の配置をわかりやすくするため、各要素同士を離して示している。同じ層に設けられる各要素は、同じ工程で形成されるものであることが好ましいが、これに限らない。例えば、貼り合わせ技術等を用いて、別々の工程で形成したもの

を一体化する構成であってもよい。

［００５６］

メモリセル３４が設けられる記憶部３３は、素子層２０の表面に対して垂直方向または概略垂直方向に積層して設けられる。換言すれば、素子層３０＿１乃至３０＿ｎは、素子層２０が設けられる基板の表面に対して垂直方向または概略垂直方向に積層して設けられる。当該構成とすることで、単位面積あたりに配置するメモリセル３４の数を増やすことができる。そのため、メモリ密度を高めることができる。

［００５７］

図１Ｂに示す断面模式図は、各構成の配置を説明するため、素子層２０の表面に対して垂直方向または概略垂直方向をＺ軸方向と規定している。なお理解を容易にするため、明細書中、Ｚ軸方向を素子層２０の表面に対して垂直な方向と呼ぶ場合がある。なお「概略垂直」とは、８５度以上９５度以下の角度で配置されている状態をいう。

［００５８］

なお本明細書および図面等において各要素の配置を説明するため、Ｘ方向、Ｙ方向、およびＺ方向を規定する場合がある。例えば図１Ｂに示す模式図において、半導体装置１０を構成する各要素の配置を説明するため、Ｘ方向、Ｙ方向、およびＺ方向を規定している。Ｘ方向、Ｙ方向、およびＺ方向のそれぞれは、互いに垂直または概略垂直である。

［００５９］

図１Ａに図示するように素子層２０および素子層３０＿１乃至３０＿ｎの間でデータを入出力する構成とすることで、素子層３０＿１乃至３０＿ｎに設けられる記憶部３３は、階層化された記憶部とすることができる。そのため、記憶部３３は、演算部２１のキャッシュメモリとして用いることができる。キャッシュメモリは、ＣＰＵなどの演算部２１が、データおよび命令などを入出力または更新する際に、主記憶装置およびバスなどの遅延を緩和し、演算部２１と外部記憶装置との性能差を埋めるために用いられるメモリである。演算部の上方に、大容量化されたキャッシュメモリとして利用可能な記憶部を有する構成とすることでキャッシュミスによるデータの外部記憶装置（メインメモリまたは補助記憶装置）へのアクセス頻度が低減できるため、電力効率の向上を図ることができる。

［００６０］

図２Ａは、半導体装置１０を含む演算処理システム１００に含まれる記憶装置（上述した素子層３０が有する記憶部を含む）を、記憶部２１０、記憶部２２０、記憶部２３０、および記憶部２４０でアクセス速度の順に階層化したものである。

［００６１］

最上位の階層にある記憶部２１０は、素子層２０に設けられる演算部２１内のレジスタ、フリップフロップ、ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）といった記憶部に相当する。記憶部２１０の次の階層にある記憶部２２０は、素子層３０が有する記憶部３３に相当する。記憶部２３０は主記憶装置（メインメモリ）に相当する。主記憶装置（メインメモリ）としては、ＤＲＡＭなどが相当する。記憶部２４０は、補助記憶装置に相当する。補助記憶装置としては、ストレージクラスメモリであるフラッシュメモリ、ハードディスクドライブ、ソリッドステートドライブなどが相当する。

［００６２］

記憶部２２０は、上述したキャッシュメモリに相当する。記憶部２２０は、アクセス速度および記

憶容量に応じて、Ｌ１キャッシュ２２１、Ｌ２キャッシュ２２２、Ｌ３キャッシュ２２３といった階層に細分化することができる。記憶部２２０は、２つの階層、または４つ以上の階層に細分化される構成でもよい。

［００６３］

演算処理システム１００は、上位の階層に位置する記憶部ほど高速動作が要求される。また、下位の階層に位置する記憶部ほど、大容量および高密度化（或いは、ビット当たりの面積の縮小）が要求される。例えば、記憶部２１０では、集積回路などにおける演算に用いるデータを記憶するため、特に高速な動作が要求される。また、例えば、記憶部２２０の中で最上位の階層に位置するＬ１キャッシュは、アクセスされる頻度が最も高いため、高速な動作が要求される。一方、Ｌ２キャッシュ、Ｌ３キャッシュなどは、Ｌ１キャッシュほどの高速動作は要求されないものの、大容量およびＬ１キャッシュよりもビット当たりの面積の縮小が要求される。

［００６４］

本発明の一態様は、上記課題を鑑みてなされたもので、半導体装置１０においてＣＰＵとして機能する演算部２１に積層して形成できるＯＳトランジスタを有する素子層３０でキャッシュメモリを構成する。Ｌ３キャッシュは、Ｌ１キャッシュ及びＬ２キャッシュの上方に積層する。Ｌ２キャッシュは、Ｌ１キャッシュの上方に積層する。Ｌ１キャッシュは、演算部２１の上方に積層する。つまり図２Ｂに図示するように半導体装置１０は、記憶部２１０を有する演算部２１が設けられた素子層２０の上方に設けられる素子層３０（素子層３０＿１乃至３０＿４）を用いてＬ１キャッシュ２２１、Ｌ２キャッシュ２２２、Ｌ３キャッシュ２２３を構成する。

［００６５］

なおＬ１キャッシュ２２１を素子層２０側に設け、Ｌ２キャッシュ２２２およびＬ３キャッシュ２２３を素子層３０側に設ける構成などの変形例であってもよい。またＬ１キャッシュ２２１およびＬ２キャッシュ２２２を素子層２０側に設け、なおＬ３キャッシュ２２１以降の階層（例えばＬ４キャッシュなど）の記憶部を素子層３０側に設ける構成などの変形例であってもよい。当該構成とすることで、Ｌ１キャッシュ２２１など演算部２１に近い記憶部のアクセス速度を高めることができる。

［００６６］

このような構成とすることで、キャッシュメモリとして機能する記憶部３３の記憶容量を増大し、また、ＣＰＵとして機能する演算部２１の各回路部の配置を容易にし、小面積、高演算能力で低消費電量の半導体装置を提供することができる。

［００６７］

図３Ａは、上記説明した構成を演算部２１（演算部２１に設けられるレジスタが記憶部２１０に対応）、Ｌ１キャッシュ２２１、Ｌ２キャッシュ２２２、Ｌ３キャッシュ２２３（記憶部２２０に対応）に適用した構成例について説明するブロック図である。また図３Ｂは、図３Ａで説明した各ブロックの配置について説明する模式図である。図３Ｂでは、演算部が設けられる素子層２０における回路部の配置、Ｌ１キャッシュおよびキャッシュが設けられる素子層３０＿１における記憶部の配置、Ｌ３キャッシュが設けられる素子層３０＿２における記憶部の配置を図示している。なお図３Ｂにおいて、素子層２０、素子層３０＿１および素子層３０＿２は、Ｚ方向に積層して設けられる様子を表している。

［００６８］

素子層２０に設けられる演算部２１では、一例として、命令解析部２１１（命令デコーダ）、分岐予測部２１２、ロード／ストア部２１３、算術論理演算部２１４、浮動小数点演算部２１５などの回路部を有する。素子層２０では、複数の回路部を有する演算部２１が限られた面積の大部分を占める。そのため、素子層２０において演算部２１の演算能力を低下させることなく、上述した演算処理システム１００における演算部に近い階層のＬ１キャッシュ２２１またはＬ２キャッシュ２２２の記憶容量を増やすことは、容易ではない。

［００６９］

本発明の一態様における素子層３０＿１に設けられるＬ１キャッシュ２２１は、必要最低限の小さな記憶容量とし、記憶部２１０が設けられる素子層２０とは異なる素子層である素子層３０＿１に設ける構成とする。またＬ１キャッシュ２２１は、命令キャッシュ２５１とデータキャッシュ２５２に分けて配置する構成とする。Ｌ２キャッシュ２２２は、Ｌ１キャッシュ２２１と同様に記憶容量に制限を受ける。またＬ３キャッシュ２２３は、Ｌ１キャッシュ２２１およびＬ１キャッシュ２２１と比べて記憶容量を大きくする必要があるため、Ｌ１キャッシュ２２１およびＬ２キャッシュ２２２が設けられる素子層３０＿１とは異なる素子層に設ける構成とする。

［００７０］

なお素子層３０＿１に、Ｌ１キャッシュ２２１である命令キャッシュ２５１とデータキャッシュ２５２が設けられることで素子層２０に設けられる場合のＬ１キャッシュ２２１の面積を削減できるため、素子層２０にある演算部２１の面積を縮小することができる。そのため、素子層２０および素子層３０＿１乃至３０＿ｎが積層して設けられる半導体装置１０のチップサイズを縮小することができる。その結果、半導体装置１０の歩留まりを向上させることができる。また命令キャッシュ２５１とデータキャッシュ２５２といったＬ１キャッシュ２２１の配置の自由度が高められるため、命令キャッシュ２５１およびデータキャッシュ２５２を正方形または概略正方形状といった形状の領域に配置できる。一方、Ｌ１キャッシュ２２１を素子層２０に配置する場合、Ｌ１キャッシュ２２１の配置の自由度が低いため、命令キャッシュ２５１およびデータキャッシュ２５２を形状が制約をうける。命令キャッシュ２５１およびデータキャッシュ２５２を形状が制約をうける場合、配線長が長くなるなど、アクセス速度が低下する場合がある。つまりＬ１キャッシュ２２１を素子層２０に配置する場合と比較して、Ｌ１キャッシュ２２１のアクセス速度を向上させることができる。

［００７１］

命令解析部２１１は、命令キャッシュ２５１に格納されたプログラムを解読し、ロード命令、ストア命令、演算命令、分岐命令など何れの命令か、また、当該命令の実行に必要なレジスタデータ、メモリアクセスを特定する制御信号を生成する。

［００７２］

分岐予測部２１２は、分岐命令における分岐条件（分岐するまたは分岐しない）を予測し、投機実行（分岐しないと予測した時は次の命令のアドレスを発行、分岐すると予測した時は分岐先のアドレスを発行）する。

［００７３］

命令解析部２１１および分岐予測部２１２は、命令キャッシュ２５１に格納されたデータに対する処理を高速で実行する必要があるため、命令キャッシュ２５１の近くに配置する構成が有効である。例えば素子層３０＿１に設けられる命令キャッシュ２５１は、素子層２０に設けられる命令解析部２１１の上方にある領域（図３Ｂ中のハッチングを付した領域）に設ける構成とする。当該構成と

することで、命令解析部２１１および分岐予測部２１２は、命令キャッシュ２５１に格納されたデータに対する処理を高速で実行することができる。

［００７４］

ロード／ストア部２１３は、汎用レジスタ２１６などを有する。汎用レジスタ２１６は、上述した演算処理システム１００における上位の階層にある記憶部２１０の一部に相当する。ロード／ストア部２１３は、データキャッシュ２５２もしくは汎用レジスタ２１６に格納されたデータを汎用レジスタ２１６などに格納（ロード）、もしくは、汎用レジスタ２１６などに格納されたデータをデータキャッシュ２５２もしくは汎用レジスタ２１６に格納（ストア）する。

［００７５］

ロード／ストア部２１３は、データキャッシュ２５２に格納されたデータに対する処理を高速で実行する必要がある。またロード／ストア部２１３は、データキャッシュ２５２にデータが無い場合はＬ２キャッシュ２２２のデータにアクセスする必要があるため、データキャッシュ２５２およびＬ２キャッシュ２２２の近くに配置する構成が有効である。この場合、素子層３０＿１に設けられるデータキャッシュ２５２またはＬ２キャッシュ２２２は、素子層２０に設けられるロード／ストア部２１３の上方にある領域に設ける構成が好ましい。例えば、素子層３０＿１に設けられるデータキャッシュ２５２と、素子層２０に設けられるロード／ストア部２１３と、が重なる領域を有する構成、または素子層３０＿１に設けられるＬ２キャッシュ２２２と、素子層２０に設けられるロード／ストア部２１３と、が重なる領域を有する構成、または素子層３０＿１に設けられるデータキャッシュ２５２およびＬ２キャッシュ２２２と、素子層２０に設けられるロード／ストア部２１３と、が重なる領域を有する構成とする。当該構成とすることで、ロード／ストア部２１３はデータキャッシュ２５２またはＬ２キャッシュ２２２に格納されたデータに対する処理を高速で実行することができる。

［００７６］

算術論理演算部２１４は、汎用レジスタ２１６などに格納されたデータに対する四則演算、論理演算を実行し、結果を汎用レジスタ２１６などに格納する。算術論理演算部２１４は、汎用レジスタ２１６などに格納されたデータに対する処理を高速で実行する必要があるため、ロード／ストア部２１３の近くに配置する構成が有効である。

［００７７］

浮動小数点演算部２１５は、浮動小数点レジスタなどに格納されたデータに対する浮動小数点演算を実行し、結果を浮動小数点レジスタ（図示せず）などに格納する。浮動小数点レジスタは、浮動小数点演算部２１５内に設けられるレジスタである。

［００７８］

Ｌ２キャッシュ２２２は、Ｌ２キャッシュ２２２にデータが無い場合はＬ３キャッシュ２２３のデータにアクセスする必要があるため、Ｌ３キャッシュ２２３の近くに配置する構成が有効である。例えば素子層３０＿２に設けられるＬ３キャッシュ２２３は、素子層３０＿１に設けられるＬ２キャッシュ２２２の上方にある領域に設ける構成が好ましい。例えば、素子層３０＿１に設けられるＬ２キャッシュ２２２と、素子層３０＿２に設けられるＬ３キャッシュ２２３と、が重なる領域を有する構成、とする。当該構成とすることで、Ｌ２キャッシュ２２２はＬ３キャッシュ２２３に格納されたデータに対する処理を高速で実行することができる。

［００７９］

以上のような構成とすることで、キャッシュメモリの記憶容量を増大し、また、ＣＰＵとして機能

する演算部２１の各回路部の配置を容易にし、小面積、高演算能力で低消費電量の半導体装置を提供することができる。

［００８０］

図３Ａ、図３Ｂでは、素子層２０、素子層３０＿１および素子層３０＿２における、演算部２１、Ｌ１キャッシュ２２１、Ｌ２キャッシュ２２２、およびＬ３キャッシュ２２３の回路配置を説明したが、他の構成でもよい。例えば、演算部２１が有する各回路部におけるレジスタにおいて、レジスタ内のデータの保持（バックアップ）を行うための不揮発性メモリを追加する構成とすることも可能である。不揮発性メモリは、演算部２１が有する各回路部におけるレジスタのデータを保持する機能を有する。

［００８１］

演算部２１が有する各回路部において、レジスタと不揮発性メモリとを組み合わせた回路とすることで、演算部２１が有する各回路部のレジスタを不揮発性レジスタとすることができる。不揮発性レジスタは、クロック信号を定期的に停止するクロックゲーティング、電源電圧の供給を停止するパワーゲーティングなどの低電力状態において、データのバックアップが可能なレジスタである。

［００８２］

図４Ａは、上記説明した図３Ａの構成において、演算部２１が有する各回路部におけるレジスタ、および素子層３０＿１に設けられる不揮発性メモリを有する構成例について説明するブロック図である。また図４Ｂは、図４Ａで説明した各ブロックの配置について説明する模式図である。

［００８３］

図４Ａ、図４Ｂに示す素子層２０は、演算部２１における各回路部が有するレジスタ１２０を有する。素子層２０に設けられるレジスタ１２０は、Ｓｉトランジスタを有する回路である。また、図４Ａ、図４Ｂに示す素子層３０＿１は、演算部２１が有する各回路部におけるレジスタ１２０のデータを保持する不揮発性メモリ１３１を有する。不揮発性メモリ１３１は、ＯＳトランジスタのオフ電流が低いことを利用してデータを保持するメモリである。素子層２０に設けられるレジスタ１２０と、素子層３０＿１に設けられる不揮発性メモリ１３１と、の間には、データの退避（セーブ、ストア、又はバックアップともいう）および復帰（ロード、リストア、またはリカバリーともいう）を表すための点線矢印を図示している。レジスタ１２０は、揮発性レジスタという場合がある。また、不揮発性メモリ１３１は、バックアップ回路という場合がある。

［００８４］

素子層２０においてレジスタ１２０は、演算部２１が有する各回路部内の領域に設けられる。つまりレジスタ１２０は、命令解析部２１１、分岐予測部２１２、ロード／ストア部２１３、算術論理演算部２１４、および浮動小数点演算部２１５に分散して配置される。また素子層３０＿１において不揮発性メモリ１３１は、キャッシュメモリが設けられる領域とは異なる領域に設けられる。つまり不揮発性メモリ１３１は、Ｌ２キャッシュ２２２、命令キャッシュ２５１およびデータキャッシュ２５２が設けられる領域とは異なる領域に配置される。

［００８５］

図４Ａ、図４Ｂにハッチングを付して示すレジスタ１２０および不揮発性メモリ１３１は、当該回路が設けられる領域が重なる領域を有するように設けられることが好ましい。つまり、不揮発性メモリ１３１は、レジスタ１２０と重なる領域を有するように設けられることが好ましい。

［００８６］

例えば図４Ｂに図示するように、レジスタ１２０が設けられる素子層２０の領域１２０Ｒは、不揮発性メモリ１３１が設けられる素子層３０＿１の領域１３１Ｒと重なる領域を有するように設けられる。当該構成とすることで、レジスタ１２０と不揮発性メモリ１３１との間の信号伝搬距離を短くでき、当該回路間の配線の抵抗および寄生容量が大幅に削減されるため、消費電力および信号遅延の低減が実現できる。

［００８７］

図５Ａは、図４Ａ、図４Ｂで説明したレジスタ１２０および不揮発性メモリ１３１で構成される不揮発性レジスタ１１０を有する半導体装置１０Ｒのブロック図である。また図５Ｂは、図４Ａ、図４Ｂで説明したレジスタ１２０および不揮発性メモリ１３１を有する不揮発性レジスタ１１０の回路構成例を示す図である。図５Ｃは、図５Ｂで示す不揮発性レジスタ１１０の斜視模式図である。

［００８８］

図５Ａには、半導体装置１０Ｒの他、半導体装置１０Ｒの状態に応じて半導体装置１０Ｒをパワーゲーティングまたはクロックゲーティングといった低電力状態に切り替え可能な状態制御部１１２を図示している。

［００８９］

状態制御部１１２は、外部から入力される割り込み信号、半導体装置１０Ｒが生成するスリープ信号等の信号に応じて、複数のタスクを切り替えて処理するための制御信号を出力する回路である。状態制御部１１２は、クロック信号ＣＬＫ、および各種の信号（信号ＢＫ、信号ＲＥ、信号ＳＥ）の生成を行う。クロック信号ＣＬＫ、および各種の信号は、半導体装置１０Ｒに入力される。

［００９０］

信号ＢＫは、レジスタ１２０内のフリップフロップに保持されたデータのセーブを制御する信号である。データのセーブによって、レジスタ１２０内のデータは、不揮発性メモリ１３１に保持される。

［００９１］

信号ＲＥは、不揮発性メモリ１３１に保持されたデータのロードを制御する信号である。データのロードによって、不揮発性メモリ１３１に保持されていたデータは、レジスタ１２０内のフリップフロップに保持される。

［００９２］

信号ＳＥは、セレクタの切り替え信号である。クロック信号ＣＬＫは、レジスタ１２０内のフリップフロップを動作するための信号である。

［００９３］

図５Ｂに図示する不揮発性レジスタ１１０は、レジスタ１２０および不揮発性メモリ１３１を有する。レジスタ１２０は、セレクタ１２１およびフリップフロップ１２２を有する。不揮発性メモリ１３１は、ＯＳトランジスタであるトランジスタ１３３、１３４およびキャパシタ１３５で構成することができる。不揮発性メモリ１３１は、ＯＳトランジスタにおけるオフ電流が非常に低い特性を利用してキャパシタ１３５に電荷を蓄積し、レジスタ１２０に書き込まれたデータに応じた電位を、長期間保持することができる。

［００９４］

不揮発性レジスタ１１０は、端子Ｄから入力されるデータまたはレジスタ１２０の端子ＳＤから入力されるデータを、レジスタ１２０に保持し、クロック信号ＣＬＫに応じて端子Ｑより出力する。

端子Ｑより出力されるレジスタ１２０のデータは、不揮発性メモリ１３１に信号ＢＫの制御によってセーブされる。不揮発性メモリ１３１のデータは、信号ＲＥの制御によって端子ＳＤに出力され、レジスタ１２０にロードされる。

［００９５］

セレクタ１２１は、信号ＳＥに応じて、端子Ｄまたは端子ＳＤの信号をレジスタ１２０に伝える機能を有する。端子Ｄは不揮発性レジスタ１１０の外部より入力されるデータを与える端子である。端子ＳＤは不揮発性メモリ１３１より入力されるデータを与える端子である。

［００９６］

フリップフロップ１２２は、図５Ｂにおいて、Ｄフリップフロップを図示しているが、これに限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。フリップフロップ１２２が有するトランジスタは、Ｓｉトランジスタであり、インバータループなどの回路を有することで、１つのデータを保持することができる。フリップフロップ１２２は、クロック信号ＣＬＫに応じて入力端子$Ｄ_{Ｆ}$のデータを保持し、保持されたデータを出力端子$Ｑ_{Ｆ}$より端子Ｑに出力する。

［００９７］

不揮発性メモリ１３１は、端子Ｑおよび端子ＳＤに接続される。不揮発性メモリ１３１において端子Ｑに接続される端子（配線）を入力端子、端子ＳＤに接続される端子（配線）を出力端子という。上述したフリップフロップ１２２の出力端子$Ｑ_{Ｆ}$は、不揮発性メモリ１３１の入力端子に、フリップフロップ１２２の入力端子$Ｄ_{Ｆ}$は、不揮発性メモリ１３１の出力端子に、それぞれ電気的に接続される構成となる。

［００９８］

不揮発性メモリ１３１は、トランジスタ１３３、トランジスタ１３４、およびキャパシタ１３５を有する。キャパシタ１３５の他方の電極は、配線ＣＬに接続される。トランジスタ１３３は、キャパシタ１３５と端子Ｑとの間に設けられる。トランジスタ１３４は、キャパシタ１３５と端子ＳＤとの間に設けられる。不揮発性メモリ１３１のキャパシタ１３５の一方の電極は、ノードＳＮとして図示している。

［００９９］

不揮発性メモリ１３１は、トランジスタ１３３のゲートに信号ＢＫ、トランジスタ１３４のゲートに信号ＲＥが与えられる。信号ＢＫは、フリップフロップ１２２が保持するデータを複数の不揮発性メモリ１３１にセーブするための信号である。信号ＲＥは、不揮発性メモリ１３１に保持したデータをフリップフロップ１２２にロードするための信号である。

［０１００］

トランジスタ１３３、１３４は、ＯＳトランジスタである。トランジスタ１３３、１３４はバックゲートを有する構成を図示している。トランジスタ１３３、１３４のバックゲートは、定電圧を供給することでトランジスタ特性を制御することができる。少なくともトランジスタ１３３、１３４がＯＳトランジスタであることが好ましい。オフ電流が極めて小さいというＯＳトランジスタの特長によって、ノードＳＮの電圧の低下を抑えることができること、データの保持に電力を殆ど消費しないことから、不揮発性メモリ１３１は不揮発性の特性をもつ。キャパシタ１３５の充放電によってデータを書き換えるため、不揮発性メモリ１３１は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

［０１０１］

不揮発性メモリ１３１においてＯＳトランジスタはスイッチとして機能する。ｎチャネル型のトランジスタであるＯＳトランジスタでは、ゲートに与える信号をハイレベル（以下＝“Ｈとあらわす）とすることでソースとドレインとの間を導通状態とし、ゲートに与える信号をローレベル（以下＝“Ｌ”とあらわす）とすることでソースとドレインとの間を非導通状態とすることができる。またセレクタ１２１において信号ＳＥをハイレベル（以下＝“Ｈ”とあらわす）とすることで端子ＳＤの信号を選択し、信号ＳＥをローレベル（以下＝“Ｌ”とあらわす）とすることで端子Ｄの信号を選択する。

［０１０２］

例えば不揮発性メモリ１３１において信号ＢＫ＝“Ｈ”とすることで不揮発性メモリ１３１のノードＳＮにフリップフロップ１２２が保持するデータを書き込むことができる。また、ＲＥ＝“Ｈ”、ＳＥ＝“Ｈ”とすることで不揮発性メモリ１３１のノードＳＮのデータをフリップフロップ１２２に書き戻すことができる。

［０１０３］

不揮発性メモリ１３１が有する不揮発性メモリ１３１の全てのトランジスタはＯＳトランジスタであることが非常に好ましい。図５Ｃに示すように、シリコンＣＭＯＳ回路で構成されるレジスタ１２０上に不揮発性メモリ１３１を積層することができる。

［０１０４］

不揮発性メモリ１３１は、レジスタ１２０と比較して素子数が非常に少ないので、不揮発性メモリ１３１を積層するためにレジスタ１２０の回路構成およびレイアウトの変更が必要ない。つまり、不揮発性メモリ１３１は、汎用性が非常に高い回路である。また、レジスタ１２０が形成されている領域内に不揮発性メモリ１３１を設けることができるので、不揮発性メモリ１３１を組み込んでも、面積オーバーヘッドはゼロにすることが可能である。バックアップ回路におけるデータの保持に要するエネルギーが少ないため、半導体装置１０Ｒにおいて頻繁にデータのセーブまたはロードをすることが可能である。

［０１０５］

不揮発性メモリ１３１を設けることによって、トランジスタ１３３による寄生容量がノードＱに付加されることになるが、ノードＱに接続される論理回路による寄生容量と比較して小さいので、レジスタ１２０の動作に影響はない。つまり、不揮発性メモリ１３１を設けても、不揮発性レジスタ１１０の性能は実質的に低下しない。

［０１０６］

図６に、図５Ｂに示す不揮発性レジスタ１１０の動作を説明するタイミングチャートの一例を示す。なお、図６において、Ｔ００乃至Ｔ０２およびＴ１０乃至Ｔ１２は時刻を表している。図６では、クロック信号ＣＬＫ、端子Ｄ、端子Ｑ、信号ＢＫ、信号ＲＥ、ノードＳＮ、およびセレクタ１２１に与える信号ＳＥを図示している。フリップフロップ１２２は、クロック信号ＣＬＫの立ち上がりエッジ（ＬレベルからＨレベルに切り替わる波形）に同期して、入力端子$Ｄ_{Ｆ}$のデータを格納し、出力端子$Ｑ_{Ｆ}$から出力する。

［０１０７］

期間Ｔ００乃至Ｔ０２では、レジスタ１２０のデータＤ１を不揮発性メモリ１３１に保持する動作について説明する。

［０１０８］

時刻Ｔ００において、端子Ｄにはデータ Ｄ１が与えられている。

［０１０９］

時刻Ｔ０１において、クロック信号ＣＬＫの立ち上がりエッジに同期して、レジスタ１２０は端子Ｄに与えられたデータＤ１を格納し、出力端子Q_Fから出力する。時刻Ｔ１において、信号ＢＫ＝“Ｈ”、信号ＲＥ＝“Ｌ”、信号ＳＥ＝“Ｌ”とすることで、レジスタ１２０のデータＤ１が不揮発性メモリ１３１に保持される。

［０１１０］

時刻Ｔ０２以降、不揮発性メモリ１３１にデータＤ１を保持することができる。そのため、クロック信号ＣＬＫのクロックゲーティング、および半導体装置１０Ｒへのパワーゲーティングなどを図ることができる。

［０１１１］

なおクロック信号ＣＬＫのクロックゲーティング、および半導体装置１０Ｒへのパワーゲーティングは、キャッシュミスなどによって演算に必要なデータをキャッシュにコピーするなどの期間において行うことが有効である。キャッシュミスの場合、下位の階層にある記憶部（記憶用容量が大きく、アクセス速度が遅い記憶部）にアクセスし、下位の階層の記憶部から当該データをコピーしてからあらためて当該データにアクセスする。この場合、四則演算などに基づく演算を行う浮動小数点演算部２１５では、待機状態となるため、上述したクロック信号ＣＬＫのクロックゲーティング、および半導体装置１０Ｒへのパワーゲーティングを行う構成が有効である。

［０１１２］

期間Ｔ１０乃至Ｔ１２では、不揮発性メモリ１３１に保持したデータＤ１をレジスタ１２０にロードする場合について説明する。

［０１１３］

時刻Ｔ１０において、ＢＫ＝“Ｌ”，ＲＥ＝“Ｈ”、ＳＥ＝“Ｈ”とすることで、不揮発性メモリ１３１に保持されたデータＤ１をレジスタ１２０に書き戻すことができる。端子Ｄにはデータ Ｄ２が与えられている。

［０１１４］

時刻Ｔ１１において、クロック信号ＣＬＫの立ち上がりエッジに同期して、レジスタ１２０は端子Ｄに与えられたデータＤ２を格納し、出力端子Q_Fから出力する。端子Ｄにはデータ Ｄ３が与えられている。

［０１１５］

時刻Ｔ１２において、クロック信号ＣＬＫの立ち上がりエッジに同期して、レジスタ１２０は端子Ｄに与えられたデータＤ３を格納し、出力端子Q_Fから出力する。

［０１１６］

図６で説明したように、中断したタスクのデータをセーブし、再開するタスクのデータをロードする構成とすることができる。本発明の一態様では、データ保持回路にタスクの切り替えに伴ってセーブされたデータを格納することができる。該構成とすることで、割り込み信号が入力されるタイミングでの、データのセーブ及びロードを行うことでプログラム処理を順次実行させることができる。従ってデータの処理をより効率的に行うことができる。

［０１１７］

なおレジスタ１２０の上方に設けられる不揮発性メモリ１３１は、複数の素子層３０＿１乃至３０＿ｎにわたって複数設けられる構成とすることも可能である。例えば図７Ａに図示するように、素子層２０に設けられるレジスタ１２０の上方に、素子層３０＿１に設けられる不揮発性メモリ１３１［１］、および素子層３０＿２に設けられる不揮発性メモリ１３１［２］を有する構成することが可能である。

［０１１８］

図７Ａに図示するレジスタ１２０が設けられる領域１２０Ｒ、不揮発性メモリ１３１［１］が設けられる領域１３１Ｒ［１］、および不揮発性メモリ１３１［２］が設けられる領域１３１Ｒ［２］は、重なる領域を有する。この場合、素子層２０、素子層３０＿１、および３０＿２に設けられる各回路のトランジスタおよびキャパシタは、図７Ｂに図示するように配置することができる。なおＢＫ［１］、ＢＫ［２］およびＲＥ［１］、ＲＥ［２］は、異なる素子層に設けられるバックアップ回路を制御するための信号である。ノードＳＮ［１］、ＳＮ［２］は、異なる素子層に設けられるノードである。

［０１１９］

図７Ａおよび図７Ｂに示す構成とすることで、レジスタ１２０と不揮発性メモリ１３１［１］、１３１［２］との間の信号伝搬距離を短くでき、当該回路間の配線の抵抗および寄生容量が大幅に削減されるため、消費電力および信号遅延の低減が実現できる。また図７Ａおよび図７Ｂに示す構成は、ノードＳＮ［１］、ＳＮ［２］に別々のデータ信号を保持させることができるため、データ信号のセーブまたはロードによって保持するデータ信号を切り替えることができ、複数のタスクを切り替える動作などに特に有効である。

［０１２０］

以上のような構成とすることで、データのバックアップを行うとともに、レジスタのクロックゲーティングおよびパワーゲーティングを実行可能な半導体装置を提供できるため、消費電力を低減できる。また、データ復帰時に前回の演算実行時の続きから処理を再開できるため、演算性能を向上した半導体装置を提供することができる。

［０１２１］

次に、記憶部３３のメモリセル３４に適用できるＤＯＳＲＡＭ、及びＮＯＳＲＡＭのそれぞれのメモリセルの回路構成について説明する。

［０１２２］

図８Ａ乃至図８Ｈは、上述したメモリセル３４に適用可能なＯＳトランジスタを有するメモリセルの構成例について説明する回路図である。ＯＳトランジスタを有するメモリセルの構成としては、上述したようにＤＯＳＲＡＭまたはＮＯＳＲＡＭを一例として挙げることができる。

［０１２３］

図８Ａには、メモリセル３４に適用可能な１Ｔ１Ｃ型のＤＯＳＲＡＭのメモリセルの例を示す。図８Ａに示すメモリセル３４Ａは、ワード線ＷＬ、ビット線ＢＬ、容量線として機能する配線ＣＤＬ、バックゲート電圧を供給する配線として機能する配線ＢＧＬに電気的に接続されている。メモリセル３４Ａは、トランジスタ３５、キャパシタ３６を有する。トランジスタ３５のバックゲートは配線ＢＧＬに電気的に接続されている。

［０１２４］

トランジスタ３５は、ＯＳトランジスタである。ＯＳトランジスタは、オフ電流が極めて低い。そのためメモリセル３４Ａは、データのリフレッシュの頻度を低減することができる。そのため、デー

タ保持に要する電力を低減することができる。

［０１２５］

図８Ｂに１Ｔ１Ｃ型のＤＯＳＲＡＭのメモリセルの他の構成例を示す。図８Ｂに示すメモリセル３２Ｂでは、トランジスタ３５がバックゲートを有しないＯＳトランジスタで構成されている点が、図８Ａに示すメモリセル３４Ａと異なる。

［０１２６］

図８Ｃには、メモリセル３４に適用可能な２トランジスタ型（２Ｔ）ゲインセルのＮＯＳＲＡＭのメモリセルの例を示す。図８Ｃに示すメモリセル３４Ｃは、トランジスタ３５Ａ、３５Ｂ、キャパシタ３６を有する。なおＮＯＳＲＡＭのメモリセルが有するキャパシタ３６は、トランジスタのゲート容量などの寄生容量を利用することで省略することも可能である。トランジスタ３５Ａは書き込みトランジスタであり、トランジスタ３５Ｂは読み出しトランジスタである。トランジスタ３５Ａ、３５Ｂのバックゲートは配線ＢＧＬに電気的に接続されている。

［０１２７］

ＯＳトランジスタで書き込みトランジスタを構成しているため書き込みトランジスタをオフにすることでデータに応じた電荷を保持し続けることができる。そのためメモリセル３４Ｃは、データ保持に電力を消費しない。従って、メモリセル３４Ｃは長期間データを保持可能な低消費電力なメモリセルとして機能させることができる。

［０１２８］

図８Ｄ乃至図８Ｈを参照して、ＮＯＳＲＡＭに適用されるメモリセルの他の構成例を説明する。

［０１２９］

図８Ｄに示すメモリセル３４Ｄは、３Ｔ型ゲインセルであり、トランジスタ３５Ａ、３５Ｂ、３５Ｃ、およびキャパシタ３６を有する。トランジスタ３５Ａ、３５Ｂ、３５Ｃはそれぞれ、書き込みトランジスタ、読み出しトランジスタ、選択トランジスタである。トランジスタ３５Ａ、３５Ｂ、３５ＣのバックゲートはＢＧＬに電気的に接続されている。メモリセル３４Ｄは、配線ＲＷＬ、ＷＷＬ、配線ＲＢＬ、ＷＢＬ、配線ＣＤＬ、電源線ＰＬ２に電気的に接続されている。例えば、配線ＣＤＬ、配線ＰＬ２には、電圧ＧＮＤ（低レベル側電源電圧）が入力される。

［０１３０］

図８Ｅに２Ｔ型ゲインセルの他の構成例を示す。図８Ｅに示すメモリセル３４Ｅでは、読み出しトランジスタがバックゲートを有しないＯＳトランジスタで構成されている点が、図８Ｃに示すメモリセル３４Ｃと異なる。

［０１３１］

図８Ｆに３Ｔ型ゲインセルの他の構成例を示す。図８Ｆに示すメモリセル３４Ｆでは、読み出しトランジスタ、選択トランジスタとしてバックゲートを有しないＯＳトランジスタで構成されている点が、図８Ｄに示すメモリセル３４Ｄと異なる。

［０１３２］

図８Ｇに２Ｔ型ゲインセルの他の構成例を示す。図８Ｇに示すメモリセル３４Ｇでは、トランジスタ３５Ａ、３５Ｂがバックゲートを有しないＯＳトランジスタで構成されている点、キャパシタ３６が省略される点が、図８Ｃに示すメモリセル３４Ｃと異なる。

［０１３３］

図８Ｈに３Ｔ型ゲインセルの他の構成例を示す。図８Ｈに示すメモリセル３４Ｈでは、トランジス

タ３５Ａ、３５Ｂ、３５ＣがバックゲートをＯＳトランジスタで構成されている点、キャパシタ３６が省略される点が、図８Ｄに示すメモリセル３４Ｄと異なる。

［０１３４］

上掲のゲインセルにおいて、配線ＲＢＬ、配線ＷＢＬを兼ねるビット線を設けることも可能である。

［０１３５］

メモリセル３４がＤＯＳＲＡＭ、ＮＯＳＲＡＭの場合、アクセストランジスタであるトランジスタ（図８Ａ乃至図８Ｈのトランジスタ３５、３５Ａ）のゲートに接続された配線（図８Ａ乃至図８Ｈのワード線ＷＬ、ＷＷＬ）に、当該トランジスタがオフとなる電圧を印加した状態とし、その他の部分をパワーゲーティングすることができる。当該構成とすることで、メモリセル３４にデータを格納した状態で電源電圧の供給の停止を行うことができる。

［０１３６］

なお図８Ａ乃至図８Ｈで説明したメモリセル３４Ａ乃至３４Ｈを図１Ｂまたは図３Ｂで説明した素子層３０が有するメモリセル３４に適用する場合、異なる層にある素子層３０に回路構成の異なるメモリセル、あるいはトランジスタ構造の異なるメモリセルを適用することが好ましい。

［０１３７］

例えば、図３Ｂで説明した、命令解析部２１１および分岐予測部２１２の上方に積層した素子層３０＿１で形成される命令キャッシュ２５１は、高速動作に有利なＮＯＳＲＡＭのメモリセルとする構成が好ましい。また同様に、図３Ｂで説明した、データキャッシュ２５２およびＬ２キャッシュ２２２は、高速動作に有利なＮＯＳＲＡＭとする構成が好ましい。なおＬ２キャッシュ２２２は、メモリ密度の高密度化に有利なＤＯＳＲＡＭでもよい。また同様に、図３Ｂで説明した、Ｌ３キャッシュ２２３は、高密度に有利なＤＯＳＲＡＭとすることが好ましい。

［０１３８］

図９では、異なる層にある素子層３０に回路構成の異なるメモリセルを適用した半導体装置１０Ｍの構成例を示す図である。図９において、素子層２０上に設けられる素子層３０として、下層の素子層３０である素子層３０＿Ａと、上層の素子層３０である素子層３０＿Ｂとに分けて示している。素子層３０＿Ａにある記憶部３３では、図８Ｃで説明したＮＯＳＲＡＭのメモリセルであるメモリセル３４Ｃを適用する。素子層３０＿Ｂにある記憶部３３では、図８Ａで説明したＤＯＳＲＡＭのメモリセルであるメモリセル３４Ａを適用する。当該構成とすることで、キャッシュメモリとして機能する記憶部２２０において、高速動作とメモリ密度の高密度化が図られた半導体装置とすることができる。

［０１３９］

なおＬ３キャッシュ２２３以上の階層の記憶部は、上記説明したＶＦＥＴを利用したＤＯＳＲＡＭとする構成がより好ましい。例えばメインメモリに相当する記憶部２３０は、ＶＦＥＴを利用したＤＯＳＲＡＭで構成することで記憶容量の高密度化を図ることができる。

［０１４０］

この場合、記憶部２３０は、記憶部２２０と同様にキャッシュメモリとして用いることができる。そのため、図１０Ａに図示する演算処理システム１００Ｂのように、キャッシュメモリとして機能する階層（図１０Ａ中、ハッチングを付した階層）を大きくすることができる。つまりキャッシュメモリ以降の記憶部の階層の記憶部としてＯＳメモリを採用することで、従来の演算処理システムとは異なる記憶部の階層を提供することができる。

［０１４１］

なおメインメモリに相当する記憶部２３０は、キャッシュメモリとして機能する記憶部２２０が設けられた素子層３０の上層に設けることが好ましい。例えば図１０Ｂに図示するように、記憶部２２０が設けられた素子層３０（素子層３０＿１および３０＿２）の上層に設けられる素子層３０（素子層３０＿３乃至３０＿８）に記憶部２３０を設ける。当該構成とすることで、演算部とメインメモリとキャッシュメモリとが一体化された半導体装置１０Ｂとすることができる。

［０１４２］

演算部とメインメモリとキャッシュメモリとが一体化された半導体装置１０Ｂの構成は、ＴＳＶなどの貫通電極を用いて記憶部と演算部とを貼り合わせるといった技術と比較し、接続配線などのサイズを小さくすることが可能である。そのため、演算部、メインメモリ、およびキャッシュメモリといった、記憶部の間をアクセスされるデータ量を増やすことができる。つまりメモリ（記憶部）のバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。バンド幅とは、単位時間あたりのデータ転送量である。また半導体装置１０Ｂの構成は、メモリのバンド幅の他、およびアクセスレイテンシのいずれか一または双方を向上させることができる。アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。

［０１４３］

図１１Ａ、図１１Ｂは、上述した半導体装置１０を集積回路（ＩＣチップという）に適用した構成を説明する模式図である。半導体装置１０は、複数の素子層をパッケージ用の基板上に実装することで、１つのＩＣチップとすることができる。図１１Ａ、図１１Ｂに、その構成の一例を示す。

［０１４４］

図１１Ａに図示するＩＣチップ１１Ａの断面模式図は、パッケージ基板１０１上にベースダイとなる素子層２０を有し、一例として４層の素子層３０＿１乃至３０＿４が素子層２０上に積層された半導体装置の構成を図示している。また図１１Ａでは、素子層２０においてＳｉトランジスタ５９、素子層３０＿１乃至３０＿４においてＯＳトランジスタ５７を図示している。

［０１４５］

パッケージ基板１０１には、半導体装置１０をプリント基板等と接続するためのソルダーボール１０２が設けられている。素子層３０＿１乃至３０＿４は、素子層を貫通して設けられた貫通電極５４が設けられる。素子層３０＿１乃至３０＿４は、互いに、表面に露出して設けられた電極５６を用いて貼り合わされる。電極５６を用いて異なる層を電気的に接合する技術としては、Ｃｕ－Ｃｕ接合を用いることができる。Ｃｕ－Ｃｕ接合は、Ｃｕ（銅）のパッド同士を接続することで電気的導通を図る技術である。

［０１４６］

図１１Ａで示すように複数の素子層３０＿１乃至３０＿４を３次元的に積層する場合、素子層同士は互いに、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極を用いる技術、あるいはＣｕ－Ｃｕ直接接合技術などを用いて電気的に接続される。このような構成とすることで、各素子層に供給される信号等は、各素子層内部での配線により分配することができる。またメインメモリとして適用可能な記憶装置を、ＯＳトランジスタを用いたメモリに変更することで、ＯＳトランジスタの極めて低いオフ電流の特性を利用した低消費電力化が可能となる。

［０１４７］

また別の例として図１１Ｂに図示するＩＣチップ１１Ｂの断面模式図は、パッケージ基板１０１

上にベースダイとなる素子層２０を有し、一例として４層の素子層３０＿１乃至３０＿４が素子層２０上に積層された半導体装置の構成を図示している。素子層２０および素子層３０＿１乃至３０＿４を電気的に接続するための電極５８は、Ｓｉトランジスタ５９またはＯＳトランジスタ５７を作製する工程にて設けることができる。

［０１４８］

図１１Ｂに図示するＩＣチップ１１Ｂの断面模式図は、Ｓｉトランジスタ５９を有する素子層２０と、ＯＳトランジスタ５７を有する素子層３０＿１乃至３０＿４と、の間の接続は、ＴＳＶなどの貫通電極を用いる技術またはＣｕ－Ｃｕ直接接合技術を用いない、モノリシックな構成とすることができる。素子層２０上の素子層３０＿１乃至３０＿４は、素子層３０＿１乃至３０＿４が有するＯＳトランジスタ５７とともに設けられる配線を、上層または下層の素子層と接続するための電極５８として用いる構成とすることができる。

［０１４９］

ＯＳトランジスタ５７とともに設けられる配線の間隔は、ＴＳＶまたはＣｕ－Ｃｕ直接接合技術で用いられる貫通電極と比べて、微細加工が可能である。そのため、図１１Ｂに示すＩＣチップ１１Ｂの構成では、上層または下層の素子層と接続するための電極の本数を増やすことができる。そのため上記図１Ｂなどで説明した、素子層３０＿１乃至３０＿４に設けられるメモリセルを有する記憶部３３と、素子層２０に設けられる演算部２１と、の配線数（信号線数）を増やすことができる。そのため、素子層２０と素子層３０との間で送受信される信号の転送量（バンド幅）を拡大することができる。バンド幅を拡大することで、単位時間当たりの記憶部３３と演算部２１との間のデータ転送量を増やすことができる。

［０１５０］

図１２Ａは、図１Ｂで説明した素子層３０の構成とは異なる素子層３０Ｂを説明する図であり、図１２Ｂは、図１２Ａに示す素子層３０Ｂ（素子層３０Ｂ＿１乃至３０Ｂ＿ｎ）を素子層２０上に積層した半導体装置１０Ｅの構成例を説明する図である。また図１２Ｃは、素子層２０上に素子層３０Ｂ（素子層３０Ｂ＿１乃至３０Ｂ＿ｎ）を積層した際の模式図である。

［０１５１］

図１２Ａに示す素子層３０Ｂは、素子層６１に積層して設けられた素子層６２を有する。素子層６１は、素子層２０と同様にＳｉトランジスタを有する素子層である。素子層６１は、Ｓｉトランジスタで構成できるＣＰＵ、ＧＰＵといった演算回路、駆動回路、または制御回路といった機能を有する機能回路部３２を有する。素子層６２は、素子層３０と同様にＯＳトランジスタを有する素子層である。素子層６２は、記憶部３３を有する。

［０１５２］

記憶部３３と機能回路部３２とを電気的に接続するための電極５８は、上記図１１Ｂで説明した電極５８である。電極５８は、ＯＳトランジスタが設けられる層と同様に形成可能な配線である。そのため、素子層６２に設けられる記憶部３３と、素子層６１に設けられる機能回路部３２と、の配線数（信号線数）を増やすことができる。

［０１５３］

図１２Ｂ、図１２Ｃの半導体装置１０Ｅでは、素子層６１および素子層６２に設けられた貫通電極５４、貫通電極５４の間に設けられた金属バンプ５３を介して、演算部２１と、記憶部３３との間でデータの入出力を行う構成となる。貫通電極５４および金属バンプ５３（マイクロバンプともいう）

は、演算部２１と、記憶部３３との間の距離を短くすることができる。また素子層３０Ｂ＿１乃至３０Ｂ＿ｎの各層において、演算部の機能を有する機能回路部３２を分散して配置することができる。そのため、半導体装置１０Ｅでは、演算部２１の機能を機能回路部３２に分散して配置することが可能である。例えば複数のＣＰＵコアのそれぞれを並列で動作させることでマルチコアの構成とすることも可能である。

［０１５４］

なお素子層３０Ｂ＿１乃至３０Ｂ＿ｎの各層の貫通電極５４は、金属バンプ５３を用いず、Ｃｕ－Ｃｕ接合を用いて接続する構成でもよい。またＣｕ（銅）のパッドを介することなく、貫通電極５４同士を直接接続する構成としてもよい。

［０１５５］

図１３Ａおよび図１３Ｂでは、図１２Ｂ、図１２Ｃで説明した素子層２０と、素子層３０Ｂと、の直接接続の構成について説明する断面模式図である。

［０１５６］

図１３Ａに示す素子層６２は、記憶部３３のメモリセル３４が有するＯＳトランジスタM_{OS}を有する。図１３Ａに示す素子層６１は、演算部２１が有するＳｉトランジスタM_{Si}、および電極M_{CU}を有する。電極M_{CU}は、貫通電極５４を形成する際に接続される電極である。電極M_{CU}として銅（Ｃｕ）を用いる場合は、貫通電極５４を形成する際に表面が酸化することを抑制するために電極表面金（Ａｕ）で覆うことが有効である。なお電極M_{CU}として銅以外の導電体を有する構成とすることも可能である。

［０１５７］

素子層６２上に設けられる接合層５２は、素子層２０との接合面を平坦化するとともに、接合層５２と素子層２０表面との水酸基同士が結合を形成することができる、酸化シリコン（SiO_X）などが好適である。酸化シリコン（SiO_X）は、窒化シリコン（ＳｉＮ）などと比較して、表面の平坦性を向上させることができるため、好ましい。なお、素子層２０の表面に形成される層と、接合層５２とを、それぞれ酸化シリコン（SiO_X）を含む層により形成し、且つ当該酸化シリコンの平坦性を高めた場合、素子層２０の表面に形成される酸化シリコン表面の水酸基（ＯＨ基）と、接合層５２の酸化ケイ素表面の水酸基（ＯＨ基）と、がファンデルワールス力で接合され、その後の熱処理により、Ｓｉ－Ｏ－Ｓｉ結合と、H_2O分子と、が生成される可能性がある。

［０１５８］

図１３Ｂでは、図１２Ｂ、図１２Ｃで図示するように、素子層３０Ｂをフェースダウンで素子層２０に貼り合わせる（フェースダウンボンディング）。素子層２０は、演算部２１が有する、ＳｉトランジスタM_{Si}、および電極M_{CU}を有する。素子層６１、素子層６２および素子層２０に設けられる貫通電極５４は、素子層６１が有する電極M_{CU}と、素子層２０が有する電極M_{CU}と、を接続するよう設けられる。

［０１５９］

素子層２０と素子層３０Ｂとの貼り合わせは、接合層５２の平坦性を高める等によって、１０００℃以上といった高温に曝すことなく、３５０℃乃至４５０℃を上限とする範囲で行うことが可能である。つまり、素子層２０と素子層３０Ｂとの貼り合わせは、高温に曝すことなく行うことが可能である。そのため素子層３０Ｂが高温に曝されることに伴う、ＯＳトランジスタM_{OS}の電気特性の変動を抑制することが可能となる。加えて、素子層２０と素子層３０Ｂとの貼り合わせにおいて、Ｓ

ｉトランジスタが高温に曝されることがないため、銅配線を用いることが可能となる。

［０１６０］

素子層３０Ｂ＿１乃至３０Ｂ＿ｎの各層において、ＣＰＵ、ＧＰＵといった演算部の機能を有する機能回路部３２を分散して配置する場合、図１４Ａに図示するように、データの入出力を並列で行うことが可能になる。そのため、機能回路部３２における演算を並列で行うことができるため、半導体装置１０Ｅの高機能化を図ることができる。

［０１６１］

また図１２Ａでは、素子層６２として単層の素子層を示したが、素子層６２を素子層６１上に複数層にわたって積層して設ける構成とすることもできる。この場合の素子層の構成例を図１４Ｂに示す。図１４Ｂに図示する素子層３０Ｃのように積層して設けられる素子層６２（６２＿１乃至６２＿３）において各層の記憶部３３（記憶部３３＿１乃至３３＿３）と、機能回路部３２と、を電気的に接続するための電極５８は、上記図１１Ｂで説明した電極５８である。電極５８は、ＯＳトランジスタが設けられる層と同様に形成可能な配線である。そのため、素子層６２に設けられる記憶部３３と、素子層６１に設けられる機能回路部３２と、の配線数（信号線数）を増やすことができる。

［０１６２］

なお図１４Ｂの構成例において機能回路部３２は、積層して設けられた記憶部３３（記憶部３３＿１乃至３３＿３）が有するメモリセルの駆動回路として用いる構成が好ましい。機能回路部３２を記憶部３３の駆動回路として用いる場合の具体例について図１５Ａ、図１５Ｂを参照して説明する。

［０１６３］

図１５Ａに、本発明の一態様の素子層３０Ｃの斜視概略図を示す。図１５Ｂに、本発明の一態様の素子層３０Ｃのブロック図を示す。

［０１６４］

図１５Ａおよび図１５Ｂに示す素子層３０Ｃは、素子層６１と、ｎ層（ｎは１以上の整数）の素子層６２と、を有する。素子層６２は、それぞれ、記憶部３３（記憶部３３＿１乃至３３＿ｎ）を有する。記憶部３３は、複数のメモリセル３４を有する。

［０１６５］

ｎ層の素子層６２は素子層６１上に設けられる。ｎ層の素子層６２を素子層６１上に設けることで、素子層３０Ｃの占有面積を低減できる。また、単位面積当たりの記憶容量を高めることができる。

［０１６６］

素子層６１が有する駆動回路として機能する機能回路部３２は、ＰＳＷ８２（パワースイッチ）、ＰＳＷ８３、および周辺回路７１を有する。周辺回路７１は、周辺回路４１、コントロール回路７２（Ｃｏｎｔｒｏｌ　Ｃｉｒｃｕｉｔ）、および電圧生成回路７３を有する。

［０１６７］

素子層３０Ｃにおいて、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路または他の信号を追加してもよい。信号ＢＷ、信号ＣＥ、信号ＧＷ、信号ＣＬＫ、信号ＷＡＫＥ、信号ＡＤＤＲ、信号ＷＤＡ、信号ＰＯＮ１、信号ＰＯＮ２は外部からの入力信号であり、信号ＲＤＡは外部への出力信号である。

［０１６８］

信号ＣＬＫはクロック信号である。信号ＢＷ、信号ＣＥ、および信号ＧＷは制御信号である。信号ＣＥはチップイネーブル信号であり、信号ＧＷはグローバル書き込みイネーブル信号であり、信号Ｂ

Wはバイト書き込みイネーブル信号である。信号ＡＤＤＲはアドレス信号である。信号WDＡは書き込みデータであり、信号ＲＤＡは読み出しデータである。信号ＰＯＮ１、信号ＰＯＮ２は、パワーゲーティング制御用信号である。なお、信号ＰＯＮ１、信号ＰＯＮ２は、コントロール回路７２で生成してもよい。

［０１６９］

コントロール回路７２は、素子層３０Ｃの動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号ＣＥ、信号GWおよび信号BWを論理演算して、素子層３０Ｃの動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路７２は、この動作モードが実行されるように、周辺回路４１の制御信号を生成する。

［０１７０］

電圧生成回路７３は負電圧を生成する機能を有する。信号ＷＡＫＥは、信号ＣＬＫの電圧生成回路７３への入力を制御する機能を有する。例えば、信号ＷＡＫＥにＨレベルの信号が与えられると、信号ＣＬＫが電圧生成回路７３へ入力され、電圧生成回路７３は負電圧を生成する。

［０１７１］

周辺回路７１は、メモリセル３４に対するデータの書き込みおよび読み出しをするための回路である。周辺回路７１は、行デコーダ４２（Ｒｏｗ　Ｄｅｃｏｄｅｒ）、列デコーダ４４（Ｃｏｌｕｍｎ　Ｄｅｃｏｄｅｒ）、行ドライバ４３（Ｒｏｗ　Ｄｒｉｖｅｒ）、列ドライバ４５（Ｃｏｌｕｍｎ　Ｄｒｉｖｅｒ）、入力回路４７（Ｉｎｐｕｔ　Ｃｉｒ.）、出力回路４８（Ｏｕｔｐｕｔ　Ｃｉｒ.）、センスアンプ４６（Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ）を有する。

［０１７２］

行デコーダ４２および列デコーダ４４は、信号ＡＤＤＲをデコードする機能を有する。行デコーダ４２は、アクセスする行を指定するための回路であり、列デコーダ４４は、アクセスする列を指定するための回路である。行ドライバ４３は、行デコーダ４２が指定する配線WWＬ（書き込みワード線）または配線ＲＷＬ（読み出しワード線）を選択する機能を有する。列ドライバ４５は、データをメモリセル３４に書き込む機能、メモリセル３４からデータを読み出す機能、および読み出したデータを保持する機能等を有する。列ドライバ４５は、列デコーダ４４が指定する配線ＷＢＬ（書き込みビット線）、および配線ＲＢＬ（読み出しビット線）を選択する機能を有する。

［０１７３］

入力回路４７は、信号WDＡを保持する機能を有する。入力回路４７が保持するデータは、列ドライバ４５に出力される。入力回路４７の出力データが、メモリセル３４に書き込むデータ（Ｄｉｎ）である。列ドライバ４５がメモリセル３４から読み出したデータ（Ｄｏｕｔ）は、出力回路４８に出力される。出力回路４８は、Ｄｏｕｔを保持する機能を有する。また、出力回路４８は、Ｄｏｕｔを素子層３０Ｃの外部に出力する機能を有する。出力回路４８から出力されるデータが信号ＲＤＡである。

［０１７４］

ＰＳＷ８２は周辺回路７１へのＶＤＤの供給を制御する機能を有する。ＰＳＷ８３は、行ドライバ４３へのＶＨＭの供給を制御する機能を有する。ここでは、素子層３０Ｃの高電源電圧がＶＤＤであり、低電源電圧はＧＮＤ（接地電位）である。また、ＶＨＭは、ワード線を高レベルにするために用いられる高電源電圧であり、ＶＤＤよりも高い。信号ＰＯＮ１によってＰＳＷ８２のオンまたはオフが制御され、信号ＰＯＮ２によってＰＳＷ８３のオンまたはオフが制御される。図１５Ｂでは、周辺

回路７１において、ＶＤＤが供給される電源ドメインの数を１としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

［０１７５］

ｎ層ある素子層６２の構成例について説明する。ｎ層ある素子層６２は、それぞれが記憶部３３を有する。また、記憶部３３は、複数のメモリセル３４を有する。図１５Ａおよび図１５Ｂでは、記憶部３３がｐ行ｑ列（ｐおよびｑは２以上の整数）のマトリクス状に配置された複数のメモリセル３４を有する例を示している。

［０１７６］

なお、行と列は互いに直交する方向に延在する。本実施の形態では、Ｘ方向を「行」とし、Ｙ方向を「列」としているが、Ｘ方向を「列」とし、Ｙ方向を「行」とする場合がある。

［０１７７］

図１５Ｂでは、１行１列目に設けられたメモリセル３４をメモリセル３４［１，１］と示し、ｐ行ｑ列目に設けられたメモリセル３４をメモリセル３４［ｐ，ｑ］と示している。また、ｉ行ｊ列目（ｉは１以上ｐ以下の整数。ｊは１以上ｑ以下の整数。）に設けられたメモリセル３４をメモリセル３４［ｉ，ｊ］と示している。

［０１７８］

また素子層６２を積層する構成とする場合、配線ＷＢＬおよび配線ＲＢＬを基板表面の垂直方向に配置することが好適である。配線ＷＢＬおよび配線ＲＢＬを基板表面の垂直方向に設けることで、配線ＷＢＬおよび配線ＲＢＬに接続されるセンスアンプとの間の信号伝搬距離を短くでき、配線ＷＢＬおよび配線ＲＢＬの抵抗および寄生容量が大幅に削減されるため、消費電力および信号遅延の低減が実現できる。

［０１７９］

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０１８０］

（実施の形態２）

本実施の形態では、半導体装置等に適用可能な積層されたＯＳトランジスタを有する素子層の断面構成例について説明する。本実施の形態では、ＤＯＳＲＡＭおよびＮＯＳＲＡＭといった回路構成に適用可能な断面模式図の一例について説明する。

［０１８１］

＜ＤＯＳＲＡＭの構成例１＞

図１６に、ＤＯＳＲＡＭの回路構成を用いた場合の断面構成例を示す。図１６では、素子層７０１の上に素子層７００［１］乃至素子層７００［４］が積層されている場合を例示している。素子層７０１は、例えば上記実施の形態で説明した素子層２０に相当する。素子層７００は、例えば上記実施の形態で説明した素子層３０に相当する。

［０１８２］

また、図１６では、素子層７０１が有するトランジスタ５５０を例示している。トランジスタ５５０は、基板３１１上に設けられ、導電体３１６、絶縁体３１５、基板３１１の一部からなる半導体領域３１３、ソース領域またはドレイン領域として機能する低抵抗領域３１４ａ、および低抵抗領域３１４ｂを有する。

［０１８３］

なお、トランジスタ５５０は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０１８４］

低抵抗領域３１４ａ、および低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、またはホウ素などのｐ型の導電性を付与する元素を含む。

［０１８５］

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

［０１８６］

トランジスタ５５０は、ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などを用いて形成してもよい。

［０１８７］

なお、図１６に示すトランジスタ５５０は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いればよい。

［０１８８］

素子層７０１と素子層７００の間、または、ｋ層目の素子層７００とｋ＋１層目の素子層７００の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。なお、本実施の形態などでは、ｋ層目の素子層７００を素子層７００［ｋ］と示し、ｋ＋１層目の素子層７００を素子層７００［ｋ＋１］と示す場合がある。ここで、ｋは１以上Ｎ以下の整数である。また、本実施の形態などにおいて「ｋ＋α（α は１以上の整数)」または「ｋ－α」と示した場合、「ｋ＋α」および「ｋ－α」それぞれの解は１以上Ｎ以下の整数とする。

［０１８９］

また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

［０１９０］

例えば、トランジスタ５５０上には、層間膜として、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６が順に積層して設けられている。また、絶縁体３２０および絶縁体３２２には導電体３２８などが埋め込まれている。また、絶縁体３２４および絶縁体３２６には導電体３３０などが埋め込まれている。なお、導電体３２８および導電体３３０はコンタクトプラグまたは配線として機能する。

［０１９１］

絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０１９２］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１９３］

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体３２０の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法等を用いた平坦化処理により平坦化されていてもよい。

［０１９４］

また、絶縁体３２４には、基板３１１、またはトランジスタ５５０などから、素子層７００［１］乃至素子層７００［４］にあるトランジスタ５００が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１９５］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ５５０との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１９６］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０１９７］

絶縁体３２６および導電体３３０上に、配線層を設けてもよい。例えば、図１６において、絶縁体３２６および導電体３３０上に、絶縁体３５０、絶縁体３５７、絶縁体３５２、および絶縁体３５４が順に積層して設けられている。絶縁体３５０、絶縁体３５７、および絶縁体３５２には、導電体３５６が形成されている。導電体３５６は、コンタクトプラグまたは配線として機能する。

［０１９８］

各プラグ、および配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０１９９］

絶縁体３５４の上には素子層７００［１］が有する絶縁体５１４が設けられている。また、絶縁体５１４および絶縁体３５４には導電体３５８が埋め込まれている。導電体３５８は、コンタクトプラグまたは配線として機能する。例えば、ビット線ＢＬとトランジスタ５５０は、導電体３５８、導電体３５６、および導電体３３０などを介して電気的に接続される。

［０２００］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０２０１］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ５５０からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構成であることが好ましい。

［０２０２］

図１６に図示する素子層７００［１］乃至７００［４］では、１つのビット線ＢＬに２つのメモリセルＭＣが電気的に接続する例を示している。図１６に示すメモリセルＭＣは、トランジスタＭ１およびキャパシタＣを有する。トランジスタＭ１として、ＯＳトランジスタを用いることができる。

［０２０３］

ここで図１７Ａ乃至図１７Ｃを参照してＯＳトランジスタについて説明する。図１７Ａおよび図１７Ｂは、トランジスタＭ１に適用可能なトランジスタ５００の断面模式図である。

［０２０４］

図１７Ａおよび図１７Ｂに示すように、トランジスタ５００は、絶縁体５１４および絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６および導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａおよび導電体５４２ｂと、導電体５４２ａおよび導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面および側面に配置された絶縁体５４５と、絶縁体５４５の形成面に配置された導電体５６０と、を有する。

［０２０５］

また、図１７Ａおよび図１７Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、および導電体５４２ｂと、絶縁体５８０の間に絶縁体５４４が配置されることが好ましい。また、図１７Ａおよび図１７Ｂに示すように、導電体５６０は、絶縁体５４５の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有することが好ましい。また、図１７Ａおよび図１７Ｂに示すように、絶縁体５８０、導電体５６０、および絶縁体５４５の上に絶縁体５７４が配置されることが好ましい。

［０２０６］

なお、本明細書などにおいて、酸化物５３０ａ、および酸化物５３０ｂをまとめて酸化物５３０という場合がある。

［０２０７］

なお、トランジスタ５００では、チャネルが形成される領域と、その近傍において、酸化物５３０

ａ、および酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物５３０ｂの単層、または３層以上の積層構成を設ける構成にしてもよい。

［０２０８］

また、トランジスタ５００では、導電体５６０を２層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体５６０が、単層構成であってもよいし、３層以上の積層構成であってもよい。また、図１７Ａに示すトランジスタ５００は一例であり、その構成に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。

［０２０９］

ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａおよび導電体５４２ｂは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａおよび導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成することができるため、トランジスタ５００の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

［０２１０］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるため、導電体５６０は、導電体５４２ａまたは導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａおよび導電体５４２ｂとの間に形成される寄生容量を低減することができる。よって、トランジスタ５００のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

［０２１１］

導電体５６０は、第１のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のしきい値電圧を０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２１２］

導電体５０３は、酸化物５３０、および導電体５６０と、重なるように配置する。これにより、導電体５６０、および導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。

［０２１３］

本明細書等において、第１のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造およびプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造の一種

として捉えることも可能である。なお、本明細書等において、Ｆｉｎ型構造とは、ゲート電極が少なくともチャネルの２面以上（具体的には、２面、３面、または４面等）を包むように配置される構造を示す。Ｆｉｎ型構造、およびＳ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２１４］

トランジスタを、上記のＳ－ｃｈａｎｎｅｌ構造とすることで、チャネル形成領域を電気的に取り囲むことができる。なお、Ｓ－ｃｈａｎｎｅｌ構造は、チャネル形成領域を電気的に取り囲んでいる構造であるため、実質的にＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造、またはＬＧＡＡ（Ｌａｔｅｒａｌ　Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造と、同等の構造であるともいえる。トランジスタをＳ－ｃｈａｎｎｅｌ構造、ＧＡＡ構造、又はＬＧＡＡ構造とすることで、酸化物５３０とゲート絶縁体との界面又は界面近傍に形成されるチャネル形成領域を、酸化物５３０のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

［０２１５］

また、導電体５０３は、導電体５１８と同様の構成であり、絶縁体５１４および絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導電体５０３ｂが形成されている。なお、トランジスタ５００では、導電体５０３ａおよび導電体５０３ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、または３層以上の積層構成として設ける構成にしてもよい。

［０２１６］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

［０２１７］

例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。

［０２１８］

また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体５０３を導電体５０３ａと導電体５０３ｂの積層で図示したが、導電体５０３は単層構成であってもよい。

［０２１９］

絶縁体５２０、絶縁体５２２、および絶縁体５２４は、第２のゲート絶縁膜としての機能を有する。

［０２２０］

ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体５２４には、

過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損（V_O：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）を低減し、トランジスタ５００の信頼性を向上させることができる。なお、酸化物５３０中の酸素欠損に水素が入った場合、当該欠陥（以下、V_OHと呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化処理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補償すること（「加酸素化処理」ともいう。）が重要である。V_OHなどの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２２１］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、または３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、または１００℃以上４００℃以下の範囲が好ましい。

［０２２２］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、またはＲＦ処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物５３０中の水、または水素を除去することができる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「V_OH→Ｖｏ＋Ｈ」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、または酸化物５３０近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体５４２ａおよび５４２ｂにゲッタリングされる場合がある。

［０２２３］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物５３０、または酸化物５３０近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０２２４］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行っても良い。

［０２２５］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「Ｖｏ＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０２２６］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０２２７］

絶縁体５２２が、酸素、不純物などの拡散を抑制する機能を有することで、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがなく、好ましい。また、導電体５０３が、絶縁体５２４、酸化物５３０などが有する酸素と反応することを抑制することができる。

［０２２８］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、または（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などのいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、オフ電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０２２９］

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出、またはトランジスタ５００の周辺部から酸化物５３０への水素等の不純物の混入を抑制する層として機能する。

［０２３０］

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０２３１］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体５２０を得ることができる。

［０２３２］

なお、図１７Ａおよび図１７Ｂのトランジスタ５００では、３層の積層構成からなる第２のゲート絶縁膜として、絶縁体５２０、絶縁体５２２、および絶縁体５２４が図示されているが、第２のゲート絶縁膜は、単層、２層、または４層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

［０２３３］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いる。

［０２３４］

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行ってもよいし、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で行ってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

［０２３５］

また、酸化物５３０においてチャネル形成領域として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０２３６］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構成物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０２３７］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層の構成を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。

［０２３８］

また、酸化物５３０ａの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーよ

り高くなることが好ましい。また、言い換えると、酸化物５３０ａ電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０２３９］

ここで、酸化物５３０ａおよび酸化物５３０ｂの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物５３０ａおよび酸化物５３０ｂの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２４０］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。

［０２４１］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は大きいオン電流を得られる。

［０２４２］

酸化物５３０ｂ上には、ソース電極、およびドレイン電極として機能する導電体５４２ａ、および導電体５４２ｂが設けられる。導電体５４２ａ、および導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

［０２４３］

また、図１７Ａでは、導電体５４２ａ、および導電体５４２ｂを単層構成として示したが、２層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

［０２４４］

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム

膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

［０２４５］

また、図１７Ａに示すように、酸化物５３０の、導電体５４２ａ（導電体５４２ｂ）との界面とその近傍には、低抵抗領域として、領域５４３ａ、および領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域またはドレイン領域の一方として機能し、領域５４３ｂはソース領域またはドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０２４６］

酸化物５３０と接するように上記導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、領域５４３ａ（領域５４３ｂ）に導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分とを含む金属化合物層が形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア濃度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０２４７］

絶縁体５４４は、導電体５４２ａ、および導電体５４２ｂを覆うように設けられ、導電体５４２ａ、および導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０の側面を覆い、絶縁体５２４と接するように設けられてもよい。

［０２４８］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

［０２４９］

特に、絶縁体５４４として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａ、および導電体５４２ｂが耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない材料である場合、絶縁体５４４は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０２５０］

絶縁体５４４を有することで、絶縁体５８０に含まれる水、および水素などの不純物が酸化物５３０ｂに拡散することを抑制することができる。また、絶縁体５８０が有する過剰酸素により、導電体５４２ａおよび５４２ｂが酸化するのを抑制することができる。

［０２５１］

絶縁体５４５は、第１のゲート絶縁膜として機能する。絶縁体５４５は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好まし

い。

［０２５２］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

［０２５３］

過剰酸素を含む絶縁体を絶縁体５４５として設けることにより、絶縁体５４５から、酸化物５３０ｂのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体５２４と同様に、絶縁体５４５中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体５４５の膜厚は、１ｎｍ以上２０ｎｍ以下とするのが好ましい。

［０２５４］

また、絶縁体５４５が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５４５と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５４５から導電体５６０への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５４５から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体５６０の酸化を抑制することができる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いればよい。

［０２５５］

なお、絶縁体５４５は、第２のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、オフ電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

［０２５６］

第１のゲート電極として機能する導電体５６０は、図１７Ａおよび図１７Ｂでは２層構成として示しているが、単層構成でもよいし、３層以上の積層構成であってもよい。

［０２５７］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５４５に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼ぶことができる。

［０２５８］

また、導電体５６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用

いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

［０２５９］

絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ、および導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

［０２６０］

絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を設けることで、絶縁体５８０中の酸素を酸化物５３０へと効率良く供給することができる。なお、絶縁体５８０中の水または水素などの不純物濃度が低減されていることが好ましい。

［０２６１］

絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０２６２］

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体５６０の導電性が下がらないようにする必要がある。そのために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成することができる。

［０２６３］

絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、および絶縁体５４５の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５４５、および絶縁体５８０へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給することができる。

［０２６４］

例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

［０２６５］

特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

［０２６６］

また、絶縁体５７４の上に、層間膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、絶縁体５２４などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

［０２６７］

また、絶縁体５８１、絶縁体５７４、絶縁体５８０、および絶縁体５４４に形成された開口に、導電体５４０ａ、および導電体５４０ｂを配置する。導電体５４０ａおよび導電体５４０ｂは、導電体５６０を挟んで対向して設ける。導電体５４０ａおよび導電体５４０ｂは、後述する導電体５４６、および導電体５４８と同様の構成である。

［０２６８］

絶縁体５８１上には、絶縁体５８２が設けられている。絶縁体５８２は、酸素、水素などに対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０２６９］

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２７０］

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

［０２７１］

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、および絶縁体５８６には、導電体５４６、および導電体５４８等が埋め込まれている。

［０２７２］

導電体５４６、および導電体５４８は、容量６００、トランジスタ５００、またはトランジスタ５５０と接続するプラグ、または配線としての機能を有する。導電体５４６、および導電体５４８は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０２７３］

また、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ５００をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５２２または絶縁体５１４に達する開口を形成し、絶縁体５２２または絶縁体５１４に

接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２または絶縁体５１４と同様の材料を用いればよい。

［０２７４］

なお、本発明に用いることができるトランジスタは、図１７Ａ及び図１７Ｂに示すトランジスタ５００に限られるものではない。例えば、図１７Ｃに示す構造のトランジスタ５００を用いてもよい。図１７Ｃに示すトランジスタ５００は、絶縁体５５５が用いられている点、ならびに導電体５４２ａ（導電体５４２ａ１および導電体５４２ａ２）及び導電体５４２ｂ（導電体５４２ｂ１および導電体５４２ｂ２）が、積層構造である点において、図１７Ａ及び図１７Ｂに示すトランジスタと異なる。

［０２７５］

導電体５４２ａは、導電体５４２ａ１と、導電体５４２ａ１上の導電体５４２ａ２の積層構造であり、導電体５４２ｂは、導電体５４２ｂ１と、導電体５４２ｂ１上の導電体５４２ｂ２の積層構造である。酸化物５３０ｂに接する導電体５４２ａ１及び導電体５４２ｂ１は、金属窒化物などの酸化しにくい導電体であることが好ましい。これにより、酸化物５３０ｂに含まれる酸素によって、導電体５４２ａ及び導電体５４２ｂが過剰に酸化されるのを防ぐことができる。また、導電体５４２ａ２及び導電体５４２ｂ２は、導電体５４２ａ１及び導電体５４２ｂ１より導電性が高い、金属層などの導電体であることが好ましい。これにより、導電体５４２ａ及び導電体５４２ｂを、導電性が高い配線または電極として機能させることができる。このようにして、活性層として機能する酸化物５３０の上面に接して、配線または電極として機能する導電体５４２ａ及び導電体５４２ｂが設けられた、半導体装置を提供することができる。

［０２７６］

導電体５４２ａ１、５４２ｂ１としては、金属窒化物を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

［０２７７］

また、導電体５４２ａ２及び導電体５４２ｂ２は、導電体５４２ａ１及び導電体５４２ｂ１よりも、導電性が高いことが好ましい。例えば、導電体５４２ａ２及び導電体５４２ｂ２の膜厚を、導電体５４２ａ１及び導電体５４２ｂ１の膜厚より大きくすることが好ましい。導電体５４２ａ２及び導電体５４２ｂ２としては、上記導電体５６０ｂに用いることが可能な導電体を用いればよい。上記のような構造にすることで、導電体５４２ａ２及び導電体５４２ｂ２の抵抗を低減することができる。

［０２７８］

例えば、導電体５４２ａ１及び導電体５４２ｂ１として、窒化タンタルまたは窒化チタンを用い、導電体５４２ａ２及び導電体５４２ｂ２として、タングステンを用いることができる。

［０２７９］

図１７Ｃに示すように、トランジスタ５００のチャネル長方向の断面視において、導電体５４２ａ１と導電体５４２ｂ１の間の距離は、導電体５４２ａ２と導電体５４２ｂ２の間の距離より小さい。

このような構成にすることで、ソースとドレインの間の距離をより短くし、それに応じてチャネル長を短くすることが可能になる。よって、トランジスタ５００の周波数特性を向上させることができる。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供することができる。

［０２８０］

絶縁体５５５は、窒化物などの酸化しにくい絶縁体であることが好ましい。絶縁体５５５は、導電体５４２ａ２の側面、及び導電体５４２ｂ２の側面に接して形成されており、導電体５４２ａ２、及び導電体５４２ｂ２を保護する機能を有する。絶縁体５５５は、酸化雰囲気に曝されるため、酸化されにくい無機絶縁体が好ましい。また、絶縁体５５５は、導電体５４２ａ２及び導電体５４２ｂ２に接するため、導電体５４２ａ２、５４２ｂ２を酸化させにくい、無機絶縁体であることが好ましい。よって、絶縁体５５５は、酸素に対するバリア性を有する絶縁性材料を用いることが好ましい。例えば、絶縁体５５５として、窒化シリコンを用いることができる。

［０２８１］

図１７Ｃに示すトランジスタ５００は、絶縁体５８０及び絶縁体５４４に開口を形成し、当該開口の側壁に接して絶縁体５５５を形成し、さらにマスクを用いて、導電体５４２ａ１と導電体５４２ｂ１を分断することで、形成される。ここで、上記開口は、導電体５４２ａ２と導電体５４２ｂ２の間の領域と重畳する。また、導電体５４２ａ１及び導電体５４２ｂ１の一部は、上記開口内に突出するように形成されている。よって、絶縁体５５５は、上記開口内で、導電体５４２ａ１の上面、導電体５４２ｂ１の上面、導電体５４２ａ２の側面、及び導電体５４２ｂ２の側面に接する。また、絶縁体５４５は、導電体５４２ａ１と導電体５４２ｂ１の間の領域において、酸化物５３０の上面と接する。

［０２８２］

導電体５４２ａ１と導電体５４２ｂ１を分断した後で、絶縁体５４５を成膜する前に、酸素を含む雰囲気で熱処理を行うことが好ましい。これにより、酸化物５３０ａ及び酸化物５３０ｂに酸素を供給して、酸素欠損の低減を図ることができる。さらに、絶縁体５５５が、導電体５４２ａ２の側面、及び導電体５４２ｂ２の側面に接して形成されていることで、導電体５４２ａ２及び導電体５４２ｂ２が過剰に酸化されるのを防ぐことができる。以上により、トランジスタの電気特性、及び信頼性を向上させることができる。また、同一基板上に複数形成されるトランジスタの電気特性のばらつきを抑制することができる。

［０２８３］

また、トランジスタ５００において、図１７Ｃに示すように、絶縁体５２４を島状に形成してもよい。ここで、絶縁体５２４は、酸化物５３０と側端部が概略一致するように形成してもよい。

［０２８４］

また、トランジスタ５００において、図１７Ｃに示すように、絶縁体５２２が絶縁体５１６及び導電体５０３と接する構成にしてもよい。言い換えると、図１７Ａ及び図１７Ｂに示す絶縁体５２０を設けない構成にしてもよい。

［０２８５］

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

［０２８６］

次いで図１８Ａには、図１６に図示する素子層７００［１］乃至７００［４］に適用可能な素子層

７００［ｋ］の断面構造例を示す。また、図１８Ｂに、図１８Ａの等価回路図を示す。図１８Ａでは、１つのビット線ＢＬに２つのメモリセルＭＣが電気的に接続する例を示している。

［０２８７］

なお、トランジスタＭ１は、トランジスタ５００の変形例である。具体的には、トランジスタＭ１では、導電体５４２ａおよび導電体５４２ｂが、金属酸化物５３１（金属酸化物５３１ａおよび金属酸化物５３１ｂ）の端部を越えて延在している点が、トランジスタ５００と異なる。

［０２８８］

また図１８Ａに示すメモリセルＭＣは、キャパシタＣの一方の端子として機能する導電体１５６と、誘電体として機能する絶縁体１５３と、キャパシタＣの他方の端子として機能する導電体１６０（導電体１６０ａおよび導電体１６０ｂ）と、を有する。導電体１５６は導電体５４２ｂの一部と電気的に接続される。また、導電体１６０は配線ＰＬ（図１８Ａに図示せず。）と電気的に接続される。

［０２８９］

キャパシタＣは、絶縁体５７４、絶縁体５８０、および絶縁体５５４の一部を除去して設けられた開口部に形成されている。導電体１５６、絶縁体５８０、および絶縁体５５４は、該開口部の側面に沿って形成されるため、ＡＬＤ法またはＣＶＤ法などを用いて成膜することが好ましい。

［０２９０］

また、導電体１５６および導電体１６０は、導電体５０５または導電体５６０に用いることができる導電体を用いればよい。例えば、導電体１５６として、ＡＬＤ法を用いて形成した窒化チタンを用いればよい。また、導電体１６０ａとして、ＡＬＤ法を用いて形成した窒化チタンを用い、導電体１６０ｂとして、ＣＶＤ法を用いて形成したタングステンを用いればよい。なお、絶縁体１５３に対するタングステンの密着性が十分高い場合は、導電体１６０として、ＣＶＤ法を用いて形成したタングステンの単層膜を用いてもよい。

［０２９１］

絶縁体１５３には、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体を用いることが好ましい。例えば、高誘電率材料の絶縁体として、アルミニウム、ハフニウム、ジルコニウム、及びガリウムなどから選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、または窒化物を用いることができる。また、上記酸化物、酸化窒化物、窒化酸化物、または窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁層を積層して用いることもできる。絶縁体１５３としては、例えば、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムとの、３層の積層構造などが挙げられる。なお、当該酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムとの３層の積層構造は、ＺＡＺと呼称する場合がある。

［０２９２］

例えば、高誘電率材料の絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびジルコニウムを有する酸化物、シリコンおよびジルコニウムを有する酸化窒化物、ハフニウムおよびジルコニウムを有する酸化物、ハフニウムおよびジルコニウムを有する酸化窒化物、などを用いることができる。このような高誘電率材料を用いることで、オフ電流を抑制できる程度に絶縁体１５３を厚くし、かつ、キャパシタＣの静電容量を十分確保することができる。

［０２９３］

また、上記の材料からなる絶縁層を積層して用いることが好ましく、高誘電率材料と、当該高誘電率材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体１５３として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、キャパシタＣの静電破壊を抑制することができる。

［０２９４］

また、絶縁層１５３として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、$HfZrO_X$（Ｘは０よりも大きい実数とする）などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素Ｊ１の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素Ｊ１の原子数の比を１：１またはその近傍にすればよい。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウム原子の原子数と元素Ｊ２の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素Ｊ２の原子数の比を１：１またはその近傍にすればよい。また、強誘電性を有しうる材料として、チタン酸鉛（$PbTiO_X$）、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

［０２９５］

＜ＮＯＳＲＡＭの構成例＞

図１９に、ＮＯＳＲＡＭのメモリセルの回路構成を用いた場合の断面構成例を示す。なお、図１９は、図１６の変形例でもある。また、図２０Ａに素子層７００［ｋ］の断面構造例を示す。また、図２０Ｂに、図２０Ａの等価回路図を示す。

［０２９６］

図１９および図２０Ａに示すメモリセルＭＣは、絶縁体５１４の上にトランジスタＭ１、トランジスタＭ２、およびトランジスタＭ３を有する。また、絶縁体５１４の上に導電体５１５が設けられている。導電体５１５は導電体５０５と同じ材料かつ同じ工程で同時に形成できる。

［０２９７］

また、図１９および図２０Ａに示すトランジスタＭ２およびトランジスタＭ３は、１つの島状の金属酸化物５３１を両者が共用している。言い換えると、１つの島状の金属酸化物５３１の一部がトランジスタＭ２のチャネル形成領域として機能し、他の一部がトランジスタＭ３のチャネル形成領域として機能する。また、トランジスタＭ２のソースとトランジスタＭ３のドレイン、もしくは、トランジスタＭ２のドレインとトランジスタＭ３のソースが共用される。よって、トランジスタＭ２とトランジスタＭ３をそれぞれ独立して設ける場合よりも、トランジスタの占有面積が小さい。

［０２９８］

また、図１９および図２０Ａに示すメモリセルＭＣは、絶縁体５８１の上に絶縁体２８７が設けられ、絶縁体２８７に導電体１６１が埋め込まれている。また、絶縁体２８７および導電体１６１の上に素子層７００［ｋ＋１］の絶縁体５１４が設けられている。

［０２９９］

図１９および図２０Ａにおいて、素子層７００［ｋ＋１］の導電体５１５がキャパシタＣの一方の端子として機能し、素子層７００［ｋ＋１］の絶縁体５１４がキャパシタＣの誘電体として機能し、導電体１６１がキャパシタＣの他方の端子として機能する。また、トランジスタＭ１のソースまたはドレインの他方はコンタクトプラグを介して導電体１６１と電気的に接続され、トランジスタＭ２のゲートは他のコンタクトプラグを介して導電体１６１と電気的に接続される。

［０３００］

＜ＤＯＳＲＡＭの構成例２＞

次に、図１６乃至図２０Ａ、図２０Ｂとは異なる、本発明の一態様の半導体装置等に適用可能な積層されたＯＳトランジスタを有する素子層の断面構成例を図２１に示す。図２１に示す半導体装置１０Ｖは、図２１に図示する素子層７００［1］乃至素子層７００［3］に備わるメモリセルＭＣにおいて、キャパシタＣがトランジスタＭ１の下方に設けられている。

［０３０１］

図２１において、複数の素子層７００のそれぞれは、複数のメモリセルＭＣを有する。図２１に示すメモリセルＭＣでは、トランジスタＭ１と、キャパシタＣと、を図示している。

［０３０２］

また、素子層７０１と素子層７００との間の層間膜には、導電体３６３ａと、導電体３６３ｂ、および導電体３６３ｃが埋め込まれている。また、複数の素子層７００のそれぞれにおいて、後述する絶縁体５９２には、導電体３６５が埋め込まれている。また、複数の素子層７００のそれぞれにおいて、後述する絶縁体５９３、絶縁体５９４、絶縁体５５３、及び絶縁体５９５には、導電体３６６が埋め込まれている。また、複数の素子層７００のそれぞれにおいて、後述する絶縁体５９６、絶縁体５８３、導電体５４２ｂ、絶縁体５５５、及び絶縁体５９７には、導電体３６７が埋め込まれている。導電体３６３ａ、導電体３６３ｂ、導電体３６３ｃ、導電体３６５、導電体３６６、及び導電体３６７は、ビア、コンタクトプラグ、又は配線として機能する。

［０３０３］

次に、図２１の半導体装置１０Ｖの複数の素子層７００に含まれるメモリセルＭＣの構成例について説明する。

［０３０４］

図２２Ａは、上記の半導体装置１０Ｖの複数の素子層７００のそれぞれに含まれるメモリセルＭＣとその周辺の構成例を示す平面図である。なお、図２２Ａ乃至図２２Ｄにおいて、トランジスタ５００Ａは、図２１におけるトランジスタＭ１に相当し、容量６００Ａは、図２１におけるキャパシタＣに相当する。図２２Ｄは、図２２Ａに示す一点鎖線Ａ１－Ａ２の断面図である。なお、図２２Ａにおいて、例えば絶縁体等の、トランジスタＭ１の構成要素の一部を省略する。また、以降のトランジスタの平面図においても、絶縁体等の構成要素の一部を省略する。

［０３０５］

容量６００Ａは、一例として、絶縁体５９３と、絶縁体５９４と、絶縁体５５３と、絶縁体５９５

と、導電体５６３と、導電体５６４と、導電体５４２ａと、を有する。

［０３０６］

導電体５６３には、導電体５６３が埋め込まれている。導電体５６３は、一例として、Ｙ方向に延在している配線ＰＬとすることができる。

［０３０７］

絶縁体５９２上、及び導電体５６３上には、一例として、絶縁体５９３及び絶縁体５９４がこの順に形成されている。また、絶縁体５９３及び絶縁体５９４のうち、導電体５６３に重なる領域には開口が設けられている。当該開口の底面（導電体５６３上）と側面には、導電体５６４が形成されている。なお、図２２Ｄでは、絶縁体５９４の上面にも導電体５６４が形成されている。また、絶縁体５９４上と導電体５６４上には、絶縁体５５３が形成されている。また、絶縁体５５３のうち、導電体５６４と重なる領域を覆うように、導電体５４２ａが形成されている。また、導電体５４２ａ上と、絶縁体５５３上と、には、絶縁体５９５が形成されている。なお、絶縁体５９５の上面の高さと、導電体５４２ａの上面の高さは、互いに略一致することが好ましい。このため、絶縁体５９５及び導電体５４２ａには、例えば、化学機械研磨（ＣＭＰ）法等を用いた平坦化処理によって平坦化されていることが好ましい。

［０３０８］

導電体５６４は、例えば、容量６００Ａにおける一対の端子の一方に相当する。また、導電体５４２ａは、例えば、容量６００Ａにおける一対の端子の他方に相当する。

［０３０９］

絶縁体５５３は、例えば、容量６００Ａにおいて、一対の端子に挟持される誘電体として機能する。

［０３１０］

容量６００Ａの導電体５４２ａ及び絶縁体５９５の上方には、トランジスタ５００Ａが設けられている。

［０３１１］

トランジスタ５００Ａは、チャネル長の方向が、基板３１１に対して略平行でなく、後述する絶縁体５８３に設けられている開口の側面に沿っている構成となっている。

［０３１２］

トランジスタ５００Ａは、一例として、ソース電極又はドレイン電極の一方として機能する導電体５４２ａと、ソース電極又はドレイン電極の他方として機能する導電体５４２ｂと、金属酸化物５３３と、絶縁体５５５と、ゲート電極として機能する導電体５６５と、を有する。図２２Ａでは、導電体５４２ｂが導電体５４２ａ及び導電体５６５と垂直な方向に延伸する例を示している。なお、上述したとおり、導電体５４２ａは、容量６００Ａの一対の電極の他方としても機能する。

［０３１３］

金属酸化物５３３には、例えば、上記説明したトランジスタ５００に含まれる酸化物５３０に適用できる材料を用いることができる。

［０３１４］

本実施の形態の図２２Ａ乃至図２２Ｄにおいて、導電体５４２ｂが延伸する方向をＸ方向とする。また、Ｘ方向と垂直、且つ例えば導電体５６３の上面に対して平行な方向をＹ方向とし、導電体５６３の上面に対して垂直な方向をＺ方向とする。Ｘ方向、Ｙ方向、及びＺ方向の定義は、以降の図面においても同様の場合がある。Ｘ方向、Ｙ方向、及びＺ方向は、互いに垂直な方向とすることができる。

また、本明細書等における平面図の説明において、Ｘ方向を右側、又は左側といい、Ｙ方向を上側、又は下側という場合がある。また、右側をＸ方向、左側を－Ｘ方向、上側をＹ方向、下側を－Ｙ方向と言い換えることができる場合がある。

［０３１５］

導電体５４２ａは、トランジスタ５００Ａのソース電極又はドレイン電極の一方として機能する。導電体５４２ｂは、トランジスタ５００Ａのソース電極又はドレイン電極の他方として機能する。絶縁体５５５は、トランジスタ５００Ａのゲート絶縁層として機能する。導電体５６５は、トランジスタ５００Ａのゲート電極として機能する。

［０３１６］

金属酸化物５３３のうち、ソース電極とドレイン電極との間において、ゲート絶縁層を介してゲート電極と重なる領域の全体がチャネル形成領域として機能する。チャネル形成領域として機能する領域を有する金属酸化物５３３は、半導体層という場合がある。また、金属酸化物５３３のうち、ソース電極と接する領域はソース領域として機能し、ドレイン電極と接する領域はドレイン領域として機能する。

［０３１７］

絶縁体５９５上及び導電体５４２ａ上に絶縁体５９６が設けられている。絶縁体５９６は、層間絶縁層としての機能を有することができる。ここでの層間絶縁層とは、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制するバリア絶縁膜とすることができる。

［０３１８］

絶縁体５９６上には絶縁体５８３（絶縁体５８３ａ及び絶縁体５８３ｂ）が設けられ、絶縁体５８３上に導電体５４２ｂが設けられる。絶縁体５８３は、層間絶縁層としての機能を有することができる。ここでの層間絶縁層とは、５００Ａにおけるソース電極とゲート電極を離隔するための層間膜とすることができる。

［０３１９］

絶縁体５８３ａには、例えば、酸化物又は酸化窒化物を用いることが好ましい。また、絶縁体５８３ａには、加熱により酸素を放出する膜を用いることが好ましい。また、絶縁体５８３ａは、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。絶縁体５８３ａが酸素を放出することで、絶縁体５８３ａから金属酸化物５３３に酸素を供給できる。絶縁体５８３ａから金属酸化物５３３、特に金属酸化物５３３のチャネル形成領域に酸素を供給することで、金属酸化物５３３中の酸素欠損、及び酸素欠損内に入り込んだ水素を低減できる。よって、トランジスタ５００Ａを、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

［０３２０］

また絶縁体５８３ｂは、例えば、絶縁体５８３ａより窒素の含有量が多い領域を有することが好ましい。絶縁体５８３ｂは、例えば、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。絶縁体５８３ｂに窒化シリコン又は窒化酸化シリコンを用いることによって、絶縁体５８３ｂは、絶縁体５８３ａから酸素が脱離することを抑制するブロッキング層とすることができる。なお、本実施の形態においては、絶縁体５８３を３層積層する構成について例示したが、これに限定されない。例えば、絶縁層５８３を１層としてもよい。この場合、絶縁層５８３には、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制するバリア絶縁膜、代表的には窒化シリコンを用いればよい。

［０３２１］

絶縁体５９６及び絶縁体５８３は、導電体５４２ａに達する開口６０１を有する。導電体５４２ｂは、開口６０１に達する開口６０３を有する。つまり、開口６０３は、開口６０１と重なる領域を有する。

［０３２２］

図２２Ａでは、トランジスタ５００Ａの構成要素として、導電体５４２ａ、導電体５４２ｂ、金属酸化物５３３、導電体５６５、開口６０１、及び開口６０３を示している。ここで、図２２Ａに示す要素から導電体５６５を省略した構成例を図２２Ｂに示す。つまり、図２２Ｂでは、導電体５４２ａ、導電体５４２ｂ、金属酸化物５３３、開口６０１、及び開口６０３を示している。また、図２２Ｂに示す要素からさらに金属酸化物５３３を省略した構成例を図２２Ｃに示す。つまり、図２２Ｃでは、導電体５４２ａ、導電体５４２ｂ、開口６０１、及び開口６０３を示している。

［０３２３］

図２２Ｃ及び図２２Ｄに示すように、導電体５４２ｂは、導電体５４２ａと重なる領域に開口６０３を有する。図２２Ｃに示すように、導電体５４２ｂは、平面視において開口６０１の外周全体を覆う構成とすることができる。ここで、導電体５４２ｂは、開口６０１の内部に設けないことが好ましい。つまり、導電体５４２ｂは、絶縁体５８３の開口６０１側の側面と接しないことが好ましい。

［０３２４］

図２２Ａ乃至図２２Ｃでは、開口６０１及び開口６０３の形状がそれぞれ、平面視において円形である例を示している。開口６０１及び開口６０３の平面形状を円形とすることにより、開口６０１及び開口６０３を形成する際の加工精度を高めることができ、微細なサイズの開口６０１及び開口６０３を形成できる。なお、本明細書等において、円形とは真円に限定されない。例えば、開口６０１及び開口６０３の平面形状は、楕円形としてもよく、又は、曲線を含む形状としてもよい。又は、多角形の形状としてもよい。

［０３２５］

図２２Ｄでは、導電体５４２ｂの開口６０３側の端部が、絶縁体５８３の開口６０１側の端部と一致、又は概略一致する例を示している。開口６０３の平面形状は、開口６０１の平面形状と一致、又は概略一致するともいえる。なお、本明細書等において、導電体５４２ｂの開口６０３側の端部とは、導電体５４２ｂの開口６０３側の下面端部を示す。導電体５４２ｂの下面とは、絶縁体５８３側の面を示す。絶縁体５８３の開口６０１側の端部とは、絶縁体５８３の開口６０１側の上面端部を示す。絶縁体５８３の上面とは、導電体５４２ｂ側の面を示す。また、開口６０３の平面形状とは、導電体５４２ｂの開口６０３側の下面端部の平面形状を示す。開口６０１の平面形状とは、絶縁体５８３の開口６０１側の上面端部の平面形状を示す。

［０３２６］

なお、端部が一致、又は概略一致するとは、端部が揃っている、又は概略揃っているともいえる。端部が揃っている、又は概略揃っている場合、及び、平面形状が一致又は概略一致している場合、平面視において、積層した層と層との間で少なくとも輪郭の一部が重なっているといえる。例えば、上層と下層が、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は、上層が下層の外側に位置することもあり、この場合も端部が概略揃っている、又は、平面形状が概略一致している、という。

［０３２７］

開口６０１は、例えば、開口６０３の形成に用いたレジストマスクを用いて形成できる。具体的には、まず、導電体５４２ａ上及び絶縁体５９５上に絶縁体５９６と、絶縁体５９６上に絶縁体５８３と、絶縁体５８３上の導電体５４２ｂとなる導電膜と、当該導電膜上のレジストマスクと、を形成する。そして、当該レジストマスクを用いて当該導電膜に開口６０３を形成した後に、当該レジストマスクを用いて絶縁体５９６及び絶縁体５８３に開口６０１を形成することにより、開口６０１の端部と開口６０３の端部を一致、又は概略一致させることができる。このような構成とすることにより、工程を簡略にできる。

［０３２８］

金属酸化物５３３は、開口６０１及び開口６０３を覆うように、開口６０１及び開口６０３の内部に位置する領域を有するように設けられる。金属酸化物５３３は、導電体５４２ｂの上面及び側面、絶縁体５８３の側面、絶縁体５９６の側面、並びに導電体５４２ａの上面の形状に沿った形状を有する。金属酸化物５３３は、例えば導電体５４２ｂの上面及び側面、絶縁体５８３の側面、並びに導電体５４２ａの上面と接する領域を有する。

［０３２９］

金属酸化物５３３は、導電体５４２ｂの開口６０３側の端部を覆っていることが好ましい。例えば、図２２Ｄでは、金属酸化物５３３の端部が導電体５４２ｂ上に位置する構成を示している。金属酸化物５３３の端部は、導電体５４２ｂの上面に接するともいえる。

［０３３０］

例えば、図２２Ｄでは金属酸化物５３３を単層構造で示しているが、本発明の一態様はこれに限られない。金属酸化物５３３を２層以上の積層構造としてもよい。

［０３３１］

トランジスタ５００Ａのゲート絶縁層として機能する絶縁体５５５は、開口６０１及び開口６０３を覆うように、開口６０１及び開口６０３の内部に位置する領域を有するように設けられる。絶縁体５５５は、金属酸化物５３３上、導電体５４２ｂ上、及び絶縁体５８３上に設けられる。絶縁体５５５は、金属酸化物５３３の上面及び側面、導電体５４２ｂの上面及び側面、絶縁体５８３の上面、並びに絶縁体５９６の上面と接する領域、を有することができる。絶縁体５５５は、絶縁体５９６の上面、絶縁体５８３の上面、導電体５４２ｂの上面及び側面、並びに金属酸化物５３３の上面及び側面の形状に沿った形状を有する。

［０３３２］

トランジスタ５００Ａのゲート電極として機能する導電体５６５は、絶縁体５５５上に設けられ、絶縁体５５５の上面と接する領域を有することができる。導電体５６５は、絶縁体５５５を介して、金属酸化物５３３と重なる領域を有する。導電体５６５は、絶縁体５５５の上面の形状に沿った形状を有する。

［０３３３］

例えば、図２２Ｄに示すように、開口６０１及び開口６０３において、導電体５６５は、絶縁体５５５を介して金属酸化物５３３と重なる領域を有する。また、図２２Ｄに示す例において、導電体５６５は、絶縁体５５５及び金属酸化物５３３を介して、導電体５４２ａ及び導電体５４２ｂと重なる領域を有する。また、導電体５６５は、金属酸化物５３３の全体を覆っている。このような構成とすることで、金属酸化物５３３全体にゲート電界をかけることができるため、トランジスタ５００Ａの

電気特性を高めることができ、例えばトランジスタのオン電流を高めることができる。

［０３３４］

トランジスタ５００Ａは、金属酸化物５３３よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、金属酸化物５３３の下面がソース電極及びドレイン電極と接する領域を有することから、ＴＧＢＣ（Ｔｏｐ　Ｇａｔｅ　Ｂｏｔｔｏｍ　Ｃｏｎｔａｃｔ）型のトランジスタということができる。

［０３３５］

またトランジスタ５００Ａは、チャネル形成領域を含む半導体層の少なくとも一部が絶縁層に形成された開口における当該絶縁層の側面に沿って設けられるトランジスタである。本明細書等において、このようなトランジスタは、縦型トランジスタという場合がある。

［０３３６］

なお、縦型のトランジスタでは、ソース電極とドレイン電極とが異なる高さに位置しているため、半導体層のチャネル形成領域において、高さ方向（縦方向）に電流が流れることになる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するということができる。したがって、上述の縦型のトランジスタは、ＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）、縦型チャネルトランジスタ、または縦チャネル型トランジスタ、などとも呼ぶことができる。

［０３３７］

縦型トランジスタは、上面視において、ソース領域と、チャネル形成領域と、ドレイン領域と、の少なくとも一部を重ねることができる構成であることから、占有面積（フットプリントともいう）を小さくすることができる。また、チャネル長を小さく、かつチャネル幅を大きくできる構造であることから、オン抵抗を小さく（オン電流を大きく）することができる。

［０３３８］

ここで、トランジスタ５００Ａのチャネル長及びチャネル幅について、図２３Ａ及び図２３Ｂを用いて説明する。図２３Ａは、図２２Ａに示すトランジスタ５００Ａ、及びその周辺の構成例を示す平面図の拡大図である。図２３Ｂは、図２２Ｄに示すトランジスタ５００Ａ、及びその周辺の構成例を示す断面図の拡大図である。

［０３３９］

金属酸化物５３３において、導電体５４２ａと接する領域はソース領域又はドレイン領域の一方として機能し、導電体５４２ｂと接する領域はソース領域又はドレイン領域の他方として機能し、ソース領域とドレイン領域の間の領域はチャネル形成領域として機能する。

［０３４０］

トランジスタ５００Ａのチャネル長は、ソース領域とドレイン領域の間の距離となる。図２３Ｂでは、トランジスタ５００Ａのチャネル長Ｌ５００を破線の両矢印で示している。チャネル長Ｌ５００は、断面視において、金属酸化物５３３と導電体５４２ａが接する領域の端部と、金属酸化物５３３と導電体５４２ｂが接する領域の端部との距離となる。

［０３４１］

ここで、トランジスタ５００Ａのチャネル長Ｌ５００は、ＸＺ面から見た場合における絶縁体５８３の開口６０１側の側面の長さに相当する。つまり、チャネル長Ｌ５００は、縁体５９６及び絶縁体５８３の膜厚Ｔ５８３で決まり、トランジスタの作製に用いる露光装置の性能に影響されない。したがって、チャネル長Ｌ５００を露光装置の限界解像度よりも小さくでき、微細なサイズのトランジス

タを実現できる。例えば、チャネル長Ｌ５００は、０．００１０μｍ以上、すなわち１ｎｍ以上が好ましく、０．０１０μｍ以上３．０μｍ未満が好ましく、さらには０．０５０μｍ以上３．０μｍ未満が好ましく、さらには０．１０μｍ以上３．０μｍ未満が好ましく、さらには０．１５μｍ以上３．０μｍ未満が好ましく、さらには０．２０μｍ以上３．０μｍ未満が好ましく、さらには０．２０μｍ以上２．５μｍ未満が好ましく、さらには０．２０μｍ以上２．０μｍ未満が好ましく、さらには０．２０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．０μｍ以下が好ましく、さらには０．５０μｍ以上１．０μｍ以下が好ましい。図２３Ｂでは、絶縁体５８３の膜厚Ｔ５８３を一点鎖線の両矢印で示している。

［０３４２］

トランジスタ５００Ａを、メモリセルＭＣが有するトランジスタに適用することにより、メモリセルＭＣを微細化できる。これにより記憶密度が高めることができるため、大きい記憶容量の半導体装置とすることができる。また、チャネル長Ｌ５００を小さくすることにより、トランジスタ５００Ａのオン電流を高くできるため、メモリセルＭＣを高速に駆動させることができる。

［０３４３］

絶縁体５９６及び絶縁体５８３の膜厚Ｔ５８３を調整することにより、チャネル長Ｌ５００を制御できる。

［０３４４］

絶縁体５９６及び絶縁体５８３の膜厚Ｔ５８３は、０．００１０μｍ以上、すなわち１ｎｍ以上が好ましく、０．０１０μｍ以上３．０μｍ未満が好ましく、さらには０．０５０μｍ以上３．０μｍ未満が好ましく、さらには０．１０μｍ以上３．０μｍ未満が好ましく、さらには０．１５μｍ以上３．０μｍ未満が好ましく、さらには０．２０μｍ以上３．０μｍ未満が好ましく、さらには０．２０μｍ以上２．５μｍ未満が好ましく、さらには０．２０μｍ以上２．０μｍ未満が好ましく、さらには０．２０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．０μｍ以下が好ましく、さらには０．５０μｍ以上１．０μｍ以下が好ましい。

［０３４５］

なお、例えば、図２３Ｂでは、断面視において、絶縁体５９６及び絶縁体５８３の開口６０１側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁体５９６及び絶縁体５８３の開口６０１側の側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

［０３４６］

トランジスタ５００Ａのチャネル幅は、チャネル長方向と直交する方向における、ソース領域の幅、又はドレイン領域の幅となる。つまり、チャネル幅は、チャネル長方向と直交する方向における、金属酸化物５３３と導電体５４２ａが接する領域の幅、又は金属酸化物５３３と導電体５４２ｂが接する領域の幅となる。ここでは、トランジスタ５００Ａのチャネル幅は、チャネル長方向と直交する方向における、金属酸化物５３３と導電体５４２ｂが接する領域の幅として説明する。図２３Ａ及び図２３Ｂでは、トランジスタ５００Ａのチャネル幅Ｗ５００を実線の両矢印で示している。チャネル幅Ｗ５００は、平面視において、開口６０３側の導電体５４２ｂの下面端部の長さとなる。

［０３４７］

チャネル幅Ｗ５００は、開口６０３の平面形状で決まる。図２３Ａ及び図２３Ｂでは、開口６０３の幅Ｄ５００を二点鎖線の両矢印で示している。幅Ｄ５００は、平面視において、開口６０３に外接する最小の矩形の短辺を示す。フォトリソグラフィ法を用いて開口６０３を形成する場合、開口６０３の幅Ｄ５００は露光装置の限界解像度以上となる。幅Ｄ５００は、例えば、０．２０μｍ以上５．０μｍ未満が好ましく、さらには０．２０μｍ以上４．５μｍ未満が好ましく、さらには０．２０μｍ以上４．０μｍ未満が好ましく、さらには０．２０μｍ以上３．５μｍ未満が好ましく、さらには０．２０μｍ以上３．０μｍ未満が好ましく、さらには０．２０μｍ以上２．５μｍ未満が好ましく、さらには０．２０μｍ以上２．０μｍ未満が好ましく、さらには０．２０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．５μｍ未満が好ましく、さらには０．３０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．２μｍ以下が好ましく、さらには０．４０μｍ以上１．０μｍ以下が好ましく、さらには０．５０μｍ以上１．０μｍ以下が好ましい。なお、開口６０３の平面形状が円形の場合、幅Ｄ５００は開口６０３の直径に相当し、チャネル幅Ｗ５００は平面視における開口６０３の外周の長さと等しくでき、“Ｄ５００×π”と算出できる。

［０３４８］

トランジスタ５００Ａのサイズは小さいため、トランジスタ５００Ａを素子層７００に適用することによって、記憶密度を高めることができるため、高い記憶容量の記憶部を有する半導体装置を提供することができる。また、トランジスタ５００Ａの動作が速いため、トランジスタ５００Ａを半導体装置に適用することによって、駆動速度が速い半導体装置を提供することができる。また、トランジスタ５００Ａの電気特性が安定しているため、トランジスタ５００Ａを半導体装置に適用することによって、信頼性が高い半導体装置を提供することができる。また、トランジスタ５００Ａのオフ電流の量が小さいため、トランジスタ５００Ａを半導体装置に適用することによって、消費電力が低い半導体装置を提供することができる。

［０３４９］

なおトランジスタ５００Ａは、例えば、メモリセルＭＣとは別の回路が有するトランジスタにも適用することができる。また別のトランジスタの構成、例えば図２４に図示する半導体装置１０Ｖ＿２のように、図１７で説明したトランジスタ５００を有する素子層８００と組み合わせて適用することが可能である。当該構成とすることでトランジスタ特性の異なるトランジスタを積層して設けることができるため、スイッチング特性に応じた回路配置を行うことができる。

［０３５０］

本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせて実施することができる。

［０３５１］

（実施の形態３）

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

［０３５２］

［電子部品］

電子部品７０９が実装された基板（実装基板７０４）の斜視図を、図２５Ａに示す。図２５Ａに示

す電子部品７０９は、モールド７１１内に半導体装置７１０を有している。図２５Ａは、電子部品７０９の内部を示すために、一部の記載を省略している。電子部品７０９は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７０９は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０３５３］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、および、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０３５４］

また、オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０３５５］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、およびメモリのアクセスレイテンシのいずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０３５６］

また、半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、または窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０３５７］

次に、電子部品７３０の斜視図を図２５Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　Ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ　Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インタ

ーポーザ７３１上に半導体装置７３５、および複数の半導体装置７１０が設けられている。

［０３５８］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

［０３５９］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０３６０］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０３６１］

また、シリコンインターポーザを用いた、ＳｉＰおよびＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３６２］

一方で、シリコンインターポーザ、およびＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０３６３］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０３６４］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図２５Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実

装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３６５］

電子部品７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、および、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［０３６６］

［電子機器］

次に、電子機器６５００の斜視図を図２６Ａに示す。図２６Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、および制御装置６５０９などを有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、および半導体装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６５０２、制御装置６５０９などに適用することができる。

［０３６７］

図２６Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、制御装置６６１６などを有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、および半導体装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６６１５、制御装置６６１６などに適用することができる。なお、本発明の一態様の半導体装置を、上述の制御装置６５０９、および制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０３６８］

［大型計算機］

次に、大型計算機５６００の斜視図を図２６Ｃに示す。図２６Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０３６９］

計算機５６２０は、例えば、図２６Ｄに示す斜視図の構成とすることができる。図２６Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０３７０］

図２６Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、半導体装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７

と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図２６Ｅには、半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８の説明を参照すればよい。

［０３７１］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［０３７２］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０３７３］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０３７４］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０３７５］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、半導体装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７０９を用いることができる。

［０３７６］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

［０３７７］

［宇宙用機器］

本発明の一態様の半導体装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

［０３７８］

本発明の一態様の半導体装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

［０３７９］

図２７には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図２７においては、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、および成層圏を含んでもよい。

［０３８０］

また、図２７には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

［０３８１］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、およびガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［０３８２］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０３８３］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０３８４］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、および半導体装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様である半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０３８５］

また、人工衛星６８００は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射され

た太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、たとえば地球観測衛星としての機能を有することができる。

［０３８６］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［０３８７］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０３８８］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的にデータを管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［０３８９］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０３９０］

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０３９１］

図２８にデータセンターに適用可能なストレージシステムを示す。図２８に示すストレージシステム７０００は、ホスト７００１として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３として複数の半導体装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４およびストレージ制御回路７００２を介して接続されている形態を図示している。

［０３９２］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０３９３］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶および出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステム

では、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶および出力を短くしている。

［０３９４］

上述のキャッシュメモリは、ストレージ制御回路７００２およびストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２およびストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［０３９５］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０３９６］

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［０３９７］

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０３９８］

＜本明細書等の記載に関する付記＞

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

［０３９９］

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０４００］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

［０４０１］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［０４０２］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

［０４０３］

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

［０４０４］

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［０４０５］

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、またはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

［０４０６］

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。

［０４０７］

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

［０４０８］

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［０４０９］

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

［０４１０］

本明細書等において、プレーナ型のトランジスタにおけるチャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）

とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

［０４１１］

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

［０４１２］

また本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［０４１３］

本明細書等において、ＡとＢとが接続されている、とは、ＡとＢとが電気的に接続されているものをいう。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にＡとＢとの電気信号の伝達が可能である接続をいう。なおＡとＢとが電気的に接続されている場合には、ＡとＢとが直接接続されている場合を含む。ここで、ＡとＢとが直接接続されているとは、上記対象物を介することなく、ＡとＢとの間で配線（または電極）等を介してＡとＢとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

［符号の説明］

［０４１４］

１０：半導体装置、２０：素子層、２１：演算部、３０：素子層、３２：機能回路部、３３：記憶部、３４：メモリセル、３５：トランジスタ、３６：キャパシタ、１００：演算処理システム、２１０：記憶部、２１１：命令解析部、２１２：分岐予測部、２１３：ストア部、２１４：算術論理演算部、２１５：浮動小数点演算部、２１６：汎用レジスタ、２２０：記憶部、２２１：Ｌ１キャッシュ、２２２：Ｌ２キャッシュ、２２３：Ｌ３キャッシュ、２３０：記憶部、２４０：記憶部

請求の範囲

［請求項１］

第１素子層と、

複数の第２素子層と、を有し、

前記複数の第２素子層は、前記第１素子層上に設けられ、

前記第１素子層には、演算部が設けられ、

前記複数の第２素子層のそれぞれには、記憶部が設けられ、

前記演算部は、チャネル形成領域にシリコンを有する第１半導体層を有する第１トランジスタを有し、

前記記憶部は、チャネル形成領域に酸化物半導体を有する第２半導体層を有する第２トランジスタを有し、

前記記憶部は、前記演算部のキャッシュメモリの機能を有する、

半導体装置。

［請求項２］

第１素子層と、

複数の第２素子層と、を有し、

前記複数の第２素子層は、前記第１素子層上に設けられ、

前記第１素子層には、演算部が設けられ、

前記複数の第２素子層のそれぞれには、記憶部が設けられ、

前記演算部は、チャネル形成領域にシリコンを有する第１半導体層を有する第１トランジスタを有し、

前記記憶部は、チャネル形成領域に酸化物半導体を有する第２半導体層を有する第２トランジスタを有し、

前記演算部は、命令解析部を有し、

前記複数の第２素子層の少なくとも一層の前記記憶部は、命令キャッシュを有し、

前記命令キャッシュは、前記第１素子層に設けられる前記命令解析部の上方にある前記第２素子層が有する領域に設けられる、

半導体装置。

［請求項３］

請求項１または請求項２において、

前記酸化物半導体は、少なくともＩｎを有する、半導体装置。

［請求項４］

請求項１または請求項２において、

前記第２トランジスタは、縦型トランジスタである、半導体装置。

［請求項５］

請求項１または請求項２において、

前記第１素子層が有する演算部と、前記複数の第２素子層のそれぞれが有する前記記憶部と、は、前記複数の第２素子層のそれぞれに設けられる貫通電極を介して電気的に接続される、

半導体装置。

［請求項６］

請求項１または請求項２において、

前記第１素子層が有する演算部と、前記複数の第２素子層のそれぞれが有する前記記憶部と、は、前記第１素子層が有する配線層と、前記複数の第２素子層のそれぞれが有する配線層と、を介して電気的に接続される、

半導体装置。

［請求項７］

請求項１または請求項２において、

前記第１素子層が有する演算部は、フリップフロップを有し、

前記複数の第２素子層のそれぞれは、前記フリップフロップと電気的に接続されたバックアップ回路を有し、

前記バックアップ回路は、前記フリップフロップに書き込まれたデータ信号を保持する機能を有し、

前記バックアップ回路が設けられる領域は、前記フリップフロップが設けられる領域と重なる領域を有する、

半導体装置。

図1A

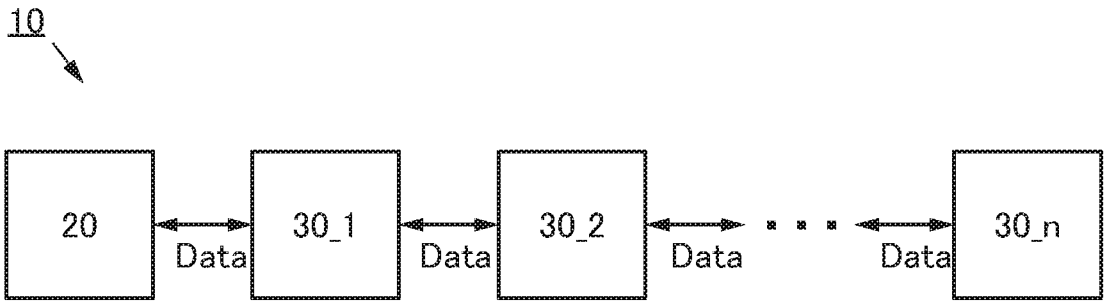

10
20
Data
30_1
Data
30_2
Data
Data
30_n

図1B

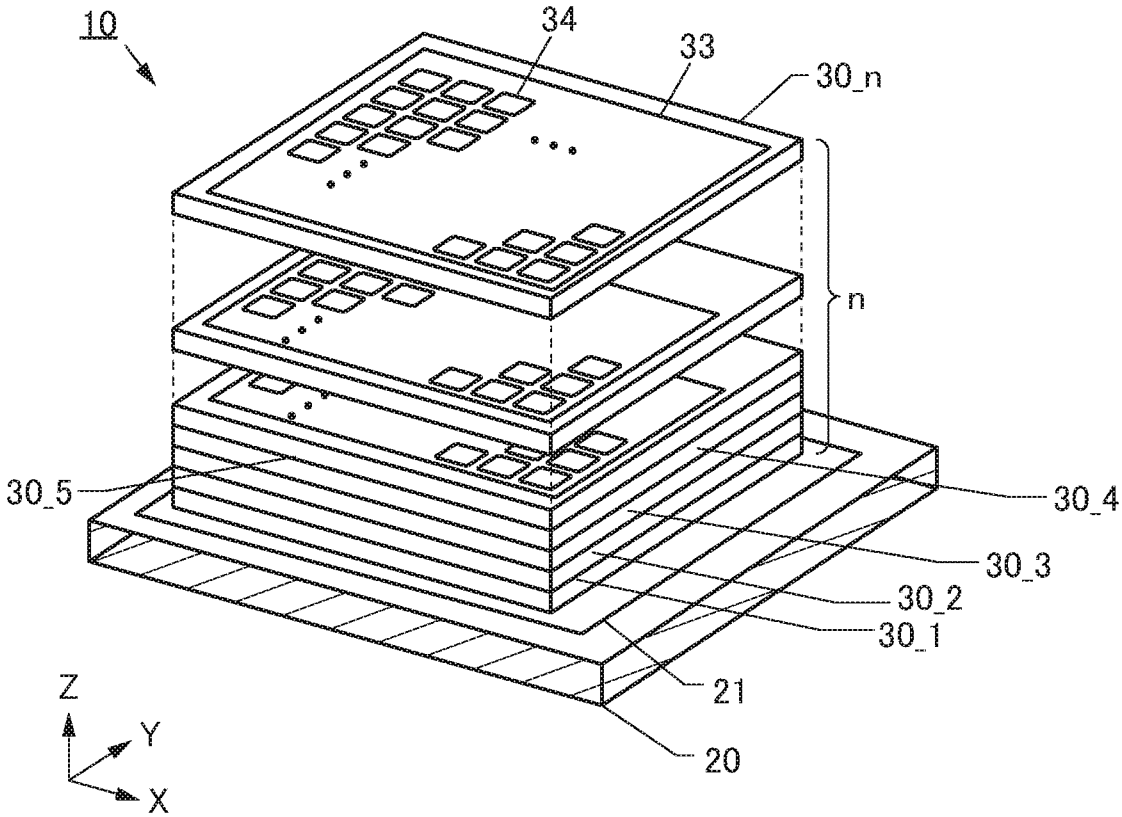

10
34
33
30_n
n
30_5
30_4
30_3
30_2
30_1
21
20
Z
Y
X

図2A

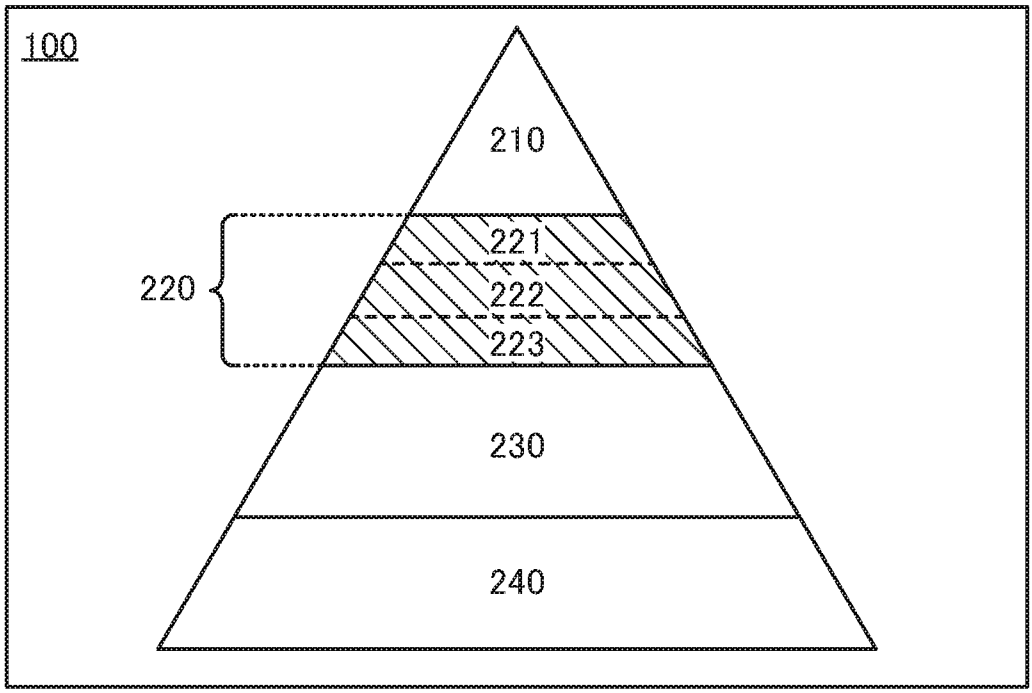
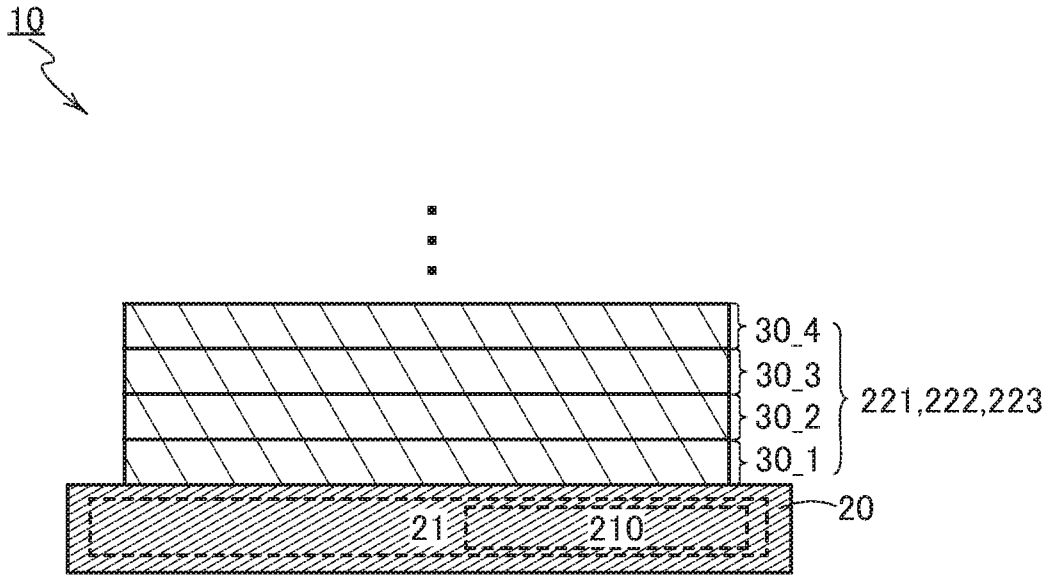

100
210
220
221
222
223
230
240

図2B


10
30_4
30_3
30_2
30_1
221,222,223
20
21
210

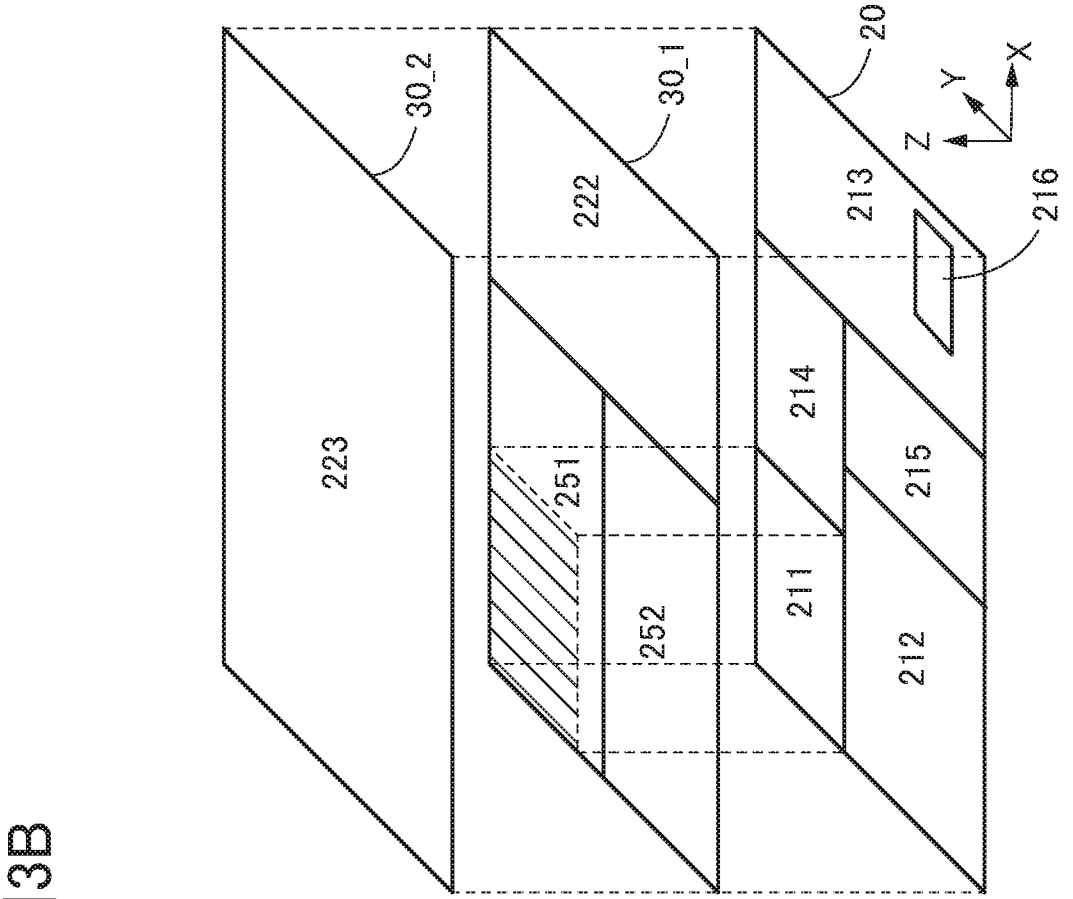

30_2
30_1
20
Z
Y
X
223
222
213
216
214
215
251
252
211
212

図3B

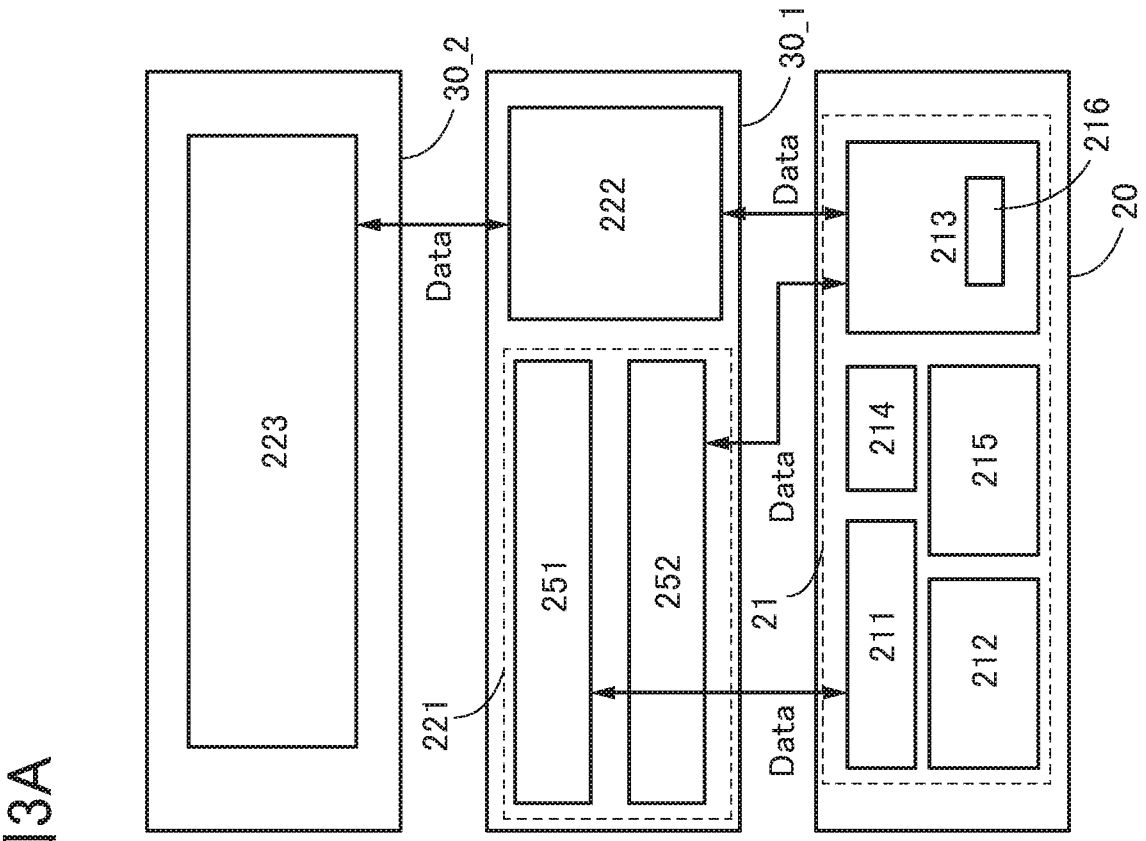

30_2
30_1
Data
Data
Data
Data
216
20
223
222
213
214
215
251
252
21
211
212
221

図3A

図4B

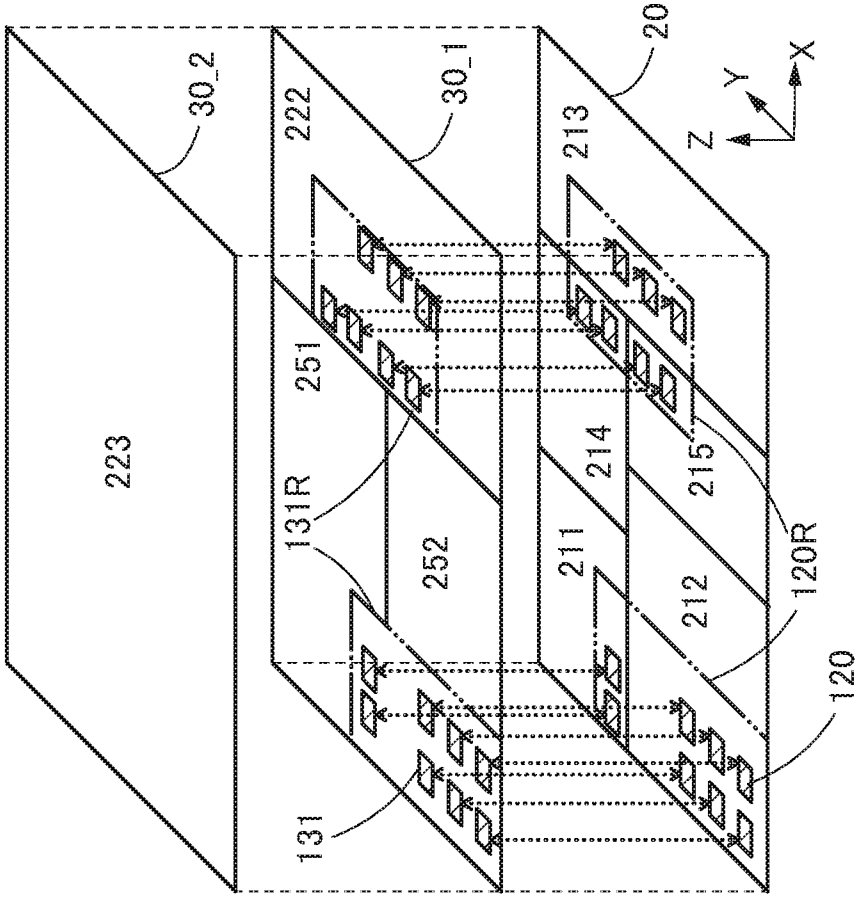

30_2
30_1
20
222
213
Z
Y
X
223
251
131R
214
215
252
211
212
120R
120
131

図4A

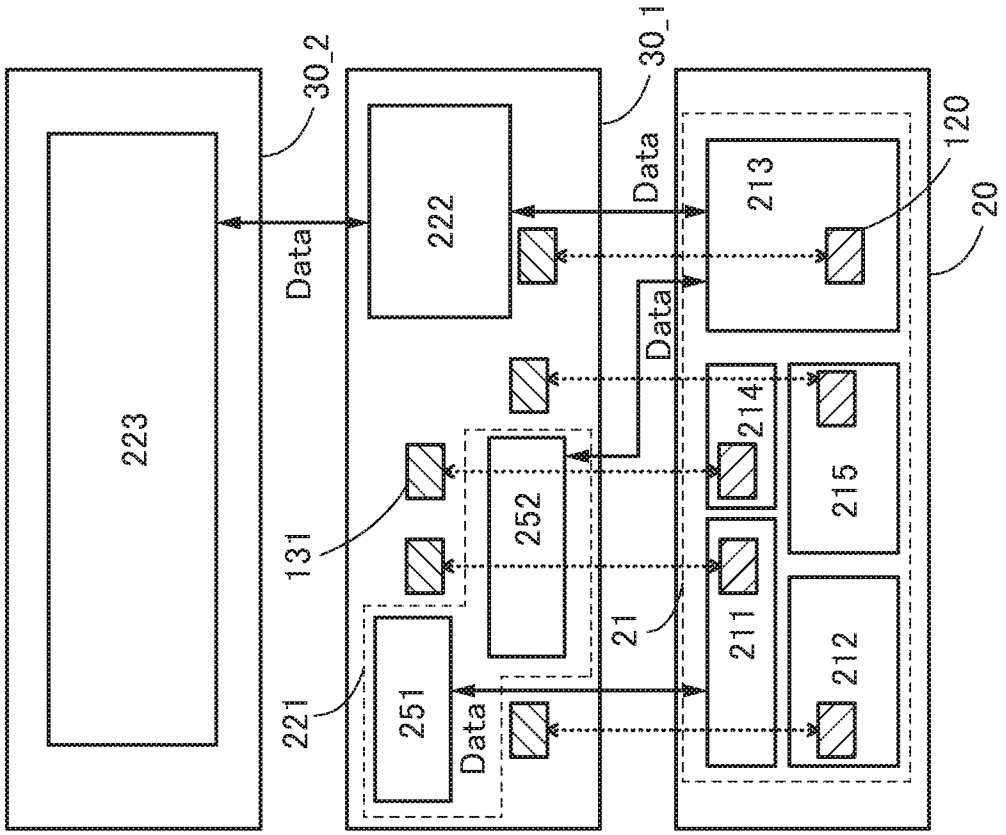

30_2
30_1
120
Data
222
213
20
Data
223
214
131
252
215
21
211
221
251
Data
212

図5A

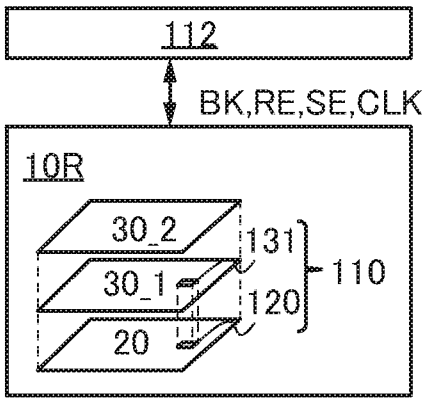

112
BK,RE,SE,CLK
10R
30_2
30_1
20
131
120
110

図5B

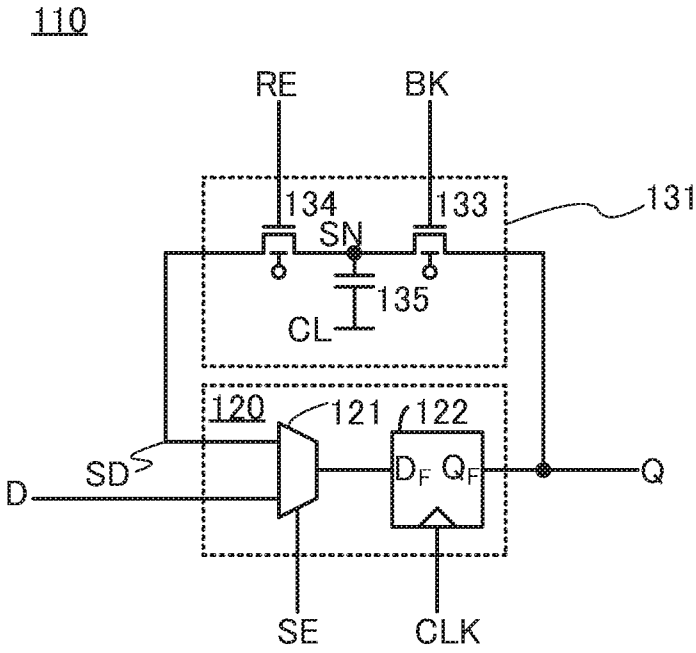

110
RE
BK
134
133
131
SN
135
CL
120
121
122
SD
D
D_F Q_F
Q
SE
CLK

図5C

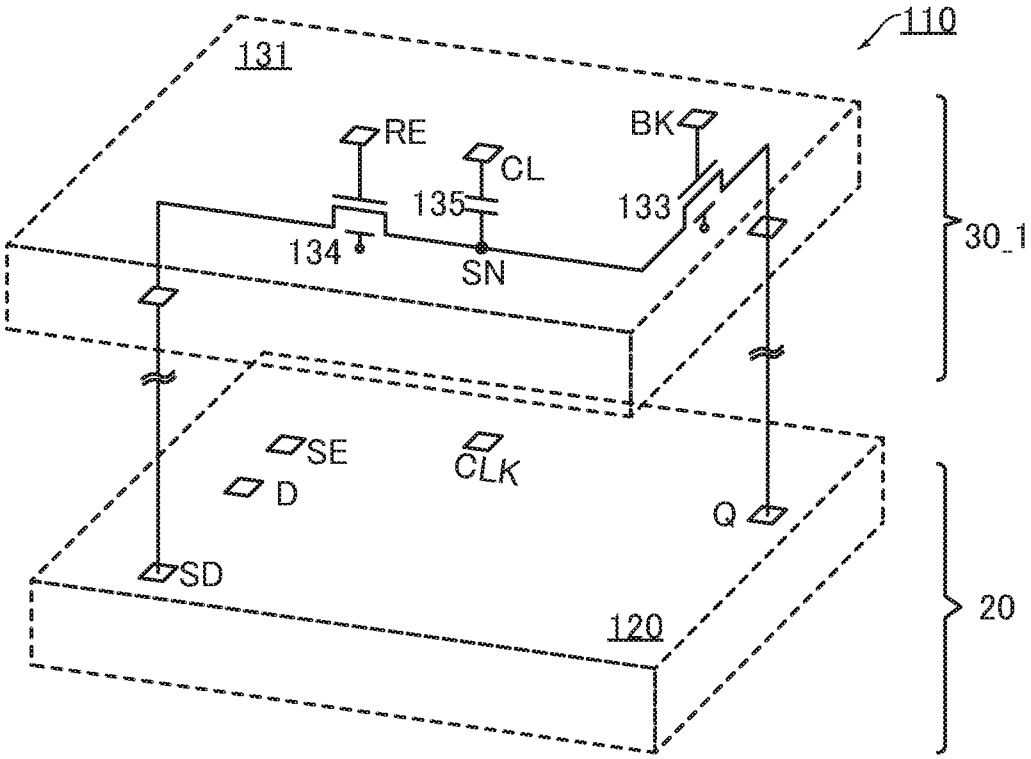

110
131
RE
CL
BK
135
133
134
SN
30_1
SE
CLK
D
Q
SD
120
20

図6

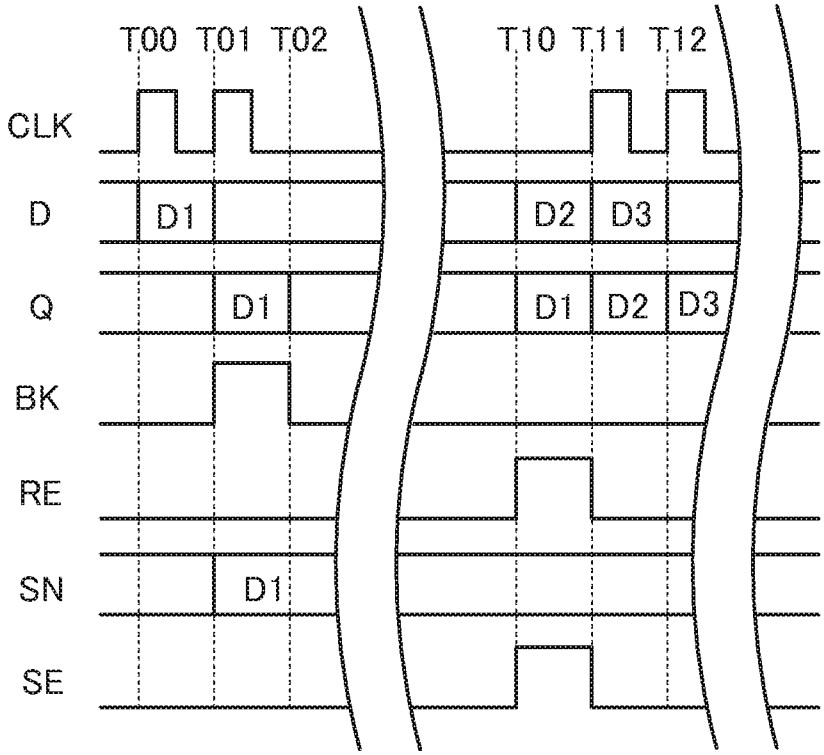


図7A

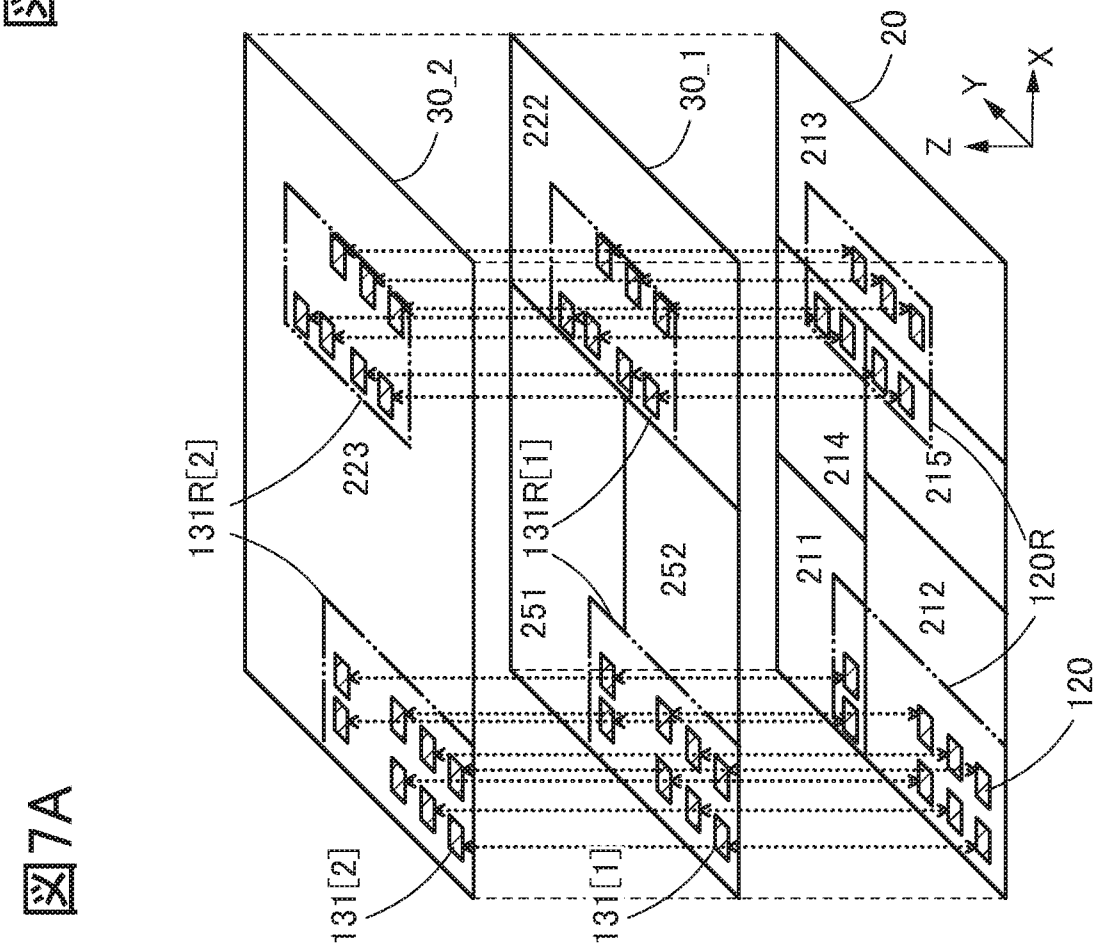

30_2
30_1
20
222
213
Z
Y
X
131R[2]
223
131R[1]
214
215
251
252
211
212
120R
120
131[2]
131[1]

図7B

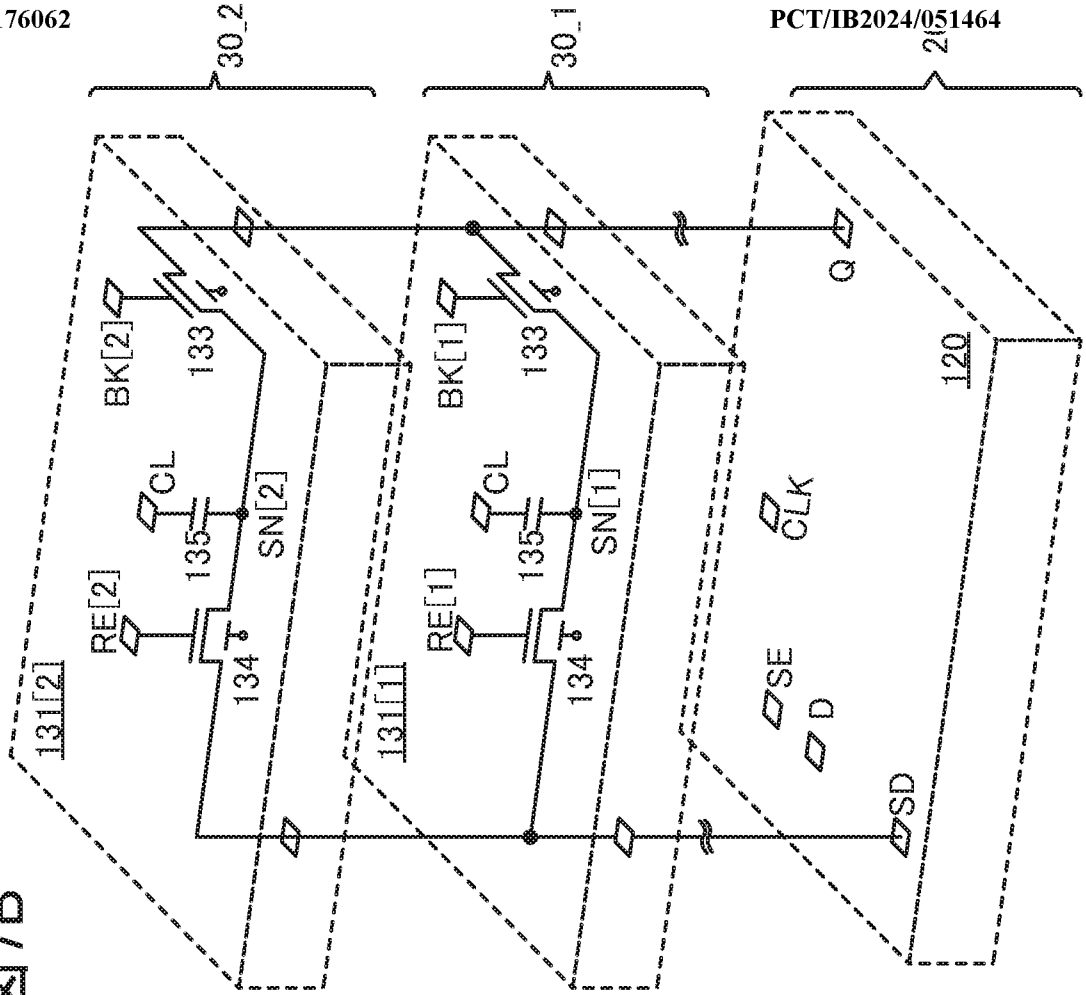

30_2
30_1
20
BK[2]
133
BK[1]
133
Q
CL
135
SN[2]
CL
135
SN[1]
CLK
120
RE[2]
134
RE[1]
134
131[2]
131[1]
SE
D
SD

図8A

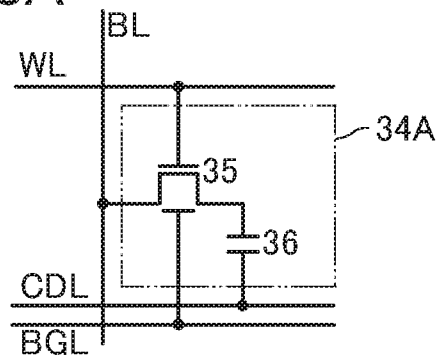


図8B

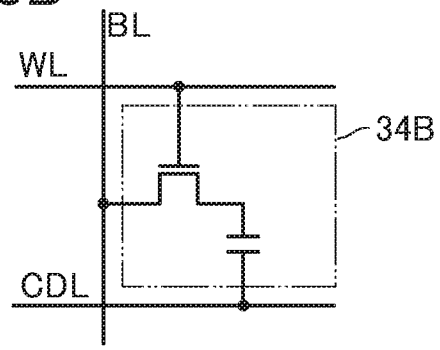


図8C

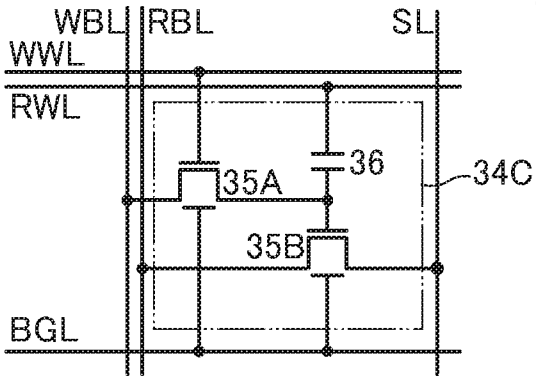


図8D

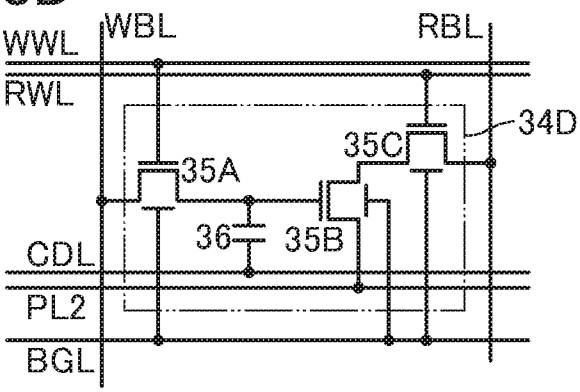


図8E

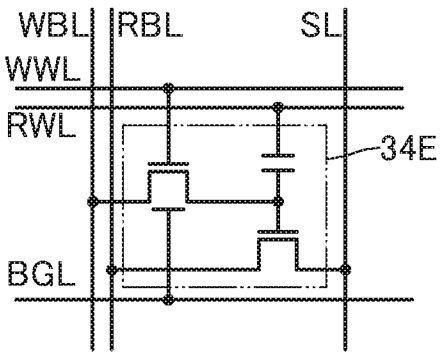


図8F

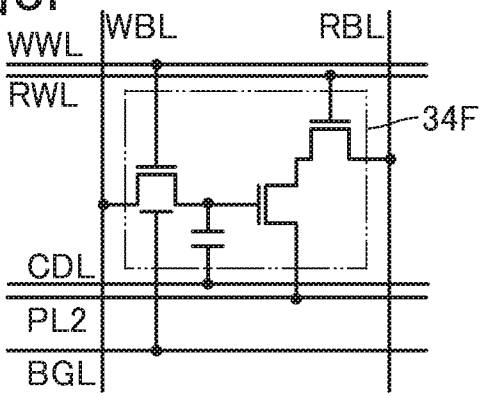


図8G

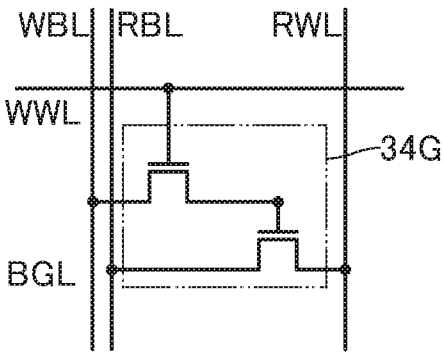


図8H

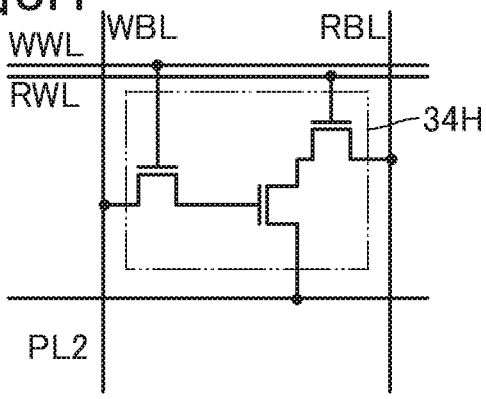


図9

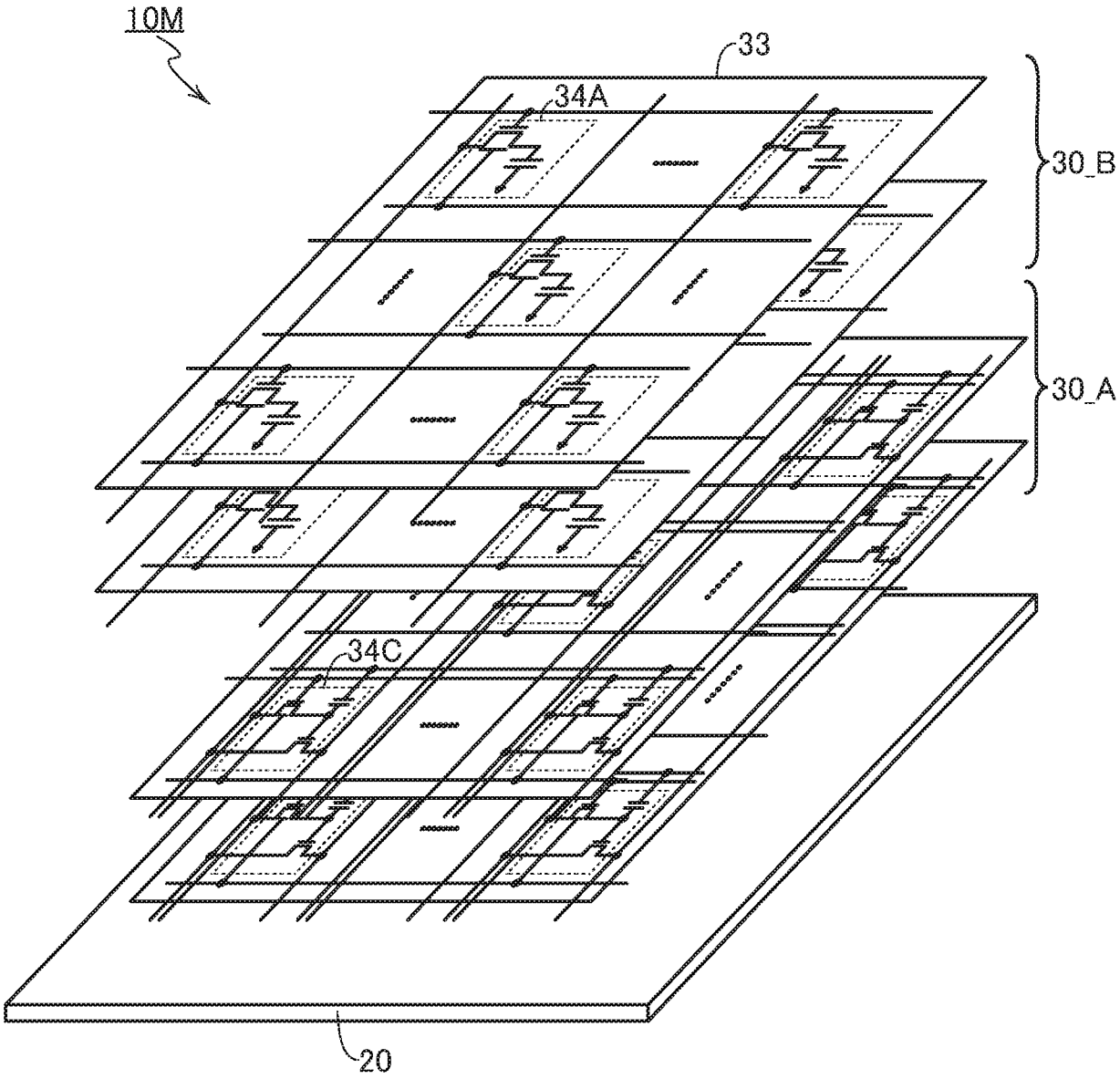


図10A

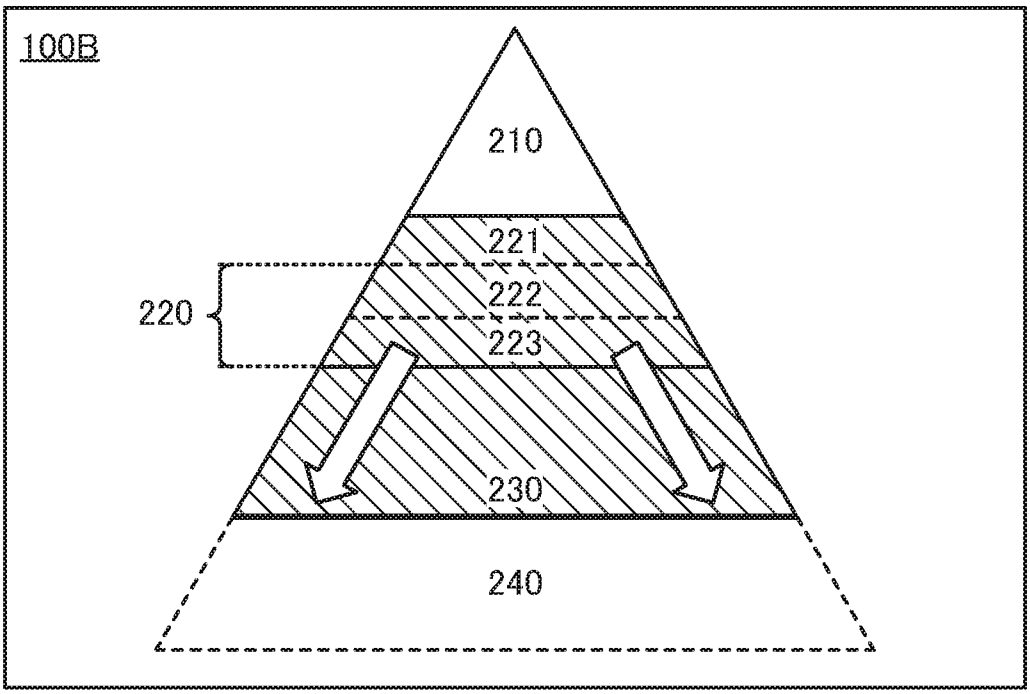

100B
210
221
220
222
223
230
240

図10B

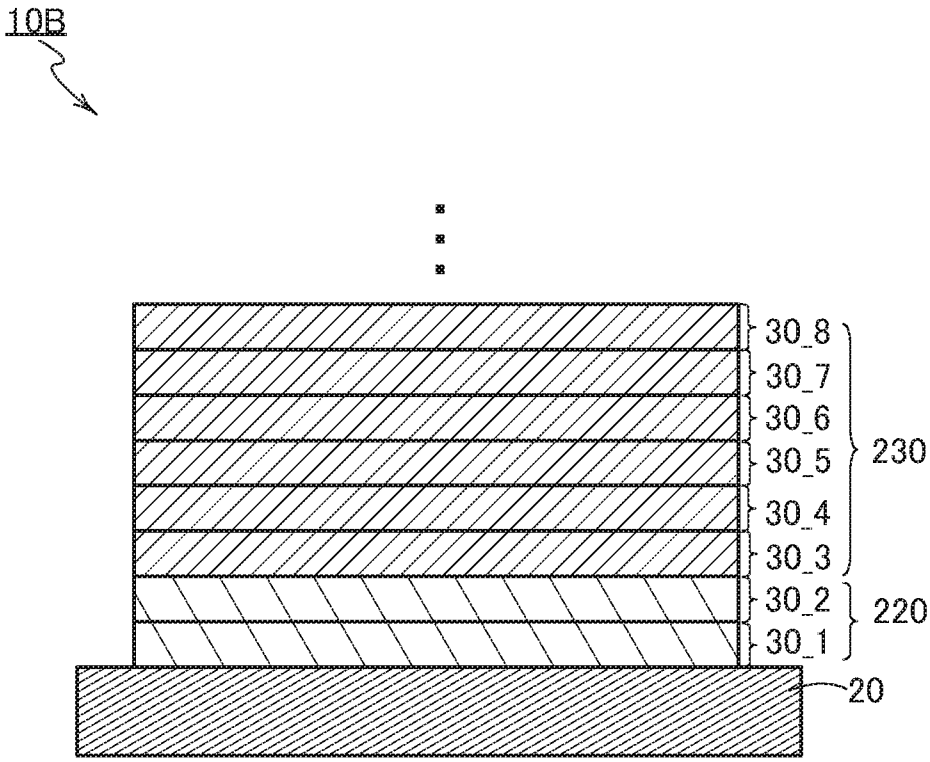

10B
30_8
30_7
30_6
30_5
230
30_4
30_3
30_2
220
30_1
20

図11A

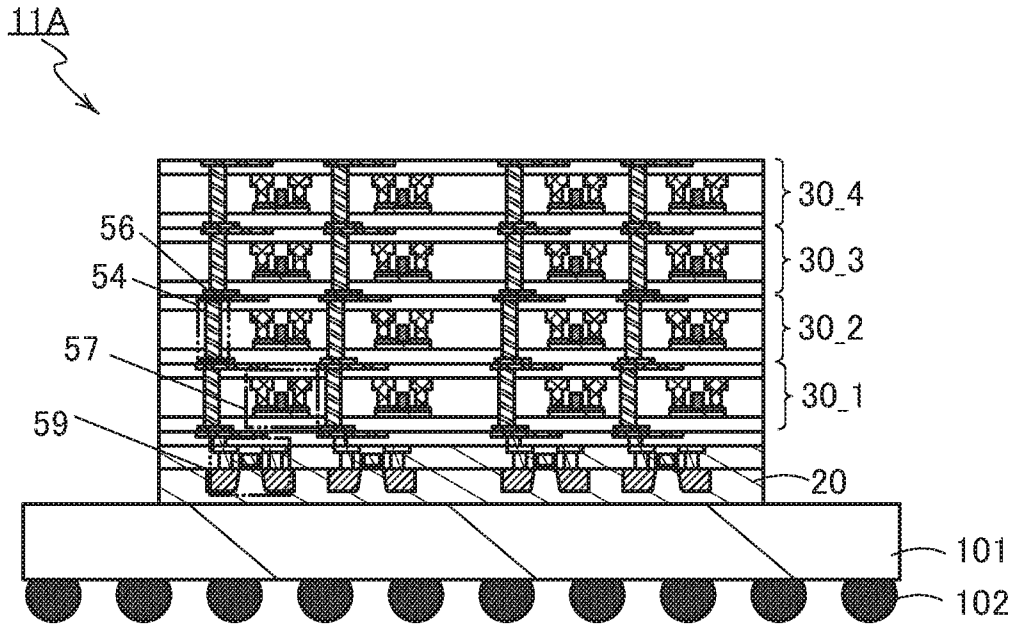
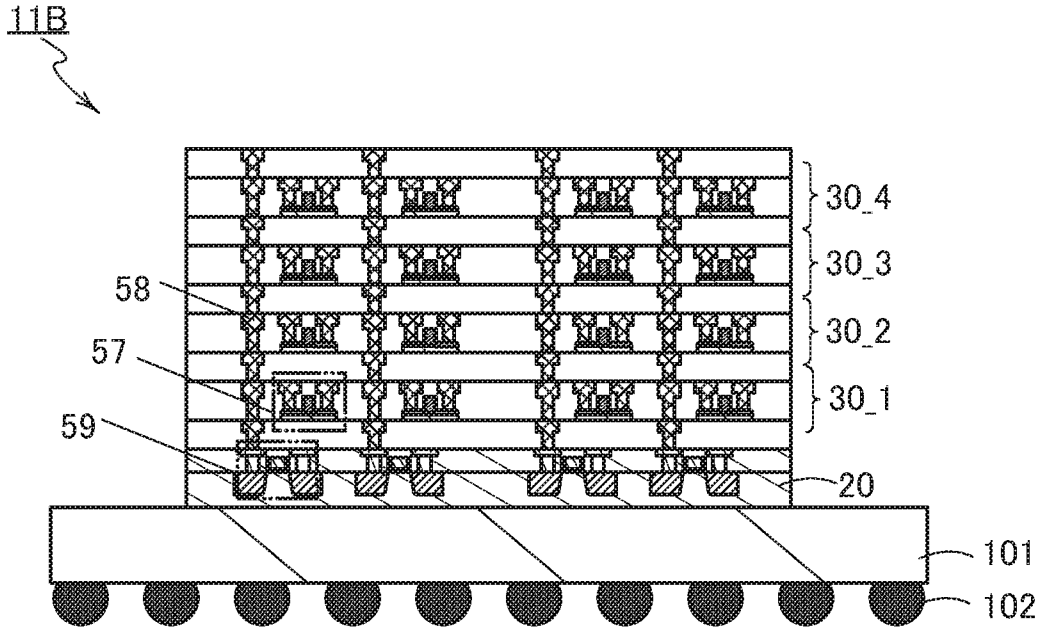

11A
30_4
30_3
30_2
30_1
56
54
57
59
20
101
102

図11B


11B
30_4
30_3
30_2
30_1
58
57
59
20
101
102

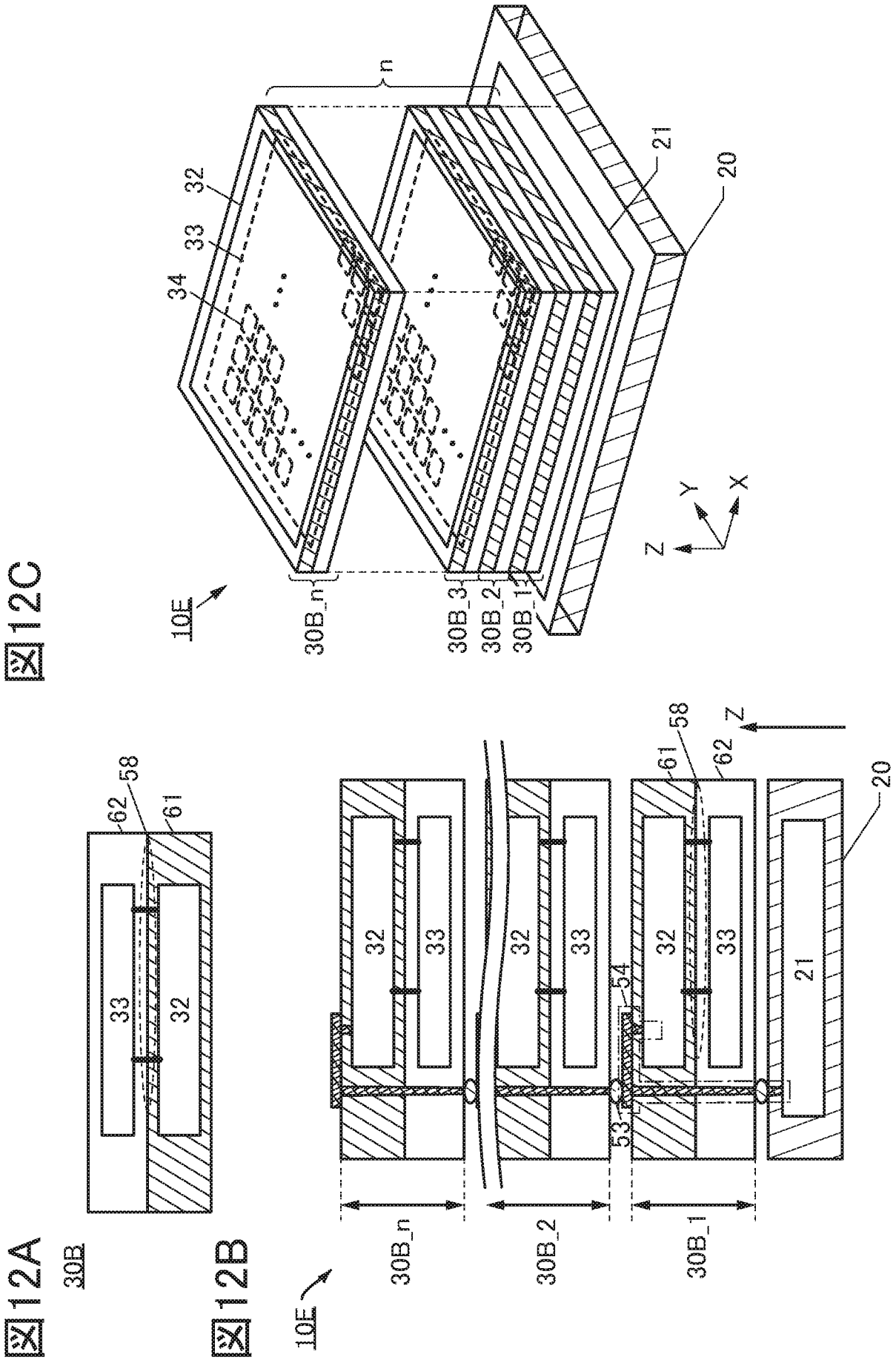

12A
30B
62
58
61
33
32
12B
10E
30B_n
30B_2
30B_1
32
33
54
53
61
58
62
Z
20
21
12C
10E
n
32
33
34
21
20
30B_n
30B_3
30B_2
30B_1
Z
Y
X

図13A

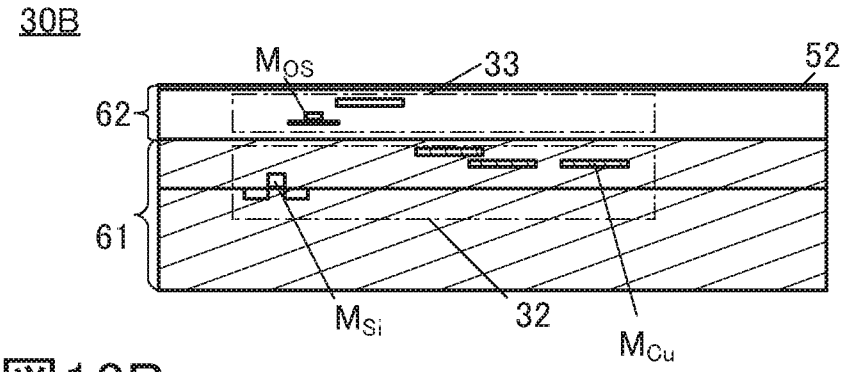

30B
M_{OS}
33
52
62
61
M_{Si}
32
M_{Cu}

図13B

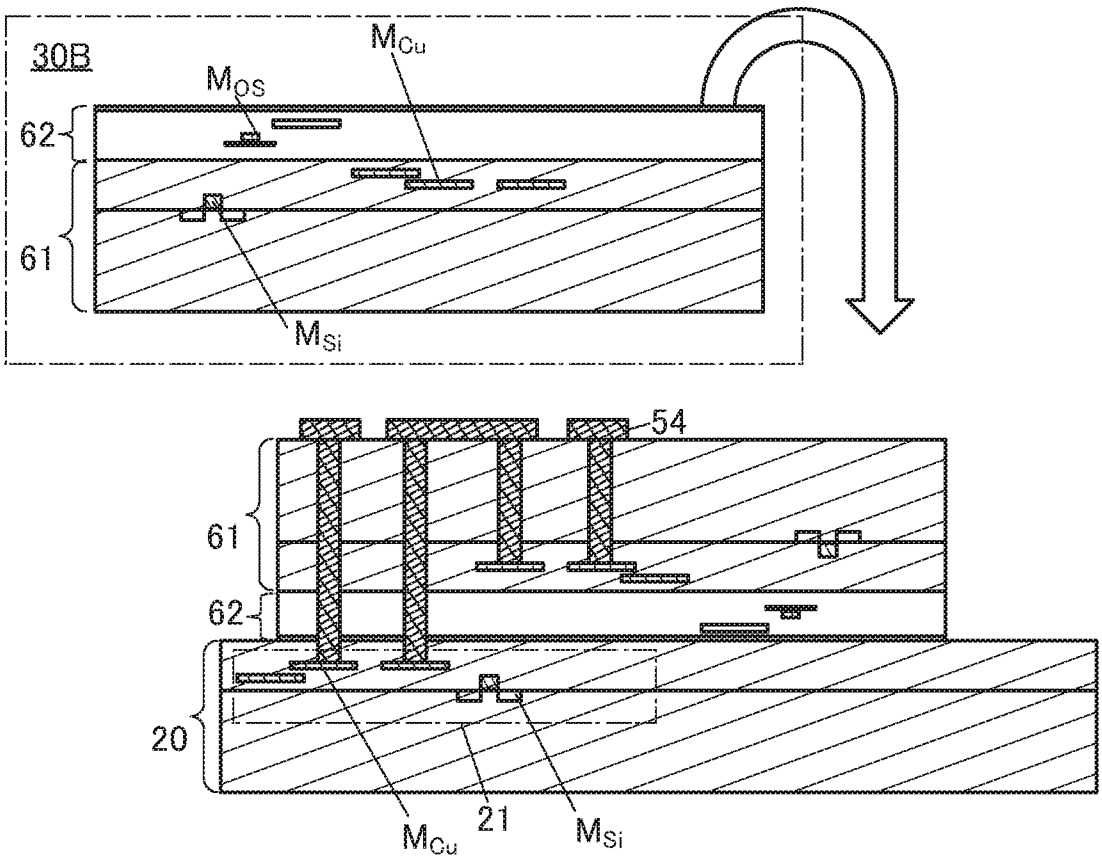

30B
M_{Cu}
M_{OS}
62
61
M_{Si}
54
61
62
20
M_{Cu}
21
M_{Si}

図14A

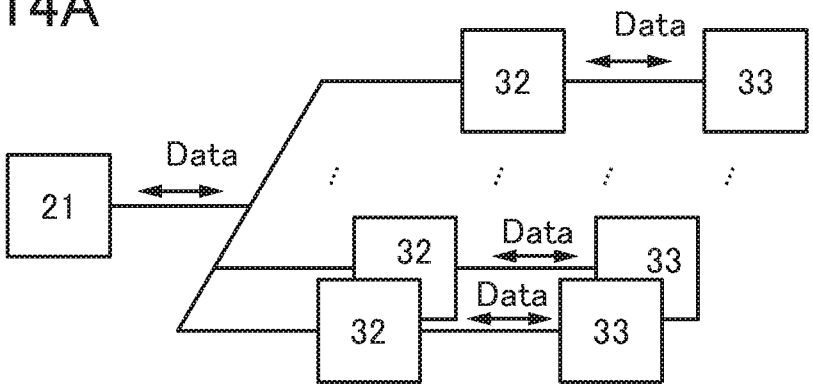

Data
32
33
Data
21
32
Data
33
Data
32
33

図14B

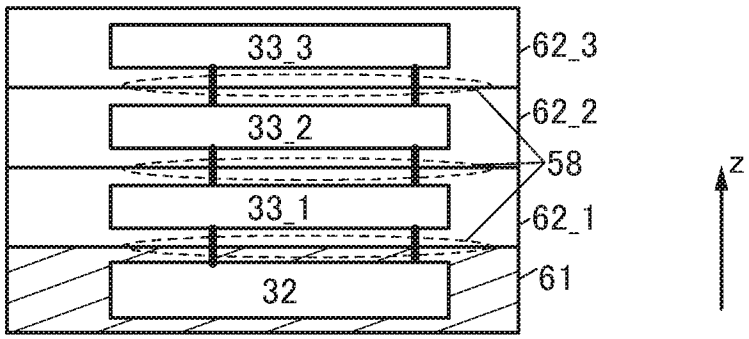

30C
33_3
62_3
33_2
62_2
58
33_1
62_1
32
61
z

図15A

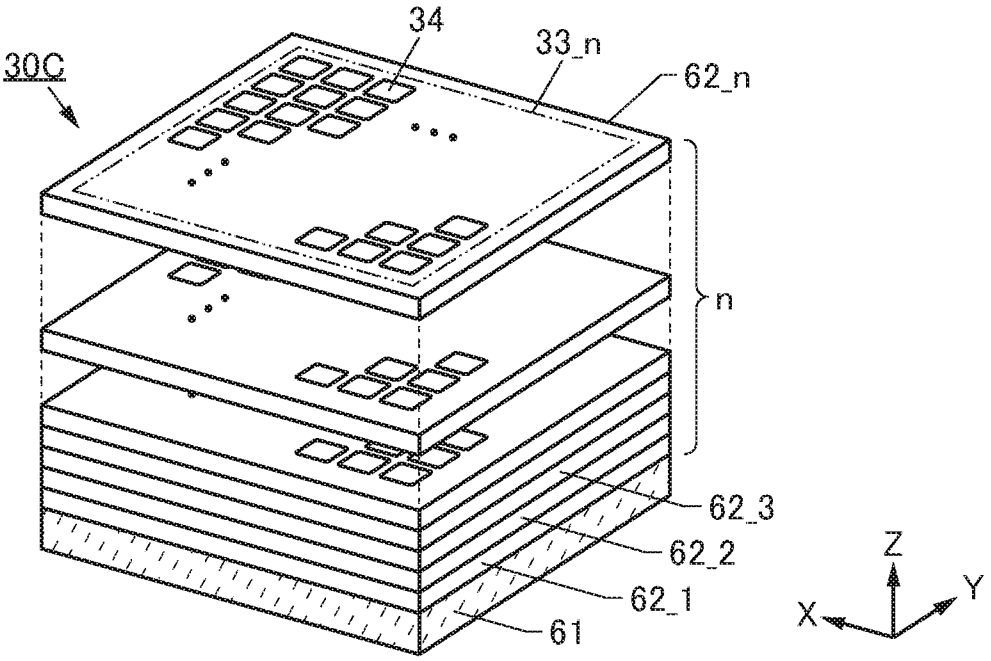

30C
34
33_n
62_n
n
62_3
62_2
62_1
61
Z
Y
X

図15B

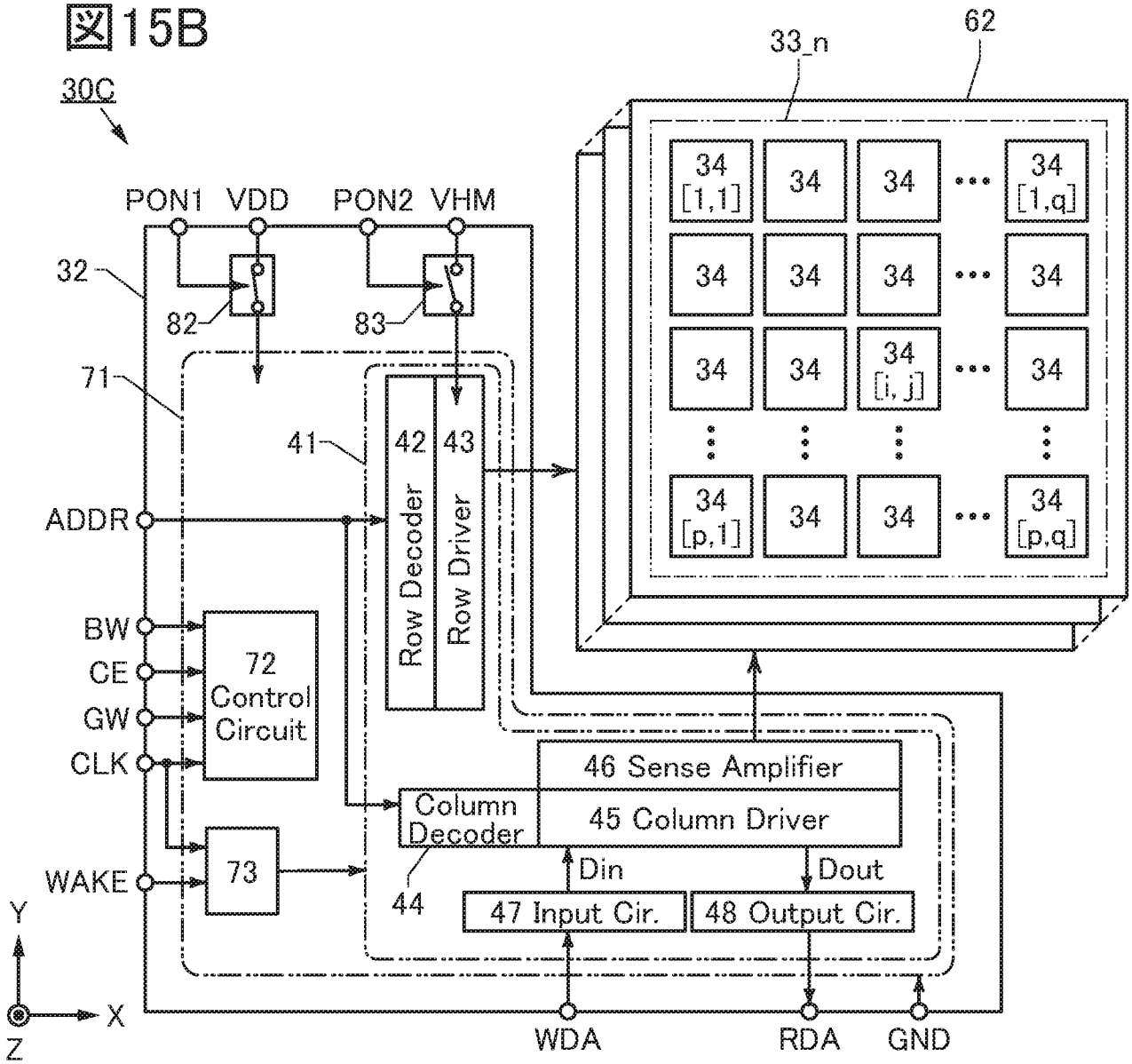

30C
33_n
62
34 [1,1]
34 [1,q]
34 [i, j]
34 [p,1]
34 [p,q]
PON1
VDD
PON2
VHM
32
82
83
71
41
42
43
Row Decoder
Row Driver
ADDR
BW
CE
GW
CLK
72 Control Circuit
73
WAKE
46 Sense Amplifier
Column Decoder
45 Column Driver
Din
Dout
44
47 Input Cir.
48 Output Cir.
WDA
RDA
GND
Y
X
Z

図16

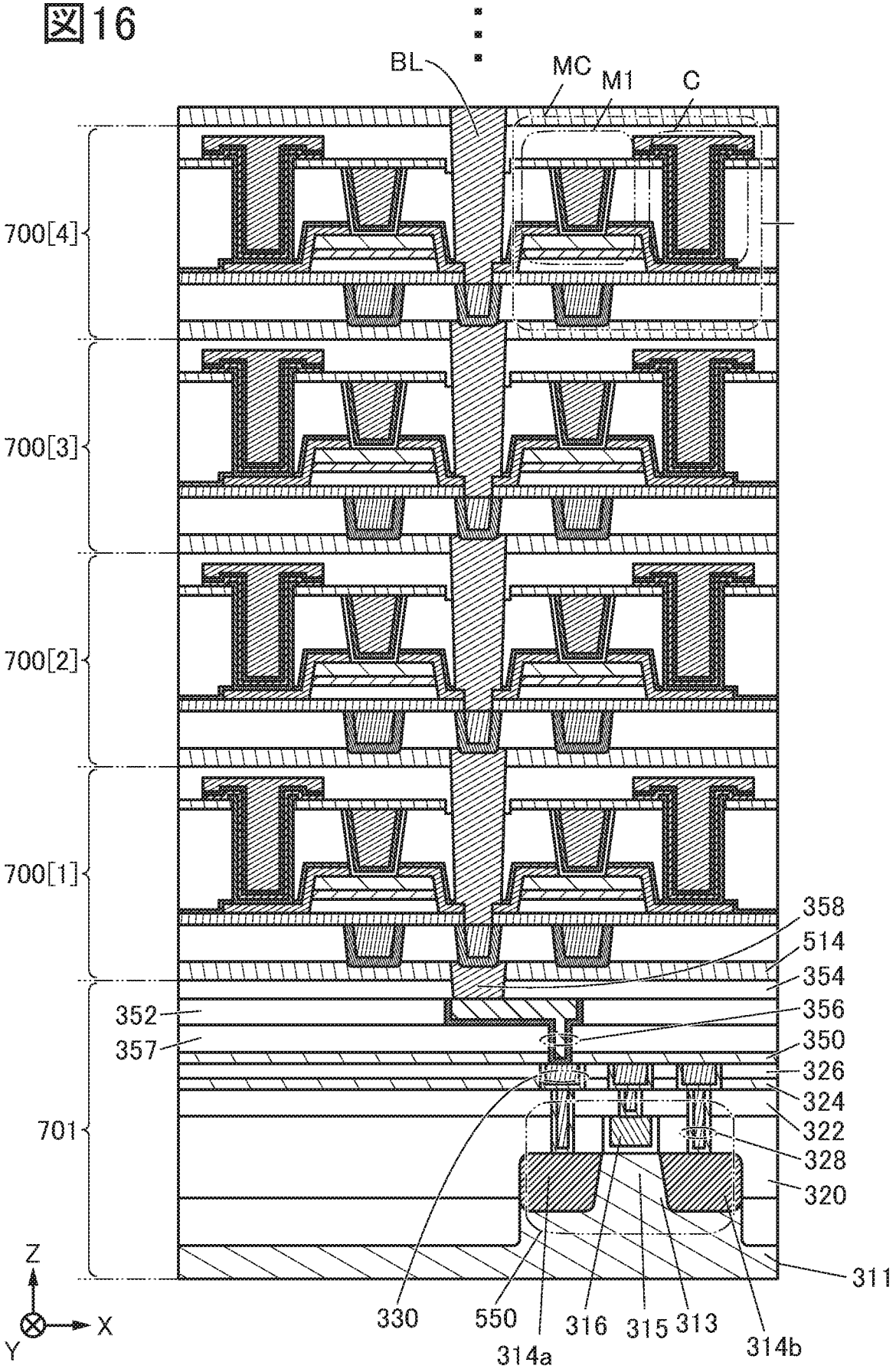

BL
MC
M1
C
700[4]
700[3]
700[2]
700[1]
701
352
357
358
514
354
356
350
326
324
322
328
320
311
330
550
314a
316
315
313
314b
Z
X
Y

図17A

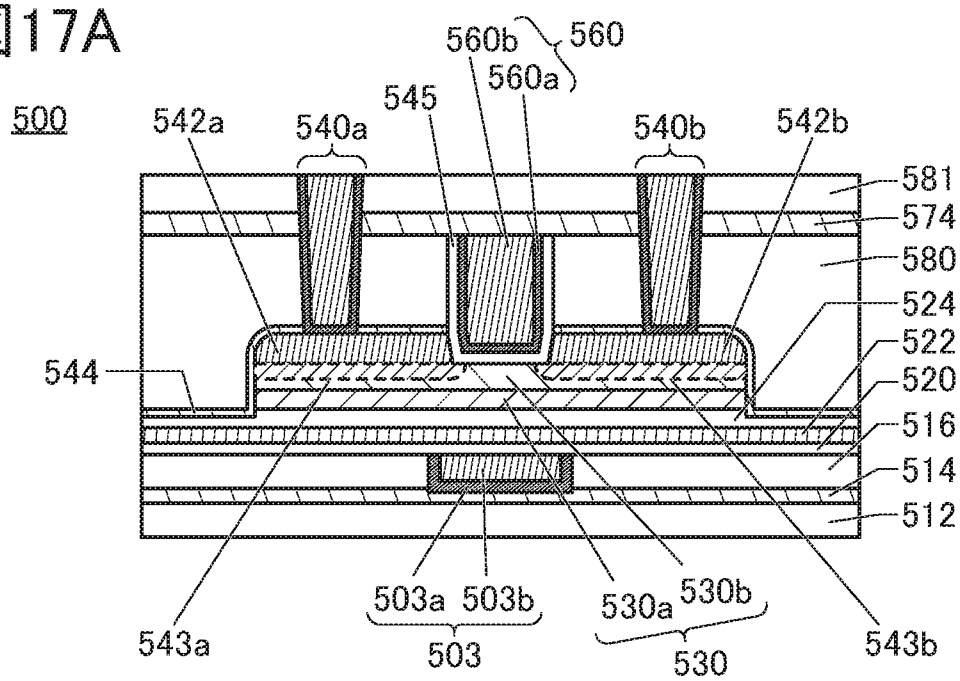


図17B

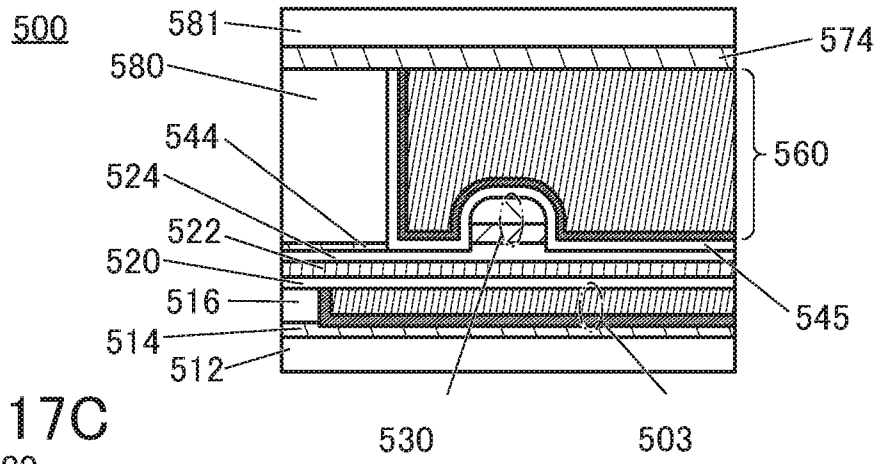


図17C

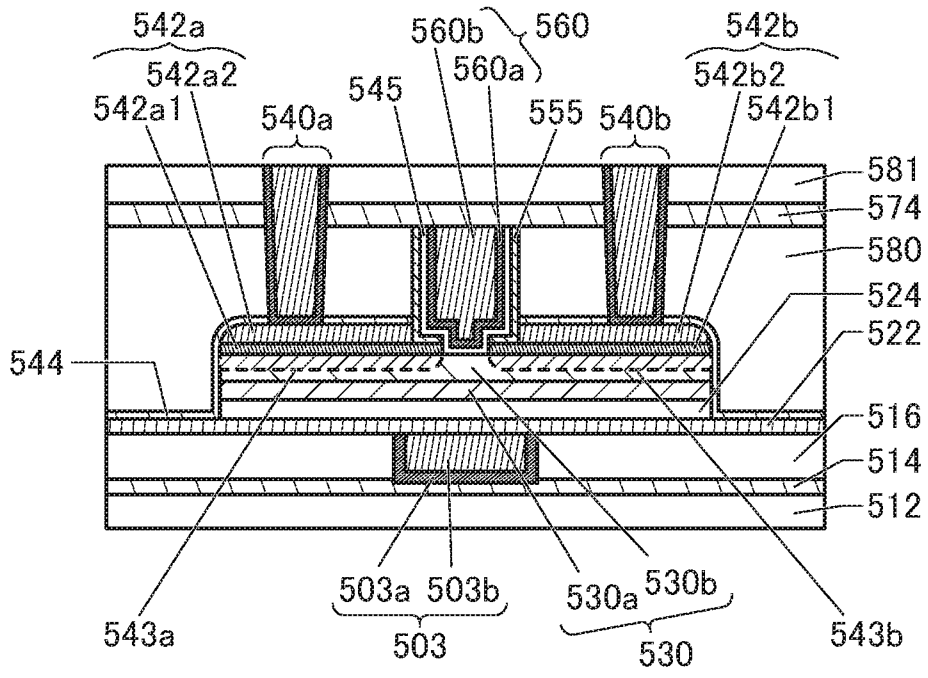


図18A

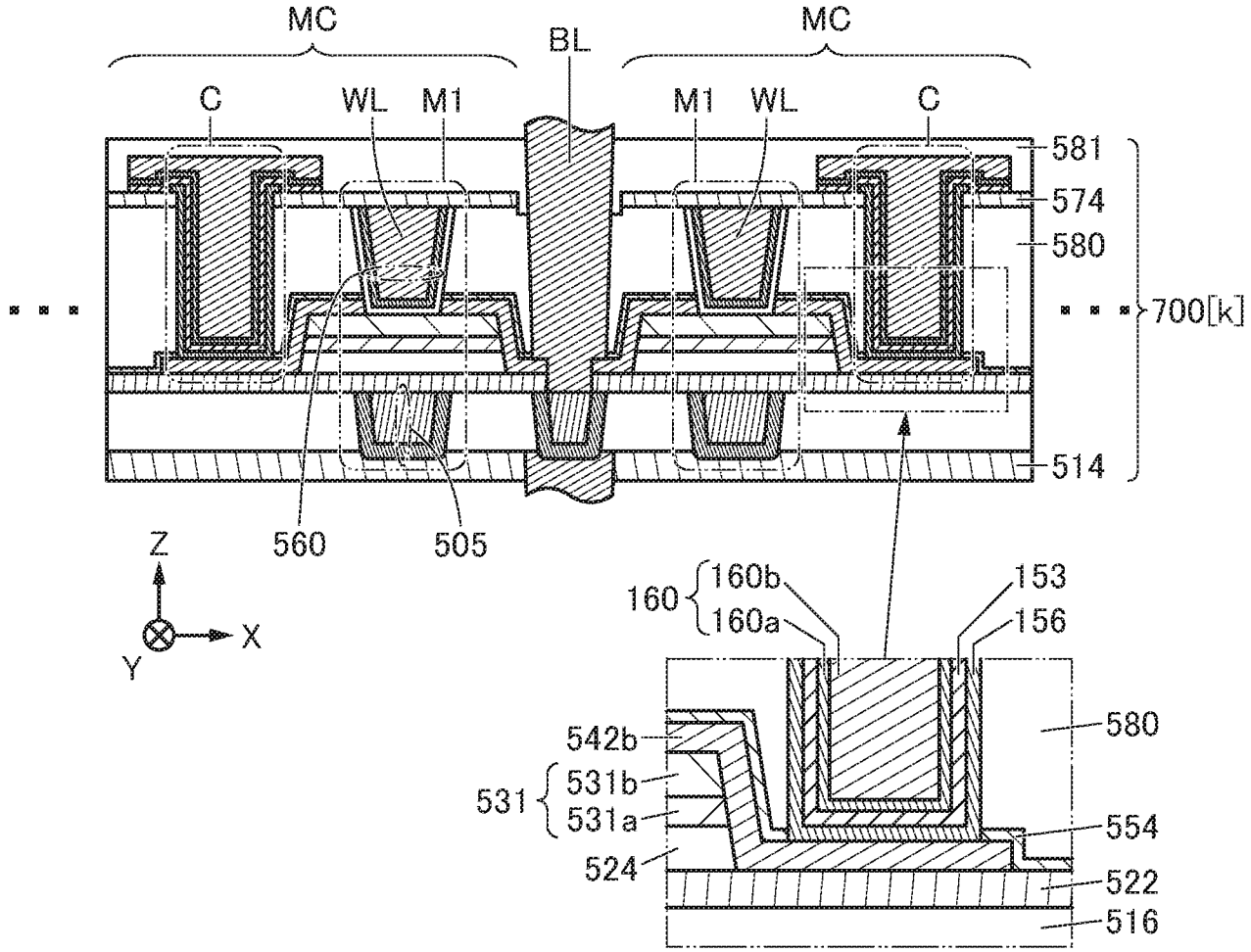

MC
BL
MC
C
WL
M1
M1
WL
C
581
574
580
700[k]
514
560
505
Z
Y
X
160
160b
160a
153
156
580
542b
531
531b
531a
554
524
522
516

図18B

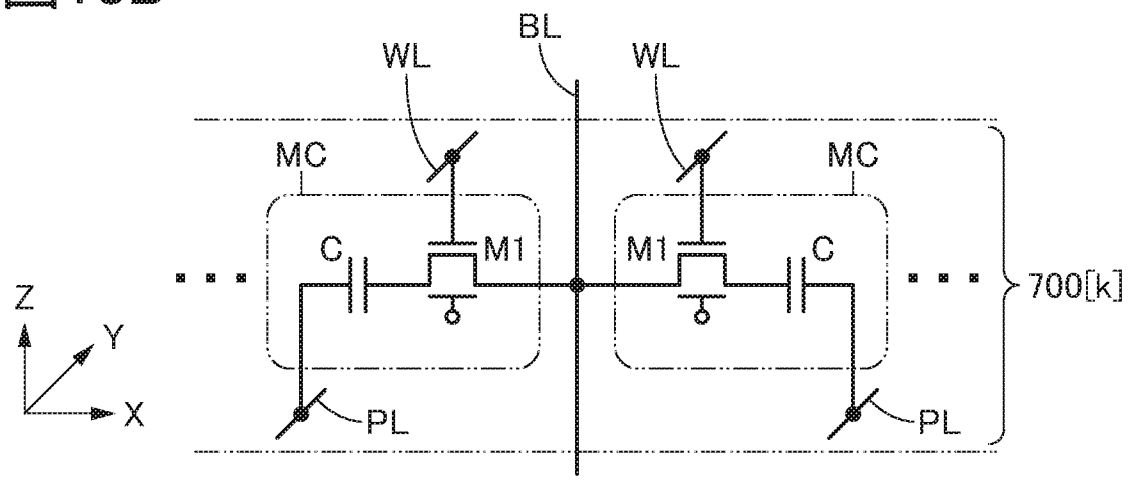

BL
WL
WL
MC
MC
C
M1
M1
C
700[k]
Z
Y
X
PL
PL

図19

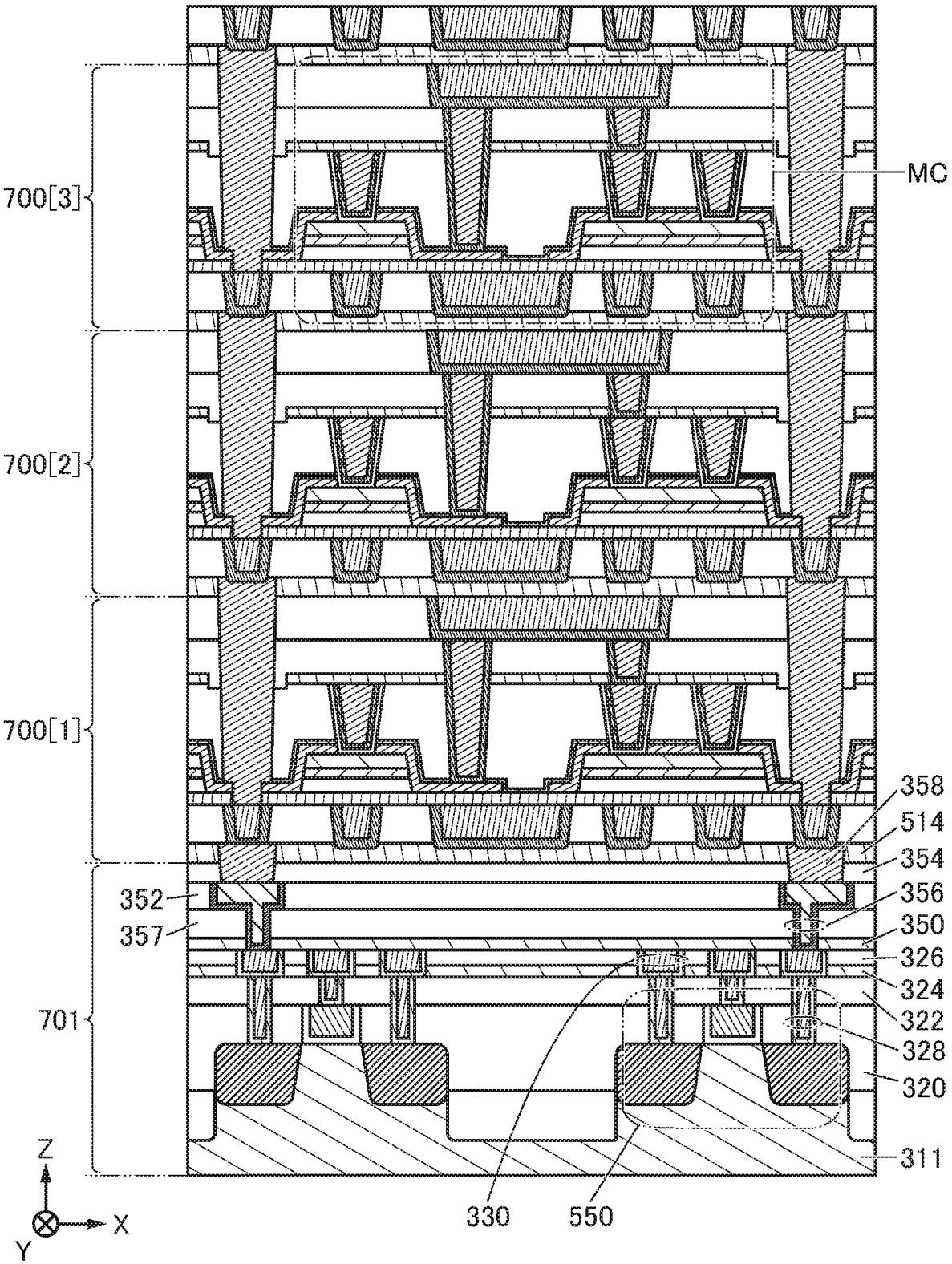

700[3]
700[2]
700[1]
701
MC
358
514
354
356
350
326
324
322
328
320
311
352
357
330
550
Z
X
Y

図20A

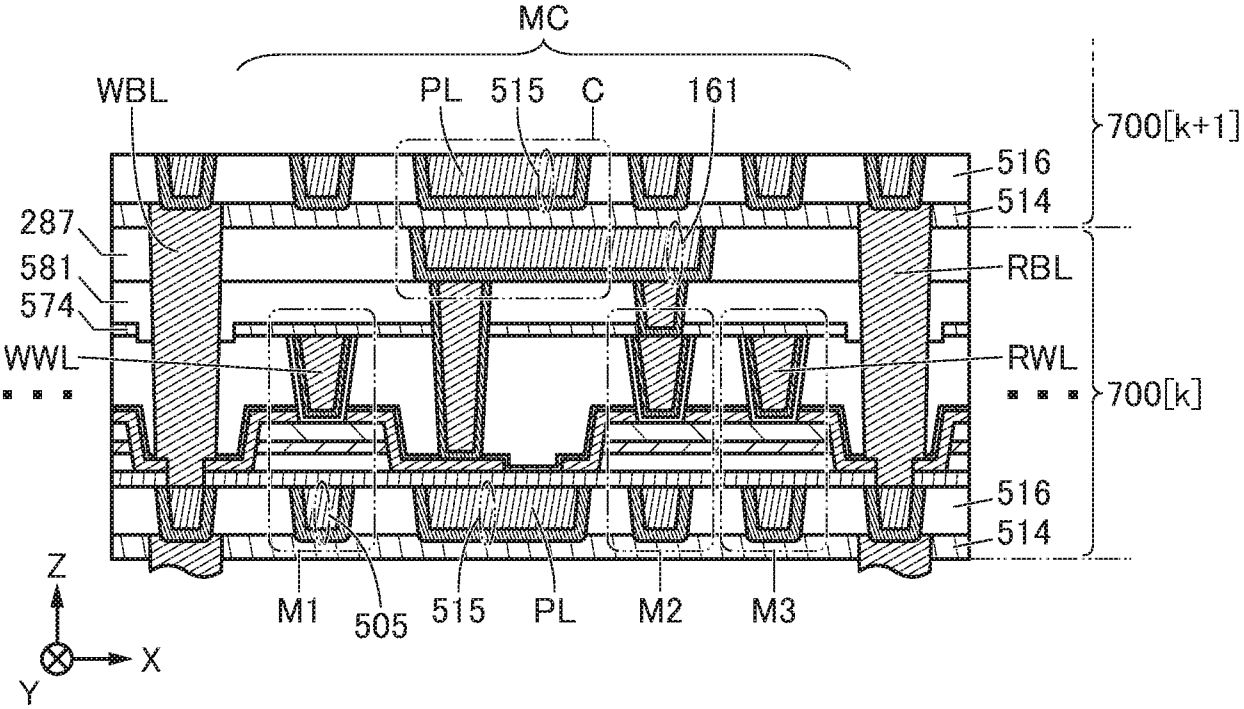

MC
WBL
PL
515
C
161
700[k+1]
516
514
287
581
574
RBL
WWL
RWL
700[k]
516
514
Z
X
Y
M1
505
515
PL
M2
M3

図20B

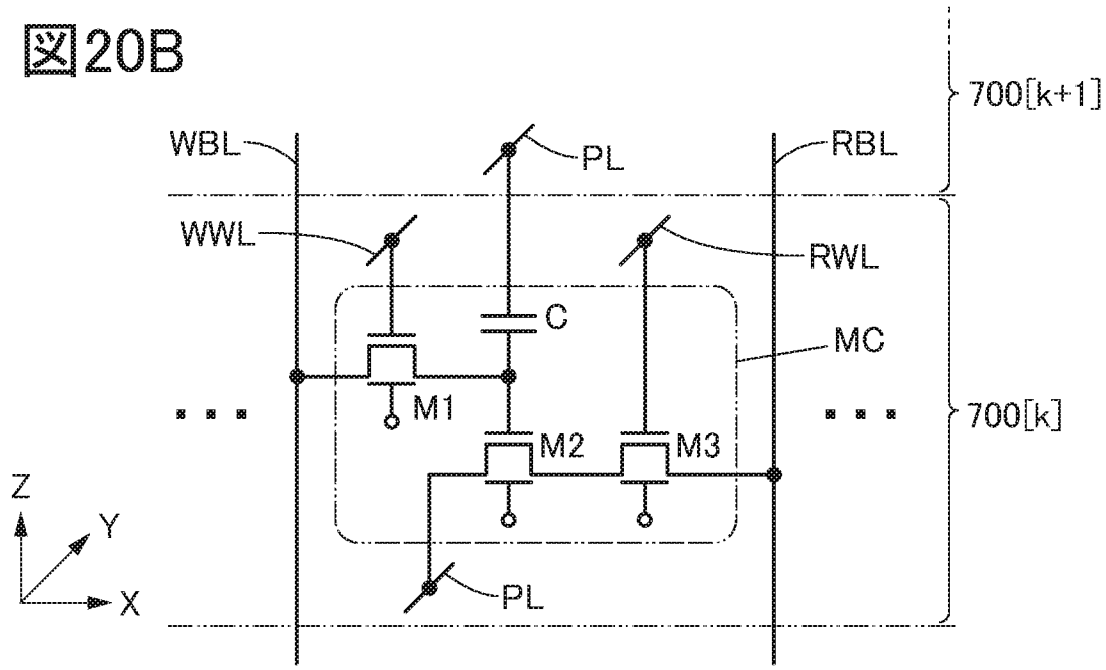

700[k+1]
WBL
PL
RBL
WWL
RWL
C
MC
M1
M2
M3
700[k]
Z
Y
X
PL

図21

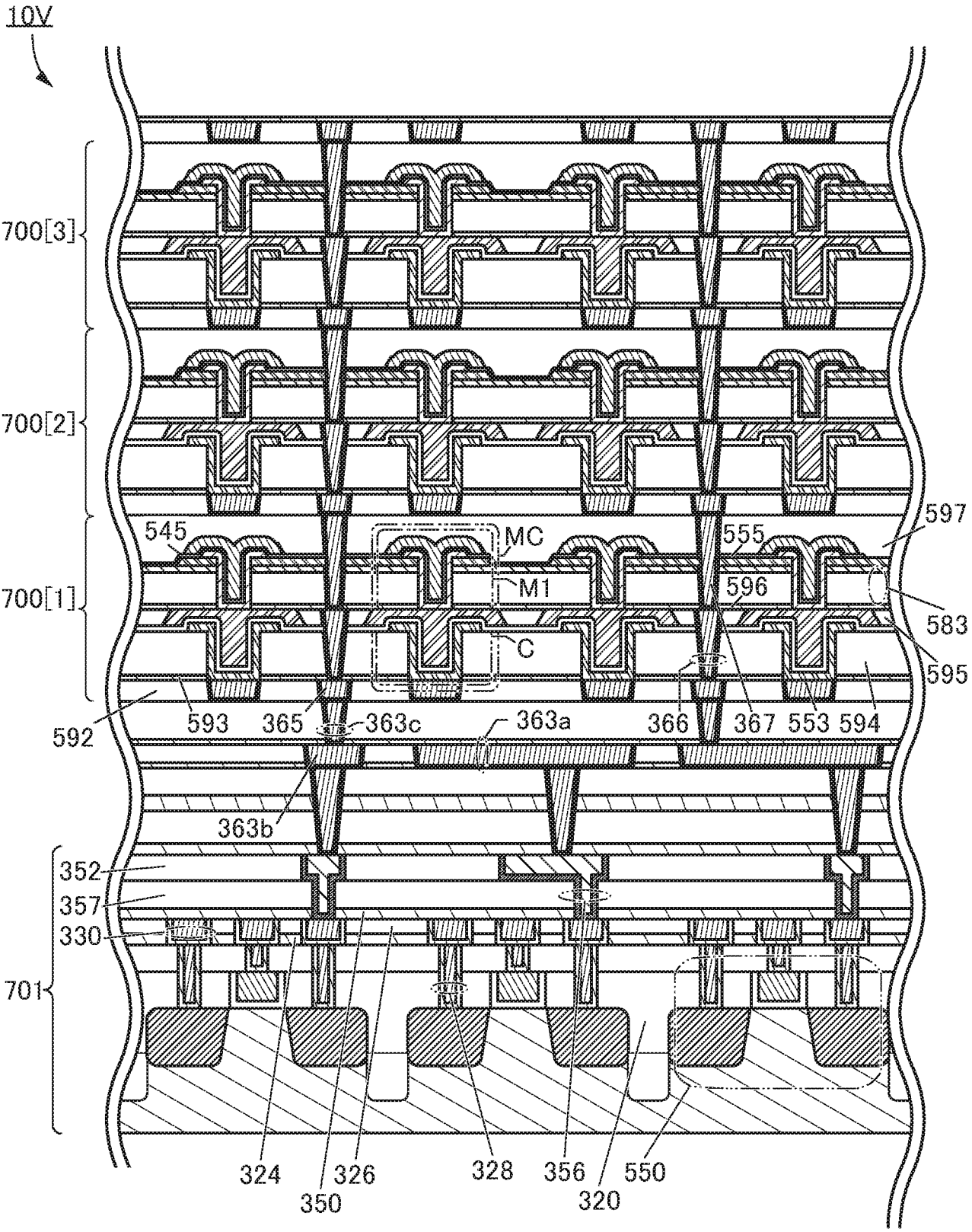

10V
700[3]
700[2]
700[1]
701
545
MC
M1
C
555
596
597
583
595
592
593
365
363c
363a
366
367
553
594
363b
352
357
330
324
326
350
328
356
320
550

図22A

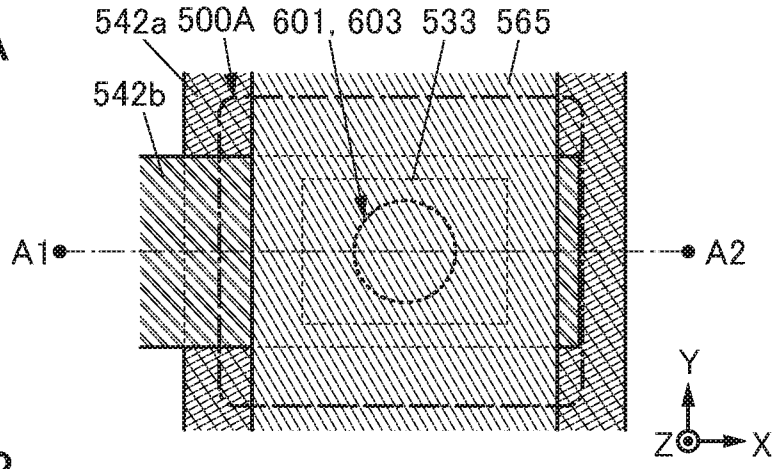


図22B

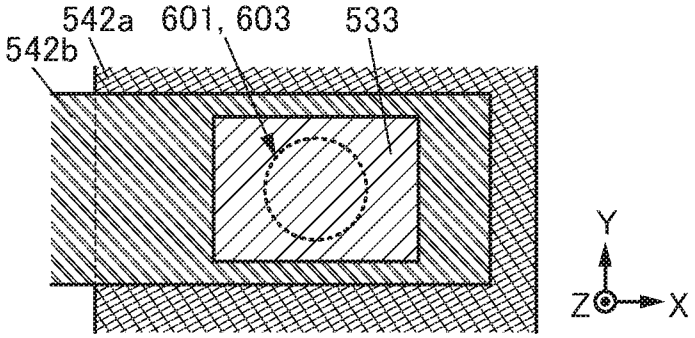


図22C

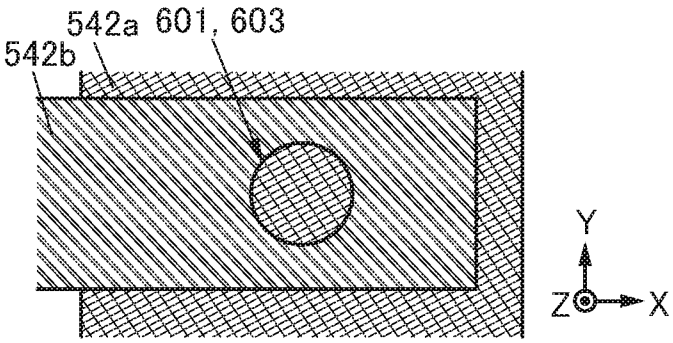


図22D

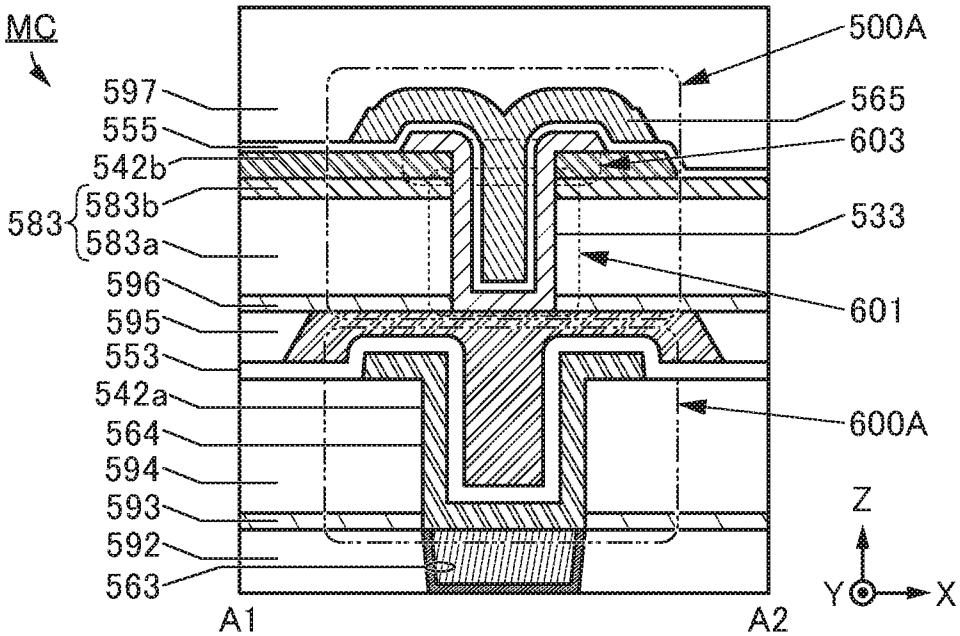


図23A

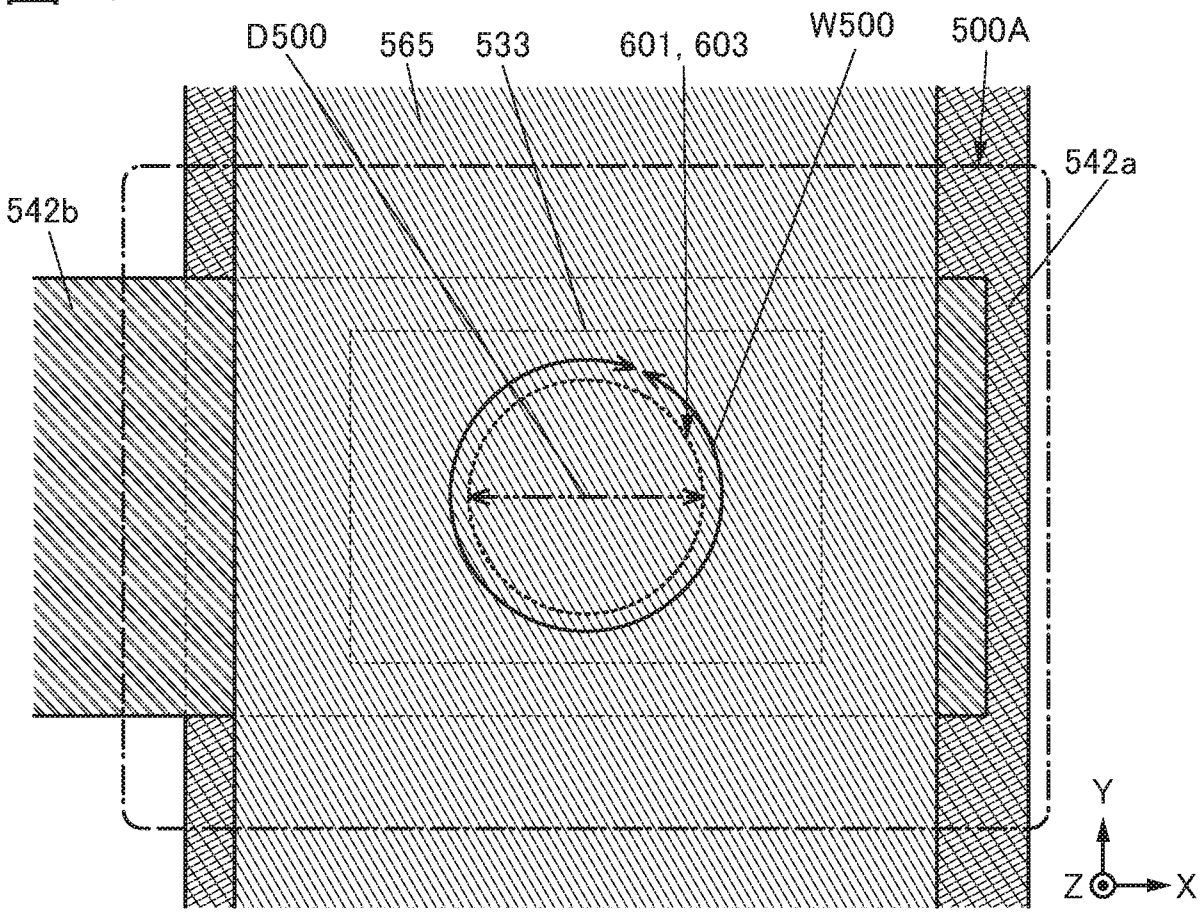

D500
565
533
601, 603
W500
500A
542a
542b
Y
Z
X

図23B

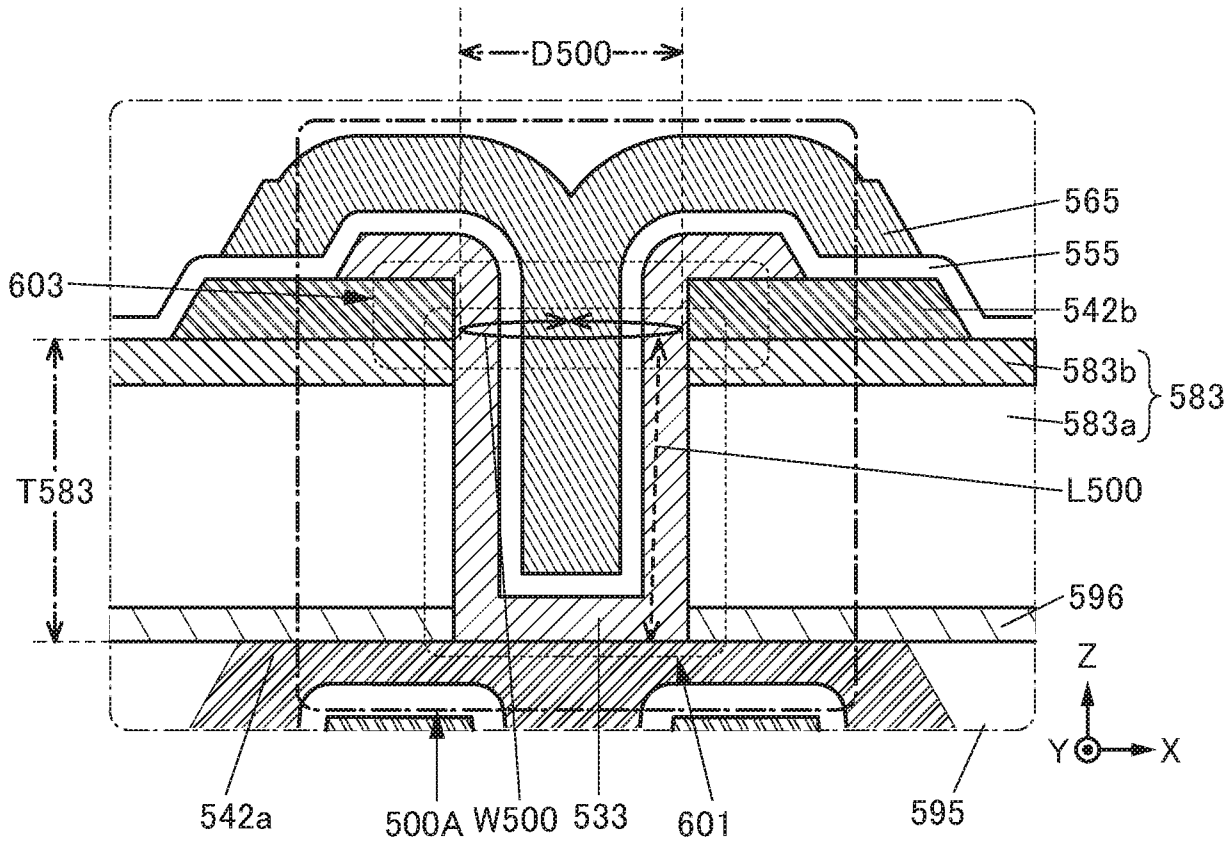

D500
565
555
603
542b
583b
583
583a
T583
L500
596
Z
Y
X
542a
500A
W500
533
601
595

図24

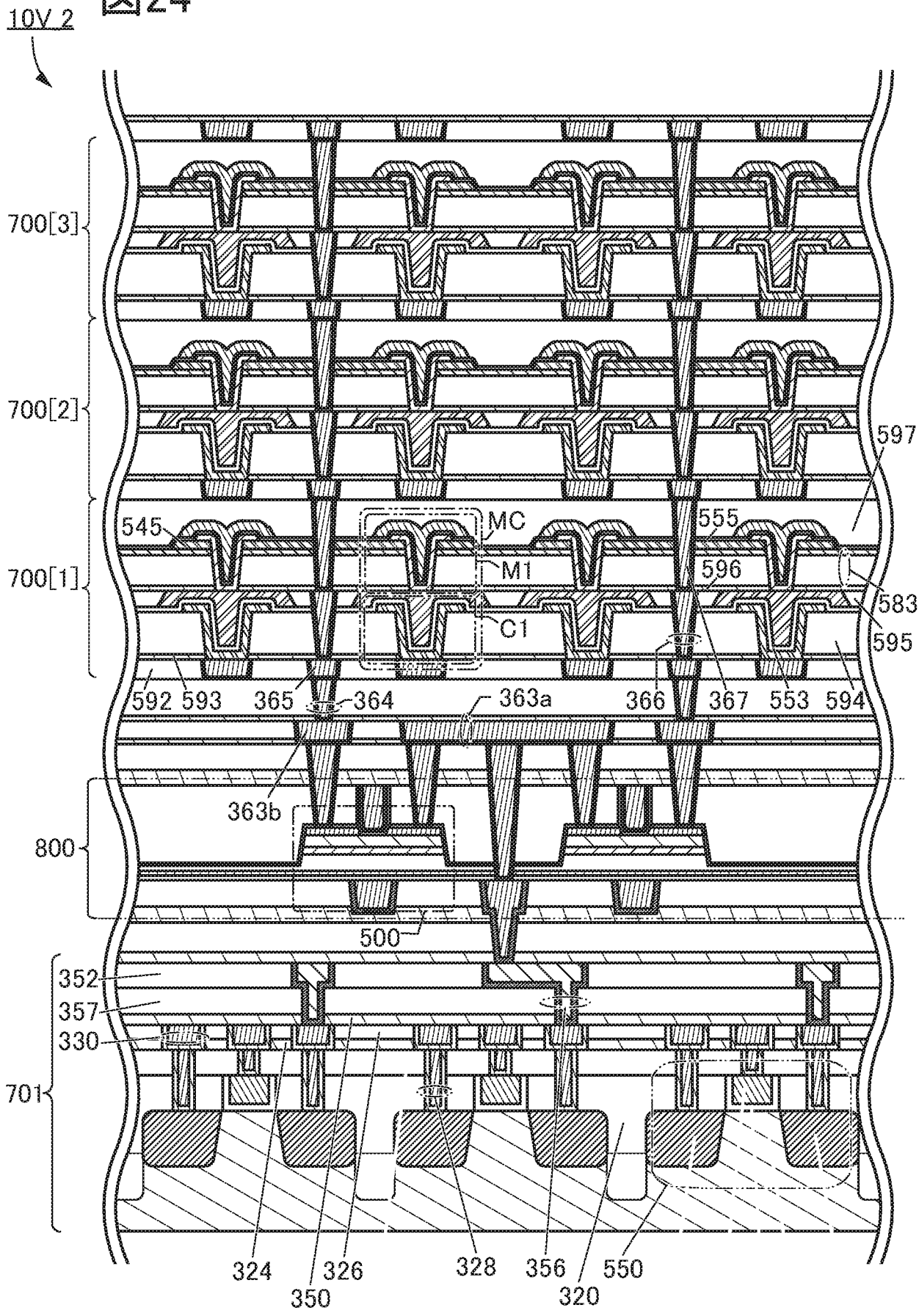

10V 2
700[3]
700[2]
700[1]
800
701
597
545
MC
555
M1
596
583
C1
595
592
593
365
364
363a
366
367
553
594
363b
500
352
357
330
324
326
328
356
550
350
320

図25A

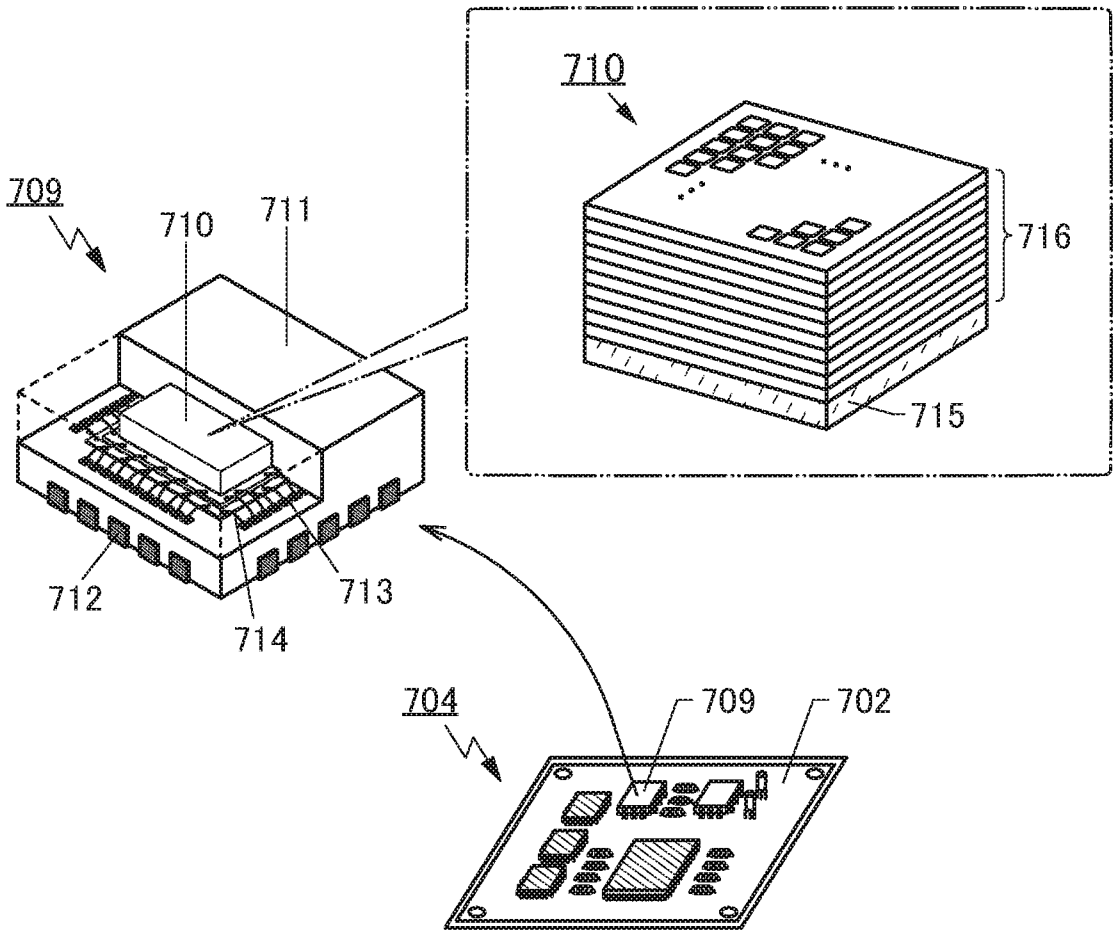

710
709
710
711
716
715
712
713
714
704
709
702

図25B

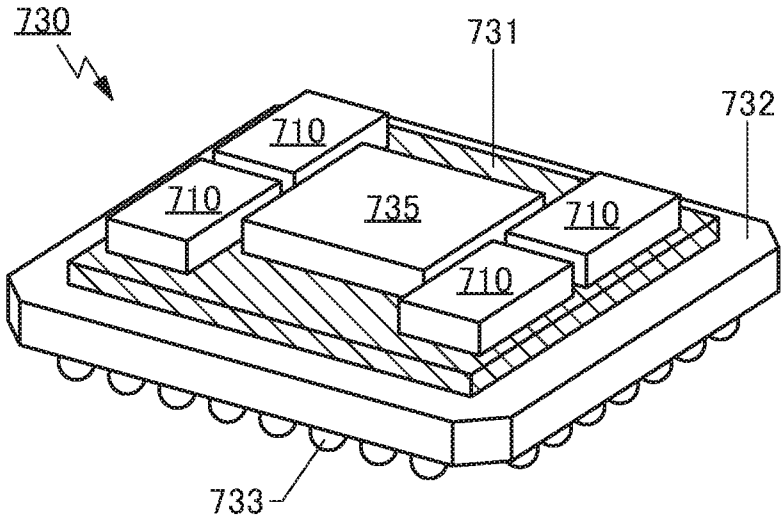

730
731
732
710
710
735
710
710
733

図26A

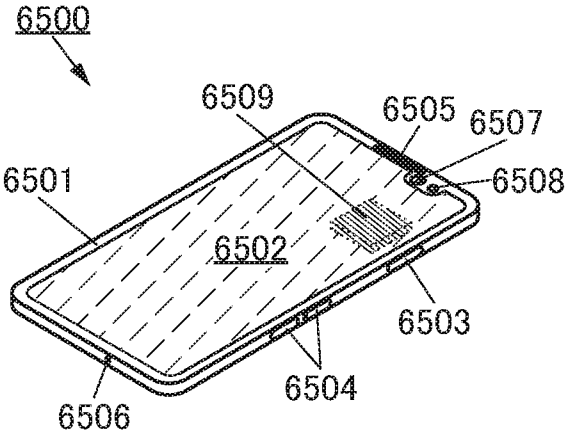


図26B

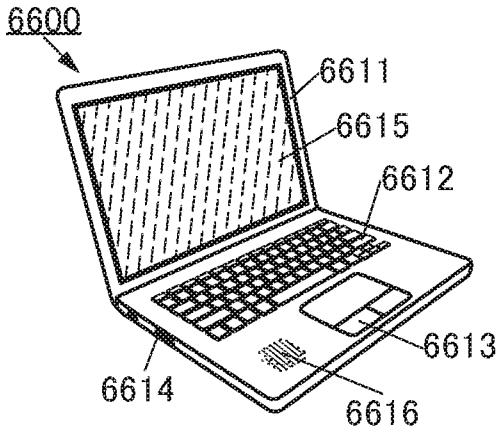


図26C

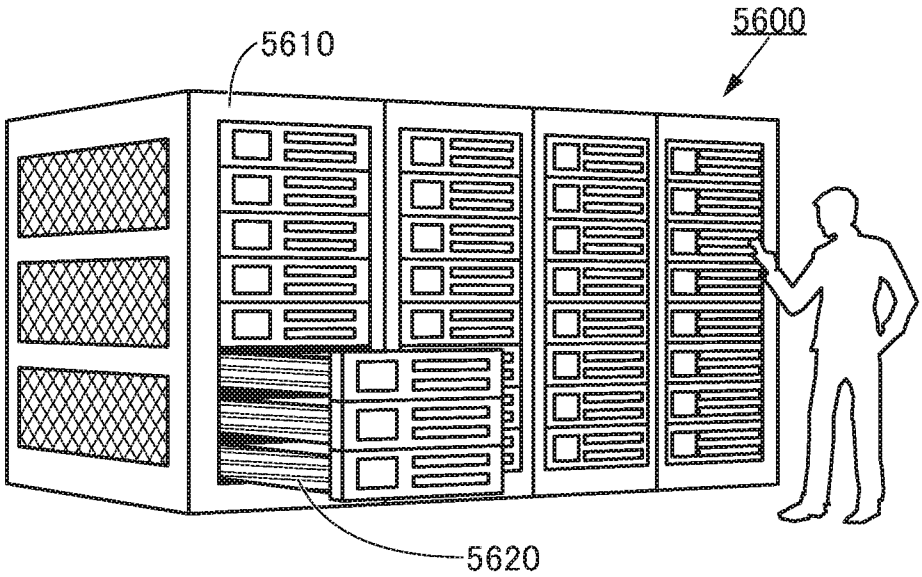


図26D

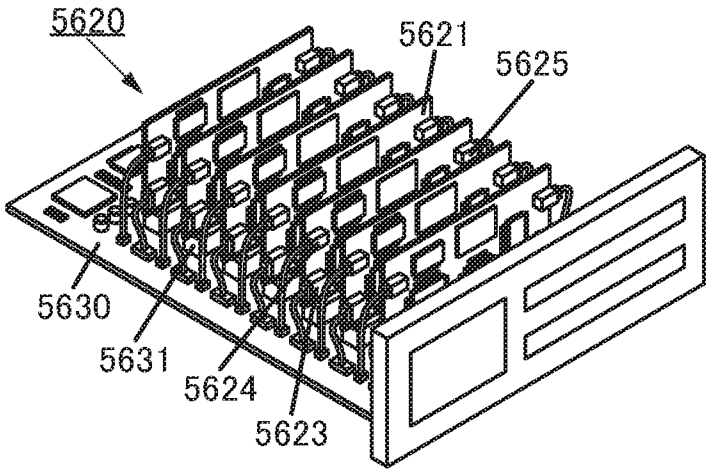


図26E

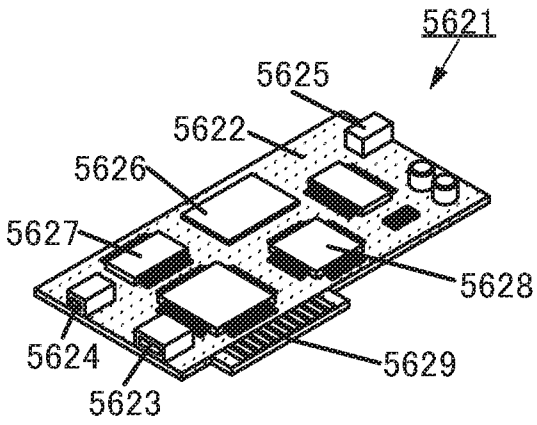


図27

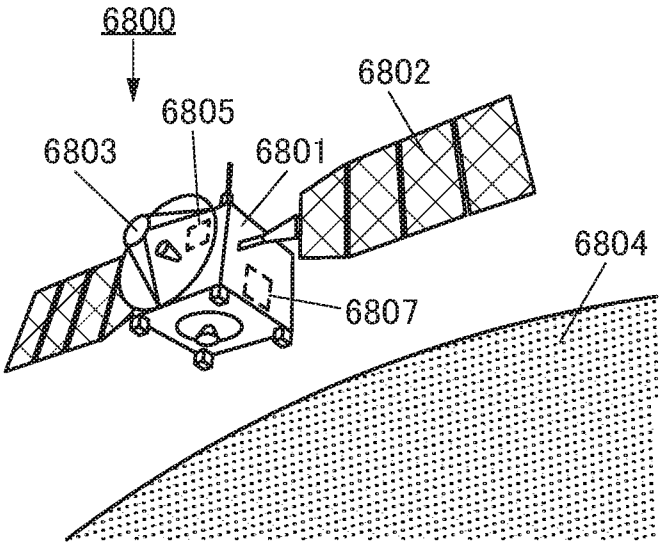
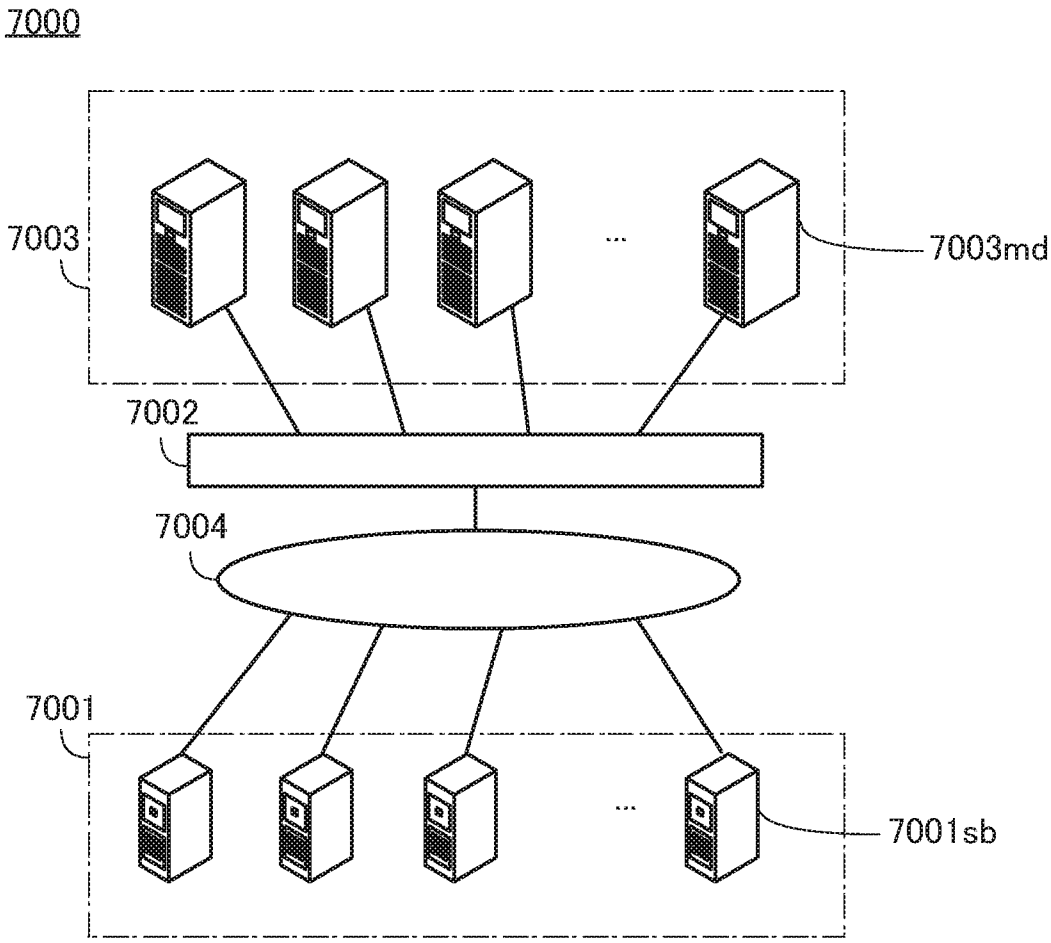


図28



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/051464

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; ***G06F 12/0893***(2016.01)i; ***G11C 11/405***(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/04***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H10B 41/70***(2023.01)i

FI: H10B12/00 801; G06F12/0893 107; G11C11/405; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 613B; H01L29/78 618B; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671A; H10B12/00 671C; H10B12/00 671Z; H10B41/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; G06F12/0893; G11C11/405; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/786; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-047006 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 March 2019 (2019-03-22) paragraphs [0034]-[0152], fig. 1, 6, 8	1-7
Y	WO 2022/029541 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 February 2022 (2022-02-10) paragraphs [0041]-[0046], fig. 2	1-7
Y	JP 2015-207763 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 November 2015 (2015-11-19) paragraphs [0380]-[0398], fig. 22	2-7

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 April 2024	**14 May 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0234]-[0250], fig. 22	4

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/051464

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-047006 A	22 March 2019	(Family: none)	
WO 2022/029541 A1	10 February 2022	US 2023/0352477 A1 paragraphs [0069]-[0074], fig. 2 CN 116097274 A KR 10-2023-0047117 A	
JP 2015-207763 A	19 November 2015	US 2015/0294992 A1 paragraphs [0408]-[0426], fig. 22	
JP 2016-149552 A	18 August 2016	US 2016/0233343 A1 paragraphs [0258]-[0274], fig. 22 WO 2016/128859 A1	

国際調査報告

国際出願番号
PCT/IB2024/051464

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i; G06F 12/0893(2016.01)i; G11C 11/405(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H10B 41/70(2023.01)i

FI: H10B12/00 801; G06F12/0893 107; G11C11/405; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 613B; H01L29/78 618B; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671A; H10B12/00 671C; H10B12/00 671Z; H10B41/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00; G06F12/0893; G11C11/405; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/786; H10B41/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2019-047006 A (株式会社半導体エネルギー研究所) 22.03.2019 (2019-03-22) [0034]-[0152],図1,6,8	1-7
Y	WO 2022/029541 A1 (株式会社半導体エネルギー研究所) 10.02.2022 (2022-02-10) [0041]-[0046],図2	1-7
Y	JP 2015-207763 A (株式会社半導体エネルギー研究所) 19.11.2015 (2015-11-19) [0380]-[0398],図22	2-7
Y	JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18) [0234]-[0250],図22	4

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.04.2024	14.05.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

加藤　俊哉 5F 9554

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/051464

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-047006 A	22.03.2019	（ファミリーなし）	
WO 2022/029541 A1	10.02.2022	US 2023/0352477 A1 [0069]-[0074],FIG.2 CN 116097274 A KR 10-2023-0047117 A	
JP 2015-207763 A	19.11.2015	US 2015/0294992 A1 [0408]-[0426],FIG.22	
JP 2016-149552 A	18.08.2016	US 2016/0233343 A1 [0258]-[0274],FIG.22 WO 2016/128859 A1	