



(21)申請案號：099141955

(22)申請日：中華民國 99 (2010) 年 12 月 02 日

(51)Int. Cl. : **G02F1/1362 (2006.01)**
G09G3/36 (2006.01)**G02F1/1343 (2006.01)**

(30)優先權：2009/12/04 日本

2009-276374

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；木村肇 KIMURA, HAJIME (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I269258

TW 200845396A

TW 200941729A

JP 7-199149A

JP 2003-50405A

JP 2009-9081A

審查人員：陳光輝

申請專利範圍項數：15 項 圖式數：13 共 53 頁

(54)名稱

顯示裝置

DISPLAY DEVICE

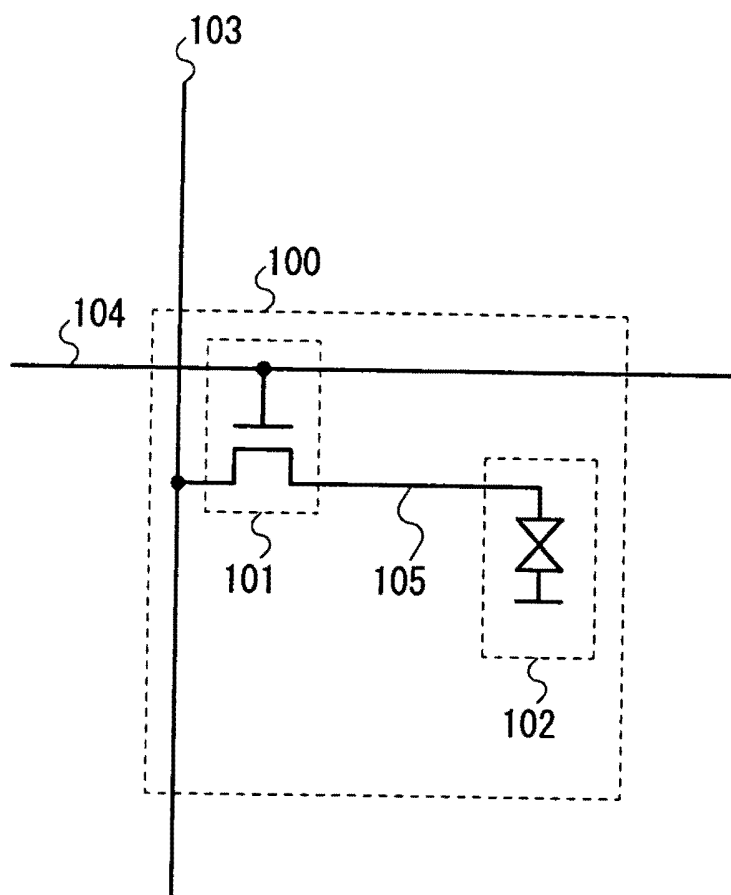
(57)摘要

在顯示裝置中，將訊號寫至像素所要花費的時間被縮短。此外，甚至當高電壓被施加時，訊號也能夠以高速被寫入。此顯示裝置包含像素，而像素包含電晶體和電連接至該電晶體之源極或汲極的其中一者之液晶元件，電晶體包含本徵氧化物半導體或實質上本徵氧化物半導體做為半導體材料，且具有 1×10^{-17} A/ μ m 或更少之關閉狀態電流，像素並不包含電容器。因為不需要設置電容器，所以將寫訊號所要花費的時間可被縮短。

The time taken to write a signal to a pixel is shortened in a display device. Further, a signal is written at high speed even when high voltage is applied. The display device includes a pixel including a transistor and a liquid crystal element electrically connected to a source or a drain of the transistor. The transistor includes an intrinsic or substantially intrinsic oxide semiconductor as a semiconductor material and has an off-state current of 1×10^{-17} A/ μ m or less. The pixel does not include a capacitor. Since it is not necessary to provide a capacitor, the time taken to write a signal can be shortened.

指定代表圖：

圖 1



符號簡單說明：

100 . . . 像素

101 . . . 電晶體

102 . . . 液晶元件

104 . . . 佈線

105 . . . 節點

六、發明說明：

【發明所屬之技術領域】

本發明之技術領域係有關半導體裝置及其製造方法。此外，本發明之技術領域係有關包含該半導體裝置之顯示裝置及其驅動方法。

【先前技術】

做為液晶顯示裝置，其中之像素包含開關元件的主動矩陣型液晶顯示裝置被廣泛地使用。如圖13所例舉者，像素5000包含用做為開關元件之電晶體5001、視頻訊號自佈線5004經由該電晶體5001而被輸入至其之液晶元件5002、及固持被寫至液晶元件5002之視頻訊號的電容器元件5003。有了電容器元件5003的提供，即使當開關元件被關閉時，視頻訊號也能夠被固持住。

具有廣大功用之矽被使用做為電晶體的半導體材料。然而，近年來，不僅在廣大的功用方面，而且在性能的改進上一直被持續要求，並且一種和包含氧化物半導體之場效電晶體（也被稱為FET）有關的技術已受到注目（見參考文件1）。

此外，為了減少液晶的反應時間，一種在視頻訊號被寫入之前，先將高電壓瞬間地施加予液晶（過驅動）的技術已經被實施（見參考文件2）。

[參考文件1]：日本公告專利申請案第2006-165532號

[參考文件2]：日本公告專利申請案第S64-010299號

【發明內容】

在習知液晶顯示裝置中，由於液晶元件的液晶電容 C_{LC} 和電容器的儲存電容 C_s （一般而言， C_s 大於或等於 100 fF 且小於或等於 300 fF）而必需要儲存組合之電容（ $C_{LC} + C_s$ ）。因此，考慮為儲存電荷所需之時間常數 $\tau = R(C_{LC} + C_s)$ ，會有寫入訊號比儲存儲存電容 C_s 所花費的時間花費更長的時間之問題，符號 R 表示電晶體導通電阻（on resistance）。

特別是，在如同參考文件 2 中所揭示之實施過驅動（overdrive）的情況中，必需要瞬間地施加高電壓。然而，由於將電荷儲存於電容器中所花費的時間，所以到達所想要之電壓所花費的時間變得更長。

隨著儲存電容 C_s 變得更高，這些問題會變得更明顯。然而，如果不提供電容器，則難以藉由使用參考文件 1 中所揭示之半導體材料的電晶體來固持訊號，這是因為電晶體的關閉狀態（off-state）電流高。因此，在習知液晶顯示裝置中，電容器的提供係必須的。

鑒於上述問題，本發明之目的在於縮短要儲存電荷於電容器中以及在顯示裝置中要以高速來寫入訊號所花費的時間。

本發明之目的在於提供顯示裝置，其中，甚至在高電壓被施加時，舉例來說，甚至在過驅動被實施時，訊號也能夠以高速被寫入。

本發明的一個實施例為顯示裝置，其包含具有電晶體之像素和電連接至該電晶體之源極或汲極的液晶元件，該電晶體包含氧化物半導體做為半導體材料，像素中之電容器的電容被減少。不提供電容器係較佳的，非有意地提供電容器且非有意產生之電容（寄生電容）被積極地減少係更佳的，寄生電容較佳為低於或等於 50 fF，更佳為低於或等於 10 fF。

本發明的另一個實施例為顯示裝置，其包含具有電晶體之像素、電連接至該電晶體之源極或汲極的第一電極、形成於該第一電極之上的液晶元件、以及設置在該第一電極的下方且具有絕緣膜設置於其間之第二電極，第一電極和第二電極彼此不重疊，並且第一電極的端部和第二電極的端部彼此不對齊，該電晶體包含氧化物半導體做為半導體材料，該像素並不包含電容器。

此外，該電晶體中所包含之該氧化物半導體為本徵（也被稱為 i 型）氧化物半導體或實質上本徵氧化物半導體，並且該電晶體的關閉狀態電流為 1×10^{-17} A/ μm 或更少。

此外，在視頻訊號被輸入至液晶元件之前，過驅動被實施，藉由過驅動，高於或等於該視頻訊號之電壓的電壓被輸入。

要儲存電荷於電容器中所花費的時間能夠被縮短；因此，訊號能夠以高速被寫至像素。

此外，當要儲存電荷於電容器中所花費的時間被縮短時，甚至高電壓也能夠在短時間內被施加；因此，過驅動

能夠被有效地實施。

【實施方式】

下面將參照圖形來說明本發明之實施例的例子。注意，本發明並不限於下面的說明，習於此技藝者將可輕易地了解本發明之模式和細節可以用各種方式來予以改變，但不會遠離本發明之精神及範疇。因此，本發明不應被建構為受限於下面之實施例的說明。

注意，為了容易了解，圖示等等中所繪示之各個元件的位置、大小和範圍等等在某些情況中並未被準確地表示出。因此，所揭示之發明不需要受限於圖示等等中所揭示之各個元件的位置、大小和範圍等等。

注意，在此說明書等等中，使用諸如「第一」及「第二」之用語，以便避免諸組件間的混淆，而且不限於該數字。

（實施例1）

參照圖1來說明液晶顯示裝置中之像素的例子。像素100中所包含的元件為用做為開關元件之電晶體101和液晶元件102。

電晶體101的閘極係電連接至佈線103（閘極訊號線），電晶體101之源極和汲極的其中一個係電連接至佈線104（源極訊號線），另一個係電連接至液晶元件102。

在此實施例中，本徵氧化物半導體或實質上本徵氧化

物半導體被使用做為電晶體 101 的半導體材料，並且電晶體 101 之通道寬度之每微米的關閉狀態（off-state）電流為 1×10^{-17} A 或更少（ 1×10^{-17} A/ μm 或更少）。

當電晶體 101 的關閉狀態電流為 1×10^{-17} A/ μm 或更少時，其意謂著當電晶體 101 被關閉時，漏洩電流的量實質上為零。換言之，甚至當電晶體 101 被關閉時，節點 105 的電位也不會擾動；因而，寫至像素的訊號被固持住。

因此，如圖 1 所繪示者，像素 100 不需要包含電容器。換言之，可省略電容器線路。當圖 1 中所繪示之像素和圖 13 中所繪示之習知像素做比較時，不需要儲存電容器之儲存電容 C_s 所要花費的時間；因而，訊號可以高速地被寫至像素。

有了這樣的像素結構，其中，不需要設置電容器，過驅動（overdrive）可被有效地實施。參照圖 11 來說明過驅動。

圖 11 顯示液晶的透射率（transmittance）相對於所施加之電壓的時間變化。當過驅動未被實施時，透射率相對於視頻訊號之電壓 V_i （以虛線 5101 來表示）隨著時間而改變（如同以虛線 5102 所表示者），並且到達所想要的透射率 T_o 。

相反地，當過驅動被實施時，藉由高於電壓 V_i 之過驅動電壓 V_o （如同以實線 5103 所表示者）的施加，到達所想要之透射率 T_o 所要花費的時間可被縮短（如同以實線 5104 所表示者）。照這樣，當在訊號的寫入之前使所施加之電

壓做成瞬間地高（或低）時，能夠減少液晶的反應時間。

然而，當諸如過驅動電壓 V_o 之高電壓被瞬間施加時，儲存電荷於電容器中所要花費的時間之不利影響變得更加明顯，使得到達所想要之電壓所要花費的時間變得更長。因此，有了其中不需要設置電容器之像素結構，可縮短儲存電荷於電容器中所要花費的時間，並且甚至是高電壓也可以短時間來予以施加。因此，過驅動可被有效地實施。

此外，當框速率加倍化被使用於液晶顯示裝置中時，這樣的像素結構也有效。在框速率加倍化方面，即將被顯示之框的數目增加；因而，必須以更高的速度將訊號輸入至像素。因此，有了其中不需要設置電容器之像素結構，可縮短儲存電荷於電容器中所要花費的時間，並且框速率加倍化可被有效地實施。

當使用本徵氧化物半導體或實質上本徵氧化物半導體來構成電晶體 101，並且電晶體 101 的關閉狀態電流為 1×10^{-17} A/ μm 或更少時，可獲得上面的結構和有利的優點。

相反地，習知的氧化物半導體具有 n 型導電性及最小為約 1×10^{-9} A/ μm 的關閉狀態電流。因此，像素中的電容器係必要的，並且寫訊號所要花費的時間長。

在此，在此實施例中包含氧化物半導體之電晶體的導通機制係參照圖 5、6、7A 及 7B 和 8A 及 8B 來做說明。注意，下面的說明係根據易於了解之理想情況的假設，並且不需要反映真實的情況。此外，下面的說明僅為一考量，並且不影響本發明之有效性。

圖 5 繪示氧化物半導體 (OS) 之真空位準、金屬 (Metal) 功函數 (ϕ_M) 與電子親和力 (χ) 之間的關係，金屬之費米能階係表示為 E_F ，氧化物半導體之費米能階係表示為 E_f ，傳導帶之底部處的能量係表示為 E_C ，價電子帶之頂部處的能量係表示為 E_V ，本徵費米能階係表示為 E_i ，氧化物半導體之能帶間隙係表示為 E_g 。注意，氧化物半導體之能帶間隙 (E_g) 為 3 到 3.5 eV。

在圖 5 中，於具有 n 型導電性之習知氧化物半導體的情況中，費米能階 (E_f) 離開位於能帶間隙 (E_g) 的中間之本徵費米能階 (E_i)，並且係位於傳導帶 (E_C) 的附近。

在此，當藉由載子密度的減少以使氧化物半導體更接近本徵半導體時，氧化物半導體之費米能階 (E_f) 變得更接近本徵費米能階 (E_i)。在此實施例中，本徵氧化物半導體或實質上本徵氧化物半導體係處於一狀態中，其中，載子密度減少，且使費米能階 (E_f) 更接近或等於本徵費米能階 (E_i)。

在此實施例中，根據下面的技術概念而獲得到本徵氧化物半導體或實質上本徵氧化物半導體。

氧化物半導體中所含之氫為使該氧化物半導體具有 n 型導電性之諸多因素的其中一個因素。在該氧化物半導體中，部分的氫用做為施體，並且形成為在傳導帶之下 0.1 到 0.2 eV 的淺位準，使得載子濃度增加。

為該氧化物半導體之主要成分之氧的不足 (缺氧) 也是使該氧化物半導體具有 n 型導電性之諸多因素的其中一

個因素。缺氧在該氧化物半導體中形成深的施體位準，使得載子濃度增加。

雖然對半導體之物理特性（諸如，狀態密度（DOS））的許多研究已經在進行中，但是它們並不包含充分地減少缺陷位準本身之概念。在此實施例中，藉由自該氧化物半導體中去除水或氫（其可能會使DOS增加）而獲得到高度純化之本徵氧化物半導體，此係根據充分地減少DOS本身之概念。因此，能夠製造出優異的工業產品。

換言之，在此實施例中，自氧化物半導體中去除盡可能多之諸如氫的雜質（其為使該氧化物半導體具有n型導電性之諸多因素的其中一個因素），並且藉由去除缺氧以使該氧化物半導體被高度純化。當該氧化物半導體被高度純化時，能夠獲得到本徵氧化物半導體或實質上本徵氧化物半導體。因此，在圖5中，費米能階（ E_f ）實質上能夠等於本徵費米能階（ E_i ）。

明確地說，該氧化物半導體中之氫的濃度被減少至 $5 \times 10^{19} / \text{cm}^3$ 或更低，較佳為 $5 \times 10^{18} / \text{cm}^3$ 或更低，更佳為 $5 \times 10^{17} / \text{cm}^3$ 或更低。此外，該氧化物半導體之載子濃度較佳為遠低於習知氧化物半導體之載子濃度（舉例來說，低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳為 $1.45 \times 10^{10} / \text{cm}^3$ 或更低）。

圖6繪示具有反轉堆疊型結構之底部閘極型薄膜電晶體（其係使用本徵氧化物半導體或實質上本徵氧化物半導體所形成）的例子。氧化物半導體層（OS）係設置於閘極電極（GE）之上，且具有閘極絕緣層（GI）設置於其間，

源極電極（S）和汲極電極（D）係設置於其之上。

較佳的是，肖特基電子阻障層未被形成在該氧化物半導體與源極電極和汲極電極之間。在此實施例中，該氧化物半導體之電子親和力（ χ ）實質上係等於被使用於源極電極和汲極電極之金屬的功函數（ ϕ_M ）。舉例來說，據說在該氧化物半導體之能帶間隙（ E_g ）為3.15 eV的情況中，電子親和力（ χ ）為4.3 eV；因而，源極電極和汲極電極可以係形成有其中鈦（Ti）係與該氧化物半導體相接觸之結構，而鈦（Ti）具有約4.3 eV之功函數（ ϕ_M ）。

圖7A及7B為圖6中之A-A'剖面的能帶圖。圖7A繪示源極電極（S）與汲極電極（D）間之電位差為零（源極電極和汲極電極具有相同的電位， $V_D = 0$ V）的情況，圖7B繪示汲極電極和閘極電極具有高於源極電極之電位的電位（ $V_D > 0$ V）的情況。在圖7B中，虛線表示電壓未被施加於閘極電極（ $V_G = 0$ V）的情況，而實線表示電壓被施加於閘極電極（ $V_G > 0$ V）的情況。在電壓未被施加於閘極電極的情況中，載子（電子）由於高的電位阻障而未自該電極被注射至氧化物半導體側，使得電流並未流動，其意謂著關閉狀態。相反地，當正電壓被施加於閘極電極時，使電位阻障減小，使得電流流動，其意謂著導通狀態。

在圖7B中，黑色圓點（●）表示電子。當正電位被施加於閘極電極和汲極電極（D）時（如同由實線所指示者），電子越過阻障層（h）而被注射入氧化物半導體（OS）中，並且流向汲極電極（D），阻障層（h）的高度視閘

極電壓和汲極電壓而改變。在正汲極電壓被施加的情況中，阻障層（ h ）的高度小於圖7A中沒有施加電壓下之阻障層的高度，亦即，能帶間隙（ E_g ）的一半。

在此情況中，如同圖8A中所繪示者，電子移動於閘極絕緣膜（GI）與氧化物半導體（OS）間之介面的附近（氧化物半導體之積極穩定的最低部位）。

此外，如同圖8B中所繪示者，當負電位被施加於閘極電極（GE）時，關閉狀態電流的量非常接近零，這是因為少數載子的電動實質上並不存在。

照這樣，當使用本徵氧化物半導體或實質上本徵氧化物半導體來形成電晶體101時，關閉狀態電流的量可實質上為零。除此之外，電晶體的溫度特性係令人滿意的。典型上，在從-25到150℃的溫度範圍中，電晶體的電流-電壓特性（諸如，導通狀態（on-state）電流、關閉狀態電流、場效遷移率、次臨界值（S值）、及臨界電壓）由於溫度而幾乎不改變和劣化。

注意，在本徵氧化物半導體或實質上本徵氧化物半導體中，和閘極絕緣膜的介面特性變得重要。因此，閘極絕緣膜與閘極絕緣膜之間的介面最好係令人滿意的。明確地說，例如，較佳使用藉由CVD，利用以在VHF頻帶到微波頻帶的範圍中之電源頻率所產生的高密度電漿所形成之絕緣膜、藉由濺鍍所形成之絕緣膜等等。

因為氧化物半導體之能帶間隙（ E_g ）係大於矽的能帶間隙，所以突崩崩潰不容易發生。因此，包含氧化物半導

體之電晶體具有高的汲極耐受電壓，使得即使施加高電場時，導通狀態電流也不容易以指數方式而急遽地增加。

如同圖1中所繪示者，包含此實施例之電晶體的液晶顯示裝置不需要在像素100中包含電容器。因此，當圖1中所繪示之像素和圖13中所繪示之習知的像素做比較時，不需要儲存電容器之儲存電容 C_s 所要花費的時間，使得訊號可以高速地被寫至像素100。

注意，液晶顯示裝置可包含電容器。甚至當液晶顯示裝置可包含電容器時，因為電晶體101的漏洩電流係足夠低，所以可使儲存電容 C_s 減少。因此，可縮短儲存電荷所要花費的時間。

在此實施例中，說明具有反轉堆疊型結構之底部閘極型薄膜電晶體的例子；然而，該薄膜電晶體可為頂部閘極型薄膜電晶體或堆疊型薄膜電晶體。或者，通道蝕刻型薄膜電晶體或通道阻絕型薄膜電晶體可被適當地使用。

注意，下面之各者可被使用於液晶顯示元件：向列型液晶、膽固醇型液晶、層列型液晶、盤形液晶、熱向型液晶、液向性液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、鐵電液晶、反鐵電液晶、主鏈型液晶、側鏈型高分子液晶、電漿定址型液晶（PALC）、香蕉形液晶等等。

除此之外，下面之各者可被使用做為液晶顯示裝置之顯示方法：TN模式、STN模式、IPS模式、FFS模式、MVA模式、PVA模式、ASV模式、ASM模式、OCB模式、ECB

模式、FLC模式、AFLC模式、PDLC模式、主客效應模式、藍相模式、等等。注意，本發明並不限於此，並且各式各樣的液晶元件及其驅動方法可被使用做為液晶元件及其驅動方法。

此實施例可與其他實施例之任何一者做適當地組合。

（實施例2）

在此實施例中，FFS模式被使用做為液晶顯示裝置之顯示方法的情況被說明。

首先，圖2A及2B繪示在具有習知FFS模式之像素中的電極結構之例子。在圖2A及2B中，繪示圖13中之像素電路中的液晶元件5002，圖2A為頂部視圖，且圖2B為剖面視圖。

在圖2A及2B中，電極201係形成於基板200之上；絕緣膜202被形成以便覆蓋電極201；電極203係形成於絕緣膜202之上；以及液晶層204係形成於電極203之上。電極201和電極203的其中一者為像素電極，另一者為共用電極，電極203具有狹縫207（開口部），電極201為平板形（plate-like）（覆蓋整個表面的形狀）電極，絕緣膜202可為單一層或堆疊層。

當水平電場藉由FFS模式而被施加於液晶層204時，液晶205係對齊於橫向方向上；因而，液晶顯示裝置之觀視角度可被加寬。

在習知結構中，如同圖2A及2B中所繪示者，電極201

為平板形電極，且電容器206（儲存電容 C_s ）係形成在電極201與電極203互相重疊的部位中。在此情況中，如同實施例1中所述者，寫訊號所要花費的時間比儲存儲存電容 C_s 所要花費的時間更長。

因此，此實施例中之FFS模式具有圖3A及3B中所繪示之電極結構。在圖3A及3B中，繪示圖1中之像素電路中的液晶元件102，圖3A為頂部視圖，且圖3B為剖面視圖。

圖3A及3B與圖2A及2B的不同在於電極301與電極303互相不重疊，或者和習知結構相比較下，互相重疊於更小的區域中，如同圖3B中所繪示者。在圖3B中所繪示之結構的情況中，電容器並不被形成在電極301與電極303之間，並且在電極301與電極303之間所產生的寄生電容被大大地減少。此外，當電極301的端部與電極303的端部係互相對齊時，由電極301和電極303所產生之水平電場很容易被施加。

換言之，有了電極301與電極303互相不重疊且電極301的端部與電極303的端部係互相對齊之結構，能夠以加乘效果（synergistic）之形式而獲得到藉由FFS模式而在橫向方向上對齊之有利效果，以及由於儲存電容 C_s 的減小而減少寫訊號所要花費的時間之有利效果。當電極301被形成時，可實施蝕刻以便提供狹縫310（開口部），並且電極303可被形成於狹縫310之上。此結構也包含電極301的一小部分被形成在電極303之下，或者由於在製造步驟上的些微差異而在該等電極的端部之間產生狹窄的間隙之

情況。

注意，在圖3B中，當電極301的寬度W1大於電極303的寬度W2時，即將被施加於液晶層204之水平電場很容易被施加，其係特別有效的。

此外，在圖3B中，電極303之間的間隔（狹縫310的寬度）等於電極301的寬度W1；然而，W1被做得比電極303之間的間隔更小，而使得偏移狀態可被獲得到。

當本發明的一個實施例之氧化物半導體被使用於電晶體時，圖3A及3B中之電極結構係特別有效的。當本徵氧化物半導體或實質上本徵氧化物半導體被使用且電晶體的關閉狀態電流為 1×10^{-17} A/ μm 或更少時，像素並不包含電容器；因而，寫訊號所要花費的時間可被縮短。

注意，像素可包含電容器。甚至當像素包含電容器時，因為電晶體的漏洩電流係足夠地低，所以儲存電容 C_s 可被減少。因此，儲存電荷所要花費的時間可被縮短。在該情況下，於圖3A及3B中，電極301與電極303彼此部分重疊，而使得具有小面積之電容器可被形成。因為不需要減小顯示區域，所以此種結構係有效的。

圖4A及4B繪示使用圖3A及3B中之電極結構來形成圖1中之像素的結構，圖4A為頂部視圖，且圖4B為剖面視圖。沿著線A-A'所取出之剖面視圖繪示電晶體101，且沿著線B-B'所取出之剖面視圖繪示圖1中之液晶元件102，其中使用圖3A及3B中之電極結構。

在沿著線A-A'所取出之剖面視圖中，閘極電極401、

閘極絕緣膜 402、氧化物半導體層 403、電極 404 和電極 405 係設置在基板 200 與基板 410 之間，使得電晶體 400 被形成。電極 404 和電極 405 的其中一者為源極電極，另一者為汲極電極，本發明的一個實施例之本徵氧化物半導體或實質上本徵氧化物半導體可被使用於氧化物半導體層 403。

除此之外，電極 405 係電連接至電極 303。圖 4A 及 4B 繪示僅為一例，並且電極 405 可被電連接至電極 301。此外，當使用閘極電極 401 和電極 301 係形成於同一層中之結構；電極 404、電極 405 和電極 301 係形成於同一層中之結構；以及電極 404、電極 405 和電極 303 係形成於同一層中之結構，步驟的數目可被減少。

電極 301 與電極 303 可被形成而具有單層結構或者包含諸如鉬（Mo）、鈦（Ti）、鉻（Cr）、鉭（Ta）、鎢（W）、鋁（Al）、銅（Cu）、釹（Nd）、或釷（Sc）之金屬材料或含有該金屬材料做為其主要成分之合金的層疊結構。

各種的金屬氧化物材料，例如，諸如銦氧化物（ In_2O_3 ）、錫氧化物（ SnO_2 ）、及鋅氧化物（ ZnO ）之導電金屬氧化物；含有銦氧化物和錫氧化物之合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，其被縮寫為 ITO）；及含有銦氧化物和鋅氧化物之合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）可被使用。或者，這些金屬氧化物材料的任何一者可含有矽或矽氧化物，這些金屬氧化物材料具有光透射特性。

電極 301 與電極 303 的至少其中一者係較佳使用光透射

材料來予以形成的。

注意，圖4A及4B繪示具有反轉堆疊型結構之底部閘極型薄膜電晶體的例子；然而，該薄膜電晶體可為頂部閘極型薄膜電晶體或堆疊型薄膜電晶體。或者，通道蝕刻型薄膜電晶體或通道阻絕型薄膜電晶體可被適當地使用。

此外，雖然未被繪示出，配向膜、濾色層、光阻擋膜、間隙壁、填充料等等可被適當地設置。

此實施例可與其他實施例之任何一者做適當地組合。

（實施例3）

在此實施例中，參照圖9A到9E來說明半導體裝置之製造方法的例子。

首先，在導電膜被形成於具有絕緣表面的基板1000之上後，閘極電極1001係以第一微影製程來予以形成。閘極電極1001的端部較佳為錐形，這是因為與堆疊於其上之閘極絕緣膜的覆蓋率（coverage）被改善。

雖然對能夠被使用做為具有絕緣表面的基板1000之基板沒有特別的限制，但是需要基板具有至少高得足以耐受後續即將被實施之熱處理的耐熱性。舉例來說，各種的玻璃基板可被使用。

在後續即將被實施之熱處理的溫度係高的情況中，其應變點高於或等於730℃之基板較佳被使用做為玻璃基板。對於玻璃基板而言，舉例來說，諸如矽酸鋁玻璃、矽酸鋁硼玻璃、或矽酸鋇硼玻璃之玻璃材料被使用。藉由含有

氧化鋇（ BaO ）多於氧化硼（ B_2O_3 ），可獲得到更實用的耐熱玻璃基板。因此，較佳使用含有 BaO 多於 B_2O_3 之玻璃基板。

注意，取代玻璃基板，使用諸如陶瓷基板、石英基板、或藍寶石基板之絕緣體所形成之基板可被使用。或者，可使用結晶玻璃等等。或者，可適當地使用塑膠基板等等。

用做為基底膜之絕緣膜可被設置在基板1000與閘極電極層1001之間，該基底膜具有防止雜質元素從基板1000中擴散出之功能，且可被形成而具有包含選自氮化矽膜、氧化矽膜、氧氮化矽膜、或氮氧化矽膜之單層結構或層疊結構。

除此之外，閘極電極層1001可被形成而具有包含諸如鉬（ Mo ）、鈦（ Ti ）、鉻（ Cr ）、鉭（ Ta ）、鎢（ W ）、鋁（ Al ）、銅（ Cu ）、釹（ Nd ）、或釷（ Sc ）之金屬材料，或者含有這些金屬材料作為其主要成分之合金的單層結構或層疊結構。

接著，閘極絕緣膜1002係形成於閘極電極層1001之上。

藉由電漿增強型CVD法、濺鍍法等等，閘極絕緣膜1002可被形成而具有包含氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、氧化鋁層、氮化鋁層、氮氧化鋁層、氧氮化鋁層、或氧化鈣層之單層結構或層疊結構。在藉由濺鍍法而沉積氧化矽層的情況中，矽靶材或石英靶材被使用

做為靶材，且氧或氧和氬的混合氣體被使用做為濺鍍氣體。

在此，係形成於閘極絕緣膜1002之上的本徵氧化物半導體或實質上本徵氧化物半導體（高度純化之氧化物半導體）對於介面狀態和介面電荷是高度敏感的。因此，形成介面之閘極絕緣膜1002必須具有高的品質。

舉例來說，使用微波（例如，頻率為2.45 GHz）之高密度電漿增強型CVD法係較佳的，因為具有高耐受電壓之緻密、高品質的絕緣膜可被形成。這是因為當高度純化之氧化物半導體與高品質的閘極絕緣膜緊密接觸時，介面狀態可被縮減且介面特性可以是令人滿意的。

自不待言，諸如濺鍍法或電漿增強型CVD法之不同的沉積方法可被使用，祇要高品質的絕緣膜可被形成做為閘極絕緣膜1002。除此之外，任何的閘極絕緣膜可被使用，祇要膜品質和與閘極絕緣膜之氧化物半導體的介面之特性可藉由在沉積後所實施之熱處理來予以修正。在任一情況下，任何的閘極絕緣膜可被使用，祇要做為閘極絕緣膜的膜品質係高的、與氧化物半導體的介面狀態密度被減小、以及令人滿意的介面可被形成。

閘極絕緣膜1002可具有其中從閘極電極1001側依序堆疊氮化物絕緣膜和氧化物絕緣膜之結構。例如，以藉由濺鍍法而形成具有厚度50 nm至200 nm之氮化矽膜（ SiN_y （ $y>0$ ））作為第一閘極絕緣膜，然後在第一閘極絕緣膜之上堆疊具有厚度5 nm至300 nm的氧化矽膜（ SiO_x （ $x>0$ ））

）作為第二閘極絕緣膜如此之方式而形成100 nm厚的閘極絕緣膜。閘極絕緣膜的厚度可根據電晶體所需之特性而被適當地設定，且可為約350 nm至400 nm。

然後，氧化物半導體膜1003被形成至2 nm至200 nm的厚度於閘極絕緣膜1002之上（見圖9A）。

氧化物半導體膜1003的形成可使用In-Sn-Ga-Zn-O、In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-O、In-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-O、In-O、Sn-O、或Zn-O。

或者，以In-A-B-O表示的氧化物半導體材料可被使用。在此，A表示選自屬於第13族（諸如，鎵（Ga）或鋁（Al））之元素、或屬於第14族（諸如，矽（Si）或鍺（Ge））之元素的其中一個或多個元素。此外，B表示選自屬於第12族（諸如，鋅（Zn））之元素的其中一個或多個元素。注意，In，A和B的含量為給定之含量且A的含量可能為零。然而，In和B的含量不為零。也就是說，表示成In-A-B-O的氧化物半導體材料可能為，例如，In-Ga-Zn-O或In-Zn-O。

特別是，In-Ga-Zn-O類氧化物半導體材料具有足夠高的抗性（電阻），當沒有電場時，可具有足夠低的關閉狀態電流，且具有高的場效遷移率；因而，令人滿意地被使用做為半導體裝置中所使用之氧化物半導體材料。

做為In-Ga-Zn-O類氧化物半導體材料的典型例子，有以 $\text{InGaO}_3(\text{ZnO})_m$ （ $m > 0$ ）表示的氧化物半導體材料。

此外，當 M 被使用來取代 Ga 時，有以 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) 表示的氧化物半導體材料。在此，M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、Mn (錳)、Co (鈷) 等等的其中一或多個金屬元素。例如，M 可為 Ga，Ga 和 Al，Ga 和 Fe，Ga 和 Ni，Ga 和 Mn，Ga 和 Co 等等。注意，上述組成僅為示例。

在此實施例中，藉由濺鍍法，使用 In-Ga-Zn-O 類金屬氧化物做為靶材來形成氧化物半導體膜 1003。

做為使用於藉由濺鍍法來形成氧化物半導體膜 1003 之靶材，例如，包含 In，Ga 和 Zn 之靶材的組成比為 In : Ga : Zn = 1 : x : y。在此，x 為 0 到 2 且 y 為 1 到 5。舉例來說，具有 In : Ga : Zn 之組成比為 1 : 1 : 1 [原子比] ($x = 1$ 且 $y = 1$) (亦即， $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳比]) 的靶材可被使用。或者，做為靶材，具有 In : Ga : Zn 之組成比為 1 : 1 : 0.5 [原子比] 的金屬氧化物、具有 In : Ga : Zn 之組成比為 1 : 1 : 2 [原子比] 的金屬氧化物、或具有 In : Ga : Zn 之組成比為 1 : 0 : 1 [原子比] ($x = 0$ 且 $y = 1$) 的金屬氧化物可被使用。

基板 1000 被固持於保持在減壓下之處理室中，並且被加熱於室溫或低於 400°C 的溫度。去除掉其中之氫和濕氣的濺鍍氣體被導入，且同時去除仍然在該處理室中的濕氣。然後，使用金屬氧化物做為靶材而沉積氧化物半導體膜 1003。為了去除仍然在該處理室中的濕氣，較佳使用吸附型真空泵。舉例來說，較佳使用低溫泵、離子泵、或鈦昇

華泵。做為抽空機構，可使用其中設置有冷凝阱之渦輪泵。舉例來說，利用低溫泵，自處理室中排出氫原子、含有氫原子之化合物，諸如，水（ H_2O ）（較佳為含有碳原子之化合物）等等。因此，可降低沉積在處理室中之氧化物半導體膜中所含有之雜質的濃度。此外，藉由實施經由濺鍍法的沉積，且同時利用低溫泵來去除仍然在該處理室中的濕氣，當氧化物半導體膜 1003 被沉積時之基板溫度可高於或等於室溫且低於 $400^{\circ}C$ 。

然後，氧化物半導體膜在第二微影製程中被處理成島形氧化物半導體層 1004（見圖 9B）。

接著，導電膜係形成於閘極絕緣膜 1002 和氧化物半導體層 1004 之上。導電膜可藉由濺鍍法或真空蒸鍍法來予以形成。做為導電膜，可使用選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）、或鎢（W）之元素；包含這些元素之任一者的合金；或包含這些元素之組合的合金膜；等等。或者，當使用添加諸如 Si、Ti、Ta、W、Mo、Cr、Nd、Sc、或 Y 等以防止產生鋁膜中的小丘或鬚狀物之元素的鋁材料，可增加耐熱性。

此外，導電膜可具有單層結構或兩層或多層之層疊結構。例如，可使用包含矽之鋁膜的單層結構，其中鈦膜係堆疊在鋁膜之上的兩層結構，其中，鈦膜、鋁膜、和鈦膜以此順序而被堆疊之三層結構等等。舉例來說，可使用一結構，其中，Cr、Ta、Ti、Mo、W 等等之耐火金屬層係堆疊在 Al、Cu 等等之金屬層的上層表面和下層表面的其中一

者或兩者之上。

做為導電膜，可使用諸如氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、或氧化鋅（ ZnO ）；含有氧化銦和氧化錫的合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，被簡稱作ITO）；或氧化銦和氧化鋅的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）。或者，金屬氧化物材料可含有矽或氧化矽。

在此實施例中，使用鈦（Ti）來形成導電膜。

在第三微影製程中，形成源極電極1005和汲極電極1006（見圖9C）。

注意，各材料和蝕刻條件被適當地調整，以使得氧化物半導體層1004不被去除於當導電膜被蝕刻時。

注意，在第三微影製程中，於某些情況中，僅氧化物半導體層1004的部分被蝕刻，使得具有凹槽（凹部）的氧化物半導體層被形成。

然後，用做為保護絕緣膜之氧化物絕緣膜1007被形成與氧化物半導體層1004的部分相接觸（見圖9D）。

在此實施例中，形成氧化物半導體層1004和氧化物絕緣膜1007，以便在氧化物半導體層1004並不與源極電極1005和汲極電極1006重疊的區域中互相接觸。

在此實施例中，以在其之上係形成有島形氧化物半導體層1004、源極電極1005和汲極電極1006之諸膜的基板1000被加熱於室溫或低於 100°C 的溫度；包含自其中去除氫及濕氣之高純度氧的濺鍍氣體被導入；以及矽半導體靶材被使用如此之方式，具有缺陷之氧化矽層被沉積做為氧

氧化物絕緣膜 1007。

注意，氧化物絕緣膜 1007 較佳被形成在同時去除仍然在該處理室中的濕氣，而使得氫、氫氧基或濕氣不包含在氧化物半導體層 1004 和氧化物絕緣膜 1007 中。

爲了去除仍然在該處理室中的濕氣，較佳使用吸附型真空泵。舉例來說，較佳使用低溫泵、離子泵、或鈦昇華泵。做爲抽空機構，可使用其中係設有冷凝阱之渦輪泵。舉例來說，利用低溫泵，自處理室中排出氫原子、含有氫原子之化合物，諸如，水（ H_2O ）等等。因此，可降低沉積在處理室中之氧化物半導體膜 1007 中所含有之雜質的濃度。

注意，做爲氧化物絕緣膜 1007，可使用氮氧化矽層、氧化鋁層、氮氧化鋁層等等來取代氧化矽層。

除此之外，在氧化物絕緣膜 1007 和氧化物半導體層 1004 係互相接觸的情況中，熱處理可被實施於 100 到 400℃ 的溫度時。因爲此實施例中之氧化物絕緣膜 1007 包含許多缺陷，所以藉由熱處理，在氧化物半導體層 1004 中所含有之諸如氫、濕氣、氫氧基或氫化物的雜質被擴散進入氧化物絕緣膜 1007 中，使得在氧化物半導體層 1004 中所含有之雜質被進一步減少。經由熱處理，氧化物絕緣膜 1007 中所含有之氧被供應至氧化物半導體層 1004。

經由上述步驟，包含氧化物半導體層 1004 之電晶體 1008 可被形成（見圖 9E）。

氧化物半導體層 1004 藉由充分地去除諸如氫之雜質且

供應氧而被高度地純化。明確地說，氧化物半導體層1004中之氫的濃度為 $5 \times 10^{19} / \text{cm}^3$ 或更低，較佳為 $5 \times 10^{18} / \text{cm}^3$ 或更低，更佳為 $5 \times 10^{17} / \text{cm}^3$ 或更低。氧化物半導體層1004中之載子濃度係遠低於習知氧化物半導體層（例如， $1 \times 10^{12} / \text{cm}^3$ 或更低，較佳為 $1.45 \times 10^{10} / \text{cm}^3$ 或更低）。照這樣，使用本徵氧化物半導體或實質上本徵氧化物半導體，其關閉狀態電流為 $1 \times 10^{17} \text{ A}/\mu\text{m}$ 或更小之電晶體1008可被獲得到。舉例來說，藉由二次離子質譜儀（SIMS）等，可以測量氫的濃度。此外，藉由利用氧化物半導體來製造電容器，以及舉例來說，藉由評估CV測量（CV特性）等等之結果，可以測量載子濃度。

保護絕緣膜1009可以被設置在氧化物絕緣膜1007之上。在此實施例中，保護絕緣膜1009係形成於氧化物絕緣膜1007之上。做為保護絕緣膜1009，氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等等被使用。

藉由此實施例之方法所形成的電晶體1008可被使用於實施例1及實施例2中的液晶顯示裝置中。不必一定要設置電容器於像素中，當電容器未被設置於像素中時，不需要儲存電容器之儲存電容 C_s 所要花費的時間；因而，可縮短儲存電荷所要花費的總時間。

上述步驟可被使用於製造電致發光顯示面板之背板（設有薄膜電晶體之基板）、包含電子墨水之顯示裝置等等。因為上述步驟被實施於 400°C 或更低的溫度時，所以它們亦可被應用於其中使用具有 1 mm 或更薄之厚度和比 1 m

更長之側邊的玻璃基板之製造步驟。除此之外，因為所有的步驟可被實施於 400℃ 或更低的處理溫度時，所以製造顯示裝置不需要大量的能量。

注意，在此實施例中，具有反轉堆疊型結構之底部閘極型薄膜電晶體的例子被說明；然而，該薄膜電晶體可為頂部閘極型薄膜電晶體或堆疊型薄膜電晶體。或者，通道蝕刻型薄膜電晶體或通道阻絕型薄膜電晶體可被適當地使用。

此實施例可與其他實施例之任何一者做適當地組合。

（實施例 4）

在此實施例中，圖 10A 到 10F 繪示電子裝置之例子，其各自包含上面實施例中所敘述之顯示裝置。

圖 10A 繪示膝上型個人電腦，主體 2001 包含顯示部 2101。

圖 10B 繪示個人數位助理（PDA），主體 2002 包含顯示部 2102。

圖 10C 繪示電子書（e-book）閱讀器做為電子紙的例子，主體 2003 包含顯示部 2103 和顯示部 2104。

圖 10D 繪示行動電話，主體 2004 包含顯示部 2105。

圖 10E 繪示數位相機，主體 2005 包含顯示部 2106 和顯示部 2107。

圖 10F 繪示電視機，主體 2006 包含顯示部 2108。

在圖 10A 到 10F 中之電子裝置中，藉由設置上面實施例

中所敘述之顯示裝置做為顯示部2101至2108，可省略電容器之設置，或者可盡可能地減少電容值；因而，訊號能夠以高速被寫入。此外，過驅動、框速率加倍化等等可被有效地實施，使得電子裝置的性能能夠被顯著地改進。

此實施例可與其他實施例之任何一者做適當地組合。

(示例 1)

圖 12 繪示 V_G-I_D 特性做為藉由實施例 3 之方法所獲得之包含本徵氧化物半導體或實質上本徵氧化物半導體之電晶體的初始特徵。

圖 12 繪示其中使用具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度 W 和 $3 \mu\text{m}$ 之通道長度 L 且溫度為室溫的電晶體之樣品的測量結果。關閉狀態電流為 $1 \times 10^{-13} \text{ A}/\mu\text{m}$ ，其係測量裝置（Agilent 科技公司之參數分析器 Agilent 4156C）的測量極限，次臨界擺幅值（ S 值）為 0.1 V/dec 。注意，通道寬度之每微米的關閉狀態電流為 $1 \times 10^{-17} \text{ A}/\mu\text{m}$ 。在此樣品中，各自具有 $50 \mu\text{m}$ 之通道寬度 W 和 $3 \mu\text{m}$ 之通道長度 L 的兩百個電晶體被並聯連接，使得具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度 W 和 $3 \mu\text{m}$ 之通道長度 L 的電晶體被形成。

此示例可與其他實施例之任何一者做適當地組合。

本申請案係根據於 2009 年 12 月 4 日向日本專利局所提出之日本專利申請案序號 2009-276374，藉以併入其全文做為參考。

【圖式簡單說明】

在附圖中：

圖 1 繪示顯示裝置中之像素；

圖 2A 及 2B 繪示顯示裝置中之電極結構；

圖 3A 及 3B 繪示顯示裝置中之電極結構；

圖 4A 及 4B 繪示顯示裝置中之像素；

圖 5 係能帶圖；

圖 6 繪示包含氧化物半導體之電晶體；

圖 7A 及 7B 係能帶圖；

圖 8A 及 8B 係能帶圖；

圖 9A 到 9E 繪示半導體裝置之製造方法；

圖 10A 到 10F 繪示電子裝置之例子；

圖 11 繪示過驅動；

圖 12 繪示電晶體之電氣特徵；及

圖 13 繪示顯示裝置中之像素。

【主要元件符號說明】

100：像素

101：電晶體

102：液晶元件

104：佈線

105：節點

200：基板

201：電極

202：絕緣膜

203：電極

204：液晶層

205：液晶

206：電容器

207：狹縫

301：電極

303：電極

310：狹縫

400：電晶體

401：閘極電極

402：閘極絕緣膜

403：氧化物半導體層

404：電極

405：電極

1000：基板

1001：閘極電極

1002：閘極絕緣膜

1003：氧化物半導體膜

1004：島形氧化物半導體層

1005：源極電極

1006：汲極電極

1007：氧化物絕緣膜

1008：電晶體

1009：保護絕緣膜

2001：主體

2101：顯示部

2002：主體

2102：顯示部

2003：主體

2103：顯示部

2104：顯示部

2004：主體

2105：顯示部

2005：主體

2106：顯示部

2107：顯示部

2006：主體

2108：顯示部

5000：像素

5001：電晶體

5002：液晶元件

5003：電容器元件

5004：佈線

照 4)

空白頁

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099141955

※申請日：099 年 12 月 02 日

※IPC 分類：

G02F 1/362 (2006.01)

G02F 1/343 (2006.01)

G09G 3/86 (2006.01)

一、發明名稱：(中文／英文)

顯示裝置

Display device

二、中文發明摘要：

在顯示裝置中，將訊號寫至像素所要花費的時間被縮短。此外，甚至當高電壓被施加時，訊號也能夠以高速被寫入。此顯示裝置包含像素，而像素包含電晶體和電連接至該電晶體之源極或汲極的其中一者之液晶元件，電晶體包含本徵氧化物半導體或實質上本徵氧化物半導體做為半導體材料，且具有 1×10^{-17} A/ μ m 或更少之關閉狀態電流，像素並不包含電容器。因為不需要設置電容器，所以將寫訊號所要花費的時間可被縮短。

三、英文發明摘要：

The time taken to write a signal to a pixel is shortened in a display device. Further, a signal is written at high speed even when high voltage is applied. The display device includes a pixel including a transistor and a liquid crystal element electrically connected to a source or a drain of the transistor. The transistor includes an intrinsic or substantially intrinsic oxide semiconductor as a semiconductor material and has an off-state current of 1×10^{-17} A/ μm or less. The pixel does not include a capacitor. Since it is not necessary to provide a capacitor, the time taken to write a signal can be shortened.

圖 1

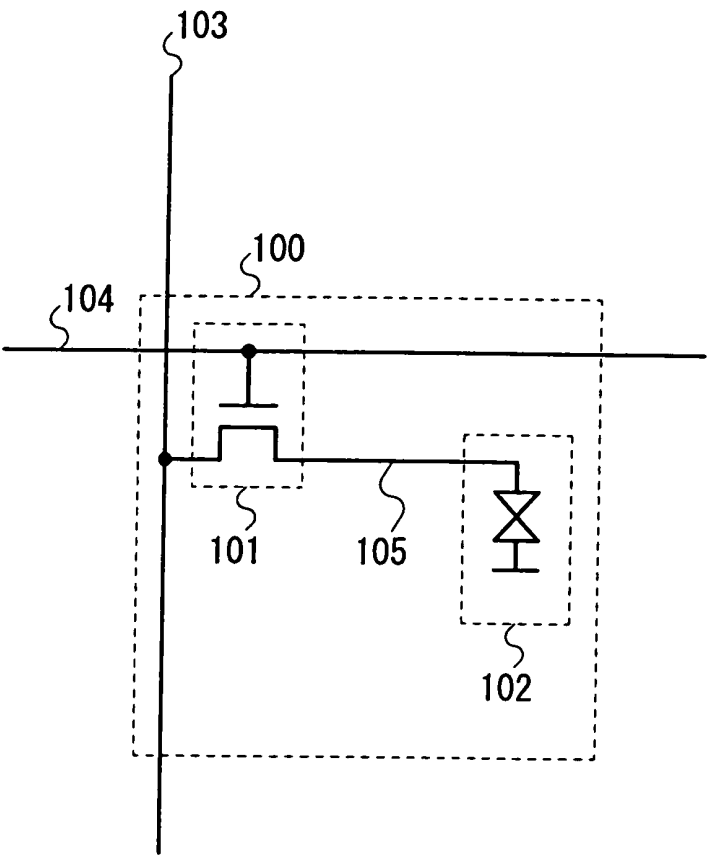


圖 2A

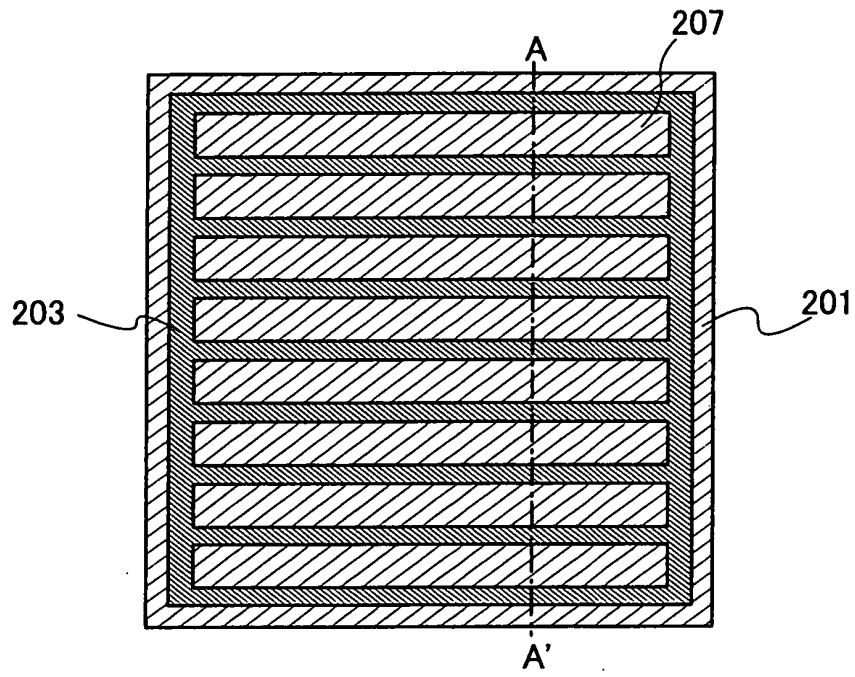


圖 2B

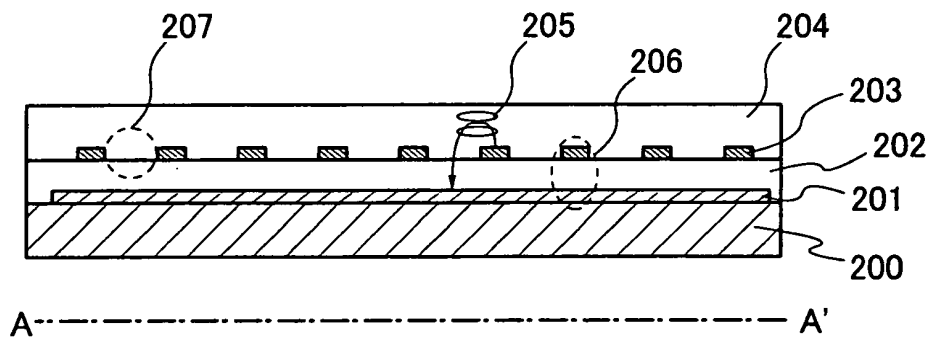


圖 3A

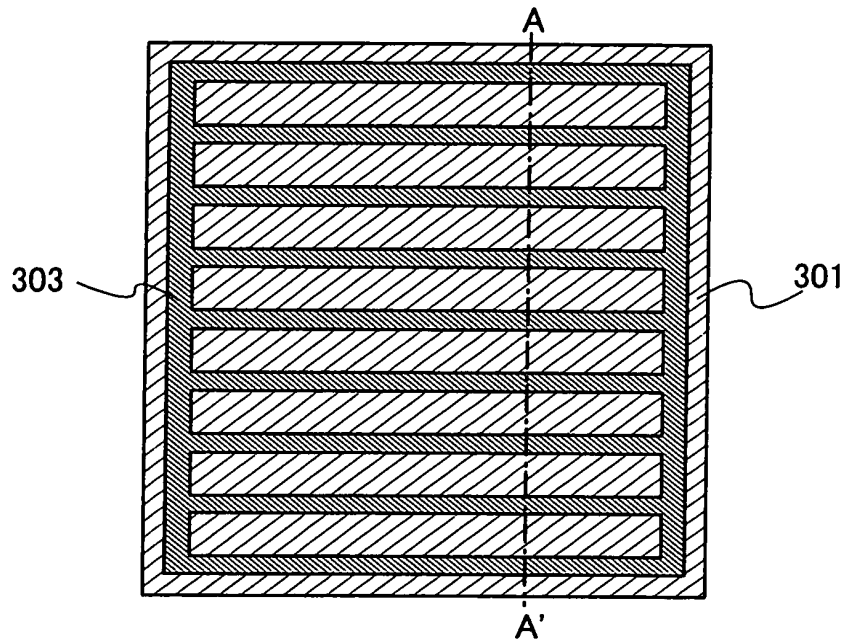


圖 3B

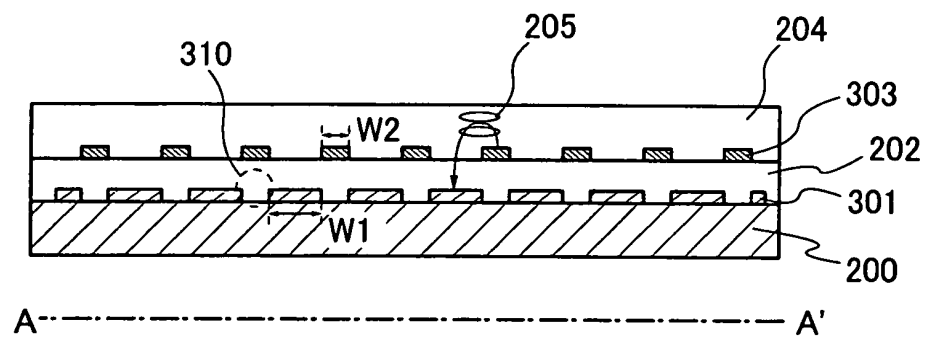


圖 4A

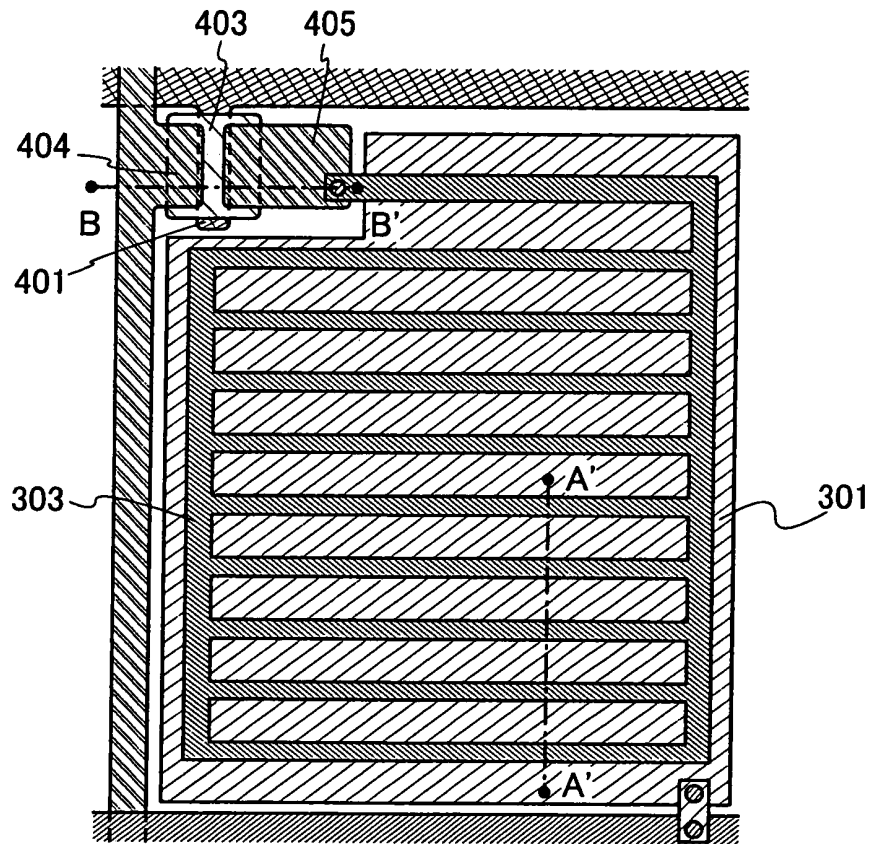


圖 4B

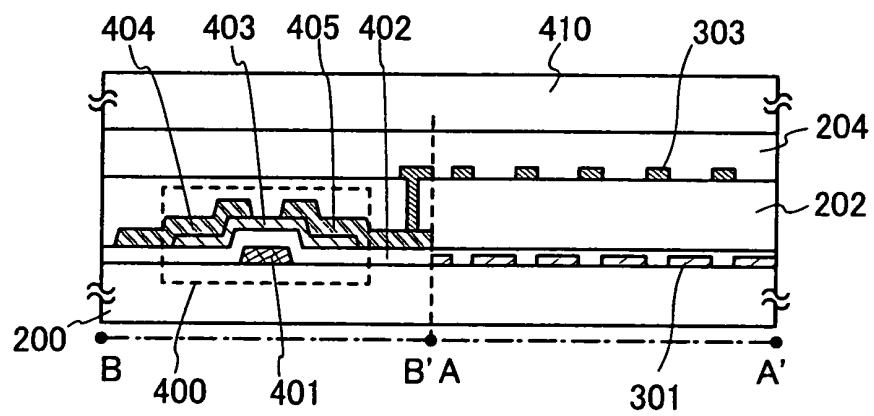


圖5

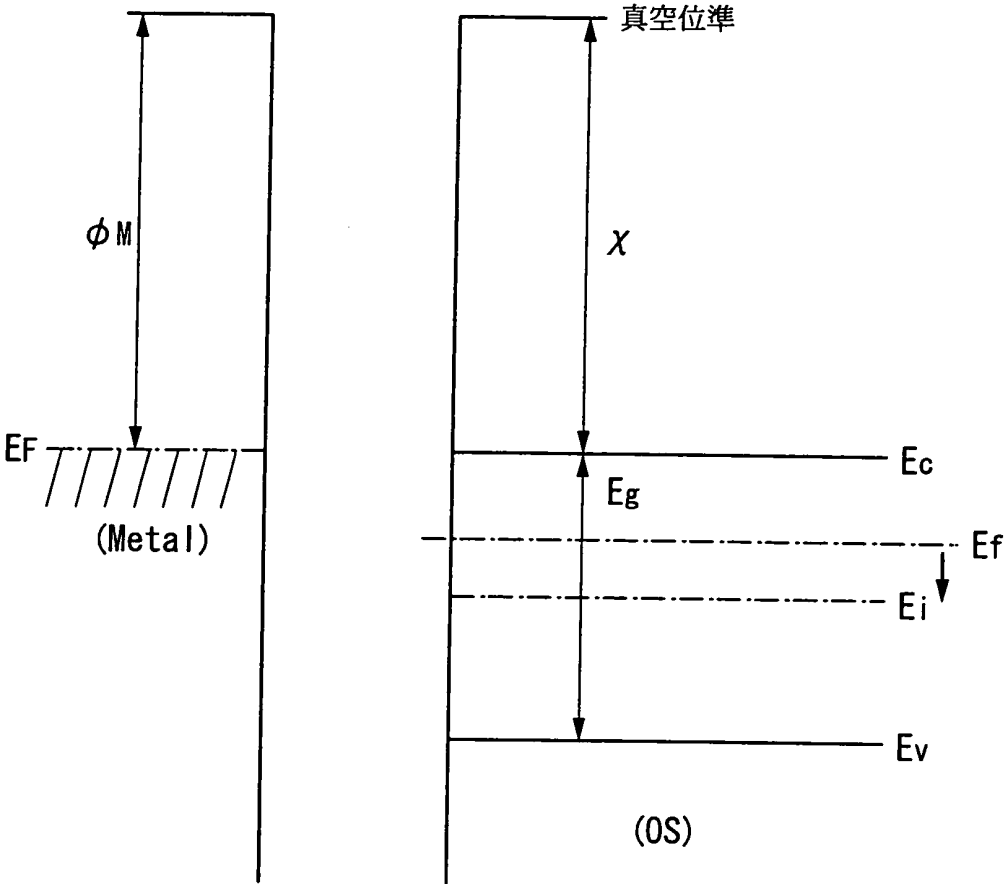


圖6

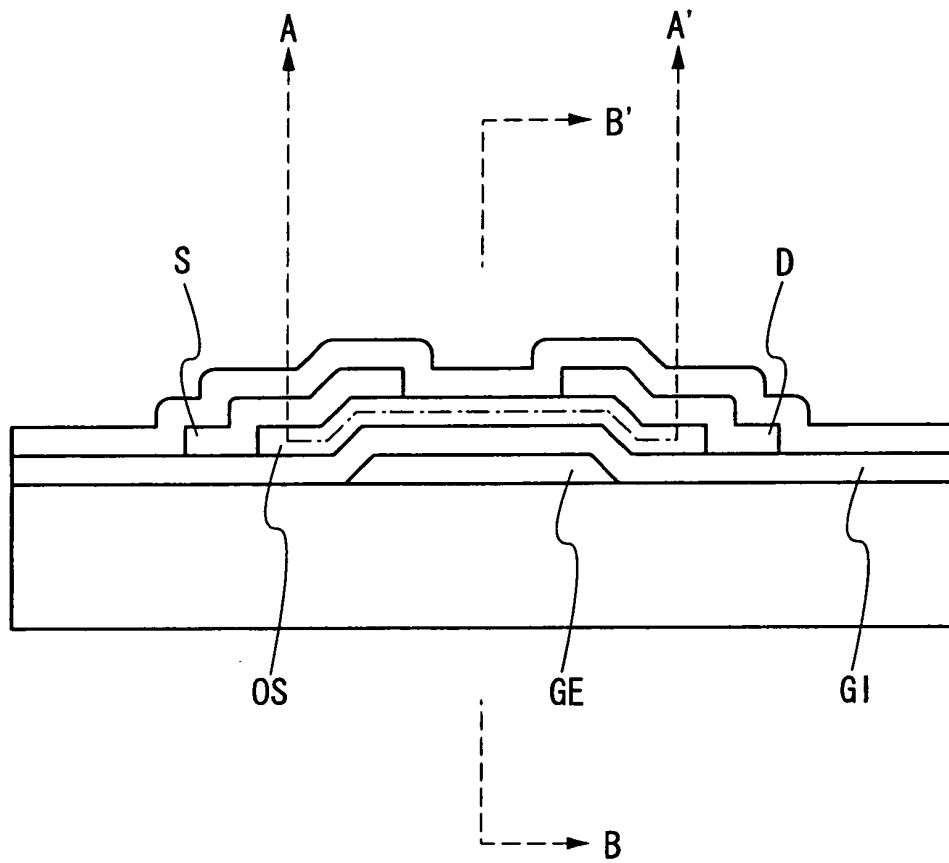
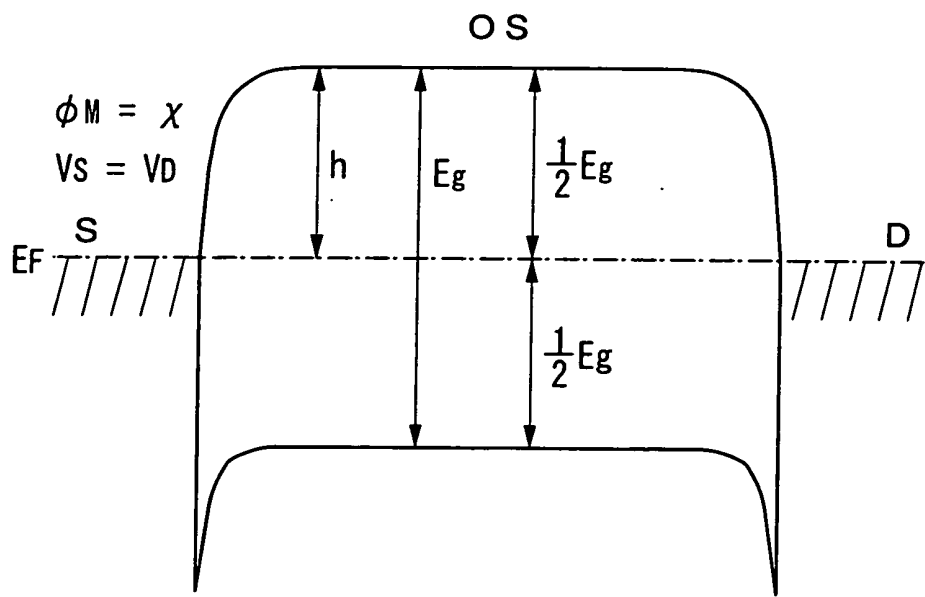
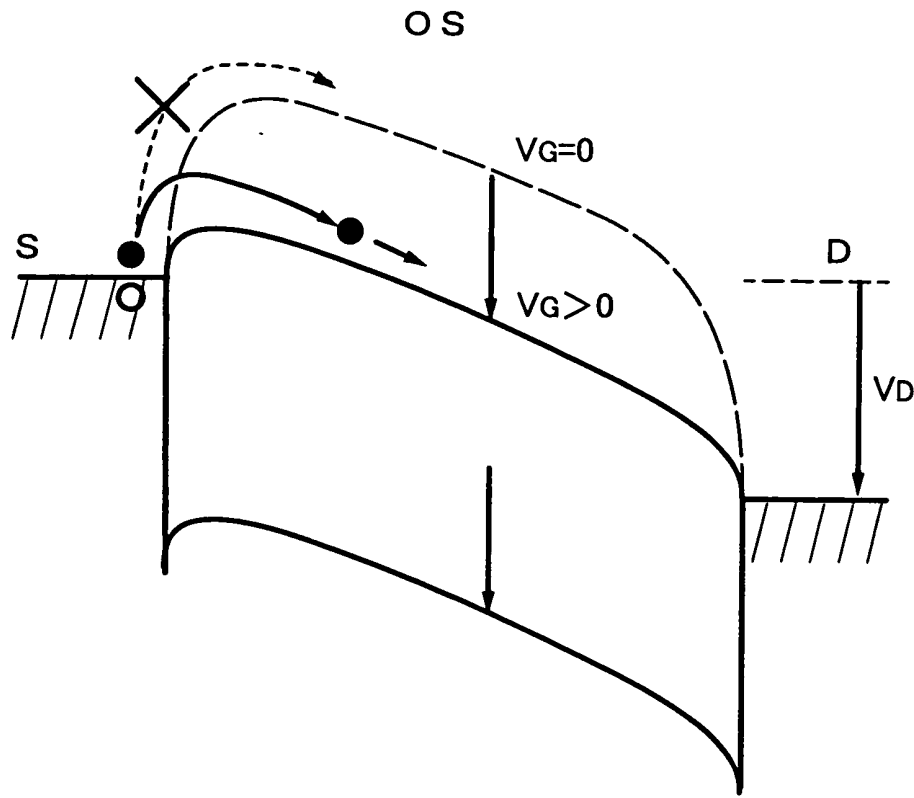


圖7A



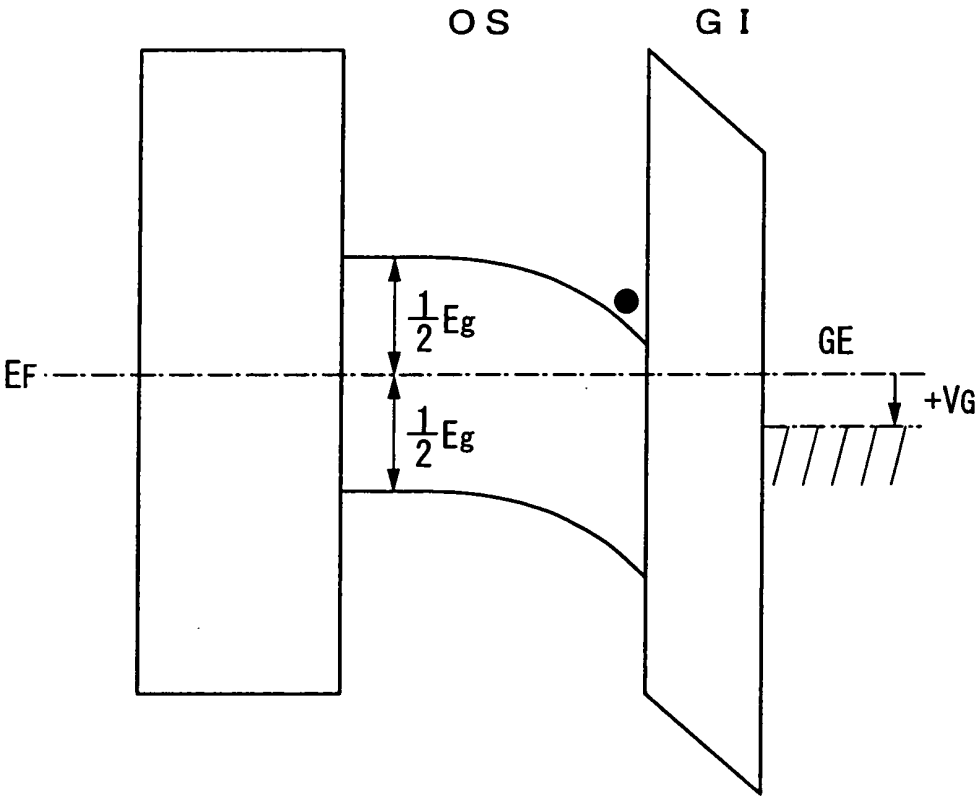
A-A' 剖面的能帶圖

圖7B



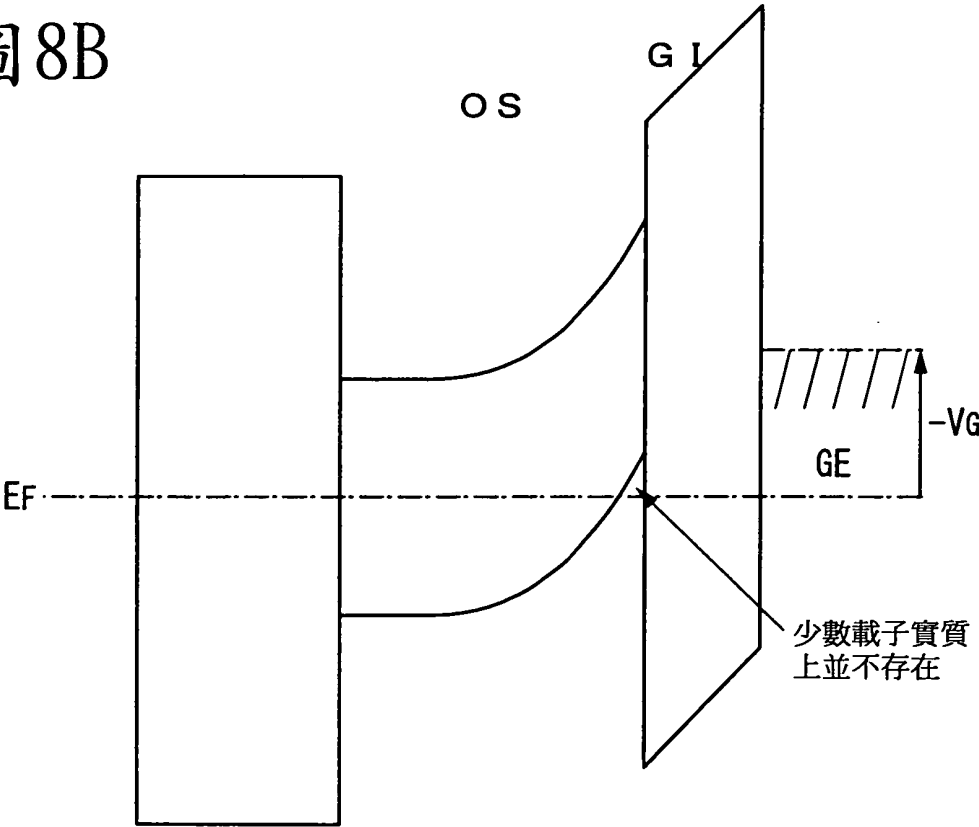
A-A' 剖面的能帶圖

圖 8A



B-B' 剖面的能帶圖 ($+V_G$)

圖 8B



B-B' 剖面的能帶圖 ($-V_G$)

圖 9A

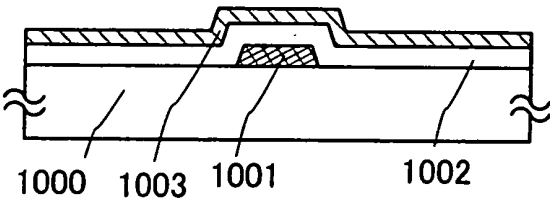


圖 9B

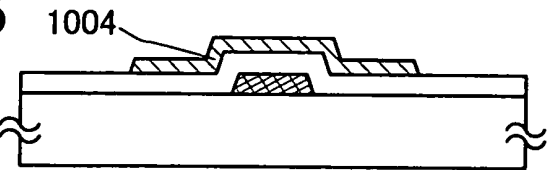


圖 9C

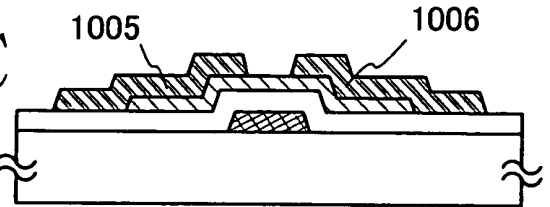


圖 9D

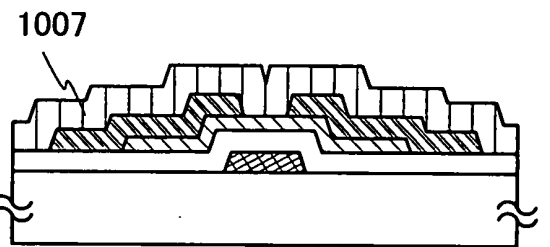


圖 9E

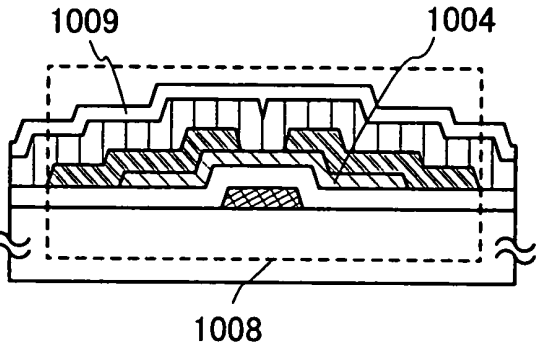


圖 10A

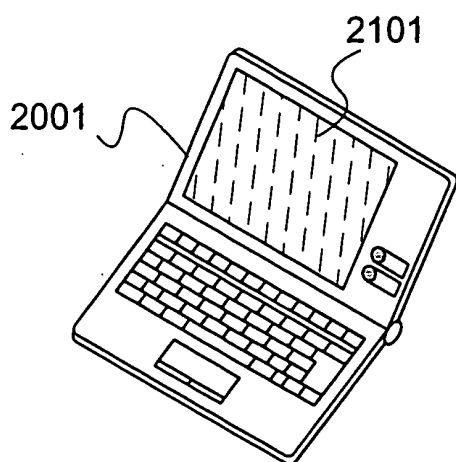


圖 10D

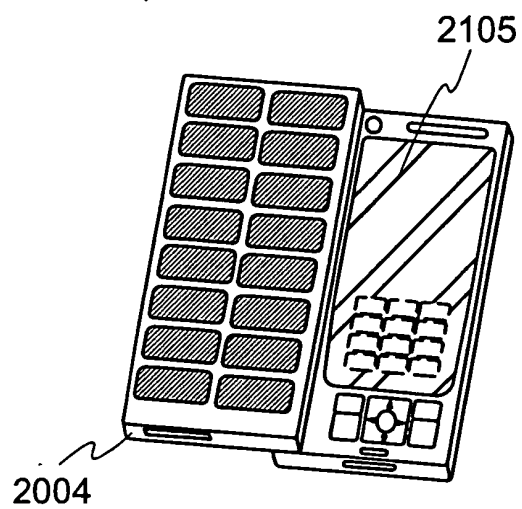


圖 10B

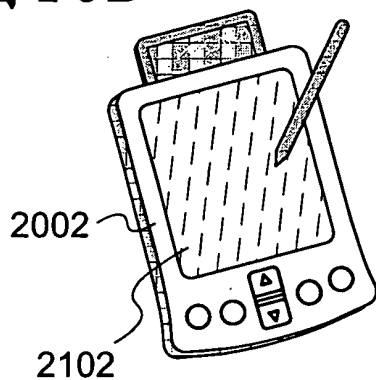


圖 10E

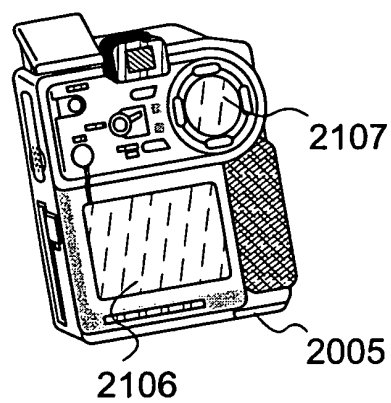


圖 10C

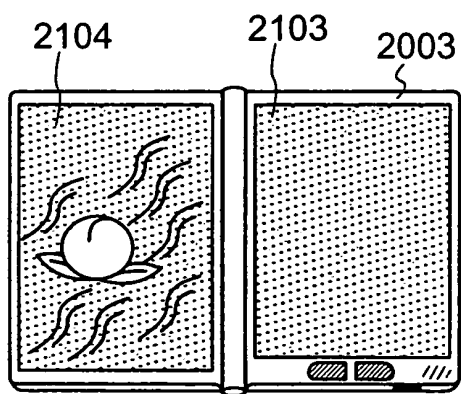


圖 10F

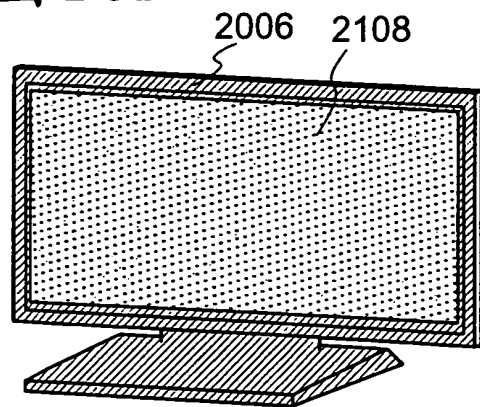


圖11

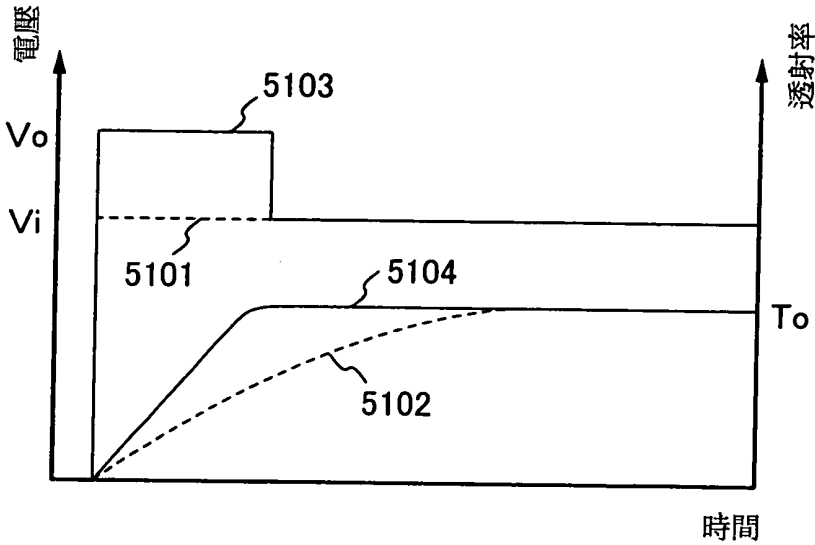


圖 12

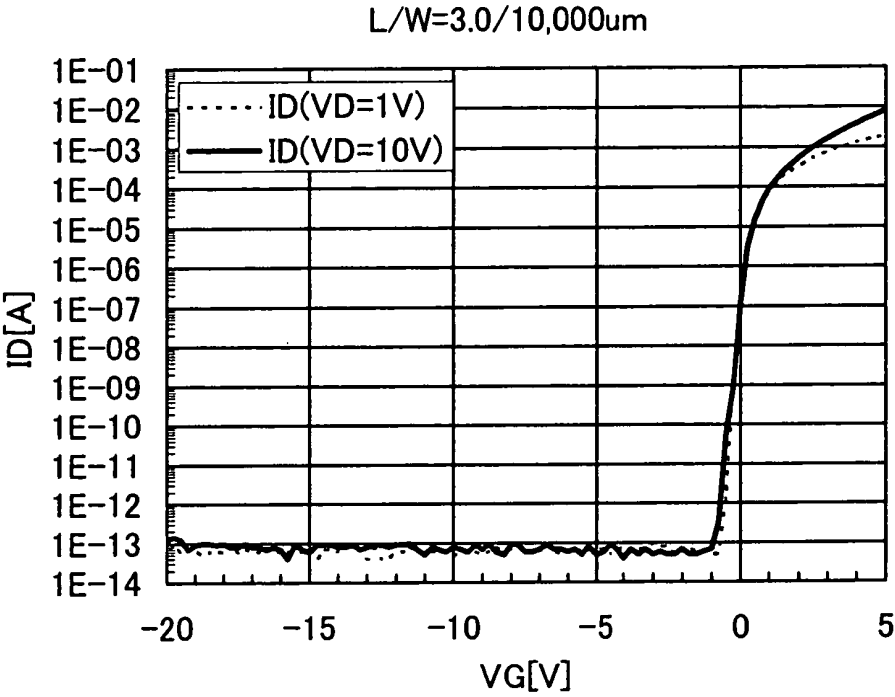
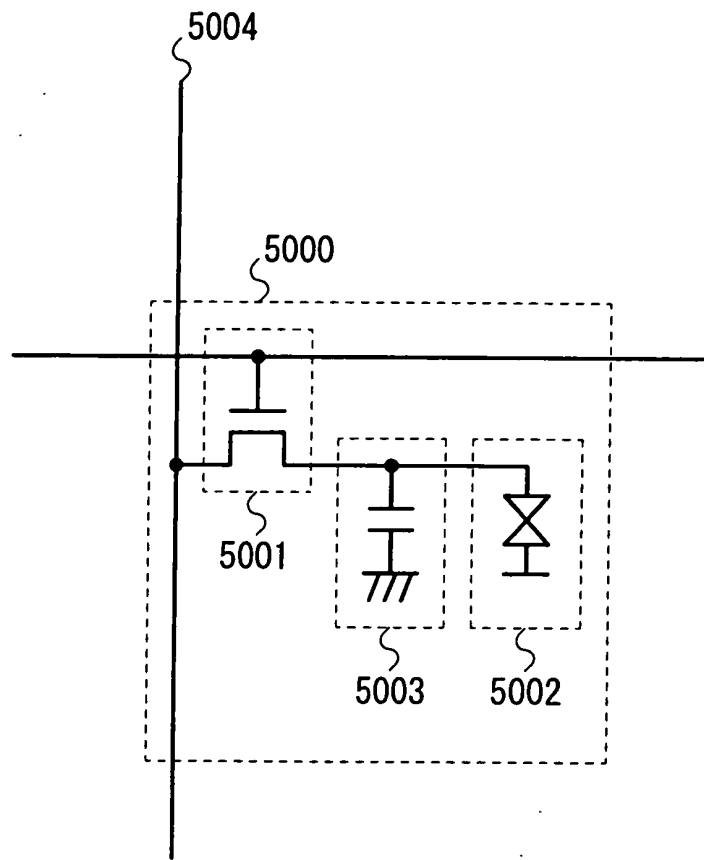


圖 13



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：像素

101：電晶體

102：液晶元件

104：佈線

105：節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種顯示裝置，包括：

像素，

該像素包括：

電晶體；以及

液晶元件，

其中，該液晶元件係電連接至該電晶體之源極和汲極的其中之一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，

其中，該電晶體的關閉狀態電流為 $1 \times 10^{-17} \text{ A}/\mu\text{m}$ 或更少，

其中，該像素並不包含電容器佈線，並且

其中，該像素中之寄生電容為低於或等於 50 fF。

2. 一種顯示裝置，包括：

像素，該像素包括：

電晶體；以及

液晶元件，

其中，該液晶元件係電連接至該電晶體之源極和汲極的其中之一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括氫的濃度為 $5 \times 10^{19} / \text{cm}^3$ 或更低的一部分，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，

其中，該電晶體的關閉狀態電流為 $1 \times 10^{-17} \text{ A}/\mu\text{m}$ 或更少，並且

其中，該像素並不包含電容器佈線。

3. 一種顯示裝置，包括：

像素，該像素包括：

電晶體；以及

液晶元件，

其中，該液晶元件係電連接至該電晶體之源極和汲極的其中之一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，

其中，該電晶體的關閉狀態電流為 $1 \times 10^{-17} \text{ A}/\mu\text{m}$ 或更少，並且

其中，該像素並不包含電容器佈線。

4. 如申請專利範圍第 1 至 3 項中任一項之顯示裝置，其中，在視頻訊號被輸入至該液晶元件之前，高於或等於該視頻訊號之電壓的電壓被輸入至該液晶元件。

5. 一種顯示裝置，包括：

像素，該像素包括：

電晶體；以及

液晶元件，

其中，該液晶元件係電連接至該電晶體之源極和汲極的其中一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括氫的濃度為 $5 \times 10^{19} / \text{cm}^3$ 或更低的一部分，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，並且

其中，在視頻訊號被輸入至該液晶元件之前，高於或等於該視頻訊號之電壓的電壓被輸入至該液晶元件。

6. 一種顯示裝置，包括：

像素，

該像素包括：

第一電極；

第二電極，該第二電極包括不與該第一電極重疊的一部分；

絕緣膜，在該第一電極和該第二電極之間；

電晶體；以及

液晶層，

其中，該液晶層係在該第一電極和該第二電極之上，

其中，該第二電極係電連接至該電晶體之源極和汲極

的其中一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，

其中，該電晶體的關閉狀態電流為 $1 \times 10^{-17} \text{ A}/\mu\text{m}$ 或更少，並且

其中，該像素並不包含電容器佈線。

7. 一種顯示裝置，包括：

像素，

該像素包括：

第一電極；

第二電極，該第二電極包括不與該第一電極重疊的一部分；

絕緣膜，在該第一電極和該第二電極之間；

電晶體；以及

液晶層，

其中，該液晶層係在該第一電極和該第二電極之上，

其中，該第二電極係電連接至該電晶體之源極和汲極的其中一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括載子的濃度為 $1 \times 10^{12} / \text{cm}^3$ 或更低的一部分，

其中，該電晶體的關閉狀態電流為 1×10^{-17} A/ μ m 或更少，

其中，該像素並不包含電容器佈線，並且

其中，該像素中之寄生電容為低於或等於 50 fF。

8. 如申請專利範圍第 6 或 7 項之顯示裝置，其中，在視頻訊號被輸入之前，高於或等於該視頻訊號之電壓的電壓被輸入至該第一電極。

9. 一種顯示裝置，包括：

像素，該像素包括：

第一電極；

第二電極，該第二電極包括不與該第一電極重疊的一部分；

絕緣膜，在該第一電極和該第二電極之間；

電晶體；以及

液晶層，

其中，該液晶層係在該第一電極和該第二電極之上，

其中，該第二電極係電連接至該電晶體之源極和汲極的其中之一者，

其中，該電晶體包含包含通道形成區域的氧化物半導體層，

其中，該氧化物半導體層包括氫的濃度為 5×10^{19} / cm^3 或更低的一部分，

其中，該氧化物半導體層包括載子的濃度為 1×10^{12} / cm^3 或更低的一部分，並且

其中，在視頻訊號被輸入之前，高於或等於該視頻訊號之電壓的電壓被輸入至該第一電極。

10. 如申請專利範圍第 5 或 9 項之顯示裝置，其中，該電晶體的關閉狀態電流為 1×10^{-17} A/ μm 或更少。

11. 如申請專利範圍第 5 或 9 項之顯示裝置，其中，該像素並不包含電容器佈線。

12. 如申請專利範圍第 2、3、5 及 9 項中任一項之顯示裝置，其中，該像素中之寄生電容為低於或等於 50 fF。

13. 如申請專利範圍第 5 或 9 項之顯示裝置，其中，該像素並不包含儲存電容器元件。

14. 如申請專利範圍第 6、7、及 9 項中任一項之顯示裝置，其中，該第二電極在該第一電極之上。

15. 如申請專利範圍第 6、7、及 9 項中任一項之顯示裝置，其中，該第一電極和該第二電極彼此不重疊。