(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-159075
(P2017-159075A)
(43)公開日　平成29年9月14日(2017.9.14)

(51)Int.Cl.			F I			テーマコード（参考）
A63F	7/02	(2006.01)	A63F	7/02	326Z	2C082
A63F	5/04	(2006.01)	A63F	7/02	334	2C088
			A63F	5/04	512Z	

審査請求 有　請求項の数 8　ＯＬ　公開請求　（全 637 頁）

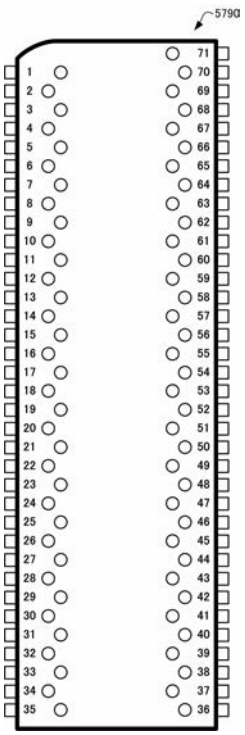
(21)出願番号　特願2017-85064(P2017-85064)
(22)出願日　平成29年4月24日(2017.4.24)
(62)分割の表示　特願2015-232647(P2015-232647)の分割
原出願日　平成24年12月26日(2012.12.26)

(71)出願人　597044139
株式会社大都技研
東京都台東区東上野一丁目１番１４号
(74)代理人　100128934
弁理士　横田　一樹
(74)代理人　100112689
弁理士　佐原　雅史
(72)発明者　辻本　隆矢
東京都台東区東上野一丁目１番１４号　株式会社大都技研内
(72)発明者　▲高▼橋　伸之介
東京都台東区東上野一丁目１番１４号　株式会社大都技研内

最終頁に続く

(54)【発明の名称】遊技台

(57)【要約】　（修正有）
【課題】ＩＣソケットに特徴を持った遊技台の提供。
【解決手段】ＩＣソケットの複数のソケット端子は、制御基板に四列に固定され、四列のうちの一の列のソケット端子に対応する挿入部に挿入されるＩＣの端子数は偶数、四列のうちの他の一の列のソケット端子に対応する挿入部に挿入されるＩＣの端子数は奇数であり、一の列のソケット端子のうち第二のソケット端子は、同列の第一のソケット端子と第三のソケット端子に隣合い、四列のうち一の列の一端側の第四のソケット端子は他の一の列のソケット端子と隣合わず、第四のソケット端子を除いたソケット端子は一の列のソケット端子と隣合い、複数のＩＣ端子は、ＩＣソケットに二列に挿入され、二列のうち一の列の一端側の第一のＩＣ端子は二列のうち他の一の列のＩＣ端子と隣合わず、一の列の第一のＩＣ端子を除いたＩＣ端子は他の一の列のＩＣ端子と隣合い、マイクロプロセッサはセキュリティチェックを実行する。
【選択図】図２０６



【特許請求の範囲】
【請求項１】
ＩＣと、
前記ＩＣを取り付け可能なＩＣソケットと、
前記ＩＣソケットが設けられた制御基板と、
を備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記ＩＣは、ＣＰＵを含んで構成されたマイクロプロセッサであり、
前記ＣＰＵによって、前記遊技台の遊技制御が行われ、
前記ＩＣは、ＲＯＭを含んで構成されたマイクロプロセッサであり、
前記ＲＯＭには、ユーザプログラムが少なくとも記憶されており、
前記ユーザプログラムは、前記ＣＰＵによって実行されるように構成されており、
前記ＩＣソケットの複数のソケット端子は、前記制御基板に四列に固定されているソケット端子であり、
前記四列のうちの一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、偶数であり、
前記四列のうちの他の一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、奇数であり、
前記一の列のソケット端子のうちの一つ（以下、「第二のソケット端子」という。）は、同じ列の他の一つ（以下、「第一のソケット端子」という。）に隣り合う位置に設けられたソケット端子であり、
前記第二のソケット端子は、同じ列の前記第一のソケット端子とは異なる他の一つ（以下、「第三のソケット端子」という。）に隣り合う位置に設けられたソケット端子であり、
前記四列のうちの一の列の一端側のソケット端子（以下、「第四のソケット端子」という。）は該四列のうちの他の一の列のソケット端子と隣り合わず、該一の列の前記第四のソケット端子を除いたソケット端子は該他の一の列のソケット端子と隣り合い、
前記ＩＣの複数のＩＣ端子は、前記ＩＣソケットに二列に挿入されているＩＣ端子であり、
前記二列のうちの一の列の一端側のＩＣ端子（以下、「第一のＩＣ端子」という。）は該二列のうちの他の一の列のＩＣ端子と隣り合わず、該一の列の前記第一のＩＣ端子を除いたＩＣ端子は該他の一の列のＩＣ端子と隣り合い、
前記マイクロプロセッサは、セキュリティチェックを実行するプロセッサであり、
前記セキュリティチェックは、前記ユーザプログラムに異常がないかどうかをチェックする機能である、
ことを特徴とする遊技台。
【請求項２】
請求項１に記載の遊技台であって、
前記第一のソケット端子は、第一の長さのソケット端子であり、
前記第二のソケット端子は、第二の長さのソケット端子であり、
前記第三のソケット端子は、前記第一の長さのソケット端子であり、
前記第二の長さは、前記第一の長さよりも短い、
ことを特徴とする遊技台。
【請求項３】
請求項１または請求項２に記載の遊技台であって、
前記第一のソケット端子は、前記ＩＣソケットの短手方向外向きに屈曲する屈曲部を少なくとも含むソケット端子であり、
前記第二のソケット端子は、前記ＩＣソケットの短手方向内向きに屈曲する屈曲部を少なくとも含むソケット端子である、
ことを特徴とする遊技台。

【請求項４】
請求項１乃至請求項３のいずれか一項に記載の遊技台であって、
前記第一のソケット端子は、前記ＩＣソケットの短手方向外側端面から第一の距離だけ離れた位置に配置されたソケット端子であり、
前記第二のソケット端子は、前記ＩＣソケットの短手方向外側端面から第二の距離だけ離れた位置に配置されたソケット端子であり、
前記第二の距離は、前記第一の距離と異なる距離である、
ことを特徴とする遊技台。
【請求項５】
請求項４に記載の遊技台であって、
前記第二の距離は、前記第一の距離よりも長い、
ことを特徴とする遊技台。
【請求項６】
請求項１乃至請求項５のいずれか一項に記載の遊技台であって、
前記四列のソケット端子は、前記ＩＣソケットの長手方向に並んでいる、
ことを特徴とする遊技台。
【請求項７】
請求項１乃至請求項６のいずれか一項に記載の遊技台であって、
前記遊技制御は、払出制御を含む制御である、
ことを特徴とする遊技台。
【請求項８】
請求項１乃至請求項７のいずれか一項に記載の遊技台であって、
電源投入によって起動信号が入力された場合に、前記セキュリティチェックが実行され、
前記マイクロプロセッサは、前記起動信号が入力されてから前記遊技制御が開始されるまでの時間の長さをランダムに変化させることが可能な時間変化機能を有するマイクロプロセッサであり、
前記ユーザプログラムは、前記セキュリティチェックが行われた後で開始されるプログラムであり、
前記セキュリティチェックの時間は、該セキュリティチェックの間に前記時間変化機能が実行されることでランダムに変化する、
ことを特徴とする遊技台。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、回胴遊技機（スロットマシン）や弾球遊技機（パチンコ機）に代表される遊技台に関する。
【背景技術】
【０００２】
従来、ＩＣソケットを備える遊技台が知られている（例えば、特許文献１参照）。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００９－３４１６２号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
しかしながら、従来の遊技台は、ＩＣソケットについて改良の余地がある。
本発明の目的は、ＩＣソケットに特徴を持った遊技台を提供することにある。
【課題を解決するための手段】

【０００５】
本発明は、ＩＣと、前記ＩＣを取り付け可能なＩＣソケットと、前記ＩＣソケットが設けられた制御基板と、を備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記ＩＣは、ＣＰＵを含んで構成されたマイクロプロセッサであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われ、前記ＩＣは、ＲＯＭを含んで構成されたマイクロプロセッサであり、前記ＲＯＭには、ユーザプログラムが少なくとも記憶されており、前記ユーザプログラムは、前記ＣＰＵによって実行されるように構成されており、前記ＩＣソケットの複数のソケット端子は、前記制御基板に四列に固定されているソケット端子であり、前記四列のうちの一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、偶数であり、前記四列のうちの他の一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、奇数であり、前記一の列のソケット端子のうちの一つ（以下、「第二のソケット端子」という。）は、同じ列の他の一つ（以下、「第一のソケット端子」という。）に隣り合う位置に設けられたソケット端子であり、前記第二のソケット端子は、同じ列の前記第一のソケット端子とは異なる他の一つ（以下、「第三のソケット端子」という。）に隣り合う位置に設けられたソケット端子であり、前記四列のうちの一の列の一端側のソケット端子（以下、「第四のソケット端子」という。）は該四列のうちの他の一の列のソケット端子と隣り合わず、該一の列の前記第四のソケット端子を除いたソケット端子は該他の一の列のソケット端子と隣り合い、前記ＩＣの複数のＩＣ端子は、前記ＩＣソケットに二列に挿入されているＩＣ端子であり、前記二列のうちの一の列の一端側のＩＣ端子（以下、「第一のＩＣ端子」という。）は該二列のうちの他の一の列のＩＣ端子と隣り合わず、該一の列の前記第一のＩＣ端子を除いたＩＣ端子は該他の一の列のＩＣ端子と隣り合い、前記マイクロプロセッサは、セキュリティチェックを実行するプロセッサであり、前記セキュリティチェックは、前記ユーザプログラムに異常がないかどうかをチェックする機能である、ことを特徴とする遊技台である。

【発明の効果】
【０００６】
本発明によれば、ＩＣソケットに特徴を持った遊技台を実現できる。

【図面の簡単な説明】
【０００７】
【図１】パチンコ機を正面側（遊技者側）から見た外観斜視図である。
【図２】パチンコ機を背面側から見た外観図である。
【図３】遊技盤を正面から見た略示正面図である。
【図４】制御部の回路ブロック図を示したものである。
【図５】（ａ）特図の停止図柄態様の一例を示したものである。（ｂ）装飾図柄の停止図柄態様の一例を示したものである。（ｃ）普図の停止表示図柄の一例を示したものである。
【図６】主制御部３００から基本回路３０２の主要部のみを抜き出して示した図である。
【図７】（ａ）ＣＰＵ３０４のメモリマップを示した図である。（ｂ）（ａ）に示すメモリマップのうちのＲＷＭ領域の詳細を示した図である。（ｃ）ＣＰＵ３０４のＩ／Ｏマップを示した図である。
【図８】初期化処理の流れを示すフローチャートである。
【図９】システムリセット後の起動処理のタイムチャートである。
【図１０】主制御部メイン処理の流れを示すフローチャートである。
【図１１】（ａ）初期設定１で行うＴレジチェック処理の流れを示すフローチャートである。（ｂ）Ｔレジチェック処理のプログラムリストの一例である。
【図１２】（ａ）変形例に係るＴレジチェック処理の流れを示すフローチャートである。（ｂ）変形例に係るＴレジチェック処理のプログラムリストの一例である。
【図１３】図１１（ｂ）のプログラムリストからＬＤ命令のみを抜き出して示した図である。
【図１４】主制御部タイマ割込処理の流れを示すフローチャートである。

【図１５】（ａ）第１副制御部のＣＰＵが実行するメイン処理のフローチャートである。（ｂ）第１副制御部のコマンド受信割込み処理のフローチャートである。（ｃ）第１副制御部のタイマ割込処理のフローチャートである。（ｄ）第１副制御部の画像制御処理のフローチャートである。
【図１６】（ａ）第２副制御部５００のＣＰＵ５０４が実行するメイン処理のフローチャートである。（ｂ）第２副制御部５００のコマンド受信割込処理のフローチャートである。（ｃ）第２副制御部５００のタイマ割込処理のフローチャートである。
【図１７】ＲＯＭ３０６に記憶されるデータの一例を示した図である。
【図１８】主制御部３００の命令データの構成の一例を示した図である。
【図１９】（ａ）主制御部３００の命令データの上位ビットと下位ビットを示した図である。（ｂ）命令データテーブルの一例を示した図である。
【図２０】ＣＡＬＬ命令によるアドレスの移動の一例を概念的に示したものである。
【図２１】ＣＡＬＬ命令の命令データと補足データの一例を示した図である。
【図２２】（ａ）ＥＸＥＳＵＢ命令の構成の一例を示した図である。（ｂ）図１９（ｂ）の空き領域に対してＥＸＥＳＵＢ命令を割り当てた命令データテーブルを示した図である。
【図２３】ＥＸＥＳＵＢ命令によるアドレスの移動の一例を概念的に示した図である。
【図２４】ＥＸＥＳＵＢ命令によるサブルーチンの先頭アドレスの呼び出しの一例を示したものである。
【図２５】ＥＸＥＳＵＢ命令の命令データと補足データの一例を示した図である。
【図２６】主制御部タイマ割込処理の制御プログラムの一例を示したプログラムリストである。
【図２７】ＲＯＭ領域が、ＥＸＥＳＵＢ命令によって呼び出すことのできる領域よりも、制御プログラムデータが記憶されているＲＯＭ制御領域が広くなるように構成されている場合を示した図である。
【図２８】（ａ）（ｂ）ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）によって呼び出すことができるサブルーチンの先頭アドレスの領域を拡張した場合の一例を示した図である。
【図２９】（ａ）特図２状態更新処理および特図１状態更新処理の制御プログラムの一部を抜き出したものである。（ｂ）普図状態更新処理の制御プログラムの一部を抜き出したものである。（ｃ）従来のメモリ読み出し処理の一部を抜き出したものである。（ｄ）ＲＡＭエリア（ＲＷＭ領域）に設けた変数領域の一部を示した図である。（ｅ）本実施形態に係るメモリ読み出し処理の一部を抜き出したものである。
【図３０】図２９（ｃ）に示す従来のメモリ読出し処理の機械語と、図２９（ｅ）に示す本実施形態に係るメモリ読出し処理の機械語と、を比較した図である。
【図３１】特図１関連抽選処理の流れを示すフローチャートである。
【図３２】（ａ）テーブル選択用テーブルの一例を示した図である。（ｂ）第１変動パターン選択テーブルの一例を示した図である。（ｃ）第２変動パターン選択テーブルの一例を示した図である。（ｄ）ＲＷＭ領域のアドレスＦ０４０Ｈ～Ｆ０４２Ｈに対応するＲＡＭ３０８の記憶領域に設けられる保留数記憶領域、乱数１記憶領域、乱数２記憶領域を示した図である。
【図３３】主制御部３００のＲＯＭ３０６に記憶されるデータテーブルの定義の一部と、ＲＡＭ３０８に設けられる変数格納領域の定義の一部を示したプログラムリストの一例である。
【図３４】特別図柄変動時間抽選処理の流れを示すフローチャートである。
【図３５】特別図柄変動時間抽選処理のプログラムリストの一例である。
【図３６】制御部３００（のＣＰＵ３０４）が備える命令の一部と、その説明を示した図である。
【図３７】（ａ）主制御部３００の命令データの上位ビットと下位ビットを示した図である。（ｂ）命令データテーブルの一例を示した図である。
【図３８】テーブル選択用テーブル、第１変動パターン選択テーブル、および第２変動パ

ターン選択テーブルの変形例を示した図である。
【図３９】変形例に係る特別図柄変動時間抽選処理の流れを示すフローチャートである。
【図４０】（ａ）ＲＯＭ３０６に記憶される初期設定データテーブルの一例を示した図である。（ｂ）初期設定処理後のＲＡＭ３０８の記憶領域の一部を示した図である。（ｃ）初期設定処理の流れを示すフローチャートである。
【図４１】初期設定処理のプログラムリストの一例である。
【図４２】（ａ）主制御部３００が備える第２特殊命令の一部を示した図である。（ｂ）第２特殊命令を実行する前後のフラグレジスタの状態を示した図である。
【図４３】ＣＰＪＲ命令を用いた処理の一例を示した図である。
【図４４】（ａ）従来の命令を用いたプログラムの一例を示した図である。（ｂ）ＣＰＪＲ命令を用いたプログラムの一例である。
【図４５】ＣＰＪＲ命令を用いた他の処理の一例を示した図である。
【図４６】処理Ｖを含む、ＣＰＪＲ命令を用いた他の処理の一例を示した図である。
【図４７】ＣＰＲＴ命令を用いた処理の一例を示した図である。
【図４８】（ａ）ＣＰＲＴ命令を用いたプログラムの一例である。（ｂ）従来の命令を用いたプログラムの一例を示した図である。
【図４９】主制御部３００が備える第３特殊命令の一部を示した図である。
【図５０】「ＲＥＳｍＺ　ｎ、ｒ」命令の具体例を示した図である。
【図５１】「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令の具体例を示した図である。
【図５２】主制御部３００の命令マップのうち、ＲＥＳ命令に該当する部分を抜き出して示した図である。
【図５３】変形例１に係るＲＥＳ命令を示した図である。
【図５４】変形例１に係るＲＥＳ命令の具体例を示した図である。
【図５５】変形例１に係るＲＥＳ命令を用いたプログラムの一例を示した図である。
【図５６】変形例２に係るＲＥＳ命令を示した図である。
【図５７】変形例２に係るＲＥＳ命令の具体例を示した図である。
【図５８】変形例２に係るＲＥＳ命令の具体例を示した図である。
【図５９】主制御部３００の命令マップのうち、変形例２に係るＲＥＳ命令に該当する部分を抜き出して示した図である。
【図６０】ＲＥＳ命令の他の変形例を示した図である。
【図６１】（ａ）所定ビットのアクセスを禁止しないＲＥＳ命令を備えた場合の命令マップと、所定ビットのアクセスを禁止するＲＥＳ命令を備えた場合の命令マップを示した図である。（ｂ）ＲＥＳ命令の第１オペランドの数値の大小と、ＲＥＳ命令の命令マップの並び順を異ならせた例を示した図である。
【図６２】（ａ）ユーザプログラムの一部であるプログラム起動設定処理の一例を示した図である。（ｂ）ユーザプログラムの一部である電源投入時設定処理の一例を示した図である。
【図６３】主制御部タイマ割込処理に相当するユーザプログラムの一部を示した図である。
【図６４】主制御部３００が備える第４特殊命令の内容と、主制御部３００のＲＯＭ領域を示した図である。
【図６５】主制御部３００の命令マップのうち、第４特殊命令に係るＲＳＴ命令に該当する部分を抜き出して示した図である。
【図６６】スロットマシンを正面側（遊技者側）から見た外観斜視図である。
【図６７】前面扉を開けた状態のスロットマシンを示す正面図である。
【図６８】制御部の回路ブロック図を示したものである。
【図６９】（ａ）各リール（左リール、中リール、右リール）に施される図柄の配列を平面的に展開して示した図である。（ｂ）入賞役（作動役を含む）の種類、各入賞役に対応する図柄組合せ、各入賞役の作動または払出を示した図である。
【図７０】主制御部メイン処理の流れを示すフローチャートである。

【図７１】主制御部タイマ割込処理の流れを示すフローチャートである。
【図７２】（ａ）第１副制御部のＣＰＵ１４０４が実行するメイン処理のフローチャートである。（ｂ）第１副制御部のコマンド受信割込処理のフローチャートである。（ｃ）第１副制御部のタイマ割込処理のフローチャートである。
【図７３】（ａ）第２副制御部のＣＰＵ１５０４が実行するメイン処理のフローチャートである。（ｂ）第２副制御部のコマンド受信割込処理のフローチャートである。（ｃ）第２副制御部のタイマ割込処理のフローチャートである。（ｄ）第２副制御部の画像制御処理のフローチャートである。
【図７４】本発明の他の適用例を示した図である。
【図７５】マイクロプロセッサ３０００を用いた場合の基本回路３０２の一構成例を示す図である。
【図７６】リセットの流れを示すフローチャートである。
【図７７】図７５に示す乱数生成回路３１８の内部構成図である。
【図７８】図７７に示すノイズフィルタ３１８５による処理の一例を示す図である。
【図７９】図７７に示す乱数更新回路３１８３の詳細を示す図である。
【図８０】乱数生成範囲の最大値が設定されていない場合において出力される乱数の範囲を示す図である。
【図８１】図８０とは異なる最大値が設定された場合に出力される乱数の範囲を示す図である。
【図８２】最大値と最小値を設定した乱数生成範囲において、乱数を取得することができる範囲を示す図である。
【図８３】本実施形態の遊技台で使用される乱数の導出源を表で示す図である。
【図８４】割込み制御回路３１００の内部レジスタ３１０１に用意された第１内部情報レジスタを説明するための図である。
【図８５】周波数監視回路３１８２における異常の検出例を示す図である。
【図８６】乱数監視回路３１８４における異常の検出例を示す図である。
【図８７】乱数が一巡する周期とタイマ割込みの周期を比較した図である。
【図８８】主制御部メイン処理の流れを示すフローチャートである。
【図８９】主制御部メイン処理における初期設定２の流れを示すフローチャートである。
【図９０】ステップＳ１０５３における乱数生成回路初期設定処理の流れを示すフローチャートである。
【図９１】主制御部タイマ割込処理の流れを示すフローチャートである。
【図９２】（ａ）普図関連抽選処理の流れを示すフローチャートである。（ｂ）普図抽選テーブルを示す図である。
【図９３】特図関連抽選処理の流れを示すフローチャートである。
【図９４】（ａ）特図抽選テーブルを示す図である。（ｂ）停止図柄抽選テーブルを示す図である。
【図９５】デバイス監視処理の流れを示すフローチャートである。
【図９６】ステップＳ２１７における入賞受付処理のうち、特図当選乱数および普図当選乱数を取得する処理の流れを示した図である。
【図９７】（ａ）電源オフの場合の動作を示す図である。（ｂ）瞬断の場合の動作を示す図である。
【図９８】乱数生成範囲の問題点を示す図である。
【図９９】図７９で説明した乱数更新回路３１８３の変形例を示す図である。
【図１００】払出制御部メイン処理の流れを示すフローチャートである。
【図１０１】払出制御部タイマ割り込み処理の流れを示すフローチャートである。
【図１０２】割込み制御回路３１００の内部レジスタ３１０１に用意された第２内部情報レジスタを説明するための図である。
【図１０３】割込み制御回路３１００の内部レジスタ３１０１に用意された第３内部情報レジスタを説明するための図である。

【図１０４】割込み制御回路３１００の内部レジスタ３１０１に用意された第４内部情報レジスタを説明するための図である。
【図１０５】システムリセットの流れを乱数更新との関係を含めて示す図である。
【図１０６】（ａ）遊技制御プログラムの初期設定で実行される処理を模式的に示した図である。（ｂ）（ａ）の処理の概念を説明するための図である。
【図１０７】図７５に示すマイクロプロセッサ３０００のリセット制御回路３１４の変形例を示した図である。
【図１０８】主制御部３００と第１副制御部４００とのうち主制御部３００のみでＷＤＴ３１４１のタイムアウトが生じた場合の例を示すタイミングチャートである。
【図１０９】（ａ）主制御部の構成の第１変形例を示した図である。（ｂ）主制御部の構成の第２変形例を示した図である。（ｃ）ランダム遅延回路３１７、電圧監視回路３３８、およびＷＤＴ３１４を有して構成されたリセット回路の構成例を示した図である。
【図１１０】（ａ）図１０９（ｃ）の第１変形例を示した図である。（ｂ）図１０９（ｃ）の第２変形例を示した図である。
【図１１１】（ａ）図１０９（ｃ）に示すリセット回路の第３変形例を示した図である。（ｂ）ＣＰＵ３０４に接続される各種ＩＣの一部を示した図である。
【図１１２】図１１１（ｂ）に示すリセット信号出力端子ＸＲＳＴＯの接続の第１変形例を示した図である。
【図１１３】図４を用いて説明した基本回路３０２と、この基本回路３０２に接続される各種ＩＣの一部を示した図である。
【図１１４】（ａ）固定延長時間の設定例を示したものである。（ｂ）ランダム延長時間の設定例を示したものである。
【図１１５】ＷＤＴ３１４のタイムアウト時間の設定例を示したものである。
【図１１６】（ａ）～（ｄ）リセット出力端子ＸＳＲＳＴＯ端子の出力信号の変化と、セキュリティモードの状態変化を示した図である。
【図１１７】（ａ）、（ｂ）固定延長処理の終了タイミングと、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングが一致するが、ランダム延長時間が異なる例を示した図である。（ｃ）、（ｄ）固定延長処理の終了タイミングと、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングが一致するが、固定延長時間が異なる例を示した図である。
【図１１８】固定延長処理を契機にリセット出力信号を変化させる例を示した図である。
【図１１９】アドレス信号、データ信号、制御信号、およびリセット出力信号の変化と、セキュリティモードの状態変化を示した図である。
【図１２０】（ａ）外部リセット後の他の出力信号の状態変化を示した図である。（ｂ）内部リセット後の他の出力信号の状態変化を示した図である。
【図１２１】（ａ）外部リセット後の他の出力信号の状態変化の他の例を示した図である。（ｂ）内部リセット後の他の出力信号の状態変化の他の例を示した図である。
【図１２２】（ａ）外部リセット後のセキュリティモードの開始タイミングの例を示した図である。（ｂ）内部リセット後のセキュリティモードの開始タイミングの例を示した図である。
【図１２３】本発明の基本概念を示した図である。
【図１２４】（ａ）図２を用いて説明した電源基板１８２、払出基板１７０、および主基板１５６の接続例を示した図である。（ｂ）（ａ）に対応する従来の接続態様を示した図である。
【図１２５】変形例に係る主制御部メイン処理の流れを示すフローチャートであり、上記図１０に対応するフローチャートである。
【図１２６】主制御部メイン処理における初期設定２の流れを示すフローチャートである。
【図１２７】本発明に係る所定の出力端子の信号出力の一例を説明するための図である。
【図１２８】本発明に係る所定の出力端子の信号出力の一例を説明するための図である。

【図１２９】ユーザリセット時におけるシステムクロック信号、アドレス信号、データ信号、制御信号、およびリセット出力信号の変化を示した図である。
【図１３０】主制御部における電断時処理の流れを示すフローチャートである。
【図１３１】図７０のステップＳ２１０１における初期設定処理のフローチャートである。
【図１３２】図７５に示すタイマ回路３１１の構成を詳しく示したブロック図である。
【図１３３】図７５に示すカウンタ回路３１２の構成を詳しく示したブロック図である。
【図１３４】制御レジスタ３１２１を詳しく説明するための図である。
【図１３５】図７（ａ）に示すメモリマップ上における内蔵ＲＡＭエリアや内蔵レジスタエリアの読み込みや書き込みタイミングを説明するためのタイミングチャートである。
【図１３６】図７（ｂ）に示すＩ／Ｏマップ上における内蔵レジスタエリアの読み込みや書き込みタイミングを説明するためのタイミングチャートである。
【図１３７】図７５に示すマイクロプロセッサ３０００内部におけるカウンタ回路３１２への信号の流れを内部のみ示す図である。
【図１３８】カウンタ回路０を不定期な更新とする例を示した図である。
【図１３９】カウンタ回路０をカウンタ回路１の更新ソースとする変形例１を示した図である。
【図１４０】カウンタ回路０とカウンタ回路１で２バイトカウンタとして機能させる変形例２を示した図である。
【図１４１】カウンタ回路０の更新ソースをカウンタ回路１の更新ソースとする変３１例を示した図である。
【図１４２】カウンタ回路０とカウンタ回路１を相互にカスケード接続する変形例４を示す図である。
【図１４３】マイクロプロセッサ３０００（基本回路）の外部における外部メモリの読み込みや書き込みチップセレクトタイミングを説明するためのタイミングチャートである。
【図１４４】外部Ｉ／Ｏの読み込みや書き込みチップセレクトタイミングを説明するためのタイミングチャートである。
【図１４５】図７５に示すマイクロプロセッサ３０００内部におけるカウンタ回路３１２への信号の流れを内部のみ示す図である。
【図１４６】主制御部タイマ割込処理の流れを示すフローチャートである。
【図１４７】（ａ）第１副制御部のＣＰＵが実行するメイン処理のフローチャートである。（ｂ）第１副制御部のコマンド受信割込み処理のフローチャートである。（ｃ）第１副制御部のタイマ割込処理のフローチャートである。（ｄ）第１副制御部の画像制御処理のフローチャートである。
【図１４８】（ａ）第２副制御部５００のＣＰＵ５０４が実行するメイン処理のフローチャートである。（ｂ）第２副制御部５００のコマンド受信割込処理のフローチャートである。（ｃ）第２副制御部５００のタイマ割込処理のフローチャートである。
【図１４９】コマンド設定送信処理の流れを示すフローチャートである。
【図１５０】大当り中用コマンド送信処理の流れを示すフローチャートである。
【図１５１】ブロック転送処理の流れを示すフローチャートである。
【図１５２】（ａ）～（ｄ）大当り遊技中に参照されるコマンドテーブルの一例を示した図である。
【図１５３】本発明の特徴部分のみを抜き出して示したフローチャートである。
【図１５４】（ａ）、（ｂ）本発明の特徴部分を上記図１５３と異なる視点で示したフローチャートである。
【図１５５】本発明の特徴部分に対応する従来技術の処理の流れを示したフローチャートであり、上記図１５３に対応するフローチャートである。
【図１５６】（ａ）本発明に係る大当り中用コマンド送信処理においてブロック転送を行う場合の所要時間を示した図であり。（ｂ）従来技術に係る大当り中用コマンド送信処理においてブロック転送を行う場合の所要時間を示した図である。

【図１５７】補正時間待機処理の配置場所の例を示したフローチャートである。
【図１５８】割込み処理の流れを模式的に示した図である。
【図１５９】コマンド設定送信処理の流れを示すフローチャートである。
【図１６０】（ａ）～（ｆ）遊技中に参照されるコマンドテーブルの一例を示した図である。
【図１６１】主制御部３００が備える第５特殊命令の一部と、その説明を示した図である。
【図１６２】第５特殊命令のバイト数とステート数を比較した図である。
【図１６３】ＺフラグやＳＺフラグを変化させる命令の一例を示した図である。
【図１６４】タイマ更新処理の流れを示すフローチャートである。
【図１６５】（ａ）本発明に係るタイマ更新処理のプログラムの一例を示した図である。（ｂ）従来のタイマ更新処理のプログラムの一例を示した図である。
【図１６６】（ａ）表示図柄抽選の流れを示すフローチャートである。（ｂ）抽選準備処理の流れを示すフローチャートである。（ｃ）データ選択処理の流れを示すフローチャートである。
【図１６７】本発明に係る抽選準備処理のプログラムの一例を示した図である。
【図１６８】抽選処理の流れを示すフローチャートである。
【図１６９】本発明に係る抽選処理のプログラムの一例を示した図である。
【図１７０】従来の抽選処理のプログラムの一例を示した図である。
【図１７１】払出要求数送信処理の流れを示すフローチャートである。
【図１７２】本発明に係る払出要求数送信処理のプログラムの一例を示した図である。
【図１７３】本発明の概要を示した図である。
【図１７４】本発明の変形例を示した図である。
【図１７５】本発明の他の概要を示した図である。
【図１７６】ＷＡＲＵ命令の変形例を示した図である。
【図１７７】フラグ変化命令とフラグ判定命令を用いた処理を説明する概要図である。
【図１７８】フラグ変化命令とフラグ判定命令を用いた処理を説明する概要図である。
【図１７９】フラグ変化命令とフラグ判定命令を用いたプログラムの一例である。
【図１８０】フラグ変化命令とフラグ判定命令を用いたプログラムの一例である。
【図１８１】パチンコ機を正面側（遊技者側）から見た外観斜視図である。
【図１８２】遊技盤を正面から見た略示正面図である。
【図１８３】パチンコ機を背面側から見た外観斜視図である。
【図１８４】（ａ）特図の停止表示態様の一例を示したものである。（ｂ）装飾図柄の一例を示したものである。（ｃ）普図の停止表示態様の一例を示したものである。
【図１８５】制御部の回路ブロック図を示したものである。
【図１８６】基本回路の内部構成図である。
【図１８７】基本回路に接続される乱数用水晶発振器とシステム用水晶発振器の配線パターンの一例を示した回路ブロック図である。
【図１８８】乱数回路の内部構成図である。
【図１８９】乱数回路が備える周波数監視回路の内部構成図である。
【図１９０】主制御部メイン処理の流れを示すフローチャートである。
【図１９１】主制御部タイマ割り込み処理の流れを示すフローチャートである。
【図１９２】入賞受付処理の流れを示すフローチャートである。
【図１９３】特図状態更新処理の流れを示すフローチャートである。
【図１９４】払出制御部メイン処理の流れを示すフローチャートである。
【図１９５】（ａ）払出制御部タイマ割り込み処理の流れを示すフローチャートである。（ｂ）ストローブ割り込み処理の流れを示すフローチャートである。
【図１９６】（ａ）副制御部メイン処理の流れを示すフローチャートである。（ｂ）コマンド入力処理の流れを示すフローチャートである。（ｃ）変動パターン選択処理の流れを示すフローチャートである。（ｄ）図柄停止処理の流れを示すフローチャートである。（

ｅ）ストローブ割り込み処理の流れを示すフローチャートである。（ｆ）チャンスボタン割り込み処理の流れを示すフローチャートである。（ｇ）変数更新割り込み処理の流れを示すフローチャートである。
【図１９７】基本回路が搭載されるパッケージの外観斜視図であり、同図（ｂ）は、パッケージの視認非容易部の近傍を示す側面図である。
【図１９８】（ａ）基本回路が搭載されるパッケージの平面図である。（ｂ）パッケージの端子と下側基板のみを抜き出して示す外観斜視図である。
【図１９９】（ａ）変形例１に係るパッケージの下側基板の一部分を示す外観斜視図である。（ｂ）変形例２に係るパッケージの下側基板の一部分を示す外観斜視図である。（ｃ）変形例３に係るパッケージの下側基板の一部分を示す外観斜視図である。（ｄ）変形例４に係るパッケージの下側基板の一部分を示す外観斜視図である。
【図２００】（ａ）変形例５に係るパッケージの外観斜視図である。（ｂ）変形例６に係るパッケージの外観斜視図である。（ｃ）変形例７に係るパッケージの外観斜視図である。（ｄ）変形例８に係るパッケージの外観斜視図である。
【図２０１】（ａ）、（ｂ）スリット状の切欠き部を形成したパッケージの一例を示した外観斜視図である。
【図２０２】（ａ）円弧状の切欠き部を形成したパッケージの一例を示した外観斜視図である。（ｂ）、（ｃ）切欠き部を拡大して示す部分拡大図である。
【図２０３】（ａ）切欠き部の上面にシールが貼付されたパッケージの一例を示した外観斜視図である。（ｂ）パッケージを折り曲げた様子を示す外観斜視図である。（ｃ）折り曲げた後のパッケージを示す外観斜視図である。
【図２０４】（ａ）～（ｅ）変形例に係るパッケージの平面図である。（ｆ）～（ｇ）変形例に係るパッケージを長手方向から見た側面図である。
【図２０５】（ａ）ＩＣソケットの外観斜視図である。（ｂ）ＩＣソケットにパッケージを実装した状態を示す外観斜視図である。
【図２０６】パッケージの端子配置例を示す平面図である。
【図２０７】（ａ）変形例１に係るＩＣソケットの外観斜視図である。（ｂ）ＩＣソケットにパッケージを実装した状態を示す外観斜視図である。
【図２０８】（ａ）変形例２に係るＩＣソケットの外観斜視図である。（ｂ）ＩＣソケットのソケット端子が実装される基板の平面図である。
【図２０９】（ａ）図２０８（ａ）におけるＡ－Ａ線に沿った断面を模式的に示した図である。（ｂ）図２０８（ａ）におけるＢ－Ｂ線に沿った断面を模式的に示した図である。
【図２１０】変形例１に係るコネクト部とソケット端子の断面を模式的に示した図である。
【図２１１】変形例２に係るコネクト部とソケット端子の断面を模式的に示した図である。
【図２１２】（ａ）変形例３に係るＩＣソケットの外観斜視図である。（ｂ）変形例４に係るＩＣソケットの外観斜視図である。（ｃ）変形例５に係るＩＣソケットの外観斜視図である。
【図２１３】ＩＣソケットを基板に実装した例を示した外観斜視図である。
【図２１４】（ａ）ＩＣソケットが実装されるランドと、これらのランドと乱数用水晶発振器およびシステム用水晶発振器を接続する信号線の一例を示した図である。（ｂ）ランド近傍の部分拡大図である。
【図２１５】ＩＣソケットの外縁を説明するための図である。
【図２１６】基板１００２を側方から見た側面図である。
【図２１７】変形例１に係る配線パターンを示した図である。
【図２１８】（ａ）変形例２に係る配線パターンを示した図である。（ｂ）変形例３に係る配線パターンを示した図である。
【図２１９】変形例４に係る配線パターンを示した図である。
【図２２０】（ａ）変形例５に係る配線パターンを示した図である。（ｂ）、（ｃ）変形

例５に係る配線パターンを変更した図である。
【図２２１】変形例６に係る配線パターンを示した図である。
【図２２２】上述のＩＣソケットを実装する基板の平面図である。
【図２２３】変形例１に係る基板の平面図である。
【図２２４】変形例２に係る基板の平面図である。
【図２２５】変形例３に係る基板の平面図である。
【図２２６】スロットマシンの外観斜視図を示したものである。
【図２２７】主制御部の回路ブロック図を示したものである。
【図２２８】副制御部の回路ブロック図を示したものである。
【図２２９】主制御部のメイン処理の流れを示すフローチャートである。
【図２３０】遊技メダル投入処理の流れを示すフローチャートである。
【図２３１】乱数取得処理の流れを示すフローチャートである。
【図２３２】タイマ割込み処理の流れを示すフローチャートである。
【図２３３】電源基板１８２、払出基板１７０、および主基板１５６間の電源供給例を示す図である。
【図２３４】主基板１５６内の電源供給例を示す図である。
【図２３５】電源基板１８２と主基板１５６内の電源供給例を示す図である。
【図２３６】主基板１５６内の電源供給例を示す図である。
【図２３７】パチンコ機１００の電源投入後の起動処理のタイムチャートである。
【図２３８】図２３７の破線の楕円Ｏで囲んだ範囲を拡大した監視電圧を示す図である。
【図２３９】ＷＤＴ３１４の最初のリスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その１）を示す図である。
【図２４０】ＷＤＴ３１４の最初のリスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その２）を示す図である。
【図２４１】ＷＤＴ３１４の最初のリスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その３）を示す図である。
【図２４２】主制御部メイン処理の流れを示すフローチャートである。
【図２４３】主制御部メイン処理における遅延処理の流れを示すフローチャートである。
【図２４４】主制御部メイン処理における遅延処理の流れを示すフローチャートである。
【図２４５】主制御部メイン処理の流れを示すフローチャートである。
【図２４６】主制御部メイン処理における遅延処理の流れを示すフローチャートである。
【図２４７】主制御部タイマ割込処理の流れを示すフローチャートである。
【図２４８】主制御部タイマ割込処理におけるデバイス監視処理の流れを示すフローチャートである。
【図２４９】乱数生成回路から１６ビット乱数値をＲＡＭ３０８に取込む手順を示す図である。
【図２５０】乱数生成回路から１６ビット乱数値をＲＡＭ３０８に取込む手順を示す図である。
【図２５１】（ａ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される乱数取得判定処理を示すフローチャートである。（ｂ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される乱数取得処理を示すフローチャートである。
【図２５２】（ａ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される図２５１（ａ）に示す乱数取得判定処理をより詳細に説明するフローチャートである。（ｂ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される図２５１（ｂ）に示す乱数取得処理をより詳細に説明するフローチャートである。
【図２５３】所定のソフトラッチ乱数値レジスタに乱数生成回路９００６から逐次入力される１６ビット乱数値を直接取込む方法を示す図である。
【図２５４】図２５３に示す乱数直接取込みにおいて実行される乱数取得判定／取得処理を示すフローチャートである。

【図２５５】図２５３に示す乱数直接取込み（取得）手順において実行される図２５４に示す乱数取得判定／取得処理をより詳細に説明するフローチャートである。
【図２５６】図２４９や図２５０に示した乱数値取込みの手順を記述したプログラムコードの一例を示す図である。
【図２５７】図２５３に示した乱数値直接取込みの手順を記述したプログラムコードの一例を示す図である。
【図２５８】第三の命令を用いることの利点について説明する図である。
【図２５９】（ａ）は大当り判定テーブルの一例を、（ｂ）は高確率状態移行判定テーブルの一例を、（ｃ）はタイマ番号決定テーブルの一例を、それぞれ示した図である。
【図２６０】（ａ）は払出要求数テーブルの一例を、（ｂ）は払出加工テーブルの一例を、（ｃ）はタイマ制御データテーブルの一例を、（ｄ）はジャンプテーブルの一例を、（ｅ）は復元データテーブルの一例を、それぞれ示した図である。
【図２６１】同パチンコ機の主制御部リセット割り込み処理の流れを示したフローチャートである。
【図２６２】同パチンコ機の機能限定ウェイト処理の流れを示したフローチャートである。
【図２６３】同パチンコ機の主制御部タイマ割り込み処理の流れを示したフローチャートである。
【図２６４】同パチンコ機の払出要求数送信処理の流れを示したフローチャートである。
【図２６５】同パチンコ機のタイマ更新処理の流れを示したフローチャートである。
【図２６６】同パチンコ機のコマンド設定送信処理の流れを示したフローチャートである。
【図２６７】同パチンコ機の基本コマンド設定送信処理の流れを示したフローチャートである。
【図２６８】同パチンコ機のコマンド送信処理の流れを示したフローチャートである。
【図２６９】同パチンコ機の復帰コマンド設定処理の流れを示したフローチャートである。
【図２７０】同パチンコ機の払出制御部リセット処理の流れを示したフローチャートである。
【図２７１】同パチンコ機のコマンド解析処理の流れを示したフローチャートである。
【図２７２】同パチンコ機のコマンド受信割り込み処理の流れを示したフローチャートである。
【図２７３】同パチンコ機の払出制御部タイマ割り込み処理の流れを示したフローチャートである。
【図２７４】１６ビット乱数回路の内部構成図である。
【図２７５】８ビット乱数回路の内部構成図である。
【図２７６】主制御部メイン処理の流れを示すフローチャートであり、図２７６（ａ）はプログラム起動設定処理の流れを示すフローチャートであり、図２７６（ｂ）は、電源投入時処理の流れを示すフローチャートであり、図２７６（ｃ）は、初期設定２の流れを示すフローチャートである。
【図２７７】主制御部メイン処理における遅延処理の流れを示すフローチャートである。
【図２７８】主制御部タイマ割込処理の流れを示すフローチャートである。
【図２７９】主制御部タイマ割込処理におけるデバイス監視処理の流れを示すフローチャートである。
【図２８０】本実施形態の遊技台（パチンコ機）で使用される乱数の導出源を表で示す図である。
【図２８１】本実施形態の遊技台（スロットマシン）で使用される乱数の導出源を表で示す図である。
【図２８２】（ａ）は、基本回路５３０２が搭載されるパッケージ１０１００ａおよびパッケージ１０１００ｂの平面図である。（ｂ）は、パッケージ１０１００ａおよびパッケ

ージ１０１００ｂを接続部材１０１００ｃを用いて接続した形状を示す平面図である。（ｃ）は、同側面図である。（ｄ）は、同斜視図である。
【図２８３】（ａ）は、基本回路５３０２が搭載されるパッケージ１０１２０ａおよびパッケージ１０１２０ｂを接続配線部１０１２０ｃで接続した形状を示す平面図である。（ｂ）は、同側面図である。（ｃ）は、同斜視図である。
【図２８４】図２８２（ｂ）、（ｃ）、（ｄ）に示すパッケージ１０１００ａおよびパッケージ１０１００ｂを接続部材１０１００ｃで一体化して収容ケース１０１０３で覆った状態を示す図である。
【図２８５】図２８３（ａ）、（ｂ）、（ｃ）に示すパッケージ１０１２０ａおよびパッケージ１０１２０ｂを接続配線部１０１２０ｃで一体化して収容ケース１０１０４で覆った状態を示す図である。
【図２８６】特図始動口ポートの状態と乱数取得との関係を示す図である。
【図２８７】特図始動口ポートの状態と乱数取得との関係を示す図である。
【図２８８】実施形態７の変形例に係るパチンコ機（遊技台）に用いられるカウンタ回路３１２について説明する図である。
【図２８９】ＣＰＵ３０４によって実行される処理Ａ～処理Ｄを示す図である。
【図２９０】ＣＰＵ３０４によって実行される処理Ａ～処理Ｄを示す図である。
【図２９１】割込み初期設定レジスタの設定例を示す図である。
【図２９２】割込み要求が発生した場合のジャンプ先アドレスとＲＳＴ命令でのジャンプ先アドレスとの関連について説明する図である。
【図２９３】実施形態８の変形例について説明する図である。
【図２９４】パチンコ機を正面側（遊技者側）から見た外観斜視図である。
【図２９５】パチンコ機を正面側から見た正面図である。
【図２９６】パチンコ機の前面枠扉を開いた状態の外観斜視図である。
【図２９７】パチンコ機の前面枠扉を開いた状態の正面図である。
【図２９８】パチンコ機の背面側から見た正面図である。
【図２９９】パチンコ機の遊技盤の略示正面図である。
【図３００】循環する遊技球の経路と各種センサの位置を説明するための遊技盤の略示正面図である。
【図３０１】パチンコ機と管理装置の接続を示すブロック図である。
【図３０２】球数ＵＩ部の略示上面図である。
【図３０３】（ａ）特図の停止図柄態様の一例を示したものである。（ｂ）装飾図柄の停止図柄態様の一例を示したものである。（ｃ）普図の停止表示図柄の一例を示したものである。
【図３０４】制御部の回路ブロック図を示したものである。
【図３０５】主制御部メイン処理の流れを示すフローチャートである。
【図３０６】主制御部タイマ割込処理の流れを示すフローチャートである。
【図３０７】（ａ）第１副制御部のＣＰＵが実行するメイン処理のフローチャートである。（ｂ）第１副制御部のコマンド受信割込みのフローチャートである。（ｃ）第１副制御部のタイマ割込処理のフローチャートである。（ｄ）第１副制御部の画像制御処理のフローチャートである。
【図３０８】（ａ）第２副制御部のＣＰＵが実行するメイン処理のフローチャートである。（ｂ）第２副制御部のコマンド受信割込処理のフローチャートである。（ｃ）第２副制御部のタイマ割込処理のフローチャートである。
【図３０９】（ａ）球数制御部のＣＰＵが実行するメイン処理のフローチャートである。（ｂ）球数制御部のコマンド受信割込み処理のフローチャートである。
【図３１０】球数制御部の割込み処理のフローチャートである。
【図３１１】パチンコ機と管理装置の通信手順を示すシーケンスチャートである。
【図３１２】パチンコ機と管理装置の通信手順を示すシーケンスチャートである。
【図３１３】パチンコ機と管理装置の通信手順を示すシーケンスチャートである。

【図３１４】パチンコ機と管理装置の通信手順を示すシーケンスチャートである。
【図３１５】パチンコ機と管理装置の通信手順を示すシーケンスチャートである。
【図３１６】（ａ）装飾図柄表示装置に画像が表示されている状態のパチンコ機の正面図である。（ｂ）球数ＵＩ部の上面略示図である。
【図３１７】球数ＵＩ部の表示画像を切り替えた状態を示す図であって、（ａ）装飾図柄表示装置に画像が表示されている状態のパチンコ機の正面図であり、（ｂ）球数ＵＩ部の上面略示図である。
【図３１８】球数ＵＩ部の表示画像を切り替えた状態の他の形態を示す図であって、（ａ）装飾図柄表示装置に画像が表示されている状態のパチンコ機の正面図であり、（ｂ）球数ＵＩ部の上面略示図である。
【図３１９】制御部の他の実施形態の回路ブロック図を示したものである。
【図３２０】（ａ）主制御部と球数制御部の通信処理を説明するブロック図である。（ｂ）シリアル通信回路を説明するブロック図である。
【図３２１】（ａ）入賞口カウンタ更新処理のフローチャートである。（ｂ）シリアルコマンド管理処理のフローチャートである。（ｃ）シリアルコマンド受信処理のフローチャートである。（ｄ）シリアルコマンド送信処理のフローチャートである。（ｅ）賞球数数表示処理のフローチャートである。
【図３２２】（ａ）入賞口カウンタ更新処理のフローチャートである。（ｂ）入賞数記憶領域の概要図である。
【図３２３】（ａ）シリアルコマンド管理処理のフローチャートである。（ｂ）シリアルコマンド受信処理のフローチャートである。
【図３２４】（ａ）シリアルコマンド送信処理のフローチャートである。（ｂ）入賞数記憶領域の概要図である。（ｃ）入賞数記憶領域の概要図である。
【図３２５】（ａ）入賞数記憶領域の概要図である。（ｂ）入賞数記憶領域の概要図である。（ｃ）入賞数記憶領域の概要図である。（ｄ）賞球コマンドの一例である。
【図３２６】（ａ）賞球数表示処理のフローチャートである。（ｂ）入賞数記憶領域の概要図である。
【図３２７】（ａ）主制御通信エラー管理処理のフローチャートである。（ｂ）遊技球数減算処理のフローチャートである。（ｃ）遊技球数表示処理のフローチャートである。
【図３２８】（ａ）シリアルコマンド管理処理のフローチャートである。（ｂ）シリアルコマンド受信処理のフローチャートである。（ｃ）シリアルコマンド送信処理のフローチャートである。
【図３２９】主制御部と球数制御部間の通信処理のタイミングチャートである。
【図３３０】主制御部と球数制御部間の通信処理のタイミングチャートである。
【図３３１】主制御部と球数制御部間の通信処理のタイミングチャートである。
【図３３２】主制御部と球数制御部間の通信処理のタイミングチャートである。
【図３３３】主制御部と球数制御部間の通信処理のタイミングチャートである。
【図３３４】発射制御処理および球送り制御処理を説明するブロック図である。
【図３３５】球送り制御処理を説明するフローチャートである。
【図３３６】発射制御処理を説明するフローチャートである。
【図３３７】（ａ）球送り制御処理を説明するフローチャートである。（ｂ）発射制御処理を説明するフローチャートである。
【図３３８】球送り制御処理および発射制御処理を説明するフローチャートである。
【図３３９】球送りソレノイドと発射ソレノイドのタイミングチャートである。
【図３４０】球送りソレノイドと発射ソレノイドのタイミングチャートである。
【図３４１】球送りソレノイドと発射ソレノイドのタイミングチャートである。
【図３４２】遊技媒体経路の他の形態を説明する概要図である。
【図３４３】貯留球数管理処理を説明するフローチャートである。
【図３４４】球送りソレノイドと発射ソレノイドのタイミングチャートである。
【図３４５】主制御部、球数制御部、および発射ソレノイドのタイミングチャートである

。
【図３４６】電断・復電時のパチンコ機の状態を説明する概要図である。
【図３４７】電断・復電時のパチンコ機の状態を説明する概要図である。
【図３４８】電源制御部を説明するブロック図である。
【図３４９】ＲＡＭに設けられるバックアップ領域の概要図である。
【図３５０】（ａ）球数制御部メイン処理を説明するフローチャートである。（ｂ）球数制御部コマンド受信割込み処理を説明するフローチャートである。
【図３５１】（ａ）コマンド解析処理を説明するフローチャートである。（ｂ）電断処理を説明するフローチャートである。
【図３５２】球数制御部割込み処理を説明するフローチャートである。
【図３５３】（ａ）エラー管理処理を説明するフローチャートである。（ｂ）遊技球数管理処理を説明するフローチャートである。（ｃ）領域内球数管理処理を説明するフローチャートである。
【図３５４】（ａ）遊技媒体経路管理処理を説明するフローチャートである。（ｂ）球磨き装置制御処理を説明するフローチャートである。（ｃ）揚上装置制御処理を説明するフローチャートである。
【図３５５】投入検出センサおよび排出検出センサの状態判定を説明する図である。
【図３５６】エラー発生時の報知態様を説明する図である。
【図３５７】エラー報知態様の一例を説明する概要図である。
【図３５８】第１のエラー報知態様におけるエラー報知までのタイムチャートである。
【図３５９】第１のエラー報知態様の一例を示す図であって、（ａ）パチンコ機の正面図であり、（ｂ）球数ＵＩ部の上面図である。
【図３６０】第２のエラー報知態様に係る球数制御部の（ａ）コマンド解析処理を説明するフローチャートであり、（ｂ）電断処理のフローチャートである。
【図３６１】第２のエラー報知態様に係る球数制御部割込み処理のフローチャートである。
【図３６２】第２のエラー報知態様におけるエラー報知までのタイムチャートである。
【図３６３】第２のエラー報知態様の一例を示す図であって、（ａ）パチンコ機の正面図であり、（ｂ）球数ＵＩ部の上面図である。
【図３６４】第３のエラー報知態様の一例を示す図である。
【発明を実施するための形態】
【０００８】
＜実施形態１＞
【０００９】
以下、図面を用いて、本発明の実施形態１に係る遊技台（パチンコ機１００）について詳細に説明する。
＜全体構成＞
【００１０】
まず、図１を用いて、本発明の実施形態１に係るパチンコ機１００の全体構成について説明する。なお、同図はパチンコ機１００を正面側（遊技者側）から見た外観斜視図である。
【００１１】
パチンコ機１００は、外部的構造として、外枠１０２と、本体１０４と、前面枠扉１０６と、球貯留皿付扉１０８と、発射装置１１０と、遊技盤２００と、をその前面に備える。
【００１２】
外枠１０２は、遊技機設置営業店に設けられた設置場所（島設備等）へと固定させるための縦長方形状から成る木製の枠部材である。本体１０４は、内枠と呼ばれ、外枠１０２の内部に備えられ、ヒンジ部１１２を介して外枠１０２に回動自在に装着された縦長方形状の遊技機基軸体となる部材である。また、本体１０４は、枠状に形成され、内側に空間

部１１４を有している。また、本体１０４が開放された場合、本体１０４の開放を検出する不図示の内枠開放センサを備える。

【００１３】

前面枠扉１０６は、ロック機能付きで且つ開閉自在となるようにパチンコ機１００の前面側となる本体１０４の前面に対しヒンジ部１１２を介して装着され、枠状に構成されることでその内側を開口部とした扉部材である。なお、この前面枠扉１０６には、開口部にガラス製又は樹脂製の透明板部材１１８が設けられ、前面側には、スピーカ１２０や枠ランプ１２２が取り付けられている。前面枠扉１０６の後面と遊技盤２００の前面とで遊技領域１２４を区画形成する。また、前面枠扉１０６が開放された場合、前面枠扉１０６の開放を検出する不図示の前面枠扉開放センサを備える。

【００１４】

球貯留皿付扉１０８は、パチンコ機１００の前面において本体１０４の下側に対して、ロック機能付きで且つ開閉自在となるように装着された扉部材である。球貯留皿付扉１０８は、複数の遊技球（以下、単に「球」と称する場合がある）が貯留可能で且つ発射装置１１０へと遊技球を案内させる通路が設けられている上皿１２６と、上皿１２６に貯留しきれない遊技球を貯留する下皿１２８と、遊技者の操作によって上皿１２６に貯留された遊技球を下皿１２８へと排出させる球抜ボタン１３０と、遊技者の操作によって下皿１２８に貯留された遊技球を遊技球収集容器（俗称、ドル箱）へと排出させる球排出レバー１３２と、遊技者の操作によって発射装置１１０へと案内された遊技球を遊技盤２００の遊技領域１２４へと打ち出す球発射ハンドル１３４と、遊技者の操作によって各種演出装置２０６の演出態様に変化を与えるチャンスボタン１３６と、チャンスボタン１３６を発光させるチャンスボタンランプ１３８と、遊技店に設置されたカードユニット（ＣＲユニット）に対して球貸し指示を行う球貸操作ボタン１４０と、カードユニットに対して遊技者の残高の返却指示を行う返却操作ボタン１４２と、遊技者の残高やカードユニットの状態を表示する球貸表示部１４４と、を備える。また、下皿１２８が満タンであることを検出する不図示の下皿満タンセンサを備える。

【００１５】

発射装置１１０は、本体１０４の下方に取り付けられ、球発射ハンドル１３４が遊技者に操作されることによって回動する発射杆１４６と、遊技球を発射杆１４６の先端で打突する発射槌１４８と、を備える。

【００１６】

遊技盤２００は、前面に遊技領域１２４を有し、本体１０４の空間部１１４に臨むように、所定の固定部材を用いて本体１０４に着脱自在に装着されている。なお、遊技領域１２４は、遊技盤２００を本体１０４に装着した後、開口部から観察することができる。

【００１７】

図２は、図１のパチンコ機１００を背面側から見た外観図である。パチンコ機１００の背面上部には、上方に開口した開口部を有し、遊技球を一時的に貯留するための球タンク１５０と、この球タンク１５０の下方に位置し、球タンク１５０の底部に形成した連通孔を通過して落下する球を背面右側に位置する払出装置１５２に導くためのタンクレール１５４とを配設している。

【００１８】

払出装置１５２は、筒状の部材からなり、その内部には、不図示の払出モータとスプロケットと払出センサとを備えている。スプロケットは、払出モータによって回転可能に構成されており、タンクレール１５４を通過して払出装置１５２内に流下した遊技球を一時的に滞留させると共に、払出モータを駆動して所定角度だけ回転することにより、一時的に滞留した遊技球を払出装置１５２の下方へ１個ずつ送り出すように構成している。

【００１９】

払出センサは、スプロケットが送り出した遊技球の通過を検知するためのセンサであり、遊技球が通過しているときにハイまたはローの何れか一方の信号を、遊技球が通過していないときはハイまたはローの何れか他方の信号を払出制御部６００へ出力する。なお、

この払出センサを通過した遊技球は、不図示の球レールを通過してパチンコ機１００の表側に配設した上皿１２６に到達するように構成しており、パチンコ機１００は、この構成により遊技者に対して球の払い出しを行う。

【００２０】

払出装置１５２の図中左側には、遊技全般の制御処理を行う主制御部３００を構成する主基板１５６を収納する主基板ケース１５８、主制御部３００が生成した処理情報に基づいて演出に関する制御処理を行う第１副制御部４００を構成する第１副基板１６０を収納する第１副基板ケース１６２、第１副制御部４００が生成した処理情報に基づいて演出に関する制御処理を行う第２副制御部５００を構成する第２副基板１６４を収納する第２副基板ケース１６６、遊技球の払出に関する制御処理を行う払出制御部６００を構成するとともに遊技店員の操作によってエラーを解除するエラー解除スイッチ１６８を備える払出基板１７０を収納する払出基板ケース１７２、遊技球の発射に関する制御処理を行う発射制御部６３０を構成する発射基板１７４を収納する発射基板ケース１７６、各種電気的遊技機器に電源を供給する電源制御部６６０を構成するとともに遊技店員の操作によって電源をオンオフする電源スイッチ１７８と電源投入時に操作されることによってＲＷＭクリア信号を主制御部３００に出力するＲＷＭクリアスイッチ１８０とを備える電源基板１８２を収納する電源基板ケース１８４、および払出制御部６００とカードユニットとの信号の送受信を行うＣＲインターフェース部１８６を配設している。

【００２１】

図３は、遊技盤２００を正面から見た略示正面図である。遊技盤２００には、外レール２０２と内レール２０４とを配設し、遊技球が転動可能な遊技領域１２４を区画形成している。

【００２２】

遊技領域１２４の略中央には、演出装置２０６を配設している。この演出装置２０６には、略中央に装飾図柄表示装置２０８を配設し、その周囲に、普通図柄表示装置２１０と、第１特別図柄表示装置２１２と、第２特別図柄表示装置２１４と、普通図柄保留ランプ２１６と、第１特別図柄保留ランプ２１８と、第２特別図柄保留ランプ２２０と、高確中ランプ２２２を配設している。なお、以下、普通図柄を「普図」、特別図柄を「特図」と称する場合がある。

【００２３】

演出装置２０６は、演出可動体２２４を動作して演出を行うものであり、詳細については後述する。装飾図柄表示装置２０８は、装飾図柄ならびに演出に用いる様々な表示を行うための表示装置であり、本実施例では液晶表示装置（Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙ）によって構成する。この装飾図柄表示装置２０８は、左図柄表示領域２０８ａ、中図柄表示領域２０８ｂ、右図柄表示領域２０８ｃおよび演出表示領域２０８ｄの４つの表示領域に分割し、左図柄表示領域２０８ａ、中図柄表示領域２０８ｂおよび右図柄表示領域２０８ｃはそれぞれ異なった装飾図柄を表示し、演出表示領域２０８ｄは演出に用いる画像を表示する。さらに、各表示領域２０８ａ、２０８ｂ、２０８ｃ、２０８ｄの位置や大きさは、装飾図柄表示装置２０８の表示画面内で自由に変更することを可能としている。なお、装飾図柄表示装置２０８として液晶表示装置を採用しているが、液晶表示装置でなくとも、種々の演出や種々の遊技情報を表示可能に構成されていればよく、例えば、ドットマトリクス表示装置、７セグメント表示装置、有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓｃｅｎｃｅ）表示装置、リール（ドラム）式表示装置、リーフ式表示装置、プラズマディスプレイ、プロジェクタを含む他の表示デバイスを採用してもよい。

【００２４】

普図表示装置２１０は、普図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。第１特図表示装置２１２および第２特図表示装置２１４は、特図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。

【００２５】

普図保留ランプ２１６は、保留している普図変動遊技（詳細は後述）の数を示すためのランプであり、本実施例では、普図変動遊技を所定数（例えば、２つ）まで保留することを可能としている。第１特図保留ランプ２１８および第２特図保留ランプ２２０は、保留している特図変動遊技（詳細は後述）の数を示すためのランプであり、本実施例では、特図変動遊技を所定数（例えば、４つ）まで保留することを可能としている。高確中ランプ２２２は、遊技状態が大当りが発生し易い高確率状態であること、または高確率状態になることを示すためのランプであり、遊技状態を大当りが発生し難い低確率状態から高確率状態にする場合に点灯し、高確率状態から低確率状態にする場合に消灯する。

【００２６】

また、この演出装置２０６の周囲には、所定の球進入口、例えば、一般入賞口２２６と、普図始動口２２８と、第１特図始動口２３０と、第２特図始動口２３２と、可変入賞口２３４を配設している。

【００２７】

一般入賞口２２６は、本実施例では遊技盤２００に複数配設しており、この一般入賞口２２６への入球を所定の球検出センサ（図示省略）が検出した場合（一般入賞口２２６に入賞した場合）、払出装置１５２を駆動し、所定の個数（例えば、１０個）の球を賞球として上皿１２６に排出する。上皿１２６に排出した球は遊技者が自由に取り出すことが可能であり、これらの構成により、入賞に基づいて賞球を遊技者に払い出すようにしている。なお、一般入賞口２２６に入球した球は、パチンコ機１００の裏側に誘導した後、遊技島側に排出する。本実施例では、入賞の対価として遊技者に払い出す球を「賞球」、遊技者に貸し出す球を「貸球」と区別して呼ぶ場合があり、「賞球」と「貸球」を総称して「球（遊技球）」と呼ぶ。

【００２８】

普図始動口２２８は、ゲートやスルーチャッカーと呼ばれる、遊技領域１２４の所定の領域を球が通過したか否かを判定するための装置で構成しており、本実施例では遊技盤２００の左側に１つ配設している。普図始動口２２８を通過した球は一般入賞口２２６に入球した球と違って、遊技島側に排出することはない。球が普図始動口２２８を通過したことを所定の球検出センサが検出した場合、パチンコ機１００は、普図表示装置２１０による普図変動遊技を開始する。

【００２９】

第１特図始動口２３０は、本実施例では遊技盤２００の中央に１つだけ配設している。この第１特図始動口２３０への入球を所定の球検出センサが検出した場合、後述する払出装置１５２を駆動し、所定の個数（例えば、３個）の球を賞球として上皿１２６に排出するとともに、第１特図表示装置２１２による特図変動遊技を開始する。なお、第１特図始動口２３０に入球した球は、パチンコ機１００の裏側に誘導した後、遊技島側に排出する。

【００３０】

第２特図始動口２３２は、電動チューリップ（電チュー）と呼ばれ、本実施例では第１特図始動口２３０の真下に１つだけ配設している。この第２特図始動口２３２は、左右に開閉自在な羽根部材２３２ａを備え、羽根部材２３２ａの閉鎖中は球の入球が不可能であり、普図変動遊技に当選し、普図表示装置２１０が当り図柄を停止表示した場合に羽根部材２３２ａが所定の時間間隔、所定の回数で開閉する。第２特図始動口２３２への入球を所定の球検出センサが検出した場合、払出装置１５２を駆動し、所定の個数（例えば、４個）の球を賞球として上皿１２６に排出するとともに、第２特図表示装置２１４による特図変動遊技を開始する。なお、第２特図始動口２３２に入球した球は、パチンコ機１００の裏側に誘導した後、遊技島側に排出する。

【００３１】

可変入賞口２３４は、大入賞口またはアタッカーと呼ばれ、本実施例では遊技盤２００の中央部下方に１つだけ配設している。この可変入賞口２３４は、開閉自在な扉部材２３４ａを備え、扉部材２３４ａの閉鎖中は球の入球が不可能であり、特図変動遊技に当選し

て特図表示装置が大当り図柄を停止表示した場合に扉部材２３４ａが所定の時間間隔（例えば、開放時間２９秒、閉鎖時間１．５秒）、所定の回数（例えば１５回）で開閉する。可変入賞口２３４への入球を所定の球検出センサが検出した場合、払出装置１５２を駆動し、所定の個数（例えば、１５個）の球を賞球として上皿１２６に排出する。なお、可変入賞口２３４に入球した球は、パチンコ機１００の裏側に誘導した後、遊技島側に排出する。

【００３２】

さらに、これらの入賞口や始動口の近傍には、風車と呼ばれる円盤状の打球方向変換部材２３６や、遊技釘２３８を複数個、配設していると共に、内レール２０４の最下部には、いずれの入賞口や始動口にも入賞しなかった球をパチンコ機１００の裏側に誘導した後、遊技島側に排出するためのアウト口を設けている。

【００３３】

このパチンコ機１００は、遊技者が上皿１２６に貯留している球を発射レールの発射位置に供給し、遊技者の操作ハンドルの操作量に応じた強度で発射モータを駆動し、発射杆１４６および発射槌１４８によって外レール２０２、内レール２０４を通過させて遊技領域１２４に打ち出す。そして、遊技領域１２４の上部に到達した球は、打球方向変換部材２３６や遊技釘２３８等によって進行方向を変えながら下方に落下し、入賞口（一般入賞口２２６、可変入賞口２３４）や始動口（第１特図始動口２３０、第２特図始動口２３２）に入賞するか、いずれの入賞口や始動口にも入賞することなく、または普図始動口２２８を通過するのみでアウト口２４０に到達する。

＜演出装置２０６＞

次に、パチンコ機１００の演出装置２０６について説明する。

【００３４】

この演出装置２０６の前面側には、遊技球の転動可能な領域にワープ装置２４２およびステージ２４４を配設し、遊技球の転動不可能な領域に演出可動体２２４を配設している。また、演出装置２０６の背面側には、装飾図柄表示装置２０８および遮蔽装置２４６（以下、扉と称する場合がある）を配設している。すなわち、演出装置２０６において、装飾図柄表示装置２０８および遮蔽手段は、ワープ装置２４２、ステージ２４４、および演出可動体２２４の後方に位置することとなる。

【００３５】

ワープ装置２４２は、演出装置２０６の左上方に設けたワープ入口２４２ａに入った遊技球を演出装置２０６の前面下方のステージ２４４にワープ出口２４２ｂから排出する。ステージ２４４は、ワープ出口２４２ｂから排出された球や遊技盤２００の釘などによって乗り上げた球などが転動可能であり、ステージ２４４の中央部には、通過した球が第１特図始動口２３０へ入球し易くなるスペシャルルート２４４ａを設けている。

【００３６】

演出可動体２２４は、本実施形態では人間の右腕の上腕と前腕を模した上腕部２２４ａと前腕部２２４ｂとからなり、肩の位置に上腕部２２４ａを回動させる不図示の上腕モータと肘の位置に前腕部２２４ｂを回動させる不図示の前腕モータを備える。演出可動体２２４は、上腕モータと前腕モータによって装飾図柄表示装置２０８の前方を移動する。

【００３７】

遮蔽装置２４６は、格子状の左扉２４６ａおよび右扉２４６ｂからなり、装飾図柄表示装置２０８および前面ステージ２４４の間に配設する。左扉２４６ａおよび右扉２４６ｂの上部には、不図示の２つのプーリに巻き回したベルトをそれぞれ固定している。すなわち、左扉２４６ａおよび右扉２４６ｂは、モータによりプーリを介して駆動するベルトの動作に伴って左右にそれぞれ移動する。遮蔽手段は、左扉２４６ａおよび右扉２４６ｂを閉じた状態ではそれぞれの内側端部が重なり、遊技者が装飾図柄表示装置２０８を視認し難いように遮蔽する。左扉２４６ａおよび右扉２４６ｂを開いた状態ではそれぞれの内側端部が装飾図柄表示装置２０８の表示画面の外側端部と若干重なるが、遊技者は装飾図柄表示装置２０８の表示の全てを視認可能である。また、左扉２４６ａおよび右扉２４６ｂ

は、それぞれ任意の位置で停止可能であり、例えば、表示した装飾図柄がどの装飾図柄であるかを遊技者が識別可能な程度に、装飾図柄の一部だけを遮蔽するようなことができる。なお、左扉２４６ａおよび右扉２４６ｂは、格子の孔から後方の装飾図柄表示装置２０８の一部を視認可能にしてもよいし、格子の孔の障子部分を半透明のレンズ体で塞ぎ、後方の装飾図柄表示装置２０８による表示を漠然と遊技者に視認させるようにしてもよいし、格子の孔の障子部分を完全に塞ぎ（遮蔽し）、後方の装飾図柄表示装置２０８を全く視認不可にしてもよい。

＜制御部＞

【００３８】

次に、図４を用いて、このパチンコ機１００の制御部の回路構成について詳細に説明する。なお、同図は制御部の回路ブロック図を示したものである。

【００３９】

パチンコ機１００の制御部は、大別すると、主に遊技の進行（例えば、遊技者による操作の検出、遊技状態の遷移、遊技媒体の払出制御、当否判定など）を制御する主制御部３００と、主制御部３００が送信するコマンド信号（以下、単に「コマンド」と呼ぶ）に応じて主に演出の制御を行う第１副制御部４００と、第１副制御部４００より送信されたコマンドに基づいて各種機器を制御する第２副制御部５００と、主制御部３００が送信するコマンドに応じて主に遊技球の払い出しに関する制御を行う払出制御部６００と、遊技球の発射制御を行う発射制御部６３０と、パチンコ機１００に供給される電源を制御する電源制御部６６０と、によって構成している。

＜主制御部＞

まず、パチンコ機１００の主制御部３００について説明する。

【００４０】

主制御部３００は、主制御部３００の全体を制御する基本回路３０２を備えており、この基本回路３０２には、ＣＰＵ３０４と、制御プログラムや各種データを記憶するためのＲＯＭ３０６と、一時的にデータを記憶するためのＲＡＭ３０８と、各種デバイスの入出力を制御するためのＩ／Ｏ３１０と、時間や回数等を計測するためのカウンタタイマ３１２と、プログラム処理の異常を監視するＷＤＴ３１４を搭載している。なお、ＲＯＭ３０６やＲＡＭ３０８については他の記憶装置を用いてもよく、この点は後述する第１副制御部４００についても同様である。この基本回路３０２のＣＰＵ３０４は、水晶発振器３１６ｂが出力する所定周期のクロック信号をシステムクロックとして入力して動作する。

【００４１】

また、基本回路３０２には、水晶発振器３１６ａが出力するクロック信号を受信する度に０～６５５３５の範囲で数値を変動させるハードウェア乱数カウンタとして使用しているカウンタ回路３１８（この回路には２つのカウンタを内蔵しているものとする）と、所定の球検出センサ、例えば各始動口、入賞口、可変入賞口を通過する遊技球を検出するセンサや、前面枠扉開放センサや内枠開放センサや下皿満タンセンサを含む各種センサ３２０が出力する信号を受信し、増幅結果や基準電圧との比較結果をカウンタ回路３１８および基本回路３０２に出力するためのセンサ回路３２２と、所定の図柄表示装置、例えば第１特図表示装置２１２や第２特図表示装置２１４の表示制御を行うための駆動回路３２４と、所定の図柄表示装置、例えば普図表示装置２１０の表示制御を行うための駆動回路３２６と、各種状態表示部３２８（例えば、普図保留ランプ２１６、第１特図保留ランプ２１８、第２特図保留ランプ２２０、高確中ランプ２２２等）の表示制御を行うための駆動回路３３０と、所定の可動部材、例えば第２特図始動口２３２の羽根部材２３２ａや可変入賞口２３４の扉部材２３４ａ等を開閉駆動する各種ソレノイド３３２を制御するための駆動回路３３４を接続している。

【００４２】

なお、第１特図始動口２３０に球が入賞したことを球検出センサ３２０が検出した場合には、センサ回路３２２は球を検出したことを示す信号をカウンタ回路３１８に出力する。この信号を受信したカウンタ回路３１８は、第１特図始動口２３０に対応するカウンタ

のそのタイミングにおける値をラッチし、ラッチした値を、第１特図始動口２３０に対応する内蔵のカウンタ値記憶用レジスタに記憶する。また、カウンタ回路３１８は、第２特図始動口２３２に球が入賞したことを示す信号を受信した場合も同様に、第２特図始動口２３２に対応するカウンタのそのタイミングにおける値をラッチし、ラッチした値を、第２特図始動口２３２に対応する内蔵のカウンタ値記憶用レジスタに記憶する。

【００４３】

さらに、基本回路３０２には、情報出力回路３３６を接続しており、主制御部３００は、この情報出力回路３３６を介して、外部のホールコンピュータ（図示省略）等が備える情報入力回路３５０にパチンコ機１００の遊技情報（例えば、遊技状態）を出力する。

【００４４】

また、主制御部３００には、電源制御部６６０から主制御部３００に供給している電源の電圧値を監視する電圧監視回路３３８を設けており、この電圧監視回路３３８は、電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を基本回路３０２に出力する。

【００４５】

また、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けており、ＣＰＵ３０４は、この起動信号出力回路３４０から起動信号を入力した場合に、遊技制御を開始する（詳細は後述する）。

【００４６】

また、主制御部３００は、第１副制御部４００にコマンドを送信するための出力インタフェースと、払出制御部６００にコマンドを送信するための出力インタフェースをそれぞれ備えており、この構成により、第１副制御部４００および払出制御部６００との通信を可能としている。なお、主制御部３００と第１副制御部４００および払出制御部６００との情報通信は一方向の通信であり、主制御部３００は第１副制御部４００および払出制御部６００にコマンド等の信号を送信できるように構成しているが、第１副制御部４００および払出制御部６００からは主制御部３００にコマンド等の信号を送信できないように構成している。

＜副制御部＞

【００４７】

次に、パチンコ機１００の第１副制御部４００について説明する。第１副制御部４００は、主に主制御部３００が送信したコマンド等に基づいて第１副制御部４００の全体を制御する基本回路４０２を備えており、この基本回路４０２には、ＣＰＵ４０４と、制御プログラムや各種演出データを記憶するためのＲＯＭ４０６と、一時的にデータを記憶するためのＲＡＭ４０８と、各種デバイスの入出力を制御するためのＩ／Ｏ４１０と、時間や回数等を計測するためのカウンタタイマ４１２を搭載している。この基本回路４０２のＣＰＵ４０４は、水晶発信器４１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。なお、ＲＯＭ４０６は、制御プログラムと各種演出データとを別々のＲＯＭに記憶させてもよい。

【００４８】

また、基本回路４０２には、スピーカ１２０（およびアンプ）の制御を行うための音源ＩＣ４１６と、各種ランプ４１８（例えば、チャンスボタンランプ１３８）の制御を行うための駆動回路４２０と、遮蔽装置２４６の駆動制御を行うための駆動回路４３２と、遮蔽装置２４６の現在位置を検出する遮蔽装置センサ４３０と、チャンスボタン１３６の押下を検出するチャンスボタン検出センサ４２６と、遮蔽装置センサ４３０やチャンスボタン検出センサ４２６からの検出信号を基本回路４０２に出力するセンサ回路４２８と、ＣＰＵ４０４からの信号に基づいてＲＯＭ４０６に記憶された画像データ等を読み出してＶＲＡＭ４３６のワークエリアを使用して表示画像を生成して装飾図柄表示装置２０８に画像を表示するＶＤＰ４３４（ビデオ・ディスプレイ・プロセッサー）と、を接続している。

【００４９】
次に、パチンコ機１００の第２副制御部５００について説明する。第２副制御部５００は、第１副制御部４００が送信した制御コマンドを入力インタフェースを介して受信し、この制御コマンドに基づいて第２副制御部５００の全体を制御する基本回路５０２を備えており、この基本回路５０２は、ＣＰＵ５０４と、一時的にデータを記憶するためのＲＡＭ５０８と、各種デバイスの入出力を制御するためのＩ／Ｏ５１０と、時間や回数等を計測するためのカウンタタイマ５１２を搭載している。基本回路５０２のＣＰＵ５０４は、水晶発振器５１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作し、第２副制御部５００の全体を制御するための制御プログラム及びデータ、画像表示用のデータ等が記憶されたＲＯＭ５０６が設けられている。

【００５０】
また、基本回路５０２には、演出可動体２２４の駆動制御を行うための駆動回路５１６と、演出可動体２２４の現在位置を検出する演出可動体センサ４２４と、演出可動体センサ４２４からの検出信号を基本回路５０２に出力するセンサ回路５１８と、遊技盤用ランプ５３２の制御を行うための遊技盤用ランプ駆動回路５３０と、遊技台枠用ランプ５４２の制御を行うための遊技台枠用ランプ駆動回路５４０と、遊技盤用ランプ駆動回路５３０と遊技台枠用ランプ駆動回路５４０との間でシリアル通信による点灯制御を行うシリアル通信制御回路５２０と、を接続している。

＜払出制御部、発射制御部、電源制御部＞

【００５１】
次に、パチンコ機１００の払出制御部６００、発射制御部６３０、電源制御部６６０について説明する。

【００５２】
払出制御部６００は、主に主制御部３００が送信したコマンド等の信号に基づいて払出装置１５２の払出モータ６０２を制御すると共に、払出センサ６０４が出力する制御信号に基づいて賞球または貸球の払い出しが完了したか否かを検出すると共に、インタフェース部６０６を介して、パチンコ機１００とは別体で設けられたカードユニット６０８との通信を行う。

【００５３】
発射制御部６３０は、払出制御部６００が出力する、発射許可または停止を指示する制御信号や、球発射ハンドル１３４内に設けた発射強度出力回路が出力する、遊技者による球発射ハンドル１３４の操作量に応じた発射強度を指示する制御信号に基づいて、発射杆１４６および発射槌１４８を駆動する発射モータ６３２の制御や、上皿１２６から発射装置１１０に球を供給する球送り装置６３４の制御を行う。

【００５４】
電源制御部６６０は、パチンコ機１００に外部から供給される交流電源を直流化し、所定の電圧に変換して主制御部３００、第１副制御部４００等の各制御部や払出装置１５２等の各装置に供給する。さらに、電源制御部６６０は、外部からの電源が断たれた後も所定の部品（例えば主制御部３００のＲＡＭ３０８等）に所定の期間（例えば１０日間）電源を供給するための蓄電回路（例えば、コンデンサ）を備えている。なお、本実施形態では、電源制御部６６０から払出制御部６００と第２副制御部５００に所定電圧を供給し、払出制御部６００から主制御部３００と第２副制御部５００と発射制御部６３０に所定電圧を供給しているが、各制御部や各装置に他の電源経路で所定電圧を供給してもよい。

＜図柄の種類＞

【００５５】
次に、図５（ａ）～（ｃ）を用いて、パチンコ機１００の第１特別図柄表示装置２１２、第２特別図柄表示装置２１４、装飾図柄表示装置２０８、普通図柄表示装置２１０が停止表示する特図および普図の種類について説明する。同図（ａ）は特図の停止図柄態様の一例を示したものである。

【００５６】

第１特図始動口２３０に球が入球したことを第１始動口センサが検出したことを条件として特図１変動遊技が開始され、第２特図始動口２３２に球が入球したことを第２始動口センサが検出したことを条件として特図２変動遊技が開始される。特図１変動遊技が開始されると、第１特別図柄表示装置２１２は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「特図１の変動表示」を行う。また、特図２変動遊技が開始されると、第２特別図柄表示装置２１４は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「特図２の変動表示」を行う。これらの「特図１の変動表示」および「特図２の変動表示」が本発明にいう図柄の変動表示の一例に相当する。そして、特図１の変動開始前に決定した変動時間（本発明にいう変動時間が相当）が経過すると、第１特別図柄表示装置２１２は特図１の停止図柄態様を停止表示し、特図２の変動開始前に決定した変動時間（これも本発明にいう変動時間が相当）が経過すると、第２特別図柄表示装置２１４は特図２の停止図柄態様を停止表示する。したがって、「特図１の変動表示」を開始してから特図１の停止図柄態様を停止表示するまで、あるいは「特図２の変動表示」を開始してから特図２の停止図柄態様を停止表示するまでが本発明にいう図柄変動停止表示の一例に相当し、以下、この「特図１又は２の変動表示」を開始してから特図１又は２の停止図柄態様を停止表示するまでの一連の表示を図柄変動停止表示と称する。後述するように、図柄変動停止表示は複数回、連続して行われることがある。同図（ａ）には、図柄変動停止表示における停止図柄態様として「特図Ａ」から「特図Ｊ」までの１０種類の特図が示されており、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を示している。

【００５７】

「特図Ａ」は１５ラウンド（１５Ｒ）特別大当り図柄であり、「特図Ｂ」は１５Ｒ大当り図柄である。本実施形態のパチンコ機１００では、後述するように、特図変動遊技における大当りか否かの決定はハードウェア乱数の抽選によって行い、特別大当りか否かの決定はソフトウェア乱数の抽選によって行う。大当りと特別大当りの違いは、次回の特図変動遊技で、大当りに当選する確率が高い（特別大当り）か低い（大当り）かの違いである。以下、この大当りに当選する確率が高い状態のことを特図高確率状態と称し、その確率が低い状態のことを特図低確率状態と称する。また、１５Ｒ特別大当り遊技終了後および１５Ｒ大当り遊技終了後はいずれも時短状態に移行する。時短については詳しくは後述するが、時短状態に移行する状態のことを普図高確率状態と称し、時短状態に移行しない状態のことを普図低確率状態と称する。１５Ｒ特別大当り図柄である「特図Ａ」は、特図高確率普図高確率状態であり、１５Ｒ大当り図柄である「特図Ｂ」は、特図低確率普図高確率状態である。これらの「特図Ａ」および「特図Ｂ」は、遊技者に付与する利益量が相対的に大きな利益量になる図柄である。

【００５８】

「特図Ｃ」は突然確変と称される２Ｒ大当り図柄であり、特図高確率普図高確率状態である。すなわち、１５Ｒである「特図Ａ」と比べて、「特図Ｃ」は２Ｒである点が異なる。「特図Ｄ」は突然時短と称される２Ｒ大当り図柄であり、特図低確率普図高確率状態である。すなわち、１５Ｒである「特図Ｂ」と比べて、「特図Ｄ」は２Ｒである点が異なる。

【００５９】

「特図Ｅ」は隠れ確変と称される２Ｒ大当り図柄であり、特図高確率普図低確率状態である。「特図Ｆ」は突然通常と称される２Ｒ大当り図柄であり、特図低確率普図低確率状態である。これら「特図Ｅ」および「特図Ｆ」はいずれも、２Ｒであるとともに、時短状態に移行しない状態である。

【００６０】

「特図Ｇ」は第１小当り図柄であり、「特図Ｈ」は第２小当り図柄であり、何れも特図低確率普図低確率状態である。ここにいう小当りは、２Ｒ時短無し大当りと同じものに相当する。すなわち、この「特図Ｇ」、「特図Ｈ」は「特図Ｆ」と同じ状態であるが、両者では装飾図柄表示装置２０８に表示される演出が異なり、あえて、同じ状態でも「特図Ｇ

」、「特図Ｈ」と「特図Ｆ」を設けておくことで、遊技の興趣を高めている。

【００６１】

また、「特図Ｉ」は第１はずれ図柄であり、「特図Ｊ」は第２はずれ図柄であり、遊技者に付与する利益量が相対的に小さな利益量になる図柄である。

【００６２】

なお、本実施形態のパチンコ機１００には、１５Ｒ特別大当り図柄として「特図Ａ」以外の図柄も用意されており、１５Ｒ大当り図柄等の他の図柄についても同様である。

【００６３】

図５（ｂ）は装飾図柄の一例を示したものである。本実施形態の装飾図柄には、「装飾１」～「装飾１０」の１０種類がある。第１特図始動口２３０または第２特図始動口２３２に球が入賞したこと、すなわち、第１特図始動口２３０に球が入球したことを第１始動口センサが検出したこと、あるいは第２特図始動口２３２に球が入球したことを第２始動口センサが検出したことを条件にして、装飾図柄表示装置２０８の左図柄表示領域２０８ａ、中図柄表示領域２０８ｂ、右図柄表示領域２０８ｃの各図柄表示領域に、「装飾１」→「装飾２」→「装飾３」→・・・・「装飾９」→「装飾１０」→「装飾１」→・・・の順番で表示を切り替える「装飾図柄の変動表示」を行う。そして、「特図Ｂ」の１５Ｒ大当りを報知する場合には、図柄表示領域２０８ａ～２０８ｃに１５Ｒ大当りに対応する、同じ装飾図柄が３つ並んだ図柄組合せ（例えば「装飾１－装飾１－装飾１」や「装飾２－装飾２－装飾２」等）を停止表示する。「特図Ａ」の１５Ｒ特別大当りを報知する場合には、同じ奇数の装飾図柄が３つ並んだ図柄組合せ（例えば「装飾３－装飾３－装飾３」や「装飾７－装飾７－装飾７」等）を停止表示する。

【００６４】

また、「特図Ｅ」の隠れ確変と称される２Ｒ大当り、「特図Ｆ」の突然通常と称される２Ｒ大当り、あるいは「特図Ｇ」の第１小当り、「特図Ｈ」の第２小当りを報知する場合には、「装飾１－装飾２－装飾３」を停止表示する。さらに、「特図Ｃ」の突然確変と称される２Ｒ大当り、あるいは「特図Ｄ」の突然時短と称される２Ｒ大当りを報知する場合には、「装飾１－装飾３－装飾５」を停止表示する。一方、「特図Ｉ」の第１はずれ、「特図Ｊ」の第２はずれを報知する場合には、図柄表示領域２０８ａ～２０８ｃに同図（ｂ）に示す図柄組合せ以外の図柄組合せを停止表示する。

【００６５】

図５（ｃ）は普図の停止表示図柄の一例を示したものである。本実施形態の普図の停止表示態様には、当り図柄である「普図Ａ」と、外れ図柄である「普図Ｂ」の２種類がある。普図始動口２２８を球が通過したことを上述のゲートセンサが検出したことに基づいて、普通図柄表示装置２１０は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「普図の変動表示」を行う。そして、普図変動遊技の当選を報知する場合には「普図Ａ」を停止表示し、普図変動遊技の外れを報知する場合には「普図Ｂ」を停止表示する。この同図（ｃ）においても、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を示している。

＜主制御部の基本回路＞

【００６６】

次に、上述の主制御部３００の基本回路３０２について詳細に説明する。図６は、主制御部３００から基本回路３０２の主要部のみを抜き出して示した図である。

【００６７】

主制御部３００の基本回路３０２は、主制御部３００全体の制御を行うＣＰＵ３０４と、ＣＰＵ３０４が実行する制御プログラムやＣＰＵ３０４が参照する各種データを記憶するためのＲＯＭ３０６と、ＣＰＵ３０４が一時的にデータを記憶するためのＲＡＭ３０８と、を有している。

＜主制御部のＣＰＵの内蔵レジスタ＞

【００６８】

ＣＰＵ３０４は、カウンタ回路、タイマ回路、シリアル通信回路、乱数回路、演算回路

、リセット／割込みコントローラ等を制御するための制御レジスタのほか、ＣＰＵ３０４が制御プログラムを実行する際に使用するレジスタなどの内蔵レジスタを備える。内蔵レジスタには、本発明の特徴点の一つであるＴレジスタ（特殊レジスタ）と、汎用レジスタと、プログラムカウンタ（ＰＣ）、命令レジスタ等が含まれる。汎用レジスタの種類は特に限定されないが、本実施形態では、Ｉレジスタ、Ａレジスタ、Ｆレジスタ、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタの８ビットレジスタを備えており、ＢレジスタとＣレジスタ、ＤレジスタとＥレジスタ、ＨレジスタとＬレジスタは、それぞれ、１６ビット長の演算が可能なＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタの１６ビットレジスタ（ペアレジスタ）としても機能するように構成されている。

【００６９】

また、本実施形態では、内蔵デバイスが出力する割込みベクタ（所定のデバイスから読み込んだ割込みベクタ）の値を下位８ビット、Ｉレジスタ（割込みベクタレジスタ、インタラプトレジスタ）の内容を上位８ビットとした合計１６ビットのアドレスを、割込処理のアドレスとして読み込んで、後述する割込処理に分岐（ジャンプ）するように構成している。例えば、Ｉレジスタの値が００Ｈ、割込みベクタの値が６０Ｈのときに割込処理の要求が発生した場合には、００６０Ｈ（上位バイトがＩレジスタの００Ｈ、下位バイトが割込みベクタの６０Ｈ）で示されるアドレスに記憶された値（例えば、１２Ｈ）を下位バイト、続く００６１Ｈで示されるアドレスに記憶された値（例えば、０４Ｈ）を上位バイトとする２バイトのアドレス（例えば、０４１２Ｈ）がＰＣにロードされ、このアドレスを先頭アドレスとする割込処理に分岐（ジャンプ）するように構成している。

【００７０】

Ｆレジスタは、命令が実行されると、その実行結果に従ってＦレジスタ内のビット７から順にＳフラグ（サインフラグ）、Ｚフラグ（ゼロフラグ）、ＳＺフラグ（セカンドゼロフラグ）、Ｈフラグ（ハーフキャリフラグ）、ビット３（空きビット）、Ｐ／Ｖフラグ（パリティ／オーバーフローフラグ）、Ｎフラグ（サブトラクトフラグ）、Ｃフラグ（キャリーフラグ）の各フラグが、１または０に変化したり、あるいは変化しなかったりする。ＳＺフラグは、Ｚフラグが変化する命令ではＺフラグ同様に変化するとともに、Ｚ８０互換命令の全てのＬＤ命令、全ての１６ビット算術演算命令（ＩＮＣ命令、ＤＥＣ命令も含む）、ローテートシフト命令のＲＬＣＡ命令、ＲＬＡ命令、ＲＲＣＡ命令、ＲＲＡ命令、「ＩＮ　Ａ，（ｎ）」命令で変化する。

【００７１】

なお、１６ビット演算命令のＡＤＣ命令、ＳＢＣ命令は、Ｚフラグが変化し、他の命令ではＺフラグは変化せず、１６ビット演算命令の全てでＳＺフラグは変化する。また、「ＩＮ　Ａ，（ｎ）」命令は、ＳＺフラグが変化し、Ｚフラグが変化しない。Ｆレジスタ内のＳＺフラグや空きビットの位置は上記したビット以外のビットであってもよい。なお、後述する特殊命令の場合にＳＺフラグが変化しないようにしてもよい。

【００７２】

また、本実施形態では、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌの各汎用レジスタ（主レジスタ）に対応する補助レジスタ（裏レジスタ）として、Ａ′、Ｆ′、Ｂ′、Ｃ′、Ｄ′、Ｅ′、Ｈ′、Ｌ′の各汎用レジスタを備えているが、特殊レジスタであるＴレジスタのみ補助レジスタを備えていない。よって、Ｔレジスタの使用用途は限定され、Ｔレジスタの使用頻度は汎用レジスタに比べて低くなるため、不用意にＴレジスタの値が書き換えられてしまうような事態（Ｔレジスタの内容が破壊されてしまうような事態）を未然に防止できる場合がある。なお、補助レジスタの値は各種命令によって直接読み書きすることができず、特殊な交換命令（ＥＸ命令、ＥＸＸ命令）によって主レジスタの値と補助レジスタの値を交換することのみが許されている。ここでは、説明の便宜上、レジスタの値をＰＵＳＨ命令・ＰＯＰ命令等の命令で変更し易いレジスタを汎用レジスタとしたが、これに限らず、Ａレジスタ（アキュムレータ）とＦレジスタ（フラグレジスタ）など特別な役割を持つレジスタを汎用レジスタに含めなくてもよい。

【００７３】

また、ここでは、ＴレジスタをＣＰＵ３０４に内蔵する例を示したが、例えば、ＣＰＵ３０４の外部に設けてもよいし、ＣＰＵ３０４とは別体のＲＡＭ３０８の一部に設けてもよい。すなわち、Ｔレジスタは、制御プログラムを記憶するための記憶手段（本実施形態ではＲＯＭ３０６）と物理的に異なる場所に設けられていることが好ましい。さらには、Ｔレジスタに（後述する）特定の値を書き込む処理を行う制御部と、ＲＯＭ３０６から制御プログラムを読み出して遊技制御を行う制御部と、が異なることが好ましい。制御部を異ならせることで、制御プログラムの改造と特定の値の不正取得の両方を行うことを困難にすることができるためである。

＜主制御部のＣＰＵのメモリ空間とＩ／Ｏ空間＞

【００７４】

次に、図７を用いて、主制御部３００のＣＰＵ３０４のメモリ空間とＩ／Ｏ空間について説明する。なお、同図（ａ）はＣＰＵ３０４のメモリマップを示した図であり、同図（ｂ）はＣＰＵ３０４のＩ／Ｏマップを示した図である。

【００７５】

主制御部３００のＣＰＵ３０４は、上述の内蔵レジスタ、ＲＯＭ３０６、ＲＡＭ３０８などにアクセスするためのメモリ空間と、上述のＩ／Ｏ３１０との間で制御信号の入出力を行うためのＩ／Ｏ空間を有している。具体的には、同図（ａ）のメモリマップに示すように、主制御部３００のＲＯＭ３０６のアドレス／データ信号線は、メモリ空間のＲＯＭ領域（本実施形態では、００００Ｈ～２ＦＦＦＨ（Ｈは１６進数を示す。以下、同じ）のうち、００００Ｈ～２ＦＢＦＨ。２ＦＣ０Ｈ～２ＦＦＦＨはプログラム管理エリア）に割り当てられ、ＣＰＵ３０４は、このＲＯＭ領域を指定してＲＯＭ３０６からのデータの読み出しを行う。また、本実施形態では、ＲＯＭ領域を第一領域～第八領域の８つの領域に分けて管理を行っており、第一領域は００００Ｈから始まる領域としている。

【００７６】

また、内蔵レジスタのアドレス／データ信号線は、メモリ空間のレジスタエリア（本実施形態では、ＦＥ００Ｈ～ＦＥＢＦＨ）に割り当てられ、ＣＰＵ３０４は、このレジスタエリアを介して内蔵レジスタからのデータの読み出しやレジスタへのデータの書き込みを行う。

【００７７】

また、ＲＡＭ３０８のアドレス／データ信号線は、メモリ空間のＲＷＭ領域（本実施形態では、Ｆ０００Ｈ～Ｆ３ＦＦＨ）に割り当てられ、ＣＰＵ３０４は、このＲＷＭ領域を指定してＲＡＭ３０８からのデータの読み出しやＲＡＭ３０８へのデータの書き込みを行う。なお、メモリ空間の他の領域（本実施形態では、３０００Ｈ～ＥＦＦＦＨ、Ｆ４００Ｈ～ＦＤＦＦＨ、ＦＥＣ０Ｈ～ＦＦＦＦＨ）は非使用領域とされている。

【００７８】

また、同図（ｂ）のＩ／Ｏマップに示すように、主制御部３００のＩ／Ｏ３１０は、Ｉ／Ｏ空間のワークエリア（本実施形態では、００Ｈ～ＢＦＨ）に割り当てられ、ＣＰＵ３０４は、このＩ／Ｏ空間を介して、Ｉ／Ｏ３１０との間で制御信号の入出力を行う。なお、Ｉ／Ｏ空間の他の領域（本実施形態では、Ｃ０Ｈ～ＦＦＨ）は非使用領域とされている。

＜初期化処理＞

【００７９】

次に、図８を用いて、主制御部３００の初期化処理について説明する。なお、同図は初期化処理の流れを示すフローチャートである。

【００８０】

上述したように、主制御部３００には、電源が投入されると起動信号（システムリセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信号を入力した基本回路３０２のＣＰＵ３０４は、後述するセキュリティモードまたはユーザモードに移行する前に、この初期化処理を実行する。

【００８１】

具体的には、ステップＳ５１では、ＣＰＵ３０４に内蔵されたＴレジスタに、特定の値（本実施形態では、上述のＲＷＭ領域の先頭アドレスＦ０００Ｈの上位バイトであるＦ０Ｈ）を記憶する。ステップＳ５２では、Ｔレジスタ以外の他のレジスタに初期値をセットした後にステップＳ５３に進み、後述する主制御部メイン処理を実行する。

【００８２】

なお、Ｔレジスタに記憶する特定の値はＦ０Ｈに限定されないことは言うまでもなく、例えば、上述のレジスタエリアの先頭アドレス（本実施形態ではＦＥ００Ｈ）の上位バイトであるＦＥＨをＴレジスタに記憶するように構成すれば、後述するＲＡＭ３０８へのアクセスと同様の原理で、内蔵レジスタへのアクセス効率を高めることができる場合がある。また、第一のタイミングではＴレジスタにＲＷＭ領域の先頭アドレスの上位バイトを設定し、その後（または、その前）の第二のタイミングでＴレジスタにレジスタエリアの先頭アドレスの上位バイトを設定するように構成してもよい。また、所定条件が成立している場合（例えば、所定の端子にＬレベルの信号が入力されている場合）にはＴレジスタにＲＷＭ領域の先頭アドレスの上位バイトを設定し、所定条件が成立していない場合には、Ｔレジスタにレジスタエリアの先頭アドレスの上位バイトを設定するように構成してもよい。

【００８３】

また、この初期化処理において制御プログラムによらずに（自動的に）ＴレジスタにＲＷＭ領域の先頭アドレスの上位バイトを設定（または／およびＴレジスタにレジスタエリアの先頭アドレスの上位バイトを設定）し、この初期化処理後に制御プログラム（例えば、後述するステップＳ１０１の初期設定１処理、ステップＳ１０７の初期設定２処理、ステップＳ１１３の初期化処理など）によって（手動で）Ｔレジスタにレジスタエリアの先頭アドレスの上位バイトを設定（または／およびＴレジスタにＲＷＭ領域の先頭アドレスの上位バイトを設定）するように構成してもよい。

【００８４】

ここで、上述のリセット割込みには、システムリセット割込み（システムリセット端子に一定期間のリセット信号を入力するなど、外部イベントが要因となって行われるリセット割込み）と、ユーザリセット割込み（ユーザリセット端子に一定期間のリセット信号を入力するなど、外部イベントが要因となって行われるリセット割り込みや、ＷＤＴのタイムアウトや指定エリア外のアクセスなど、内部イベントが要因となって行われるリセット割込み）の２種類の割込みがある。システムリセット割込みによるリセットでは、制御レジスタや汎用レジスタを含む全ての内部回路が初期化され（例えば、レジスタに応じた初期値（例えばＩレジスタに００Ｈがセットされる））、ユーザリセット割込みによるリセットでは、内部回路の一部が初期化される。

【００８５】

図９は、システムリセット後の起動処理のタイムチャートである。システムリセット（ＸＳＲＳＴ端子に所定期間（例えば、システムクロックの４周期分の期間）以上のＬレベルの信号が入力された後にＨレベルの信号が入力された場合）による初期化処理を実行した後は、所定条件が成立している場合（例えば、所定の端子にＬレベルの信号が入力されている場合）はセキュリティモードに移行し、所定条件が成立していない場合はユーザモードに移行する。ここで、セキュリティモードは、ユーザプログラムの認証を行うモードである。具体的には、システムリセット入力時にユーザプログラムを基に計算された認証コードが正しいかどうかの再計算を行い、結果（セキュリティチェックの結果）がＯＫ（異常なし）の場合、このモードを終了して自動的にユーザモードに移行可能とし、セキュリティチェックの結果がＮＧ（異常あり）の場合、ＣＰＵ３０４が停止するように構成している。なお、認証コードは、ＲＯＭ書き込み時にユーザプログラム（以下、「制御プログラム」と称する場合がある）とともにＲＯＭ３０６に書き込まれる。

【００８６】

このセキュリティモードにおいてセキュリティチェックが終了した後、一定の期間の経過を待つ固定延長処理（以下、「固定遅延機能」ともいう）が終了したときにＸＲＳＴＯ

端子からＨレベルのリセット出力を出力し、その後、ランダムな期間の経過を待つランダム延長処理（以下、「ランダム遅延機能」ともいう）が終了した場合にユーザモードに移行するように構成されている（固定延長処理とランダム延長処理を合わせて「セキュリティモード延長処理」や「セキュリティモード延長機能」ともいう）。ユーザモードは、ＲＯＭのリセットアドレス（上述のＲＯＭ領域の第一領域の先頭アドレスである００００Ｈ）からユーザプログラムを実行するモードであり、後述する主制御部メイン処理が開始される。なお、本実施形態では、ＣＰＵ３０４がユーザプログラムを実行する際に１回の処理（１ステート）で命令レジスタに読みこむデータのバイト長を１バイト（８ビット）長としているが、１ステート当りのデータ長は特に限定されず、例えば、１６ビット長や３２ビット長でもよい。

【００８７】

また、本実施形態では、上述の初期化処理はセキュリティモードやユーザモードへの移行前に（自動的に（制御プログラムによらずに））実行されるように構成しているが、セキュリティモードやユーザモードへの移行後に実行されるよう構成してもよい。また、リセットの種類（ユーザリセット割込みの場合には割込み要因の種類）によって、初期化処理の実行タイミングが異なるように構成してもよい。

【００８８】

具体的には、直前に発生したリセット要因を管理するためのレジスタ（内蔵レジスタのうちの一つである）を参照して、直前に発生したリセット要因が（１）システムリセットであるか否か、（２）ＷＤＴのタイムアウトによるユーザリセットであるか否か、（３）指定エリア外のアクセスによるユーザリセットであるか否か、を判定し、判定結果に応じて初期化処理の実行タイミングを決定するように構成してもよい。また、初期化処理でセットされる特定の値と初期値は、リセットの種類やレジスタの種類によって異なるように構成してもよい（例えば、汎用レジスタはシステムリセットでもユーザリセットでも初期値として００Ｈがセットされ、Ｔレジスタはシステムリセット時は特定の値としてＦ０Ｈがセットされるがユーザリセット時は初期化されないように構成してもよい）。

【００８９】

また、セキュリティモードの時間は、設定した時間分だけ延長することも、ランダムな時間分だけ延長することも可能である。ランダムな時間分だけ延長することにより、不正行為者はユーザプログラムの開始タイミングが狙いにくくなる場合がある。また、ユーザリセット（例えばＷＤＴのタイムアウトによるリセット）からユーザプログラムの実行開始までの時間をランダムな時間に設定可能な構成としてもよい。このような構成とすれば、ユーザプログラムの開始タイミングを狙った不正行為を未然に防止できる場合がある。

＜主制御部メイン処理＞

【００９０】

次に、図１０を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【００９１】

ステップＳ１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）、割込マスクの設定、Ｉ／Ｏ３１０の初期設定、ＲＡＭ３０８に記憶する各種変数の初期設定、ＷＤＴ３１４の起動やタイマアウト時間の設定、Ｔレジチェック処理（詳細は後述）等を行う。本実施形態では、ＷＤＴ３１４のタイムアウト時間として３２．８ｍｓに相当する数値を初期値として設定する。なお、ここでは、ＷＤＴ３１４の起動とタイムアウト時間の設定を、主制御部メイン処理のメインループに入る直前で行う例を示したが、例えば、上述の初期化処理など、他の処理の中で行ってもよい。また、ステップＳ１０３では、ＷＤＴ３１４のカウンタの値をクリアし、ＷＤＴ３１４による時間計測を再始動（リスタート）する。なお、ＷＤＴ３１４のクリア＆リスタートをメインループ開始直後に行う例を示したが、例えば、後述する主制御部タイマ割込処理の中で定期的に行ってもよい。

【００９２】
また、図示は省略するが、基本回路３０２は、ＷＤＴ３１４を制御するレジスタとして、スタートレジスタとクリアレジスタを備えている。スタートレジスタは、ＷＤＴ３１４の起動／停止を制御するための８ビット長のレジスタであり、ＷＤＴ３１４を起動するときには起動を指示する値（例えば、ＣＣＨ）を設定し（書き込み）、ＷＤＴ３１４を停止するときには停止を指示する値（例えば、３３Ｈ）を設定するように構成されている。
【００９３】
また、このスタートレジスタは、リセット時にプログラム管理エリアに「ソフトウェアによる起動」を設定（選択）したときに有効となるレジスタであり、その場合、停止を指示する値（例えば、３３Ｈ）が初期値として設定される。したがって、「ソフトウェアによる起動」を設定（選択）したときにＷＤＴ３１４を起動するためには、遊技制御プログラムによって（手動で）起動を指示する値（例えば、ＣＣＨ）を設定する必要がある。一方、リセット時に「ソフトウェアによる起動」を設定（選択）しなかったときは、スタートレジスタには、起動を指示する値（例えば、ＣＣＨ）が遊技制御プログラムによらずに（自動的に）初期値として設定され、遊技制御プログラムによらずに（自動的に）ＷＤＴ３１４が起動される。
【００９４】
クリアレジスタは、ＷＤＴ３１４のクリアとリスタートを制御するための８ビット長のレジスタであり、所定の第一の値（例えば、５５Ｈ）を設定した後に、所定の第二の値（例えば、ＡＡＨ）を設定したときにＷＤＴ３１４がクリアされ、直後にリスタートされる。なお、クリアレジスタの値を読み込んだときは、所定の固定値（例えば、ＦＦＨ）が読みだされる。また、詳細は後述するが、本実施形態では、ＣＰＵ３０４の所定記憶領域に、４ビット長の設定値データ００００Ｂ～１０００Ｂのいずれかを予め設定することによって、ＷＤＴ３１４のタイムアウト時間を自由に設定できるように構成されている（図１１５参照）。なお、ＷＤＴが手動起動される前（停止された状態で）にクリアレジスタに第一の値、第二の値の順に値が設定されたとしてもＷＤＴ３１４は上記したクリアとリスタートの処理を実行しないように構成されている。
【００９５】
ステップＳ１０５では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）にはステップＳ１０３に戻り、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ１０７に進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にもステップＳ１０３に戻り、供給電圧がその所定の値以上になるまで、ステップＳ１０５は繰り返し実行される。
【００９６】
ステップＳ１０７では、初期設定２を行う。この初期設定２では、後述する主制御部タイマ割込処理を定期毎に実行するための周期を決める数値をカウンタタイマ３１２に設定する処理、Ｉ／Ｏ３１０の所定のポート（例えば試験用出力ポート、第１副制御部４００への出力ポート）からクリア信号を出力する処理、ＲＡＭ３０８への書き込みを許可する設定等を行う。
【００９７】
ステップＳ１０９では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）には初期化処理（ステップＳ１１３）に進む。
【００９８】
具体的には、最初に、電源基板に設けたＲＷＭクリアスイッチ１８０を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオン

の場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ１１３に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ１１３に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ１１１に進み、チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ１１３に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１１３に進む。

【００９９】

ステップＳ１１１では、復電時処理を行う。この復電時処理では、電断時にＲＡＭ３０８に設けられたスタックエリアに記憶しておいたスタックポインタの値を読み出し、スタックポインタに再設定（本設定）する。また、後述するように、電断時にＲＡＭ３０８に設けられたレジスタ退避領域に記憶しておいた所定のレジスタの値を読み出し、これらのレジスタに再設定した後、割込許可（ＥＩ）の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割込処理（後述）に分岐する直前に行った（ステップＳ１１５内の所定の）命令の次の命令から処理を再開する。

【０１００】

本実施形態に係るＣＰＵ３０４は、ＰＵＳＨ命令として、「ＰＵＳＨ　ＴＩ」命令、「ＰＵＳＨ　ＡＬＬ」命令、「ＰＵＳＨ　ＧＲＰ」命令を備えている。「ＰＵＳＨ　ＴＩ」命令は、Ｔ、Ｉレジスタに記憶されている値を上述のスタックエリアに退避させる命令であり、具体的には、ＰＵＳＨ命令実行時のスタックポインタをＳＰとした場合、ＰＵＳＨ命令実行時にＴレジスタに記憶されている値を、（ＳＰ－１）で示されるアドレスに退避させ、ＰＵＳＨ命令実行時にＩレジスタに記憶されている値を、（ＳＰ－２）で示されるアドレスに退避させる。また、「ＰＵＳＨ　ＡＬＬ」命令は、ＰＵＳＨ命令実行時にＴ、Ｉ、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌ、IX_H、IX_L、IY_H、IY_Lレジスタに記憶されている値を、この順番でスタックエリアに退避させる命令である。また、「ＰＵＳＨ　ＧＲＰ」命令は、ＰＵＳＨ命令実行時にＡ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタに記憶されている値を、この順番でスタックエリアに退避させる命令である。

【０１０１】

また、ＣＰＵ３０４は、ＰＯＰ命令として、「ＰＯＰ　ＴＩ」命令、「ＰＯＰ　ＡＬＬ」命令、「ＰＯＰ　ＧＲＰ」命令を備えている。「ＰＯＰ　ＴＩ」命令は、スタックエリアに記憶されている値をＴ、Ｉレジスタに復帰させる（ＲＡＭ３０８の記憶領域からＴ、Ｉレジスタにデータをロードする）命令であり、具体的には、ＰＯＰ命令実行時のスタックポインタをＳＰとした場合、ＰＯＰ命令実行時に（ＳＰ－１）で示されるアドレスに記憶されている値をＴレジスタに復帰させ、ＰＯＰ命令実行時に（ＳＰ－２）で示されるアドレスに記憶されている値をＩレジスタに復帰させる。また、「ＰＯＰ　ＡＬＬ」命令は、ＰＯＰ命令実行時にスタックエリアに記憶されている値を、Ｔ、Ｉ、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌ、IX_H、IX_L、IY_H、IY_Lレジスタに復帰させる命令である。また、「ＰＵＳＨ　ＧＲＰ」命令は、ＰＯＰ命令実行時にスタックエリアに記憶された値を、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタに復帰させる命令である。

【０１０２】

なお、Ｔレジスタをスタックエリアから復帰させるためには、「ＰＯＰ　ＴＩ」命令を使用する必要があるが、Ｉレジスタを使用しない場合でも、Ｉレジスタにもスタックエリアの値が復帰されてしまうことになる。このように、Ｔレジスタをオペランドとする命令の汎用性を無くすことによって（使い難くすることによって）、Ｔレジスタをオペランドとする命令が多用されることを未然に防ぐことができ、Ｔレジスタの値が不用意に書き替ってしまうような事態（Ｔレジスタの内容が破壊されてしまうような事態）を回避できる場合がある。

【０１０３】

また、ＣＰＵ３０４は、割込み要求の受付を許可する命令（ＥＩ命令）と、割込み要求の受付を禁止する命令（ＤＩ命令）を備えており、上述の「ＰＯＰ　ＴＩ」命令は、ＤＩ命令によって割込み要求の受付が禁止されている場合にのみ実行するように構成され、ＥＩ命令によって割込み要求の受付が許可されている場合に実行しないように構成されている。このように、割込み要求の受付が許可されている状態において「ＰＯＰ　ＴＩ」命令の実行しないように構成すれば、「ＰＯＰ　ＴＩ」命令の実行によって、割込みベクタレジスタやインタラプトレジスタとして機能するＩレジスタに、スタックエリアから予期しない値が復帰されてしまうおそれがなく、割込み処理を確実に実行することで信頼性の高い遊技制御を行うことができる場合がある。

【０１０４】

また、ＣＰＵ３０４は、上述の命令の他にも、８ビットロード（転送）命令、１６ビットロード（転送）命令、スタック操作命令（１６ビットロード命令の一種）、８ビット算術論理演算命令、１６ビット算術論理演算命令、乗算・除算命令、アキュムレータ操作命令、ＭＰＵコントロール命令、交換命令、ブロック転送命令、ブロックサーチ命令、ビット操作命令、ローテート・シフト命令、無条件ジャンプ命令・条件付きジャンプ命令、コール命令・リターン命令、入出力命令、複合命令などを備えている。

【０１０５】

本実施形態では、電断時には、「ＰＵＳＨ　ＧＲＰ」命令によってＴ、Ｉレジスタを含まない、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタの値をスタックエリアに退避（記憶）させ、復電時には、「ＰＯＰ　ＧＲＰ」命令によってＴ、Ｉレジスタを含まない、Ａ、Ｆ、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタの値をスタックエリアから復帰させるように構成しており、Ｔレジスタについては「ＰＵＳＨ　ＧＲＰ」命令による退避と「ＰＯＰ　ＧＲＰ」命令による復帰の両方ができないように構成している（これらの命令のオペランドとしてＴレジスタが指定できないように構成している）。また、本実施形態では、加算命令（ＩＮＣ命令）や減算命令（ＤＥＣ命令）のオペランドとしてもＴレジスタが指定できないように構成している。後述するように、ＴレジスタはＲＡＭ３０８へのアクセスにおいて重要な役割を果たす特殊レジスタであるが、コーディングミスなどによってＴレジスタに予期しない値が設定されてしまうような事態を確実に回避することができ、安定した遊技制御が可能である。また、ＴレジスタについてはＰＵＳＨ命令による退避とＰＯＰ命令による復帰の両方を行わないため、電断時や復帰時の処理を速めることができる場合がある。

【０１０６】

また、主制御部３００における基本回路３０２に搭載されているＲＡＭ３０８には、送信情報記憶領域が設けられている。このステップＳ１１１では、その送信情報記憶領域に、復電コマンドをセットする。この復電コマンドは、電源断時の状態に復帰したことを表すコマンドであり、後述する、主制御部３００のタイマ割込処理におけるステップＳ２３３において、第１副制御部４００へ送信される。また、ステップＳ１１６では、ＲＡＭクリアの場合はＲＡＭクリアした後に、ＲＡＭクリアしない場合は各レジスタへデータを復帰させた後に、ＷＤＴ３１４の起動開始を行う。

【０１０７】

ステップＳ１１３では、初期化処理を行う。この初期化処理では、割込禁止（ＤＩ）の設定、スタックポインタへのスタック初期値の設定（本設定）、ＲＡＭ３０８の全ての記憶領域の初期化などを行う。さらにここで、主制御部３００のＲＡＭ３０８に設けられた

送信情報記憶領域に正常復帰コマンドをセットする。この正常復帰コマンドは、主制御部３００の初期化処理（ステップＳ１１３）が行われたことを表すコマンドであり、復電コマンドと同じく、主制御部３００のタイマ割込処理におけるステップＳ２３３において、第１副制御部４００へ送信される。また、ステップＳ１１４では、ＲＡＭクリアの場合はＲＡＭクリアした後に、ＲＡＭクリアしない場合は各レジスタへデータを復帰させた後に、ＷＤＴ３１４の起動開始を行う。

【０１０８】

ステップＳ１１５では、割込禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための２つの初期値生成用乱数カウンタと、普図タイマ乱数値、および特図タイマ乱数値それぞれを生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。なお、初期値生成用乱数カウンタは、後述するステップＳ２０７でも更新する。主制御部３００は、所定の周期ごとに開始するタイマ割込処理を行っている間を除いて、ステップＳ１１５の処理を繰り返し実行する。

＜Ｔレジチェック処理＞

【０１０９】

図１１（ａ）は、初期設定１で行うＴレジチェック処理の流れを示すフローチャートであり、同図（ｂ）は、Ｔレジチェック処理のプログラムリストの一例である。

【０１１０】

このＴレジチェック処理のステップＳ１３１では、Ｔレジスタの値をＡレジスタにセットし（ＬＤ　Ａ，Ｔ）、次のステップＳ１３２では、Ａレジスタの値が特定の値（Ｆ０Ｈ）に一致するか否かを判定し（ＳＵＢ　Ｆ０Ｈ、ＪＰ　Ｚ，ＳＥＩＪＹＯＵ）、一致しない場合（異常の場合；Ａレジスタの値から特定の値（Ｆ０Ｈ）を減算した値が０以外の値となりＺフラグが０になった場合）にはステップＳ１３３に進み、一致した場合（正常の場合；Ａレジスタの値から特定の値（Ｆ０Ｈ）を減算した値が０となりＺフラグが１になった場合）には、Ｔレジスタの値が正常であると判定してＴレジチェック処理を終了し、後続の処理に進む。ステップＳ１３３では、Ｔレジスタの値が異常であると判定してＴレジスタに特定の値（Ｆ０Ｈ）をセットした後に（ＬＤ　Ｔ，Ｆ０Ｈ）、Ｔレジチェック処理を終了して後続の処理に進む。

【０１１１】

なお、Ｔレジチェック処理は図１１に示す処理に限定されるものではなく、例えば、図１２に示すような処理でもよい。図１２（ａ）は、変形例に係るＴレジチェック処理の流れを示すフローチャートであり、同図（ｂ）は、変形例に係るＴレジチェック処理のプログラムリストの一例である。

【０１１２】

この変形例に係るＴレジチェック処理では、上記ステップＳ１３３の処理に替えて、ステップＳ１３５のエラー処理を行うように構成している。具体的には、ステップＳ１３２においてＡレジスタの値が特定の値（Ｆ０Ｈ）に一致しないと判定した場合（異常の場合；Ａレジスタの値から特定の値（Ｆ０Ｈ）を減算した値が０以外の値となりＺフラグが０になった場合）にはステップＳ１３５に進みエラー処理を行う（ＳＵＢ　Ｆ０Ｈ、ＪＰ　ＮＺ，ｍｏＥｒｒｏｒ）。このエラー処理の内容は特に限定されないが、例えば、無限ループに入って後続の主制御部メイン処理を実行しないように構成したり、後続の主制御部メイン処理において液晶表示装置やスピーカなどを用いてエラーを報知したりすることが考えられる。なお、Ｔレジチェック処理の実行タイミングは初期設定１に限らない。また、Ｔレジチェック処理の実行タイミングは初期設定１（ＷＤＴリスタート前、低電圧信号

～処理前）でのみ実行するようにしてもよい。
＜ＬＤ命令＞
【０１１３】
次に、主制御部３００が備えるＬＤ命令について説明する。ＬＤ命令（ＬＤ　ＯＰ１，ＯＰ２）は、第１オペランドＯＰ１で示されるレジスタに、第２オペランドＯＰ２で示されるレジスタに記憶された値（または、第２オペランドＯＰ２で示されるイミディエイト値（即値または直値ともいう。以下同じ）を記憶するための命令である。例えば、上述のＴレジチェック処理の実行前にＴレジスタにＦ０Ｈが記憶されている状態で「ＬＤ　Ａ，Ｔ」の命令を実行した場合、Ａレジスタには第２オペランドで示されるＴレジスタに記憶された値、すなわちＦ０Ｈが記憶される。また、「ＬＤ　Ａ，Ｆ０Ｈ」の命令を実行した場合にも、Ａレジスタには第２オペランドで示されるイミディエイト値、すなわちＦ０Ｈが記憶される。
【０１１４】
一方、第１オペランドＯＰ１をＴレジスタとするＬＤ命令では、第２オペランドはイミディエイト値に限定されており、第２オペランドにレジスタを設定することは禁止されている（機械語にアセンブルされる過程でエラーとなりアセンブルすることができない）。ＣＰＵ３０４用のアセンブラでエラーが発生するのは、ＣＰＵ３０４に当該命令が備えられていないからである。上記ＬＤ命令の場合と同様に、例えば既述のＴレジスタに関する「ＰＵＳＨ　ＧＲＰ」命令による退避と「ＰＯＰ　ＧＲＰ」命令による復帰の両方ができないように構成している（これらの命令のオペランドとしてＴレジスタが指定できないように構成している）というのは、アセンブリでエラーとなることであり、ＣＰＵ３０４用の命令のオペランドとして指定できない、つまり、ＣＰＵ３０４はＴレジスタに関し「ＰＵＳＨ　ＧＲＰ」命令と「ＰＯＰ　ＧＲＰ」命令を備えていないのである。
【０１１５】
したがって、上述のＴレジチェック処理で説明したように、第２オペランドをイミディエイト値とするＬＤ命令（先の例では「ＬＤ　Ｔ，Ｆ０Ｈ」）のプログラミング（コーディング）は認められるが、第２オペランドにレジスタを設定するＬＤ命令（例えば「ＬＤ　Ｔ，Ａ」）のプログラミング（コーディング）は認められない。このように、第１オペランドＯＰ１をＴレジスタとするＬＤ命令では、Ｔレジスタに対して直値でデータを転送するよう構成されているので、セットしているデータを確認し易くなる場合がある。また、Ｔレジスタに対して他のレジスタを介してデータを転送できないように構成されているので、Ｔレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。
【０１１６】
図１３はプログラムリストからＬＤ命令のみを抜き出して示した図である。この例では、５つのＬＤ命令を使用しているが、例えば、（４）のＬＤ命令「ＬＤ　Ｂ，Ａ」の実行後にＢレジスタに記憶される値についてデバッグでトレースを行う場合を考える。この場合、ＬＤ命令「ＬＤ　Ｂ，Ａ」の第２オペランドであるＡレジスタについて、プログラムリストを遡ってトレースすることが必要であるが、例えば、「ＬＤ　Ａ」という検索キーでプログラムリストの検索を行った場合、（１）のＬＤ命令「ＬＤ　Ａ，Ｂ」に加えて（３）のＬＤ命令「ＬＤ　Ａ，Ｈ」がヒットすることになる。すなわち、第１オペランドにＡレジスタを設定したＬＤ命令は、第２オペランドにレジスタを設定することと、第２オペランドをイミディエイト値とすることの両方が認められているため使用頻度が高く、コーディングの見直し作業や、デバッグ（例えば、Ａレジスタのトレースなど）の効率を低下させる一因となり得る。なお、ここでは、最も利用頻度が高いＡレジスタについて説明したが、Ｔレジスタを除く他のレジスタを利用した場合にも同様のことが言える。
【０１１７】
一方、第１オペランドにＴレジスタを設定したＬＤ命令は、第２オペランドにレジスタを設定することが禁止され、第２オペランドをイミディエイト値とすることのみが認められているため、Ａレジスタを利用したＬＤ命令よりも相対的に使用頻度が低く、コーディ

ングの見直し作業や、デバッグ（例えば、Ｔレジスタのトレースなど）の効率を高めることが可能となり、制御プログラムの開発効率が向上する場合がある。なお、Ｔレジスタは、ＩＮＣ命令やＤＥＣ命令（算術論理演算命令）でＴレジスタの値を変化させることを可能にしてもよい。

＜主制御部タイマ割込処理＞

【０１１８】

次に、図１４を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。

【０１１９】

主制御部３００は、所定の周期（本実施形態では約２ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。なお、タイマ割込み周期は設定により適宜変更することが可能である。

【０１２０】

ステップＳ２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。

【０１２１】

ステップＳ２０３では、ＷＤＴ３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施形態では、主制御部タイマ割込の周期である約２ｍｓに１回）リスタートを行う。

【０１２２】

ステップＳ２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述の前面枠扉開放センサや内枠開放センサや下皿満タンセンサ、各種の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前々回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約２ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【０１２３】

また、ステップＳ２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の遊技球が一つの球検出センサを通過する間に、約２ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ２０５では、同じ遊技球が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ遊技球が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、遊技球が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図４に示す主制御部３００のＲＯＭ３０

６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ２０５では、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図始動口２２８の通過があったと判定する。すなわち、これらの入賞口２２６、２３４やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。なお、入賞判定パターン情報は上記例に限らず適宜変更してもよい。例えば、入賞判定パターン情報として、前々回の１つ前の回での検出信号無し、前々回検出信号有り、前回検出信号有り、今回検出信号有りであってもよいし、前々回の１つ前の回での検出信号有り、前々回検出信号有り、前回検出信号有り、今回検出信号無しであってもよい。

【０１２４】

ステップＳ２０７およびステップＳ２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ１１５で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、普図当選乱数値、特図１乱数値、および特図２乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。また、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。なお、本実施形態では特図１の乱数値を取得するためのカウンタと特図２の乱数値を取得するためのカウンタとを別に設けたが、同一のカウンタを用いてもよい。

【０１２５】

ステップＳ２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【０１２６】

ステップＳ２１３では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特別図柄表示装置２１２に図柄を変動・停止表示する時間を計時するための特図１表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【０１２７】

ステップＳ２１５では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。

【０１２８】

また、ステップＳ２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８および可変入賞口２３４への入賞があったか否かを判定する。ここでは、ステップＳ２０５における入賞判定パターン情報と一致するか否かの判定結果を用いて判定する。第１特図始動口２３０へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用カウンタ値記憶用レジスタから値を特図１当選乱数値として取得するとともに特図１乱数値生成用の乱数カウンタから値を特図１乱数値として取得して対応する乱数値記憶領域に格納する。第２特図始動口２３２へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用カウンタ値記憶用レジスタから値を特図２当選乱数値として取得するとともに特図２乱数値生成用の乱数カウンタから値を特図２乱数値として取得して対応する乱数値記憶領域に格納する。普図始動口２２８へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、普図当選乱数値生成用の乱数カウンタから値を普図当選乱数値として取得して対応する乱数値記憶領域に格納する。可変入賞口２３４へ入賞があった場合には、可変入賞口用の入賞記憶領域に、可変入賞口２３４に球が入球したことを示す情報を格納する。

【０１２９】

ステップＳ２１９では、払出要求数送信処理を行う。なお、払出制御部６００に出力する出力予定情報および払出要求情報は、例えば１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。

【０１３０】

ステップＳ２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動遊技）を行う。

【０１３１】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、当り図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、外れ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理に

おいて各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制御を行うことで、普通図柄表示装置２１０は、当り図柄（図５（ｃ）に示す普図Ａ）および外れ図柄（図５（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。

【０１３２】

また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２ａの開閉駆動用のソレノイド（３３２）に、羽根部材２３２ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【０１３３】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【０１３４】

また、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、ＲＡＭ３０８の設定領域に普図非作動中を設定する。さらに、普図変動遊技の結果が外れであれば、後述するように、普図外れフラグがオンされる。この普図外れフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ２２３に移行するようにしている。

【０１３５】

ステップＳ２２３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【０１３６】

次いで、特図１および特図２それぞれについての特図状態更新処理を行うが、最初に、特図２についての特図状態更新処理（特図２状態更新処理）を行う（ステップＳ２２５）。この特図２状態更新処理は、特図２の状態に応じて、次の８つの処理のうちの１つの処

理を行う。例えば、特図２変動表示の途中（上述の特図２表示図柄更新タイマの値が１以上）における特図２状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２の変動表示（特図２変動遊技）を行う。また、コマンド設定送信処理（ステップＳ２３３）で回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。

【０１３７】

また、主制御部３００のＲＡＭ３０８の当否判定結果記憶領域には、１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグそれぞれのフラグが用意されている。特図２変動表示時間が経過したタイミング（特図２表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、１５Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には図５（ａ）に示す特図Ａ、１５Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｂ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には特図Ｃ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｄ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグはオンの場合には特図Ｅ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグもオフの場合には特図Ｆ、第１小当りフラグがオンの場合には特図Ｇ、第２小当りフラグがオンの場合には特図Ｈ、第１はずれフラグがオンの場合には特図Ｉ、第２はずれフラグがオンの場合には特図Ｉそれぞれの態様となるように、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２停止表示中であることを表す設定を行う。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当り図柄（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２が所定期間停止表示され、特図２変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた時短回数記憶部に記憶された時短回数が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中（詳細は後述）でなければ、時短フラグをオフする。さらに、大当り遊技中（特別遊技状態中）にも、時短フラグをオフする。

【０１３８】

また、コマンド設定送信処理（ステップＳ２３３）で回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変動表示を停止する図柄が特図２であることを示す特図２識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【０１３９】

また、特図２変動遊技の結果が大当りであれば、後述するように、大当りフラグがオンされる。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２３３）で入賞演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【０１４０】
また、所定の入賞演出期間が終了したタイミング（特図２待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２３３）で大入賞口開放設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【０１４１】
また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２３３）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【０１４２】
また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、普図確率変動フラグがオンに設定されていれば、この大当り遊技の終了と同時に、ＲＡＭ３０８に設けられた時短回数記憶部に時短回数１００回をセットするとともに、ＲＡＭ３０８に設けられた時短フラグをオンする。なお、その普図確率変動フラグがオフに設定されていれば、時短回数記憶部に時短回数をセットすることもなく、また時短フラグをオンすることもない。ここにいう時短とは、特図変動遊技における大当りを終了してから、次の大当りを開始するまでの時間を短くするため、パチンコ機が遊技者にとって有利な状態になることをいう。この時短フラグがオンに設定されていると、普図高確率状態である。普図高確率状態では普図低確率状態に比べて、普図変動遊技に大当りする可能性が高い。また、普図高確率状態の方が、普図低確率状態に比べて普図変動遊技の変動時間および特図変動遊技の変動時間は短くなる。さらに、普図高確率状態では普図低確率状態に比べて、第２特別始動口２３２の一対の羽根部材２３２ａの１回の開放における開放時間が長くなりやすい。加えて、普図高確率状態では普図低確率状態に比べて、一対の羽根部材２３２ａは多く開きやすい。また、上述のごとく、時短フラグは、大当り遊技中（特別遊技状態中）にはオフに設定される。したがって、大当り遊技中には、普図低確率状態が維持される。これは、大当り遊技中に普図高確率状態であると、大当り遊技中に可変入賞口２３４に所定の個数、遊技球が入球するまでの間に第２特図始動口２３２に多くの遊技球が入球し、大当り中に獲得することができる遊技球の数が多くなってしまい射幸性が高まってしまうという問題があり、これを解決するためのものである。

【０１４３】
さらに、コマンド設定送信処理（ステップＳ２３３）で終了演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【０１４４】
また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。さらに、特図２変動遊技の結果が外れであれば、後述するように、はずれフラグがオンされる。このはずれフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０に

なったタイミング）における特図２状態更新処理でも、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。特図２非作動中の場合における特図２状態更新処理では、何もせずに次のステップＳ２２７に移行するようにしている。

【０１４５】

続いて、特図１についての特図状態更新処理（特図１状態更新処理）を行う（ステップＳ２２７）。この特図１状態更新処理では、特図１の状態に応じて、上述の特図２状態更新処理で説明した各処理を行う。この特図１状態更新処理で行う各処理は、上述の特図２状態更新処理で説明した内容の「特図２」を「特図１」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２状態更新処理と特図１状態更新処理の順番は逆でもよい。

【０１４６】

ステップＳ２２５およびステップＳ２２７における特図状態更新処理が終了すると、今度は、特図１および特図２それぞれについての特図関連抽選処理を行う。ここでも先に、特図２についての特図関連抽選処理（特図２関連抽選処理）を行い（ステップＳ２２９）、その後で、特図１についての特図関連抽選処理（特図１関連抽選処理）を行う（ステップＳ２３１）。これらの特図関連抽選処理についても、主制御部３００が特図２関連抽選処理を特図１関連抽選処理よりも先に行うことで、特図２変動遊技の開始条件と、特図１変動遊技の開始条件が同時に成立した場合でも、特図２変動遊技が先に変動中となるため、特図１変動遊技は変動を開始しない。また、装飾図柄表示装置２０８による、特図変動遊技の大当り判定の結果の報知は、第１副制御部４００によって行われ、第２特図始動口２３２への入賞に基づく抽選の抽選結果の報知が、第１特図始動口２３０への入賞に基づく抽選の抽選結果の報知よりも優先して行われる。

【０１４７】

ステップＳ２３３では、コマンド設定送信処理を行い、各種のコマンドが第１副制御部４００に送信される。なお、第１副制御部４００に送信する出力予定情報は例えば１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、大当りラウンド数指定コマンド、復電コマンドなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【０１４８】

具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、特図確率変動フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば特図確率変動フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などを含む。

【０１４９】

また、上述の回転開始設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図１関連抽選処理および特図２関連抽選処理で選択したタイマ番号、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の回転停止設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを示す情報を設定する。上述の入賞演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、入賞演出期間中に装飾図

柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の終了演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口開放設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口閉鎖設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。また、このステップＳ２３３では一般コマンド特図保留増加処理も行われる。この一般コマンド特図保留増加処理では、コマンドデータにＲＡＭ３０８の送信用情報記憶領域に記憶している特図識別情報（特図１または特図２を示す情報）、予告情報（事前予告情報、偽事前予告情報、または事前予告無情報のいずれか）を設定する。

【０１５０】

第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【０１５１】

ステップＳ２３５では、外部出力信号設定処理を行う。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【０１５２】

ステップＳ２３７では、デバイス監視処理を行う。このデバイス監視処理では、ステップＳ２０５において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、所定のエラーの有無、例えば前面枠扉開放エラーの有無または下皿満タンエラーの有無などを監視し、前面枠扉開放エラーまたは下皿満タンエラーを検出した場合に、第１副制御部４００に送信すべき送信情報に、前面枠扉開放エラーの有無または下皿満タンエラーの有無を示すデバイス情報を設定する。また、各種ソレノイド３３２を駆動して第２特図始動口２３２や、可変入賞口２３４の開閉を制御したり、表示回路３２４、３２６、３３０を介して普通図柄表示装置２１０、第１特別図柄表示装置２１２、第２特別図柄表示装置２１４、各種状態表示部３２８などに出力する表示データを、Ｉ／Ｏ３１０の出力ポートに設定する。また、払出要求数送信処理（ステップＳ２１９）で設定した出力予定情報を出力ポート（Ｉ／Ｏ３１０）を介して第１副制御部４００に出力する。

【０１５３】

ステップＳ２３９では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ２４３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ２４１に進む。

【０１５４】

ステップＳ２４１では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、主制御部メイン処理に復帰する。

【０１５５】

一方、ステップＳ２４３では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、主制御部メイン処理に復帰する。

＜第１副制御部４００の処理＞

【０１５６】

次に、図１５を用いて、第１副制御部４００の処理について説明する。なお、同図（ａ）は、第１副制御部４００のＣＰＵ４０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第１副制御部４００のストローブ割込み処理のフローチャートである。同図（ｃ）は、第１副制御部４００のタイマ変数更新割込処理のフローチャートである。同図（ｄ）は、第１副制御部４００の画像制御処理のフローチャートである。

【０１５７】

まず、同図（ａ）のステップＳ３０１では、各種の初期設定を行う。電源投入が行われると、まずＳ３０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ４０８内の記憶領域の初期化処理等を行う。

【０１５８】

ステップＳ３０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ３０５の処理に移行する。ステップＳ３０５では、タイマ変数に０を代入する。

【０１５９】

ステップＳ３０７では、コマンド処理を行う。第１副制御部４００のＣＰＵ４０４は、主制御部３００からコマンドを受信したか否かを判別する。

【０１６０】

ステップＳ３０９では、演出制御処理を行う。例えば、Ｓ３０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ４０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。

【０１６１】

ステップＳ３１１では、チャンスボタンの押下を検出していた場合、ステップＳ３０９で更新した演出データをチャンスボタンの押下に応じた演出データに変更する処理を行う。ステップＳ３１３では、Ｓ３０９で読み出した演出データの中にＶＤＰ４３４への命令がある場合には、この命令をＶＤＰ４３４に出力する（詳細は後述）。

【０１６２】

ステップＳ３１５では、Ｓ３０９で読み出した演出データの中に音源ＩＣ４１６への命令がある場合には、この命令を音源ＩＣ４１６に出力する。ステップＳ３１７では、Ｓ３０９で読み出した演出データの中に各種ランプ４１８への命令がある場合には、この命令を駆動回路４２０に出力する。

【０１６３】

ステップＳ３１９では、Ｓ３０９で読み出した演出データの中に遮蔽装置２４６への命令がある場合には、この命令を駆動回路４３２に出力する。ステップＳ３２１では、Ｓ３０９で読み出した演出データの中に第２副制御部５００に送信する制御コマンドがある場合には、この制御コマンドを出力する設定を行い、Ｓ３０３へ戻る。

【０１６４】

次に、同図（ｂ）を用いて、第１副制御部４００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第１副制御部４００が、主制御部３００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ４０１では、主制御部３００が出力したコマンドを未処理コマンドとしてＲＡＭ４０８に設けたコマンド記憶領域に記憶する。

【０１６５】

次に、同図（ｃ）を用いて、第１副制御部４００のＣＰＵ４０４によって実行する第１副制御部タイマ割込処理について説明する。第１副制御部４００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。

【０１６６】

第１副制御部タイマ割込処理のステップＳ５０１では、第１副制御部メイン処理におけるステップＳ３０３において説明したＲＡＭ４０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ３０３において、タイマ

変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。
【０１６７】
第１副制御部タイマ割込処理のステップＳ５０３では、ステップＳ３１９で設定された第２副制御部５００への制御コマンドの送信や、演出用乱数値の更新処理等を行う。
【０１６８】
次に、同図（ｄ）を用いて、第１副制御部４００のメイン処理におけるステップＳ３１３の画像制御処理について説明する。同図は、画像制御処理の流れを示すフローチャートを示した図である。
【０１６９】
ステップＳ６０１では、画像データの転送指示を行う。ここでは、ＣＰＵ４０４は、まず、ＶＲＡＭ４３６の表示領域Ａと表示領域Ｂの描画領域の指定をスワップする。これにより、描画領域に指定されていない表示領域に記憶された１フレームの画像が装飾図柄表示装置２０８に表示される。次に、ＣＰＵ４０４は、ＶＤＰ４３４のアトリビュートレジスタに、位置情報等テーブルに基づいてＲＯＭ座標（ＲＯＭ４０６の転送元アドレス）、ＶＲＡＭ座標（ＶＲＡＭ４３６の転送先アドレス）などを設定した後、ＲＯＭ４０６からＶＲＡＭ４３６への画像データの転送開始を指示する命令を設定する。ＶＤＰ４３４は、アトリビュートレジスタに設定された命令に基づいて画像データをＲＯＭ４０６からＶＲＡＭ４３６に転送する。その後、ＶＤＰ４３６は、転送終了割込信号をＣＰＵ４０４に対して出力する。
【０１７０】
ステップＳ６０３では、ＶＤＰ４３４からの転送終了割込信号が入力されたか否かを判定し、転送終了割込信号が入力された場合はステップＳ６０５に進み、そうでない場合は転送終了割込信号が入力されるのを待つ。ステップＳ６０５では、演出シナリオ構成テーブルおよびアトリビュートデータなどに基づいて、パラメータ設定を行う。ここでは、ＣＰＵ４０４は、ステップＳ６０１でＶＲＡＭ４３６に転送した画像データに基づいてＶＲＡＭ４３６の表示領域ＡまたはＢに表示画像を形成するために、表示画像を構成する画像データの情報（ＶＲＡＭ４３６の座標軸、画像サイズ、ＶＲＡＭ座標（配置座標）など）をＶＤＰ４３４に指示する。ＶＤＰ４３４はアトリビュートレジスタに格納された命令に基づいてアトリビュートに従ったパラメータ設定を行う。
【０１７１】
ステップＳ６０７では、描画指示を行う。この描画指示では、ＣＰＵ４０４は、ＶＤＰ４３４に画像の描画開始を指示する。ＶＤＰ４３４は、ＣＰＵ４０４の指示に従ってフレームバッファにおける画像描画を開始する。
【０１７２】
ステップＳ６０９では、画像の描画終了に基づくＶＤＰ４３４からの生成終了割込み信号が入力されたか否かを判定し、生成終了割込み信号が入力された場合はステップＳ６１１に進み、そうでない場合は生成終了割込み信号が入力されるのを待つ。ステップＳ６１１では、ＲＡＭ４０８の所定の領域に設定され、何シーンの画像を生成したかをカウントするシーン表示カウンタをインクリメント（＋１）して処理を終了する。
＜第２副制御部５００の処理＞
【０１７３】
次に、図１６を用いて、第２副制御部５００の処理について説明する。なお、同図（ａ）は、第２副制御部５００のＣＰＵ５０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第２副制御部５００のコマンド受信割込処理のフローチャートである。同図（ｃ）は、第２副制御部５００のタイマ割込処理のフローチャートである。
【０１７４】
まず、同図（ａ）のステップＳ７０１では、各種の初期設定を行う。電源投入が行われると、まずＳ７０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ５０８内の記憶領域の初期化処理等を行う。
【０１７５】

ステップＳ７０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ７０５の処理に移行する。

【０１７６】

ステップＳ７０５では、タイマ変数に0を代入する。ステップＳ７０７では、コマンド処理を行う。第２副制御部５００のＣＰＵ５０４は、第１副制御部４００のＣＰＵ４０４からコマンドを受信したか否かを判別する。ステップＳ７０９では、演出制御処理を行う。例えば、Ｓ７０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ５０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。

【０１７７】

ステップＳ７１１では、第１副制御部４００からの遊技盤用ランプ５３２や遊技台枠用ランプ５４２への命令がある場合には、この命令をシリアル通信制御回路５２０に出力する。

【０１７８】

ステップＳ７１３では、第１副制御部４００からの演出可動体２２４への命令がある場合には、この命令を駆動回路５１６に出力し、Ｓ７０３に戻る。

【０１７９】

次に、同図（ｂ）を用いて、第２副制御部５００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第２副制御部５００が、第１副制御部４００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ８０１では、第１副制御部４００が出力したコマンドを未処理コマンドとしてＲＡＭ５０８に設けたコマンド記憶領域に記憶する。

【０１８０】

次に、同図（ｃ）を用いて、第２副制御部５００のＣＰＵ５０４によって実行する第２副制御部タイマ割込処理について説明する。第２副制御部５００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。

【０１８１】

第２副制御部タイマ割込処理のステップＳ９０１では、第２副制御部メイン処理におけるステップＳ７０３において説明したＲＡＭ５０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ７０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。第２副制御部タイマ割込処理のステップＳ９０３では、演出用乱数値の更新処理等を行う。

＜主制御部のＲＯＭ＞

【０１８２】

次に、図１７を用いて、主制御部３００のＲＯＭ３０６に記憶されるデータの種類について説明する。なお、同図は、上述のＲＯＭ３０６に記憶されるデータの一例を示した図である。

【０１８３】

ＲＯＭ３０６の記憶領域に対応するＲＯＭ領域（本実施形態では、０００００Ｈ～２ＦＦＦＨの１６Ｋバイト領域）は、ＲＯＭ制御領域（本実施形態では、０００００Ｈ～０ＢＢ０Ｈ）、非使用領域（本実施形態では、０ＢＢ１Ｈ～０ＦＦＦＨ）、ＲＯＭデータ領域（本実施形態では、１０００Ｈ～１８ＦＤＨ）およびその他領域（本実施形態では、１８ＦＥＨ～２ＦＦＦＨ）で構成されている。このＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域には、ＣＰＵ３０４が実行する複数種類の命令それぞれに対応する命令データ（オペコード）やＣＰＵ３０４がそれぞれの命令を実行するために必要な補足データ（オペランド）によって構成される制御プログラム用のデータ（単に、制御プログラムデータと称する場合がある）が記憶され、非使用領域に対応するＲＯＭ３０６の記憶領域には、特定値（本実施形態では、００Ｈ）が一律に記憶され、ＲＯＭデータ領域に対応するＲＯＭ３０

６の記憶領域には、上記の制御プログラムによって参照される参照データ（例えば、上述の各種抽選データ）が記憶されている。また、その他領域に対応するＲＯＭ３０６の記憶領域には、制御プログラムを管理するための管理データ（例えば、制御プログラムデータの最終アドレスを示すデータ）などが記憶されている。なお、本実施形態では、ＲＯＭ領域の各々のアドレスに対応するＲＯＭ３０６の記憶領域には、１バイト（８ビット）のデータが記憶可能であり、上述の各データ（命令データ、補足データ、参照データ、管理データ）が１バイトを超えるバイト数（例えば、２バイト）のデータである場合には、ＲＯＭ制御領域の連続する複数のアドレスに対応するＲＯＭ３０６の記憶領域に１バイト毎に分割して記憶している。

【０１８４】

また、制御プログラムは、複数のサブルーチンによって構成されており、後述するＣＡＬＬ命令やＥＸＥＳＵＢ（ＥＸＥＣＵＴＥ　ＳＵＢＲＯＵＴＩＮＥ）命令などによってサブルーチンの先頭アドレスに移動して、当該サブルーチンを順次実行することが可能になっている。

【０１８５】

ところで、遊技台の分野では、制御プログラムの検査効率化の観点から、制御プログラムデータを記憶する記憶領域を制限する必要があり、本実施形態では、上述の通りＲＯＭ制御領域を００００Ｈ～０ＢＢ０Ｈに制限している。また、不正改造の抑止の観点から、制御プログラムデータ間に非使用領域や非使用のデータを設けないようにＲＯＭ制御領域の若いアドレスに詰めて制御用プログラムデータを記憶する必要があるため、開発段階で非使用となった制御プログラムデータの記憶領域を埋めるために別の制御プログラムデータを分割して割り当てるなどの作業が発生し、結果としてサブルーチンを呼び出す制御プログラムデータが多数必要となってくる。さらに、制御プログラムの開発効率を向上させるためや、制御プログラムのデバッグ作業等のメンテナンス作業を簡便にするためにもサブルーチンを多用しているため、サブルーチンを呼び出す制御プログラムデータが多数必要となってくる。

【０１８６】

このような開発環境の中で遊技の興趣を高めることを可能にするためには、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に記憶されている従来の制御プログラムデータ（例えば、上述のサブルーチンを呼び出す制御プログラムデータ）を圧縮し、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に新しい制御プログラムデータを追加することが可能な記憶領域を確保することが必要となってくる。

【０１８７】

特に、所定の周期（例えば、１０ｍｓ）毎に所定の処理を実行するタイマ割込み処理を実行するための制御プログラムには、複数の遊技制御処理のうちランダムに発生する複数の外部情報（各センサの変化等）を検出する処理（例えば、入力ポート状態更新処理（ステップＳ２０５））や外部情報の検出結果に基づいた処理（例えば、デバイス監視処理（ステップＳ２３７））など多くのサブルーチンを呼び出すための制御プログラムデータが含まれているため、このタイマ割込み処理を実行するための制御プログラムに含まれるサブルーチンを呼び出す制御プログラムデータの圧縮が必要となってくる。

【０１８８】

また、安定した遊技制御をおこなえるようにするためには、上述のタイマ割込み処理を重点的に安定化させなければならない。具体的には、コーディングミスを抑止すること、所定の周期（例えば、１０ｍｓ）毎に所定の処理を実行させるために（リアルタイム性を確保するために）処理速度を向上させることなどが必須となるため、サブルーチンを呼び出す制御プログラムに関する工夫が必要となる（詳細は後述する）。

＜主制御部の命令データ＞

【０１８９】

次に、主制御部３００の命令データについて説明する。図１８は、主制御部３００の命令データの構成の一例を示した図である。また、図１９（ａ）は、主制御部３００の命令

データの上位ビットと下位ビットを示した図であり、同図（ｂ）は、命令データテーブルの一例を示した図である。

【０１９０】

主制御部３００の命令データは、例えば、命令データが１バイト（８ビット）のデータによって構成される場合には、最大で２５６パターン定義することが可能である。なお、定義された命令データはＲＯＭ３０６に記憶されているものではなく、ＣＰＵ３０４にハード的に組み込まれているものである。また、１バイトの命令データについて、各々を上位４ビットと下位４ビットによって分類分けすると、上記パターンと命令データの関係性は、図１９（ｂ）に示される通りとなる。例えば、「ＩＮＣ　ＢＣ（ＢＣレジスタを１つ加算する命令）」に使用されるＩＮＣ（命令データ）は、上位ビット０Ｈ（００００Ｂ）、下位ビット３Ｈ（００１１Ｂ）に割り当てられ、「ＤＥＣ　Ｂ（Ｂレジスタを１つ減算する命令）」に使用されるＤＥＣ（命令データ）は、上位ビット０Ｈ（００００Ｂ）、下位ビット５Ｈ（０１０１Ｂ）に割り当てられている。

【０１９１】

なお、１バイト長で定義可能な２５６パターンの命令データを上回るパターン数の命令データを割り当てる方法として、例えば、上記１バイトで定義される２５６パターンのうち１パターンに対してさらに新たな１バイトで定義される２５６パターンを対応付けることで最大５１１パターン（２５５パターン（１バイトの命令データ）＋２５６パターン（２バイトの命令データ））の命令データを定義する方法があるが、拡張した命令データは、２バイトのデータによって構成されるため、この命令を使用すると、上述の１バイトの命令データを使用するよりもＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域を圧迫してしまう。

【０１９２】

そこで、本実施形態では、図１９（ｂ）の太線で囲った領域、すなわち、上位ビット１Ｈ（０００１Ｂ）と下位ビット８Ｈ（１０００Ｂ）～ＦＨ（１１１１Ｂ）の組合せと、上位ビット３Ｈ（００１１Ｂ）と下位ビット８Ｈ（１０００Ｂ）～ＦＨ（１１１１Ｂ）の組合せからなる領域を、後述するＥＸＥＳＵＢ命令を割り当てるための特別な領域としている。このように、従来、命令データが割り当てられていない、または、割り当てられていた命令データが削除された空き領域を特別な領域として利用することで、限られたハードウェア資源（例えば、１バイトで定義可能なパターン（２５６パターン））を有効利用することができ、命令データによるＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域の圧迫を抑制することができる。

【０１９３】

また、命令データは、アセンブル後の機械語のチェックを簡便にするためにも役割ごとにグループ化（一の上位ビットに対して連続する複数の下位ビットの組合せからなる領域、または、一の下位ビットに対して連続する複数の上位ビットの組合せからなる領域に、同系統の役割を持つ命令データを割り当てる）して命令データテーブルに割り当てている（例えば、上位ビット８Ｈ（１０００Ｂ）と下位ビット０Ｈ（００００Ｂ）～７Ｈ（０１１１Ｂ）の組合せで定義される部分におけるＡＤＤ命令）。近年では、チップの開発負担を軽減するため、従来の命令データテーブルに割り当てている命令データの削減、または削減した命令データを割り当てていた部分への新たな命令データを追加するなどしてチップの開発を行う。このため、アセンブル後の機械語のチェックを簡便にしつつも、データ圧縮のために命令データを新たに追加する際には、追加する同系統の命令データをグループにして割り当てていく必要があり、本実施形態では、ＥＸＥＳＵＢ命令をグループにして特別な領域に割り当てることで解決を図っている。さらに、小分けされた特別な領域に対して新たな命令データを効率良く割り当てるためには、追加する命令データのグループを小分けのグループにして割り当てていく必要があり、本実施形態では、さらに、ＥＸＥＳＵＢ命令を小分けのグループにして小分けされた特別な領域に割り当てることで解決を図っている。

＜ＣＡＬＬ命令＞

【０１９４】
次に、上述の制御プログラムの一つであるＣＡＬＬ命令について説明する。図２０は、ＣＡＬＬ命令によるアドレスの移動の一例を概念的に示したものであり、図２１は、ＣＡＬＬ命令の命令データと補足データの一例を示したものである。
【０１９５】
例えば、実行中の制御プログラムのアドレスが０７００Ｈで、移動先のサブルーチンの先頭アドレスが０３ＦＦＨの場合には、図２０の符号Ｘで示すように、両者の相対アドレス（移動元のアドレスと移動先のアドレスの差）は、０３０１Ｈ（＝０７００Ｈ－０３ＦＦＨ）であり、この相対アドレスは２バイトのデータで表現可能である。ここで、この制御プログラムをＣＡＬＬ命令によって表現すると、図２１（ａ）に示すように、ＣＡＬＬ命令を示す１バイトの命令データと移動先のアドレスを示す２バイトの補足データで合計３バイトの制御プログラムデータが必要となる。
【０１９６】
また、実行中の制御プログラムのアドレスが０７００Ｈで、移動先のサブルーチンの先頭アドレスが０７５ＦＨの場合には、図２０の符号Ｙで示すように、両者の相対アドレスは、００５ＦＨ（＝０７５ＦＨ－０３ＦＦＨ）であり、この相対アドレスは１バイトのデータで表現可能である。この場合であっても、この制御プログラムをＣＡＬＬ命令によって表現すると、図２１（ｂ）に示すように、ＣＡＬＬ命令を示す１バイトの命令データと移動先のアドレスを示す２バイトの補足データで合計３バイトの制御プログラムデータが必要である。
【０１９７】
すなわち、ＣＡＬＬ命令を実行するための制御プログラムは、移動先のアドレス（２バイトで定義可能な記憶領域（００００Ｈ～ＦＦＦＦＨ）内の任意のアドレス）に関わらず、３バイトの制御プログラムデータが必要となる。
【０１９８】
なお、ＣＡＬＬ命令を実行する際にＣＰＵ３０４は、具体的に、ＰＣレジスタ（プログラムカウンタ）に記憶されているデータ（２バイト）をスタックエリアに記憶させる処理を実行した後に、ＣＡＬＬ命令を実行するための補足データ（移動先のサブルーチンの先頭アドレスを示すデータ（２バイト））をＰＣレジスタ（プログラムカウンタ）に記憶させる処理（サブルーチンの先頭アドレスに移動）を実行することで、サブルーチンを呼び出すことが可能となる。
＜ＥＸＥＳＵＢ命令＞
【０１９９】
次に、上述の制御プログラムの一つであるＥＸＥＳＵＢ命令について説明する。図２２（ａ）は、ＥＸＥＳＵＢ命令の構成の一例を示した図であり、同図（ｂ）は、図１９（ｂ）の空き領域に対してＥＸＥＳＵＢ命令を割り当てた命令データテーブルを示した図である。
【０２００】
ＥＸＥＳＵＢ命令は、上述のＣＡＬＬ命令同様にサブルーチンを呼び出すことが可能となる命令という点では同じであるが、命令データ／補足データの構造および制御プログラムデータに必要な記憶容量が異なる（詳細は後述する）。
＜ＥＸＥＳＵＢ命令／命令データ＞
【０２０１】
ＥＸＥＳＵＢ命令の命令データは、本実施形態では、最上位ビット７（ＭＳＢ）から最下位ビット０（ＬＳＢ）の順番で、ビット７の０（固定値）、ビット６の０（固定値）、ビット５のα（可変値）、ビット４の１（固定値）、ビット３の１（固定値）、ビット２のβ（可変値）、ビット１のγ（可変値）、ビット０のδ（可変値）の合計８ビット（１バイト）で構成されている。すなわち、ＥＸＥＳＵＢ命令は上述の可変値を変えることによって定義されるパターン（２の４乗＝１６パターン）の命令データとなる。なお、ビット５のα、ビット２のβ、ビット１のγおよびビット０のδの合計４ビットのデータであ

るｍは、０Ｈ～ＦＨの数値範囲を表現可能であり、呼び出すサブルーチンの先頭アドレスを識別可能な識別情報（バイナリ形式）の一部である。

【０２０２】

また、ＥＸＥＳＵＢ命令の命令データは、上述の通り、命令データテーブルのうちの同図（ｂ）に示す太線で囲った領域、すなわち、上位ビット１Ｈ（０００１Ｂ）と下位ビット８Ｈ（１０００Ｂ）～ＦＨ（１１１１Ｂ）の組合せと、上位ビット３Ｈ（００１１Ｂ）と下位ビット８Ｈ（０１１１Ｂ）～ＦＨ（１１１１Ｂ）の組合せからなる空き領域（従来、命令データが割り当てられていない、または、割り当てられていた命令データが削除された領域）に割り当てられる。

【０２０３】

なお、上述の通り、ＥＸＥＳＵＢ命令の命令データが、可変値のビットと可変値のビットの間に、固定値のビットが入るように構成されていることにより、ＥＸＥＳＵＢ命令の命令データをグループ化しつつ、上述の空き領域に割り当てることが可能になる。よって、ＥＸＥＳＵＢ命令データの機械語のチェックを簡便となり、コーディングミスを抑制することができる。

【０２０４】

さらに、上述の通り、ＥＸＥＳＵＢ命令の命令データが、１または複数の固定値のビット（例えば、上記のビット４、ビット３）を挟んで上位にある可変値のビット数（例えば、１（上記のビット５））と比較して当該固定値のビットを挟んで下位にある可変値のビット数（例えば、３（上記のビット２、ビット１、ビット０））が大きくなる（記憶容量が大きくなる）ように構成されていることにより、ＥＸＥＳＵＢ命令の命令データをグループ化しつつも、きめ細かく上述の空き領域に割り当てることが可能になる。よって、限られたハードウェア資源（例えば、１バイトで定義可能なパターン（２５６パターン））を有効利用することができ、命令データの圧縮によるＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に記憶されている従来の制御プログラムデータの圧縮が可能となる。なお、１または複数の固定値のビットを挟んで下位にある可変値のビット数と比較して当該固定値を挟んで上位にある可変値のビット数が大きくなる（記憶容量が大きくなる）ように構成した場合であっても、上述の効果を奏する。

【０２０５】

なお、上述の可変値α、β、γおよびδとＥＸＥＳＵＢ命令の命令データのビット７～０の対応関係は上述の対応関係に限らず、例えば、ビット４に可変値αを対応させ、同様に、ビット２に可変値β、ビット１に可変地γ、ビット０に可変値δを対応させてもよく、上述した対応関係であればよい。

【０２０６】

さらに、命令データを構成する可変値α、β、γおよびδの順序は、任意の順序としてもよいが、上述の順序（上位ビットから順にα、β、γ、δ）、すなわち、後述するアドレスｍｎのｍを上位ビットからα、β、γ、δの順に並べることで定義可能になる順序とすることで、ＥＸＥＳＵＢ命令データの機械語のチェックを簡便となり、コーディングミスを抑制することができる。

＜ＥＸＥＳＵＢ命令／補足データ＞

【０２０７】

ＥＸＥＳＵＢ命令の補足データは、本実施形態では、００Ｈ～ＦＦＨの数値範囲を示す８ビットのデータであるｎで構成されている。

【０２０８】

よって、ＥＸＥＳＵＢ命令は、命令データに含まれる４ビットのデータであるｍと、８ビットの補足データであるｎを、この順番で並べて（ｍを上位、ｎを下位として）構成される合計１２ビットのアドレスｍｎによって定義可能なアドレス領域（０００００Ｈ～０ＦＦＦＨ）に先頭アドレスを持つサブルーチンを呼び出すことができる命令となる。すなわち、ｎは呼び出すサブルーチンの先頭アドレスを識別可能な識別情報（バイナリ形式）から、当該識別情報の一部（ｍ）を除いた情報の少なくとも一部である。

＜ＥＸＥＳＵＢ命令／サブルーチンの呼び出し＞

【０２０９】

図２３は、ＥＸＥＳＵＢ命令によるアドレスの移動の一例を概念的に示した図である。本実施形態では、ｍ（４ビットのデータ）は、同図（ａ）に示すように、ＲＯＭ領域のアドレス００００Ｈ～２ＦＦＦＨのうち、上位１バイトの下位４ビット（０Ｈ～ＦＨ）を示し、ｎ（８ビットのデータ）は、同図（ｂ）に示すように、上位アドレスｍによって表現される１００Ｈ単位の記憶領域（０ｍ００Ｈ～０ｍＦＦＨ：ｍ＝０Ｈ～ＦＨ）を１ブロックとしたときに、当該１ブロック内のアドレス（００Ｈ～ＦＦＨ）を示す値である。

【０２１０】

なお、移動先のアドレスを設定可能なアドレス領域を、ｎまたはｍのいずれのデータを上位アドレスのデータとして定義しても、後述する制御プログラムデータの削減の効果は得られるが、上述の通り、命令データに含まれるｍを上位アドレスのデータとして定義することで、図２３（ａ）に示すように、アドレス領域に対してＥＸＥＳＵＢ命令の命令データをグループ化して対応付けることができ、コーディングミスを抑制することができる。

【０２１１】

また、ＥＸＥＳＵＢ命令の命令データは、呼び出すサブルーチンの先頭アドレスの一部を構成するデータであるｍを含んで構成されていることから、移動先のアドレスデータを間違ってしまった場合であっても、間違ってしまったデータが命令データに含まれていれば、制御プログラムの実行が停止されるため、コーディングミスを抑制することができる。

【０２１２】

図２４は、ＥＸＥＳＵＢ命令によるサブルーチンの先頭アドレスの呼び出しの一例を示したものであり、図２５は、ＥＸＥＳＵＢ命令の命令データと補足データの一例を示した図である。

【０２１３】

例えば、実行中の制御プログラムのアドレスが０７００Ｈで、移動先のサブルーチンの先頭アドレスが０３ＦＦＨの場合を挙げる。この制御プログラムをＣＡＬＬ命令で表現すると、上述の通り、図２４の符号Ｘ′で示す両者の相対アドレス（移動元のアドレスと移動先のアドレスの差）は、０３０１Ｈ（＝０７００Ｈ－０３ＦＦＨ）であり、この相対アドレスは２バイトのデータで表現可能であり、１バイトの命令データと２バイトの補足データで合計３バイトの制御プログラムデータが必要である。

【０２１４】

一方、この制御プログラムをＥＸＥＳＵＢ命令で表現すると、移動先のアドレスへの移動は概念的にＸ′′で示すものとなり、この相対アドレスは、１バイトのデータで表現可能な００ＦＦＨ（＝０３ＦＦＨ－０３００Ｈ）となる。すなわち、ＥＸＥＳＵＢ命令は、図２５（ａ）に示すように、０００１１０１１Ｂで表される１バイトの命令データと、１１１１１１１Ｂで表される１バイトの補足データで合計２バイトの制御プログラムデータが必要となる。

【０２１５】

また、実行中の制御プログラムのアドレスが０７００Ｈで、呼び出し先のサブルーチンの先頭アドレスが０７５ＦＨの場合を挙げる。この場合は、この制御プログラムがＣＡＬＬ命令またはＥＸＥＳＵＢ命令のいずれで表現する場合であっても、上述の通り、図２４の符号Ｙ′で示すように、両者の相対アドレスは、１バイトで表現可能な００５ＦＨ（＝０Ｃ５ＦＨ－０Ｃ００Ｈ）であり、この相対アドレスは１バイトのデータで表現可能であるが、この制御プログラムをＣＡＬＬ命令で表現すると、１バイトの命令データと２バイトの補足データで合計３バイトの制御プログラムデータが必要となる。

【０２１６】

一方、この制御プログラムをＥＸＥＳＵＢ命令で表現すると、図２５（ｂ）に示すように、０００１１１１１Ｂで表される１バイトの命令データと、０１０１１１１１Ｂで表さ

れる１バイトの補足データの合計２バイトの制御プログラムデータが必要となり、上述のＣＡＬＬ命令よりも、１命令当りのデータを１バイト削減することができる。

【０２１７】

よって、ＥＸＥＳＵＢ命令を実行するための制御プログラムは、移動先のアドレス（１２ビットで定義可能な記憶領域（００００Ｈ～０ＦＦＦＨ）内の任意のアドレス）に関わらず、２バイトの制御プログラムデータが必要となり、上述のＣＡＬＬ命令よりも、１命令当りの制御プログラムデータを１バイト削減することができる。

【０２１８】

すなわち、サブルーチンを呼び出す制御プログラムに上述のＥＸＥＳＵＢ命令を用いることで、従来のサブルーチンを呼び出す制御プログラム（例えば、ＣＡＬＬ命令）を圧縮することができ、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に記憶されている従来の制御プログラムデータを圧縮することが可能となる。

【０２１９】

なお、ＥＸＥＳＵＢ命令を実行する際にＣＰＵ３０４は、具体的に、ＰＣレジスタ（プログラムカウンタ）に記憶されているデータ（２バイト）をスタックエリアに記憶させる処理を実行した後に、ＥＸＥＳＵＢ命令を実行するための補足データ（移動先のサブルーチンの先頭アドレスを示すデータ（２バイト））をＰＣレジスタ（プログラムカウンタ）に記憶させる処理（サブルーチンの先頭アドレスに移動）を実行することで、サブルーチンを呼び出すことが可能となる。

【０２２０】

また、サブルーチンを呼び出す制御プログラムに上述のＥＸＥＳＵＢ命令を用いることで、上述制御プログラムの圧縮に起因して従来（例えば、ＣＡＬＬ命令）よりもサブルーチンを呼び出す制御プログラムの処理速度を向上させる（ステート数を少なくする）ことができる。

【０２２１】

さらに、上述のように、ＲＯＭ領域は、上述のＥＸＥＳＵＢ命令によって呼び出すことができる領域（本実施形態では、００００Ｈ～０ＦＦＦＨ）に対応するＲＯＭ３０６の記憶領域に、全ての制御プログラムデータが記憶されるようにＲＯＭ制御領域（本実施形態では、００００Ｈ～０ＢＢ１Ｈ）を設け、少なくとも、上述のＥＸＥＳＵＢ命令によって呼び出すことができる領域（本実施形態では、００００Ｈ～０ＦＦＦＨ）から、制御プログラムデータが記憶されているＲＯＭ制御領域（本実施形態では、００００Ｈ～０ＢＢ１Ｈ）を除いた領域（本実施形態では、０ＢＢ１Ｈ～０ＦＦＦＨ）を、非使用領域となるように構成されるとともに、非使用領域の後にＲＯＭデータ領域が続くように構成されている。

【０２２２】

このようにＲＯＭ領域を構成した遊技台において、サブルーチンを呼び出す制御プログラムに上述のＥＸＥＳＵＢ命令を用いる（ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域にＥＸＥＳＵＢ命令の制御プログラムデータを記憶する）ことで、ＣＰＵ３０４が制御プログラムデータおよび非使用データを除くデータを命令データとして直接読み込むことがないため、補足データのコーディングミスによるＣＰＵ３０４の誤作動を防止できる場合がある。

＜制御プログラムの一例＞

【０２２３】

図２６は、上述の主制御部タイマ割込処理の制御プログラムの一例を示したプログラムリストである。なお、「＊＊」はＥＸＥＳＵＢ命令の補足データを示す。

【０２２４】

ＣＰＵ３０４は、タイマ割込み処理を開始すると、まずＷＤＴをリスタートする処理を実行し、所定の処理（詳細は省略）を実行し、その後、ＥＸＥＳＵＢ命令（１）～（１８）を用いて、それぞれ、以下のサブルーチンを読み出す処理を実行する。入力ポート状態更新処理、基本乱数初期値更新処理、基本乱数更新処理、演出乱数更新処理、タイマ更新

処理、入賞口カウンタ更新処理、入賞受付処理、払出要求数送信処理、普図状態更新処理、普図関連抽選処理特図先読み制御処理、特図２状態更新処理、特図１状態更新処理、特図２関連抽選処理、特図１関連抽選処理、コマンド設定送信処理、外部出力信号設定処理、デバイス監視処理、を実行し、その他の処理（詳細は省略）を実行する。なお、詳細は省略するが、上述のＥＸＥＳＵＢ命令（１）～（１８）によって呼び出されるサブルーチンの先頭アドレスはＲＯＭ制御領域（本実施形態では、０００００Ｈ～０ＢＢ０Ｈ）に含まれている。

【０２２５】

このように、タイマ割込み処理におけるサブルーチンを呼び出す制御プログラムに上述のＥＸＥＳＵＢ命令を用いる（ＲＯＭ制御領域のうちタイマ割り込み処理の領域に対応するＲＯＭ３０６の記憶領域にＥＸＥＳＵＢ命令の制御プログラムデータを記憶する）ことで、タイマ割込み処理を安定化させることができる。

【０２２６】

ところで、遊技台の開発では、一般的に従来の制御プログラムの一部を変更（削除や追加など）することで新たな遊技台を開発している。特に、遊技制御の安定化を図るためにできるだけ制御プログラムの変更は避けることが望まれる。

【０２２７】

よって、ＲＯＭ領域（例えば、タイマ割込み処理の領域）におけるサブルーチンを呼び出す制御プログラムすべてに、上述のＥＸＥＳＵＢ命令を用いる必要はなく、必要（例えば、上述の制御プログラムデータの圧縮の要求の有無）に応じて適宜用いればよい。さらに、上述のＥＸＥＳＵＢ命令は、従来の１バイトの命令データと２バイトの補足データで構成される３バイト命令の制御プログラムデータ（例えば、ＣＡＬＬ命令）を、１バイトの命令データと１バイトの補足データで構成される２バイト命令の制御プログラムデータに圧縮した制御プログラムであるが、命令データと補足データで構成される制御プログラムを圧縮する制御プログラムであればよい。すなわち、ＥＸＥＳＵＢ命令は、呼び出すサブルーチンの先頭アドレスを識別可能な識別情報（バイナリ形式）の一部を含んで構成される命令データと、当該識別情報から当該命令データに含まれた識別情報を除いた情報の少なくとも一部で構成される補足データとで構成される制御プログラムであればよく、さらに言えば、上述の命令データおよび補足データそれぞれが、ＣＰＵ３０４が一回の処理で読み込むデータ長（例えば、８ビット）の整数倍であればよい。

＜ＲＯＭ制御領域の変形例＞

【０２２８】

図２７は、ＲＯＭ領域が、上述のＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）によって呼び出すことができる領域（本実施形態では、０００００Ｈ～０ＦＦＦＨ）よりも、制御プログラムデータが記憶されているＲＯＭ制御領域（本実施形態では、０００００Ｈ～１１Ｂ８Ｈ）が広くなるように構成されている場合を示した図である。また、図２８（ａ）および（ｂ）は、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）によって呼び出すことができるサブルーチンの先頭アドレスの領域を拡張した場合の一例を示した図である。

【０２２９】

例えば、図２７に示すように、ＲＯＭ制御領域（本実施形態では、０００００Ｈ～１１Ｂ８Ｈ）が、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）で呼び出すことができるサブルーチンの先頭アドレスの領域（本実施形態では、０００００Ｈ～０ＦＦＦＨ）より広い場合、ＲＯＭ制御領域は、ＥＸＥＳＵＢ対象領域（本実施形態では、０００００Ｈ～０ＦＦＦＨ）と、ＥＸＥＳＵＢ非対象領域（例えば、１０００Ｈ～１１Ｂ８Ｈ）で構成されることとなる。

【０２３０】

この場合、ＥＸＥＳＵＢ非対象領域に対応するアドレスを先頭アドレスに持つサブルーチンを呼び出す命令に上述のＣＡＬＬ命令を用いて補ったとしても、上述の通り、遊技の興趣を高めることを可能にしつつ、安定した遊技制御を実現することは可能である。

【０２３１】

しかし、図２８に示すように、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）によって呼び出

すことができるサブルーチンの先頭アドレスの領域を拡張することで、上述の効果をより高めることが可能になる。

【０２３２】

具体的な手段としては、図２８（ａ）および（ｂ）に示すように、後述する可変値σを用いて、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）に要する記憶容量を維持しつつ、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データを拡張するものである。なお、以下は、同図に新たに追加した可変値σについて説明することとする。

【０２３３】

可変値σは、ＥＸＥＳＵＢ命令（後述のＥＸＥＳＵＢｍ´ｎ）を拡張するために用いられ、図２８（ａ）に示すように、ＥＸＥＳＵＢ命令（後述のＥＸＥＳＵＢｍ´ｎ）の命令データ（本実施形態では、８ビット）のビット６を構成する値であり、呼び出すサブルーチンの先頭アドレスを示すアドレスｍ´ｎのうちｍ´の値に応じて変化するものである。

【０２３４】

また、命令データテーブルには、図２８（ｂ）に示すように、可変値σによって拡張されたＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍ´ｎ）が、同図（ｂ）に示す太線で囲った領域、すなわち、上位ビット５Ｈ（０１０１Ｂ）と下位ビット８Ｈ（１０００Ｂ）および９Ｈ（１００１Ｂ）の組合せからなる空き領域に割り当てられている。

【０２３５】

ここで、ｍ´は、図２２（ａ）で示したｍと同一の役割を持つデータであるが、上述のｍがビット５のα、ビット２のβ、ビット１のγおよびビット０のδの合計４ビットのデータであったのに対して、ｍ´はビット６のσ、ビット５のα、ビット２のβ、ビット１のγおよびビット０のδの合計５ビットのデータである点が異なり、ｍ´は、００Ｈ～１１Ｈの数値範囲を表現可能なデータであり、呼び出すサブルーチンの先頭アドレスを識別可能な識別情報（バイナリ形式）の一部である。

【０２３６】

このように、上述のＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データのビット６に可変値σを設けたＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍ´ｎ）を用いて、アドレスｍｎによって定義可能なアドレス領域（０００Ｈ～ＦＦＦＨ）を拡張（アドレスｍ´ｎによって定義可能なアドレス領域を００００Ｈ～１１ＦＦＨに）することで、上述のＥＸＥＳＵＢ非対象領域に対応するアドレスを先頭アドレスに持つサブルーチンをＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍ´ｎ）を用いて呼び出すことができる。

【０２３７】

なお、上述の可変値σ、α、β、γおよびδとＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍ´ｎ）の命令データのビット７～０の対応関係は上述の対応関係に限らず、例えば、ビット５に可変値σを対応させ、同様に、ビット４に可変値α、ビット２に可変値β、ビット１に可変地γ、ビット０に可変値δを対応させてもよく、図２２を用いて説明した対応関係と同じであればよい。

【０２３８】

さらに、命令データを構成する可変値σ、α、β、γおよびδの順序は、任意の順序としてもよいが、上述の順序（上位ビットから順にσ、α、β、γ、δ）、すなわち、後述するアドレスｍ´ｎのｍ´を上位ビットからσ、α、β、γ、δの順に並べることで定義可能になる順序とすることで、ＥＸＥＳＵＢ命令データの機械語のチェックを簡便となり、コーディングミスを抑制することができる。

【０２３９】

このように、上述のＲＯＭ制御領域（例えば、００００Ｈ～１１Ｂ８Ｈ）に対応させて上述のＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍ´ｎ）の命令データを設けることで、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に記憶されている従来の制御プログラムデータの圧縮が可能となる。

【０２４０】

ところで、図１７および図２７で示したように、制限されたＲＯＭ制御領域の中でも開

発された遊技台ごとに設けられたＲＯＭ制御領域が異なる場合があるが、このような遊技台それぞれに対して、上述のＥＸＥＳＵＢｍｎまたはＥＸＥＳＵＢｍ´ｎそれぞれを命令データとして備えているＣＰＵを使い分けて開発を行うことは、開発工数およびコストの観点からも無駄であるとともに、コーディングミスの原因ともなり、安定した遊技制御の実現を困難にしてしまうこととなる。よって、図１７で示したＲＯＭ制御領域を持つ遊技台であっても、ＥＸＥＳＵＢ命令にＥＸＥＳＵＢｍ´ｎを用いた方が望ましい。

【０２４１】

この場合であっても、ＥＸＥＳＵＢｍ´ｎによって呼び出すことができる領域（本実施形態では、０００００Ｈ～１１ＦＦＨ）よりも、制御プログラムデータが記憶されているＲＯＭ制御領域（本実施形態では、０００００Ｈ～０ＢＢ１Ｈ）が狭くなるように構成されているため、少なくとも、上述のＥＸＥＳＵＢｍ´ｎによって呼び出すことができる領域から、制御プログラムデータが記憶されているＲＯＭ制御領域を除いた領域（本実施形態では、０ＢＢ１Ｈ～１１ＦＦＨ）を、hituka用領域で構成するとともに、非使用領域の後にＲＯＭデータ領域が続くように構成すればよい。

＜特図状態更新処理、普図状態更新処理＞

【０２４２】

次に、図２９を用いて、上述の特図２状態更新処理（ステップＳ２２５）、特図１状態更新処理（ステップＳ２２７）、普図状態更新処理（ステップＳ２２１）の制御プログラムの一部について説明する。なお、同図（ａ）は特図２状態更新処理および特図１状態更新処理の制御プログラムの一部を抜き出したものであり、同図（ｂ）は普図状態更新処理の制御プログラムの一部を抜き出したものである。

【０２４３】

例えば、同図（ａ）に示す特図状態更新処理では、まず最初に、「ＬＤ　Ｌ，Ｌｏｗ．ｖｂＴｏｋｕｚｕＳｔａｔｕｓ」の命令を実行することによって、同図（ｄ）においてｖｂＴｏｋｕｚｕＳｔａｔｕｓとして定義されたアドレス（この例では、ＲＡＭ３０８に設けた特図ステータス用記憶領域を示すアドレスであるＦ０６０Ｈ）の下位バイト（この例では、６０Ｈ）をＬレジスタに記憶する。

【０２４４】

続いて、「ＪＰ　ｍｏＲｅａｄＭｅｍｏｒｙ」の命令を実行することによって、同図（ｃ）に示すｍｏＲｅａｄＭｅｍｏｒｙ（メモリ読出し処理）に移動し、当該処理を実行する。このメモリ読み出し処理では、まず最初に「ＬＤ　Ｈ，Ｆ０Ｈ」の命令を実行することによってＨレジスタにＦ０Ｈを記憶した後、「ＬＤ　Ａ，（ＨＬ）」の命令を実行することによってＨＬレジスタで示されるアドレス（この例では、Ｆ０６０Ｈ）の内容（この例では、特図ステータス）をＡレジスタに記憶する。続いて、「ＡＮＤ　Ａ」の命令を実行した後に、読み出し元の特図状態更新処理に戻る。なお、同図（ｂ）に示す普図状態更新処理も共通のサブルーチンであるｍｏＲｅａｄＭｅｍｏｒｙ（メモリ読出し処理）を利用することによって、ＲＡＭ３０８の普図ステータス用記憶領域に記憶された普図ステータスの読みだしを行う。このように、同図（ｃ）に示す従来のメモリ読出し処理を利用した場合には、「ＬＤ　Ｈ，Ｆ０Ｈ」という命令により、特図ステータス用記憶領域や普図ステータス用記憶領域のアドレスの上位（Ｆ０Ｈ）が解析され、不正行為を誘発するおそれがある。このため、本実施形態では、同図（ｃ）に示す従来のメモリ読出し処理に替えて、同図（ｅ）に示すメモリ読出し処理を採用する。

【０２４５】

この本実施形態に係るメモリ読出し処理では、「ＬＤ　Ａ，Ｔ」の命令を実行することによって、Ｔレジスタの値をＡレジスタに記憶するが、上述のように、Ｔレジスタには特定の値（Ｆ０Ｈ）が記憶されているため、ＡレジスタにはＦ０Ｈが記憶される。以降の処理は従来の処理と同様であるが、イミディエイト値を利用する代わりにＴレジスタを利用しているため、特図ステータス用記憶領域や普図ステータス用記憶領域のアドレスの上位（Ｆ０Ｈ）が解析されるおそれが少なく、不正行為を未然に防止できる場合がある。また、イミディエイト値を利用した場合には、例えば、Ｆ０ＨをＦ１Ｈと間違って入力するな

ど、コーディングミスの可能性が高くなるが、Ｔレジスタを利用すればコーディングミスを未然に防止できる場合がある。

【０２４６】

図３０は、図２９（ｃ）に示す従来のメモリ読出し処理の機械語と、図２９（ｅ）に示す本実施形態に係るメモリ読出し処理の機械語と、を比較した図である。従来のメモリ読出し処理における１行目の「ＬＤ　Ｈ，Ｆ０Ｈ」命令をアセンブルした場合、機械語は「２６Ｆ０Ｈ」となり「Ｆ０Ｈ」を含むため、従来のメモリ読出し処理では、特図ステータス用記憶領域や普図ステータス用記憶領域のアドレスの上位（Ｆ０Ｈ）が解析されてしまうおそれがある。一方、本実施形態のメモリ読出し処理における１行目の「ＬＤ　Ａ，Ｔ」命令をアセンブルした場合、機械語は「ＥＤ０１Ｈ」となり「Ｆ０Ｈ」を含まないため、本実施形態のメモリ読出し処理では、特図ステータス用記憶領域や普図ステータス用記憶領域のアドレスの上位（Ｆ０Ｈ）が解析されるおそれが極めて低く、不正行為を未然に防止できる場合がある。

＜特図１関連抽選処理＞

【０２４７】

次に、図３１を用いて、上述の主制御部タイマ割込処理における特図１関連抽選処理について説明する。なお、同図は、特図１関連抽選処理の流れを示すフローチャートである。

【０２４８】

ステップＳ１００１では、特別図柄乱数移行処理を行う。この特別図柄乱数移行処理では、一次記憶した乱数値を、ＲＡＭ３０８に設けた特別図柄関連抽選乱数の格納領域に移行（記憶）する。ステップＳ１００２では、特別図柄当り抽選処理を行う。この特別図柄当り抽選処理では、上述の特図乱数値（特図１乱数値、特図２乱数値）と、ＲＯＭ３０６に予め記憶している特別図柄抽選データを比較する抽選を行い、当該抽選結果に応じて、上述の１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグなどを設定し、特別図柄遊技状態を変動中に設定する。

【０２４９】

ステップＳ１００３では、表示図柄抽選処理を行う。この表示図柄抽選処理では、ＲＡＭ３０８に記憶している表示図柄判定乱数と、ＲＯＭ３０６に予め記憶している表示図柄抽選データを比較する抽選を行い、当該抽選結果に応じて、１５Ｒ特別大当り図柄（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄を設定する。

【０２５０】

ステップＳ１００４では、特別図柄変動時間抽選処理を行う（詳細は後述する）。ステップＳ１００５では、特別図柄変動時間設定処理を行う。この特別図柄変動時間設定処理では、上記ステップＳ１００４の特別図柄変動時間抽選処理で取得した変動パターン（パターン番号）に応じたタイマを特別図柄変動タイマとして設定（記憶）する。ステップＳ１００６では、特別図柄保留内情報移行処理を行う。この特別図柄保留内情報移行処理では、特別図柄保留内情報を変動順が先の格納領域に移行（記憶）した後に処理を終了する。

【０２５１】

なお、ここでは一例として、上述の主制御部タイマ割込処理における特図１関連抽選処理（ステップＳ２３１）について説明したが、例えば、特図２関連抽選処理（ステップＳ２２９）や普図関連抽選処理（ステップＳ２２３）についても同様の処理を適用することができる。

＜主制御部のデータテーブルと変数記憶領域＞

【０２５２】

次に、図３２および図３３を用いて、主制御部３００のＲＯＭ３０６に記憶されるデータテーブルの一部と、ＲＡＭ３０８に設けられる変数記憶領域の一部について説明する。

＜テーブル選択用テーブル＞

【０２５３】

図３２（ａ）は、テーブル選択用テーブルの一例を示した図であり、図３３は、主制御部３００のＲＯＭ３０６に記憶されるデータテーブルの定義の一部と、ＲＡＭ３０８に設けられる変数格納領域の定義の一部を示したプログラムリストの一例である。

【０２５４】

図３２（ａ）に示すテーブル選択用テーブルには、後述する第１変動パターン選択テーブルが記憶されるＲＯＭ３０６のアドレスを示す飛先アドレスが、特図変動遊技の保留数毎に０個用～３個用の４つに区分けされて記憶されている。具体的には、ＲＯＭデータ領域のアドレス１６００Ｈ～１６０１Ｈに対応するＲＯＭ３０６の２バイトの記憶領域には、保留数が０の場合に参照する第１変動パターン選択テーブルの飛先アドレスとして１７４ＦＨが記憶されている（１６００　ＤＥＦＢ　１７４ＦＨ）。また、ＲＯＭデータ領域のアドレス１６０２Ｈ～１６０３Ｈに対応するＲＯＭ３０６の２バイトの記憶領域には、保留数が１の場合に参照する第１変動パターン選択テーブルの飛先アドレスとして１７４ＦＨが記憶されている（１６０２　ＤＥＦＢ　１７４ＦＨ）。また、ＲＯＭデータ領域のアドレス１６０４Ｈ～１６０５Ｈに対応するＲＯＭ３０６の２バイトの記憶領域には、保留数が２の場合に参照する第１変動パターン選択テーブルの飛先アドレスとして１７４ＦＨが記憶されている（１６０４　ＤＥＦＢ　１７４ＦＨ）。また、ＲＯＭデータ領域のアドレス１６０６Ｈ～１６０７Ｈに対応するＲＯＭ３０６の２バイトの記憶領域には、保留数が３の場合に参照する第１変動パターン選択テーブルの飛先アドレスとして１７５５Ｈが記憶されている（１６０６　ＤＥＦＢ　１７５５Ｈ）。

＜第１変動パターン選択テーブル＞

【０２５５】

図３２（ｂ）は、第１変動パターン選択テーブルの一例を示した図である。この第１変動パターン選択テーブルには、当該テーブルのアドレスと、後述する第２変動パターン選択テーブルが記憶されたアドレスとの差（オフセット）と、乱数の個数が記憶されている。具体的には、ＲＯＭデータ領域のアドレス１７５０Ｈに対応するＲＯＭ３０６の１バイトの記憶領域には、オフセットとしてＡＥＨが記憶されているとともに、このアドレスに連続する１７５１Ｈに対応するＲＯＭ３０６の１バイトの記憶領域には、乱数の個数として２０が記憶され（１７５０Ｈ　ＤＥＦＢ　ＡＥＨ，２０）、以降のＲＯＭデータ領域のアドレス１７５２Ｈ～１７５９Ｈに対応するＲＯＭ３０６の記憶領域には、図３２（ｂ）および図３３に示すように、１バイト長のオフセットと、１バイト長の乱数の個数が交互に連続して記憶されている。なお、第１変動パターン選択テーブルにおいて乱数の個数は１０進数で示している。

＜第２変動パターン選択テーブル＞

【０２５６】

図３２（ｃ）は、第２変動パターン選択テーブルの一例を示した図である。この第２変動パターン選択テーブルには、パターン番号と、乱数の個数が記憶されている。具体的には、ＲＯＭデータ領域のアドレス１８００Ｈに対応するＲＯＭ３０６の１バイトの記憶領域には、パターン番号として０１Ｈが記憶されているとともに、このアドレスに連続する１８０１Ｈで示される１バイトの領域には、乱数の個数として２５５が記憶され（１８００Ｈ　ＤＥＦＢ　０１Ｈ，２５５）、以降のＲＯＭデータ領域のアドレス１８０２Ｈ～１８０ＦＨに対応するＲＯＭ３０６の記憶領域には、図３２（ｃ）および図３３に示すように、１バイト長のパターン番号と、１バイト長の乱数の個数が交互に連続して記憶されている。なお、第２変動パターン選択テーブルにおいて乱数の個数は１０進数で示している。

＜変数記憶領域＞

【０２５７】

図３２（ｄ）は、ＲＷＭ領域のアドレスＦ０４０Ｈ～Ｆ０４２Ｈに対応するＲＡＭ３０８の記憶領域に設けられる保留数記憶領域、乱数１記憶領域、乱数２記憶領域を示した図である。ＲＷＭ領域のアドレスＦ０４０Ｈに対応するＲＡＭ３０８の１バイトの記憶領域には保留数記憶領域が設けられ（Ｆ０４０　ｖｂＨｏｒｙｕｕＳＰ１　ＤＥＦＳ　１）、この保留数記憶領域には保留数が記憶される。また、アドレスＦ０４１Ｈに対応するＲＡＭ３０８の１バイトの記憶領域には乱数１記憶領域が設けられ（Ｆ０４１　ｖｂＲｎｄＨｅｎｄｏｕ１　ＤＥＦＳ　１）、この乱数１記憶領域には乱数１が記憶される。また、アドレスＦ０４２Ｈに対応するＲＡＭ３０８の１バイトの記憶領域には乱数２記憶領域が設けられ（Ｆ０４２　ｖｂＲｎｄＨｅｎｄｏｕ２　ＤＥＦＳ　１）、この乱数２記憶領域には乱数２が記憶される。

＜特別図柄変動時間抽選処理＞

【０２５８】

次に、図３４および図３５を用いて、上述の特図１関連抽選処理における特別図柄変動時間抽選処理について説明する。なお、図３４は、特別図柄変動時間抽選処理の流れを示すフローチャートであり、図３５は、特別図柄変動時間抽選処理のプログラムリストの一例である。

【０２５９】

ステップＳ１１０１では、演出用乱数取得処理を行う。この演出用乱数取得処理では、上述の特図１関連抽選処理で取得した特図１乱数値（０～２５５）を、上述の乱数値１記憶領域（ＲＷＭ領域のアドレスＦ０４１Ｈ）に記憶し、上述の特図２関連抽選処理で取得した特図２乱数値（０～２５５）を、上述の乱数値２記憶領域（ＲＷＭ領域のアドレスＦ０４２Ｈ）に記憶する。

【０２６０】

次のステップＳ１１０２では、上述のテーブル選択用テーブル（図３２（ａ））の先頭アドレス（本実施形態では、１６００Ｈ）を、ＨＬレジスタに転送する（ＬＤ　ＨＬ，ｔａｂｌｅＳｅｌｅｃｔＴａｂｌｅ）。これにより、ＨＬレジスタに１６００Ｈが記憶される。

【０２６１】

次のステップＳ１１０３では、上述の保留数記憶領域（ＲＷＭ領域のアドレスＦ０４０Ｈ）に記憶された保留数を、Ａレジスタに転送する（ＬＤＴ　Ａ，（４０Ｈ））。ここで、「ＬＤＴ　Ａ、（ｎ：イミディエイト値）」命令は、図３６に示すように、Ｔレジスタを上位、イミディエイト値を下位で示すアドレスのデータをＡレジスタにロードする命令である。本実施形態では、ＴレジスタにＦ０Ｈを記憶しているため、「ＬＤＴ　Ａ，（４０Ｈ）」命令を実行した場合、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４０Ｈ）を下位で示すアドレス（Ｆ０４０Ｈ）のデータ、すなわち保留数記憶領域に記憶された保留数がＡレジスタにロード（転送）される。例えば、保留数記憶領域に記憶された保留数が２の場合には、Ａレジスタに０２Ｈがロード（転送）される。

【０２６２】

次のステップＳ１１０４では、Ａレジスタの値にＡレジスタの値を加算する（ＡＤＤＡ，Ａ）。先の例では、Ａレジスタの値（０２Ｈ）にＡレジスタの値（０２Ｈ）を加算することによってＡレジスタに０４Ｈが記憶される。次のステップＳ１１０５では、ＨＬレジスタにＡレジスタの値を加算する（ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ａ）。詳細は後述するが、ＡＤＤＴＷＯＯＮＥ命令（ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ａ）は、ＨＬレジスタに記憶された２バイト長の値に、Ａレジスタに記憶された１バイト長の値を加算するための命令である。先の例では、ＨＬレジスタ（１６００Ｈ）にＡレジスタの値（０４Ｈ）を加算することによってＨＬレジスタに１６０４Ｈが記憶される。

【０２６３】

次のステップＳ１１０６では、ＨＬレジスタが示すアドレスの値をＤＥレジスタに転送する（ＬＤＴＷＯ　ＤＥ，（ＨＬ））。ここで、「ＬＤＴＷＯ　ＤＥ，（ＨＬ）」命令は、図３６に示すように、ＨＬレジスタが示すアドレスのデータをＤＥレジスタにロードす

る命令である。先の例では、ＨＬレジスタが示すアドレス（１６０４Ｈ）の値（１７４ＦＨ）をＤＥレジスタに転送することによってＤＥレジスタには１７４ＦＨが記憶される。

【０２６４】

次のステップＳ１１０７では、ＤＥレジスタの値とＨＬレジスタの値を交換する（ＥＸ　ＤＥ，ＨＬ）。先の例では、ＤＥレジスタの値（１７４ＦＨ）とＨＬレジスタの値（１６０４Ｈ）を交換することによって、ＨＬレジスタには１７４ＦＨが記憶され、ＤＥレジスタには１６０４Ｈが記憶される。

【０２６５】

次のステップＳ１１０８では、上述の乱数１記憶領域に記憶された乱数１（特別図柄変動時間判定乱数１）をＡレジスタに転送する（ＬＤＴ　Ａ，（４１Ｈ））。本実施形態では、ＴレジスタにＦ０Ｈを記憶しているため、「ＬＤＴ　Ａ，（４１Ｈ）」命令を実行した場合、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４１Ｈ）を下位で示すアドレス（Ｆ０４１Ｈ）のデータ、すなわち乱数１記憶領域に記憶された乱数１がＡレジスタにロード（転送）される。例えば、乱数１記憶領域に記憶された乱数１が２５０の場合には、Ａレジスタに２５０が記憶される。

【０２６６】

次のステップＳ１１０９では、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレスに格納された値をＢＣレジスタに転送する（ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ））。詳細は後述するが、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令は、ＨＬレジスタに記憶された２バイト長の値に１を加算し、加算後のＨＬレジスタの値で示されるアドレスに記憶された１バイト長の値を、ＢＣレジスタのうちの下位のＣレジスタに記憶した後に、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算し、加算後のＨＬレジスタの値で示されるアドレスに記憶された１バイト長の値を、ＢＣレジスタのうちの上位のＢレジスタに記憶するための命令である。先の例では、ＨＬレジスタに記憶された２バイト長の値（１７４ＦＨ）に１を加算し、加算後のＨＬレジスタの値（１７５０Ｈ）で示されるアドレスに記憶された１バイト長の値（ＡＥＨ）を、ＢＣレジスタのうちの下位のＣレジスタに記憶した後に、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算し、加算後のＨＬレジスタの値（１７５１Ｈ）で示されるアドレスに記憶された１バイト長の値（２０）を、ＢＣレジスタのうちの上位のＢレジスタに記憶する。

【０２６７】

次のステップＳ１１１０では、Ａレジスタの値からＢレジスタの値を減算する（ＳＵＢ　Ｂ）。先の例では、Ａレジスタの値（２５０）からＢレジスタの値（２０）を減算する。次のステップＳ１１１１では、ステップＳ１１１０の減算の結果、キャリーが発生したか否か、すなわち減算の結果が負の値になったかどうかを判定し、該当する場合にはステップＳ１１１２に進み、該当しない場合には該当するまでステップＳ１１０９～Ｓ１１１１の処理を繰り返し実行する（ＪＰ　ＮＣ，ＬＯＯＰ０１）。先の例では、ステップＳ１１０９～Ｓ１１１１の処理を３回繰り返すことによってキャリーが発生し、ステップＳ１１１２に進む際には、Ｂレジスタの値が８、Ｃレジスタ値がＢ０Ｈ、ＨＬレジスタの値が１７５５Ｈになる。

【０２６８】

次のステップＳ１１１２では、ＨＬレジスタの値にＣレジスタの値を加算する（ＡＤＤＴＷＯＯＮＥ）。先の例では、ＨＬレジスタの値（１７５５Ｈ）にＣレジスタの値（Ｂ０Ｈ）を加算することによってＨＬレジスタには１８０５Ｈが記憶される。次のステップＳ１１１３では、上述の乱数２記憶領域（本実施形態では、Ｆ０４２Ｈ）に記憶された乱数２（特別図柄変動時間判定乱数２）をＡレジスタに転送する（ＬＤＴ　Ａ，（４２Ｈ））。本実施形態では、ＴレジスタにＦ０Ｈを記憶しているため、「ＬＤＴ　Ａ，（４２Ｈ）」命令を実行した場合、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４２Ｈ）を下位で示すアドレス（Ｆ０４２Ｈ）のデータ、すなわち乱数２記憶領域に記憶された乱数２がＡレジスタにロード（転送）される。例えば、乱数２が１４８の場合には、Ａレジスタに１４８が記憶される。

【０２６９】
次のステップＳ１１１４では、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレスに格納された値をＢＣレジスタに転送する（ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ））。先の例では、ＨＬレジスタに記憶された２バイト長の値（１８０５Ｈ）に１を加算し、加算後のＨＬレジスタの値（１８０６Ｈ）で示されるアドレスに記憶された１バイト長の値（０４Ｈ）を、ＢＣレジスタのうちの下位のＣレジスタに記憶した後に、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算し、加算後のＨＬレジスタの値（１８０７Ｈ）で示されるアドレスに記憶された１バイト長の値（１２８）を、ＢＣレジスタのうちの上位のＢレジスタに記憶する。
【０２７０】
次のステップＳ１１１５では、Ａレジスタの値からＢレジスタの値を減算する（ＳＵＢ　Ｂ）。先の例では、Ａレジスタの値（１４８）からＢレジスタの値（１２８）を減算する。次のステップＳ１１１６では、ステップＳ１１１５の減算の結果、キャリーが発生したか否か、すなわち減算の結果が負の値になったかどうかを判定し、該当する場合にはステップＳ１１１７に進み、該当しない場合には該当するまでステップＳ１１１４～Ｓ１１１６の処理を繰り返し実行する（ＪＰ　ＮＣ，ＬＯＯＰ０２）。先の例では、ステップＳ１１１４～Ｓ１１１６の処理を２回繰り返すことによってキャリーが発生し、ステップＳ１１１７に進む際には、Ｂレジスタの値が３２、Ｃレジスタの値が０５Ｈ、ＨＬレジスタの値が１８０９Ｈになる。ステップＳ１１１７では、その他の処理を行った後に処理を終了する。なお、ここでは一例として、特図１や特図２に関する処理について説明したが、例えば、普図の保留数や乱数値についても同様の処理を適用することができる。
＜主制御部の特殊命令＞
【０２７１】
次に、図３６および図３７を用いて、主制御部３００が備える特殊命令について説明する。なお、図３６は、主制御部３００が備える命令の一部と、その説明を示した図である。また、図３７（ａ）は、主制御部３００の命令データの上位ビットと下位ビットを示した図であり、同図（ｂ）は、命令データテーブルの一例を示した図である。
＜特殊命令／ＬＤＴ命令＞
【０２７２】
特殊命令の一つである「ＬＤＴ　Ａ、（ｎ：イミディエイト値）」命令は、上述のとおり、Ｔレジスタを上位、イミディエイト値を下位で示すアドレスのデータをＡレジスタにロードする命令であり、例えば、上述の特別図柄変動時間抽選処理のステップＳ１１０３では、「ＬＤＴ　Ａ、（４０Ｈ）」命令を実行することによって、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４０Ｈ）を下位で示すアドレス（Ｆ０４０Ｈ）のデータ、すなわち保留数記憶領域に記憶された保留数をＡレジスタにロード（転送）している。
【０２７３】
また、図示はしないが、主制御部３００は、さらに、Ａレジスタに記憶されたデータを、Ｔレジスタを上位、イミディエイト値を下位で示すアドレスにロードするための「ＬＤＴ　（ｎ：イミディエイト値），Ａ」命令を備えている。一方、Ｔレジスタを上位、汎用レジスタ（例えば、Ｈレジスタ）を下位で示すアドレスのデータをＡレジスタにロードする命令（例えば、「ＬＤＴ　Ａ，Ｈ」のような命令）や、Ａレジスタに記憶されたデータを、Ｔレジスタを上位、汎用レジスタ（例えば、Ｈレジスタ）を下位で示すアドレスにロードするための命令（例えば、「ＬＤＴ　Ｈ，Ａ」のような命令）は備えていない。
【０２７４】
すなわち、ＬＤＴ命令によって指定可能なアドレスの下位バイトは、イミディエイト値に限定されており、汎用レジスタを指定することは禁止されている（機械語にアセンブルされる過程でエラーとなりアセンブルすることができない）。このため、ＬＤＴ命令では、プログラムリストの確認などを行う際にアドレスの確認が容易となる上に、Ｔレジスタの値（アドレスの上位バイト）を不用意に変更することができなくなる結果、コーディングミスや不具合の発生を減少させることができる場合がある。

＜特殊命令／ＬＤＴＷＯ命令＞

【０２７５】

特殊命令の一つである「ＬＤＴＷＯ　ＯＰ１，（ＯＰ２）」命令は、上述のとおり、第２オペランドＯＰ２で示される２つのレジスタが示すアドレスのデータを第１オペランドＯＰ１で示される２つのレジスタにロードする命令であり、「ＬＤＴＷＯ　（ＯＰ２），ＯＰ１」命令は、第２オペランドＯＰ２で示される２つのレジスタが示すアドレスに第１オペランドＯＰ１で示される２つのレジスタのデータをロードする命令であり、例えば、上述の特別図柄変動時間抽選処理のステップＳ１１０６では、「ＬＤＴＷＯ　ＤＥ，（ＨＬ）」命令を実行することによって、ＨＬレジスタが示すアドレス（１６０４Ｈ）の値（１７４ＦＨ）をＤＥレジスタにロード（転送）してＤＥレジスタには１７４ＦＨを記憶している。ＯＰ２がＨＬレジスタではないＢＣレジスタまたはＤＥレジスタである場合、ＯＰ１がＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ、ＩＸレジスタ、ＩＹレジスタとなり、ＯＰ２がＨＬレジスタである場合のみ、ＯＰ１がＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ、ＡＣレジスタ、ＡＥレジスタ、ＢＤレジスタ、ＩＸレジスタ、ＩＹレジスタとなる。ＬＤＴＷＯ命令は、ＡレジスタやＨＬレジスタを保護するのに適している。

【０２７６】

また、ＬＤＴＷＯ命令では、必要なステート数は１４ステート、必要なバイト数は２バイトである。一方、従来の命令によってＬＤＴＷＯ命令と同様の処理を行う場合には、図３６に示すように、必要なステート数は１４ステート（＝４＋６＋４）、必要なバイト数は３バイト（＝１＋１＋１）である。したがって、ＨＬレジスタが示すアドレスのデータをＤＥレジスタにロードする場合にＬＤＴＷＯ命令を使用すれば、制御プログラムの処理時間を短縮して制御負担を軽減することができる上に、プログラムコード量を削減することができ、メモリ容量が制限されているＲＯＭの記憶領域を有効に利用することができる場合がある。また、遊技性を高めるためにプログラムコードが増えたとしても、プログラム容量の増加や処理速度の低下を抑止できる場合がある。また、プログラム容量を削減することによって、開発者のコーディングミスやチェックミスを減らし、デバッグが容易で開発効率を高めることが可能となることに加えて、遊技台として適正な機能を有するか否かを外部機関が確認する際にも、確認作業のミスを防止でき、遊技者が安心して遊技を行うことができる遊技台を提供できる場合がある。

＜特殊命令／ＡＤＤＴＷＯＯＮＥ命令＞

【０２７７】

特殊命令の一つであるＡＤＤＴＷＯＯＮＥ命令（ＡＤＤＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）は、第１オペランドＯＰ１で示される２つのレジスタに記憶された２バイト長の値に、第２オペランドＯＰ２で示されるレジスタに記憶された１バイト長の値（または、第２オペランドＯＰ２で示される１バイト長のイミディエイト値）を加算するための命令である。ＡＤＤＴＷＯＯＮＥ命令の命令コードの上位１バイトは固定値（この例ではＥＤＨ）とし、下位バイトは、命令データテーブルの上位ビット４Ｈ（０１００Ｂ）と下位ビット０Ｈ（０００００Ｂ）～２Ｈ（００１０Ｂ）の組合せと、命令データテーブルの上位ビット４Ｈ（０１００Ｂ）と下位ビット４Ｈ（０１００Ｂ）～７Ｈ（０００１Ｂ）、９Ｈ（１００１Ｈ）の組合せに割り当てている。このように、従来は空き領域とされていた命令の領域を利用することで、限られたハードウェア資源を有効利用することができる上に、空き領域に不正な命令（隠し命令）を埋め込むような不正行為を未然に防止することができ、遊技の公平性を担保できる場合がある。なお、本実施形態では、特殊命令の命令コードを２バイト長としているが、命令コードのバイト長は特に限定されず、例えば１バイト長でもよい。また、ＡＤＤＴＷＯＯＮＥ命令のうちの特定の命令（例えば、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ａ」命令）のみ、他のＡＤＤＴＷＯＯＮＥ命令よりも命令コードが短く（例えば、１バイト長）てもよい。また、「ＡＤＤＴＷＯＯＮＥ　ＯＰ１，Ａ」命令のうちの特定の命令（例えば、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ａ」命令）のみ、他のＡＤＤＴＷＯＯＮＥ命令よりも命令コードが短く（例えば、１バイト長）てもよい。この場合、該命令の利便性を高めることができる。

【０２７８】
「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」命令を例に挙げると、第１オペランドで示されるペアレジスタＨＬに記憶された２バイト長の値に、第２オペランドで示されるＣレジスタに記憶された１バイト長の値を加算する場合に使用される命令であり、例えば、上述の特別図柄変動時間抽選処理のステップＳ１１１２では、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」を実行することによって、ＨＬレジスタに記憶された２バイト長の値（１７５５Ｈ）に、Ｃレジスタに記憶された１バイト長の値（Ｂ０Ｈ）を加算することによって、ＨＬレジスタの値を１８０５Ｈに更新している。なお、ＡＤＤＴＷＯＯＮＥ命令（ＡＤＤＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）は、キャリーが発生し難いが、ＨＬレジスタに記憶された２バイト長の値（例えば、ＦＦ０１Ｈ）にＣレジスタに記憶された１バイト長の値（例えば、ＦＦＨ）を加算する場合には、キャリーが発生する。すなわち、ＡＤＤＴＷＯＯＮＥ命令（ＡＤＤＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）を実行後にキャリーが発生する場合には、ＨレジスタがＦＦＨであると判断することができる。

【０２７９】
また、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」命令では、必要なステート数は８ステート、必要なバイト数は２バイトである。一方、従来の命令によって「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」命令と同様の処理を行う場合には、図３６に示すように、必要なステート数は２２ステート（＝４＋４＋１０＋４）、必要なバイト数は６バイト（＝１＋１＋３＋１）である。したがって、ＨＬレジスタに記憶された２バイト長の値にＣレジスタに記憶された１バイト長の値を加算する場合に「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」命令を使用すれば、制御プログラムの処理時間を短縮して制御負担を軽減することができる上に、プログラムコード量を削減することができ、メモリ容量が制限されているＲＯＭの記憶領域を有効に利用することができる場合がある。また、遊技性を高めるためにプログラムコードが増えたとしても、プログラム容量の増加や処理速度の低下を抑止できる場合がある。また、プログラム容量を削減することによって、開発者のコーディングミスやチェックミスを減らし、デバッグが容易で開発効率を高めることが可能となることに加えて、遊技台として適正な機能を有するか否かを外部機関が確認する際にも、確認作業のミスを防止でき、遊技者が安心して遊技を行うことができる遊技台を提供できる場合がある。

【０２８０】
また、従来ＣＰＵに実行可能に備えられている８ビット演算命令では、「ＡＤＤ　Ａ，Ｅ」命令のように、加算結果（「ＳＵＢ　Ａ，Ｅ」命令の場合は減算結果）をＡレジスタに入れるしかなかったが、ＡＤＤＴＷＯＯＮＥ命令を実行して「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｅ」命令とすることで「ＡＤＤ　Ｌ，Ｅ」を可能にしており、Ａレジスタを使用せずに温存することができる（使用用途が広いＡレジスタを他の命令で使用することが可能となる結果、プログラム容量を削減できる場合がある）。また、「ＬＤ　Ｈ，００Ｈ」命令を実行してＨレジスタに００Ｈを転送した後に、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｅ」命令を実行してＬレジスタにＥレジスタの値を加算して「ＳＲＬ　Ｈ」命令を実行してＬレジスタが桁あふれしたかどうかをキャリーフラグが立ったか否かで確認することでＡレジスタを使用せずに温存することができる（使用用途が広いＡレジスタを他の命令で使用することが可能となる結果、プログラム容量を削減できる場合がある）。

【０２８１】
すなわち、「ＡＤＤ　Ａ，Ｌ」命令は実行可能であり、「ＡＤＤ　Ｌ，Ａ」命令は実行不可能であるが、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ａ」命令を実行可能にした命令セットを備えたことにより、命令セットにおける命令数を１つ増やすだけで、８ビット演算の加算結果を格納可能なレジスタを増やすことができるとともに、１６ビット－８ビット演算も可能にしており、命令セットを１命令増やすだけで２つの機能を実現可能としている。

【０２８２】
換言すると、加算命令「特定のレジスタペア←特定のレジスタペア＋特定のレジスタ」を命令セットに含むとともに、特定のレジスタペアの下位側のレジスタを８ビット演算のアキュムレータとは異なるレジスタとした。

【０２８３】
従来では、命令セットにおける命令数を増やしたくなかったため、１６ビット演算と８ビット演算しか搭載せず、さらに１６ビットのアキュムレータは複数のレジスタペアのうちの特定レジスタペアのみとし、８ビットのアキュムレータは複数のレジスタのうちの特定レジスタのみとしていたが、上記構成により、少ない命令数の増加で複数の機能を実現することができる。
【０２８４】
また、ＨＬレジスタが０か否かを確認するために従来では、「ＬＤ　Ａ，Ｈ」命令でＨレジスタの値をＡレジスタに転送した後に「ＯＲ　Ａ，Ｌ」命令を実行後に０フラグが立つか否かでＨＬレジスタが０か否かを確認していた。すなわち、８ビット演算を実行して０か否かを確認しているため、８ビット演算のアキュムレータ（この場合はＡレジスタ）を使用してしまっていた。しかし、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，ｎ（００Ｈ）」命令後に０フラグが立つか否かを確認することによってＡレジスタを使用しないで済む。すなわち、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，ｎ」命令は、１６ビットレジスタペアに８ビットの直値を加算する機能と、１６ビットレジスタペアが０か否かを確認する機能と、Ａレジスタを温存する機能とを備えている。また、命令に直値を使用しているので、プログラムソースの可読性を向上できる。
＜特殊命令／ＩＮＣＴＥＮＳＯＵ命令＞
【０２８５】
特殊命令の一つであるＩＮＣＴＥＮＳＯＵ命令（ＩＮＣＴＥＮＳＯＵ　ＯＰ１，ＯＰ２）は、第２オペランドＯＰ２で示される２つのレジスタに記憶された２バイト長の値に１を加算し、加算後の２つのレジスタの値で示されるアドレスに記憶された１バイト長の値を、第１オペランドＯＰ１で示される２つのレジスタのうちの下位のレジスタに記憶した後に、第２オペランドＯＰ２で示される２つのレジスタに記憶された２バイト長の値にさらに１を加算し、加算後の２つのレジスタの値で示されるアドレスに記憶された１バイト長の値を、第１オペランドＯＰ１で示される２つのレジスタのうちの上位のレジスタに記憶するための命令である。ＩＮＣＴＥＮＳＯＵ命令の命令コードの上位１バイトは固定値（この例ではＥＤＨ）とし、下位バイトは、命令データテーブルの上位ビット１Ｈ（０００１Ｂ）と下位ビット８Ｈ（１０００Ｂ）～９Ｈ（１０００１Ｂ）の組合せと、命令データテーブルの上位ビットＤＨ（１１０１Ｂ）と下位ビット４Ｈ（０１００Ｂ）～６Ｈ（０１１０Ｂ）の組合せに割り当てている。本例では、第１オペランドＯＰ１にアキュムレータを含む機械命令のコードを連番（例えば、「ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ）」命令のコードがＥＤＤ４Ｈ、「ＩＮＣＴＥＮＳＯＵ　ＡＥ，（ＨＬ）」のコードがＥＤＤ５Ｈ）にしている。また、第１オペランドＯＰ１にアキュムレータを含む命令のうちの特定のＩＮＣＴＥＮＳＯＵ命令の機械命令のコード（例えば、「ＩＮＣＴＥＮＳＯＵ　ＡＥ，（ＨＬ）」命令のコードがＥＤＤ５Ｈ）と、第１オペランドＯＰ１にアキュムレータを含まない命令のうちの特定のＩＮＣＴＥＮＳＯＵ命令の機械命令のコード（例えば、「ＩＮＣＴＥＮＳＯＵ　ＢＤ，（ＨＬ）」命令のコードがＥＤＤ６Ｈ）を連番にしている。また、第１オペランドＯＰ１にアキュムレータを含まずペアレジスタを含む命令のうちの複数のＩＮＣＴＥＮＳＯＵ命令の機械命令のコード（例えば、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令のコードがＥＤ１８Ｈ、「ＩＮＣＴＥＮＳＯＵ　ＤＥ，（ＨＬ）」命令のコードがＥＤ１９Ｈ）と、第１オペランドＯＰ１にアキュムレータを含まない命令のうちの特定のＩＮＣＴＥＮＳＯＵ命令の機械命令のコード（例えば、「ＩＮＣＴＥＮＳＯＵ　ＢＤ，（ＨＬ）」命令のコードがＥＤＤ６Ｈ）とを離れた番号にしている。このように、従来は空き領域とされていた命令の領域を利用することで、限られたハードウェア資源を有効利用することができる上に、空き領域に不正な命令（隠し命令）を埋め込むような不正行為を未然に防止することができ、遊技の公平性を担保できる場合がある。
【０２８６】
「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令を例に挙げると、第２オペランドで示されるペアレジスタＨＬに記憶された２バイト長の値に１を加算し、加算後のペアレジスタ

ＨＬの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、第１オペランドで示されるペアレジスタＢＣのうちの下位のレジスタＣに記憶した後に、第２オペランドで示されるペアレジスタＨＬに記憶された２バイト長の値にさらに１を加算し、加算後のペアレジスタＨＬの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、第１オペランドで示されるペアレジスタＢＣのうちの上位のレジスタＢに記憶するための命令である。ＩＮＣＴＥＮＳＯＵ命令は、ＨＬレジスタの値で示されるアドレスの次以降のアドレスに格納されている値をレジスタに転送するのに適している。また、ＩＮＣＴＥＮＳＯＵ命令は、該命令実行後にＨＬレジスタに記憶された値が示すアドレスに格納された値に基づいて該命令を繰り返すか否かの判断処理を行う場合、繰り返すと判断した場合には該命令でＨＬレジスタにプラス１することでＨＬレジスタに記憶された値が示すアドレスを次のアドレスにできるために該命令を使用するのに適している。

【０２８７】

例えば、上述の特別図柄変動時間抽選処理のステップＳ１１０９では、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」を実行することによって、ＨＬレジスタに記憶された２バイト長の値（１７４ＦＨ）に１を加算し、加算後のＨＬレジスタの値（１７５０Ｈ）で示されるアドレスに記憶された１バイト長の値（ＡＥＨ）を、ＢＣレジスタのうちの下位のＣレジスタに記憶した後に、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算し、加算後のＨＬレジスタの値（１７５１Ｈ）で示されるアドレスに記憶された１バイト長の値（２０）を、ＢＣレジスタのうちの上位のＢレジスタに記憶している。

【０２８８】

また、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令では、必要なステート数は１４ステート、必要なバイト数は２バイトである。一方、従来の命令によってＩＮＣＴＥＮＳＯＵ命令と同様の処理を行う場合には、図３６に示すように、必要なステート数は２６ステート（＝６＋７＋６＋７）、必要なバイト数は４バイト（＝１＋１＋１＋１）である。したがって、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレスに格納された値をＢＣレジスタに転送する場合に「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令を使用すれば、制御プログラムの処理時間を短縮して制御負担を軽減することができる上に、プログラムコード量を削減することができ、メモリ容量が制限されているＲＯＭの記憶領域を有効に利用することができる場合がある。

【０２８９】

また、遊技性を高めるためにプログラムコードが増えたとしても、プログラム容量の増加や処理速度の低下を抑止できる場合がある。特に、本実施形態では、ステップＳ１１０９～Ｓ１１１１のループ処理、またはステップＳ１１１４～Ｓ１１１６のループ処理においてＩＮＣＴＥＮＳＯＵ命令を繰り返し実行することになるため、処理速度の短縮の効果が高い。また、プログラム容量を削減することによって、開発者のコーディングミスやチェックミスを減らし、デバッグが容易で開発効率を高めることが可能となることに加えて、遊技台として適正な機能を有するか否かを外部機関が確認する際にも、確認作業のミスを防止でき、遊技者が安心して遊技を行うことができる遊技台を提供できる場合がある。

＜特殊命令／ＴＥＮＳＯＵＩＮＣ命令＞

【０２９０】

特殊命令の一つであるＴＥＮＳＯＵＩＮＣ命令（ＴＥＮＳＯＵＩＮＣ　ＯＰ１，ＯＰ２）は、第２オペランドＯＰ２で示される２つのレジスタの値で示されるアドレスに記憶された１バイト長の値を、第１オペランドＯＰ１で示される２つのレジスタのうちの下位のレジスタに記憶し、第２オペランドＯＰ２で示される２つのレジスタに記憶された２バイト長の値に１を加算した後に、第２オペランドＯＰ２で示される２つのレジスタの値で示されるアドレスに記憶された１バイト長の値を、第１オペランドＯＰ１で示される２つのレジスタのうちの上位のレジスタに記憶し、第２オペランドＯＰ２で示される２つのレジスタに記憶された２バイト長の値にさらに１を加算するための命令である。ＴＥＮＳＯＵＩＮＣ命令の命令コードの上位１バイトは固定値（この例ではＥＤＨ）とし、下位バイトは、命令データテーブルの上位ビット１Ｈ（０００１Ｂ）と下位ビット６Ｈ（０１１０Ｂ

）～７Ｈ（０１１１Ｂ）の組合せと、命令データテーブルの上位ビットＤＨ（１１０１Ｂ）と下位ビット０Ｈ（００００Ｂ）～２Ｈ（００１０Ｂ）の組合せに割り当てている。本例では、第１オペランドＯＰ１にアキュムレータを含む機械命令のコードを連番（例えば、「ＴＥＮＳＯＵＩＮＣ　ＡＣ，（ＨＬ）」命令のコードがＥＤＤ０Ｈ、「ＴＥＮＳＯＵＩＮＣ　ＡＥ，（ＨＬ）」のコードがＥＤＤ１Ｈ）にしている。また、第１オペランドＯＰ１にアキュムレータを含む命令のうちの特定のＴＥＮＳＯＵＩＮＣ命令の機械命令のコード（例えば、「ＴＥＮＳＯＵＩＮＣ　ＡＥ，（ＨＬ）」命令のコードがＥＤＤ１Ｈ）と、第１オペランドＯＰ１にアキュムレータを含まない命令のうちの特定のＴＥＮＳＯＵＩＮＣ命令の機械命令のコード（例えば、「ＴＥＮＳＯＵＩＮＣ　ＢＤ，（ＨＬ）」命令のコードがＥＤＤ２Ｈ）を連番にしている。また、第１オペランドＯＰ１にアキュムレータを含まずペアレジスタを含む命令のうちの複数のＴＥＮＳＯＵＩＮＣ命令の機械命令のコード（例えば、「ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）」命令のコードがＥＤ１６Ｈ、「ＴＥＮＳＯＵＩＮＣ　ＤＥ，（ＨＬ）」命令のコードがＥＤ１７Ｈ）と、第１オペランドＯＰ１にアキュムレータを含まない命令のうちの特定のＴＥＮＳＯＵＩＮＣ命令の機械命令のコード（例えば、「ＴＥＮＳＯＵＩＮＣ　ＢＤ，（ＨＬ）」命令のコードがＥＤＤ２Ｈ）とを離れた番号にしている。また、ＴＥＮＳＯＵＩＮＣ命令とＩＮＣＴＥＮＳＯＵ命令は、同一の第１オペランドＯＰ１の命令はＴＥＮＳＯＵＩＮＣ命令のほうがＩＮＣＴＥＮＳＯＵ命令よりも番号が若い（例えば、「ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）」命令のコードがＥＤ１６Ｈ、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令のコードがＥＤ１８Ｈ）。また、第１オペランドＯＰ１にアキュムレータを含むＴＥＮＳＯＵＩＮＣ命令の機械命令のコード（例えば、「ＴＥＮＳＯＵＩＮＣ　ＡＣ，（ＨＬ）」命令のコードがＥＤＤ０Ｈ）と、第１オペランドＯＰ１にアキュムレータを含むＩＮＣＴＥＮＳＯＵ命令の機械命令のコード（例えば、「ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ）」命令のコードがＥＤＤ４Ｈ）とは離れた番号、および／またはＴＥＮＳＯＵＩＮＣ命令とＩＮＣＴＥＮＳＯＵ命令以外の命令の機械命令のコード（例えば、コードＥＤＤ３Ｈ）の前後にしている。

【０２９１】

「ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）」命令を例に挙げると、第２オペランドで示されるペアレジスタＨＬの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、第１オペランドで示されるペアレジスタＢＣのうちの下位のレジスタＣに記憶し、第２オペランドで示されるペアレジスタＨＬに記憶された２バイト長の値に１を加算した後に、第２オペランドで示されるペアレジスタＨＬの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、第１オペランドで示されるペアレジスタＢＣのうちの上位のレジスタＢに記憶し、第２オペランドで示されるペアレジスタＨＬに記憶された２バイト長の値にさらに１を加算するための命令である。ＴＥＮＳＯＵＩＮＣ命令は、ＨＬレジスタの値で示されるアドレス以降のアドレスに格納されている値をレジスタに転送するのに適している。また、ＴＥＮＳＯＵＩＮＣ命令は、該命令を実行後にＢレジスタの値が０か否かで該命令を繰り返すか否かの判断処理を行う場合、繰り返すと判断した場合には判断前にＨＬレジスタにプラス１されているために該命令を使用するのに適している。また、繰り返し処理を行わない場合にもＴＥＮＳＯＵＩＮＣ命令後はＨＬレジスタの値をプラス１した状態で次の処理を行うことができるので該命令を使用するのに適している。

【０２９２】

また、「ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）」命令では、必要なステート数は１４ステート、必要なバイト数は２バイトである。一方、従来の命令によってＴＥＮＳＯＵＩＮＣ命令と同様の処理を行う場合には、図３６に示すように、必要なステート数は２６ステート（＝７＋６＋７＋６）、必要なバイト数は４バイト（＝１＋１＋１＋１）である。したがって、ＨＬレジスタの値で示されるアドレスと次のアドレスに格納された値をＢＣレジスタに転送する場合に「ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）」命令を使用すれば、制御プログラムの処理時間を短縮して制御負担を軽減することができる上に、プログラムコード量を削減することができ、メモリ容量が制限されているＲＯＭの記憶領域を有効に利用することができる場合がある。また、遊技性を高めるためにプログラムコードが増えた

としても、プログラム容量の増加や処理速度の低下を抑止できる場合がある。また、プログラム容量を削減することによって、開発者のコーディングミスやチェックミスを減らし、デバッグが容易で開発効率を高めることが可能となることに加えて、遊技台として適正な機能を有するか否かを外部機関が確認する際にも、確認作業のミスを防止でき、遊技者が安心して遊技を行うことができる遊技台を提供できる場合がある。なお、ＩＮＣＴＥＮＳＯＵ命令とＴＥＮＳＯＵＩＮＣ命令は、ＣＰＵに両方実行可能に備えるようにしても良いし、何れか一方のみ実行可能に備えるようにしてもよい。

＜特殊命令／ＣＰＴ命令＞

【０２９３】

特殊命令の一つである「ＣＰＴ　Ａ，（ｎ：イミディエイト値）」命令は、Ａレジスタの内容と、Ｔレジスタを上位、イミディエイト値を下位で示すアドレスのデータを比較する命令であり、例えば、ＴレジスタにＦ０Ｈが記憶された状態で「ＣＰＴ　Ａ，（４０Ｈ）」を実行した場合、Ａレジスタの内容と、Ｔレジスタを上位、イミディエイト値を下位で示すアドレス（Ｆ０４０Ｈ）のデータが比較される。

＜特殊命令／ＡＤＤＯＮＥＴＷＯ命令＞

【０２９４】

特殊命令の一つであるＡＤＤＯＮＥＴＷＯ命令（ＡＤＤＯＮＥＴＷＯ　ＯＰ１，ＯＰ２）は、第１オペランドＯＰ１で示されるレジスタに記憶された１バイト長の値に、第２オペランドＯＰ２で示される２つのレジスタに記憶された２バイト長の値（または、第２オペランドＯＰ２で示される２バイト長のイミディエイト値）を加算するための命令である。ＡＤＤＯＮＥＴＷＯ命令の命令コードの上位１バイトは固定値（この例ではＥＤＨ）とし、下位バイトは、命令データテーブルの上位ビット４Ｈ（０１００Ｂ）と下位ビットＡＨ（１０１０Ｂ）の組合せに割り当てている。このように、従来は空き領域とされていた命令の領域を利用することで、限られたハードウェア資源を有効利用することができる上に、空き領域に不正な命令（隠し命令）を埋め込むような不正行為を未然に防止することができ、遊技の公平性を担保できる場合がある。なお、ＡＤＤＯＮＥＴＷＯ命令（ＡＤＤＯＮＥＴＷＯ　ＯＰ１，ＯＰ２）は、キャリーが発生し易く、Ａレジスタに記憶された１バイト長の値（例えば、００Ｈ）にＨＬレジスタに記憶された２バイト長の値（例えば、０１００Ｈ）を加算する場合には、キャリーが発生する。すなわち、Ｈレジスタが００Ｈ以外である場合にＡＤＤＯＮＥＴＷＯ命令（ＡＤＤＯＮＥＴＷＯ　ＯＰ１，ＯＰ２）を実行することでキャリーを発生させることができる。なお、ＡＤＤＴＷＯＯＮＥ命令とＡＤＤＯＮＥＴＷＯ命令は、ＣＰＵに両方備えるようにしても良いし、何れか一方のみ備えるようにしてもよい。

＜特殊命令／ＳＵＢＴＷＯＯＮＥ命令＞

【０２９５】

特殊命令の一つであるＳＵＢＴＷＯＯＮＥ命令（ＳＵＢＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）は、第１オペランドＯＰ１で示される２つのレジスタに記憶された２バイト長の値から、第２オペランドＯＰ２で示されるレジスタに記憶された１バイト長の値（または、第２オペランドＯＰ２で示される１バイト長のイミディエイト値）を減算するための命令である。ＳＵＢＴＷＯＯＮＥ命令の命令コードの上位１バイトは固定値（この例ではＥＤＨ）とし、下位バイトは、命令データテーブルの上位ビット４Ｈ（０１００Ｂ）と下位ビット８Ｈ（１０００Ｂ）の組合せに割り当てている。このように、従来は空き領域とされていた命令の領域を利用することで、限られたハードウェア資源を有効利用することができる上に、空き領域に不正な命令（隠し命令）を埋め込むような不正行為を未然に防止することができ、遊技の公平性を担保できる場合がある。なお、ＳＵＢＴＷＯＯＮＥ命令（ＳＵＢＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）は、キャリーが発生し難いが、ＨＬレジスタに記憶された２バイト長の値（例えば、０００１Ｈ）からＡレジスタに記憶された１バイト長の値（例えば、ＦＦＨ）を減算する場合には、キャリーが発生する。すなわち、ＳＵＢＴＷＯＯＮＥ命令（ＳＵＢＴＷＯＯＮＥ　ＯＰ１，ＯＰ２）を実行後にキャリーが発生する場合には、Ｈレジスタが００Ｈであると判断することができる。

＜データテーブルの変形例＞

【０２９６】

次に、図３８を用いて、上述のデータテーブルの変形例について説明する。なお、同図は、テーブル選択用テーブル、第１変動パターン選択テーブル、および第２変動パターン選択テーブルの変形例を示した図であり、上記図３２に相当する図である。

【０２９７】

同図（ｂ）に示す第１変動パターン選択テーブルでは、上記図３２（ｂ）に示す第１変動パターン選択テーブルに対して、乱数の個数の項目を乱数の上限の項目に変更している。また、同図（ｃ）に示す第２変動パターン選択テーブルでは、上記図３２（ｃ）に示す第２変動パターン選択テーブルに対して、乱数の個数の値を変更している。

＜特別図柄変動時間抽選処理の変形例＞

【０２９８】

次に、図３９を用いて、上記図３４に示す特別図柄変動時間抽選処理の変形例について説明する。なお、同図は、変形例に係る特別図柄変動時間抽選処理の流れを示すフローチャートである。

【０２９９】

この変形例に係る特別図柄変動時間抽選処理では、上記図３４に示す特別図柄変動時間抽選処理の「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令を用いたステップＳ１１０９の処理やステップＳ１１１４の処理を、「ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ）」命令を用いたステップＳ１１５０の処理やステップＳ１１５２の処理に変更するとともに、ステップＳ１１５１、Ｓ１１５３において、上述のＣＰＴ命令を利用している。

【０３００】

具体的には、ステップＳ１１５０では、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレスに格納された値をＡＣレジスタに転送する（ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ））。例えば、ＨＬレジスタの値が１７４ＦＨの場合には、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレス（１７５０Ｈ、１７５１Ｈ）に格納された値をＡＣレジスタに転送することによって、Ａレジスタに１９を、ＣレジスタにＡＥＨを記憶する。

【０３０１】

次のステップＳ１１５１では、「ＣＰＴ　Ａ，（４１Ｈ）」を実行することによって、Ａレジスタの内容と、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４１Ｈ）を下位で示すアドレス（Ｆ０４１Ｈ）のデータ、すなわち、上述の乱数１記憶領域に記憶された乱数１と、を比較する（Ａレジスタの値から乱数１を減算する）。次のステップＳ１１５４では、ステップＳ１１５１の比較（減算）の結果、キャリーが発生しないか否か、すなわち減算の結果が正の値になったかどうかを判定し、該当する場合にはステップＳ１１１２に進み、該当しない場合には該当するまでステップＳ１１５０～Ｓ１１５１の処理を繰り返し実行する。

【０３０２】

また、ステップＳ１１５２では、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレスに格納された値をＡＣレジスタに転送する（ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ））。例えば、ＨＬレジスタの値が１７ＦＦＨの場合には、ＨＬレジスタの値で示されるアドレスの次の連続した２つのアドレス（１８００Ｈ、１８０１Ｈ）に格納された値をＡＣレジスタに転送することによって、Ａレジスタに２５５を、Ｃレジスタに０１Ｈを記憶する。

【０３０３】

次のステップＳ１１５３では、「ＣＰＴ　Ａ，（４２Ｈ）」を実行することによって、Ａレジスタの内容と、Ｔレジスタ（Ｆ０Ｈ）を上位、イミディエイト値（４２Ｈ）を下位で示すアドレス（Ｆ０４２Ｈ）のデータ、すなわち、上述の乱数２記憶領域に記憶された乱数２を比較する（Ａレジスタの値から乱数２を減算する）。次のステップＳ１１５５では、ステップＳ１１５３の比較（減算）の結果、キャリーが発生しないか否か、すなわち

減算の結果が正の値になったかどうかを判定し、該当する場合にはステップＳ１１１７に進み、該当しない場合には該当するまでステップＳ１１５２～Ｓ１１５３の処理を繰り返し実行する。

＜初期設定処理＞

【０３０４】

次に、図４０および図４１を用いて、上述の主制御部メイン処理の初期設定２（ステップＳ１０７）で実行される初期設定処理について説明する。なお、図４０（ａ）は、ＲＯＭ３０６に記憶される初期設定データテーブルの一例を示した図であり、同図（ｂ）は、初期設定処理後のＲＡＭ３０８の記憶領域の一部を示した図であり、同図（ｃ）は、初期設定処理の流れを示すフローチャートである。また、図４１は、初期設定処理のプログラムリストの一例である。

【０３０５】

ステップＳ１２０１では、上述のＴＥＮＳＯＵＩＮＣ命令（「ＴＥＮＳＯＵＩＮＣ　ＢＤ，（ＨＬ）」によって、ＨＬレジスタの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、ＢＤレジスタのうちの下位のＤレジスタに記憶し、ＨＬレジスタに記憶された２バイト長の値に１を加算した後に、ＨＬレジスタの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、ＢＣレジスタのうちの上位のＢレジスタに記憶し、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算する。例えば、ＨＬレジスタに、同図（ａ）に示す初期設定データテーブルの先頭アドレスである１００ＤＨを設定した場合には、ＤレジスタにはＦ０Ｈが、Ｂレジスタには３が記憶される。

【０３０６】

次のステップＳ１２０２では、上述のＴＥＮＳＯＵＩＮＣ命令（「ＴＥＮＳＯＵＩＮＣ　ＡＥ，（ＨＬ）」によって、ＨＬレジスタの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、ＡＥレジスタのうちの下位のＥレジスタに記憶し、ＨＬレジスタに記憶された２バイト長の値に１を加算した後に、ＨＬレジスタの値で示されるアドレス（ＨＬ）に記憶された１バイト長の値を、ＡＥレジスタのうちの上位のＡレジスタに記憶し、ＨＬレジスタに記憶された２バイト長の値にさらに１を加算する。例えば、先の例では、Ｅレジスタには、１００ＦＨに記憶されている値である１７Ｈが、Ａレジスタには、１０１０に記憶されている値である０１Ｈが記憶され、ＨＬレジスタの値は１０１１Ｈに更新される。

【０３０７】

次のステップＳ１２０３では、Ａレジスタの値をＤＥレジスタの値で示されるアドレス（ＤＥ）に記憶する。先の例では、Ａレジスタの値である０１Ｈを、ＤＥレジスタの値で示されるアドレスであるＲＡＭ３０８のＦ０１７Ｈに記憶する（同図（ｂ）参照）。

【０３０８】

次のステップＳ１２０４では、Ｂレジスタの値から１を減算し、減算結果が０になるまでステップＳ１２０２～Ｓ１２０３の処理を繰り返し実行し（ステップＳ１２０２の処理のアドレスまで相対ジャンプして処理を実行し）、減算結果が０になった場合にはステップＳ１２０５に進む。

【０３０９】

先の例では、Ｂレジスタが２の場合には、ステップＳ１２０２の処理により、Ｅレジスタには、１０１１Ｈに記憶されている値である２０Ｈが、Ａレジスタには、１０１２Ｈに記憶されている値である１６Ｈが記憶され、ＨＬレジスタの値は１０１３Ｈに更新され、ステップＳ１２０３の処理により、Ａレジスタの値である１６Ｈを、ＤＥレジスタの値で示されるアドレスであるＲＡＭ３０８のＦ０２０Ｈに記憶する（同図（ｂ）参照）。

【０３１０】

また、Ｂレジスタが１の場合には、ステップＳ１２０２の処理により、Ｅレジスタには、１０１３Ｈに記憶されている値である３ＡＨが、Ａレジスタには、１０１４Ｈに記憶されている値である０６Ｈが記憶され、ＨＬレジスタの値は１０１５Ｈに更新され、ステップＳ１２０３の処理により、Ａレジスタの値である０６Ｈを、ＤＥレジスタの値で示され

るアドレスであるＲＡＭ３０８のＦ０３ＡＨに記憶する（同図（ｂ）参照）。なお、上記Ｆ０１７Ｈ、Ｆ０２０Ｈ、Ｆ０３ＡＨに記憶する遊技設定（遊技制御に用いる各種情報）としては、例えば電源ステータス、払出制御コマンド加工種別、表示器表示ステータスなどが挙げられ、また、遊技設定の数は、複数でもよいし、１つのみでもよい。また、初期設定処理（ｍｏＤａｔａＳｅｔ）は、処理開始時のＨＬレジスタの値を異ならせることにより（ＨＬレジスタに設定するアドレスを、初期設定データテーブルとは異なる他のテーブルの先頭アドレスなどに設定することにより）、複数の処理から呼び出し可能な（例えば、ＨＬレジスタを引数として呼び出し可能な）汎用的なデータ設定処理モジュールとして扱ってもよい。この場合、プログラム容量の削減や処理速度の向上を図ることができる。

【０３１１】

この初期設定処理では、ステップＳ１２０１、Ｓ１２０２でＴＥＮＳＯＵＩＮＣ命令を使用しているため、ステート数を従来の２６ステートから１４ステートに削減することができ、処理時間を短縮することができる上に、バイト数を従来の４バイトから２バイトに削減することができ、プログラム容量を削減することができる。特に、この例では、ステップＳ１２０２～Ｓ２０４のループ処理においてＴＥＮＳＯＵＩＮＣ命令を繰り返し実行することになるため、処理速度の短縮の効果が高い。

【０３１２】

また、ＴＥＮＳＯＵＩＮＣ命令の中でも、Ａレジスタ（アキュムレータ）と他のレジスタのペアをオペランドとする命令（本実施形態では、ＴＥＮＳＯＵＩＮＣ　ＡＣ，（ＨＬ）、ＴＥＮＳＯＵＩＮＣ　ＡＥ，（ＨＬ））は、Ａレジスタの値を変更すると同時に、ペアレジスタ（本実施形態では、ＢＣレジスタとＤＥレジスタ）の上位バイトのレジスタ（本実施形態では、ＢレジスタとＤレジスタ）を固定しつつ、ペアレジスタの下位バイトのレジスタ（本実施形態では、ＣレジスタとＥレジスタ）の値だけを変更することができるため、従来よりも高度なプログラミングが可能で、プログラム容量の削減や処理速度の向上を図ることができる。

【０３１３】

また、ＴＥＮＳＯＵＩＮＣ命令の中でも、第１のペアレジスタ（本実施形態では、ＢＣレジスタ）の上位バイトのレジスタ（本実施形態では、Ｂレジスタ）と、第２のペアレジスタ（本実施形態では、ＤＥレジスタ）の上位バイトのレジスタ（本実施形態では、Ｄレジスタ）のペアをオペランドとする命令（本実施形態では、ＴＥＮＳＯＵＩＮＣ　ＢＤ，（ＨＬ））は、第１のペアレジスタと第２のペアレジスタの上位バイトのレジスタの値のみを変更することができるため、従来よりも高度なプログラミングが可能で、プログラム容量の削減や処理速度の向上を図ることができる。

【０３１４】

また、ＴＥＮＳＯＵＩＮＣ命令の中でも、オペランドにＢレジスタを含む命令（本実施形態では、ＴＥＮＳＯＵＩＮＣ　ＢＣ，（ＨＬ）、ＴＥＮＳＯＵＩＮＣ　ＢＤ，（ＨＬ））を利用し、かつ、上述の初期設定処理のステップＳ１２０２～Ｓ１２０４のループ処理のように、Ｂレジスタによってループ処理の回数を判定するように構成すれば、ループ処理のプログラム容量の削減や処理速度の向上を図ることができる。

【０３１５】

なお、ＣＰＵ３０４は、ＴＥＮＳＯＵＩＮＣ命令とＩＮＣＴＥＮＳＯＵ命令両方を実行可能であり、遊技制御プログラムは第一の命令（ＴＥＮＳＯＵＩＮＣ）によるテーブルサーチと第二の命令（ＩＮＣＴＥＮＳＯＵ）によるテーブルサーチの両方を実行するようにしてもよい。

【０３１６】

「テーブルサーチ」は一般的な用語どおりの意味としてもよく、例えば、一または複数の行と一または複数の列から構成されたテーブル（例えば、図３２、図３８の第１変動パターン選択テーブル・第２変動パターン選択テーブル、図４０の初期設定データテーブル）から対応する行を探し出し、その行の一または複数の列の値を取り出す処理を示しても

よいし、探し出した行のテーブル内の行の位置（例えば行番号）を導出する処理としてもよい。同様に対応する列を探し出し、その列の一または複数の行の値を取り出す処理を示すものとしてもよいし、探し出した列のテーブル内の列の位置（例えば列番号）を導出する処理としてもよい。

【０３１７】

ここで対応する行を探し出す処理は、探している一または複数の値が、テーブル内の特定の行における一または複数の特定の列の値と一致または関係する場合に、当該特定の行を対応する行とするような処理としてもよい。対応する列を探し出す処理も同様としてもよい。

＜主制御部の第２特殊命令＞

【０３１８】

次に、主制御部３００が備える第２特殊命令について説明する。図４２（ａ）は、主制御部３００が備える第２特殊命令の一部を示した図である。

＜第２特殊命令／ＣＰＲＴ命令（演算＋リターン命令）＞

【０３１９】

第２特殊命令の一つである「ＣＰＲＴＺ　ｒ」命令（または、「ＣＰＲＴＺ　（ｒｒ）」命令）は、オペランドｒが示すレジスタ（または、オペランド（ｒｒ）が示すペアレジスタｒｒに格納されたアドレス）に記憶された値から０を減算し、Ｚフラグが１にセットされる状態の場合（減算結果が０の場合。以下、同じ）に、スタックポインタＳＰが示すスタック領域ＳＰに記憶されたデータをプログラムカウンタＰＣの下位アドレスに、また、スタックポインタＳＰが示すスタック領域ＳＰ＋１に記憶されたデータをプログラムカウンタＰＣの上位アドレスにそれぞれロード（復帰）した後にスタックポインタＳＰを２つ加算してからＺフラグを１にセットし、Ｚフラグが０にクリアされる状態の場合（減算結果が０以外の場合。以下、同じ）に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＺフラグを０にクリアする命令である。なお、プログラムカウンタＰＣをセットするタイミングとＺフラグを０にクリアするタイミングは、逆でもよいし、同時でもよい。

【０３２０】

また、「ＣＰＲＴＮＺ　ｒ」命令（または、「ＣＰＲＴＮＺ　（ｒｒ）」命令）は、オペランドｒが示すレジスタ（または、オペランド（ｒｒ）が示すペアレジスタｒｒに格納されたアドレス）に記憶された値から０を減算し、Ｚフラグが０にクリアされる状態の場合に、スタックポインタＳＰが示すスタック領域ＳＰに記憶されたデータをプログラムカウンタＰＣの下位アドレスに、また、スタックポインタＳＰが示すスタック領域ＳＰ＋１に記憶されたデータをプログラムカウンタＰＣの上位アドレスにそれぞれロード（復帰）した後にスタックポインタＳＰを２つ加算してからＺフラグを０にクリアし、Ｚフラグが１にセットされる状態の場合に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＺフラグを１にセットする命令である。なお、オペランドｒが示すレジスタとしては、Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタなどが挙げられ、オペランドｒｒが示すペアレジスタとしては、ＢＣ、ＤＥ、ＨＬなどが挙げられる（次のＣＰＪＲ命令も同様）。

＜第２特殊命令／ＣＰＪＲ命令（演算＋ジャンプ命令）＞

【０３２１】

第２特殊命令の一つである「ＣＰＪＲＺ　ｒ、ｅ」命令（または、「ＣＰＪＰＺ　（ｒｒ）、ｅ」命令）は、オペランドｒが示すレジスタ（または、オペランド（ｒｒ）が示すペアレジスタｒｒに格納されたアドレス）に記憶された値から０を減算し、Ｚフラグが１にセットされる状態の場合にプログラムカウンタＰＣ＋ｅ（ｅは＋１２７～－１２８の数値）が示すアドレスにジャンプしてからＺフラグを１にセットし、Ｚフラグが０にクリアされる状態の場合に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＺフラグを０にクリアする命令である。また、「ＣＰＪＲＮＺ　ｒ、ｅ」命令（または、「ＣＰＪＰＮＺ　（ｒｒ）、ｅ」命令）は、オペランドｒが示すレジスタ（または、オペランドｒｒが示すペアレジスタ）に記憶された値から０を減算し、Ｚフラグが０にクリア

される状態の場合にプログラムカウンタＰＣ＋ｅ（ｅは＋１２７～－１２８の数値）が示すアドレスにジャンプしてからＺフラグを０にクリアし、Ｚフラグが１にセットされる状態の場合に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＺフラグを１にセットする命令である。

【０３２２】

また、「ＣＰＪＲＣ　ｒ、ｎ、ｅ」命令（または、「ＣＰＪＲＣ　（ｒｒ）、ｎ、ｅ」命令）は、オペランドｒが示すレジスタ（または、オペランド（ｒｒ）が示すペアレジスタｒｒに格納されたアドレス）に記憶された値からｎ（８ビット長のイミディエイト値）を減算し、Ｃフラグが１にセットされる状態の場合（減算結果が０の場合。以下、同じ）に、プログラムカウンタＰＣ＋ｅ（ｅは＋１２７～－１２８の数値）が示すアドレスにジャンプしてからＣフラグを１にセットし、Ｃフラグが０にクリアされる状態の場合（減算結果が０以外の場合。以下、同じ）に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＣフラグを０にセットする命令である。また、「ＣＰＪＲＮＣ　ｒ、ｎ、ｅ」命令（または、「ＣＰＪＲＮＣ　（ｒｒ）、ｎ、ｅ」命令）は、オペランドｒが示すレジスタ（または、オペランド（ｒｒ）が示すペアレジスタｒｒに格納されたアドレス）に記憶された値からｎ（８ビット長のイミディエイト値）を減算し、Ｃフラグが０にクリアされる状態の場合に、プログラムカウンタＰＣ＋ｅ（ｅは＋１２７～－１２８の数値）が示すアドレスにジャンプしてからＣフラグを０にクリアし、Ｃフラグが１にセットされる状態の場合に、後続の処理のアドレスをプログラムカウンタＰＣにセットしてからＣフラグを１にセットする命令である。

【０３２３】

図４２（ｂ）は、第２特殊命令を実行する前後のフラグレジスタの状態を示した図である。主制御部３００は、Ｓフラグ、Ｚフラグ、ＳＺフラグ、Ｈフラグ、、Ｐ／Ｖフラグ、Ｎフラグ、Ｃフラグを有する８ビットのフラグレジスタを備えている。このフラグレジスタに含まれるＳフラグ、Ｚフラグ、ＳＺフラグ、Ｈフラグ、Ｃフラグは、第２特殊命令の実行や、その他の算術論理演算命令の実行によって１にセットされるか０にクリアされる。

＜ＣＰＪＲ命令を用いた処理＞

【０３２４】

次に、ＣＰＪＲ命令を用いた処理について説明する。図４３は、ＣＰＪＲ命令を用いた処理の一例を示した図である。同図に示す第一のモジュールでは、処理Ｘを実行した後に、ＣＰＪＲ命令を実行し、所定条件が成立した場合に処理Ｚにジャンプする処理を行い、所定条件が成立しなかった場合に後続の処理Ｙを実行する処理を行う。

【０３２５】

ここで、「所定条件が成立した場合」とは、上述の「ＣＰＪＲＺ　ｒ、ｅ」命令（または、「ＣＰＪＲＺ　（ｒｒ）、ｅ」命令）であれば、Ｚフラグが１にセットされる状態となった場合であり、上述の「ＣＰＪＰＮＺ　ｒ、ｅ」命令（または、「ＣＰＪＲＮＺ　（ｒｒ）、ｅ」命令）であれば、Ｚフラグが０にクリアされる状態になった場合である。また、上述の「ＣＰＪＲＣ　ｒ、ｎ、ｅ」命令（または、「ＣＰＪＰＣ　（ｒｒ）、ｎ、ｅ」命令）であれば、Ｃフラグが１にセットされる状態になった場合であり、「ＣＰＪＲＮＣ　ｒ、ｎ、ｅ」命令（または、「ＣＰＪＰＮＣ　（ｒｒ）、ｎ、ｅ」命令）であれば、Ｃフラグが０にクリアされる状態になった場合である。

【０３２６】

また、ＣＰＪＲ命令の実行前に行われる処理Ｘにおけるフラグレジスタの内容が第１の内容αであった場合、ＣＰＪＲ命令の実行により、後続の処理Ｙ、処理Ｚにおけるフラグレジスタの内容は第２の内容βに変化する。しかしながら、本実施形態では、ＣＰＪＲ命令の実行中にフラグレジスタの内容を参照しないことに加えて、ＣＰＪＲ命令の実行後の処理Ｙ、処理Ｚでも、ＣＰＪＲ命令によって変化したフラグレジスタの内容を一切参照することなく処理を行うように構成している。

【０３２７】

このように、ＣＰＪＲ命令の実行中にフラグレジスタの内容を参照しないことに加えて、ＣＰＪＲ命令の実行によりフラグレジスタの内容を変化させるが、ＣＰＪＲ命令の実行後に行う所定の処理においてはフラグレジスタの内容を参照することなく処理を行うように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの改ざんを未然に防止できる場合がある。なお、この例では、ＣＰＪＲ命令の実行中にフラグレジスタの内容を参照しないように構成したが、ＣＰＪＲ命令の実行中にはフラグレジスタの内容を参照し、ＣＰＪＲ命令の実行後に行う所定の処理においてはＣＰＪＲ命令の実行前に変化したフラグレジスタの内容を参照することなく処理を行うように構成しても、同様の効果を得ることができる場合がある（以下、同様）。

【０３２８】

図４４（ａ）は、従来の命令を用いたプログラムの一例を示した図であり、同図（ｂ）は、ＣＰＪＲ命令を用いたプログラムの一例である。例えば、Ａレジスタの値が０であるか０以外であるかを判定し、Ａレジスタの値が０の場合に所定の処理にジャンプするプログラムを組む場合、同図（ａ）に示す従来のプログラムでは、（１－１）に示すＡＮＤ命令（ＡＮＤ　Ａ）と、（１－２）に示すＪＲ命令（ＪＲ　Ｚ、ＩＴｍｒＲｎｗＣｔｌ０２０）の２つの命令によって実現する必要があるが、同図（ｂ）に示す本実施形態のプログラムでは、（２－１）に示す１つのＣＰＪＲ命令（ＣＰＪＲＺ　Ａ、ＩＴｍｒＲｎｗＣｔｌ０２０）だけで同一の処理を実現している。

【０３２９】

このように、所定条件が成立するか否かを判定し、所定条件が成立した場合に所定の処理にジャンプするプログラムを組む場合にＣＰＪＲ命令を用いれば、従来よりもプログラムコードを減らすことができ、限られたメモリを有効に活用できる場合がある。

【０３３０】

また、同図（ｂ）に示す本実施形態のプログラムでは、（２－１）に示すＣＰＪＲ命令（ＣＰＪＲＺ　Ａ、ＩＴｍｒＲｎｗＣｔｌ０２０）の実行後の処理Ｙ、処理Ｚでは、ＣＰＪＲ命令によって変化したフラグレジスタの内容を一切参照することなく処理を行うように構成している。このように、ＣＰＪＲ命令の実行によりフラグレジスタの内容を変化させる一方で、ＣＰＪＲ命令の実行後に行う所定の処理においてはフラグレジスタの内容を参照することなく処理を行うように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

【０３３１】

なお、同図（ｂ）に示す本実施形態のプログラムの処理Ｚに続く処理Ｖでは、ＣＰＪＲ命令の実行後に他の命令（この例では、「ＯＲ　（ＨＬ）」命令）によって変化したフラグレジスタの内容（この例では、Ｚフラグの内容）に基づいた処理（この例では、ＪＲ命令）を行っている。このように、フラグレジスタの内容を参照しない処理Ｚとフラグレジスタの内容を参照する処理Ｖを連続させれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を複雑にすることができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

【０３３２】

さらに、この例では、処理ＺでＬＤ命令（ロード命令）を実行しているが、ＬＤ命令は命令の実行後にＺフラグを変化させずにＳＺフラグを変化させる命令の一つであるため、「ＬＤ　Ａ、（ＨＬ）」命令の実行後にはＺフラグは変化しないが、ＳＺフラグが変化する。一方、その後の処理Ｖでは「ＪＲ　Ｚ、ＩＴｍｒＲｎｗＣｔＬ０４０」を実行しているが、ここでは、処理Ｚの「ＬＤ　Ａ、（ＨＬ）」命令の実行によって変化していないＺフラグを参照して分岐処理を行っている。

【０３３３】

このように、ＳＺフラグとＺフラグを含む複数のフラグの値を変化させる第１の命令（例えば、ＣＰＪＲ命令）を実行し、当該フラグを参照しない第２の命令（例えば、ＤＥＣ

Ａ命令）を実行し、ＺフラグとＳＺフラグのうちいずれか一方のみが変化する第３の命令（例えば、ＬＤ命令）を実行し、変化しない方（変化した方）のフラグを参照する第４の命令（例えば、ＪＲ　Ｚ命令）を実行するように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を複雑にすることができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

【０３３４】

図４５は、ＣＰＪＲ命令を用いた他の処理の一例を示した図である。同図に示す第一のモジュールでは、処理Ｘを実行した後に、ＣＰＪＲ命令を実行し、所定条件が成立した場合に、第一のモジュールとは異なる第二のモジュールにジャンプして処理Ｚを行い、所定条件が成立しなかった場合に後続の処理Ｙを実行している。このように、ＣＰＪＲ命令を用いて所定条件が成立した場合に所定の処理にジャンプするプログラムを組む場合には、同一のモジュール内の処理だけではなく、他のモジュールの処理にジャンプさせてもよい。

【０３３５】

図４６は、上述の処理Ｖを含む、ＣＰＪＲ命令を用いた他の処理の一例を示した図である。同図に示す第二のモジュールでは、処理Ｚを実行した後に、算術論理演算命令を実行し、当該命令の実行によって変化したフラグレジスタの内容γに基づいて分岐処理を行っている。このように、ＣＰＪＲ命令の実行によって変化したフラグレジスタに基づいた処理は行わず、ＣＰＪＲ命令以外の命令（この例では、算術論理演算命令）の実行によって変化したフラグレジスタに基づいた処理を行うように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を複雑にすることができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

＜ＣＰＲＴ命令を用いた処理＞

【０３３６】

次に、ＣＰＲＴ命令を用いた処理について説明する。図４７は、ＣＰＲＴ命令を用いた処理の一例を示した図である。同図に示す第一のモジュールでは、ＣＡＬＬ命令を実行して第二のモジュールを呼び出し、呼び出し先の第二のモジュールで処理Ｘを実行した後に、ＣＰＲＴ命令を実行し、所定条件が成立した場合に呼び出し元の第一のモジュールに戻って処理Ｚを行い、所定条件が成立しなかった場合に後続の処理Ｙを実行している。

【０３３７】

ここで、「所定条件が成立した場合」とは、上述の「ＣＰＲＴＺ　ｒ」命令（または、「ＣＰＲＴＺ　（ｒｒ）」命令）であれば、Ｚフラグが１にセットされる状態になった場合であり、上述の「ＣＰＲＴＮＺ　ｒ」命令（または、「ＣＰＲＴＮＺ　（ｒｒ）」命令）であれば、Ｚフラグが０にクリアされる状態になった場合である。

【０３３８】

また、ＣＰＲＴ命令の実行前に行われる処理Ｘにおけるフラグレジスタの内容が第１の内容αであった場合、ＣＰＲＴ命令の実行により、後続の処理Ｙ、処理Ｚにおけるフラグレジスタの内容は第２の内容βに変化する。しかしながら、ＣＰＲＴ命令の実行中にフラグレジスタを参照しないことに加えて、ＣＰＲＴ命令の実行後の処理Ｙ、処理Ｚでも、ＣＰＲＴ命令によって変化したフラグレジスタの内容を一切参照することなく処理を行うように構成している。

【０３３９】

このように、ＣＰＲＴ命令の実行中にフラグレジスタを参照しないことに加えて、ＣＰＲＴ命令の実行によりフラグレジスタの内容を変化させる一方で、ＣＰＲＴ命令の実行後に行う所定の処理においてはフラグレジスタの内容を参照することなく処理を行うように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

【０３４０】

図４８（ａ）は、ＣＰＲＴ命令を用いたプログラムの一例を示した図であり、同図（ｂ

）は、従来の命令を用いたプログラムの一例である。例えば、Ａレジスタの値が０であるか０以外であるかを判定し、Ａレジスタの値が０の場合に所定の処理にリターン（復帰）するプログラムを組む場合、同図（ｂ）に示す従来のプログラムでは、（１－１）に示すＡＮＤ命令（ＡＮＤ　Ａ）と（１－２）に示すＲＥＴ命令（ＲＥＴ　Ｚ）の２つの命令によって実現する必要があるが、同図（ａ）に示す本実施形態のプログラムでは、（２－１）に示す１つのＣＰＲＴ命令（ＣＰＲＴＺ　Ａ）だけで同一の処理を実現している。

【０３４１】

このように、所定条件が成立するか否かを判定し、所定条件が成立した場合に所定の処理にリターン（復帰）するプログラムを組む場合にＣＰＲＴ命令を用いれば、従来よりもプログラムコードを減らすことができ、限られたメモリを有効に活用できる場合がある。

【０３４２】

また、同図（ａ）に示す本実施形態のプログラムでは、（２－１）に示すＣＰＲＴ命令（ＣＰＲＴＺ　Ａ）の実行後の処理Ｙ、処理Ｚでは、ＣＰＲＴ命令によって変化したフラグレジスタの内容を一切参照することなく処理を行うように構成している。このように、ＣＰＲＴ命令の実行によりフラグレジスタの内容を変化させる一方で、ＣＰＲＴ命令の実行後に行う所定の処理においてはフラグレジスタの内容を参照することなく処理を行うように構成すれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

【０３４３】

なお、同図（ａ）に示す本実施形態のプログラムの処理Ｚに続く処理Ｖでは、ＣＰＲＴ命令の実行後に他の命令によって変化したフラグレジスタの内容に基づいた処理を行っている。このように、フラグレジスタの内容を参照しない処理Ｚとフラグレジスタの内容を参照する処理Ｖを連続させれば、フラグレジスタの内容の変化とプログラムの実行の流れの関連性を複雑にすることができ、プログラムの解析を困難とし、不正なプログラムの解析を未然に防止できる場合がある。

＜主制御部の第３特殊命令＞

【０３４４】

次に、主制御部３００が備える第３特殊命令について説明する。図４９は、主制御部３００が備える第３特殊命令の一部を示した図である。

＜第３特殊命令／ＲＥＳ命令＞

【０３４５】

第３特殊命令の一つである「ＲＥＳｍＺ　ｎ、ｒ」命令（ｍは０～７の数値）は、第２オペランドｒで示されるレジスタに記憶されている値のうち、ｍで示されるビットのアクセスを禁止するとともに、第１オペランドで示されるビットｎ（ｎは、ｍを除く０～７の数値）を０にリセットする命令である。また、「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは０～７の数値）は、第２オペランド（ｒｒ）で示されるペアレジスタｒｒに格納されたアドレスに記憶されているアドレスに格納された値のうち、ｍで示されるビットのアクセスを禁止するとともに、第１オペランドで示されるｎビット（ｎは、ｍを除く０～７の数値）を０にリセットする命令である。

【０３４６】

例えば、図５０（ａ）に示すように、「ＲＥＳ２Ｚ　２、Ｌ」命令は、第２オペランドＬで示されるＬレジスタに記憶されている値のうち、ｍで示されるビット（この例では、ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット２を０にリセットする命令であり、この命令ではＬレジスタのビット２は０にリセットされない。一方、同図（ｂ）に示すように、「ＲＥＳ２Ｚ　４、Ｌ」命令は、第２オペランドＬで示されるＬレジスタに記憶されている値のうち、ｍで示されるビット（この例では、ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット４を０にリセットする命令であり、この命令では、Ｌレジスタのビット２のアクセスは禁止されるがビット４は０にリセットされる。

【０３４７】
　また、図５１（ａ）に示すように、「ＲＥＳ２Ｚ　２、（ＨＬ）」命令は、第２オペランド（ＨＬ）で示されるペアレジスタＨＬに記憶されているアドレス（この例では、Ｆ０１０Ｈ）に格納された値のうち、ｍで示されるビット（この例では、ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット２を０にリセットする命令であり、この命令では、Ｆ０１０Ｈに格納されている値のビット２は０にリセットされない。一方、同図（ｂ）に示すように、「ＲＥＳ２Ｚ　４、（ＨＬ）」命令は、第２オペランド（ＨＬ）で示されるペアレジスタＨＬに記憶されているアドレス（この例では、Ｆ０１０Ｈ）に格納された値のうち、ｍで示されるビット（この例では、ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット４を０にリセットする命令であり、この命令では、Ｆ０１０Ｈに格納されている値のビット２のアクセスは禁止されるがビット４が０にリセットされる。
【０３４８】
　このようなＲＥＳ命令によれば、所定のビットのアクセスを禁止しつつ、同時に他のビットを０にリセットすることができるため、所定のビットの数値を保護することができ、所定のビットが予期しない数値に変化して不具合を起こすような事態を未然に防止できる場合がある。
【０３４９】
　図５２は、主制御部３００の命令マップのうち、ＲＥＳ命令に該当する部分を抜き出して示した図である。上述のとおり、「ＲＥＳ２Ｚ　２、Ｌ」命令と「ＲＥＳ２Ｚ　２、（ＨＬ）」命令は、ビット２のアクセスが禁止されビット２がリセットできない命令であるため（実質的に意味の無い命令であるため）、同図の太線の四角で示すように、「ＲＥＳ２Ｚ　２、Ｌ」命令に該当する２５Ｈの部分と、「ＲＥＳ２Ｚ　２、（ＨＬ）」命令に該当する２６Ｈの部分は空き領域とされている。このように、命令マップの一部に空き領域を設けることによって、命令マップを使ったプログラム（機械語）の解析を困難にすることができる場合がある。
　＜ＲＥＳ命令の変形例１＞
【０３５０】
　図５３は、変形例１に係るＲＥＳ命令を示した図である。ＲＥＳ命令の変形である「ＲＥＳｍＺ　ｎ、ｒ」命令（ｍは１～２５４の１０進数の数値）は、第２オペランドｒで示されるレジスタに記憶されている値のうち、１０進数のｍを１バイトの２進数に変換したときに１がセットされるビットのアクセスを禁止するとともに、第１オペランドで示されるビットｎ（ｎは、ｍを１バイトの２進数に変換したときに１がセットされないビット）を０にリセットする命令である。また、「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは１～２５４の１０進数の数値）は、第２オペランドｒｒで示されるペアレジスタに記憶されているアドレスに格納された値のうち、１０進数のｍを１バイトの２進数に変換したときに１がセットされるビットのアクセスを禁止するとともに、第１オペランドで示されるｎビット（ｎは、ｍを２進数に変換したときに１がセットされないビット番号）を０にリセットする命令である。
【０３５１】
　例えば、図５４（ａ）に示すように、「ＲＥＳ２Ｚ　４、Ｌ」命令は、第２オペランドＬで示されるレジスタＬに記憶されている値のうち、１０進数の２を１バイトの２進数に変換したときに１がセットされるビット（この例では、ビット１）のアクセスを禁止するとともに、第１オペランドで示されるビット４を０にリセットする命令である。また、同図（ｂ）に示すように、「ＲＥＳ３Ｚ　４、Ｌ」命令は、第２オペランドＬで示されるレジスタＬに記憶されている値のうち、１０進数の３を１バイトの２進数に変換したときに１がセットされるビット（この例では、ビット１、ビット０）のアクセスを禁止するとともに、第１オペランドで示されるビット４を０にリセットする命令である。
【０３５２】
　図５５は、変形例１に係るＲＥＳ命令を用いたプログラムの一例を示した図である。上

述のとおり、「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは１～２５４の１０進数の数値）は、第２オペランド（ｒｒ）で示されるペアレジスタｒｒに記憶されているアドレスに格納された値のうち、１０進数のｍを１バイトの２進数に変換したときに１がセットされるビットのアクセスを禁止するとともに、第１オペランドで示されるｎビット（ｎは、ｍを２進数に変換したときに１がセットされないビット番号）を０にリセットする命令である。

【０３５３】

したがって、同図の（３－１）に示す「ＲＥＳ２５１Ｚ　２（＝ｅｂＣＳ２０ｐｎＳＧｔ）、（ＨＬ）」命令は、第２オペランド（ＨＬ）で示されるペアレジスタＨＬに記憶されているアドレス（この例では、Ｆ０９６Ｈ（＝ｖ０ｐｔＣＳ２））に格納された値のうち、１０進数の２５１を１バイトの２進数に変換したときに１がセットされるビット（この例では、ビット０～１、３～７）のアクセスを禁止するとともに、第１オペランドで示されるビット（この例では、ビット２）を０にリセットする命令である。

【０３５４】

このようなＲＥＳ命令によれば、所定のビットのアクセスを禁止しつつ、同時に他のビットを０にリセットすることができるため、所定のビットの数値を保護することができ、従来のビット操作命令（例えば、ＣＬＲ命令、ＳＥＴ命令、ＲＥＳ命令、ＢＩＴ命令など）のように、コーディングミスなどによって所定のビットが予期しない数値に変更されてしまうような事態を未然に防止でき、デバックやテストの作業を短縮化でき、また、安定した遊技制御を行うことができる場合がある。また、アクセスを禁止するビットを１０進数の数値で指定することができるため、プログラムの解析を困難にすることができる場合がある。

＜ＲＥＳ命令の変形例２＞

【０３５５】

図５６は、変形例２に係るＲＥＳ命令を示した図である。ＲＥＳ命令の変形である「ＲＥＳｍＺ　ｎ、ｒ」命令（ｍは０～７の数値）は、第２オペランドｒで示されるレジスタを含むペアレジスタに記憶されている値のうち、ｍで示されるビットのアクセスを禁止するとともに、第１オペランドで示されるビットｎ（ｎは、ｍを除く０～８の数値）を０にリセットする命令である。また、「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは０～７の数値）は、第２オペランド（ｒｒ）で示されるペアレジスタｒｒに記憶されているアドレスと、このアドレスに連続するアドレスに格納された２バイト長の値のうち、ｍで示されるビットのアクセスを禁止するとともに、第１オペランドで示されるビットｎ（ｎは、ｍを除く０～８の数値）を０にリセットする命令である。

【０３５６】

例えば、図５７に示すように、「ＲＥＳ２Ｚ　８、Ｌ」命令は、第２オペランドＬで示されるレジスタＬを含むペアレジスタＨＬに記憶されている値のうち、２で示されるビット（ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット８（この例では、ＨＬレジスタの上位バイトであるＨレジスタのビット０）を０にリセットする命令である。

【０３５７】

また、図５８に示すように、「ＲＥＳ２Ｚ　８、（ＨＬ）」命令は、第２オペランド（ＨＬ）で示されるペアレジスタＨＬに記憶されているアドレス（この例では、Ｆ０１０Ｈ）と、このアドレスに連続するアドレス（この例では、Ｆ０１１Ｈ）に格納された２バイト長の値のうち、２で示されるビット（ビット２）のアクセスを禁止するとともに、第１オペランドで示されるビット８（この例では、Ｆ０１０Ｈに連続するＦ０１１Ｈに格納された値のビット０値）を０にリセットする命令である。

【０３５８】

図５９は、主制御部３００の命令マップのうち、変形例２に係るＲＥＳ命令に該当する部分を抜き出して示した図である。上述のとおり、「ＲＥＳ２Ｚ　２、Ｌ」命令と「ＲＥＳ２Ｚ　２、（ＨＬ）」命令は、ビット２のアクセスが禁止されビット２がリセットできない命令であるため、同図に太線の四角で示すように、これらの命令に替えて、「ＲＥＳ

２Ｚ　８、Ｌ」命令と「ＲＥＳ２Ｚ　８、（ＨＬ）」命令を割り当てている。このように、命令マップの一部の並び順を不規則にすることによって、プログラム（機械語）の解析を困難にすることができる場合がある。

＜ＲＥＳ命令の他の変形例＞

【０３５９】

図６０は、ＲＥＳ命令の他の変形例を示した図である。例えば、同図（ａ）に示すＲＥＳ命令では、上述の変形例１の「ＲＥＳｍＺ　ｎ、ｒ」命令または「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは１～２５４の１０進数の数値）において、数値ｍに０が指定できるように変更し、０を指定した場合には全てのビットのアクセスを許可するように構成している。また、同図（ｂ）に示すＲＥＳ命令では、上述の変形例１の「ＲＥＳｍＺ　ｎ、ｒ」命令または「ＲＥＳｍＺ　ｎ、（ｒｒ）」命令（ｍは１～２５４の１０進数の数値）において、数値ｍの指定が省略できるように変更し、指定を省略した場合には全てのビットのアクセスを許可するように構成している。

【０３６０】

図６１（ａ）は、所定ビットのアクセスを禁止しないＲＥＳ命令を備えた場合の命令マップと、所定ビットのアクセスを禁止するＲＥＳ命令を備えた場合の命令マップを示した図である。このように、所定ビットのアクセスを禁止しないＲＥＳ命令を備えた場合と、所定ビットのアクセスを禁止するＲＥＳ命令を備えた場合で命令マップの一部の並び順を変更することによって、プログラム（機械語）の解析を困難にすることができる場合がある。

【０３６１】

また、同図（ｂ）は、ＲＥＳ命令の第１オペランドの数値の大小と、ＲＥＳ命令の命令マップの並び順を異ならせた例を示した図である。このように、ＲＥＳ命令の第１オペランドの数値が８→１→２→３→４→５→６→７と不規則に並ぶようにＲＥＳ命令を命令マップに割り当てることによって、プログラム（機械語）の解析を困難にすることができる場合がある。

＜ユーザプログラムの具体例＞

【０３６２】

次に、上述のユーザプログラムの具体例について説明する。上述のとおり、主制御部３００のＣＰＵ３０４がユーザモードに移行すると、ＲＯＭ領域の第一領域の先頭アドレスである００００Ｈ以降に記憶された命令が順次、実行されてユーザプログラムが開始される。

【０３６３】

図６２（ａ）は、ユーザプログラムの一部であるプログラム起動設定処理の一例を示した図であり、同図（ｂ）は、ユーザプログラムの一部である電源投入時設定処理の一例を示した図である。同図に示すユーザプログラムでは、最初にプログラム起動設定処理（アドレス００００Ｈ～０００５Ｈに記憶された命令）が実行されることによって、スタックポインタや割込みモードの設定が行われ、その後に電源投入時設定処理（アドレス００６２Ｈ）にジャンプするように構成されている。電源投入時処理では、アドレス００６２Ｈ以降に記憶された命令が順次、実行されることによって、ＷＤＴへの動作許可及び初期値の設定や、電源電圧の監視処理が行われる。

【０３６４】

図６３は、上述の主制御部タイマ割込処理に相当するユーザプログラムの一部を示した図である。主制御部３００の基本回路３０２は、カウンタタイマ３１２からタイマ割込信号が入力された場合に、同図に示すような割込みベクトルテーブルを参照し、割込みベクトルテーブルに定義されたアドレスにジャンプするように構成されており、この例では、タイマ割込みに対応して定義されたアドレス０４０ＡＨにジャンプするように構成されている。主制御部タイマ割込処理では、アドレス０４０ＡＨ以降に記憶された命令が順次、実行されることによって、レジスタの退避や、同図（１）～（１８）に示す各種処理が、この順番で行われる。

＜主制御部の第４特殊命令＞

【０３６５】

次に、主制御部３００が備える第４特殊命令について説明する。図６４は、主制御部３００が備える第４特殊命令の内容と、主制御部３００のＲＯＭ領域を示した図である。

＜第４特殊命令／ＲＳＴ命令＞

【０３６６】

第４特殊命令の一つである「ＲＳＴ」命令は、固定のアドレスをプログラムカウンタＰＣに設定することによって、固定のアドレスにジャンプするための命令である。

【０３６７】

本実施形態では、プログラムカウンタＰＣにストアされるアドレスが異なる８種類のＲＳＴ命令を備えており、ＲＳＴ命令の命令データは、５ビットの命令コード（オペコード）と、３ビットのオペランドによって構成されている。具体的には、命令データＣＦＨ～ＦＦＨの７種類のＲＳＴ命令のビット７～６、２～０の５ビットは、ＲＳＴ命令の命令コード（オペコード）を、それ以外のビット５～３の３ビット（太線で囲まれた部分）は、オペランドとして、各々のＲＳＴ命令の実行によって分岐することが可能なジャンプ先のアドレスの一部（この例では、ジャンプ先のアドレスのビット５～３を示す。アドレスのビット２～０は１固定）を示している。

【０３６８】

例えば、命令データＣＦＨのＲＳＴ命令のビット５～３は、００１Ｂであるため、ジャンプ先のアドレスのビット５～３が００１Ｂで、ビット２～０が０（固定）、すなわち０００８Ｈであることを示しており、命令データＤ７ＨのＲＳＴ命令のビット５～３は０１０Ｂであるため、ジャンプ先のアドレスのビット５～３が０１０Ｂで、ビット２～０が０（固定）、すなわち００１０Ｈであることを示している。また、その他のＲＳＴ命令のジャンプ先のアドレスは図に示す通りである。

【０３６９】

一方、命令データＣ７ＨのＲＳＴ命令のビット７～６、２～０の５ビットは、ＲＳＴ命令の命令コード（オペランド）を示しており、それ以外のビット５～３の３ビット（太線で囲まれた部分）は、このＲＳＴ命令の実行によって分岐することが可能なジャンプ先のアドレス（この例では、ビット５～３に格納される数値０００Ｂからは予測が不可能な００４０Ｈ）を示している。すなわち、この命令データＣ７ＨのＲＳＴ命令では、仮に機械語に基づいてオペコードやオペランドを解析できたとしても、当該ＲＳＴ命令の実行によって分岐することが可能なジャンプ先のアドレスを解析することが極めて困難とされている。

【０３７０】

また、これらのＲＳＴ命令の命令データは、上述の通り、５ビットの命令コード（オペコード）と３ビットのオペランドによって構成されているため、ユーザはオペランドを自由に設定することができず（ＲＳＴ命令によって分岐することが可能なジャンプ先のアドレスを自由に設定することができず）、上述の８種類のＲＳＴ命令によって分岐することが可能なジャンプ先のアドレスを選択することだけが許されている。

【０３７１】

なお、この例では、命令データにオペランドを含めることによって、当該命令によって分岐することが可能なジャンプ先のアドレスを規制する例を示したが、命令データにオペランドを含めなくてもよい。例えば、「ＲＳＴ　００４０Ｈ」のように、オペコード（ＲＳＴ）とオペランド（００４０Ｈ）を別々に構成した上で、指定可能なアドレス以外のアドレス（例えば、００００Ｈ）がオペランドとして設定された場合にアセンブルエラーにして機械語に変換できないように構成するなど、設定可能なオペランドを制限してもよい。また、命令データにオペランドを含む構成を採用した場合でも、指定可能なアドレス以外のアドレスがオペランドとして設定された場合にアセンブルエラーにして機械語に変換できないように構成するなど、設定可能なオペランドを制限してもよい。

【０３７２】

すなわち、本実施形態に係るＲＳＴ命令では８種類のアドレス（０００８Ｈ、００１０Ｈ、００１８Ｈ、００２０Ｈ、００２８Ｈ、００３０Ｈ、００３８Ｈ、００４０Ｈ）だけにジャンプすることが可能となっており、例えば、ＲＳＴ命令によってＲＯＭ領域の第一領域の先頭アドレス０００００Ｈにジャンプすることができないように構成されている。このため、不正プログラムを組み込んで先頭アドレスにジャンプさせる（ユーザプログラムを先頭アドレスから開始させて不正に初期状態とする）ような行為を未然に防止できる場合がある。

【０３７３】

また、命令データＣ７ＨのＲＳＴ命令では、命令データには含まれない数値である００４０Ｈをジャンプ先のアドレスとしているため、逆アセンブルなどによってジャンプ先のアドレスやプログラムの流れを特定することが極めて困難で、不正なプログラム改造を未然に防止できる場合がある。また、ＲＳＴ命令では、図６５の命令マップに示すように、命令コードの順番を昇順（Ｃ７Ｈ→ＣＦＨ→…）に設定しているのに対して、ジャンプ先のアドレスの順番（００４０Ｈ→０００８Ｈ→…）を昇順にはしないように構成しているため、命令の分析を行うことが極めて困難で、不正なプログラム改造を未然に防止できる場合がある。

＜実施形態２＞

【０３７４】

以下、図面を用いて、本発明の実施形態２に係る遊技台（スロットマシン１１００）について詳細に説明する。

＜全体構成＞

【０３７５】

まず、図６６を用いて、本発明の実施形態２に係るスロットマシン１１００の全体構成について説明する。なお、同図はスロットマシン１１００を正面側（遊技者側）から見た外観斜視図である。

【０３７６】

同図に示すスロットマシン１１００は、本体１１０１と、本体１１０１の正面に取り付けられ、本体１１０１に対して開閉可能な前面扉１１０２と、を備える。本体１１０１の中央内部には、（図示省略）外周面に複数種類の図柄が配置されたリールが３個（左リール１１１０、中リール１１１１、右リール１１１２）収納され、スロットマシン１１００の内部で回転できるように構成されている。これらのリール１１１０乃至１１１２はステッピングモータ等の駆動装置により回転駆動される。

【０３７７】

本実施形態において、各図柄は帯状部材に等間隔で適当数印刷され、この帯状部材が所定の円形筒状の枠材に貼り付けられて各リール１１１０乃至１１１２が構成されている。リール１１１０乃至１１１２上の図柄は、遊技者から見ると、図柄表示窓１１１３から縦方向に概ね３つ表示され、合計９つの図柄が見えるようになっている。そして、各リール１１１０乃至１１１２を回転させることにより、遊技者から見える図柄の組み合せが変動することとなる。つまり、各リール１１１０乃至１１１２は複数種類の図柄の組合せを変動可能に表示する表示装置として機能する。なお、このような表示装置としてはリール以外にも液晶表示装置等の電子画像表示装置も採用できる。また、本実施形態では、３個のリールをスロットマシン１１００の中央内部に備えているが、リールの数やリールの設置位置はこれに限定されるものではない。

【０３７８】

各々のリール１１１０乃至１１１２の背面には、図柄表示窓１１１３に表示される個々の図柄を照明するためのバックライト（図示省略）が配置されている。バックライトは、各々の図柄ごとに遮蔽されて個々の図柄を均等に照射できるようにすることが望ましい。なお、スロットマシン１１００内部において各々のリール１１１０乃至１１１２の近傍には、投光部と受光部から成る光学式センサ（図示省略）が設けられており、この光学式センサの投光部と受光部の間をリールに設けられた一定の長さの遮光片が通過するように構

成されている。このセンサの検出結果に基づいてリール上の図柄の回転方向の位置を判断し、目的とする図柄が入賞ライン上に表示されるようにリール１１１０乃至１１１２を停止させる。

【０３７９】

入賞ライン表示ランプ１１２０は、有効となる入賞ライン１１１４を示すランプである。有効となる入賞ラインは、遊技媒体としてベットされたメダルの数によって予め定まっている。入賞ライン１１１４は５ラインあり、例えば、メダルが１枚ベットされた場合、中段の水平入賞ラインが有効となり、メダルが２枚ベットされた場合、上段水平入賞ラインと下段水平入賞ラインが追加された３本が有効となり、メダルが３枚ベットされた場合、右下り入賞ラインと右上り入賞ラインが追加された５ラインが入賞ラインとして有効になる。なお、入賞ライン１１１４の数については５ラインに限定されるものではなく、また、例えば、メダルが１枚ベットされた場合に、中段の水平入賞ライン、上段水平入賞ライン、下段水平入賞ライン、右下り入賞ラインおよび右上り入賞ラインの５ラインを有効な入賞ラインとして設定してもよく、ベット数に関係なく、一律に同一数の入賞ラインを有効な入賞ラインとして設定してもよい。

【０３８０】

告知ランプ１１２３は、例えば、後述する内部抽選において特定の入賞役（具体的には、ボーナス）に内部当選していること、または、ボーナス遊技中であることを遊技者に知らせるランプである。遊技メダル投入可能ランプ１１２４は、遊技者が遊技メダルを投入可能であることを知らせるためのランプである。再遊技ランプ１１２２は、前回の遊技において入賞役の一つである再遊技に入賞した場合に、今回の遊技が再遊技可能であること（メダルの投入が不要であること）を遊技者に知らせるランプである。リールパネルランプ１１２８は演出用のランプである。

【０３８１】

ベットボタン１１３０乃至１１３２は、スロットマシン１１００に電子的に貯留されているメダル（クレジットという）を所定の枚数分投入するためのボタンである。本実施形態においては、ベットボタン１１３０が押下される毎に１枚ずつ最大３枚まで投入され、ベットボタン１１３１が押下されると２枚投入され、ベットボタン１１３２が押下されると３枚投入されるようになっている。以下、ベットボタン１１３２はＭＡＸベットボタンとも言う。なお、遊技メダル投入ランプ１１２９は、投入されたメダル数に応じた数のランプを点灯させ、規定枚数のメダルの投入があった場合、遊技の開始操作が可能な状態であることを知らせる遊技開始ランプ１１２１が点灯する。

【０３８２】

メダル投入口１１４１は、遊技を開始するに当たって遊技者がメダルを投入するための投入口である。すなわち、メダルの投入は、ベットボタン１１３０乃至１１３２により電子的に投入することもできるし、メダル投入口１１４１から実際のメダルを投入（投入操作）することもでき、投入とは両者を含む意味である。貯留枚数表示器１１２５は、スロットマシン１１００に電子的に貯留されているメダルの枚数を表示するための表示器である。遊技情報表示器１１２６は、各種の内部情報（例えば、ボーナス遊技中のメダル払出枚数）を数値で表示するための表示器である。払出枚数表示器１１２７は、何らかの入賞役に入賞した結果、遊技者に払出されるメダルの枚数を表示するための表示器である。貯留枚数表示器１１２５、遊技情報表示器１１２６、および、払出枚数表示器１１２７は、７セグメント（ＳＥＧ）表示器とした。

【０３８３】

スタートレバー１１３５は、リール１１１０乃至１１１２の回転を開始させるためのレバー型のスイッチである。即ち、メダル投入口１１４１に所望するメダル枚数を投入するか、ベットボタン１１３０乃至１１３２を操作して、スタートレバー１１３５を操作すると、リール１１１０乃至１１１２が回転を開始することとなる。スタートレバー１１３５に対する操作を遊技の開始操作と言う。

【０３８４】

ストップボタンユニット１１３６には、ストップボタン１１３７乃至１１３９が設けられている。ストップボタン１１３７乃至１１３９は、スタートレバー１１３５の操作によって回転を開始したリール１１１０乃至１１１２を個別に停止させるためのボタン型のスイッチであり、各リール１１１０乃至１１１２に対応づけられている。以下、ストップボタン１１３７乃至１１３９に対する操作を停止操作と言い、最初の停止操作を第１停止操作、次の停止操作を第２停止操作、最後の停止操作を第３停止操作という。なお、各ストップボタン１１３７乃至１１３９の内部に発光体を設けてもよく、ストップボタン１１３７乃至１１３９の操作が可能である場合、該発光体を点灯させて遊技者に知らせることもできる。

【０３８５】

メダル返却ボタン１１３３は、投入されたメダルが詰まった場合に押下してメダルを取り除くためのボタンである。精算ボタン１１３４は、スロットマシン１１００に電子的に貯留されたメダル、ベットされたメダルを精算し、メダル払出口１１５５から排出するためのボタンである。ドアキー孔１１４０は、スロットマシン１１００の前面扉１１０２のロックを解除するためのキーを挿入する孔である。ストップボタンユニット１１３６の下部には、機種名の表示と各種証紙の貼付とを行うタイトルパネル１１６２が設けられている。タイトルパネル１１６２の下部には、メダル払出口１１５５、メダルの受け皿１１６１が設けられている。

【０３８６】

音孔１１８０はスロットマシン１１００内部に設けられているスピーカの音を外部に出力するための孔である。前面扉１１０２の左右各部に設けられたサイドランプ１１４４は遊技を盛り上げるための装飾用のランプである。前面扉１１０２の上部には演出装置１１６０が配設されており、演出装置１１６０の上部には音孔１１４３が設けられている。この演出装置１１６０は、水平方向に開閉自在な２枚の右シャッタ１１６３ａ、左シャッタ１１６３ｂからなるシャッタ（遮蔽装置）１１６３と、このシャッタ１１６３の奥側に配設された液晶表示装置１１５７（演出画像表示装置）を備えており、右シャッタ１１６３ａ、左シャッタ１１６３ｂが液晶表示装置１１５７の手前で水平方向外側に開くと液晶表示装置１１５７の表示画面がスロットマシン１１００正面（遊技者側）に出現する構造となっている。なお、液晶表示装置でなくとも、種々の演出画像や種々の遊技情報を表示可能な表示装置であればよく、例えば、複数セグメントディスプレイ（７セグディスプレイ）、ドットマトリクスディスプレイ、有機ＥＬディスプレイ、プラズマディスプレイ、リール（ドラム）、或いは、プロジェクタとスクリーンとからなる表示装置等でもよい。また、表示画面は、方形をなし、その全体を遊技者が視認可能に構成している。本実施形態の場合、表示画面は長方形であるが、正方形でもよい。また、表示画面の周縁に不図示の装飾物を設けて、表示画面の周縁の一部が該装飾物に隠れる結果、表示画面が異形に見えるようにすることもできる。表示画面は本実施形態の場合、平坦面であるが、曲面をなしていてもよい。

【０３８７】

図６７は、前面扉１０２を開けた状態のスロットマシン１１００を示す正面図である。本体１１０１は、上面板１２６１、左側の側面板１２６０、右側の側面板１２６０、下面板１２６４および背面板１２４２で囲われ、前面に開口する箱体である。本体１１０１の内部には、背面板１２４２の上部に設けた通風口１２４９と重ならない位置に、内部に主制御基板を収納した主制御基板収納ケース１２１０が配置され、この主制御基板収納ケース１２１０の下方に、３つのリール１１１０乃至１１１２が配置されている。主制御基板収納ケース１２１０及びリール１１１０乃至１１１２の側方、即ち向って左側の側面板１２６０には、内部に副制御基板を収納した副制御基板収納ケース１２２０が配設してある。また、向かって右側の側面板１２６０には、主制御基板に接続されて、スロットマシン１１００の情報を外部装置に出力する外部集中端子板１２４８が取り付けられている。

【０３８８】

そして、下面板１２６４には、メダル払出装置１１８０（バケットに溜まったメダルを

払出す装置）が配設され、このメダル払出装置１１８０の上方、即ちリール１１１０乃至１１１２の下方には、電源基板を有する電源装置１２５２が配設され、電源装置１２５２正面には電源スイッチ１２４４を配設している。電源装置１２５２は、スロットマシン１１００に外部から供給される交流電源を直流化し、所定の電圧に変換して後述する主制御部１３００、副制御部１４００、１５００等の各制御部、各装置に供給する。さらには、外部からの電源が断たれた後も所定の部品（例えば主制御部１３００のＲＡＭ１３０８等）に所定の期間（例えば１０日間）電源を供給するための蓄電回路（例えばコンデンサ）を備えている。

【０３８９】

メダル払出装置１１８０の右側には、メダル補助収納庫１２４０が配設してあり、この背後にはオーバーフロー端子が配設されている（図示省略）。電源装置１２５２には、電源コード１２６４を接続する電源コード接続部が設けられ、ここに接続された電源コード１２６４が、本体１１０１の背面板１２４２に開設した電源コード用穴１２６２を通して外部に延出している。

【０３９０】

前面扉１１０２は、本体１１０１の左側の側面板１２６０にヒンジ装置１２７６を介して蝶着され、図柄表示窓１１１３の上部には、演出装置１１６０、および、この演出装置１１６０を制御する演出制御基板（図示省略）、上部スピーカ１２７２、を設けている。図柄表示窓１１１３の下部には、投入されたメダルを選別するためのメダルセレクタ１１７０、このメダルセレクタ１１７０が不正なメダル等をメダル受皿１１６１に落下させる際にメダルが通過する通路１２６６等を設けている。さらに、音孔１１８０に対応する位置には低音スピーカ１２７７を設けている。

【０３９１】

図６８を用いて、スロットマシン１１００の制御部の回路構成について詳細に説明する。なお、同図は制御部の回路ブロック図を示したものである。

【０３９２】

スロットマシン１１００の制御部は、大別すると、主に遊技の進行（例えば、遊技者による操作の検出、遊技状態の遷移、遊技媒体の払出制御、当否判定など）を制御する主制御部１３００と、主制御部１３００が送信するコマンド信号（以下、単に「コマンド」と呼ぶ）に応じて、主に演出の制御を行う第１副制御部１４００と、第１副制御部１４００より送信されたコマンドに基づいて各種機器を制御する第２副制御部１５００と、によって構成されている。

＜主制御部＞

【０３９３】

まず、スロットマシン１１００の主制御部１３００について説明する。主制御部１３００は、主制御部１３００の全体を制御する基本回路１３０２を備えており、この基本回路１３０２には、ＣＰＵ１３０４と、制御プログラムデータ、入賞役の内部抽選時に用いる抽選データ、リールの停止位置等を記憶するためのＲＯＭ１３０６と、一時的にデータを記憶するためのＲＡＭ１３０８と、各種デバイスの入出力を制御するためのＩ／Ｏ１３１０と、時間や回数等を計測するためのカウンタタイマ１３１２と、ＷＤＴ（ウォッチドックタイマ）１３１４を搭載している。なお、ＲＯＭ１３０６やＲＡＭ１３０８については他の記憶装置を用いてもよく、この点は後述する第１副制御部１４００や第２副制御部５００についても同様である。この基本回路１３０２のＣＰＵ１３０４は、水晶発振器１３１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。さらには、ＣＰＵ１３０４は、電源が投入されるとＲＯＭ１３０６の所定エリアに格納された分周用のデータをカウンタタイマ１３１２に送信し、カウンタタイマ１３１２は受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに割り込み要求をＣＰＵ１３０４に送信する。ＣＰＵ１３０４は、この割込み要求を契機に各センサ等の監視や駆動パルスの送信を実行する。例えば、水晶発振器１３１４が出力するクロック信号を８ＭＨｚ、カウンタタイマ１３１２の分周値を１／２５６、ＲＯＭ１３０６の分周用の

データを４７に設定した場合、割り込みの基準時間は、２５６×４７÷８ＭＨｚ＝１．５０４ｍｓとなる。

【０３９４】

主制御部１３００は、０～６５５３５の範囲で数値を変動させるハードウェア乱数カウンタとして使用している乱数値生成回路１３１６と、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路１３３８を備えており、ＣＰＵ１３０４は、この起動信号出力回路１３３８から起動信号が入力された場合に、遊技制御を開始する（後述する主制御部メイン処理を開始する）。

【０３９５】

また、主制御部１３００には、センサ回路１３２０を備えており、ＣＰＵ１３０４は、割り込み時間ごとに各種センサ１３１８（ベットボタン１１３０センサ、ベットボタン１１３１センサ、ベットボタン１１３２センサ、メダル投入口１１４１から投入されたメダルのメダル受付センサ、スタートレバー１１３５センサ、ストップボタン１１３７センサ、ストップボタン１１３８センサ、ストップボタン１１３９センサ、精算ボタン１１３４センサ、メダル払出装置１１８０から払い出されるメダルのメダル払出センサ、リール１１１０のインデックスセンサ、リール１１１１のインデックスセンサ、リール１１１２のインデックスセンサ、等）の状態を監視している。

【０３９６】

なお、センサ回路１３２０がスタートレバーセンサのＨレベルを検出した場合には、この検出を示す信号を乱数発生回路１３１６に出力する。この信号を受信した乱数発生回路１３１６は、そのタイミングにおける値をラッチし、抽選に使用する乱数値を格納するレジスタに記憶する。

【０３９７】

メダル受付センサは、メダル投入口１１４１の内部通路に２個設置されており、メダルの通過有無を検出する。スタートレバー１１３５センサは、スタートレバー１１３５内部に２個設置されており、遊技者によるスタート操作を検出する。ストップボタン１１３７センサ、ストップボタン１１３８センサ、および、ストップボタン１１３９は、各々のストップボタン１１３７乃至１１３９に設置されており、遊技者によるストップボタンの操作を検出する。

【０３９８】

ベットボタン１１３０センサ、ベットボタン１１３１センサ、および、ベットボタン１１３２センサは、メダル投入ボタン１１３０乃至１１３２のそれぞれに設置されており、ＲＡＭ１３０８に電子的に貯留されているメダルを遊技への投入メダルとして投入する場合の投入操作を検出する。精算ボタン１１３４センサは、精算ボタン１１３４に設けられている。精算ボタン１１３４が一回押されると、電子的に貯留されているメダルを精算する。メダル払出センサは、メダル払出装置１１８０が払い出すメダルを検出するためのセンサである。なお、以上の各センサは、非接触式のセンサであっても接点式のセンサであってもよい。

【０３９９】

リール１１１０のインデックスセンサ、リール１１１１のインデックスセンサ、および、リール１１１２のインデックスセンサは、各リール１１１０乃至１１１２の取付台の所定位置に設置されており、リールフレームに設けた遮光片が通過するたびにＬレベルになる。ＣＰＵ１３０４は、この信号を検出すると、リールが１回転したものと判断し、リールの回転位置情報をゼロにリセットする。

【０４００】

主制御部１３００は、リール装置１１１０乃至１１１２に設けたステッピングモータを駆動する駆動回路１３２２、投入されたメダルを選別するメダルセレクタ１１７０に設けたソレノイドを駆動する駆動回路１３２４、メダル払出装置１１８０に設けたモータを駆動する駆動回路１３２６、各種ランプ１３３８（入賞ライン表示ランプ１１２０、告知ランプ１１２３、遊技メダル投入可能ランプ１１２４、再遊技ランプ１１２２、遊技メダル

投入ランプ１１２９は、遊技開始ランプ１１２１、貯留枚数表示器１１２５、遊技情報表示器１１２６、払出枚数表示器１１２７）を駆動する駆動回路１３２８を備えている。

【０４０１】

また、基本回路１３０２には、情報出力回路１３３４（外部集中端子板１２４８）を接続しており、主制御部１３００は、この情報出力回路１３３４を介して、外部のホールコンピュータ（図示省略）等が備える情報入力回路１６５２にスロットマシン１１００の遊技情報（例えば、遊技状態）を出力する。

【０４０２】

また、主制御部１３００は、電源管理部（図示しない）から主制御部１３００に供給している電源の電圧値を監視する電圧監視回路１３３０を備えており、電圧監視回路１３３０は、電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を基本回路１３０２に出力する。

【０４０３】

また、主制御部１３００は、第１副制御部１４００にコマンドを送信するための出力インタフェースを備えており、第１副制御部１４００との通信を可能としている。なお、主制御部１３００と第１副制御部１４００との情報通信は一方向の通信であり、主制御部１３００は第１副制御部１４００にコマンド等の信号を送信できるように構成しているが、第１副制御部１４００からは主制御部１３００にコマンド等の信号を送信できないように構成している。

＜副制御部＞

【０４０４】

次に、スロットマシン１１００の第１副制御部１４００について説明する。第１副制御部１４００は、主制御部１３００が送信した制御コマンドを入力インタフェースを介して受信し、この制御コマンドに基づいて第１副制御部１４００の全体を制御する基本回路１４０２を備えており、この基本回路１４０２は、ＣＰＵ１４０４と、一時的にデータを記憶するためのＲＡＭ１４０８と、各種デバイスの入出力を制御するためのＩ／Ｏ１４１０と、時間や回数等を計測するためのカウンタタイマ１４１２を搭載している。基本回路１４０２のＣＰＵ１４０４は、水晶発振器１４１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。ＲＯＭ４０６は、第１副制御部１４００の全体を制御するための制御プログラム及びデータ、バックライトの点灯パターンや各種表示器を制御するためのデータ等を記憶する。

【０４０５】

ＣＰＵ１４０４は、所定のタイミングでデータバスを介してＲＯＭ１４０６の所定エリアに格納された分周用のデータをカウンタタイマ１４１２に送信する。カウンタタイマ１４１２は、受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに割り込み要求をＣＰＵ１４０４に送信する。ＣＰＵ１４０４は、この割込み要求のタイミングをもとに、各ＩＣや各回路を制御する。

【０４０６】

また、第１副制御部１４００には、音源ＩＣ１４１８を設けており、音源ＩＣ１４１８に出力インタフェースを介してスピーカ１２７２、１２７７を設けている。音源ＩＣ１４１８は、ＣＰＵ１４０４からの命令に応じてアンプおよびスピーカ１２７２、１２７７から出力する音声の制御を行う。音源ＩＣ１４１８には音声データが記憶されたＳ－ＲＯＭ（サウンドＲＯＭ）が接続されており、このＲＯＭから取得した音声データをアンプで増幅させてスピーカ１２７２、１２７７から出力する。

【０４０７】

また、第１副制御部１４００には、駆動回路１４２２が設けられ、駆動回路１４２２に入出力インタフェースを介して各種ランプ１４２０（上部ランプ、下部ランプ、サイドランプ１１４４、タイトルパネル１１６２ランプ、等）が接続されている。

【０４０８】

また、ＣＰＵ１４０４は、出力インタフェースを介して第２副制御部１５００へ信号の

送受信を行う。第２副制御部１５００は、演出画像表示装置１１５７の表示制御を含む演出装置１１６０の各種制御を行う。なお、第２副制御部１５００は、例えば、液晶表示装置１１５７の表示の制御を行う制御部、各種演出用駆動装置の制御を行う制御部（例えば、シャッタ１１６３のモータ駆動を制御する制御部）とするなど、複数の制御部で構成するようにしてもよい。

【０４０９】

第２副制御部１５００は、第１副制御部１４００が送信した制御コマンドを入力インタフェースを介して受信し、この制御コマンドに基づいて第２副制御部１５００の全体を制御する基本回路１５０２を備えており、この基本回路１５０２は、ＣＰＵ１５０４と、一時的にデータを記憶するためのＲＡＭ１５０８と、各種デバイスの入出力を制御するためのＩ／Ｏ１５１０と、時間や回数等を計測するためのカウンタタイマ１５１２と、を搭載している。基本回路１５０２のＣＰＵ１５０４は、水晶発振器１５１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。ＲＯＭ５０６は、第２副制御部１５００の全体を制御するための制御プログラム及びデータ、画像表示用のデータ等を記憶する。

【０４１０】

ＣＰＵ１５０４は、所定のタイミングでデータバスを介してＲＯＭ１５０６の所定エリアに格納された分周用のデータをカウンタタイマ１５１２に送信する。カウンタタイマ１５１２は、受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに割り込み要求をＣＰＵ１４０４に送信する。ＣＰＵ１５０４は、この割込み要求のタイミングをもとに、各ＩＣや各回路を制御する。

【０４１１】

また、第２副制御部１５００には、シャッタ１１６３のモータを駆動する駆動回路１５３０を設けており、駆動回路１５３０には出力インタフェースを介してシャッタ１１６３を設けている。この駆動回路１５３０は、ＣＰＵ１５０４からの命令に応じてシャッタ１１６３に設けたステッピングモータ（図示省略）に駆動信号を出力する。また、第２副制御部１５００には、センサ回路１５３２を設けており、センサ回路１５３２には入力インタフェースを介してシャッタセンサ１５３８を接続している。ＣＰＵ１５０４は、割り込み時間ごとにシャッタセンサ１５３８状態を監視している。

【０４１２】

また、第２副制御部１５００には、ＶＤＰ１５３４（ビデオ・ディスプレイ・プロセッサー）を設けており、このＶＤＰ１５３４には、バスを介してＲＯＭ１５０６、ＶＲＡＭ１５３６が接続されている。ＶＤＰ１５３４は、ＣＰＵ１５０４からの信号に基づいてＲＯＭ１５０６に記憶された画像データ等を読み出し、ＶＲＡＭ１５３６のワークエリアを使用して表示画像を生成し、演出画像表示装置１１５７に画像を表示する。

＜図柄配列＞

【０４１３】

次に、図６９（ａ）を用いて、上述の各リール１１１０乃至１１１２に施される図柄配列について説明する。なお、同図は、各リール（左リール１１１０、中リール１１１１、右リール１１１２）に施される図柄の配列を平面的に展開して示した図である。

【０４１４】

各リール１１１０乃至１１１２には、同図の右側に示す複数種類（本実施形態では８種類）の図柄が所定コマ数（本実施形態では、番号０～２０の２１コマ）だけ配置されている。また、同図の左端に示した番号０～２０は、各リール１１１０乃至１１１２上の図柄の配置位置を示す番号である。例えば、本実施形態では、左リール１１１０の番号１のコマには「リプレイ」の図柄、中リール１１１１の番号０のコマには「ベル」の図柄、右リール１１１２の番号２のコマには「スイカ」の図柄、がそれぞれ配置されている。

＜入賞役の種類＞

【０４１５】

次に、図６９（ｂ）を用いて、スロットマシン１１００の入賞役の種類について説明す

る。なお、同図は入賞役（作動役を含む）の種類、各入賞役に対応する図柄組合せ、各入賞役の作動または払出を示している。

【０４１６】

本実施形態における入賞役のうち、ビッグボーナス（ＢＢ１、ＢＢ２）および、レギュラーボーナス（ＲＢ）はボーナス遊技に移行する役として、また、再遊技（リプレイ）は新たにメダルを投入することなく再遊技が可能となる役として、それぞれ入賞役とは区別され「作動役」と呼ばれる場合があるが、本実施形態における「入賞役」には、作動役である、ビッグボーナス、レギュラーボーナス、再遊技が含まれる。また、本実施形態における「入賞」には、メダルの配当を伴わない（メダルの払い出しを伴わない）作動役の図柄組合せが有効ライン上に表示される場合も含まれ、例えば、ビッグボーナス、レギュラーボーナス、再遊技への入賞が含まれる。

【０４１７】

スロットマシン１１００の入賞役には、ビッグボーナス（ＢＢ１、ＢＢ２）と、レギュラーボーナス（ＲＢ）と、小役（チェリー、スイカ、ベル）と、再遊技（リプレイ）がある。なお、入賞役の種類は、これに限定されるものではなく、任意に採用できることは言うまでもない。

【０４１８】

「ビッグボーナス（ＢＢ１、ＢＢ２）」（以下、単に、「ＢＢ」と称する場合がある）は、入賞により特別遊技であるビッグボーナス遊技（ＢＢ遊技）が開始される特別役（作動役）である。対応する図柄組合せは、ＢＢ１が「白７－白７－白７」、ＢＢ２が「青７－青７－青７」である。また、ＢＢ１、ＢＢ２についてはフラグ持越しを行う。すなわち、ＢＢ１、ＢＢ２に内部当選すると、これを示すフラグが立つ（主制御部１３００のＲＡＭ１３０８の当否判定結果記憶領域に記憶される）が、その遊技においてＢＢ１、ＢＢ２に入賞しなかったとしても、入賞するまで内部当選を示すフラグが立った状態が維持され、次遊技以降でもＢＢ１、ＢＢ２に内部当選中となり、ＢＢ１に対応する図柄組み合わせ「白７－白７－白７」、ＢＢ２に対応する図柄組み合わせ「青７－青７－青７」が、揃って入賞する状態にある。

【０４１９】

「レギュラーボーナス（ＲＢ）」は、入賞によりレギュラーボーナス遊技（ＲＢ遊技）が開始される特殊役（作動役）である。対応する図柄組合せは、「ボーナス－ボーナス－ボーナス」である。なお、ＲＢについても上述のＢＢと同様にフラグ持越しを行う。但し、（詳細は後述するが）ビッグボーナス遊技（ＢＢ遊技）においては、レギュラーボーナス遊技（ＲＢ遊技）が内部当選することや、図柄組み合わせが入賞ライン上に表示されること、を開始条件とせずに、ビッグボーナス遊技の開始後からレギュラーボーナス遊技を開始し、１回のレギュラーボーナス遊技を終了した場合には次のレギュラーボーナス遊技をすぐに開始するような自動的にレギュラーボーナス遊技を開始させる設定としてもよい。「小役（チェリー、スイカ、ベル）」（以下、単に、「チェリー」、「スイカ」、「ベル」と称する場合がある）は、入賞により所定数のメダルが払い出される入賞役で、対応する図柄組合せは、チェリーが「チェリー－ＡＮＹ－ＡＮＹ」、スイカが「スイカ－スイカ－スイカ」、ベルが「ベル－ベル－ベル」である。また、対応する払出枚数は同図に示す通りである。なお、「チェリー－ＡＮＹ－ＡＮＹ」の場合、左リール１１１０の図柄が「チェリー」であればよく、中リール１１１１と右リール１１１２の図柄はどの図柄でもよい。

【０４２０】

「再遊技（リプレイ）」は、入賞により次回の遊技でメダル（遊技媒体）の投入を行うことなく遊技を行うことができる入賞役（作動役）であり、メダルの払出は行われない。なお、対応する図柄組合せは、再遊技は「リプレイ－リプレイ－リプレイ」である。

＜遊技状態の種類＞

【０４２１】

次に、スロットマシン１１００の遊技状態の種類について説明する。遊技状態とは、抽

選などにおいて選択する抽選データの種別を識別するための情報である。本実施形態では、スロットマシン１１００の遊技状態は、通常遊技と、ＢＢ遊技と、ＲＢ遊技と、ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）の内部当選遊技と、に大別した。但し、内部当選遊技は、通常遊技に含まれる区分けであってもよい。

＜通常遊技＞

【０４２２】

通常遊技に内部当選する入賞役には、ビッグボーナス（ＢＢ）と、レギュラーボーナス（ＲＢ）と、再遊技（リプレイ）と、小役（チェリー、スイカ、ベル）がある。

【０４２３】

「ビッグボーナス（ＢＢ）」は、入賞により特別遊技であるビッグボーナス遊技（ＢＢ遊技）が開始される特別役（作動役）である。レギュラーボーナス（ＲＢ）」は、入賞によりレギュラーボーナス遊技（ＲＢ遊技）を開始する特殊役（作動役）である。「再遊技（リプレイ）」は、入賞により次回の遊技でメダルの投入を行うことなく遊技を行うことができる入賞役（作動役）であり、メダルの払出も行われない。「小役」は、入賞により所定数のメダルが払い出される入賞役である。なお、各々の役の内部当選確率は、通常遊技に用意された抽選データから、各々の役に対応付けされた抽選データの範囲に該当する数値データを、内部抽選時に取得される乱数値の範囲の数値データ（例えば６５５３５）で除した値で求められる。通常遊技に用意された抽選データは、予めいくつかの数値範囲に分割され、各数値範囲に各々の役やハズレを対応付けしている。内部抽選を実行した結果得られた乱数値が、何れの役に対応する抽選データに対応する値であったかを判定し、内部抽選役を決定する。この抽選データは少なくとも１つの役の当選確率を異ならせた設定１～設定６が用意され、遊技店の係員等はいずれかの設定値を任意に選択し、設定することができる。

【０４２４】

通常遊技は、内部抽選の結果が概ねハズレ（ビッグボーナス（ＢＢ）、レギュラーボーナス（ＲＢ）、再遊技（リプレイ）および小役に当選していない）となる設定、又は、停止表示結果がいずれの役の図柄組合せに該当しないハズレの停止表示結果が概ね導出される設定がされており、獲得するメダルの総数が、投入したメダルの総数に満たない遊技状態になっている。よって、遊技者にとっては不利益となる遊技状態である。但し、予め定めた条件を満たした場合（例えば、特定の図柄組み合わせが表示された場合）には、再遊技の内部当選の確率を上昇させる変動をさせてもよい遊技状態であり、この場合、遊技に用いられるメダルの消費が抑えられ、小役の入賞によって所定数のメダルが払い出されることにより、獲得するメダルの総数が、投入したメダルの総数を超える遊技状態になり、遊技者にとっては利益となる遊技状態になる場合がある。

＜ＢＢ遊技＞

【０４２５】

ＢＢ遊技は、遊技者にとっては利益となる遊技状態になるように設定されている。つまり、ＢＢ遊技は、獲得するメダルの総数が、投入したメダルの総数を超える遊技状態となる。ＢＢ遊技は、本実施形態では、ビッグボーナス（ＢＢ）の入賞により開始され、ＲＢ遊技（後述する）を連続して繰り返し実行可能になっており、遊技中に予め定められた一の数（例えば、４６５枚）を超えるメダルが獲得された場合に終了する。但し、ＢＢ遊技はＲＢ遊技を複数回数実行可能であればよく、例えば、ＲＢ遊技を開始する役（図柄組み合わせは例えば、リプレイ－リプレイ－リプレイ）を設定し、この役が内部当選した場合、または、入賞した場合に、ＲＢ遊技を開始するように設定してもよい。さらには、ＢＢ遊技は、ＢＢ遊技中のＲＢ遊技を除くＢＢ一般遊技を予め定めた回数（例えば、３０回）実行した場合、または、ＢＢ遊技中に実行したＲＢ遊技の回数が予め定めた回数に達した場合（例えば、３回）に終了するようにしてもよい。

＜ＲＢ遊技＞

【０４２６】

ＲＢ遊技は、遊技者にとっては利益となる遊技状態になるように設定されている。つま

り、ＲＢ遊技は、獲得するメダルの総数が、投入したメダルの総数を超える遊技状態となる。ＲＢ遊技は、本実施形態では、レギュラーボーナス（ＲＢ）の入賞により開始され、予め定めた一の役が内部当選の確率を上昇させる変動（例えば、「設定１」「通常遊技」に設定された「小役１」の内部当選確率１／１５を、予め定めた一の値である内部当選確率１／１．２に上昇させる）をし、予め定めた一の数（例えば、８回）の入賞があった場合に終了する。ＲＢ遊技は、予め定めた回数（少なくとも２回）の入賞があった場合（例えば、８回）、または、ＲＢ遊技中に実行したＲＢ遊技の回数が予め定めた回数に達した場合（例えば、８回）に終了するようにしてもよい。上述したＢＢ遊技は、ＲＢ遊技を複数回数実行可能であるので、一回のＲＢ遊技を行った場合には、ＢＢ遊技で得られるメダルの総数よりも少ないメダル数を獲得して終了することとなる。

＜ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）の内部当選遊技＞

【０４２７】

ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）の内部当選遊技に内部当選する入賞役には、再遊技（リプレイ）と、小役がある。ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）は内部当選することはなく、ビッグボーナス（ＢＢ）かレギュラーボーナス（ＲＢ）に対応する図柄組み合わせを入賞させることが可能となっている遊技状態である。

【０４２８】

但し、ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）に内部当選した次遊技から、再遊技の内部当選の確率を変動させてもよく、例えば、再遊技の内部当選の確率を上昇させる変動をさせて、ビッグボーナス（ＢＢ）およびレギュラーボーナス（ＲＢ）対応する図柄組み合わせが入賞するまでの間は、獲得するメダルの総数が、投入したメダルの総数とほぼ同じとなる遊技状態とし、通常遊技と比べると遊技者にとっては利益となる遊技状態としてもよい。なお、ＢＢ遊技、ＲＢ遊技は両者とも遊技者にとって利益となる遊技状態であるため、総じて、ボーナス遊技、又は、特別遊技と称する場合がある。

＜主制御部メイン処理＞

【０４２９】

次に、図７０を用いて、主制御部１３００のＣＰＵ１３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【０４３０】

上述したように、主制御部１３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）１３３８を設けている。この起動信号を入力した基本回路１３０２のＣＰＵ１３０４は、リセット割込によりリセットスタートしてＲＯＭ１３０６に予め記憶している制御プログラムに従って、この主制御部メイン処理を実行する。

【０４３１】

電源投入が行われると、まず、ステップＳ２１０１で各種の初期設定を行う。この初期設定では、ＣＰＵ１３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定、割込禁止の設定、Ｉ／Ｏ１３１０の初期設定、ＲＡＭ１３０８に記憶する各種変数の初期設定、ＷＤＴ１３１４への動作許可及び初期値の設定等を行う。ステップＳ２１０３ではメダル投入・スタート操作受付処理を実行する。ここではメダルの投入の有無をチェックし、メダルの投入に応じて入賞ライン表示ランプ１１２０を点灯させる。なお、前回の遊技で再遊技に入賞した場合は、前回の遊技で投入されたメダル枚数と同じ数のメダルを投入する処理を行うので、遊技者によるメダルの投入が不要となる。また、スタートレバー１１３５が操作されたか否かのチェックを行い、スタートレバー１１３５の操作があればステップＳ２１０５へ進む。

【０４３２】

ステップＳ２１０５では投入されたメダル枚数を確定し、有効な入賞ラインを確定する。ステップＳ２１０７では後述する主制御部タイマ割込み処理で格納された乱数値を取得

する。ステップＳ２１０９では、現在の遊技状態に応じてＲＯＭ１３０６に格納されている入賞役抽選テーブルを読み出し、これとステップＳ２１０７で取得した乱数値とを用いて内部抽選を行う。内部抽選の結果、いずれかの入賞役（作動役を含む）に内部当選した場合、その入賞役のフラグがＯＮになる。ステップＳ２１１１では内部抽選結果に基づき、リール停止データを選択する。なお、本実施形態では乱数値生成回路１３１６から取得した乱数をそのまま内部抽選に使用するように構成しているが、取得した乱数を加工し、加工した乱数を使用して内部抽選を行うように構成してもよい。

【０４３３】

ステップＳ２１１３では全リール１１１０乃至１１１２の回転を開始させる。ステップＳ２１１５では、ストップボタン１１３７乃至１１３９の受け付けが可能になり、いずれかのストップボタンが押されると、押されたストップボタンに対応するリール１１１０乃至１１１２の何れかをステップＳ２１１１で選択したリール停止制御データに基づいて停止させる。全リール１１１０乃至１１１２が停止するとステップＳ２１１７へ進む。ステップＳ２１１７では、入賞判定を行う。ここでは、有効化された入賞ライン１１１４上に、何らかの入賞役に対応する図柄組合せが表示された場合にその入賞役に入賞したと判定する。例えば、有効化された入賞ライン上に「ベル－ベル－ベル」が揃っていたならばベル入賞と判定する。ステップＳ２１１９では払い出しのある何らかの入賞役に入賞していれば、その入賞役に対応する枚数のメダルを入賞ライン数に応じて払い出す。ステップＳ２１２１では遊技状態制御処理を行う。遊技状態制御処理では、通常遊技、ＢＢ遊技、ＲＢ遊技、内部当選遊技、の各遊技状態の移行に関する処理を行い、それらの開始条件、終了条件の成立により、遊技状態を移行する。以上により１ゲームが終了する。以降ステップＳ２１０３へ戻って上述した処理を繰り返すことにより遊技が進行することになる。

＜主制御部１３００タイマ割込処理＞

【０４３４】

次に、図７１を用いて、主制御部１３００のＣＰＵ１３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。

【０４３５】

主制御部１３００は、所定の周期（本実施形態では約２ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ１３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。

【０４３６】

ステップＳ２２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ１３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。ステップＳ２２０３では、ＷＤＴ１３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴ１３１４を定期的に（本実施形態では、主制御部タイマ割込の周期である約２ｍｓに１回）リスタートを行う。

【０４３７】

ステップＳ２２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ１３１０の入力ポートを介して、各種センサ１３１８のセンサ回路１３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ１３０８に各種センサ１３１８ごとに区画して設けた信号状態記憶領域に記憶する。より具体的には、この信号状態記憶領域それぞれに対して前々回、前回、今回の割込み時における検出信号の有無を記憶している。

【０４３８】

ステップＳ２２０７では、各種遊技処理を行う。具体的には、割込みステータスを取得し（各種センサ１３１８からの信号に基づいて各種割込みステータスを取得する）、この割込みステータスに従った処理を行う。例えば、この割込みステータスが遊技開始のためのスタートレバー操作を待っている状態を示す場合、上述した信号記憶領域のうちスター

トレバーの操作を検出するためのセンサに対応する領域を参照し、前々回、前回、今回の割込み時における検出信号の有無のパターンが予め定められた判定パターンと一致した場合に乱数値生成回路１３１６の内部抽選用のチャンネルの乱数をラッチするためのラッチ信号を出力する処理（具体的には、ソフトラッチレジスタ３１８６の内部抽選用のチャンネルに対応する領域に所定の値を書き込む処理）を実行するとともに、このラッチ信号によってラッチされた乱数を取得するためのリード信号を出力する処理（具体的には、図７７に示す乱数レジスタ３１８８のうちの特図１のチャンネルに対応する乱数レジスタに対してリード信号を出力する処理）を実行してラッチされている乱数を取得して対応する乱数値記憶領域に格納する。なお、本実施形態では、スタートレバーの操作があったか否かの判定として、前々回、前回および今回の検出信号が予め定められた判定パターン情報と一致した否かを判定していたが、このような方法に限らず、例えば、前回および今回の検出信号が予め定められた入賞判定パターン情報（例えば、前回検出信号なし、今回検出信号あり（いわゆるアップエッジ））と一致したか否かを判定するように構成してもよい。すなわち、スタートレバーの操作を検出するためのセンサの検出信号の有無を監視し、この監視結果の履歴が予め定められたパターンと一致したか否かを判定するように構成すればよい。

【０４３９】

また、本実施形態では、乱数値生成回路１３１６から乱数を取得する方法として内部抽選用のチャンネルの乱数をラッチするためのラッチ信号を出力する処理を行った後にラッチした乱数を取得するリード信号を出力する方法を採用しているが、内部抽選用のチャンネルの乱数を直読みする処理（具体的には、乱数レジスタ３１８８の値を直接リードする処理）を実行して取得するようにしてもよい。

【０４４０】

また、本実施形態では、内部抽選用の乱数を取得するためのリード信号を出力する処理（乱数レジスタ３１８８の値を直接リードする処理とは異なる）を主制御部タイマ割込み処理において実行するように構成しているが、この処理に関しては上述した主制御部メイン処理の内部抽選を行う直前に実行するように構成してもよい。

【０４４１】

また、内部抽選用の乱数を取得するためのリード信号を出力する処理とともに、主制御部タイマ割込み処理において内部抽選処理を行うように構成してもよい。

【０４４２】

ステップＳ２２０９では、タイマ更新処理を行う。各種タイマをそれぞれの時間単位により更新する。

【０４４３】

ステップＳ２２１１では、コマンド設定送信処理を行い、各種のコマンドが第１副制御部１４００に送信される。なお、第１副制御部１４００に送信する出力予定情報は本実施形態では１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、スタートレバー受付コマンド、演出抽選処理に伴う演出コマンド、リール１１１０乃至１１１２の回転を開始に伴う回転開始コマンド、ストップボタン１１３７乃至１１３９の操作の受け付けに伴う停止ボタン受付コマンド、リール１１１０乃至１１１２の停止処理に伴う停止位置情報コマンド、メダル払出処理に伴う払出枚数コマンド及び払出終了コマンド、遊技状態を示すコマンド等）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成されている。第１副制御部１４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部１３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【０４４４】

ステップＳ２２１３では、外部出力信号設定処理を行う。この外部出力信号設定処理では、ＲＡＭ１３０８に記憶している遊技情報を、情報出力回路１３３４を介してスロット

マシン１１００とは別体の情報入力回路１６５２に出力する。
【０４４５】
ステップＳ２２１５では、デバイス監視処理を行う。このデバイス監視処理では、まずはステップＳ２２０５において信号状態記憶領域に記憶した各種センサ１３１８の信号状態を読み出して、メダル投入異常及びメダル払出異常等に関するエラーの有無を監視し、エラーを検出した場合には（図示省略）エラー処理を実行させる。さらに、現在の遊技状態に応じて、メダルセレクタ１１７０（メダルセレクタ１１７０内に設けたソレノイドが動作するメダルブロッカ）、各種ランプ１３３８、各種の７セグメント（ＳＥＧ）表示器の設定を行う。
【０４４６】
ステップＳ２２１７では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ２２２１に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ２２１９に進む。
【０４４７】
なお、本実施形態では、電源の遮断を判定する処理（ステップＳ２２１７）および電断処理（ステップＳ２２２１）を主制御部の割込み制御において実行しているが、必ずしも主制御部の割込み制御で行う必要はなく、低電圧信号の入力に基づいて強制割込みを発生させ、この強制割込みによって電断処理が実行されるように構成してもよい。ただし、このように強制割込みによって実行される電断処理では、本実施形態における電断処理（ステップＳ２２２１）の処理に加え、上述したタイマ割込み開始処理（ステップＳ２２０１）において実行されるＣＰＵ１３０４の各レジスタの値をスタック領域に一時的に退避する処理も同時に実行する必要がある。
【０４４８】
ステップＳ２２１９では、タイマ割込終了処理を終了する各種処理を行う。このタイマ割込終了処理では、ステップＳ２２０１で一時的に退避した各レジスタの値を元の各レジスタに設定等行う。その後、主制御部メイン処理に復帰する。一方、ステップＳ２２２１では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ１３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、主制御部メイン処理に復帰する。
＜第１副制御部４００の処理＞
【０４４９】
次に、図７２を用いて、第１副制御部１４００の処理について説明する。なお、同図（ａ）は、第１副制御部１４００のＣＰＵ１４０４が実行するメイン処理のフローチャートであり、同図（ｂ）は、第１副制御部１４００のコマンド受信割込処理のフローチャートである。また、同図（ｃ）は、第１副制御部１４００のタイマ割込処理のフローチャートである。
【０４５０】
まず、同図（ａ）のステップＳ２３０１では、各種の初期設定を行う。電源投入が行われると、まずステップＳ２３０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ１４０８内の記憶領域の初期化処理等を行う。
【０４５１】
ステップＳ２３０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ２３０５の処理に移行する。ステップＳ２３０５では、タイマ変数に０を代入する。ステップＳ２３０７では、コマンド処理を行う。コマンド処理では第１副制御部１４００のＣＰＵ１４０４は、主制御部１３００からコマンドを受信したか否かを判別する。
【０４５２】
ステップＳ２３０９では、演出制御処理を行う。この演出制御処理では、例えば、ステップＳ２３０７で新たなコマンドがあった場合には、このコマンドに対応する処理を行う。この処理には、例えば、演出データをＲＯＭ１４０６から読み出す等の処理を行い、演

出データの更新が必要な場合には演出データの更新処理を行うことが含まれる。
【０４５３】
ステップＳ２３１１では、ステップ２３０９の処理結果に基づいて音制御処理を行う。例えば、ステップＳ２３０９で読み出した演出データの中に音源ＩＣ１４１８への命令がある場合には、この命令を音源ＩＣ１４１８に出力する。ステップＳ２３１３では、ステップ２３０９の処理結果に基づいてランプ制御処理を行う。例えば、ステップＳ２３０９で読み出した演出データの中に各種ランプ１４２０への命令がある場合には、この命令を駆動回路１４２２に出力する。
【０４５４】
ステップＳ２３１５では、ステップ２３０９の処理結果に基づいて第２副制御部５００に制御コマンドを送信する設定を行う情報出力処理を行う。例えば、ステップＳ２３０９で読み出した演出データの中に第２副制御部１５００に送信する制御コマンドがある場合には、この制御コマンドを出力する設定を行い、ステップＳ２３０３へ戻る。
【０４５５】
次に、同図（ｂ）を用いて、第１副制御部１４００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第１副制御部１４００が、主制御部１３００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ２４０１では、主制御部１３００が出力したコマンドを未処理コマンドとしてＲＡＭ１４０８に設けたコマンド記憶領域に記憶する。
【０４５６】
次に、同図（ｃ）を用いて、第１副制御部１４００のＣＰＵ１４０４によって実行する第１副制御部タイマ割込処理について説明する。第１副制御部１４００は、所定の周期（本実施形態では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。
【０４５７】
ステップＳ２５０１では、第１副制御部メイン処理におけるステップＳ２３０３において説明したＲＡＭ１４０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ２３０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。ステップＳ２５０３では、ステップＳ２３１５で設定された第２副制御部１５００への制御コマンドの送信や、演出用乱数値の更新処理等を行う。
＜第２副制御部５００の処理＞
【０４５８】
次に、図７３を用いて、第２副制御部１５００の処理について説明する。なお、同図（ａ）は、第２副制御部１５００のＣＰＵ１５０４が実行するメイン処理のフローチャートであり、同図（ｂ）は、第２副制御部１５００のコマンド受信割込処理のフローチャートである。また、同図（ｃ）は、第２副制御部１５００のタイマ割込処理のフローチャートであり、同図（ｄ）は、第２副制御部１５００の画像制御処理のフローチャートである。
【０４５９】
まず、同図（ａ）のステップＳ２６０１では、各種の初期設定を行う。電源投入が行われると、まずステップＳ２６０１で初期化処理が実行される。この初期化処理では、入出力ポート初期設定や、ＲＡＭ１５０８内の記憶領域の初期化処理等を行う。
【０４６０】
ステップＳ２６０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ２６０５の処理に移行する。ステップＳ２６０５では、タイマ変数に０を代入する。ステップＳ２６０７では、コマンド処理を行う。コマンド処理では第２副制御部１５００のＣＰＵ１５０４は、第１副制御部１４００のＣＰＵ１４０４からコマンドを受信したか否かを判別する。ステップＳ２６０９では、演出制御処理を行う。この演出制御処理では、例えば、ステップＳ２６０７で新たなコマンドがあった場合には、このコマンドに対応する処理

を行う。この処理には、例えば、演出データをＲＯＭ１５０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行うことが含まれる。

【０４６１】

ステップＳ２６１１では、ステップＳ２６０９の処理結果に基づいてシャッタ制御処理を行う。例えば、ステップＳ２６０９で読み出した演出データの中にシャッタ制御の命令がある場合には、この命令に対応するシャッタ制御を行う。ステップＳ２６１３では、ステップＳ２６０９の処理結果に基づいて画像制御処理を行う。例えば、ステップＳ２６０９読み出した演出データの中に画像制御の命令がある場合には、この命令に対応する画像制御を行い（詳細は後述する）、ステップＳ２６０３へ戻る。

【０４６２】

次に、同図（ｂ）を用いて、第２副制御部１５００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第２副制御部１５００が、第１副制御部１４００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ２７０１では、第１副制御部１４００が出力したコマンドを未処理コマンドとしてＲＡＭ１５０８に設けたコマンド記憶領域に記憶する。

【０４６３】

次に、同図（ｃ）を用いて、第２副制御部１５００のＣＰＵ１５０４によって実行する第２副制御部タイマ割込処理について説明する。第２副制御部１５００は、所定の周期（本実施形態では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。

【０４６４】

ステップＳ２８０１では、第２副制御部メイン処理におけるステップＳ２６０３において説明したＲＡＭ１５０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ２６０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。ステップＳ２８０３では、演出用乱数値の更新処理等を行う。

【０４６５】

次に、同図（ｄ）を用いて、第２副制御部１５００のメイン処理におけるステップＳ２６１３の画像制御処理について説明する。同図は、画像制御処理の流れを示すフローチャートを示した図である。

【０４６６】

ステップＳ２９０１では、画像データの転送指示を行う。ここでは、ＣＰＵ１５０４は、まず、ＶＲＡＭ１５３６の表示領域Ａと表示領域Ｂの描画領域の指定をスワップする。これにより、描画領域に指定されていない表示領域に記憶された１フレームの画像が演出画像表示装置１１５７に表示される。次に、ＣＰＵ１５０４は、ＶＤＰ１５３４のアトリビュートレジスタに、位置情報等テーブルに基づいてＲＯＭ座標（ＲＯＭ１５０６の転送元アドレス）、ＶＲＡＭ座標（ＶＲＡＭ１５３６の転送先アドレス）などを設定した後、ＲＯＭ１５０６からＶＲＡＭ１５３６への画像データの転送開始を指示する命令を設定する。ＶＤＰ１５３４は、アトリビュートレジスタに設定された命令に基づいて画像データをＲＯＭ１５０６からＶＲＡＭ１５３６に転送する。その後、ＶＤＰ１５３４は、転送終了割込信号をＣＰＵ１５０４に対して出力する。

【０４６７】

ステップＳ２９０３では、ＶＤＰ１５３４からの転送終了割込信号が入力されたか否かを判定し、転送終了割込信号が入力された場合はステップＳ２９０５に進み、そうでない場合は転送終了割込信号が入力されるのを待つ。ステップＳ２９０５では、演出シナリオ構成テーブルおよびアトリビュートデータなどに基づいて、パラメータ設定を行う。ここでは、ＣＰＵ１５０４は、ステップＳ２９０１でＶＲＡＭ１５３６に転送した画像データに基づいてＶＲＡＭ１５３６の表示領域ＡまたはＢに表示画像を形成するために、表示画像を構成する画像データの情報（ＶＲＡＭ１５３６の座標軸、画像サイズ、ＶＲＡＭ座標（配置座標）など）をＶＤＰ１５３４に指示する。ＶＤＰ１５３４はアトリビュートレジ

スタに格納された命令に基づいてアトリビュートに従ったパラメータ設定を行う。
【０４６８】
ステップＳ２９０７では、描画指示を行う。この描画指示では、ＣＰＵ１５０４は、ＶＤＰ１５３４に画像の描画開始を指示する。ＶＤＰ１５３４は、ＣＰＵ１５０４の指示に従ってフレームバッファにおける画像描画を開始する。ステップＳ２９０９では、画像の描画終了に基づくＶＤＰ１５３４からの生成終了割込み信号が入力されたか否かを判定し、生成終了割込み信号が入力された場合はステップＳ２９１１に進み、そうでない場合は生成終了割込み信号が入力されるのを待つ。ステップＳ２９１１では、ＲＡＭ１５０８の所定の領域に設定され、何シーンの画像を生成したかをカウントするシーン表示カウンタをインクリメント（＋１）して処理を終了する。
【０４６９】
このようなスロットマシン１１００の主制御部１３００に対しても、次に説明する本発明の特徴点の一つ、複数、または全てを適用することができる。
【０４７０】
以上説明したように、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技の進行を中心とした遊技制御を行うＣＰＵ（例えば、ＣＰＵ３０４（またはＣＰＵ１３０４）を有する主制御部（例えば、主制御部３００（または主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記ＣＰＵは、第一レジスタ（例えば、「ＰＯＰ　ＴＩ命令」、「ＰＵＳＨ　ＴＩ命令」などのロード命令で使うことができるが、演算命令では使うことができない（演算命令によって直接、自身の値を変化させることができない）Ｔレジスタ）と第二レジスタ（例えば、Ａレジスタ、Ｆレジスタ、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、およびこれらの裏レジスタ）を備えるとともに、前記第一レジスタに前記第二レジスタを介してデータを転送する命令（例えば「ＬＤ　Ｔ，Ａ」命令のように、ＴレジスタにＡレジスタを介して直接、データを転送する命令）を備えず、前記第一レジスタに直値（イミディエイト値や即値ともいう）によりデータを設定する命令（例えば、「ＬＤ　Ｔ，Ｆ０Ｈ」命令）を備えることを特徴とする遊技台である。
【０４７１】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、第一のレジスタに対して直値でデータを転送するよう構成されているので、セットしているデータを確認し易くなる場合がある。また、第一のレジスタに対して他のレジスタを介してデータを転送できないように構成されているので、第一のレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。また、第一レジスタは直値によるデータの転送のみが認められているため、レジスタを介したデータの転送と直値によるデータの転送の両方が認められている他のレジスタよりも相対的に使用頻度が低くなる。このため、コーディングの見直し作業や、デバッグ（例えば、Ｔレジスタのトレースなど）の効率を高めることが可能となる。
【０４７２】
また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、ＣＰＵを有し、遊技制御を行う遊技制御手段を備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、マイクロコンピュータに内蔵され、前記ＣＰＵは、少なくとも特定レジスタ（例えば、Ｔレジスタ）を備え、前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有する遊技台である。
【０４７３】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、ロード命令では特定レジスタに対して直値以外にデータをセットできないので、特定レジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させる

ことができ、安定した遊技制御を行うことができる。また、特定レジスタにセットしているデータをソースコード上で目視で容易に確認することができるため、コーディングの見直し作業やデバッグの効率を高めることができ、従来よりもミスの発生を大幅に減らすことができ、安定した遊技制御を行うことができる。また、特定レジスタは直値によるデータのセットのみが認められているため、レジスタを介したデータのセットと直値によるデータのセットの両方が認められている他のレジスタよりも相対的に使用頻度が低くなる。このため、コーディングの見直し作業やデバッグ（例えば、Ｔレジスタのトレースなど）の効率を高めることができる場合がある。

【０４７４】

なお、本発明は、「プログラミングの際にロード命令を用いない」ことを特徴とするものではなく、「ＣＰＵは、特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有する」ため、「プログラミングの際に、特定レジスタについては直値により値をセットするロード命令しか用いることができない」ことを特徴としている。

【０４７５】

すなわち、本発明では、プログラミングの際に、たとえ特定レジスタに他のレジスタを介して値をセットするロード命令を用いようとしても、ＣＰＵ自体がそのようなロード命令を実行（理解）する機能を有していないため、通常は、アセンブラ言語を機械語にアセンブルする過程で、ＣＰＵが実行（理解）できない命令として排除され、機械語に変換できないように構成される。このため、プログラマーは、プログラミングの際に、たとえ特定レジスタに他のレジスタを介して値をセットするロード命令を用いたくても、用いることができない。なお、本明細書では、アセンブリ言語を使ってプログラミングを行う例を示しているが、機械語を使ってプログラミングを行った場合も事情は同じで、プログラマーは、プログラミングの際に、たとえ特定レジスタに他のレジスタを介して値をセットするロード命令を用いたくても、ＣＰＵが実行（理解）できない以上、当該命令を用いることができない。

【０４７６】

このような理由により、本発明では、上述の顕著な効果を得ることができるが、従来技術では、ロード命令に関して本発明のような制約がないため、プログラマーは、プログラミングの際に、特定レジスタに他のレジスタを介して値をセットするロード命令を自由に用いることができる。「プログラミングの際にロード命令を用いるか否か（記述するか否か）は、プログラムの内容等に基づく必要に応じて当業者が適宜選択し得る事項である」ため、プログラマーは、特定レジスタに他のレジスタを介して値をセットするロード命令を用いるか否かを適宜選択することができるが、従来技術では当該命令を用いることができるという選択肢がある以上、上述の本発明特有の顕著な効果と同等の効果を確実に得ることはできない。

【０４７７】

また、仮にプログラミングの際には当該命令を用いないというルールを策定したとしても、ルールを守るか守らないかはプログラマー（人間）に依存することであり、本発明のように、特定レジスタに他のレジスタを介して値をセットするロード命令の使用を１００％排除できるものでもない。

【０４７８】

さらに、特定レジスタに他のレジスタを介して値をセットするロード命令を自由に用いることができる環境では、通常は、アセンブラ言語を機械語にアセンブルする過程で、ＣＰＵが実行（理解）できる命令として、当該命令を機械語に変換できるように構成される。このため、従来技術においては、プログラマーは、プログラミングの際に、たとえ特定レジスタに他のレジスタを介して値をセットするロード命令を用いないように注意していたとしても、アセンブラの最適化などによって当該命令に相当する機械語にアセンブルされてしまう可能性を１００％排除することができない。

【０４７９】

また、前記第二レジスタは、一の特定レジスタ（例えば、Ａレジスタ）と複数の非特定レジスタ（例えば、Ｆレジスタ、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、およびこれらの裏レジスタ）で構成されており、前記ＣＰＵは、前記非特定レジスタに前記第一レジスタを介してデータを転送する命令（例えば、「ＬＤ　Ｂ，Ｔ」命令のように、ＢレジスタにＴレジスタを介してデータを転送する命令）を備えず、前記特定レジスタに前記第一レジスタを介してデータを転送する命令（例えば、「ＬＤ　Ａ，Ｔ」命令）を備えてもよい。

【０４８０】

このような構成とすれば、第一のレジスタを他のレジスタに比べて使いにくくすることができるため、第一のレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。

【０４８１】

また、前記第一レジスタおよび前記第二レジスタは、８ビット長の値を記憶可能な８ビットレジスタであり、前記非特定レジスタは、他のレジスタと合わせて１６ビット長の演算が可能なレジスタの組み合わせ（例えば、ＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ）を構成可能なレジスタであるが、前記第一レジスタは、他のレジスタと合わせて前記１６ビット長の演算が可能なレジスタの組み合わせを構成不可能なレジスタであってもよい。

【０４８２】

このような構成とすれば、第一のレジスタを他のレジスタに比べて使いにくくすることができるため、第一のレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。なお、Ｔレジスタは、他のレジスタと合わせて１６ビット長の演算が可能なレジスタの組み合わせを構成不可能であるが、上述の通り、「ＰＵＳＨ　ＴＩ」命令や、「ＰＯＰ　ＴＩ」命令では、Ｉレジスタと合わせて１６ビット長の退避・復帰が可能である。換言すれば、Ｔレジスタは、演算命令のオペランドとしては利用できないが、転送命令のオペランドとしては利用することができるレジスタである。

【０４８３】

また、前記遊技制御に用いるデータを記憶する記憶手段を備え、前記記憶手段は、前記ＣＰＵが実行するプログラムを記憶するＲＯＭ（例えば、ＲＯＭ３０６（またはＲＯＭ１３０６））と、前記ＣＰＵが前記遊技制御を行う際に用いるデータを一時記憶可能なＲＡＭ（例えば、ＲＡＭ３０８（またはＲＡＭ１３０８））と、を少なくとも有し、前記ＣＰＵは、前記遊技制御を開始する前（例えば、「電源投入後、主制御部３００のＣＰＵ３０４がユーザプログラム（制御プログラム）を実行する前」、「システムリセット後、主制御部３００のＣＰＵ３０４がユーザプログラム（制御プログラム）を実行する前」、「セキュリティモードに移行した直後」、「セキュリティチェックの結果がＯＫとなってユーザモードに移行した直後」、「システムリセットによる初期化処理の期間中」など）に、前記ＲＡＭの先頭アドレスのうちの上位アドレスを示す特定の値（例えば、Ｆ０Ｈ）を、（前記プログラムによらずに、）前記第一レジスタに設定してもよい。

【０４８４】

このような構成とすれば、ＲＡＭのデータを読み書きする場合には、第一のレジスタをＲＡＭの上位アドレスを示す値として固定することで、ＲＡＭの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することが可能となる上に、第一のレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。

【０４８５】

また、ＣＰＵと、遊技制御プログラムが記憶されたＲＯＭと、データを一時記憶可能なＲＡＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、少なくとも特定のレジスタを有し、前記ＲＡＭの先頭アドレスの上位バイトは、前記ＲＯＭの先頭アドレスの上位バイトよ

りも大きく、前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有し、前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、前記ロード命令を受けたことに基づいて行われるもの以外のものとしては、前記ＲＡＭの先頭アドレスの上位バイトと同じ値を初期値としてセットする機能を少なくとも有していてもよい。

【０４８６】

このような構成とすれば、ＲＡＭの上位アドレスを示す値を特定レジスタの初期値としてセットすることで、ＲＡＭのデータを読み書きする場合には、ＲＡＭの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することができる。しかも、特定レジスタには、初期値以外では、ロード命令による直値だけしかセットすることができないので、特定レジスタの値を不用意に変更することができなくなる結果、アドレスの設定ミスや、ＲＡＭへのデータの読み書きミスなどの発生を回避することができ、安定した遊技制御を行うことができる。また、頻繁に演算に用いられることにより、意図しない演算結果が記憶されたレジスタ経由で、間違った値が特定のレジスタにセットされることを防止できるとともに、初期値としてＲＡＭの先頭アドレスの上位バイトと同じ値が特定のレジスタにセットされるので、電源投入後、特定のレジスタを用いてＲＡＭのアクセスを行う場合であれば、特定のレジスタに値をセットする操作をせずに、特定のレジスタを用いてＲＡＭのアクセスを行うことが可能になり、当該「ＲＡＭのアクセスを行う」ことについて、特定のレジスタの値が誤っていることから意図しないアドレスの情報をアクセスしてしまうといった不具合の防止効果をさらに高めることができる。

【０４８７】

また、プログラムを書き換えただけでは遊技を思い通りに制御することができないため、プログラムの書き換えによる不正行為を効果的に防止できる場合がある。特に、ＣＰＵのユーザによって設定されたユーザプログラムを実行可能なユーザモードと、該ユーザプログラムを実行不可能な非ユーザモード（例えば、セキュリティモード）と、を備え、該非ユーザモードにおいて前記特定の値を第一レジスタに設定すれば、特定の値が他の値に改ざんされたり、特定の値が読みだされたりするような不正行為を未然に防止できる場合がある。

【０４８８】

また、前記ＲＡＭは、第一エリア（例えば、Ｆ０００Ｈ～Ｆ３ＦＦＨのワークエリア（または、Ｉ／Ｏマップド Ｉ／Ｏ方式でアクセス可能なエリア））と第二エリア（例えば、７ＦＥ０Ｈ～７ＦＦＦＨのスタックエリア（または、メモリマップド Ｉ／Ｏ方式でアクセス可能なエリア））を有して構成されており、前記特定の値は、前記第一エリアの上位アドレス（Ｆ０Ｈ）を示す値であってもよい。

【０４８９】

このような構成とすれば、ＲＡＭの第一エリアのデータを読み書きする場合には、第一のレジスタをＲＡＭの第一エリアの上位アドレスを示す値として固定することで、ＲＡＭの第一エリアの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することが可能となる上に、第一のレジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。また、第一エリアの上位アドレスを固定することによって、第一エリアの読み書きを行うつもりが誤って第二エリアの読み書きを行ってしまうようなミスを未然に防止できる場合がある。

【０４９０】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技の進行を中心とした遊技制御を行うＣＰＵ（例えば、ＣＰＵ３０４（またはＣＰＵ１３０４）と、前記遊技制御に用いるデータを記憶する記憶手段と、を備えた遊技台であって、前記記憶手段は、前記ＣＰＵが実行するプログラムを記憶するＲＯＭ（例えば、ＲＯＭ３０６（またはＲＯＭ１３０６））と、前記ＣＰＵが前記遊技制御を行う際に用いるデータを一時記憶可能なＲＡＭ（例えば、ＲＡＭ３０８（またはＲＡＭ１３０８））と、を少な

くとも有し、前記ＣＰＵは、前記遊技制御を開始する前（例えば、「電源投入後、主制御部３００のＣＰＵ３０４がユーザプログラム（制御プログラム）を実行する前」、「システムリセット後、主制御部３００のＣＰＵ３０４がユーザプログラム（制御プログラム）を実行する前」、「セキュリティモードに移行した直後」、「セキュリティチェックの結果がＯＫとなってユーザモードに移行した直後」、「システムリセットによる初期化処理の期間中」など）に、前記ＲＡＭの先頭アドレスのうちの上位アドレスを示す特定の値（例えば、Ｆ０Ｈ）を、（前記プログラムによらずに、）特定レジスタ（例えば、ＲＯＭ３０６とは別体のＣＰＵ３０４に内蔵されたＴレジスタ）に設定することを特徴とする遊技台である。

【０４９１】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、ＲＡＭのデータを読み書きする場合には、特定レジスタをＲＡＭの上位アドレスを示す値として固定することで、ＲＡＭの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することが可能となる上に、特定レジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。

【０４９２】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、ＣＰＵと、遊技制御プログラムを記憶するＲＯＭと、データを一時記憶可能なＲＡＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、少なくとも特定レジスタを備え、前記ＲＡＭの先頭アドレスの上位バイトは、前記ＲＯＭの先頭アドレスの上位バイトよりも大きく、前記遊技制御プログラムによらずに、前記ＲＡＭの先頭アドレスの上位バイトと同じ値が、初期値として前記特定レジスタにセットされることを特徴とする遊技台である。

【０４９３】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、遊技制御プログラム内でＲＡＭのアドレスの上位バイトを記述する必要がなくなるので、不正行為者にプログラムを不正に解析されたとしてもＲＡＭのアドレスが特定困難である上に、遊技制御プログラムを書き換えただけでは遊技を思い通りに制御することができないため、遊技制御プログラムの書き換えによる不正行為を効果的に防止することができる。また、ＲＡＭのデータを読み書きする場合には、特定レジスタをＲＡＭの上位アドレスを示す値として固定することで、ＲＡＭの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することが可能となる上に、特定レジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる。

【０４９４】

また、プログラムを書き換えただけでは遊技を思い通りに制御することができないため、プログラムの書き換えによる不正行為を効果的に防止できる場合がある。特に、ＣＰＵのユーザによって設定されたユーザプログラムを実行可能なユーザモードと、該ユーザプログラムを実行不可能な非ユーザモード（例えば、セキュリティモード）と、を備え、該非ユーザモードにおいて前記特定の値を第一レジスタに設定すれば、特定の値が他の値に改ざんされたり、特定の値が読みだされたりするような不正行為を未然に防止できる場合がある。

【０４９５】

また、前記ＣＰＵは、非特定レジスタ（例えば、Ａレジスタ、Ｆレジスタ、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、およびこれらの裏レジスタ）をさらに備えるとともに、前記特定レジスタに前記非特定レジスタを介してデータを転送する命令（例えば「ＬＤ　Ｔ，Ａ」命令のように、ＴレジスタにＡレジスタを介してデータを転送する命令）を備えず、前記特定レジスタに直値によりデータを設定する命令（例えば、「ＬＤ　Ｔ，Ｆ０Ｈ」命令）を備えてもよい。

【０４９６】
このような構成とすれば、特定レジスタに対して直値でデータを転送するよう構成されているので、セットしているデータを確認し易くなる場合がある。また、特定レジスタに対して他のレジスタを介してデータを転送できないように構成されているので、特定レジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。また、特定レジスタは直値によるデータの転送のみが認められているため、レジスタを介したデータの転送と直値によるデータの転送の両方が認められている他のレジスタよりも相対的に使用頻度が低くなる。このため、コーディングの見直し作業や、デバッグ（例えば、Ｔレジスタのトレースなど）の効率を高めることが可能となる。

【０４９７】
また、前記ＣＰＵは、前記特定レジスタに直値によりデータを転送する命令に基づいて、前記特定レジスタに前記特定の値を転送することができるようにしてもよい。

【０４９８】
このような構成とすれば、ループ処理などで汎用レジスタの空きがなくなった場合に臨時的に特定レジスタを使用した後に、初期値に戻すことができ、利便性を高めることができる。

【０４９９】
また、前記ＣＰＵは、前記ＲＡＭから前記特定レジスタにデータを転送する命令に基づいて、前記特定レジスタに前記特定の値を転送（例えば、「ＰＯＰ　ＴＩ」命令による転送）することができるように構成してもよい。

【０５００】
このような構成とすれば、特定レジスタを特定の処理に使用することが可能となり、特定レジスタの利便性を高めることができる場合がある。

【０５０１】
また、前記ＲＡＭは、第一エリア（例えば、Ｆ０００Ｈ～Ｆ３ＦＦＨのワークエリア（または、Ｉ／ＯマップドＩ／Ｏ方式でアクセス可能なエリア））と第二エリア（例えば、７ＦＥ０Ｈ～７ＦＦＦＨのスタックエリア（または、メモリマップドＩ／Ｏ方式でアクセス可能なエリア））を有して構成されており、前記特定の値は、前記第一エリアの上位アドレス（Ｆ０Ｈ）を示す値であってもよい。

【０５０２】
このような構成とすれば、ＲＡＭの第一エリアのデータを読み書きする場合には、特定レジスタをＲＡＭの第一エリアの上位アドレスを示す値として固定することで、ＲＡＭの第一エリアの下位アドレスだけを指定すればよく、プログラムコード量の削減や処理速度の向上を実現することが可能となる上に、特定レジスタの値を不用意に変更することができなくなる結果、コーディングミスの発生を減少させることができる場合がある。また、第一エリアの上位アドレスを固定することによって、第一エリアの読み書きを行うつもりが誤って第二エリアの読み書きを行ってしまうようなミスを未然に防止できる場合がある。

【０５０３】
また、前記ＣＰＵは、所定の割込み条件が成立したことに基づいて実行される割込み処理（例えば、主制御部メイン処理）を実行可能であるとともに、電源投入後、最初の前記割込み処理を実行する前に、前記特定レジスタに前記特定の値が設定されているかを判定する処理（例えば、Ｔレジチェック処理）を実行してもよい。なお、「電源投入後、最初の前記割込み処理を実行する前」の例としては、他にも、「電源投入後、主制御部メイン処理のステップＳ１０５の低電圧状態の確認前」や、「電源投入後、主制御部メイン処理のステップＳ１０９の電断前の状態に復帰する否かの確認前」や、「電源投入後、第１副制御部の立ち上りの確認前」などを挙げることができる。また、「判定する処理」の結果に応じて、上記図１１に示すように、特定レジスタに特定の値を設定したり、上記図１２に示すように、エラー処理を実行してもよい。

【０５０４】
このような構成とすれば、特定レジスタの値を確認することで遊技台が正常動作をしているか否かを判断できる場合がある。
【０５０５】
また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、複数のアドレスそれぞれで示される記憶領域（例えば、ＲＯＭ領域）に制御プログラムデータを含む複数種類のデータ（例えば、非使用データや参照データ）を記憶したＲＯＭ（例えば、ＲＯＭ３０６）と、前記ＲＯＭに記憶された前記制御プログラムデータに基づいて所定の周期毎に実行される割込み処理（例えば、主制御部タイマ割込み処理）を含む複数種類の遊技制御処理を実行するＣＰＵ（例えば、ＣＰＵ３０４）と、を備え、前記ＲＯＭは、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが実行する複数種類の命令それぞれに対応した命令データ（オペコード）と、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが該命令を実行するために必要な補足データ（オペランド）と、を記憶し、該命令データであって、特定のアドレス（例えば、サブルーチンの先頭のアドレス）を識別可能にする特定識別情報（例えば、サブルーチンの先頭のアドレスをバイナリ形式で表現した情報）の一部である第１の識別情報を示す第１のアドレスデータ（例えば、ｍ）および該第１のアドレスデータと異なる別データ（例えば、ＥＸＥＳＵＢ命令の命令データからｍを除いたデータ）で構成され、該特定のアドレスで示される記憶領域に記憶されたデータを前記ＣＰＵに読み込ませる特定命令（例えば、ＥＸＥＳＵＢ命令）に対応した特定命令データ（例えば、ＥＸＥＳＵＢ命令の命令データ）と、該補足データであって、該特定識別情報から該第１の識別情報を除いた情報のうちの少なくとも一部である第２の識別情報を示す第２のアドレスデータ（例えば、ｎ）で構成され、前記ＣＰＵが該特定命令を実行するために必要な特定補足データと、を前記割込み処理で実行される命令に対応するように（例えば、ＲＯＭ制御領域のうちタイマ割り込み処理の領域に対応するＲＯＭ３０６の記憶領域（タイマ割込み処理に対応したアドレスで示される記憶領域）に）記憶していることを特徴とする遊技台である。
【０５０６】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、命令データに含まれる第１のアドレスデータｍを上位アドレスのデータとして定義することで、アドレス領域に対して命令データをグループ化して対応付けることができ、コーディングミスを抑制することができる場合がある。また、命令データは、呼び出すサブルーチンの先頭アドレスの一部を構成するデータを含んで構成されていることから、移動先のアドレスデータを間違ってしまった場合であっても、間違ってしまったデータが命令データに含まれていれば、制御プログラムの実行が停止される場合があるため、コーディングミスを抑制することができる場合がある。また、従来のサブルーチンを呼び出す制御命令（例えば、ＣＡＬＬ命令）を圧縮することができ、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域に記憶されている従来の制御プログラムデータを圧縮することが可能となる。また、制御プログラムの圧縮に起因して従来（例えば、ＣＡＬＬ命令）よりもサブルーチンを呼び出す制御プログラムの処理速度を向上させる（ステート数を少なくする）ことができる場合がある。
【０５０７】
また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、複数のアドレスそれぞれで示される記憶領域に制御プログラムデータおよび該制御プログラムデータに基づいて参照される参照データを含む複数種類のデータを記憶したＲＯＭと、前記ＲＯＭに記憶された前記制御プログラムデータおよび前記参照データに基づいて所定の周期毎に実行される割込み処理を含む複数種類の遊技制御処理を実行するＣＰＵと、を備え、前記ＲＯＭは、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが実行する複数種類の命令それぞれに対応した命令データと、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが該命令を実行するために必要な補足データと、を記憶し、前記命令データであって、特定のアドレスを識別可能にする特定識別情報の一部である第

１の識別情報を示す第１のアドレスデータおよび該第１のアドレスデータと異なる別データで構成され、該特定のアドレスで示される記憶領域に記憶されたデータを前記ＣＰＵに読み込ませる特定命令に対応した特定命令データと、前記補足データであって、前記特定識別情報から前記第１の識別情報を除いた情報である第２の識別情報を示す第２のアドレスデータで構成され、前記ＣＰＵが該特定命令を実行するために必要な特定補足データと、を前記割込み処理で実行される命令に対応するように記憶し、前記特定命令の実行により前記ＣＰＵが読み込み可能な特定の記憶領域に全ての前記制御プログラムデータを記憶し、全ての制御プログラムデータが記憶された前記特定の記憶領域とは異なる記憶領域に、前記参照データを記憶していることを特徴とする遊技台である。

【０５０８】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、ＣＰＵが特定命令を実行する際に、誤って参照データを読み込んでしまい、当該参照データに基づいて意図しない遊技制御処理を行ってしまうような事態を未然に防止することができ、遊技制御の安定化を図ることができる。また、特定命令は、特定の記憶領域に記憶された全ての制御プログラムデータを読み込み可能に構成されているため、制御プログラムデータにおける呼出元と呼出先の配置（記憶場所）が制限されることがなく、制御プログラムの設計に自由度を持たせることができる。また、遊技台の分野においては、複数種類の遊技台において制御プログラムデータ（例えば、使用頻度の高いサブルーチン）を共用する一方で、各遊技台の仕様や性能に応じて参照データ（例えば、抽選値や演出データ）を異ならせることが一般的であるため、遊技台に特に好適である。

【０５０９】

また、複数のアドレスそれぞれで示される記憶領域に制御プログラムデータおよび該制御プログラムデータに基づいて参照される参照データを含む複数種類のデータを記憶したＲＯＭと、前記ＲＯＭに記憶された前記制御プログラムデータおよび前記参照データに基づいて所定の周期毎に実行される割込み処理を含む複数種類の遊技制御処理を実行するＣＰＵと、を備え、前記ＲＯＭは、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが実行する複数種類の命令それぞれに対応した命令データと、１又は複数の前記制御プログラムデータであって、前記ＣＰＵが該命令を実行するために必要な補足データと、を記憶し、前記命令データであって、特定のアドレスを識別可能にする特定識別情報の一部である第１の識別情報を示す第１のアドレスデータおよび該第１のアドレスデータと異なる別データで構成され、該特定のアドレスで示される記憶領域に記憶されたデータを前記ＣＰＵに読み込ませる特定命令に対応した特定命令データと、前記補足データであって、前記特定識別情報から前記第１の識別情報を除いた情報である第２の識別情報を示す第２のアドレスデータで構成され、前記ＣＰＵが該特定命令を実行するために必要な特定補足データと、を前記割込み処理で実行される命令に対応するように記憶し、前記特定命令の実行により前記ＣＰＵが読み込み可能な特定の記憶領域に全ての前記制御プログラムデータを記憶し、全ての制御プログラムデータが記憶された前記特定の記憶領域とは異なる記憶領域に、前記参照データを記憶していてもよい。

【０５１０】

このような構成とすれば、ＣＰＵが特定命令を実行する際に、誤って参照データを読み込んでしまい、当該参照データに基づいて意図しない遊技制御処理を行ってしまうような事態を未然に防止することができ、遊技制御の安定化を図ることができる。また、特定命令は、特定の記憶領域に記憶された全ての制御プログラムデータを読み込み可能に構成されているため、制御プログラムデータにおける呼出元と呼出先の配置（記憶場所）が制限されることがなく、制御プログラムの設計に自由度を持たせることができる。また、遊技台の分野においては、複数種類の遊技台において制御プログラムデータ（例えば、使用頻度の高いサブルーチン）を共用する一方で、各遊技台の仕様や性能に応じて参照データ（例えば、抽選値や演出データ）を異ならせることが一般的であるため、遊技台に特に好適である。

【０５１１】

また、前記ＲＯＭは、少なくとも前記第１の識別情報、前記第２の識別情報の順序に定義することにより前記特定のアドレスを識別可能にする前記特定識別情報（例えば、ｍｎ）のうち、前記第１の識別情報を示す前記第１のアドレスデータおよび前記別データで構成される前記特定命令データと、該特定識別情報のうち前記第２の識別情報を示す前記第２のアドレスデータで構成される前記特定補足データと、を前記割込み処理で実行される命令に対応するように記憶してもよい。

【０５１２】

このような構成とすれば、命令データは、呼び出すサブルーチンの先頭アドレスの一部を構成するデータを含んで構成されていることから、移動先のアドレスデータを間違ってしまった場合であっても、間違ってしまったデータが命令データに含まれていれば、制御プログラムの実行が停止されるため、コーディングミスを抑制することができる場合がある。

【０５１３】

また、前記ＲＯＭは、少なくとも前記第１のアドレスデータの一部である第１の構成データ（例えば、ＥＸＥＳＵＢ命令の命令データのビット７）、前記別データの少なくとも一部である第２の構成データ（例えば、ＥＸＥＳＵＢ命令の命令データのビット６～３）、前記第１のアドレスデータから該第１の構成データを除いた第３の構成データ（例えば、ＥＸＥＳＵＢ命令の命令データのビット２～０）の順序で構成された前記特定命令データをを前記割込み処理で実行される命令に対応するように記憶してもよい。

【０５１４】

このような構成とすれば、命令データをグループ化しつつも、きめ細かく命令データテーブルの空き領域に割り当てることが可能になる。よって、限られたハードウェア資源（例えば、１バイトで定義可能なパターン（２５６パターン））を有効利用することができ、命令データの圧縮によるＲＯＭ制御領域に対応するＲＯＭの記憶領域に記憶されている従来の制御プログラムデータの圧縮が可能となる。

【０５１５】

また、前記第３の構成データ（例えば、ＥＸＥＳＵＢ命令の命令データのビット２～０）が前記第１の構成データ（例えば、ＥＸＥＳＵＢ命令の命令データのビット７）と比較してデータ容量が大きくなる、または、前記第１の構成データが前記第３の構成データと比較してデータ容量が大きくなる（例えば、３ビットに対して１ビット）ように構成された前記特定命令データを前記割込み処理で実行される命令に対応するように記憶してもよい。

【０５１６】

このような構成とすれば、命令データをグループ化しつつも、きめ細かく命令データテーブルの空き領域に割り当てることが可能になる。よって、限られたハードウェア資源（例えば、１バイトで定義可能なパターン（２５６パターン））を有効利用することができ、命令データの圧縮によるＲＯＭ制御領域に対応するＲＯＭの記憶領域に記憶されている従来の制御プログラムデータの圧縮が可能となる。

【０５１７】

また、前記ＲＯＭは、前記特定命令の実行により前記ＣＰＵが読み込み可能なデータが記憶されている特定の記憶領域（例えば、０００００Ｈ～０ＦＦＦＨや０００００Ｈ～１１ＦＦＨ）に全ての前記制御プログラムデータを記憶するとともに、該特定の記憶領域から前記制御プログラムデータが記憶された制御記憶領域（例えば、ＲＯＭ制御領域に対応するＲＯＭ３０６の記憶領域）を除いた記憶領域（例えば、非使用領域に対応するＲＯＭ３０６の記憶領域）の全てに前記遊技制御処理の実行に使用されない非使用データ（例えば、００Ｈ）を記憶するようにしてもよい。

【０５１８】

このような構成とすれば、ＣＰＵ３０４が非使用データおよび制御プログラムデータを除くデータ（例えば、参照データや管理データ）を直接命令データとして読み込まれることがないため、補足データのコーディングミスによるＣＰＵ３０４の誤作動を防止できる

場合がある。

【０５１９】

また、前記ＲＯＭは、複数のアドレスそれぞれで示される記憶領域に特定のデータ長（例えば、１バイト（８ビット））で表される複数種類のデータを記憶するものであり、前記ＣＰＵは、前記ＲＯＭの記憶された一のアドレスに示される記憶領域に記憶されたデータを一処理毎に読み込むことで前記割込み処理を含む複数種類の遊技制御処理を実行するものであり、前記ＲＯＭは、さらに、前記特定のデータ長の２以上の整数倍である第１のデータ長（例えば、２バイト（１６ビット））で表現される前記特定のアドレスを識別可能な前記特定識別情報の一部である前記第１の識別情報を示す前記第１のアドレスデータおよび前記別データで構成される前記特定命令データと、該第１のデータ長よりも前記特定のデータ長の整数倍のデータ長だけ短い第２のデータ長（例えば、１バイト（８ビット））で表現される前記第２のアドレスデータで構成される前記特定補足データと、を前記割込み処理で実行される命令に対応するように記憶してもよい。

【０５２０】

このような構成とすれば、命令データをグループ化しつつも、きめ細かく命令データテーブルの空き領域に割り当てることが可能になる。よって、限られたハードウェア資源（例えば、１バイトで定義可能なパターン（２５６パターン））を有効利用することができ、命令データの圧縮によるＲＯＭ制御領域に対応するＲＯＭの記憶領域に記憶されている従来の制御プログラムデータの圧縮が可能となる。

【０５２１】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１０）は、複数の制御プログラムデータで構成される制御プログラムを記憶しているＲＯＭ（例えば、ＲＯＭ３０６）と、前記制御プログラムに基づいて遊技制御を実行するＣＰＵ（例えば、ＣＰＵ３０４）と、を備え、前記ＲＯＭは、前記複数の制御プログラムデータのうち、第１のデータ（例えば、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データにおける、ビット６およびビット７）、第２のデータ（例えば、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データにおける、ビット５（α））、第３のデータ（例えば、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データにおける、ビット３およびビット４）、第４のデータ（例えば、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データにおける、ビット０（δ）、ビット１（γ）、ビット２（β））、第５のデータ（例えば、ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データにおける、補足データ（ｎ））を含んで構成された特定の制御プログラムデータ（ＥＸＥＳＵＢ命令（ＥＸＥＳＵＢｍｎ）の命令データを、少なくとも、該第２のデータ、該第３のデータ、該第４のデータ、順番に並べて（例えば、アドレスの若い順番）記憶するものであり、前記ＣＰＵは、前記特定の制御プログラムデータを読み込んだ場合に、前記第１および第３のデータを用いて特定される第１の命令（例えば、サブルーチンの先頭のアドレスを呼び出す命令）と、前記第２のデータ、前記第４のデータおよび前記第５のデータを用いて特定される第２の命令（例えば、呼び出すサブルーチンの先頭アドレスを特定する命令）と、で特定される特定命令（例えば、ＥＸＥＳＵＢ命令）を所定周期で実行される割込処理（例えば、タイマ割込み処理）中に実行することを特徴とする遊技台とも言える。

【０５２２】

なお、前記ＲＯＭは、前記第１のデータと前記第２のデータの間、前記第２のデータと前記第３のデータの間および前記第３のデータと前記第４のデータの間のうち少なくともいずれか１つのデータ間に別のデータを含んで構成される前記特定の制御プログラムデータを記憶するものであってもよいが、前記ＲＯＭは、前記第１のデータ、前記第２のデータ、前記第３のデータおよび前記第４のデータでのみで構成される前記特定の制御プログラムデータを記憶するものであると、よりアセンブル後の機械語のチェックが簡便になり、コーディングミスを抑制することができる。

【０５２３】

また、前記第１のデータ、前記第２のデータ、第３のデータおよび前記第４のデータを

合わせたデータ長と、前記第４のデータのデータ長を同一のデータ長（例えば、１バイト（８ビット）長）としてもよい。さらに、前記ＣＰＵが一度に読み込むデータのデータ長と前記第４のデータのデータ長を同一のデータ長としても良い。

【０５２４】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、プログラムデータおよび一時的なデータを記憶する記憶手段（例えば、ＲＯＭ３０６、ＲＡＭ３０８（またはＲＯＭ１３０６、ＲＡＭ１３０８））と、前記記憶手段に記憶されているデータを用いて遊技の進行を中心とした遊技制御を行う主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記主制御部は、第一のビット長（例えば、８ビット長）からなる複数のレジスタ（例えば、Ａレジスタ、Ｆレジスタ、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、Ｔレジスタ）を有し、前記第一のビット長の倍のビット長である第二のビット長（例えば、１６ビット長）の演算が可能なレジスタの組み合わせである前記複数のレジスタ（例えば、ＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ）のうちの第一のレジスタと第二のレジスタ（例えば、ＨレジスタとＬレジスタ）に格納された値によって示される前記記憶手段における第一のアドレス（例えば、１７５０Ｈ）、および該第一のアドレスと連続する第二のアドレス（例えば、１７５１Ｈ）に格納された第一の値（例えば、ＡＥＨ）と第二の値（例えば、１９）を、前記複数のレジスタのうちの第三のレジスタ（例えば、Ｃレジスタ）と第四のレジスタ（例えば、Ａレジスタ）にそれぞれ転送する所定の命令（例えば、「ＩＮＣＴＥＮＳＯＵ　ＡＣ，（ＨＬ）」命令）を備え、該所定の命令を前記遊技制御（例えば、特別図柄変動時間抽選処理）において実行し、前記第三のレジスタと前記第四のレジスタは、前記第二のビット長の演算が可能なレジスタの組み合わせ（ＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ）とは異なることを特徴とする遊技台である。なお、「第一のアドレスと連続する第二のアドレス」は第一のアドレスよりも大きなアドレスに限定されず、第一のアドレスよりも小さなアドレスでもよく、先の例では、第一アドレスが１７５０Ｈ、第二アドレスが１７４ＦＨでもよい。

【０５２５】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、１回の命令によって、連続して配置されたアドレスに格納された２つのデータを、レジスタペアを構成しない２種類のレジスタに格納することができるため、プログラム容量を削減することができ、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることが可能となる。また、処理時間を短縮でき、安定した遊技制御を行うことができる場合がある。また、プログラム容量を削減することでプログラムが見やすくなり、コーディングミスやバグの発生を抑制できる場合がある。また、第三のレジスタと第四のレジスタとはレジスタペアではないため、１６ビット演算処理を行う場合にプログラムを注意して作成することができ、コーディングミスやバグの発生を抑制できる場合がある。

【０５２６】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、少なくとも第一から第四のレジスタを備え、上位レジスタおよび下位レジスタからなるレジスタペアを用いた処理を実行可能であるＣＰＵと、遊技制御プログラムを記憶するＲＯＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、第一の命令と第二の命令を含む複数の命令を実行可能であり、少なくとも前記第一のレジスタと前記第二のレジスタの二つのレジスタの組み合わせは、前記レジスタペアのうちの所定のレジスタペアであり、前記第三のレジスタと前記第四のレジスタの少なくともいずれかは、前記上位レジスタであり、前記第一の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスが示す領域に格納された第一の値が前記第四のレジスタにセット

され、該第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第二のアドレスと連続するアドレスを示す値になり、前記第二の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第四のレジスタにセットされ、該第二のアドレスと連続する第三のアドレスが示す領域に格納された第三の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第三のアドレスを示す値になり、前記ＣＰＵは、前記レジスタペアとは異なる前記第三のレジスタと前記第四のレジスタの二つのレジスタの組み合わせに前記ＲＯＭに格納された値を一命令でセットすることが可能であるとともに、前記所定のレジスタペアの値を変化させる所定の機能としては、前記第一の命令を受けたことに基づいて値をセットする第一の機能と前記第二の命令を受けたことに基づいて値をセットする第二の機能の二つのみを有することを特徴とする遊技台である。

【０５２７】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、レジスタペアよりも汎用性の低い第三のレジスタと第四のレジスタの二つの組み合わせに値を一命令でセットする機能を限定したため、遊技者の利益に係る値を不正に改ざんする不正行為を不正者が行い難くすることができる。また、第一の命令と第二の命令を前後の処理に応じて使い分けることができ、遊技制御プログラムの容量を削減することができる。また、第一の命令と第二の命令とを従来の命令で構成した場合と比較して遊技制御プログラムの容量を削減でき、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることができる。また、第三のレジスタと第四のレジスタはレジスタペアよりも汎用性が低いため、プログラムを注意して作成することができ、コーディングミスやバグの発生を抑制できる。また、命令の実行中に割込み処理が発生し、割込み処理によって命令実行途中のレジスタの値が意図しない値に書き換えられてしまったり、命令の実行が妨げられて処理が遅延してしまうといったことがなく、安定した遊技制御を行うことができる場合がある。

【０５２８】

また、少なくとも第一から第四のレジスタを備え、上位レジスタおよび下位レジスタからなるレジスタペアを用いた処理を実行可能であるＣＰＵと、遊技制御プログラムを記憶するＲＯＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、第一の命令と第二の命令を含む複数の命令を実行可能であり、少なくとも前記第一のレジスタと前記第二のレジスタの二つのレジスタの組み合わせは、前記レジスタペアのうちの所定のレジスタペアであり、前記第三のレジスタと前記第四のレジスタの少なくともいずれかは、前記上位レジスタであり、前記第一の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスが示す領域に格納された第一の値が前記第四のレジスタにセットされ、該第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第二のアドレスと連続するアドレスを示す値になり、前記第二の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第四のレジスタにセットされ、該第二のアドレスと連続する第三のアドレスが示す領域に格納された第三の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第三のアドレスを示す値になり、前記ＣＰＵは、前記レジスタペアとは異なる前記第三のレジスタと前記第四のレジスタの二つのレジスタの組み合わせに前記ＲＯＭに格納された値を一命令でセットすることが可能であるとともに、前記所定のレジスタペアの値を変化させる所定の機能としては、前記第一の命令を受けたことに基づいて値をセットする第一の機能と前記第二の命令を受けたことに基づいて値をセットする第二の機能の二つを少なくとも有し、前記ＣＰＵは、少なくとも特定レジスタを備え、前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機

能のみを有していてもよい。
【０５２９】
このような構成とすれば、レジスタペアよりも汎用性の低い第三のレジスタと第四のレジスタの二つの組み合わせに値を一命令でセットする機能を限定したため、遊技者の利益に係る値を不正に改ざんする不正行為を不正者が行い難くすることができる。また、第一の命令と第二の命令を前後の処理に応じて使い分けることができ、遊技制御プログラムの容量を削減することができる。また、第一の命令と第二の命令とを従来の命令で構成した場合と比較して遊技制御プログラムの容量を削減でき、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることができる。また、第三のレジスタと第四のレジスタはレジスタペアよりも汎用性が低いため、プログラムを注意して作成することができ、コーディングミスやバグの発生を抑制できる。また、命令の実行中に割込み処理が発生し、割込み処理によって命令実行途中のレジスタの値が意図しない値に書き換えられてしまったり、命令の実行が妨げられて処理が遅延してしまうといったことがなく、安定した遊技制御を行うことができる。
【０５３０】
また、前記第三のレジスタと前記第四のレジスタの少なくとも何れかは、前記第二のビット長の演算が可能なレジスタの組み合わせを構成してもよい（例えば、Ｂレジスタは、１６ビット長の演算が可能なレジスタペアであるＢＣレジスタを構成する）。
【０５３１】
このような構成とすれば、１６ビット演算を行うレジスタペアの一方のレジスタの値を固定にすることができ、所定の命令前に設定した一方のレジスタの値を退避することなく所定の命令後の処理で使用することができプログラム容量を削減することができる場合がある。また、１６ビット演算処理を行う場合にプログラムを注意して作成することができ、コーディングミスやバグの発生を抑えることができる場合がある。
【０５３２】
また、前記第三のレジスタと前記第四のレジスタの少なくとも何れかは、前記第二のビット長の演算が可能なレジスタの組み合わせの上位レジスタであってもよい（例えば、Ｂレジスタは、１６ビット長の演算が可能なレジスタペアであるＢＣレジスタの上位レジスタである）。
【０５３３】
このような構成とすれば、１６ビット演算を行うレジスタペアの上位８ビットの値を変更することができ、レジスタペアで示されるアドレスの上位を変更して所定の命令後の処理で使用することができる場合がある。例えば、第三のレジスタと第四のレジスタの各々を違う処理に利用（例えば、一方をＩＮＣＴＥＮＳＯＵ命令で利用し、他方をループ処理の回数をカウントするためのカウンタとして利用）することができ、数の限られたレジスタを有効に活用することができる。また、１６ビット演算処理を行う場合にプログラムを注意して作成することができ、コーディングミスやバグの発生を抑えることができる場合がある。
【０５３４】
また、前記所定の命令は、前記第一のレジスタと前記第二のレジスタのうちの下位レジスタの値に所定値加算する処理（例えば、ＨＬレジスタに２を加算する処理）を含んでいてもよい。
【０５３５】
このような構成とすれば、所定の命令終了後に所定のアドレスから所定値加算されたアドレスの値をレジスタに設定した状態で次の処理を行うことができ、例えば、アドレスを１加算する命令を所定値回実行するようなプログラムに比べ、プログラム容量を削減できる場合がある。
【０５３６】
また、前記第一のアドレスは、前記所定の命令を実行する前の前記第一のレジスタと前記第二のレジスタに格納された値によって示されるアドレス（例えば、１７４ＦＨ）の次

のアドレス（例えば、１７５０Ｈ）であってもよい。
【０５３７】
このような構成とすれば、繰り返し処理の際に最初にアドレスを指定することができ、繰り返し処理を抜けた際には所定の命令前のアドレスから所定値加算されたアドレスの値をレジスタに設定した状態で次の処理を行うことができる。特に、２種類のデータを交互に記憶したデータテーブルを利用する場合には、データテーブルから所望のデータを素早く読みだすことが可能となる。
【０５３８】
また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、プログラムデータおよび一時的なデータを記憶する記憶手段（例えば、ＲＯＭ３０６、ＲＡＭ３０８（またはＲＯＭ１３０６、ＲＡＭ１３０８））と、前記記憶手段に記憶されているデータを用いて遊技の進行を中心とした遊技制御を行う主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記主制御部は、第一のビット長（例えば、８ビット長）の値を記憶可能な第一のレジスタ（例えば、Ｃレジスタ）および前記第一のビット長の整数倍の第二のビット長（例えば、１６ビット長）の値を記憶可能な第二のレジスタ（例えば、ＨＬレジスタ）を含む複数のレジスタ（例えば、ＢＣレジスタ、ＤＥレジスタ、ＨＬレジスタ）を有し、前記第二のレジスタの値に前記第一のレジスタの値を加算して前記第二のレジスタに格納する所定の命令（例えば、「ＡＤＤＴＷＯＯＮＥ　ＨＬ，Ｃ」命令）を備え、該所定の命令を前記遊技制御（例えば、特別図柄変動時間抽選処理）において実行することを特徴とする遊技台である。なお、第二のレジスタは、第一のビット長の整数倍の第二のビット長の値を記憶可能であればよく、例えば、第一のレジスタのビット長が４ビットである場合には４の倍数（４、８、１２、…）をビット長とするレジスタでもよく、第一のレジスタのビット長が１６ビットである場合には１６の倍数（１６、３２、６４、…）をビット長とするレジスタでもよい。
【０５３９】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、桁上がり処理を別途行う必要がないため、プログラム容量を削減することができ、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることが可能となる。また、処理時間を短縮でき、安定した遊技制御を行うことができる場合がある。また、プログラム容量を削減することでプログラムが見やすくなり、コーディングミスやバグの発生を抑制できる場合がある。さらに、ビット長が異なるレジスタ同士の加算演算を行うことができるため、例えば、従来は１６ビット長のレジスタペアを２つ使用して行っていた加算演算を、１６ビット長のレジスタペアと８ビット長のレジスタで行うことができる場合があり、数の限られたレジスタを有効に活用することができる。
【０５４０】
また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、８ビット長の値を記憶可能な第一から第三のレジスタを少なくとも備えるＣＰＵを備え、前記ＣＰＵは、１６ビット長の値を記憶可能な第四のレジスタを少なくとも備え、前記ＣＰＵは、前記第一のレジスタおよび前記第二のレジスタからなるレジスタペアを用いた処理を実行可能であり、前記ＣＰＵを内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、前記第四のレジスタの値に前記第三のレジスタの値を加算して該第四のレジスタに加算結果をセットすることが可能な第一の命令を実行可能であり、前記第一の命令は、前記レジスタペアの値に前記第三のレジスタの値を加算して該レジスタペアに加算結果をセットすることが可能であり、前記ＣＰＵは、前記レジスタペアの値から前記第三のレジスタの値を減算して該レジスタペアに減算結果をセットする第二の命令を実行可能であり、前記ＣＰＵにおける前記１６ビット長の前記レジスタペアに対して前記８ビット長の値を加減算する機能は、前

記第一の命令および前記第二の命令の両方によって実現されるが、前記ＣＰＵにおける前記１６ビット長の前記第四のレジスタに対して前記８ビット長の値を加減算する機能は、前記第一の命令によってのみ実現されることを特徴とする遊技台である。

【０５４１】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、ビット長が異なるレジスタの値同士の加減算を行うことができるため、例えば、従来は１６ビット長のレジスタペアを２つ使用して行っていた加減算を、１６ビット長のレジスタペアと８ビット長のレジスタで行うことができる場合があり、数の限られたレジスタを有効に活用することができる。しかも、レジスタの値同士で加減算を行うため、ＲＡＭなどを用いた場合に比べて加減算の処理時間を短縮でき、安定した遊技制御を行うことができる。また、第四のレジスタを用いた加減算を第一の命令のみで実行可能に構成することにより、遊技者の利益に係る値を不正に改ざんする不正行為（例えば、レジスタペアに対して有利な数値を加算するような命令を不正に埋め込むような行為）を不正者が行い難くすることができる。また、第一の命令と第二の命令とを従来の命令で構成した場合と比較して遊技制御プログラムの容量を削減できるため、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることができる場合がある。

【０５４２】

また、少なくとも第一から第四のレジスタを備え、上位レジスタおよび下位レジスタからなるレジスタペアを用いた処理を実行可能であるＣＰＵと、遊技制御プログラムを記憶するＲＯＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、第一の命令と第二の命令を含む複数の命令を実行可能であり、少なくとも前記第一のレジスタと前記第二のレジスタの二つのレジスタの組み合わせは、前記レジスタペアのうちの所定のレジスタペアであり、前記第三のレジスタと前記第四のレジスタの少なくともいずれかは、前記上位レジスタであり、前記第一の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスが示す領域に格納された第一の値が前記第四のレジスタにセットされ、該第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第二のアドレスと連続するアドレスを示す値になり、前記第二の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第四のレジスタにセットされ、該第二のアドレスと連続する第三のアドレスが示す領域に格納された第三の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第三のアドレスを示す値になり、前記ＣＰＵは、前記レジスタペアとは異なる前記第三のレジスタと前記第四のレジスタの二つのレジスタの組み合わせに前記ＲＯＭに格納された値を一命令でセットすることが可能であるとともに、前記所定のレジスタペアの値を変化させる所定の機能としては、前記第一の命令を受けたことに基づいて値をセットする第一の機能と前記第二の命令を受けたことに基づいて値をセットする第二の機能の二つを少なくとも有し、前記ＣＰＵは、少なくとも特定レジスタを備え、前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有していてもよい。

【０５４３】

このような構成とすれば、レジスタペアよりも汎用性の低い第三のレジスタと第四のレジスタの二つの組み合わせに値を一命令でセットする機能を限定したため、遊技者の利益に係る値を不正に改ざんする不正行為を不正者が行い難くすることができる。また、第一の命令と第二の命令を前後の処理に応じて使い分けることができ、遊技制御プログラムの容量を削減することができる。また、第一の命令と第二の命令とを従来の命令で構成した場合と比較して遊技制御プログラムの容量を削減でき、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることができる。また、第三のレジスタと第四のレジスタはレジスタペアよりも汎用性が低いため、プログラムを注意して

作成することができ、コーディングミスやバグの発生を抑制できる。また、命令の実行中に割込み処理が発生し、割込み処理によって命令実行途中のレジスタの値が意図しない値に書き換えられてしまったり、命令の実行が妨げられて処理が遅延してしまうといったことがなく、安定した遊技制御を行うことができる。

【０５４４】

また、前記第一のレジスタ（例えば、Ｃレジスタ）は、第二のビット長の演算が可能なレジスタ（例えば、ＢＣレジスタ）の組み合わせの下位レジスタであってもよい。

【０５４５】

このような構成とすれば、レジスタペアの上位８ビットの値を固定にすることができ、１６ビット演算処理を行う場合にプログラムを注意して作成することができ、コーディングミスやバグの発生を抑制できる場合がある。また、レジスタペアの上位レジスタと下位レジスタの各々を違う処理に利用（例えば、一方をＡＤＤＴＷＯＯＮＥ命令で利用し、他方をループ処理の回数をカウントするためのカウンタとして利用）することができ、数の限られたレジスタを有効に活用することができる。

【０５４６】

また、前記主制御部は、前記第二のレジスタ（例えば、ＨＬレジスタ）に格納された値によって示される所定のアドレスに基づく連続する２つのアドレスに格納された第一の値と第二の値を、前記複数のレジスタのうちの前記第一のレジスタ（例えば、Ｃレジスタ）と第三のレジスタ（例えば、Ｂレジスタ）にそれぞれ転送する所定の第二の命令（例えば、「ＩＮＣＴＥＮＳＯＵ　ＢＣ，（ＨＬ）」命令）を備え、該所定の第二の命令を実行した後、前記所定の命令を行ってもよい。

【０５４７】

このような構成とすれば、連続する２つのアドレスに格納された値の何れかを第一レジスタに加算することで、所定のアドレスに関連したアドレスを示す値を第一レジスタに設定した状態で次の処理を行うことができ、プログラム容量を削減できる場合がある。

【０５４８】

また、前記主制御部は、前記所定の第二の命令を実行した後に所定の判定処理（例えば、上記ステップＳ１１１０～Ｓ１１１１に示すような、Ｂレジスタ（第三のレジスタ）から特定の値（ＲＡＭの所定記憶領域に記憶された値など）を減算してキャリーが発生するか否かを判定する処理）を行い、該所定の判定処理の結果が所定の値のときに（例えば、キャリーが発生したときに）前記所定の命令を行ってもよい。

【０５４９】

このような構成とすれば、所定の判定処理の結果が所定の値のときに、所定のアドレスに関連したアドレスを示す値を第一レジスタに設定した状態で次の処理を行うことができ、プログラム容量を削減できる場合がある。

【０５５０】

また、前記主制御部は、前記所定の命令を行った後、再度前記所定の第二の命令と前記所定の判定処理を実行してもよい（例えば、上記ステップＳ１１０９でＩＮＣＴＥＮＳＯＵ命令を実行し、上記ステップＳ１１１２でＡＤＤＴＷＯＯＮＥ命令を実行した後に、上記ステップＳ１１１４でＩＮＣＴＥＮＳＯＵ命令を再度実行し、上記ステップＳ１１１６でＢレジスタから特定の値を減算してキャリーが発生するか否かを判定する）。

【０５５１】

このような構成とすれば、例えば、２段階抽選の２回目のテーブルアドレスを設定することができ、２段階抽選のプログラムを見やすく作ることができ、コーディングミスやバグの発生を抑制できる場合がある。

【０５５２】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技制御を行うＣＰＵを有する主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御

部１５００））と、を備えた遊技台であって、前記ＣＰＵは、所定のフラグ（例えば、Ｚフラグ、ＳＺフラグ）を備え、前記主制御部は、第一の処理と第二の処理の間に実行される処理であって、前記第一の処理において第一の内容であった前記フラグの内容を、前記第二の処理の開始前に第二の内容に変化させる第三の処理を実行し、前記第二の処理は、前記第三の処理の実行結果が所定の結果である場合に行われる処理であって、前記第二の内容に変化した前記フラグを参照しない処理（例えば、ＣＰＲＴ命令、ＣＰＪＲ命令）であることを特徴とする遊技台である。

【０５５３】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、フラグの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの改ざんを未然に防止できる場合がある。このため、安定した遊技制御をおこなうことができ、遊技の公平性を担保することができる場合がある。

【０５５４】

また、前記第三の処理は、前記第一の内容であった前記フラグを参照しない処理であってもよい。

【０５５５】

このような構成とすれば、フラグの内容の変化とプログラムの実行の流れの関連性を無くすことができ、プログラムの解析を困難とし、不正なプログラムの改ざんを未然に防止できる場合がある。このため、安定した遊技制御をおこなうことができ、遊技の公平性を担保することができる場合がある。

【０５５６】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技制御を行うＣＰＵを有する主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記ＣＰＵは、記憶手段（例えば、ＲＯＭ３０６、ＲＡＭ３０８、レジスタ、プログラムカウンタ）の所定領域へのアクセスが規制された命令（例えば、ＲＥＳ命令、ＲＳＴ命令）を備え、前記命令を前記遊技制御において実行することを特徴とする遊技台である。

【０５５７】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、所定領域のアクセスを禁止することができるため、所定領域を保護することができ、所定領域の内容が予期しない数値に変化して不具合を起こすような事態を未然に防止できる場合がある。

【０５５８】

また、前記命令は、前記所定領域を除いた領域のうち予め定められた特定領域へのアクセスが可能な命令であってもよい。

【０５５９】

このような構成とすれば、所定領域のアクセスを禁止しつつ、同時に特定領域の内容を読み書きすることができるため、所定領域の内容を保護することができるとともに、プログラム設計の自由度を低下させることがない。

【０５６０】

また、前記ＣＰＵは、前記所定領域へのアクセスが可能な命令をさらに備えてもよい。このような構成とすれば、所定領域のアクセスを禁止しつつ、同時に特定領域の内容を読み書きすることができるため、所定領域の内容を保護することができるとともに、プログラム設計の自由度を低下させることがない。

【０５６１】

また、前記命令を、前記記憶手段の所定領域にジャンプすることができないように構成すれば、不正プログラムを組み込んでユーザプログラムの先頭アドレスにジャンプさせる

（ユーザプログラムを先頭アドレスから開始させて不正に初期状態とする）ような行為を未然に防止できる場合がある。

【０５６２】

なお、本発明に係る遊技台は、上述のパチンコ機１００やスロットマシン１１００に限定されない。したがって、例えば、上記実施形態では、リトルエンディアンのＣＰＵの例を示したが、ビッグエンディアンのＣＰＵに適用することもできる。また、８ビットＣＰＵに限定されず、１６ビットＣＰＵ、３２ビットＣＰＵ等にも適用できる。また、命令の名称は上記実施形態で示した名称に限定されるものではない。

【０５６３】

また、主制御部３００のＣＰＵ３０４（または、主制御部１３００のＣＰＵ１３０４）に適用した例を示したが、他の制御部のＣＰＵに適用してもよい。また、記憶手段は、ＲＯＭ、ＲＡＭに限定されず、他の記憶手段を適用してもよい。

【０５６４】

また、図７４（ａ）に示す、「紙幣投入口２０００２に紙幣を投入し、ベット２０００４およびスタート２０００６操作に基づいて抽選を実行し、抽選結果を抽選結果表示装置２０００８で表示し、当選時には特典コイン数を残クレジット数に加算し、キャッシュアウト２０００９が選択された場合には、レシート発行機２００１０から残クレジット数に対応するコードが記載されたレシートを発行するカジノマシン２００００」に本発明を適用してもよい。また、アレンジボール遊技機や、じゃん球遊技機、スマートボール等に適当してもよい。

【０５６５】

また、同図（ｂ）に示すように、本発明の構成を含む制御部を備えている携帯電話機２０１００、同図（ｃ）に示すように、本発明の構成を含む制御部を備えているポータブルゲーム機２０２００、本発明の構成を含む制御部を備えている家庭用テレビゲーム機２０３００、に本発明を適用してもよい。

【０５６６】

より具体的には、同図（ｂ）における携帯電話機２０１００は、遊技者によって操作される操作部と、ゲームに関するデータを携帯電話回線を通して取得するデータ取得部と、取得したゲームに関するデータを記憶する記憶部と、記憶部に記憶したデータと操作部の操作とに基づいてゲームの制御を行う、本発明の構成を含む制御部と、を備えている。

【０５６７】

また、同図（ｃ）におけるポータブルゲーム機２０２００は、遊技者によって操作される操作部と、ゲームに関するデータを所定の記憶媒体（ＤＶＤ等）から取得するデータ取得部と、取得したゲームに関するデータを記憶する記憶部と、記憶部に記憶したデータと操作部の操作とに基づいてゲームの制御を行う、本発明の構成を含む制御部と、を備えている。

【０５６８】

また、同図（ｃ）における家庭用テレビゲーム機２０３００は、遊技者によって操作される操作部と、ゲームに関するデータを所定の記憶媒体（ＤＶＤ等）から取得するデータ取得部と、取得したゲームに関するデータを記憶する記憶部と、記憶部に記憶したデータと操作部の操作とに基づいてゲームの制御を行う、本発明の構成を含む制御部を備えている。

【０５６９】

さらには、同図（ｄ）に示すように、本発明の構成を含む制御部を備えるデータサーバ２０４００に適用してもよい。このデータサーバ２０４００からインターネット回線を介して同図（ｄ）に示す家庭用テレビゲーム機２０３００に本発明の構成を含むプログラムコードをダウンロードするような場合がある。また、パチンコ機等の実機の動作を家庭用ゲーム機用として擬似的に実行するようなゲームプログラムにおいても、本発明を適用することができる。

【０５７０】

また、本発明に係る遊技台は、封入式遊技機に適用することもできる。また、主制御部、第１副制御部、および第２副制御部をワンチップで構成してもよいし、主制御部と第１副制御部で双方向の通信が可能に構成してもよい。また、主制御部と第１副制御部で双方向の通信を可能とする一方で、第１副制御部から第２副制御部への通信は一方向の通信としてもよい。

＜実施形態３＞

【０５７１】

次に、図面を用いて、本発明の実施形態３に係るパチンコ機について詳細に説明する。

＜主制御部の基本回路の構成例＞

【０５７２】

次に、図７５を用いて、主制御部３００の基本回路３０２の構成例について説明する。同図は、マイクロプロセッサ３０００を用いた場合の基本回路３０２の一構成例を示す図である。

【０５７３】

図７５に示すマイクロプロセッサ３０００には、本発明にいう電気的制御手段の一例に相当し、図４に示す基本回路３０２の機能と、図４に示す乱数生成回路３１８の機能を有するものである。なお、図７５では、図４に示す構成に対応する部分を、図４で用いた符号と同じ符号を付して説明する。

【０５７４】

図７５に示すマイクロプロセッサ３０００には、ＣＰＵ３０４、ＲＯＭ（内蔵ＲＯＭ）３０６、ＲＡＭ（内蔵ＲＡＭ）３０８、外部バス制御回路３１１０、パラレル入力ポート３１０２、アドレスデコード回路３１０３、タイマ回路３１１、カウンタ回路３１２、リセット制御回路３１４に加え、割込み制御回路３１００、クロック回路３２００、乱数生成回路３１８が備えられており、これら全てが内部バス３３００を介して互いに接続されている。内蔵ＲＯＭ３０６は、記憶部の一例に相当する。なお、外部バス制御回路３１１０、パラレル入力ポート３１０２、アドレスデコード回路３１０３の３つが、図４のＩ／Ｏ３１０に相当するものである。

【０５７５】

以下、上記説明した各部の詳細について説明する。まず、ＣＰＵ３０４、ＲＯＭ３０６、ＲＡＭ３０８については、図４にて説明した通りである。外部バス制御回路３１１０は、ＩＯリクエスト端子（ＸＩＯＲＱ端子）、メモリリクエスト端子（ＸＭＲＥＱ端子）、リード信号端子（ＸＲＤ端子）、ライト信号端子（ＸＷＲ端子）、１６ビット幅のアドレス出力端子（Ａ０端子～Ａ１５端子）、および８ビット幅の入出力端子であるデータ入出力端子（Ｄ０端子～Ｄ７端子）を有する。本実施形態では、このうちデータ入出力端子（Ｄ０端子～Ｄ７端子）は、図４に示す各駆動回路３２４，３２６，３３０，３３４へのデータ出力と、各周辺制御回路からのデータ入力に用いられている。このデータ入出力端子（Ｄ０端子～Ｄ７端子）によるデータの入出力先は、アドレス出力端子（Ａ０端子～Ａ１５端子）から出力されるアドレス信号、およびアドレスデコード回路３１０３から出力されるチップセレクト信号を用いて切り替えられる。

【０５７６】

パラレル入力ポート３１０２は、４つの入力端子（Ｐ０端子～Ｐ３端子）を有する。これらの入力端子（Ｐ０端子～Ｐ３端子）は、図４に示すセンサ回路３２２に接続されており、センサ回路３２２からの信号の入力に用いられている。本実施形態では、第１特図始動口２３０への入球を検出する球検出センサからの信号がＰ０端子に入力され、第２特図始動口２３２への入球を検出する球検出センサからの信号がＰ１端子に入力され、普図始動口２２８への入球を検出する球検出センサからの信号がＰ２端子に入力される。また、センサ回路３２２からの信号は、乱数生成回路３１８が生成する乱数をＣＰＵ３０４に取得させるためのラッチ信号として、乱数生成回路３１８に出力する。この動作については後述する。

【０５７７】

アドレスデコード回路３１０３は、１４の出力端子（ＸＣＳ０端子～ＸＣＳ１３端子）を有する。この出力端子（ＸＣＳ０端子～ＸＣＳ１３端子）は、マイクロプロセッサ３０００の外部にある周辺制御回路に接続されており、外部バス制御回路３１１０のデータ入出力端子（Ｄ０端子～Ｄ７端子）から出力されるデータの送信先を切り替えるためのチップセレクト信号等の出力に用いられている。

【０５７８】

タイマ回路３１１は、時間の計測に用いられる。なお、タイマ回路３１１は設定された計測時間を過ぎると、タイムアウト信号をカウンタ回路３１２に出力する。一方、カウンタ回路３１２は、各種信号の立ち上がり（あるいは立ち下がり）の回数の計測に用いられる。このカウンタ回路で計測される信号には、マイクロプロセッサ３０００のシステムクロックの他、上記タイマ回路からのタイムアウト信号、メモリの読み書き信号、メモリリクエスト信号、外部入出力の信号、割込みに対する応答信号等も計測することができる。

【０５７９】

リセット制御回路３１４は、システムリセット入力端子（ＸＳＲＳＴ端子）と、リセット出力端子（ＸＲＳＴＯ端子）の２つの端子を有する。このシステムリセット入力端子（ＸＳＲＳＴ端子）は電圧監視回路３３８に接続されている。このシステムリセット入力端子（ＸＳＲＳＴ端子）からシステムリセット信号（例えば一定時間Ｌレベルの信号）が入力されると、リセット制御回路３１４は、マイクロプロセッサ３０００の内部の回路に対してこのシステムリセット信号を出力するとともに、マイクロプロセッサ３０００の外部にある周辺制御回路に対してリセット出力端子（ＸＲＳＴＯ端子）からリセット信号（例えば、ＬレベルからＨレベルへの立ち上がり信号）が出力される。この場合、マイクロプロセッサ３０００では、システムリセットと称する処理が実行され、各回路が初期化される。このシステムリセットが実行される一例として、電源投入時が挙げられる。なお、このシステムリセットについては後述する。

【０５８０】

また、リセット制御回路３１４は、ウォッチドッグタイマ（ＷＤＴ）３１４１（復帰指示手段の一例に相当）、および指定エリア外走行禁止回路３１４２を備えている。ＷＤＴ３１４１がタイムアウトになった場合や、ＣＰＵ３０４が所定の範囲以外のアドレスを参照（指定エリア外走行）した場合には、リセット制御回路３１４は、マイクロプロセッサ３０００の内部の回路に対してシステムリセット信号およびユーザリセット信号のいずれかを出力する。なお、システムリセット信号およびユーザリセット信号のどちらを出力するかは、ＲＯＭ３０６内のプログラム管理エリア（詳細は後述）の設定に従う。また、マイクロプロセッサ３０００の外部にある周辺制御回路に対しては、リセット出力端子（ＸＲＳＴＯ端子）からリセット信号が出力される。

【０５８１】

マイクロプロセッサ３０００では、設定によって上記のシステムリセットか、あるいはユーザリセットと称する処理のいずれかを実行させることができる。なお、ユーザリセットでは、各回路が必要に応じて初期化される。このユーザリセットについては後述する。

【０５８２】

上記指定エリア外走行は、プログラムが想定外の動作をしていることを意味する。この場合、ＣＰＵ３０４が本来プログラムとして扱われるはずのないコードにより動作することになる。このような状況は、プログラムミスによる所謂暴走した状態の他に、何らかの不正によって生じている可能性がある。この場合、上記のシステムリセットの処理により、正常な動作に復帰させることができるようになっている。また、ＷＤＴ３１４１がタイムアウトになった場合としては、プログラムミスによる暴走した状態や、電圧降下によりＣＰＵ３０４が本来設計した動作を行うことができなくなった場合等がある。この場合にも、上記のシステムリセットの処理により、正常な動作に復帰させることができるようになっている。

【０５８３】

割込み制御回路３１００は、外部入力や内部状態の変化に応じて適宜処理を実行させる

ために割込みを発生させる。この割込み処理には、例えば外部からの入力（センサによる信号）を受け付けた場合に実行する処理がある。本実施形態では、乱数生成回路３１８が、乱数を取得するためのラッチ信号を受信した際にも、割込み処理を実行（割込みを発生）させることができるようになっている。なお、割込み制御回路３１００は、内部情報レジスタ３１０１を備えており、この内部情報レジスタ３１０１には、乱数生成回路３１８で乱数更新周期を決める外部クロック（カウントクロック）の周期の異常、および乱数の更新に関するの異常、さらに、直前に発生したリセット要因の情報等が格納される。なお、この内部情報レジスタ３１０１は、異常検出情報保持手段の一例に相当する。

【０５８４】

クロック回路３２００は、図４に示す水晶発振器３１６ｂ（以下、システム用水晶発振器３１６ｂと称する場合がある）から外部クロック入力端子（ＥＸ端子）を介して入力される外部クロック（この例では、２４ＭＨｚのクロック）を所定の分周比（この例では、１／２）で分周し、分周後のシステムクロック（この例では、１２ＭＨｚのクロック）をこのマイクロプロセッサ３０００内部の各回路に供給する。また、このシステムクロックをシステムクロック出力端子（ＣＬＫＯ端子）を介してマイクロプロセッサ３０００外部の周辺制御回路に出力する。

【０５８５】

乱数生成回路３１８は、乱数を更新するためのクロック信号（カウントクロック）を用いて、乱数のラッチ信号を受信したときにこの更新された乱数を乱数レジスタ内に保持するものである。本実施形態では、水晶発振器３１６ａから外部クロック入力端子（ＲＣＫ端子）を介して入力される外部クロック信号を所定の分周比（この例では、１／２）で分周してこのカウントクロックに用いているが、マイクロプロセッサ３０００内部のクロック信号を用いることもでき、この場合は水晶発振器３１６ａは不要となる。乱数レジスタに保持された値は、乱数として読み出して使用することができる。なお、乱数レジスタから乱数を読み出すと、乱数レジスタが次の乱数をラッチすることを許容する許容状態とすることができる。この乱数生成回路３１８の詳細は後述する。

【０５８６】

続いて、図７６を用いて、リセットが実行された場合の処理の流れについて説明する。同図は、リセットの流れを示すフローチャートである。このフローチャートは、リセット制御回路３１４にシステムリセット信号が入力された場合、ＷＤＴ３１４１がタイムアウトになった場合、あるいは指定エリア外走行を検知した場合に、マイクロプロセッサ３０００の各回路で実行される処理である。

【０５８７】

最初のステップＳＨ０１では、実行されるリセット動作が、システムリセット動作か否か判定される。マイクロプロセッサ３０００で実行されるリセット動作には、システムリセット動作とユーザリセット動作の２つがある。ここで、システムリセット動作を実行する場合には、ステップＳＨ０３に進む。このシステムリセット動作は本発明にいう復帰処理の一例に相当する。また、システムリセット動作でないリセット動作、すなわちユーザリセット動作を実行する場合には、ステップＳＨ１１に進む。

【０５８８】

ステップＳＨ０３では、第１内部回路初期化処理が実行される。この第１内部回路初期化処理は、ＣＰＵ３０４のコアや内蔵レジスタ（タイマ回路３１１、カウンタ回路３１２、パラレル入力ポート３１０２、ＲＡＭ３０８アクセスプロテクトレジスタ、割込み制御回路３１００、乱数生成回路３１８を制御するレジスタ）の値を初期化する。この第１内部回路初期化処理が終了すると、ステップＳＨ０５に進む。

【０５８９】

ステップＳＨ０５では、セキュリティチェック処理が実行される。このセキュリティチェック処理では、ユーザプログラムを基に計算された値が、ＲＯＭ３０６のプログラム管理エリアに記憶されている認証コードを表す値と一致するか否かの判定を行う。すなわち、認証コードが正しいか否かの再計算を行う。ここにいうユーザプログラムが、本発明に

いう記憶部（内蔵ＲＯＭ３０６）に記憶された内容の一例に相当し、内蔵ＲＯＭ３０６のプログラム管理エリアに記憶されている認証コードが、本発明にいう所定の認証情報の一例に相当する。認証コードが正しい場合にはステップＳＨ０７に進み、そうでない場合にはＣＰＵ３０４の動作を停止させる。本実施形態の遊技台では、このようにしてセキュリティチェックを行なうため、遊技台により安定した制御を行なわせることができる。

【０５９０】

ステップＳＨ０７では、固定延長処理が実行される。この固定延長処理では、予め設定した固定時間（例えば、ＲＯＭ３０６のプログラム管理エリア内のセキュリティ時間設定の０～２ビットを用いて設定）だけセキュリティモードを延長する。例えば、ｎをプログラム管理エリアに設定された時間とし、システムクロックをＳＣＬＫとした場合に、３ｎ×２＾２４／ＳＣＬＫ秒だけ延長する。なお、この延長時間の経過時にＸＲＳＴＯ端子からリセット信号を出力させる。その後ステップＳＨ０９に進む。

【０５９１】

ステップＳＨ０９では、ランダム延長処理が実行される。このランダム延長処理では、予めランダムに選択されたランダム時間（例えば、プログラム管理エリア内のセキュリティ時間設定の３～４ビットを用いて設定）だけセキュリティモードを延長する。例えばショートモードが設定されている場合には０～Ｓμ秒、ミドルモードが設定されている場合には０～Ｍμ秒、ロングモードが設定されている場合には、０～Ｌμ秒それぞれ延長する（Ｓ＜Ｍ＜Ｌ）。この処理が終了するとユーザモードに移行し、ＣＰＵ３０４は、メモリマップの００００Ｈ番地から処理を開始する。本実施形態では、主制御部３００のメイン処理が開始されることになる。

【０５９２】

一方、ステップＳＨ０１で、ユーザリセット動作を実行する場合に進むステップＳＨ１１では、第２内部回路初期化処理が実行される。この第２内部回路初期化処理は、ＣＰＵ３０４のコアや、乱数生成回路３１８を制御するレジスタを除く内蔵レジスタ（タイマ回路３１１、カウンタ回路３１２、パラレル入力ポート３１０２、ＲＡＭ３０８アクセスプロテクトレジスタ、割込み制御回路３１００）の値を初期化する。すなわち、この第２内部回路初期化処理では、乱数生成回路３１８を制御するレジスタの値はリセット前の状態が維持される。この第２内部回路初期化処理が終了すると、ユーザモードに移行し、ＣＰＵ３０４は、メモリマップの００００Ｈ番地から処理を開始する。本実施形態では、主制御部３００のメイン処理が開始されることになる。

＜乱数生成回路＞

【０５９３】

次に、図７７を用いて、図７５に示すマイクロプロセッサ３０００の乱数生成回路３１８の詳細について説明する。同図は、図７５に示す乱数生成回路３１８の内部構成図である。

【０５９４】

乱数生成回路３１８は、それぞれ異なる乱数を生成する４つの乱数生成チャンネルＣＨ１～ＣＨ４を備えている。なお、各チャンネル回路の内部構成は同一であるため、図７７では、１つの乱数生成チャンネルＣＨ１を示し、残りの乱数生成チャンネルＣＨ２～ＣＨ４については、図示を簡略化している。以下の説明では、この乱数生成チャンネルＣＨ１を中心に乱数生成回路３１８について説明する。

【０５９５】

乱数生成回路３１８は、初期設定レジスタ３１８１と、周波数監視回路３１８２と、乱数更新回路３１８３と、乱数監視回路３１８４と、ノイズフィルタ３１８５と、ソフトラッチレジスタ３１８６と、ラッチ選択レジスタ３１８７と、乱数レジスタ３１８８と、乱数ラッチフラグレジスタ３１８９と、乱数割込み制御レジスタ３１８０を備えている。なお、周波数監視回路３１８２および乱数監視回路３１８４は、更新異常検出手段の一例に相当する。

【０５９６】

初期設定レジスタ３１８１には、ＲＣＫ端子からの外部クロック信号とシステムクロック（内部クロック信号）のうち、いずれのクロック信号を乱数更新回路３１８３で使用するかを決めるクロック選択情報が、プログラム管理エリア内の情報に基づいて設定される。ＲＣＫ端子からの外部クロック信号とシステムクロック（内部クロック信号）は乱数更新回路３１８３の手前に設けられたマルチプレクサに入力される。初期設定レジスタ３１８１が上記クロック選択情報に従って更新クロック選択信号をこのマルチプレクサに入力することにより、この更新クロック選択信号によって選択されたクロック信号が乱数更新回路３１８３に入力されるようになっている。なお、外部クロック信号が選択されている場合、所定の分周比（この例では、１／２）で分周されたクロック信号が乱数更新回路３１８３に入力される。なお、分周されたクロック信号が、内部クロックよりも低い周波数でない場合には使用することができない。なお、本実施形態では、外部クロック信号が選択されているものとして説明を続ける。

【０５９７】

周波数監視回路３１８２は、内部クロック信号および外部クロック信号の周期を監視し、この周期が一定でなくなった場合に、クロック信号に異常があることを示す情報を、内部情報レジスタ３１０１に出力する。

【０５９８】

乱数更新回路３１８３は、初期設定レジスタ３１８１によって選択されたクロック信号が入力され、このクロック信号の周期に従って乱数を更新する。更新した乱数の値は、乱数監視回路３１８４および乱数レジスタ３１８８にそれぞれ出力される。この乱数更新回路３１８３の詳細については、図７９～図８２を用いて後述する。

【０５９９】

なお、乱数値の更新は、乱数更新回路３１８３に最大値が設定されないＣＨについては、ユーザモードに移行した時に開始（自動開始）されるように構成される一方、乱数更新回路３１８３に最大値が設定されるＣＨについては、最大値が設定された時に開始（手動開始）されるように構成されている。すなわち、乱数の最大値は、乱数生成チャンネルＣＨ１～ＣＨ４で個別に設定可能である。また、最大値が設定されないＣＨおよび最大値が設定されるＣＨともに一度更新が開始されると電源供給が断たれるかシステムリセットが発生した場合にのみ更新が停止されるものであり、予期せぬ異常が発生した場合を除きこれらの事象以外では更新を停止することができないように構成されている。

【０６００】

さらに、最大値が設定されるＣＨに関しては、乱数更新回路３１８３に設けられた最大値設定レジスタに最大値が設定されたことに基づいて更新が開始され、この最大値設定レジスタはシステムリセットごとに一回のみライト可能なレジスタ（システムリセット時には初期化（更新範囲の最大値であるＦＦＦＨが初期値として設定される）され、ユーザリセット発生時にはユーザリセット発生前に設定されていた値が維持されるレジスタ）である。すなわち、乱数が更新されている場合にユーザプログラムで最大値設定レジスタをライトする処理が実行されたとしても、最大値設定レジスタが更新されることがなく、乱数生成回路３１８３はその影響を受けないように構成されている。一方、リードに関してはユーザプログラムで自由にすることができるように構成されている。

【０６０１】

また、１６ビット乱数値および８ビット乱数値の一方を初期値が設定可能に構成し、他方を初期値が設定不可能に構成してもよいし、乱数が正常に更新されているか否かについて一方を監視可能とし、他方を監視不能としてもよい。また、後述する内部リセットの場合と外部リセットの場合で乱数値の初期値を異ならせてもよく（例えば、内部リセット時の初期値は３３Ｈ、外部リセット時の初期値はＣＣＨ）、この場合、ユーザプログラムの初期設定などにおいて、乱数値の初期値に基づいてリセットの種類を判別し、リセットの種類に合わせた処理を実行してもよい。

【０６０２】

乱数監視回路３１８４は、乱数更新回路３１８３からの入力に基づいて、乱数が正常に

更新されているか否かを監視する。乱数の更新に異常がある場合、この乱数の更新に異常があることを示す情報を、内部情報レジスタ３１０１に出力する。

【０６０３】

なお、上記の説明では、乱数生成回路３１８の内部に周波数監視回路３１８２および乱数監視回路３１８４が設けられている構成であったが、乱数生成回路３１８の外部に設けてもよい。また、上記の説明では、乱数更新回路３１８３とは別に周波数監視回路３１８２および乱数監視回路３１８４が設けられている構成であったが、乱数更新回路３１８３の内部にこれらの回路を設けてもよい。

【０６０４】

ノイズフィルタ３１８５には、Ｐ０端子～Ｐ３端子からの入力が、パラレル入力ポート３１０２を介してラッチ信号として入力される。なお、図７７では、Ｐ３端子、およびそのＰ３端子に接続された回路等は図示省略している。上述のごとく、Ｐ０端子には、第１特図始動口２３０への入球を検出する球検出センサからの信号が入力され、Ｐ１端子には、第２特図始動口２３２への入球を検出する球検出センサからの信号が入力され、Ｐ２端子には、普図始動口２２８への入球を検出する球検出センサからの信号が入力される。さらに、ノイズフィルタ３１８５には、初期設定レジスタ３１８１によって選択されたクロック信号が入力される。このクロック信号を利用して、Ｐ０端子～Ｐ３端子からの入力に生じるノイズを除去した上で、ラッチ信号を検出する。このラッチ信号が検出されると、ハードラッチ信号が乱数レジスタ３１８８の手前に設けられたマルチプレクサに出力される。なお、このノイズ除去の詳細については、図７８を用いて後述する。

【０６０５】

ソフトラッチレジスタ３１８６には、乱数レジスタ３１８８から乱数をラッチすることを示す情報がＣＰＵ３０４からの指示によって適宜設定される。この情報が、ソフトラッチ信号として乱数レジスタ３１８８の手前に設けられたマルチプレクサに出力される。

【０６０６】

ラッチ選択レジスタ３１８７には、乱数レジスタ３１８８の手前に設けられたマルチプレクサからハードラッチ信号とソフトラッチ信号の何れを出力させるか、すなわち、乱数レジスタ３１８８にどちらのラッチ信号を入力するのかを示す情報が、ＣＰＵ３０４からの指示によって適宜設定される。この情報を設定することにより、ハードラッチ信号とソフトラッチ信号を適宜使用して、乱数を取得することができる。

【０６０７】

乱数レジスタ３１８８には、３つの信号が入力される。１つ目の信号は、乱数更新回路３１８３から出力された乱数を表す信号である。２つ目の信号は、手前に設けられたマルチプレクサから出力された乱数ラッチ信号（ハードラッチ信号とソフトラッチ信号のうち、ラッチ選択レジスタ３１８７で設定された信号）である。３つ目の信号は、乱数の読み取りを示すリード信号である。

【０６０８】

乱数レジスタ３１８８には、乱数更新回路３１８３によって更新された乱数を示す信号が常に入力されている。ここで、乱数ラッチ信号が入力されると、この入力タイミングにおける乱数が乱数レジスタ３１８８内にラッチ（保持）される。このとき、乱数レジスタ３１８８からは、乱数がラッチされていることを示すセット信号が、乱数ラッチフラグレジスタ３１８９に出力される。このときＣＰＵ３０４は、ラッチされている乱数を取得することができる。なお、ＣＰＵ３０４により乱数が取得されると、乱数レジスタ３１８８にリード信号が入力される。この信号により新たな乱数ラッチ信号が入力された場合に乱数をラッチすることを許容する許容状態となる。換言すれば、一度乱数をラッチすると、リード信号が入力されるまで新たに乱数をラッチすることができない非許容状態となる。なお、リード信号が入力されてもラッチされている乱数は保持し続けるため、ＣＰＵ３０４はラッチされている同一のタイミングでラッチされた乱数を何度でも取得することができる。このように構成することで乱数ラッチ信号を出力するセンサ回路におけるチャタリングの影響を押さえることができる。なお、リード信号が入力されたことを示すクリア信

号が乱数ラッチフラグレジスタ３１８９に出力される。また、図７７に示すように、乱数レジスタ３１８８が複数あることにより、同じ乱数更新回路から生成された乱数を様々なタイミングで取得することができる。

【０６０９】

乱数ラッチフラグレジスタ３１８９には、乱数レジスタ３１８８に乱数がラッチされているか否かを示す情報が記憶される。なお、乱数ラッチフラグレジスタ３１８９は、乱数レジスタ３１８８にラッチされた乱数（１６ビット乱数の全てまたは一部や、８ビット乱数の全てまたは一部）が読み出されたときに自動的にクリアされるように構成してもよいし、ＣＰＵによってクリアするように構成してもよい。

【０６１０】

乱数割込み制御レジスタ３１８０には、乱数レジスタ３１８８に乱数が保持された際に割込み制御回路に割込みを発生させるか否かを示す情報が設定される。この情報は乱数レジスタ３１８８毎に設定することができる。例えば、第１特図始動口２３０への入球により乱数発生チャンネルＣＨ１の乱数がラッチされた場合には、割込みを発生させ、第２特図始動口２３２への入球により乱数発生チャンネルＣＨ２の乱数がラッチされた場合には、割込みを発生させない、というような設定をすることができる。

【０６１１】

上記説明した乱数生成回路３１８を用いて、本実施形態では、普図始動口２８２、第１特図始動口２３０、第２特図始動口２３２のそれぞれに入球したタイミングで乱数を取得する。なお、任意のタイミングでＣＰＵ３０４に乱数を取得させるように、プログラムを実行させることもできる。さらに異なる乱数生成チャンネルを使用してそれぞれ独立の乱数を取得し、それぞれのチャンネル毎に乱数生成範囲の最大値を設定することができる。

【０６１２】

なお、本実施形態では、個別のチャンネルに対して乱数生成範囲を変更することができ、設定されていない場合には所定の最大値（例えば６５５３５）が適用される例について説明したが、これ以外に例えば、乱数生成範囲を変更する場合に全てのチャンネルに対して乱数生成範囲を設定することを必要とする構成であってもよい。

【０６１３】

なお、普図始動口２８２に入球したタイミングで取得された乱数は、後述する普図当選乱数として用いられる。また、第１特図始動口２３０に入球したタイミングで取得された乱数は、加工（例えば、乱数生成回路とは異なる回路（例えば、基本回路３０２やカウンタ回路３１２）でカウントアップ（ダウン）される値を乱数に加算（減算）する処理など）されて、後述する特図１当選乱数として用いられる。さらに、第２特図始動口２３２に入球したタイミングで取得された乱数は、加工されて、後述する特図２当選乱数として用いられる。

【０６１４】

なお、乱数の加工は、第１特図始動口２３０および第２特図始動口２３２に入球したタイミングで取得される乱数に限らず、他の契機（例えば、普図始動口２８２へに入球したタイミングなど）によって取得される乱数に対して行ってもよい。さらに、上述した乱数生成範囲の最大値を設定する場合においては、設定した最大値に応じた加工（例えば、この最大値を超えない値を乱数に加算する処理など）すれば良い。

【０６１５】

また、乱数の加工は必ずしも行う必要はないが、乱数の加工を行うことは乱数の狙いうちの防止に有効に働く。例えば加工した後の乱数が更新されたか否かをＣＰＵ３０４によって監視した場合、乱数生成回路３１８内での乱数の更新が正常に行われているか否かを正確に判断することができない。このように、乱数を加工する場合には、上述の乱数監視回路３１８４による乱数の更新の監視がより有効に働くこととなる。

【０６１６】

続いて、図７８を用いてノイズフィルタ３１８５の動作について説明する。同図は、図７７に示すノイズフィルタ３１８５による処理の一例を示す図である。

【０６１７】
上述したように、ノイズフィルタ３１８５には、Ｐ０端子～Ｐ３端子からの入力が、パラレル入力ポート３１０２を介してラッチ信号として入力され、初期設定レジスタ３１８１によって選択されたクロック信号が入力される。このノイズフィルタ３１８５は、例えば図７８に示すように、クロック信号のダウンエッジ（ＨレベルからＬレベルへの立ち下り信号）が４回連続で入力されるまで、Ｐ０端子～Ｐ３端子からの入力信号がＨレベルであれば、ハードウェアラッチ信号を出力するように構成されている。単純に信号の立ち上がりおよび立ち下がりだけを基にハードウェアラッチ信号を出力すると、ノイズが入った場合にもハードウェアラッチ信号が出力されてしまう。このため、上記のようにクロック信号を用いて、一定期間のセンサ信号を検出させることで、ノイズによりハードウェアラッチ信号が出力されてしまわないように構成されている。
【０６１８】
上記説明では、Ｐ０端子～Ｐ３端子からの入力によりハードラッチ信号を出力させる例について説明したが、例えば、Ｐ０端子～Ｐ３端子からの入力を一度ＣＰＵ３０４で受け付けた上で乱数を取得する方法もある。この場合には、ハードラッチ信号ではなく、ソフトラッチレジスタ３１８６から出力されたソフトラッチ信号により、乱数をラッチさせることになる。この場合、上記ノイズフィルタによる処理と同様の処理がＣＰＵ３０４により実行される。すなわち、Ｐ０端子～Ｐ３端子からの入力が所定期間継続したか否かを判定し、これを満たす場合にＰ０端子～Ｐ３端子からの入力が正しく行われたと判定する。その後、ソフトラッチ信号を出力するようにソフトラッチレジスタ３１８６を設定する。
【０６１９】
次に、図７９を用いて、図７７に示す乱数更新回路３１８３の詳細について説明する。同図は、図７７に示す乱数更新回路３１８３の詳細を示す図である。
【０６２０】
図７９（ａ）に示す乱数更新回路３１８３は、カウンタ回路３１８３ａと、スタート値選択回路３１８３ｂと、最大値設定レジスタ３１８３ｃを備えている。なお、図７７では、乱数更新回路３１８３に対して外部クロック信号および内部クロック信号のいずれかが乱数更新のための更新クロック信号として入力されることが示されているが、この図７９に示す乱数更新回路３１８３には、さらにＣＰＵ３０４から最大値データが入力される。
【０６２１】
カウンタ回路３１８３ａからは、乱数（乱数データ）が出力される。この乱数の初期値は、スタート値選択回路３１８３ｂに設定されている。この初期値には、固定値（例えば０）、プログラム管理エリア内に記憶されているマイクロプロセッサ３０００のＩＤナンバーを基にした値、および、乱数生成範囲内で抽選された値のいずれかが設定される。
【０６２２】
カウンタ回路３１８３ａには、更新クロック信号の１クロック毎に１が加算されるカウンタが設けられており、このカウンタの値に、スタート値選択回路３１８３ｂから入力された乱数の初期値を加えた値を乱数として出力する。
【０６２３】
カウンタ回路３１８３ａから出力される乱数の最大値は、最大値設定レジスタ３１８３ｃに設定されている。なお、乱数の最大値は、ＣＰＵ３０４からの命令に従って最大値設定レジスタ３１８３ｃに設定される。図７９（ｂ）には、この最大値が設定されている１６ビットのレジスタが示されている。ＣＰＵ３０４から最大値を設定する命令がない場合の初期値は、ＦＦＦＨ（６５５３５）である。なお、この最大値設定レジスタ３１８３ｃの変わりに、例えば、ＲＯＭ３０６のプログラム管理エリア内に最大値を設定する領域を設け、設定された最大値を参照する構成であってもよい。
【０６２４】
カウンタ回路３１８３ａは、出力する乱数が最大値を超えた場合、この最大値に１を加えた値を減算した上で、この値を乱数として出力する。例えば最大値が６５５３５の場合において、初期値とカウンタの値を足した値が、６５５３４、６５５３５、６５５３６、

６５５３７の順に更新されるとすると、出力される乱数は、６５５３４、６５５３５、０（６５５３６－（６５５３５＋１））、１（６５５３７－（６５５３５＋１））のようになる。すなわち、最大値を超えると出力される乱数が０に戻ることになる。

【０６２５】

また、カウンタ回路３１８３ａの内部に設けられたカウンタの値が、最大値レジスタ３１８３ｃに設定された最大値になると、このカウンタの値が０にクリアされるとともに、カウンタ回路３１８３ａからスタート値選択回路３１８３ｂに乱数の出力が一巡したことを示す信号（一巡信号）が出力される。この一巡信号を受けたスタート値選択回路３１８３ｂでは、乱数の初期値が更新される。この際更新される初期値が、最大値設定レジスタ３１８３ｃに設定されている乱数の最大値を超えている場合、例えば、固定値を用いたり、一度現在の乱数の最大値を乗じてから設定可能な乱数生成範囲の最大値（６５５３５）で除算した値を用いることにより、乱数の最大値を超えない値（乱数生成範囲内の値）が初期値として再設定される。無論、最初からこの再設定方法などを用いて、乱数生成範囲内の値が初期値として設定されるようにしてもよい。

【０６２６】

なお、本実施形態では、最大値設定レジスタ３１８３ｃに設定された最大値は、カウンタ回路３１８３ａからの出力が一巡した時点で自動的に更新されるが、例えばＣＰＵ３０４からの更新命令が来た時点で更新されるようにしてもよい。

【０６２７】

ここで、上記の乱数生成の範囲を図８０および図８１を用いて説明する。図８０は、乱数生成範囲の最大値が設定されていない場合（デフォルトの状態）において出力される乱数の範囲を示す図である。また、図８１は、図８０とは異なる最大値が設定された場合に出力される乱数の範囲を示す図である。

【０６２８】

まず、図８０（ａ）ではｎ周期目（ｎ－１回目の一巡信号が出力された直後）の状況について説明する。図８０（ａ）には、０～６５５３５の乱数生成範囲が示されている。また、出力される乱数の初期値がスタート値（Ｘ）として示されている。

【０６２９】

乱数更新回路３１８３からは、更新クロックの１クロック毎に乱数が更新されて出力される。より具体的には、最初にスタート値（Ｘ）が出力され、その後１クロック毎に、Ｘ＋１、Ｘ＋２の順で更新された乱数が出力される。この乱数の値が乱数生成範囲の最大値である６５５３５になると、上記説明した処理によって、次に出力される乱数は０に戻る。その後、１、２、の順で更新された乱数が出力され、Ｘ－１が出力された時点でこの乱数生成範囲を一巡したことになる。なお、このとき、乱数更新回路３１８３内のカウンタ回路３１８３ａのカウンタの値は最大値と同じ値になっている。スタート値選択回路３１８３ｂに乱数の出力が一巡したことを示す信号（一巡信号）が出力される。

【０６３０】

続いて１クロックが入力されると、乱数更新回路３１８３の出力はｎ＋１周期目（ｎ回目の一巡信号が出力された直後）に入る。このｎ＋１周期目の状況について、図８０（ｂ）を用いて説明する。まず、乱数更新回路３１８３内のカウンタ回路３１８３ａのカウンタの値は０にクリアされる。また、スタート値選択回路３１８３ｂでは、新たな初期値が設定される。図８０（ｂ）には、この新たな初期値がスタート値（Ｘ′）として示されている。この新たな初期値と、カウンタ回路３１８３ａのカウンタの値により、上記説明した流れと同様の流れで乱数が出力される。

【０６３１】

次に、図８１（ａ）では、図８０に示す乱数生成範囲の最大値よりも小さい最大値が設定された場合のｎ周期目（ｎ－１回目の一巡信号が出力された直後）の状況について説明する。図８１（ａ）には、０～６５５３５のうち、設定された最大値によって図８０（ａ）に示す乱数生成範囲よりも狭くなった乱数生成範囲が示されている。なお、出力されない乱数の範囲が左下がりのハッチングで示されている。また、出力される乱数の初期値が

スタート値（Ｙ）として示されている。

【０６３２】

図８０を用いて説明した状況と同様に、乱数更新回路３１８３からは、最初にスタート値（Ｙ）が出力され、その後１クロック毎に、Ｙ＋１、Ｙ＋２の順で更新された乱数が出力される。この乱数の値が設定された最大値になると、上記説明した処理によって、次に出力される乱数は０に戻る。すなわち、左下がりのハッチングで示された範囲の乱数は出力されない。その後、１、２、の順で更新された乱数が出力され、Ｙ－１が出力された時点でこの乱数生成範囲を一巡したことになる。なお、このとき、乱数更新回路３１８３内のカウンタ回路３１８３ａのカウンタの値は設定された最大値と同じ値になっている。スタート値選択回路３１８３ｂに乱数の出力が一巡したことを示す信号（一巡信号）が出力される。

【０６３３】

続いて１クロックが入力されると、乱数更新回路３１８３の出力はｎ＋１周期目（ｎ回目の一巡信号が出力された直後）に入る。このｎ＋１周期目の状況について、図８１（ｂ）を用いて説明する。図８０（ｂ）を用いて説明した場合と同様、乱数更新回路３１８３内のカウンタ回路３１８３ａのカウンタの値は０にクリアされる。また、スタート値選択回路３１８３ｂでは、新たな初期値が設定される。図８１（ｂ）には、この新たな初期値がスタート値（Ｙ′）として示されている。この新たな初期値と、カウンタ回路３１８３ａのカウンタの値により、上記説明した流れと同様の流れで乱数が出力される。

【０６３４】

なお、上記のように乱数生成チャンネルの最大値を適切に設定する以外に、例えば、ある乱数生成チャンネルでは乱数の最大値が６５５３５であるが、別の乱数生成チャンネルでは乱数の最大値が２５５である、というように、チャンネル毎に乱数生成範囲を予め異ならせておいてもよい。この場合には、必要とされる乱数生成範囲に応じてチャンネルを選択すればよい。この場合には、最大値設定レジスタの容量削減や、最大値設定の処理負担を軽減することができる。さらに、予め設定可能な最大値を複数設定した上で、これらの中から適切な最大値を選択して設定するようにしても、最大値設定レジスタの容量削減や、最大値設定の処理負担を軽減することができる。

【０６３５】

以上、乱数更新回路３１８３の乱数の出力について説明した。以下この乱数更新回路３１８３の変形例について図８２を用いて説明する。同図は、最大値と最小値を設定した乱数生成範囲において、乱数を取得することができる範囲を示す図である。

【０６３６】

図７９から図８１の例では、乱数生成範囲の最大値を変更する例について説明したが、例えば、最小値を設定できるものであってもよい。さらに、最大値だけでなく最小値を設定するレジスタを用意し、図８２（ａ）に示すように、最小値、最大値を設定し、乱数生成範囲を設定できるものであってもよい。加えて、図８２（ｂ）に示すように、複数の乱数生成範囲を設定できるものであってもよい。すなわち、出力される乱数の範囲を設定出来る構成であればよい。また、上記説明では、説明を分かり易くするため出力される乱数が１ずつ増加する例について説明したが、これ以外の乱数の更新方法であってもよい。

【０６３７】

以下、図８３を用いて本実施形態の遊技台で使用される乱数と、その主な導出源について説明する。同図は、本実施形態の遊技台で使用される乱数の導出源を表で示す図である。なお、この図で示される各乱数は、後述のフローチャートで用いられる。

【０６３８】

まず、特図１当選乱数、特図２当選乱数、および普図当選乱数は、上記乱数生成回路３１８の乱数生成チャンネルＣＨ１～ＣＨ４によって生成される乱数が基になる。この値を必要に応じて適宜加工してこれらの乱数として使用する。

【０６３９】

大当り用特図乱数、小当り用特図乱数、およびハズレ用特図乱数は、後述する主制御部

タイマ割込み処理において生成される。すなわちこれらの乱数は、所謂ソフトウェア乱数である。なお、これらの乱数を生成する際に用いられる初期値生成用乱数は、主制御部メイン処理および主制御部タイマ割込み処理で生成される。

【０６４０】

特図変動時間決定用乱数、および普図変動時間決定用乱数は、カウンタ回路３１２の値を乱数として用いる。本実施形態のカウント回路３１２は、マイクロプロセッサ３０００のシステムクロックの他、上記タイマ回路からのタイムアウト信号、メモリの読み書き信号、メモリリクエスト信号、外部入出力の信号等もカウンタの対象として用いることができる。このため、これらを組み合わせることで規則性のない値を導出させ、上記の乱数に使用している。演出用乱数は、主制御部メイン処理および主制御部タイマ割込み処理で生成される。

【０６４１】

次に、図８４を用いて、図７５に示す割込み制御回路３１００に設けられた内部情報レジスタ３１０１の詳細について説明する。上述したように、内部情報レジスタ３１０１には、乱数生成回路３１８で乱数更新周期を決める外部クロック（カウントクロック）の周期の異常、および生成された乱数値の異常、さらに、直前に発生したユーザリセットのリセット要因の情報等が格納される。この内部レジスタ３１０１には、第１内部情報レジスタと第２内部情報レジスタと、第３内部情報レジスタとが用意されている。

【０６４２】

図８４は、割込み制御回路３１００の内部レジスタ３１０１に用意された第１内部情報レジスタを説明するための図である。図８４（ａ）には、第１内部情報レジスタのうち、乱数生成回路３１８の異常を示す情報が記憶される範囲が示されている。この範囲は８ビットで構成されており、図８４（ｂ）には、これらの各ビットがどのような情報を示すものかが表で示されている。

【０６４３】

ＣＰＵ３０４は、後述するタイマ割込みが実行される度にこの第１内部情報レジスタの内容を確認する（図９５のステップＳ３２３５ａ）。この内容は、異常が発生した場合に遊技の進行を止める等の処理を行うか否かの判定に用いられる。例えば、本実施形態では、乱数生成回路３１８で異常が検出されると、入賞受付処理が実行されないように構成されている（図９５のステップＳ３２３５ｃおよび図９６参照）。この他、球の打ち出しを行わないようにしたり、払出しを行わないようにしたり、あるいは、変動タイマの減算を行わないようにしてもよい。特に、乱数更新に異常があった場合、乱数更新回路３１８３に大電流が流れている状態（ラッチアップ状態）である可能性があるため、一度電源をオフにすることを報知するようにしてもよい。

【０６４４】

ビット番号０は、乱数生成回路３１８の外部クロック（更新クロック）の異常を示すビットであり、０は異常なし、１は異常ありを示す。ビット番号１～４は、乱数生成回路３１８で生成された乱数の異常を、各チャンネル毎に示すビットであり、０は異常なし、１は異常ありを示す。ビット番号５～７は、不使用（０に固定）である。

【０６４５】

第１内部情報レジスタの値が１である場合、ＣＰＵ３０４から読み出されると０に設定（クリア）される。なお、内部情報レジスタはＣＰＵ３０４に一度に読み出されるため、第１内部情報レジスタが保持している値を０に設定（クリア）したい場合は、ＣＰＵ３０４に第１内部情報レジスタの値を読み出した後に読み出した値を破棄すれば良い。また、上述の通り、システムリセットおよびユーザリセットのいずれかの処理が実行された場合に、この内部情報レジスタは、ＣＰＵ３０４から読み出された場合と同様に各ビットは０に設定（クリア）されることとなる。

【０６４６】

以上、乱数生成回路３１８の異常がどのように記憶されているかについて説明したが、この例と同様に上記リセット要因を示す情報（システムリセットおよびユーザリセットの

うちのいずれのリセットが発生したのかを識別可能な情報）についても、第１内部情報レジスタに記憶されている。なお、上記説明では、乱数生成チャンネルの異常をビット番号１～４によってそれぞれのチャンネル毎に表していたが、１つのビットによっていずれかのチャンネルで異常が起きたか否かを表すようにしてもよい（全てのチャンネルで共通にしてもよい）。なお、本実施形態では、内部情報レジスタ３１０１が割込み制御回路３１００内に設けられているが、他の回路に設けられているものであってもよい。なお、割込み制御回路３１００の内部レジスタ３１０１に用意された第２内部情報レジスタおよび第３内部情報レジスタについては後述する。

【０６４７】

次に、図７７に示す周波数監視回路３１８２における異常の検出例について、図８５を用いて説明する。同図は、周波数監視回路３１８２における異常の検出例を示す図である。図８５には、一番上からそれぞれ、正常時の動作、異常時の動作例１（異常時１）、異常時の動作例２（異常時２）が示されている。これらの例では、マイクロプロセッサ３０００の内部クロックと、乱数生成回路３１８に入力される外部クロック（ＲＣＫ）に加え、外部クロックの１周期に対する内部クロックの周期の比率が示されている。この検出動作では、外部クロックと内部クロックの周期の比率を監視し、この比率が変化した場合を異常として検出する。

【０６４８】

図８５（ａ）に示す正常時の例では、外部クロックの１周期の間に内部クロックが２．５周期ある状態が継続している。すなわち、外部クロックと内部クロックの周期の比率が変化しないため、異常を示す情報は出力されない。

【０６４９】

次に、図８５（ｂ）に示す異常時の動作例１（異常時１）では、外部クロックの１周期の間に内部クロックが４．５周期ある状態が示されている。図８５（ａ）に示す状態からこの図８５（ｂ）に示す状態になった場合には、この時点で異常を示す情報が出力される。

【０６５０】

次に、図８５（ｃ）に示す異常時の動作例２（異常時２）の最初には、外部クロックの１周期の間に内部クロックが０．５周期ある状態が示されている。仮に、図８５（ａ）に示す状態からこの図８５（ｃ）の最初の状態になった場合には、この時点で異常を示す情報が出力される。さらに、図８５（ｃ）には、外部クロックの１周期の間に内部クロックが０．５周期ある状態に続き、外部クロックの１周期の間に内部クロックが２．５周期ある状態が継続している。この周期の比率が変化した時点でも異常を示す情報が出力される。

【０６５１】

上記の例では、外部クロックと内部クロックのいずれか一方の周期が異常になると、異常を示す情報が出力されることになる。すなわち、内部クロックを乱数の更新クロックとして使用した場合でも、異常を検出することができる。なお、外部クロックと内部クロックの比率が同じであれば、双方の周波数が変更されても異常を示す情報が出力されない。この場合、例えばプログラム管理エリア内に外部クロック又は内部クロックの周波数を示す情報を記憶させておき、この情報を用いて外部クロック又は内部クロックの異常を検出させることも可能である。なお、更新クロックの異常を検出する方法は上述した方法に限らず、更新クロックの周期の異常を検出可能な方法であれば他の方法を採用しても良い。

【０６５２】

続いて、図７７に示す乱数監視回路３１８４における異常の検出例について、図８６を用いて説明する。同図は、乱数監視回路３１８４における異常の検出例を示す図である。この検出例では、１回の乱数の更新毎に更新前後の乱数を比較し、同じ乱数が生成されていないか否かをチェックする。仮に同じ乱数が生成されている場合には、異常を示す情報が出力される。図８６（ａ）の例では、更新前後で同じ乱数が生成されていないため、異常を示す情報は出力されない。これに対して、図８６（ｂ）の例では、更新の途中で同じ

乱数が生成されており（乱数４が２回生成されている）、この時点（２回目の４が出力された時点）で異常を示す情報が出力される。なお、上記の例では、乱数が更新される度にチェックを行っているが、この乱数更新周期よりも長い所定の周期毎でチェックさせてもよい。

【０６５３】

上記説明したように乱数生成回路３１８では、周波数監視回路３１８２と乱数監視回路３１８４から異常を示す情報が内部情報レジスタ３１０１に対して出力される。また、内部情報レジスタ３１０１の値は、タイマ割込み毎にＣＰＵ３０４によって読み出される。

【０６５４】

このように周波数監視回路３１８２および乱数監視回路３１８４の双方を用いて乱数生成回路３１８の異常を監視することで、更新クロックの周波数に異常があるが、乱数の更新には異常がない異常状態（乱数監視回路３１８４のみでは検出できない異常状態）と、更新クロックの周波数に異常がないが、乱数の更新には異常がある異常状態の双方の異常状態を的確に把握することが可能になり、遊技制御の安定化を図ることができる。

【０６５５】

従来の遊技台では、遊技者に有利な抽選結果が導出されやすくなるように抽選に用いられる乱数に狙いを定めて不正が行われることがあり、遊技の公平性を担保することが困難になっている。しかし、本実施形態の遊技台によれば、上記の乱数生成回路３１８によって抽選に用いられる乱数の異常を把握したうえで対処することができるため、乱数の狙いうちを抑止して遊技の公平性を担保することができる。なお、周波数監視回路３１８２および乱数監視回路３１８４は内部情報レジスタ３１０１に記憶されている情報に関わらず継続してそれぞれ監視を行っている。

【０６５６】

ここで、内部情報レジスタ３１０１の値が、乱数生成回路３１８により生成される乱数が一巡する周期（乱数生成範囲内の全ての値を各１回出力するのに必要な期間、以下、乱数一巡周期と称する）だけ保持され、その後クリアされる構成であった場合の問題点について図８７を用いて説明する。同図は、乱数が一巡する周期とタイマ割込みの周期を比較した図である。図８７の一番上には、一番下に示すタイマ割込み周期ｔ４よりも長い乱数一巡周期ｔ１が示されている。また、図８７の上から二番目および三番目には、タイマ割込み周期ｔ４よりも短い乱数一巡周期ｔ２およびｔ３がそれぞれ示されている。

【０６５７】

上述したように内部情報レジスタ３１０１の内容はタイマ割込み毎に確認される。例えば乱数一巡周期が、図８７に示す乱数一巡周期ｔ１のようにタイマ割込み周期ｔ４よりも長い場合、内部情報レジスタ３１０１に保持された値がクリアされる前にこの値を読み取ることができる。しかし、本実施形態では、乱数生成範囲の最大値を設定することができるため、これに従って乱数一巡周期が短くなってしまう事態が生じ得る。例えば乱数一巡周期が、図８７に示す乱数一巡周期ｔ２およびｔ３のようにタイマ割込み周期ｔ４よりも短い場合、内部情報レジスタ３１０１に保持された値を読み取る前にこの値がクリアされる場合がある。すなわち、ＣＰＵ３０４が異常を示す情報を取得することが出来なくなる場合がある。

【０６５８】

本実施形態では、内部情報レジスタ３１０１の値が一旦セットされると、この値が読みとられるまでその値が保持される。すなわち、正常に戻ったか否かにかかわらずこの値が維持される。さらに、ＣＰＵ３０４がこの値を読み取ると、読み取られた部分の値がクリアされるようになっている。このため、上記のように乱数一巡周期が変わってしまったとしても、内部情報レジスタ３１０１から異常を示す情報を取得することができる。なお、異常を示す値が読み取られた後に、異常が継続していれば再度異常を示す値がセットされる。

＜主制御部メイン処理＞

【０６５９】

次に、図８８を用いて、図４に示す主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【０６６０】

この主制御部メイン処理は上述のユーザモードにおける処理に相当し、システムリセットがかかった場合でも、ユーザリセットがかかった場合でも実行される処理である。図４に示す主制御部３００のＲＡＭ３０８には、大当り用特図１乱数カウンタ、小当り用特図１乱数カウンタ、ハズレ用特図１乱数カウンタ、およびこれらのカウンタの特図２用のカウンタが設けられている。また、そのＲＡＭ３０８には、特図１の保留数、特図１当選乱数、大当り用特図１乱数、小当り用特図１乱数、ハズレ用特図１乱数、特図１当否判定結果、特図１決定結果、特図１変動時間、およびこれらの、保留数や乱数や結果の特図２用のものがそれぞれ記憶される。またＲＡＭ３０８には、当否判定（抽選）の開始を保留することができる最大数（この例では４つ）の領域に区分けされた保留記憶部が特図１と特図２で別々に用意されている。特図１の保留記憶部には、後述するように、特図１当選乱数、大当り用特図１乱数、小当り用特図１乱数、ハズレ用特図１乱数、および特図１変動時間決定用乱数の５つの乱数を１セットにしてこれら５つの乱数が入賞順（保留順）に１セットずつ１領域ごとに格納される。

【０６６１】

上述したように、図４に示す主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信号を入力した基本回路３０２のＣＰＵ３０４は、リセット割込によりリセットスタートしてＲＯＭ３０６に予め記憶している制御プログラムに従って図８８に示す主制御部メイン処理を実行する。

【０６６２】

ステップＳ３００１では、初期設定１を行う。この初期設定１では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）、割込マスクの設定、Ｉ／Ｏ３１０の初期設定、ＲＡＭ３０８に記憶する各種変数の初期設定等を行う。

【０６６３】

ステップＳ３００３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０が第２副制御部５００を介して主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）には繰り返しこのステップＳ３００３を実行し、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ３００５に進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にも、供給電圧がその所定の値以上になるまでステップＳ３００３は繰り返し実行される。ステップＳ３００５では、初期設定２を行う。

【０６６４】

図８９は、主制御部メイン処理における初期設定２の流れを示すフローチャートである。まず、ステップＳ３０５１では、カウンタ回路３１２に最大値や更新ソースを決める数値を設定する処理等、カウンタ回路３１２に関する設定処理を行う。なお、後述する主制御部タイマ割込処理を定期毎に実行するための周期を決める数値をタイマ回路３１１に設定する処理等、タイマ回路３１１に関する設定処理も併せて行う。ステップＳ３０５２では、第１副制御部４００への出力ポートからクリア信号を出力する処理を行い、ステップＳ３０５３に進む。ステップＳ３０５３では乱数生成回路初期設定処理を行い、次いで、ステップＳ３０５４でＲＡＭ３０８への書き込みを許可する設定を行って、この初期設定２は終了になる。

【０６６５】

図９０は、ステップＳ３０５３における乱数生成回路初期設定処理の流れを示すフローチャートである。この乱数生成回路初期設定処理は、上述のユーザモードにおいて行われ

る、図７７に示す乱数生成回路３１８の初期設定処理である。まず、乱数の取り得る範囲（乱数生成範囲）範囲の設定を行い（ステップＳ３０５３ａ）、ステップＳ３０５３ｂに進む。上述のごとく、図７７に示す乱数生成回路３１８では、生成する乱数の最大幅は０～６５５３５であり、この最大幅が乱数生成範囲のデフォルトになり、ここでは、図７９～図８２を用いて詳細に説明したように、その乱数生成範囲をデフォルトとは異なる範囲に設定することができる。図８８に示す主制御部メイン処理は、リセット（システムリセットまたはユーザリセット）がかかる度に実行される処理であるため、乱数生成範囲の設定もリセットがかかる度に実行される。このようにすることで、図９８、図９９を用いて後述する乱数生成範囲の異常による問題を防止することができる。

【０６６６】

ステップＳ３０５３ｂでは、図７７に示す乱数レジスタ３１８８の読み出しを行うとともに、読み出した乱数を破棄する処理を行い、ステップＳ３０５３ｃに進む。この処理によって、乱数生成範囲のリセットがかかるごとに乱数レジスタ３１８８が乱数をラッチすることを許容する許容状態になる。この許容状態においては、仮に異常の可能性がある乱数が乱数レジスタに残っている場合でもすぐに乱数を更新させることができるため、異常の可能性がある乱数の使用を防止することができる。

【０６６７】

本実施形態では、乱数生成回路３１８では、特図当選乱数の元になる乱数と普図当選乱数とを生成するが、制御状態に応じて出力チャンネルが異なる。すなわち、特図当選乱数の元になる乱数は、非確率変動中（特図低確率状態）にはチャンネルＣＨ１から出力され、確率変動中（特図高確率状態）にはチャンネルＣＨ２から出力される。また、普図当選乱数は、普図低確率状態（非電サポ中）にはチャンネルＣＨ３から出力され、普図高確率状態（電サポ中）にはチャンネルＣＨ４から出力される。なお、乱数生成回路３１８は、特図当選乱数そのものを生成するものであってもよいし、特図当選乱数の元になる乱数を生成するものであってもよい。また、普図当選乱数そのものを生成するものであってもよいし、普図当選乱数の元になる乱数を生成するものであってもよい。ステップＳ３０５３ｃでは、これら４チャンネル総てのチャンネルについてステップＳ３０５３ａとステップＳ３０５３ｂが実行されたか否かを判定し、全チャンネルについて終了していなければ、ステップＳ３０５３ａに戻り、１チャンネルごとに未了のチャンネルについて処理を行う。なお、乱数生成範囲の設定は、状態に応じて使用されているチャンネルのみを実行してもよいし、乱数生成範囲を設定されるチャンネルのみ実行するようにしてもよい。一方、全チャンネルについて終了していれば、この乱数生成回路初期設定処理は終了になる。

【０６６８】

なお、主制御部のタイマ割込みはこの時点では禁止されており、乱数生成回路初期設定処理はタイマ割込み許可前に行っていることになるため、新たに乱数がラッチされたとしても各種抽選に使用されることはなく、抽選処理の安定化を図ることができる。

【０６６９】

ところで、本実施例では、システムリセットが発生した（乱数の更新が停止されている）場合、および例えばユーザリセットが発生した場合のようにユーザプログラムが最初から実行される（乱数の更新が行われている）場合のいずれの場合であっても必ず乱数回路初期化処理が実行されるように構成されている。必ずしもこのように構成する必要はないが、このように構成することで、ユーザプログラムの解析結果と乱数生成回路３１８の動作が合わなくなるため、基本回路３０２の動作の解析が困難になり、不正を防止することができる。従って、不正により基本回路３０２の動作が不安定にされることがなく、遊技制御の安定化を図ることができる。仮に、不正により基本回路３０２の動作が解析された場合、遊技者に有利な操作が行われてしまう虞があるが、上記の構成であればこのような不正が防止できるため、遊技制御の安定化を図ることができる。

【０６７０】

さらに、乱数生成回路３１８が乱数更新を行うか否かに関わらず、ＣＰＵ３０４に乱数生成回路初期設定処理を実行する指示を行わせた場合、ユーザリセットが実行された場合

の処理を統一することができる。すなわち、ユーザリセット後に不安定な状態となった場合にも分岐処理を行わずにすむため、遊技制御の安定化を図ることができる。なお、上述した内容はユーザリセットがかかった場合について述べたが、システムリセットがかかった場合についても同様の効果を得ることができる。

【０６７１】

なお、上述した通り、本実施例では、システムリセットが発生した場合と、ユーザリセット等が発生した場合とで乱数生成回路初期設定処理の処理内容が同一となっているが、この処理内容をシステムリセットが発生した場合と、ユーザリセット等が発生した場合とで異ならせるようにしてもよい。具体的には、ユーザリセットが発生した場合には、最大値を設定する処理（最大値設定レジスタにＲＯＭ３０６に記憶されている対応ＣＨの最大値をライトする処理）を実行する一方で、ユーザリセット等が発生した時には、最大値を確認する処理（最大値設定レジスタの値をリードしてＲＯＭ３０６に記憶されている対応するＣＨの最大値と比較する処理）を行うとともに、最大値が一致しなかった場合には所定の処理（例えば、遊技の進行を停止させる処理、外部に異常を示す信号を送信する処理、異常を報知する処理、異常が発生したことを記憶する処理など）を実行するように構成してもよい。なお、システムリセットが発生したのかユーザリセット等が発生したのかを識別方法としては、内部情報レジスタ（詳細は後述）に記憶されている情報を参照するようにすればよい。

【０６７２】

図８８に示す主制御部メイン処理におけるステップＳ３００７では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）にはＲＷＭクリア処理（ステップＳ３０１３）に進む。

【０６７３】

具体的には、最初に、図２に示す電源基板１８２に設けたＲＡＭクリアスイッチ１８０を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ３０１３に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ３０１３に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が、電断前にＲＡＭ３０８に設定した値と一致するか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ３００９に進み、チェックサムの結果が特定の値以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ３０１３に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ３０１３に進む。

【０６７４】

ステップＳ３００９では、データ書き戻し処理を行う。このデータ書き戻し処理では、電断時にＲＡＭ３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタの値を読み出し、スタックポインタに再設定（本設定）する。また、電断時にＲＡＭ３０８に設けられたレジスタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割込許可の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割込処理（後述）に分岐す

る直前に行った命令の次の命令から処理を再開する。また、図４に示す主制御部３００における基本回路３０２に搭載されているＲＡＭ３０８には、送信情報記憶領域が設けられている。このステップＳ３００９では、その送信情報記憶領域に、復電コマンドをセットする。この復電コマンドは、電源断時の状態に復帰したことを表すコマンドであり、後述する、主制御部３００のタイマ割込処理におけるステップＳ２３１において、第１副制御部４００へ送信される。

【０６７５】

ステップＳ３０１１では、ＷＤＴ３１４１を起動させる処理を行う。ここでは、ＷＤＴ３１４１の起動許可及び初期値の設定等を行う。なお、本実施形態では、ＷＤＴ３１４１に、初期値として３２．８ｍｓに相当する数値を設定する。

【０６７６】

ステップＳ３０１３では、ＲＷＭクリア処理を行う。このＲＷＭクリア処理では、ＲＡＭ３０８の全ての記憶領域の初期化を行う。また、主制御部のタイマ割込み許可の設定、スタックポインタへのスタック初期値の設定（本設定）なども併せて行う。さらにここで、主制御部３００のＲＡＭ３０８に設けられた送信情報記憶領域に正常復帰コマンドをセットする。この正常復帰コマンドは、主制御部３００のＲＷＭクリア処理（ステップＳ３０１３）が行われたことを表すコマンドであり、復電コマンドと同じく、主制御部３００のタイマ割込処理におけるステップＳ２３１において、第１副制御部４００へ送信される。ステップＳ３０１５では、ステップＳ３０１１と同様、ＷＤＴ３１４１を起動させる処理を行う。

【０６７７】

なお、本実施例では、少なくともタイマ割込み許可の設定を行った後の主制御部メイン処理においてＷＤＴ３１４１のリスタートを行わず、後述する主制御部タイマ割込処理でのみＷＤＴ３１４１のリスタート（詳細は後述）を行うように構成するとともに、主制御部のタイマ割込み許可の設定後にＷＤＴ３１４１を起動させる処理を行うように構成している。このように構成することで、正常に主制御部のタイマ割込処理が実行されている場合にのみＷＤＴ３１４１のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えることなく（ＷＤＴ３１４１割込が発生せずに）、その後の処理が行われるようになる。特に、主制御部メイン処理で乱数生成回路から乱数を取得（ラッチされた乱数の取得のみ、または乱数のラッチおよびラッチされた乱数の取得）する遊技台においては、主制御部に異常がある場合（主制御部タイマ割込処理が正常に実行されてない場合）に乱数が取得されてしまうことを防止することができる。

【０６７８】

ステップＳ３０１７では、基本乱数初期値更新処理を行う。ここにいう基本乱数とは、ソフトウェア乱数である、大当り用特図乱数、小当り用特図乱数、およびハズレ用特図乱数が相当する。なお、各乱数には特図１用の乱数と特図２用の乱数が存在するが、以降の説明では、特に断りを入れない限り両者を区別することなく単に特図として説明する。この基本乱数初期値更新処理では、大当り用特図乱数カウンタ、小当り用特図乱数カウンタ、およびハズレ用特図乱数カウンタそれぞれの初期値を生成するための初期値生成用乱数カウンタを更新する。各カウンタがＲＡＭ３０８に設けられている。なお、初期値生成用乱数カウンタは、後述するステップＳ２０４でも更新する。

【０６７９】

ステップＳ３０１９では演出乱数更新処理を行う。ここにいう演出乱数もソフトウェア乱数であって、この演出乱数は、演出を決定する元になる乱数のことであり、本実施形態では、後述する先読み予告を実行するか否かを抽選する際に用いられる乱数等が相当する。この演出乱数更新処理では、ＲＡＭ３０８に設けられた演出乱数カウンタを更新する。なお、演出乱数カウンタは、後述するステップＳ２１１でも更新する。

【０６８０】

主制御部３００は、所定の周期ごとに開始するタイマ割込処理を行っている間を除いて、ステップＳ３０１７およびステップＳ３０１９の処理を繰り返し実行する。これらのス

テップＳ３０１７およびステップＳ３０１９は、主処理の一例に相当する。
＜主制御部タイマ割込処理＞
【０６８１】
次に、図９１を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。
【０６８２】
図４に示す主制御部３００は、所定の周期（本実施形態では約４ｍｓに１回）でタイマ割込信号を発生するタイマ回路３１１を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。
【０６８３】
ステップＳ３２０１では、タイマ割込スタート処理を行う。このタイマ割込スタート処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。ステップＳ３２０３では、ＷＤＴ３１４１のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ３１４１割込が発生しないように（処理の異常を検出しないように）、ＷＤＴ３１４１を定期的に（本実施形態では、主制御部タイマ割込の周期である約４ｍｓに１回）リスタートを行う。
【０６８４】
ステップＳ３２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、各種の球検出センサを含む図４に示す各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前回のタイマ割込処理（約８ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。
【０６８５】
また、ステップＳ３２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の遊技球が一つの球検出センサを通過する間に、約４ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ３２０５では、同じ遊技球が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ遊技球が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、遊技球が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図４に示す主制御部３００のＲＯＭ３０６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ３２０５では、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図

始動口２２８の通過があったと判定する。すなわち、これらの入賞口２３４、２３０やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。なお、本実施形態では、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８へ入賞があったか否かの判定として、前々回、前回および今回の検出信号が予め定められた入賞判定パターン情報と一致した否かを判定していたが、このような方法に限らず、例えば、前回および今回の検出信号が予め定められた入賞判定パターン情報（例えば、前回検出信号なし、今回検出信号あり（いわゆるアップエッジ））と一致したか否かを判定するように構成してもよい。すなわち、球検出センサからの検出信号の有無を監視し、この監視結果の履歴が予め定められたパターンと一致したか否かを判定するように構成すればよい。

【０６８６】

ステップＳ３２０７およびステップＳ３２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ３０１７で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、大当り用特図乱数、小当り用特図乱数、およびハズレ用特図乱数それぞれを生成するための乱数カウンタを更新する。例えば、大当り用特図乱数として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた大当り用特図乱数を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する大当り用特図乱数生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、大当り用特図乱数生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、大当り用特図乱数生成用の乱数カウンタにセットすると共に、大当り用特図乱数生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。なお、本実施形態では特図１に関する乱数を取得するためのカウンタと特図２に関する乱数を取得するためのカウンタとを別々に設けているが、同一のカウンタを用いてもよい。

【０６８７】

ステップＳ３２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、上記ステップＳ３０１９と同様に、主制御部３００で使用する演出用乱数を生成するための乱数カウンタを更新する。ステップＳ３２１３では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特図表示装置２１２に図柄を変動・停止表示する時間を計時するための特図１表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各

種タイマを更新する。
【０６８８】
ステップＳ３２１５では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２３４、２３０や始動口２３０、２３２、２２８に入賞があった場合に、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。
【０６８９】
また、ステップＳ３２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０に入賞があり、且つ、保留している特図１変動遊技の数が所定数（本実施形態では４）未満である場合には、所定の始動情報を取得する。すなわち、保留数が所定数未満であれば、図４に示す乱数生成回路３１８から、特図１当選乱数の元になるハードウェア乱数を得、加工を施すことによって特図１当選乱数を取得する。この特図１当選乱数を取得する処理をより具体的に説明すると、乱数生成回路３１８の特図１に対応するチャンネルの乱数をラッチするためのラッチ信号を出力する処理（具体的には、ソフトラッチレジスタ３１８６の特図１のチャンネルに対応する領域に所定の値を書き込む処理）を実行するとともに、このラッチ信号によってラッチされた乱数を取得するためのリード信号を出力する処理（具体的には、乱数レジスタ３１８８のうちの特図１のチャンネルに対応する乱数レジスタに対してリード信号を出力する処理）を実行してラッチされている乱数を取得するとともに、取得した乱数を加工（例えば、ユーザプログラムで生成しているソフトウェア乱数を加算する処理）する処理である。なお、第２特図始動口２３２に入賞があった場合も同様の処理を実行する。なお、本実施形態では、乱数生成回路３１８から乱数を取得する方法として特図１および２に対応するチャンネルの乱数をラッチするためのラッチ信号を出力する処理を行った後にラッチした乱数を取得するリード信号を出力する方法を採用しているが、特図１および２に対応するチャンネルの乱数を直読みする処理（具体的には、乱数レジスタ３１８８の値を直接リードする処理）を実行して取得するようにしてもよい。さらに、本実施形態では、特図１および２のラッチされた乱数を取得するためのリード信号を出力する処理（乱数レジスタ３１８８の値を直接リードする処理とは異なる）を主制御部タイマ割込み処理において実行するように構成しているが、この処理に関しては上述した主制御部メイン処理において実行するように構成してもよく、この場合は、後述する特図関連抽選処理を合わせて主制御部メイン処理において実行するように構成すればよく、特図１および２に対応するチャンネルの乱数値を直読みする処理を実行する場合においては、特図関連抽選処理のみを主制御部メイン処理おいて実行するように構成すればよい。また、本実施形態では、特図１当選乱数および特図２当選乱数それぞれを、乱数生成回路３１８から取得した乱数を加工して導出しているが、このような場合に限らず、乱数生成回路３１８から取得した乱数を特図１当選乱数および特図２当選乱数としてもよい。また、ＲＡＭ３０８に設けた乱数カウンタ記憶領域から、大当り用特図１乱数、小当り用特図１乱数、およびハズレ用特図１乱数を取得する。大当り用特図１乱数、小当り用特図１乱数、およびハズレ用特図１乱数は、ＲＡＭ３０８に設けられたソフトウェア乱数カウンタから導出されたソフトウェア乱数を加工した値（ソフトウェア乱数の値＋Ｒレジスタの値＋１）である。さらに、図４に示すカウンタ回路３１２から特図１変動時間決定用乱数を取得する。図４に示す乱数生成回路３１８、カウンタ回路３１２、ＲＡＭ３０８に設けられたソフトウェア乱数カウンタ、および乱数加工を施す主制御部３００を併せたものが、始動情報を生成して導出するものであり、始動情報導出手段（第１の始動情報導出手段，第２の始動情報導出手段）の一例に相当する。ここで取得された各種乱数（始動情報）は、ＲＡＭ３０８に設けた特図１の保留記憶部の、入賞順（保留順）に応じた空いている領域に、１セットの始動情報として記憶される。この特図１の保留記憶部は、第１特図始動口２３０（第１の始動領域）に遊技球が進入した場合に取得した始動情報を所定の第１上限個数（ここでは４個）まで記憶可能な第１の始動情報記憶手段に相当する。このとき各種乱数（始動情報）をＲＡＭ３０８に設けた一時領域に一旦記憶し、その一時領域に記憶された値を特図１の保留記憶部に記憶してもよく、この場合、一時領

域を第１の始動情報記憶手段としてもよいし、特図１の保留記憶部および一時領域を第１の始動情報記憶手段としてもよい。また、主制御部３００のＣＰＵ３０４は、ＲＡＭ３０８に記憶されている特図１の保留数の値に１を加算し、特図１の保留数が１増加する。したがって、主制御部３００のＣＰＵ３０４が保留手段の一例に相当する。また、特図２についても、特図１と同様に始動情報である各乱数を取得し、取得した乱数をＲＡＭ３０８に設けた特図２の保留記憶部に、１セットの始動情報として同様に記憶され、さらに、ＲＡＭ３０８に記憶されている特図２の保留数の値に１を加算する。特図２の保留記憶部は、第２特図始動口２３２（第２の始動領域）に遊技球が進入した場合に取得した始動情報を所定の第２上限個数（ここでは４個）まで記憶可能な第２の始動情報記憶手段に相当する。このとき各種乱数（始動情報）をＲＡＭ３０８に設けた一時領域に一旦記憶し、その一時領域に記憶された値を特図２の保留記憶部に記憶してもよく、この場合一時領域を第２の始動情報記憶手段としてもよいし、特図２の保留記憶部および一時領域を第２の始動情報記憶手段としてもよい。

【０６９０】

また、普図始動口２２８を球が通過したことを検出し、且つ、保留している普図変動遊技の数が所定数（本実施形態では４）未満の場合には、そのタイミングで、図４に示す乱数生成回路３１８から普図当選乱数を所得し、ＲＡＭ３０８に設けた特図用とは別の乱数記憶領域に記憶する。この乱数生成回路３１８から普図当選乱数を取得する点についても、さらに後述する。

【０６９１】

また、この入賞受付処理では、所定の球検出センサにより、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８、または可変入賞口２３４の入賞（入球）を検出した場合に、第１副制御部４００に送信すべき送信情報に、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８、および可変入賞口２３４の入賞（入球）の有無を示す入賞受付情報を設定する。なお、特図の始動情報にしても普図の始動情報にしても、保留数がそれぞれの所定数以上であれば始動情報を取得せずに、ステップＳ３２１９に進む。

【０６９２】

ステップＳ３２１９では、払出要求数送信処理を行う。図４に示す払出制御部６００に出力する出力予定情報および払出要求情報は１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。

【０６９３】

ステップＳ３２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動遊技）を行う。

【０６９４】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、当り図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、ハズレ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理において各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制

御を行うことで、普通図柄表示装置２１０は、当り図柄（図５（ｃ）に示す普図Ａ）およびハズレ図柄（図５（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。

【０６９５】

また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２１の開閉駆動用のソレノイド（３３２）に、羽根部材２３２１を開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。このようにして一対の羽根部材２３２１の開放制御を行う主制御部３００のＣＰＵ３０４が、可変始動領域制御を行う可変始動領域制御手段の一例に相当する。一方、非電サポ状態であれば、ＲＡＭ３０８の設定領域に普図非作動中を設定するとともに、第２特図始動口２３２の羽根部材２３２１の開閉駆動用のソレノイド（３３２）には、何ら信号を出力しない。こうすることで、羽根部材２３２１は閉じた状態のままになる。なお、羽根部材２３２１を閉じた状態に維持するための信号を必ず出力するようにしてもよい。

【０６９６】

また、電サポ状態であった場合には、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する処理では、所定の閉鎖期間（例えば０．１秒間）、羽根部材２３２１の開閉駆動用のソレノイド（３３２）に、羽根部材２３２１を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【０６９７】

また、電サポ状態であった場合には、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理において、ＲＡＭ３０８の設定領域に普図非作動中を設定する。さらに、普図変動遊技の結果がハズレであれば、後述するように、普図ハズレフラグがオンされる。この普図ハズレフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ３２２３に移行するようにしている。続いて、ステップＳ３２２３では普図関連抽選処理を実行する。

【０６９８】

図９２（ａ）は、普図関連抽選処理の流れを示すフローチャートである。図９２（ａ）に示す普図関連抽選処理では、まず、普図保留情報があるか否かを判定する（ステップＳ３２２３ａ）。ここにいう普図保留情報とは、普図の保留数を指す。すなわち、ここでは、保留している普図変動遊技の数が１以上であるか否かを判定する。なお、普図の保留数をデータとして持っていなくとも、例えば、保留に対応した乱数（普図当選乱数）を普図保留情報として認識するようにしても良い。普図保留情報がなければ、この普図関連抽選処理は終了になり、普図保留情報があればステップＳ３２２３ｂに進む。ステップＳ３２２３ｂでは、普図変動遊技が行われているか否かを判定し、行われていればこの普図関連抽選処理は終了になり、行われていなければステップＳ３２２３ｃに進む。ステップＳ３２２３ｃでは、第２特図始動口２３２の開閉制御が行われているか否か（普図作動中か否か）を判定し、普図作動中であればこの普図関連抽選処理は終了になり、普図非作動中であればステップＳ３２２３ｄに進む。ステップＳ３２２３ｄでは、上述の乱数記憶領域に記憶している普図当選乱数に基づいた乱数抽選を行う。

【０６９９】
図９２（ｂ）は、普図抽選テーブルを示す図である。このテーブルは、主制御部３００のＲＯＭ３０６に記憶されている。主制御部３００のＣＰＵ３０４は、ＲＡＭ３０８の乱数記憶領域から普図当選乱数を取り出し、時短フラグを参照し、時短フラグがオンであれば普図高確率状態（電サポ中）であるため、取得した普図当選乱数から普図高確率状態の普図当選データを引き、キャリーが発生した場合（普図当選乱数よりも普図当選データの値が大きい場合）は普図当選とし、キャリーが発生しなかった場合は普図ハズレになる。すなわち、普図当選乱数範囲は０～９になる。普図高確率状態では、普図当選乱数は、図７７に示す乱数生成回路３１８のチャンネルＣＨ４から出力される。このチャンネルＣＨ４には、図９０に示す乱数生成回路初期設定処理における乱数生成範囲の設定（ステップＳ３０５３ａ）において０～９の乱数生成範囲が設定されており、普図高確率状態の普図当選乱数の取り得る範囲は０～９になる。したがって、普図高確率状態における普図当選確率は１／１になる。一方、時短フラグがオフであれば普図低確率状態（非電サポ中）であるため、取得した普図当選乱数から、普図高確率状態のデータと同じ普図低確率状態の普図当選データを引き、キャリーが発生した場合（普図当選乱数よりも普図当選データの値が大きい場合）は普図当選とし、キャリーが発生しなかった場合は普図ハズレになる。すなわち、普図低確率状態の場合でも普図当選乱数範囲は０～９になる。普図低確率状態では、普図当選乱数は、図７７に示す乱数生成回路３１８のチャンネルＣＨ３から出力される。このチャンネルＣＨ３には、乱数生成範囲の設定（ステップＳ３０５３ａ）において０～９９９の乱数生成範囲が設定されており、普図低確率状態の普図当選乱数の取り得る範囲は０～９９９になる。したがって、普図低確率状態における普図当選確率は１／１００になる。

【０７００】
本実施形態では、普図当選乱数の取り得る範囲（乱数生成範囲）を、デフォルトの０～６５５３５から０～９９９に制限することで大当り確率を、きりのよい１／１００にすることができる。また、普図当選データを、普図高確率状態と普図低確率状態で同じ値にすることができる。乱数生成範囲を制限せずに確率を決定することは開発工数の増大を招くとともに誤った確率設計の原因となってしまう場合がある。特に、一の契機に基づいて複数回の抽選を行う場合に煩雑さはより顕著になってしまう。よって、乱数生成範囲を制限することは開発工数を削減するとともに、抽選処理の安定化を図ることができるといえる。また、普図当選データを、普図高確率状態と普図低確率状態で共通化することも、開発工数を削減するとともに、抽選処理の安定化を図ることができるといえる。

【０７０１】
普図抽選に当選した場合にはＲＡＭ３０８に設けた当りフラグをオンに設定する。ハズレ（不当選）の場合には、当りフラグをオフに設定する。また、普図抽選の結果に関わらず、図４に示すカウンタ回路３１２から普図変動時間決定用乱数を取得し、取得した普図変動時間決定用乱数に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。普図変動時間決定用乱数値を用いた抽選で複数の変動時間のうちから普図変動時間を１つ選択する主制御部３００のＣＰＵ３０４が、抽選手段の一例に相当する。ここで、普図変動時間の抽選処理は、普図の当りか否かを抽選する当否判定とは異なる。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、ステップＳ３２２３ｅを実行するたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また、カウンタ回路３１２からの普図変動時間決定用乱数の取得は、普図始動口２２８への入賞時に行ってもよい。

【０７０２】
ステップＳ３２２３ｅでは、上述の乱数記憶領域から、先の普図抽選に使用した普図当選乱数を消去し、この普図関連抽選処理は終了になる。続いて、特図先読み処理（ステップＳ３２２５）が実行される。この先読み処理では、まず、ＲＡＭ３０８に設けられた特

図１の保留記憶部内の特図１当選乱数を先読みするか、あるいは特図２の保留記憶部内の特図２当選乱数を先読みする。なお、ここでの先読みとは始動情報を当否判定（本抽選）の前に先に読むことを意味するが、以降の先読み処理では、先読みという言葉を、先（当否判定（本抽選）の結果）を読むという意味で使用することがある。このステップＳ３２２５では、後述する特図関連処理（ステップＳ３２２９）で用いる図９４（ａ）に示す特図抽選テーブルの内容と同じ内容の事前判定用テーブルを用い、先読みした特図当選乱数に基づく当否判定の事前判定を行う。なお、特図関連処理では、特図抽選テーブルを用いて特図変動遊技の当否判定を改めて行い、ここでの判定結果は、あくまで事前判定の結果になる。当否判定の事前判定では、「大当り」という結果か、あるいは「大当り」以外という結果が導出され、「大当り」という結果の場合には、ＲＡＭ３０８に設けられた特図１の保留記憶部内の大当り用特図１乱数を先読みするか、あるいは特図２の保留記憶部内の大当り用特図２乱数を先読みする。続いて、ステップＳ３２２９の特図関連処理で用いる図９４（ｂ）に示す停止図柄抽選テーブルの内容と同じ内容の事前判定用テーブルを用い、先読みした大当り用特図乱数に基づく特図の停止図柄の事前判定を行う。

【０７０３】

なお、特図関連処理では、停止図柄抽選テーブルを用いて特図の停止図柄の抽選を改めて行い、ここでの判定結果は、あくまで事前判定の結果になる。こうして、特図の停止図柄を事前判定すると、先読み予告の実行可否抽選を行う。この先読み予告は、特図関連抽選処理（ステップＳ３２２９）が実行される前、すなわち当否判定が行われる前に、当該特図関連抽選処理で行われる当否判定の結果が大当り（ここではより限定して１５Ｒの大当り（１５Ｒ特別大当りか１５Ｒ大当り））になることを予告するための報知である。ここでの先読み予告には、停止図柄の事前判定結果が１５Ｒの大当り図柄（特図Ａまたは特図Ｂ）でなくても、１５Ｒの大当りになるかのように偽りで予告する偽の先読み予告も含まれる。すなわち、先読み予告は、当否判定の結果が１５Ｒ大当りになる可能性があることを表したり、遊技者に示唆する事前報知、あるいは当否判定の結果が１５Ｒ大当りになることを遊技者に期待させる事前報知であるといえる。先読み予告の実行可否抽選を行うタイミングで、ＲＡＭ３０８に設けられた演出乱数カウンタから演出乱数（例えば、取り得る範囲は０～９９）を取得し、取得した演出乱数に基づいて実行可否抽選を行う。なお、停止図柄の事前判定結果を第１副制御部４００に送信し、この実行可否抽選は、第１副制御部４００が行うようにしてもよい。

【０７０４】

次に、特図１および特図２それぞれについての特図状態更新処理（ステップＳ３２２７）を行うが、最初に、特図２についての特図状態更新処理を行い、次いで、特図１についての特図状態更新処理を行う。特図２状態更新処理は、特図２の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図２変動表示の途中（上述の特図２表示図柄更新タイマの値が１以上）における特図２状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２の変動表示（特図２変動遊技）を行う。また、コマンド設定送信処理（ステップＳ３２３１）で一般コマンド回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。

【０７０５】

また、主制御部３００のＲＡＭ３０８には、１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１ハズレフラグ、第２ハズレフラグ、確変フラグ、および時短フラグそれぞれのフラグが用意されている。特図２変動表示時間が経過したタイミング（特図２表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、後述する特図関連抽選処理における特図決定結果（特図の停止図柄態様）に基づいて第２特図表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２停止表示中であることを表す設定を行う。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当り図柄

（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、２Ｒ特別大当り図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１ハズレ図柄（特図Ｉ）、および第２ハズレ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２が所定期間停止表示され、特図２変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた電サポ回数記憶部に値がセットされている場合には、その値が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中でなければ、時短フラグをオフする。さらに、大当り遊技中や小当り遊技中にも、時短フラグをオフする。すなわち、主制御部３００のＣＰＵ３０４は、大当り遊技状態中および小当り遊技状態中（第二の制御状態中）である場合に、非電サポ状態（第一の進入率制御状態）に移行させる。

【０７０６】

また、後述するコマンド設定送信処理（ステップＳ３２３１）で一般コマンド回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変動表示を停止する図柄が特図２であることを示す特図２識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【０７０７】

また、特図２変動遊技の結果が大当りであれば、大当りフラグがオンされる。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ３２３１）で一般コマンド入賞演出設定送信処理を実行させるために上述の送信情報記憶領域に５Ｈを送信情報（コマンド種別）として追加記憶する。

【０７０８】

また、所定の入賞演出期間が終了したタイミング（特図２待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材２３４１の開閉駆動用のソレノイド（３３２）に、扉部材２３４１を開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ３２３１）で一般コマンド大入賞口開放設定送信処理を実行させるために上述の送信情報記憶領域に７Ｈを送信情報（コマンド種別）として追加記憶する。

【０７０９】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４１の開閉駆動用のソレノイド（３３２）に、扉部材２３４１を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ３２３１）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【０７１０】

また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２状態更新処理では、所定の終了演出

期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。

【０７１１】

以上説明したように、主制御部３００のＣＰＵ３０４は、大当り遊技状態中に、可変入賞口２３４の扉部材２３４１の開閉状態の変化制御を行う可変入賞制御手段の一例に相当する。なお、主制御部３００のＲＯＭ３０６には、可変入賞口２３４の扉部材２３４１の開閉パターンが記憶されており、主制御部３００のＣＰＵ３０４は、そのＲＯＭ３０６から、特図変動遊技の当否判定に応じた開閉パターンを取得する。

【０７１２】

また、主制御部３００のＣＰＵ３０４は、特図決定結果が表す停止図柄態様に基づいて、大当り遊技の終了と同時に、ＲＡＭ３０８に設けられた確変フラグや時短フラグをオンに設定する。すなわち、主制御部３００のＣＰＵ３０４は、後述する特図抽選処理で特図決定結果が「特図Ａ」や「特図Ｃ」である場合には確変フラグと時短フラグの双方をオンに設定する。また、特図決定結果が「特図Ｅ」である場合には確変フラグと時短フラグのうち確変フラグのみをオンに設定する。さらに、特図決定結果が「特図Ｂ」や「特図Ｄ」である場合には確変フラグと時短フラグのうち時短フラグのみをオンに設定するとともにＲＡＭ３０８に設けられた電サポ回数記憶部に電サポ回数１００回をセットする。確変フラグがオンに設定されていると、特図高確率状態（確率変動中）であり、大当り遊技終了後に大当りに当選する確率が高くなっている状態（特図高確率状態）である。一方、確変フラグがオンに設定されていない（オフに設定されている）と、特図低確率状態である。したがって、確変フラグの設定状態は、当否判定（特図の抽選）の結果に影響を与える。また、時短フラグがオンに設定されていると電サポ状態であり、電チューが開きやすい（例えば当りやすい）、一回の当りに基づく開放時間が長い、一回の当りに基づく開放回数が多いなど可変始動領域制御が遊技者に有利になるように行われる。反対に、時短フラグがオフに設定されていると非電サポ状態であり、可変始動領域制御が遊技者に不利になるように行われる。したがって、時短フラグの設定状態は、可変始動領域制御にも影響を与える。よって、確変フラグおよび／または時短フラグの設定状態を表す情報は、遊技制御情報の一例に相当し、主制御部３００のＣＰＵ３０４は遊技制御情報決定手段の一例に相当する。

【０７１３】

さらに、コマンド設定送信処理（ステップＳ３２３１）で一般コマンド終了演出設定送信処理を実行させるために上述の送信情報記憶領域に６Ｈを送信情報（コマンド種別）として追加記憶する。

【０７１４】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。さらに、特図２変動遊技の結果がハズレであれば、ハズレフラグがオンされる。このハズレフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理でも、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。特図２非作動中の場合における特図２状態更新処理では、何もせずに次の処理に移行するようにしている。

【０７１５】

特図２状態更新処理が終了すると、特図１状態更新処理を行う。この特図１状態更新処理では、特図１の状態に応じて、上述の特図２状態更新処理で説明した各処理を行う。この特図１状態更新処理で行う各処理は、上述の特図２状態更新処理で説明した内容の「特図２」を「特図１」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２状態更新処理と特図１状態更新処理の順番は逆でもよい。

【０７１６】

ステップＳ３２２７における特図状態更新処理が終了すると、今度は、特図１および特図２それぞれについての特図関連抽選処理を行う。この特図関連抽選処理を実行する主制御部３００のＣＰＵ３０４が当否判定手段の一例に相当する。主制御部３００は、最初に特図２についての処理（特図２関連抽選処理）を行い、その後、特図１についての処理（特図１関連抽選処理）を行う。このように、主制御部３００が特図２関連抽選処理を特図１関連抽選処理よりも先に行うことで、同じタイミングで、第１特図始動口２３０に遊技球が進入したことに基づいて始動情報を取得し、かつ第２特図始動口２３２に遊技球が進入したことに基づいて始動情報を取得した場合や、特図２変動遊技の開始条件と、特図１変動遊技の開始条件が同時に成立した場合や、特図２変動遊技の開始条件と特図１変動遊技の開始条件の両方が成立している場合でも、特図２変動遊技が先に変動中となるため、特図１変動遊技は変動を開始しない。すなわち、本実施形態のパチンコ機１００は、特図２優先変動を行うものであり、第２特図始動口２３２への入賞に基づく抽選（特図２の当否判定）を、第１特図始動口２３０への入賞に基づく抽選（特図１の当否判定）よりも優先して行う。言い換えれば、本実施形態のパチンコ機１００では、第１の特別始動領域に遊技球が進入した場合に第１の乱数記憶領域に乱数を最大保留数まで格納し、第２の特別始動領域に遊技球が入賞した場合に第２の乱数記憶領域に乱数を最大保留数まで格納する入賞記憶部と、前記第１の乱数記憶領域および前記第２の乱数記憶領域の両方に乱数が記憶されている場合に、前記第１の乱数記憶領域に前記乱数が記憶された時期および前記第２の乱数記憶領域に前記乱数が記憶された時期とは無関係に該第２の乱数記憶領域に記憶されている乱数に基づいて当否判定を行うとともに、前記第１の乱数記憶領域に乱数が記憶されておらず、かつ前記第２の乱数記憶領域に乱数が記憶されている場合には、該第２の乱数記憶領域に記憶されている乱数に基づいて当否判定を行い、前記第２の乱数記憶領域に乱数が記憶されておらず、かつ前記第１の乱数記憶領域に乱数が記憶されている場合には、該第１の乱数記憶領域に記憶されている乱数に基づいて当否判定を行う当否判定手段を備えている。また、第１特図表示装置２１２あるいは第２特図表示装置２１４による特図変動遊技の大当り判定の結果の報知は、主制御部３００で行われ、第２特図始動口２３２への入賞に基づく当否判定の結果報知が、第１特図始動口２３０への入賞に基づく当否判定の結果報知よりも優先して行われ、当否判定が行われていない始動情報として、特図１の始動情報と特図２の始動情報のうちの特図１の始動情報のみが残っている状態で、特図２の始動情報が新たに記憶された場合には、新たに記憶された特図２の始動情報に基づく当否判定の結果の報知が、既に記憶されていた特図１の始動情報に基づく当否判定の結果の報知よりも先に行われる。また、始動情報を取得する始動情報取得手段は、第１の始動情報記憶手段および第２の始動情報記憶手段のうちの両方に始動情報が記憶されている場合には、該第２の始動情報記憶手段から始動情報を取得し、該第１の始動情報記憶手段および該第２の始動情報記憶手段のうちの一方に始動情報が記憶されている場合には、始動情報が記憶されている始動情報記憶手段から始動情報を取得するものである。なお、特図２状態更新処理に続いて先に特図２関連抽選処理を行い、それから、特図１状態更新処理を行い、その後、特図１関連抽選処理を行うようにしてもよい。

【０７１７】

図９３は、特図関連抽選処理の流れを示すフローチャートである。この図９３に示す特図関連抽選処理では、特図１と特図２を区別しないで示しているが、先に特図２についてステップＳ３２２９ａ～ステップＳ３２２９ｆまでの処理を行い、その後、特図１についてステップＳ３２２９ａ～ステップＳ３２２９ｆまでの処理を行う。ここでは、特図２と特図１を区別しないで説明する。

【０７１８】

図９３に示す特図関連抽選処理では、まず、特図保留情報があるか否かを判定する（ステップＳ３２２９ａ）。ここにい特図保留情報とは、特図の保留数を指す。すなわち、ここでは、保留している特図変動遊技の数が１以上であるか否かを判定する。なお、特図の保留数をデータとして持っていなくとも、例えば、保留に対応した乱数（特図当選乱数）を特図保留情報として認識するようにしても良い。特図保留情報がなければ、この特図関

連抽選処理は終了になり、特図保留情報があればステップＳ３２２９ｂに進む。ステップＳ３２２９ｂでは、特図表示装置（２１２，２１４）が特図変動表示中であるか、または停止表示中であるか否かを判定し、いずれかの表示中である場合には、この特図関連抽選処理は終了になり、いずれの表示中でもない場合には、ステップＳ３２２９ｃに進む。ステップＳ３２２９ｃでは、特図作動中であるか否かを判定し、特図作動中であれば、この特図関連抽選処理は終了になり、特図非作動中であれば、ステップＳ３２２９ｄに進む。

【０７１９】

ステップＳ３２２９ｄでは特図抽選処理を行う。ここではまず、ＲＡＭ３０８に設けられた特図の保留記憶部から、最も過去に格納した始動情報である１セット分の乱数（特図当選乱数、大当り用特図乱数、小当り用特図乱数、ハズレ用特図乱数、および特図変動時間決定用乱数）を取り出し、その保留記憶部にまだ格納されている始動情報（乱数のセット）を、今記憶されている領域から隣の領域に移し替える。すなわち、最も過去に格納した始動情報を特図の保留記憶部から取り出し、さらに特図の保留記憶部に始動情報が格納されていれば、Ｎ番目に古い始動情報を特図２の保留記憶部におけるＮ－１番目に古い始動情報として設定したことになる。また、ＲＡＭ３０８に記憶している保留数を１減算する。ＲＡＭ３０８の特図の保留記憶部から１セット分の乱数（特図当選乱数、大当り用特図乱数、小当り用特図乱数、ハズレ用特図乱数、および特図変動時間決定用乱数）を取り出す処理を行う主制御部３００のＣＰＵ３０４が、始動情報取得手段の一例に相当する。

【０７２０】

図９４（ａ）は特図抽選テーブルを示す図である。このテーブルは、主制御部３００のＲＯＭ３０６に記憶されている。

【０７２１】

主制御部３００のＣＰＵ３０４は、ＲＡＭ３０８の保留記憶部から始動情報を取り出すと、確変フラグを参照し、確変フラグがオンであれば確率変動中（特図高確率状態）であるため、取得した特図当選乱数から確率変動中の特図大当り当選データを引き、キャリーが発生した場合（特図当選乱数よりも特図当選データの値が大きい場合）は特図大当りに当選とし、キャリーが発生しなかった場合は特図大当りには不当選になる。すなわち、特図大当り当選乱数範囲は０～１２４になる。確率変動中では、特図当選乱数の元になる乱数は、図７７に示す乱数生成回路３１８のチャンネルＣＨ２から出力される。このチャンネルＣＨ２には、図９０に示す乱数生成回路初期設定処理における乱数生成範囲の設定（ステップＳ３０５３ａ）において０～４９９９の乱数生成範囲が設定されており、確率変動中の特図当選乱数の取り得る範囲は０～４９９９になる。したがって、確率変動中における特図大当りの当選確率は１／４０になる。

【０７２２】

一方、確変フラグがオフであれば非確率変動中（特図低確率状態）であるため、取得した特図当選乱数から、確率変動中のデータと同じ非確率変動中の特図大当り当選データを引き、キャリーが発生した場合（特図当選乱数よりも特図当選データの値が大きい場合）は特図大当りに当選とし、キャリーが発生しなかった場合は特図大当りには不当選になる。すなわち、非確率変動中でも特図大当り当選乱数範囲は０～１２４になる。非確率変動中では、特図当選乱数の元になる乱数は、図７７に示す乱数生成回路３１８のチャンネルＣＨ１から出力される。このチャンネルＣＨ１には、乱数生成範囲の設定（ステップＳ３０５３ａ）において０～４９９９９の乱数生成範囲が設定されており、非確率変動中の特図当選乱数の取り得る範囲は０～４９９９９になる。したがって、非確率変動中における特図大当りの当選確率は１／４００になる。

【０７２３】

本実施形態では、特図当選乱数の取り得る範囲（乱数生成範囲）を、デフォルトの０～６５５３５から０～４９９９９に制限することで大当り確率を、きりのよい１／４００にすることができる。また、特図大当り当選データを、確率変動中と非確率変動中で同じ値にすることができる。乱数生成範囲を制限せずに確率を決定することは開発工数の増大を招くとともに誤った確率設計の原因となってしまう場合がある。特に、一の契機に基づい

て複数回の抽選を行う場合に煩雑さはより顕著になってしまう。よって、乱数生成範囲を制限することは開発工数を削減するとともに、抽選処理の安定化を図ることができるといえる。また、特図大当り当選データを、確率変動中と非確率変動中で共通化することも、開発工数を削減するとともに、抽選処理の安定化を図ることができるといえる。

【０７２４】

図９４（ａ）では、特図大当りの抽選テーブルしか示していないが、特図小当りの当選データとして所定の値が用意されている。主制御部３００のＣＰＵ３０４は、取得した特図当選乱数から特図大当り当選データを引き、キャリーが発生しなかった場合（特図当選乱数よりも特図当選データの値が小さい場合）には、今度は、特図大当り当選データを引いた値から特図小当り当選データを引き、ここでキャリーが発生した場合（特図当選乱数よりも特図小当り当選データの値が大きい場合）は特図小当りに当選とし、ここでもキャリーが発生しなかった場合はハズレになる。なお、ハズレの当選データを別途設けておいてもよい。こうして、特図の「大当り」、「小当り」、「ハズレ」が判定され、判定結果を特図当否判定結果として得る。なお、保留している特図変動遊技の数は、ＲＡＭ３０８に設けた特図保留数記憶領域に記憶するようにしており、ステップＳ３２２９ｄを実行するたびに、保留している特図変動遊技の数から１を減算した値を、この特図保留数記憶領域に記憶し直すようにしている。

【０７２５】

次いで、図９３に示す特図関連抽選処理では、特図当否判定結果に基づいて特図の停止図柄をソフトウェア乱数を用いて抽選する（ステップＳ３２２９ｅ）。図９４（ｂ）は、停止図柄抽選テーブルを示す図である。このテーブルも、主制御部３００のＲＯＭ３０６に記憶されている。この停止図柄抽選テーブルは、当否判定結果ごとに特図の停止図柄態様（図５（ａ）参照）に対応した図柄当選データが規定されている。また、同図（ｂ）には、当選確率も示されている。

【０７２６】

主制御部３００のＣＰＵ３０４は、当否判定結果が大当りの場合であれば、ＲＡＭ３０８の保留記憶部から先に取得した１セット分の乱数のうちの大当り用特図乱数（取り得る数値範囲は０～９９）から特図Ａ、特図Ｂ、・・・特図Ｆの順序で各停止図柄に対応した図柄当選データを徐々に減算し、キャリーが発生した場合の停止図柄を特図決定結果とする。また、当否判定結果が小当りの場合であれば、ＲＡＭ３０８の保留記憶部から先に取得した１セット分の乱数のうちの小当り用特図乱数（取り得る数値範囲は０～９９）から特図Ｇの図柄当選データを引き、キャリーが発生した場合は「特図Ｇ」に当選とし、キャリーが発生しなかった場合には、特図Ｇの図柄当選データを引いた値からさらに特図Ｈの図柄当選データを引き、ここではキャリーが発生するため「特図Ｈ」に当選とする。なお、特図Ｈの図柄当選データを引く前に、「特図Ｈ」に当選したと判定してもよい。このようにして、当否判定結果が小当りの場合には、特図決定結果として「特図Ｇ」または「特図Ｈ」を決定する。さらに、当否判定結果がハズレの場合であれば、ＲＡＭ３０８の保留記憶部から先に取得した１セット分の乱数のうちのハズレ用特図乱数（取り得る数値範囲は０～９９）から特図Ｉの図柄当選データを引き、キャリーが発生した場合は「特図Ｉ」に当選とし、キャリーが発生しなかった場合には、特図Ｉの図柄当選データを引いた値からさらに特図Ｊの図柄当選データを引き、ここではキャリーが発生するため「特図Ｊ」に当選とする。なおここでも、特図Ｊの図柄当選データを引く前に、「特図Ｊ」に当選したと判定してもよい。このようにして、当否判定結果がハズレの場合には、特図決定結果として「特図Ｉ」または「特図Ｊ」を決定する。なお、第１副制御部４００では、ここで決定された特図決定結果に応じた装飾図柄の組合せである停止図柄態様を決定する。

【０７２７】

また、ＲＡＭ３０８の保留記憶部から先に取得した１セット分の乱数のうちの特図変動時間決定用乱数（取り得る数値範囲は０～２５５）を取得し、取得した特図変動時間決定用乱数を用いた抽選で、、特図決定結果に基づいて、複数の変動時間のうちから特図表示装置（２１２，２１４）に特図を変動表示する時間（特図変動時間）を１つ選択する。な

お、第１副制御部４００では、ここで決定された特図変動時間に応じた装飾図柄表示装置２０８の演出態様を決定する。特図変動時間決定用乱数値を用いた抽選で複数の変動時間のうちから特図変動時間を１つ選択する主制御部３００のＣＰＵ３０４も、抽選手段の一例に相当する。ここで、特図変動時間の抽選処理は、特図の大当りか否かを抽選する当否判定とは異なり、特図の図柄を決定する抽選とも異なる、演出に関する抽選処理に相当する。すなわち、制御状態の変更とは無関係であって、賞球の払出にも無関係な抽選処理である。

【０７２８】

ステップＳ３２２９ｆでは、ＲＡＭ３０８の保留記憶部から先に取得した１セット分の乱数を消去し、この特図関連抽選処理は終了になる。ステップＳ３２２９の特図関連抽選処理に続いて行われるステップＳ３２３１では、コマンド設定送信処理を行い、各種のコマンドが第１副制御部４００に送信される。なお、第１副制御部４００に送信する出力予定情報は本実施形態では１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、当りラウンド数指定コマンド、復電コマンド、ＲＡＭクリアコマンド、特図保留増加コマンド、普図保留増加コマンドなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【０７２９】

具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、特図停止図柄を表す情報、制御状態を表す情報（時短フラグおよび確変フラグの設定状態を表す情報）、特図変動時間を表す情報などを示す情報を含み、図柄変動停止コマンドの場合であれば、特図停止図柄を表す情報（特図決定結果）、制御状態を表す情報などを含み、入賞演出開始コマンドおよび終了演出開始コマンドの場合であれば、制御状態を表す情報などを含み、当りラウンド数指定コマンドの場合であれば制御状態を表す情報、当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などを含む。

【０７３０】

また、上述の一般コマンド回転開始設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、特図停止図柄を表す情報（特図決定結果）、制御状態を表す情報、特図変動時間を表す情報、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。

【０７３１】

上述の一般コマンド回転停止設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、特図停止図柄を表す情報（特図決定結果）、制御状態を表す情報などを示す情報を設定する。上述の一般コマンド入賞演出開始設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、入賞演出期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、制御状態を表す情報、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。入演出開始コマンドを受信した第１副制御部４００は、その入演出開始コマンドに基づいて第２副制御部５００に入賞演出制御コマンドを送信する。入賞演出制御コマンドを受信した第２副制御部５００は、装飾図柄表示装置２０８に、大当り遊技が開始されることを遊技者に報知する画像を所定のオープニング演出期間（例えば３秒間）表示させ、大当り遊技が開始する。

【０７３２】

上述の一般コマンド終了演出開始設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、制御状態を表す情報、保留している第１特図変動遊技

または第２特図変動遊技の数などを示す情報を設定する。終了演出開始コマンドを受信した第１副制御部４００は、その終了演出開始コマンドに基づいて第２副制御部５００に終了演出制御コマンドを送信する。終了演出制御コマンドを受信した第２副制御部５００は、装飾図柄表示装置２０８に大当りを終了することを遊技者に報知する画像を所定の終了演出期間（例えば３秒間）表示させ、大当り遊技が終了する。

【０７３３】

上述の一般コマンド大入賞口開放設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している当りラウンド数、現在のラウンド数、制御状態を表す情報などを示す情報を設定する。上述の一般コマンド大入賞口閉鎖設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している現在のラウンド数、制御状態を表す情報、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。

【０７３４】

また、このステップＳ３２３１では一般コマンド特図保留増加処理も行われる。この一般コマンド特図保留増加処理では、特図保留増加コマンドのコマンドデータにＲＡＭ３０８の送信用情報記憶領域に記憶している特図識別情報（特図１または特図２を示す情報）、制御状態を表す情報、事前判定した特図１あるいは特図２の情報を設定する。

【０７３５】

さらに、このステップＳ３２３１では一般コマンド普図保留増加処理も行われる。この一般コマンド普図保留増加処理では、普図保留増加コマンドのコマンドデータに、制御状態を表す情報等を設定する。また、主制御部３００から第１副制御部４００には、普図絡みのコマンドとして、普図の変動表示が開始した（する）ことを表す普図変動開始コマンドも送信される。なお、主制御部３００から第１副制御部４００には、普図の変動表示が停止した（する）ことを表す普図変動停止コマンドや、一対の羽根部材２３２１が開放を開始した（する）ことを表す電チュー開放開始コマンドや、一対の羽根部材２３２１が閉鎖した（する）ことを表す電チュー閉鎖コマンドを送信するようにしてもよい。

【０７３６】

第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。また、第１副制御部４００では、コマンドに含まれている当りラウンド数と現在のラウンド数に基づき、当り全ラウンドが終了するまでの残りラウンド数を取得する。

【０７３７】

また、このコマンド設定送信処理では、図４に示す払出制御部６００にもコマンドを送信する。払出制御部６００に出力する出力予定情報および払出要求情報は１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。

【０７３８】

次に、図９１に示す主制御部タイマ割込処理では、外部出力信号設定処理（ステップＳ３２３３）を行う。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。ステップＳ３２３５では、デバイス監視処理を行う。

【０７３９】

図９５は、デバイス監視処理の流れを示すフローチャートである。まず、ステップＳ３２３５ａでは、内部情報レジスタ３１０１の情報を取得する。なお、このステップＳ３２３５ａはタイマ割込み毎に実行されるため、内部情報レジスタ３１０１の情報はタイマ割込み毎に取得されることになる。

【０７４０】

ステップＳ３２３５ｂでは、ステップＳ３２３５ａで取得した情報に基づいて、乱数生成回路３１８に異常があるか否かを判定する。なお、ここでの乱数生成回路の異常とは、周波数監視回路３１８２の異常および乱数監視回路３１８４の異常の双方を指す。ここで、異常があると判定された場合にはステップＳ３２３５ｃに進み、異常があると判定されなかった場合にはステップＳ３２３５ｅに進む。

【０７４１】

ステップＳ３２３５ｃでは、乱数生成回路異常フラグをオンに設定する。なお、このフラグはＲＡＭ３０８内に記憶されている。より具体的には、周波数監視回路３１８２の異常を示すフラグおよび乱数監視回路３１８４の異常を示すフラグがある。以下では、これらのフラグを総称して乱数生成回路異常フラグと称する場合がある。

【０７４２】

続いて実行されるステップＳ３２３５ｄでは、乱数生成回路異常フラグ設定コマンドの送信準備が実行され、ステップＳ３２３５ｅに進む。なお、この乱数生成回路異常フラグ設定コマンドは、周波数監視回路３１８２の異常か、乱数監視回路３１８４の異常か識別可能な情報を含むコマンドである。

【０７４３】

ステップＳ３２３５ｅでは、その他デバイス監視処理が実行される。例えば、上述のステップＳ３２０５において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、ガラス枠開放エラーの有無または下皿満タンエラーの有無などを監視し、ガラス枠開放エラーまたは下皿満タンエラーを検出した場合に、第１副制御部４００に送信すべき送信情報に、ガラス枠開放エラーの有無または下皿満タンエラーの有無を示すデバイス情報を設定する。また、図４に示す各種ソレノイド３３２を駆動して第２特図始動口２３２や、可変入賞口２３４の開閉を制御したり、駆動回路３２４、３２６、３３０を介して普通図柄表示装置２１０、第１特図表示装置２１２、第２特図表示装置２１４、各種状態表示部３２８などに出力する表示データを、Ｉ／Ｏ３１０の出力ポートに設定する。また、払出要求数送信処理（ステップＳ３２１９）で設定した出力予定情報をＩ／Ｏ３１０の出力ポートを介して第１副制御部４００に出力する。これらの処理が終了すると、このステップＳ３２３５のデバイス監視処理は終了になる。

【０７４４】

続いて実行されるステップＳ３２３７では、電源の遮断（電断）を検出したか否かを判定するために、低電圧信号がオンであるか否かを判定する。そして、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ３２３９に進み、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ３２４１に進む。

【０７４５】

ステップＳ３２３９では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ３２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行い、その後、図８８に示す主制御部メイン処理に復帰する。一方、ステップＳ３２４１では、復電時に電断時の状態に復帰するための電断時処理を行う。なお、本実施形態では、電源の遮断を判定する処理（ステップＳ３２３７）および電断処理（ステップＳ３２４１）を主制御部の割込み制御において実行しているが、必ずしも主制御部の割込み制御で行う必要はなく、低電圧信号の入力に基づいて強制割込みを発生させ、この強制割込みによって電断処理が実行されるように構成してもよい。ただし、このように強制割込みによって実行される電断処理では、本実施形態における電断処理（ステップＳ３２４１）の処理に加え、上述したタイマ割込み開始処理（Ｓ３２０１）において実行されるＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理も同時に実行する必要がある。

図１３０は、主制御部における電断時処理の流れを示すフローチャートである。

【０７４６】

この電断時処理では、まず、スタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し（ステップＳ３４３１）、次いで、ＲＡＭ３０８に設けた電源ステータス

記憶領域に記憶した電源ステータスをサスペンドを示す情報に更新する（ステップＳ３４３２）。続いて、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果をＲＡＭ３０８に設定する（ステップＳ３４３３）。最後に、ＲＡＭ３０８へのアクセスを禁止に設定し（ステップＳ３４３４）、この電断時処理は終了になり、やがてパチンコ機１００は電断する。なお、電圧が完全に低下する前に復帰した場合には、図７５に示すリセット制御回路３１４内に設けられたＷＤＴ３１４１がタイムアウトすることによってリセット制御回路３１４によりリセットがかかり設定されたリセット動作（ここではシステムリセット）が実行される。

以上説明した主制御部タイマ割込み処理も、主処理の一例に相当する。

【０７４７】

続いて、図９１に示す入賞受付処理（ステップＳ３２１７）のうち、特図当選乱数および普図当選乱数を取得する処理について説明する。図９６は、ステップＳ３２１７における入賞受付処理のうち、特図当選乱数および普図当選乱数を取得する処理の流れを示した図である。

【０７４８】

ステップＳ３２１７ａでは、乱数生成回路異常フラグがオンに設定されているか否かを判定する。このフラグは、図９５のステップＳ３２３５ｃで設定されるフラグであり、乱数更新用のクロックの周波数に異常があった場合や、図７７に示す乱数更新回路３１８３で更新される乱数が正常に更新されなかった場合等に、対応するフラグがオンに設定される。このフラグがオンに設定されている場合には、この入賞受付処理は終了になり、異常がなかった場合にはステップＳ３２１７ｂに進む。

【０７４９】

ステップＳ３２１７ｂでは、第１特図始動口２３０に入賞したことを表す特図１の入球信号があり、且つ、保留している特図変動遊技の数が所定数（本実施形態では４）未満であるか否かを判定し、否定的な場合にはステップＳ３２１７ｆへ進み、肯定的な場合にはステップＳ３２１７ｃに進む。ステップＳ３２１７ｃでは、ＲＡＭ３０８に用意された確変フラグを参照し、確率変動中（特図高確率状態）か否かを判定する。確変フラグがオフに設定されていれば、非確率変動中（特図低確率状態）であり、ステップＳ３２１７ｄが実行される。このステップＳ３２１７ｄでは、乱数生成回路３１８のチャンネルＣＨ１の乱数レジスタから乱数を取得する。本実施形態では乱数をラッチする契機となる入球信号とは別に、ＣＰＵに同様の信号が送られ、ＣＰＵはその信号を受信したことに基づいて所定のチャンネル（ここではＣＨ１）における信号に対応する乱数レジスタからラッチされている乱数を取得する。ＣＰＵ３０４は、取得した乱数にＲレジスタの値を加算し、さらに１を加えた値を特図１当選乱数として得、ステップＳ３２１７ｆに進む。なお、ＣＰＵ３０４は、図９０に示すステップＳ３０５３ａにおいて設定された乱数生成範囲を認識しており、その乱数生成範囲に基づいて加算処理を行う。すなわち、加算した値が乱数生成範囲の最大値を超える場合には当該乱数生成範囲の最小値に残りの値を加算する。

【０７５０】

一方、確変フラグがオンに設定されていれば、確率変動中であり、ステップＳ３２１７ｅが実行される。このステップＳ３２１７ｅでは、乱数生成回路３１８のチャンネルＣＨ２の乱数レジスタから乱数を取得し、ステップＳ３２１７ｄと同様に、ＣＰＵ３０４は、取得した乱数にＲレジスタの値を加算し、さらに１を加えた値を特図１当選乱数として得、ステップＳ３２１７ｆに進む。

【０７５１】

ステップＳ３２１７ｆでは、第２特図始動口２３２に入賞したことを表す特図２の入球信号があり、且つ、保留している特図変動遊技の数が所定数（本実施形態では４）未満であるか否かを判定し、否定的な場合にはステップＳ３２１７ｊへ進み、肯定的な場合にはステップＳ３２１７ｇに進む。ステップＳ３２１７ｇでも、ステップＳ３２１７ｃと同様に、ＲＡＭ３０８に用意された確変フラグを参照し、確変フラグがオフに設定されていれ

ば（非確率変動中であれば）、乱数生成回路３１８のチャンネルＣＨ１の乱数レジスタから乱数を取得し、ステップＳ３２１７ｄと同様に、ＣＰＵ３０４は、取得した乱数にＲレジスタの値を加算し、さらに１を加えた値を、ここでは特図２当選乱数として得（ステップＳ３２１７Ｈ）、ステップＳ３２１７ｊに進む。一方、確変フラグがオンに設定されていれば（確率変動中であれば）、乱数生成回路３１８のチャンネルＣＨ２の乱数レジスタから乱数を取得し、同じくステップＳ３２１７ｄと同様に、ＣＰＵ３０４は、取得した乱数にＲレジスタの値を加算し、さらに１を加えた値を特図２当選乱数として得（ステップＳ３２１７ｉ）、ステップＳ３２１７ｊに進む。

【０７５２】

ステップＳ３２１７ｊでは、普図始動口２２８に入賞したことを表す普図の入球信号があり、且つ、保留している普図変動遊技の数が所定数（本実施形態では２）未満であるか否かを判定し、否定的な場合には入賞受付処理は終了になり、肯定的な場合にはステップＳ３２１７ｋに進む。ステップＳ３２１７ｋでは、ＲＡＭ３０８に用意された時短フラグを参照し、時短フラグがオフに設定されていれば、普図低確率状態（非電サポ中）であり、ステップＳ３２１７ｌが実行される。ステップＳ３２１７ｌでは、乱数生成回路３１８のチャンネルＣＨ３の乱数レジスタから普図当選乱数として乱数を取得し、この入賞受付処理は終了になる。一方、時短フラグがオンに設定されていれば、普図高確率状態（電サポ中）であり、ステップＳ３２１７ｍが実行される。ステップＳ３２１７ｍでは、乱数生成回路３１８のチャンネルＣＨ４の乱数レジスタから普図当選乱数として乱数を取得し、入賞受付処理は終了になる。

【０７５３】

ここで、上記説明した内容を踏まえて、遊技台への電圧供給が低下した場合の動作について説明する。例えば大当り中の状態で停電などによって電源が切られた場合、再度電源投入によって遊技台が初期状態になると、遊技者にとって著しく不利益な状態になる。このような事態にならないよう、コンデンサに蓄えられた電力により遊技台の状態を保持する電断時処理（図９１のステップＳ３２４１）が実行される。この電断時処理は、電源が切られた場合の他、静電気などの要因により供給電圧が一時的に低下した場合にも実行される。以下、電源が切られた場合（以下、電源オフと称する）の動作と、供給電圧が一時的に低下した場合（以下、瞬断と称する）の動作について、図９７を用いて説明する。同図（ａ）は、電源オフの場合の動作を示す図であり、（ｂ）は、瞬断の場合の動作を示す図である。

【０７５４】

電源が切られた場合、電圧が供給されなくなる（電断発生）が、すぐに電圧は０にはならず、コンデンサに蓄えられた電力により供給電圧が徐々に降下する。供給電圧が所定の電圧（本実施形態では９Ｖ）まで効果すると電圧監視回路３３８から低電圧信号がＣＰＵ３０４に送信される。この信号を受信したことにより、主制御部タイマ割込み処理のステップＳ３２３７により電断が発生したと判定され、ステップＳ３２４１の電断時処理が実行される。図９７（ａ）には、電断が発生してから供給電圧が９Ｖに降下するまで通常処理が実行され、供給電圧が９Ｖになった時点で電断時処理が開始されていることが示されている。この電断時処理により、ＲＡＭ３０８の内部に遊技台の状態を示すデータが記憶される。なお、本実施形態では、この電断時処理の実行に必要な時間（主制御部電断時処理猶予時間）を十分確保することができるコンデンサが備えられている。その後、電断時処理が終了すると、そのまま待機状態になる。その後電源の供給が再開されない場合、電圧が０に落ちて遊技台の動作が停止する。

【０７５５】

一方、瞬断の場合にも、電圧監視回路３３８から低電圧信号がＣＰＵ３０４に送信されることにより、上記電断時処理が実行された後、そのまま待機状態になる。図９７（ｂ）には、一時的な電圧降下により、電断時処理が開始されていることが示されている。ここで、電圧が動作電圧まで回復しても、待機状態が継続する。この待機状態が継続していると、主制御部３００のリセット制御回路３１４のＷＤＴ３１４１がリスタートされず（図

９１のステップＳ３２０３が実行されない）、ＷＤＴ３１４１がタイムアウトする。このことによりリセット制御回路３１４はシステムリセット信号を出力する。その後、図８８に示す主制御部メイン処理が再開すると、電断時処理で記憶されていたデータに基づいてステップＳ３００９のデータ書き戻し処理を含む復帰処理（ステップＳ３００９～ステップＳ３０１１）が実行される。図９７（ｂ）には、ＷＤＴ３１４１のタイムアウトによるリセット信号が送信されたことにより、待機状態から復帰処理（リセット処理）に移っていることが示されている。この復帰処理により遊技台の状態が電断時処理前の状態に復帰する。なお、ここで、電断時処理で記憶されていたデータに不具合があった場合は、電断時処理前の状態に復帰できないと判定され、ＲＡＭ３０８の内容がクリアされる（図８８のステップＳ３０１３）。

【０７５６】

次に、本実施形態の乱数生成回路３１８により、乱数の生成範囲を設定することの効果について説明し、その後問題点について説明する。上述したように本実施形態の遊技台が有する乱数生成回路３１８では、抽選結果の基になる乱数の生成範囲を設定することができる。この機能を利用して、遊技状態の設定が容易になる。

【０７５７】

まず、乱数生成範囲が０～６５５３５の場合について説明する。例えば、これらの乱数が当りかハズレのいずれかに対応している場合に、当選確率が１／４００（０．２５％）になるように設計しようとしたとする。生成される乱数は６５５３６通りあるが、６５５３６の１／４００を計算すると１６３．８４となり、整数にならない。仮にこの数字に近い１６４通りの乱数を当りに対応させた場合、厳密には１／４００の当選確率にならない。

【０７５８】

ここで、上記の乱数生成範囲が０～４９９９９に設定されたとする。上記の場合と同様に当選確率が１／４００（０．２５％）になるようにするには、生成される乱数５００００通りの１／４００、すなわち１２５通りの値を当りに対応させればよい。例えば、５００００通り乱数のうち０～１２４までの値を当りに対応させ、それ以外の１２５～４９９９９の値をハズレに対応付けることで、当選確率を１／４００にすることができる。すなわち、当選確率が設計値通り（例えば１／４００）になるように、乱数生成範囲（例えば０～４９９９９）および当りに対応する乱数の範囲（例えば０～１２４）をそれぞれ設定することができる。

【０７５９】

以上説明したように、乱数生成範囲を適切に設定することによって、所望の当選確率を設定することができる。これによって、例えば小当りに対応する乱数生成範囲を除外して大当りに対応する乱数生成範囲を残したり、あるいは大当りに対応する乱数生成範囲の半分に該当する乱数が生成されないようにすることも可能である。特に図８２を用いて説明したような乱数生成範囲が設定できれば、最大値だけを設定する場合と比較して遊技台の設計が容易になる。このため、乱数生成範囲を設定することは、遊技台の設計において有用であると言える。

【０７６０】

次に、乱数生成範囲を異ならせることにより、当選確率を変更する方法について説明する。例えば、０～４９９９９の乱数生成範囲のうち、０～１２４までの値を当りに対応させた状態から、乱数生成範囲の最大値を４９９９９から２４９に変更したとする。この場合、０～１２４までの値が当りに対応し、１２５～２４９までの値がハズレに対応し、当選確率は１／２になる。すなわち、当り又はハズレに対応する値を固定したまま乱数生成範囲だけを異ならせることにより、当選確率を容易に変更することができる。なお、上記説明では、よりわかり易くするために、当りの範囲を偏らせた例について説明したが、当りの範囲が偏っていなくてもよい。

【０７６１】

生成された乱数に基づいて当りかハズレかを判定する方法として、これらの対応を定め

たテーブルを用意しておき、これを使用する方法が考えられる。しかし、この方法で当選確率を変更しようとした場合、当選確率に対応するテーブルをそれぞれ用意しておき、遊技の状態に応じてこれらを使い分ける処理を実行させる必要がある。上記説明した方法では、当り又はハズレに対応する値を定めたテーブルが一つですむため、メモリの容量負担が少なくて済む。当然のことながら、テーブルを切り替える処理は不要である。

【０７６２】

なお、本実施形態では、乱数生成範囲の異なる複数の乱数生成チャンネルを用意し、これらを使い分けることにより遊技中の当選確率を変更しているが、一つのチャンネルに対して適宜乱数生成範囲を変更する構成を用いて当選確率を変更させてもよい。また、本実施形態では、乱数を加工した上で抽選に用いる場合があるが、この場合、加工を考慮したうえで対応するテーブルを用意すればよい。

【０７６３】

ここで、図９８を用いて、乱数生成範囲が意図せずに変更されてしまった場合の問題について説明する。同図は、乱数生成範囲の問題点を示す図である。例えば、静電気等の要因によって上述した瞬断が生じ、その後復帰処理（ユーザリセット）が実行されたとする。この場合、乱数生成回路３１８の内部レジスタは、そのまま復帰処理以前の状態が維持される。ところが、電圧の変化によって内部レジスタの情報が書き換わる可能性がある。これによって乱数生成範囲が意図せずに変更されると、当選確率が変わってしまうことになる。

【０７６４】

例えば、非確率変動状態において、図９８（ａ）の上段に示すように、０～４９９９９の乱数生成範囲が設定されており、さらにこのうち０～１２４（左下がりのハッチングで示す範囲）が当りに対応する乱数であるとする。この状態で静電気等の要因が生じ、乱数生成範囲が０～２５０になったとする。この場合、当選確率が１／４００から１／２になってしまうため、店側にとっては大きな損害になってしまう。

【０７６５】

また、確率変動状態において、図９８（ｂ）の上段に示すように、０～４９９９の乱数生成範囲が設定されており、さらにこのうち０～１２４（左下がりのハッチングで示す範囲）が当りに対応する乱数であるとする。この状態で静電気等の要因が生じ、乱数生成範囲が０～５９９９９になったとする。この場合、当選確率が１／４０から１／４８０になってしまうため、遊技者にとって著しく不利益になる。

【０７６６】

上記の例で説明したように、乱数が生成される数値範囲を任意の数値範囲に制限する手法を用いて抽選処理を行うと、何らかの異常で制限した数値範囲が変化した場合に抽選処理の不安定化を招いてしまうという問題が生じる。

【０７６７】

このような事態を防止するため、本実施形態の遊技台では、図９０のステップＳ３０５３ａにおいて、乱数生成範囲を復帰処理の要因が発生した直前の状態に設定し直す処理を実行させる。このように再度乱数生成範囲を設定し直すことによって、上記のような問題が生じないようにすることができる。すなわち、乱数が生成される数値範囲を任意の数値範囲に制限する手法を用いて抽選処理を行いつつも、抽選処理の不安定化を招くことを抑止することができる。

【０７６８】

なお、本実施形態では、遊技台の起動時に乱数生成範囲が設定されるため、復帰処理の要因が発生した直前の状態が、初期状態と同じであるが、例えば、遊技中に乱数生成範囲を変更可能な構成の場合には、直前の状態に戻す処理が実行されればよい。

【０７６９】

また、本実施形態のように、乱数生成範囲が設定されていたチャンネルに対しては乱数生成範囲を設定し直すとともに、乱数生成範囲が設定されていないチャンネルに対しては乱数生成範囲を設定し直さない構成の場合、初期化されるチャンネルと初期化されないチ

ャンネルが存在することになる。この場合、基本回路３０２の外部からチャンネルが初期化されたか否かがわからないため、不正を防止する効果がある。

【０７７０】

さらに、本実施形態の遊技台では、図９０のステップＳ３０５３ｂにおいて、乱数レジスタ３１８８をラッチすることを許容する許容状態にしている。このようにすることで、乱数レジスタ３１８８にラッチされている乱数に異常があった場合に、この乱数が使用される頻度を下げることができる。この際乱数ラッチフラグレジスタ３１８９の内容は、乱数レジスタ３１８８が乱数をラッチすることが可能な状態であることを示す情報に書き換えられる。なお、本実施形態では、ユーザプログラムによって、乱数レジスタ３１８８を許容状態にすることと、乱数生成範囲の設定を同時に実行している（図８９参照）が、ハードウェアを用いて許容状態にするようにしてもよい。なお、本実施形態の遊技台では乱数レジスタ３１８８が許容状態になっても新たに乱数をラッチするまでは乱数は残った状態になるが、可能であれば乱数レジスタ３１８８の値を所定の値に設定（例えば０に設定）するようにしてもよい。この場合には、異常の可能性がある乱数を使用させないようにすることができる。

【０７７１】

上記説明した再設定は、ＷＤＴ３１４１によるユーザリセットが実行された場合には、そのユーザリセットが実行されてから、駆動電圧の判定（図８８のステップＳ３００３）を経て実行される（図８９のステップＳ３０５３）。この判定処理に要する時間は電圧の供給具合に依存するため、一定ではない。このため再設定を反映した乱数が出力され始めるタイミングにランダム性を持たせることができ、不正防止に効果がある。なお上述した、ＣＰＵ３０４からの更新命令が来た時点で乱数の最大値を更新する構成の場合にも、同様の効果がある。

【０７７２】

なお、上記の説明では、電圧の変化によって生じる問題およびその対処法についての一例について説明したが、他にも例えば乱数生成回路３１８のスタート値選択回路３１８３ｂ内の値が書き換わってしまう可能性もある。この場合、本来生成されるはずのない値が、乱数更新回路３１８３から出力されてしまう虞がある。このような問題に対しても、上記の乱数生成範囲の例と同様に、スタート値選択回路３１８３ｂ内の値を復帰処理の要因が発生した直前の状態に設定し直す処理を実行させることにより、上記のような問題が生じないようにすることができる。また、乱数生成範囲に応じて、別途スタート値選択回路３１８３ｂ内の値を設定し直すようにしてもよい。すなわち、乱数生成回路３１８で設定可能な値を必要に応じて適切に設定し直す処理を実行させることにより、電圧の変化により異常な動作を起こさないようにすることができる。

【０７７３】

また、電圧の変化以外にも、例えば、指定エリア外走行によって予期せぬ動作が生じた場合にも、上記のような問題が生じる虞がある。特に、指定エリア外走行の場合は、プログラムミス等によって同じ状況が再現される可能性が高く、電圧が変化した場合よりも不正をしやすくなる虞がある。従って、本実施形態では、指定エリア外走行が生じた場合でも、図９０のステップＳ３０５３ａおよびステップＳ３０５３ｂによる再設定を行うようにしている。

【０７７４】

ここで、上記説明を踏まえて、図８８の主制御部メイン処理におけるＷＤＴ３１４１の起動開始のタイミング（ステップＳ３０１１、ステップＳ３０１５）について説明を補足する。通常ＷＤＴでは、プログラムの実行とは独立してカウントアップが行われている。この構成により、プログラムの実行に何らかの問題があっても、これに影響されずにリセット動作（ユーザリセット）を実行することができる。このため、ＷＤＴは初期設定時に起動（再起動）される必要がある。しかし、この起動タイミングによっては、問題が生じることがある。この問題について、図８８におけるステップＳ３００１の初期設定１の直後にＷＤＴを起動する場合を例に挙げて説明する。

【０７７５】
ユーザリセットによってＲＡＭ３０８に復帰用のデータが記憶されている状態で、主制御部メイン処理が開始されたとする。まず、ステップＳ３００１によって初期設定１が実行され、次いでＷＤＴが起動する。次に、駆動電圧が十分確保されるまでステップＳ３００３による待機処理が実行される。
【０７７６】
例えば供給電圧の不安定に起因して上記のユーザリセットが実行された場合等に、この待機処理の実行時間が長くなる場合がある。ここで待機処理に時間がかかると、後のステップＳ３００７やステップＳ３００９の実行中にＷＤＴがタイムアウトして、再度ユーザリセットが実行されてしまう場合がある。この場合、再度主制御部メイン処理が最初から実行されるため、ＲＡＭ３０８に記憶されている復帰用のデータがレジスタに戻されるまでの処理時間が長くなってしまう。
【０７７７】
さらに、例えばステップＳ３００９において、ＲＡＭ３０８のデータをレジスタに戻すとともに、ＲＡＭ３０８のデータを消去する処理が実行されている場合には、ＲＡＭ３０８のデータの一部が消去されている状態でユーザリセットが実行される可能性もある。この場合には、再度主制御部メイン処理が最初から実行されても、ＲＡＭ３０８の復帰用のデータは不完全なものであり、ステップＳ３００７で復帰可能と判定されないことになる。仮にステップＳ３００７で復帰可能と判定されてもステップＳ３００９のデータ書き戻し処理で完全にユーザリセット前の状態に復帰させることができない。
【０７７８】
このような問題を回避するため、本実施形態では、ＷＤＴ３１４１によるタイムアウトではシステムリセットを実行するようにしているが、本実施形態ではさらに、ＷＤＴ３１４１によるタイムアウトでユーザリセットを実行してもよいように、駆動電圧の判定後から主制御部タイマ割込み処理が許可されるまでの間にＷＤＴ３１４１を起動するように構成している（ステップＳ３０１１、ステップＳ３０１５）。なお、上記構成は一例であり、ユーザリセット後に主制御部メイン処理が開始されてから、主制御部タイマ割込み処理が許可されるまでの間にＷＤＴ３１４１がタイムアウトしないように、ＷＤＴ３１４１を起動させるようにすることが好ましい。また、ユーザリセットが行われてから、主制御部によって遊技の進行が開始される（本実施形態では、主制御部メイン処理のステップＳ３０１７～ステップＳ３０１９が開始され、かつ、主制御部タイマ割込み処理が開始される）までの間に、ＷＤＴ３１４１がタイムアウトしないように、ＷＤＴ３１４１を起動させることが好ましい。特に、ユーザリセット後に遊技を復帰させるための処理（遊技の進行を開始可能にするための処理）に、液晶画像表示装置（装飾図柄表示装置）の初期設定処理を実行させるための待機処理が含まれる場合には、上記の問題がより生じやすくなるため、上記説明したタイミングでのＷＤＴ３１４１の起動がより効果的である。さらに、主制御部タイマ割込み処理の最初の処理において、ＷＤＴ３１４１を起動させるようにしても、上記の問題を回避することができる。なお、上記説明ではユーザリセットが実行された場合を例に説明しているが、システムリセットが実行された場合であっても同様である。
【０７７９】
ここで、図９９を用いて、図７９で説明した乱数更新回路３１８３の変形例について説明する。同図は、図７９で説明した乱数更新回路３１８３の変形例を示す図である。この図９９（ａ）に示す乱数更新回路３１８３ｎは、図７９で説明した乱数更新回路３１８３に、乱数列変更回路３１８３ｄを加えたものである。
【０７８０】
乱数列変更回路３１８３ｄは、予め内部に複数の乱数テーブルが設けられている。図９９（ｂ）には、６５５３６個の乱数の並びを予め定めた複数の乱数列が示されている。これらの複数の乱数列を使用する際には、同じ乱数列を継続して使用するか、一つの乱数列を一周した時点で別の乱数列に変更するかを設定することができる。さらに、別の乱数列

に変更する場合には、指示がなくても自動的に変更を行うか、あるいはその都度変更を指示するか否かを設定することができる。なお、カウンタ回路３１８３ａから一巡信号を受けた時点で、一つの乱数列を一周したと判定される。

【０７８１】

乱数列変更回路３１８３ｄ内で使用する乱数列が決定されると、カウンタ回路３１８３ａから出力されるカウント値に従って、この乱数列から値が取り出される。この取り出された値が乱数として出力される。例えば図９９（ｂ）において、乱数列Ｂを使用することが決定した場合に、カウント値「５」が入力されると、乱数として「９８０６」が出力される（図９９（ｂ）の太枠で示す部分参照）。

【０７８２】

ここで、最大値設定レジスタ３１８３ｃに最大値が設定された場合における処理の例について説明する。図８１では、最大値設定レジスタ３１８３ｃに設定された最大値に従ってカウント回路３１８３ａから出力される値の範囲が変更される例について説明した。なお、この図８１では、このカウント回路３１８３ａから出力される値をそのまま乱数として用いていた。ここでは、カウント回路３１８３ａから出力される値を乱数ではなくカウント値として用い、乱数列変更回路３１８３ｄに入力する。

【０７８３】

例えば、最大値が９９９９に設定された場合、０～９９９９のカウント値がカウント回路３１８３ａから出力されることになる。ここで、乱数列変更回路３１８３ｄには、最大値設定レジスタ３１８３ｃから最大値データを取得させ、乱数列の値のうち最大値を超える値を削除して空いた部分を詰める処理を実行させる。この処理により０～９９９９の値をランダムに並べた乱数列が用意されることになる。この乱数列を用いて上記カウント値に対応する値を乱数として出力させると、乱数生成範囲を０～９９９９とする乱数を出力させることができる。なお、上記方法は一例であり、例えば、カウント値に対応する値を乱数列から参照したときに最大値を超えている場合には以降の値を順次参照し、参照された値が最大値を超えない値であればその値を出力する、というように他の方法を用いてもよい。

【０７８４】

ここで、上記の乱数更新回路３１８３ｎを用いた場合における、乱数監視回路３１８４における異常の検出例について説明する。この場合には、１回の乱数の更新前後においてカウンタ回路３１８３ａから出力されるカウント値の値を比較し、同じカウント値が出力されていないか否かをチェックする。仮に同じカウント値が出力された場合には、異常を示す情報が出力される。なお、チェックのタイミングについては、この乱数更新周期よりも長い所定の周期毎であってもよい。なお、乱数監視回路３１８４に乱数列変更回路３１８３ｄから出力される乱数を監視させてもよいが、上記したようにカウンタ回路３１３８ａから出力されるカウント値を監視するようにすることで監視精度を高めるとともに、監視負担を低減することができる。

【０７８５】

また、図７７に示す乱数生成回路３１８において説明したことと同様に、乱数生成回路３１８の外部に乱数監視回路３１８３ｎを設けてもよく、また、乱数更新回路３１８３ｎの内部に乱数監視回路３１８４を設けてもよい。

【０７８６】

次に、図１００を用いて、図４に示す払出制御部６００が実行する払出制御部メイン処理について説明する。なお、同図は払出制御部メイン処理の流れを示すフローチャートである。

【０７８７】

図４に示す払出制御部６００は、ＣＰＵ、ＲＡＭ、ＲＯＭ、Ｉ／Ｏポート、および電圧監視回路を備えている。これらＣＰＵ、ＲＡＭ、ＲＯＭ、Ｉ／Ｏポートは一のマイクロコンピュータ（払出制御用マイクロコンピュータ）で構成されている。また、この払出制御用マイクロコンピュータは、本明細書における主制御用マイクロコンピュータと一部の機

能が同じでもよく、例えば一部の機能（例えば乱数回路）を備えていなくてもよい。払出制御部６００が備える電圧監視回路も、主制御部３００が備える電圧監視回路と同じく、電源管理部６５０から払出制御部６００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を払出制御部６００のＣＰＵに出力する。なお、主制御部３００の電圧監視回路３３８から低電圧信号が出力されていても、この払出制御部６００の電圧監視回路からは低電圧信号は出力されていないことはある。

【０７８８】

払出制御部６００には、主制御部３００のＣＰＵ３０４から電源投入情報を含めたコマンドが送信されてくる。このコマンドを受信したことに基づいて、払出制御部６００のＣＰＵは、払出制御部メイン処理を開始する。なお、主制御部３００のＣＰＵ３０４から電源投入情報を含めたコマンドを受信する前に払出制御部メイン処理を開始してもよく、該コマンドを受信するまで所定の処理（例えば、後述するステップＳ３６０３～ステップＳ３６１０）を実行せずにスキップするようにしてもよい。

【０７８９】

まず、ステップＳ３５０１では、初期設定１を行う。この初期設定１では、払出制御部６００のＣＰＵのスタックポインタ（ＳＰ）へのスタック初期値の設定等を行う。ステップＳ３５０２では、払出制御部６００の電圧監視回路から低電圧信号が出力されているか否か、すなわち低電圧信号がオンであるか否かを判定する。低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ３５０２の処理を繰り返し実行し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ３５０３に進む。

【０７９０】

ステップＳ３５０３では、初期設定２を行う。この初期設定２では、後述する払出制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマに設定する処理、払出制御部６００のＲＡＭへの書き込みを許可する設定、Ｉ／Ｏポートの初期設定等を行う。

【０７９１】

ステップＳ３５０４では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（パチンコ機１００を初期状態にする場合）にはステップＳ３５０６に進み、電断前の状態に復帰する場合にはステップＳ３５０５に進む。具体的には、このステップＳ３５０４でも、主制御部３００メイン処理のステップＳ３００９と同様な処理が行われ、ＲＡＭクリアが必要な場合には、パチンコ機１００を初期状態にすべくステップＳ３５０６に進む。一方、ＲＡＭクリアが必要でない場合には、払出制御部６００のＲＡＭから電源ステータスの情報を読み出し、電源ステータスの情報が、サスペンドを示す情報でない場合にはパチンコ機１００を初期状態にすべくステップＳ３５０６に進み、サスペンドを示す情報である場合には払出制御部６００のＲＡＭについてチェックサムを実行し、チェックサムの結果が正常である場合には電断前の状態に復帰すべくステップＳ３５０５に進み、チェックサムの結果が異常である場合には、パチンコ機１００を初期状態にすべくステップＳ３５０６に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ３５０６に進む。

【０７９２】

ステップＳ３５０５では、復電時処理を行う。この復電時処理では、払出制御部６００のＲＡＭの記憶領域のうち、復電時にクリアすべき記憶領域（コマンドを格納するためのコマンドバッファ、エラー状態を記憶するためのエラーステータスなどを除く記憶領域）の初期化などを行う。

【０７９３】

ステップＳ３５０６では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、払出制御部６００のＲＡＭの所定の領域（例えば、全ての記憶領域）の初期化などを行う。

【０７９４】

ステップＳ３５０７では、初期設定３を行う。この初期設定３では、払出制御部６００のＲＡＭに設けたエラーステータス記憶領域に記憶したエラーステータスのうち、不正払出エラーと払出超過エラー以外の情報をクリアしたり、割り込み許可の設定などを行う。

【０７９５】

ステップＳ３５０８では、主制御部３００から入力したデータの中に未解析データがあるか無いかを判定し、未解析データがある場合にはステップＳ３５０９でコマンド解析処理を行い、未解析データがない場合にはステップＳ３５１０に進む。

【０７９６】

ステップＳ３５１０では、ステップＳ３５０２と同じく、低電圧信号がオフであるか否かを監視し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ３５０８に戻り、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ３５１１に進む。

【０７９７】

ステップＳ３５１１では、電断時処理を行う。この電断時処理では、払出制御部６００のＲＡＭに設けたスタックポインタ退避領域に現在のスタックポインタの値を記憶し、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、払出制御部６００のＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算し、チェックサム算出用数値記憶領域に記憶している値からその加算した結果を減算した値をチェックサム（電断時チェックサム）として算出し、算出した電断時チェックサムを上述のチェックサム算出用数値記憶領域に記憶し、払出制御部６００のＲＡＭへの書き込みを禁止する設定などを行う。なお、ステップＳ３５１１の後にステップＳ３５０２と同じく低電圧信号がオフであるか否かを監視する処理を行い、低電圧信号がオフの場合（電源の遮断を検知していない場合）には払出し制御部メイン処理の先頭（ステップＳ３５０１）に戻るようにしてもよい。

＜払出制御部タイマ割り込み処理＞

【０７９８】

次に、図１０１を用いて、払出制御部６００のＣＰＵが実行する払出制御部タイマ割り込み処理について説明する。なお、同図は払出制御部タイマ割り込み処理の流れを示すフローチャートである。

【０７９９】

払出制御部６００は、所定の周期（本実施形態では１ｍｓに１回）でタイマ割り込みを発生するカウンタ回路も備えており、このタイマ割り込みを契機として払出制御部タイマ割り込み処理を所定の周期で開始する。

【０８００】

ステップＳ３６０１では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、払出制御部６００のＣＰＵの各レジスタの値をスタック領域に一時的に退避する処理などを行う。払出制御部６００には、ウォッチドッグタイマ（ＷＤＴ）も用意されている。ステップＳ３６０２ではこのＷＤＴのリスタートを行う。

【０８０１】

ステップＳ３６０３では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、払出制御部６００のＩ／Ｏポートの値を取得して、図４に示す払出センサ６０４等の状態などを検出する。ステップＳ３６０４では、タイマ更新処理を行う。このタイマ更新処理では、払出報知用ＬＥＤの点灯／消灯時間、図４に示す払出モータ６０２の駆動／非駆動時間などを計時するためのタイマなどを含む各種タイマを更新する。

【０８０２】

ステップＳ３６０５では、エラー監視処理を行う。払出制御部６００のＩ／Ｏポートには、主制御部３００から、下皿満タンエラー信号やガラス枠開放エラー信号等の各種のエラー信号が送られてくる。払出制御部６００のＲＡＭには、エラーステータス記憶領域や、遊技媒体貸出情報記憶領域や、払出完了数チェック記憶領域や、モータ駆動量記憶領域が設けられている。エラーステータス記憶領域には、各エラー信号に対応した情報が記憶

される。このエラー監視処理では、各種のエラー信号がオンか否かを判定し、オンの場合には、エラーステータス記憶領域に対応したエラーを示す情報を記憶し、オフの場合には、エラーステータス記憶領域に対応したエラーの解除を示す情報を記憶する。また、主制御部３００と払出制御部６００との間の通信が可能かどうかを、主制御部からのコマンドが所定時間（例えば１０００ｍｓ）継続して受信できないか否かで判定し、エラーステータス記憶領域に、通信可能な場合には通信可能であることを示す情報を、反対に通信不可能な場合には通信不可能であること（主制御通信エラー）を示す情報を記憶する。加えて、図４に示すカードユニット（ＣＲユニット）６０８と払出制御部６００との間の通信が可能かどうかについても、カードユニット６０８からの信号が所定時間（例えば１０００ｍｓ）継続して受信できないか否かで判定し、エラーステータス記憶領域に、通信可能な場合には通信可能であることを示す情報を、反対に通信不可能な場合には通信不可能であること（ＣＲユニット未接続エラー）を示す情報を記憶する。また、払出制御部６００のＩ／Ｏポートには、エラー解除信号も送られてくる。このエラー監視処理では、エラー解除信号がオンであるか否かも判定し、エラー解除信号がオンである場合には、エラーステータス記憶領域に記憶している情報を初期化して、エラーを解除する。

【０８０３】

ステップＳ３６０６では、ＣＲユニット通信処理を行う。このＣＲユニット通信処理では、図４に示すインターフェース部６０６から遊技媒体貸出信号を受信して遊技媒体貸出信号センサ信号がオンであるか否かを判定し、遊技媒体貸出信号がオンの場合（インターフェース部６０６からの球貸要求を入力した場合）には、ＲＡＭに設けた遊技媒体貸出情報記憶領域に遊技媒体の貸出要求があったことを示す情報を記憶する。

【０８０４】

ステップＳ３６０７では、払出動作管理処理を行う。上述のエラーステータス記憶領域には、不正払出エラーの情報や払出超過エラーの情報も記憶されている。この払出動作管理処理では、エラーステータス記憶領域から不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合には、図４に示す払出センサ６０４からの信号（以下、払出センサ信号と称する場合がある）に基づいて払出個数の監視を行う。すなわち、所定のエラーが発生している場合には払出モータ６０２の駆動停止、すなわち払出装置からの賞媒体（例えば遊技球）の払出を停止するようにしている。具体的には、払出センサ６０４の信号を検出して払出センサ信号がオンであるか否かを判定し、払出センサ信号がオンの場合（払出センサを球が通過した場合）には払出完了数チェックに１を加算して払出完了数チェック記憶領域に記憶する。また、賞球および貸出球の要求が無いときに払出センサ信号がオンになった場合には、上述のエラーステータス記憶領域に不正払出エラーを示す情報を記憶し、賞球数または貸出球数が各々の要求数を超え、その超過数が所定数以上になった場合には、上述のエラーステータス記憶領域に払出超過エラーを示す情報を記憶する。

【０８０５】

また、上述のエラーステータス記憶領域から、下皿満タンエラーを表す情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、払出開始監視処理、初期位置検索動作処理、通常払出動作処理、リトライ動作処理、逆回転動作処理のいずれかの処理を行う。

【０８０６】

上述のごとく、払出装置１５２は、払出モータ６０２によって回転可能に構成されたスプロケットを備えている。このスプロケットは、タンクレール１５４を通過して払出装置１５２内に流下した遊技球を一時的に滞留させると共に、払出モータ６０２を駆動して所定角度だけ回転することにより、一時的に滞留した遊技球を払出装置１５２の下方へ１個ずつ送り出す。払出開始監視処理では、貸出要求数、および賞球要求数が０であり、次賞球要求数が０以外の場合は、賞球要求数に次賞球要求数をセットし、次賞球要求数をクリアする。また、払出モータ６０２の位置が不確定の場合（動作モードが初期位置検索動作モードの場合）には、払出完了数チェックから１を減算して払出完了数チェック記憶領域

に記憶し、払出モータ６０２の位置が確定している場合（動作モードが通常払出動作モードの場合）には、払出完了数チェックとして払出完了数チェック記憶領域に０を設定する。また、賞球要求数を、払出モータ６０２を駆動する量（モータ駆動量）に変換し、これをＲＡＭに設けたモータ駆動量記憶領域に記憶すると共に、ＲＡＭに設けたモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介して、払出モータ６０２を制御するモータ制御回路に出力する。これにより、モータ制御回路は払出モータ６０２のモータの励磁位置を所定回変化させてスプロケットを正方向に回転駆動する。

【０８０７】

初期位置検索動作処理および通常払出動作処理では、払出モータ６０２の駆動終了後に、払出完了数チェック記憶領域から払出完了チェックを読み出し、払出完了チェックが０の場合には、払出開始監視処理を実行する準備を行い、払出完了チェックが０以外の場合には、エラーステータス記憶領域に払出装置エラーを示す情報を設定すると共に、リトライ動作処理を実行する準備を行う。

【０８０８】

リトライ動作処理では、所定の時間が経過するのを待ち（リトライ動作開始待ちタイマが０になるのを待ち）、リトライ動作開始待ちタイマが０になった場合には、逆回転動作処理を実行する準備を行う。逆回転操作処理では、上述のモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、逆転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路は払出モータ６０２の励磁位置を所定回変化させてスプロケットを逆回転駆動する。また、逆回転操作処理では、払出モータ６０２の駆動終了後に払出開始監視処理を実行する準備を行う。

【０８０９】

ステップＳ３６０８では、払出モータ駆動監視処理を行う。この払出モータ駆動監視処理では、駆動開始監視処理、加速駆動処理、定速駆動処理、ブレーキ駆動処理、駆動終了処理のいずれかの処理を行う。

【０８１０】

駆動開始監視処理では、上述のエラーステータス記憶領域から下皿満タンエラーの情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合には、上述のモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路は払出モータ６０２の励磁位置を所定回変化させスプロケットを正方向に回転駆動する。

【０８１１】

加速駆動処理および定速駆動処理では、スプロケットの初期位置検索動作中、または、逆回転動作中の場合を除き、払出モータ６０２の励磁位置を１６回変化させるごとに払出完了数チェックから１を減算して払出完了数チェック記憶領域に記憶する。また、更新後の払出完了数チェックが－４未満になった場合には、ブレーキ駆動処理を実行する準備を行う。さらに、上述の遊技媒体貸出情報記憶領域から遊技媒体貸出情報を読み出して、遊技媒体の貸出要求があったことを示す情報の有無を判定し、遊技媒体の貸出要求があったことを示す情報がある場合（賞球の払出中にインターフェース部６０６からの球貸要求を入力した場合）にも、ブレーキ駆動処理を実行する準備を行う。ブレーキ駆動処理では、所定の時間が経過するのを待ち（モータ駆動管理タイマが０になるのを待ち）、モータ駆動管理タイマが０になった場合には、駆動終了処理を実行する準備を行い、駆動終了処理では、モータ駆動の後処理を行う。

【０８１２】

ステップＳ３６０９では、外部出力信号設定処理を行う。この外部出力信号設定処理では、払出制御部６００のＲＡＭに記憶している遊技情報（例えば払出センサ信号を入力するたびに出力する賞球信号）を、情報出力回路（図示せず）を介してパチンコ機１００と

は別体の情報入力回路３５０に出力する。
【０８１３】
ステップＳ３６１０では、ポート出力処理を行う。このポート出力処理では、払出制御部６００のＩ／Ｏポートから、図４に示す発射制御部６３０に発射を許可する発射許可信号を出力する。ただし、上述の主制御通信エラーやＣＲユニット未接続エラーが生じている場合には、発射許可信号を出力しない状態に設定する。したがって、主制御部３００が電断し、払出制御部６００には電力が供給されている状態では、上述のステップＳ３６０５において主制御通信エラーが認められ、このポート出力処理で、発射許可信号を出力しない状態に設定される。
【０８１４】
ステップＳ３６１１では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップＳ３６０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行い、払出制御部タイマ割り込み処理は終了になる。
＜第２内部情報レジスタ＞
【０８１５】
続いて、図８４に第１内部情報レジスタを示した割込み制御回路３１００の第２内部情報レジスタについて説明する。図１０２は、割込み制御回路３１００の内部情報レジスタ３１０１に用意された第２内部情報レジスタを説明するための図である。
【０８１６】
図１０２に示すように、第２内部情報レジスタは８ビットのレジスタであるが、７～３ビット目は「０」が設定されたままであり、使用されていない。また、２～０ビット目は、初期値は「０」である。
【０８１７】
本実施形態では、電源投入によって、電圧監視回路３３８からシステムリセット信号がリセット制御回路３１４に入力される。すると、リセット制御回路３１４からは、マイクロプロセッサ３０００の内部の回路に対し内部バス３３００を介して、システムリセット信号１が出力される。また、本実施形態では、ＷＤＴ３１４１がタイムアウトになった場合には、リセット制御回路３１４からは、マイクロプロセッサ３０００の内部の回路に対し内部バス３３００を介して、ＷＤＴのタイムアウト信号が出力されたことを表すシステムリセット信号２が出力される。さらに、ＣＰＵ３０４が所定の範囲以外のアドレスを参照（指定エリア外走行）した場合には、リセット制御回路３１４からは、マイクロプロセッサ３０００の内部の回路に対し内部バス３３００を介して、指定エリア外走行禁止信号が出力されたことを表すシステムリセット信号３が出力される。
【０８１８】
割込み制御回路３１００は、内部バス３３００を介してシステムリセット信号１を取得すると、２ビット目に「１」を設定する。すなわち、第１内部情報レジスタの２ビット目は、直前に発生したリセット要因が電源投入によるリセットであることを示すビットに相当する。
【０８１９】
また、割込み制御回路３１００は、内部バス３３００を介してシステムリセット信号２を取得すると、１ビット目に「１」を設定する。すなわち、第１内部情報レジスタの１ビット目は、直前に発生したリセット要因がＷＤＴ３１４１のタイムアウトであることを示すビットに相当する。
【０８２０】
さらに、割込み制御回路３１００は、内部バス３３００を介してシステムリセット信号３を取得すると、０ビット目に「１」を設定する。すなわち、第１内部情報レジスタの０ビット目は、直前に発生したリセット要因がＣＰＵ３０４の指定エリア外走行であることを示すビットに相当する。各ビットの値は、ＣＰＵ３０４がその値を読み取るとクリアされる（初期値の「０」になる）ようになっている。なお、この第２内部情報レジスタを、

図８４に示す第１内部情報レジスタで構成してもよい。
＜第３内部情報レジスタ＞
【０８２１】
図１０３は、割込み制御回路３１００の内部情報レジスタ３１０１に用意された第３内部情報レジスタを説明するための図である。図１０３に示すように、第３内部情報レジスタも８ビットのレジスタであるが、７～２ビット目は「０」が設定されたままであり、使用されていない。
【０８２２】
図１０３に示す第３内部情報レジスタの１ビット目は、ＷＤＴ３１４１がタイムアウトした場合に、ユーザリセット動作を行わせるか、あるいはシステムリセット動作を行わせるかを設定するためのビットである。ユーザリセット動作を行わせる場合には「０」を設定し、システムリセット動作を行わせる場合には「１」を設定する。
【０８２３】
また、０ビット目は、ＣＰＵ３０４の指定エリア外走行が生じた場合に、ユーザリセット動作を行わせるか、あるいはシステムリセット動作を行わせるかを設定するためのビットである。このビットでも、ユーザリセット動作を行わせる場合には「０」を設定し、システムリセット動作を行わせる場合には「１」を設定する。
【０８２４】
ここで説明した１ビット目と０ビット目それぞれに設定される値は、内蔵ＲＯＭ３０６のプログラム管理エリアに記憶されている。プログラム管理エリアに記憶されているこれらの値は、図８８に示す主制御部メイン処理における初期設定２（ステップＳ３００７）において、プログラム管理エリアから呼び出され、１ビット目と０ビット目それぞれに設定される。本実施形態では、いずれのビットにもシステムリセット動作を行わせる「１」が設定される。なお、１ビット目にユーザリセット動作を行わせる「０」を設定し、０ビット目にシステムリセット動作を行わせる「１」を設定してもよい。また、１ビット目にシステムリセット動作を行わせる「１」を設定し、０ビット目にユーザリセット動作を行わせる「０」を設定してもよい。
【０８２５】
なお、この第３内部情報レジスタも、図８４に示す第１内部情報レジスタの空きビット（未使用ビット）で構成してもよく、あるいは、上述の図１０２に示す第２内部情報レジスタの空きビット（未使用ビット）で構成してもよい。また、リセット発生時には、ＲＯＭ３０６のプログラム管理エリアに記憶されたリセット動作設定データの値を直接参照するようにしてもよい。この場合、第３内部情報レジスタに値を設定する処理は行わなくてもよい。
＜第４内部情報レジスタ＞
【０８２６】
図１０４は、割込み制御回路３１００の内部レジスタ３１０１に用意された第４内部情報レジスタを説明するための図である。図１０４に示すように、第４内部情報レジスタは８ビットのレジスタであるが、７～２ビット目は「０」が設定されたままであり、使用されていない。
【０８２７】
この第４内部情報レジスタの１ビット目は、乱数生成回路３１８の外部クロック（更新クロック）ＲＣＫの異常を示すビットである。更新クロックに異常がある場合には、第４内部情報レジスタの１ビット目から「１（異常あり）」の情報が読みだされ、更新クロックに異常がない場合には、第４内部情報レジスタの１ビット目から「０（異常なし）」の情報が読みだされる。
【０８２８】
また、０ビット目は、リセットが発生した場合に、直前のリセット要因がシステムリセット（電源投入によるリセット）であるか否かを示すためのビットである。割込み制御回路３１００は、内部バス３３００を介してシステムリセット信号１を取得すると、この０

ビット目に「１」を設定する。直前のリセット要因がシステムリセットである場合には、第４内部情報レジスタの０ビット目から「１（システムリセット発生）」の情報が読みだされ、直前のリセット要因がシステムリセットでない場合（リセット要因がＷＤＴ３１４１のタイムアウトである場合、または、リセット要因がＣＰＵ３０４の指定エリア外走行である場合）には、第４内部情報レジスタの０ビット目から「０（システムリセット未発生）」の情報が読みだされる。

＜その他の内部情報レジスタ＞

【０８２９】

また、図示は省略するが、マイクロプロセッサ３０００は、ＷＤＴ３１４１を制御するレジスタとして、スタートレジスタとクリアレジスタを備えている。スタートレジスタは、ＷＤＴ３１４１の起動／停止を制御するための８ビット長のレジスタであり、ＷＤＴ３１４１を起動するときには起動を指示する値（例えば、ＣＣＨ）を設定し（書き込み）、ＷＤＴ３１４１を停止するときには停止を指示する値（例えば、３３Ｈ）を設定するように構成されている。

【０８３０】

また、このスタートレジスタは、リセット時にプログラム管理エリアに「ソフトウェアによる起動」を設定（選択）したときに有効となるレジスタであり、その場合、停止を指示する値（例えば、３３Ｈ）が初期値として設定される。したがって、「ソフトウェアによる起動」を設定（選択）したときにＷＤＴ３１４１を起動するためには、遊技制御プログラムによって（手動で）起動を指示する値（例えば、ＣＣＨ）を設定する必要がある。一方、リセット時に「ソフトウェアによる起動」を設定（選択）しなかったときは、スタートレジスタには、起動を指示する値（例えば、ＣＣＨ）が遊技制御プログラムによらずに（自動的に）初期値として設定され、遊技制御プログラムによらずに（自動的に）ＷＤＴ３１４１が起動される。

【０８３１】

クリアレジスタは、ＷＤＴ３１４１のクリアとリスタートを制御するための８ビット長のレジスタであり、所定の第一の値（例えば、５５Ｈ）を設定した後に、所定の第二の値（例えば、ＡＡＨ）を設定したときにＷＤＴ３１４１がクリアされ、直後にリスタートされる。なお、クリアレジスタの値を読み込んだときは、所定の固定値（例えば、ＦＦＨ）が読みだされる。

【０８３２】

ここでもう一度、システムリセットの流れについて、乱数更新との関係を含めて説明する。図１０５は、システムリセットの流れを乱数更新との関係を含めて示す図である。これまで、静電気などの要因により瞬断が生じた場合に、ＷＤＴ３１４１のタイムアウトによってリセット制御回路３１４からシステムリセット信号（ここではシステムリセット信号２）が出力され、リセット動作が行われることを説明した。また、ＷＤＴ３１４１のタイムアウトに限らず、例えば、ＣＰＵ３０４の指定エリア外走行が生じた場合などにも、リセット制御回路３１４からシステムリセット信号（ここではシステムリセット信号３）が出力され、リセット動作が行われる。このリセット動作では、遊技台はセキュリティモードに移行し、セキュリティチエック処理（図７６に示すステップＳＨ０５）が実行される。

【０８３３】

ＷＤＴ３１４１のタイムアウトやＣＰＵ３０４の指定エリア外走行は、遊技処理の正常な進行を妨げる異常の一例に相当する。また、システムリセット信号２およびシステムリセット信号３は復帰指示の一例に相当する。さらに、図７６に示すリセット制御回路３１４は、上記異常を検出する異常検出部の一例に相当する。

【０８３４】

なお、図１０５では、図示省略したが、セキュリティモードではまず、図７６に示すステップＳＨ０３の第１内部回路初期化処理が実行され、ＣＰＵ３０４のコアやタイマ回路３１１、カウンタ回路３１２、パラレル入力ポート３１０２、ＲＡＭ３０８アクセスプロ

テクトレジスタ、割込み制御回路３１００、乱数生成回路３１８を制御するレジスタといった内蔵レジスタの値が初期化される。なお、乱数生成回路３１８を制御するレジスタが初期化されることから、乱数更新範囲が再設定されるとともに、乱数値の初期値も再設定される。ＣＰＵ３０４の指定エリア外走行が生じたときは特に、乱数更新範囲に何らかの影響が及ぼされている可能性があるため、乱数更新範囲の再設定を行うことが好ましい。

【０８３５】

続いて、固定延長処理（ステップＳＨ０７）が行われ、この固定延長処理が終了すると、リセット制御回路３１４は、マイクロプロセッサ３０００の外部にある周辺制御回路に対して、リセット出力端子（ＸＲＳＴＯ端子）からリセット信号を出力する。すなわち、ＸＲＳＴＯ端子からのリセット信号（リセット出力）は、固定延長処理の終了後（セキュリティモード中）に出力され、ユーザモードの開始とは異なるタイミングで出力される。

【０８３６】

次に、ランダム延長処理（ステップＳＨ０９）が行われ、遅延処理の時間が不定になる。ランダム延長処理が終了すると、遊技台はユーザモードに移行し、遊技制御用プログラム（ここでは主制御部メイン処理）が開始される。

【０８３７】

この遊技制御用プログラムでは、最初に、各種の初期設定（図８８に示すステップＳ３００１～ステップＳ３０１５）が行われる。この初期設定では、図１０６（ａ）に示すように、上述の第４内部情報レジスタの１ビット目から「更新クロック異常を示すビット」の値を読み出した後に、読み出した値を汎用レジスタにセットする（書き込む）処理を実行する一方で、第４内部情報レジスタの０ビット目から「リセット要因がシステムリセットであるか否かを示すビット」を読み出す処理は実行するが、読み出した値を汎用レジスタにセットする（書き込む）処理を実行しないように構成している。

【０８３８】

換言すると、同図（ｂ）に示すように、マイクロプロセッサ３０００は、第１の要因（例えば、乱数生成回路３１８の更新クロックの状態）に基づいて変化する内部情報レジスタのビット（例えば、第４内部情報レジスタのビット１）の値を読み出して、読み出した値を汎用レジスタにセットする（書き込む）一方で、第１の要因とは異なる第２の要因（例えば、リセット要因）に基づいて変化する内部情報レジスタのビット（例えば、第４内部情報レジスタのビット０）の値を読み出すが、読み出した値を汎用レジスタにセットしない（書き込まない）ように構成されている。

【０８３９】

初期設定を終えると、続いて、ソフトウェア乱数の更新処理（ステップＳ３０１７およびステップＳ３０１９）が行われ、次いで、最初に発生する大当りの乱数取得タイミングに到達する。ここで、最初に発生する大当りの乱数取得タイミングに乱数を不正に取得されると、強制的に大当りにされてしまうことがある。しかしながら、ランダム延長処理によって遅延処理の時間が不定になっているため、上述のリセット出力を不正にとらえて、最初に発生する大当りの乱数取得のタイミングを図ろうとしても、上記所定時間も不定になり、不正行為を防止することができる。

【０８４０】

図１０７は、上記図７５に示すマイクロプロセッサ３０００のリセット制御回路３１４の変形例を示した図である。この変形例に係るリセット回路１３１４は、図７５に示すリセット制御回路３１４が備える指定エリア外走行禁止回路３１４２、ウォッチドックタイマ（ＷＤＴ）３１４１に替えて、信号出力タイミング制御回路１３１４ａを備えている。この信号出力タイミング制御回路１３１４ａは、２つのリセット入力端子ＸＳＲＳＴ１、リセット入力端子ＸＳＲＳＴ２から入力するリセット入力信号に基づいて、リセット出力端子ＸＲＳＴＯから出力するリセット出力信号の出力タイミングを決定するための回路である。

【０８４１】

図１０８は、主制御部３００と第１副制御部４００とのうち主制御部３００のみでＷＤ

Ｔ３１４１のタイムアウトが生じた場合の例を示すタイミングチャートである。図１０８に示すタイミングチャートでは、図の左から右に向かって時間（Ｔ）が経過していく。図の左端の状態では、主制御部３００にも第１副制御部４００にも１２Ｖの電圧が供給され、主制御部３００も第１副制御部４００も通常処理を行っている。この例では、主制御部３００は特図の変動表示を開始し、第１副制御部４００は、主制御部３００による特図変動表示の開始に合わせて、ここでは不図示の第２副制御部５００を介して、装飾図柄表示装置２０８に装飾図柄の変動表示を開始させる。図１０８に示すタイミングチャートにおける（ａ）～（ｇ）の符号は、符号が記された位置のタイミングを示すものであり、図１０８の下方には、そのタイミングにおける装飾図柄表示装置２０８の様子が示されている。

【０８４２】

主制御部３００が特図変動表示を開始して間もなく主制御部３００では瞬断が生じ、一時的な電圧降下により、電断時処理が行われ、待機状態に移行する。図９７（ｂ）を用いて説明したように、待機状態では、主制御部３００のＷＤＴ３１４１がリスタートされず、ＷＤＴ３１４１がタイムアウトする。リセット制御回路３１４からは、ＷＤＴ３１４１のタイムアウトに基づいてシステムリセット信号２が出力される。

【０８４３】

システムリセット信号２が出力されたことにより、主制御部３００は、図７６に示すリセット処理を開始する。主制御部３００では、このリセット処理で、第１内部回路初期化処理（ステップＳＨ０３）が実行された後に、セキュリティチェック処理（ステップＳＨ０５）が実行される。そして、セキュリティチェック処理が終了してもユーザモード（図８８に示す主制御部メイン処理）にはすぐには移行せず、遅延処理が行われ、リセット処理が継続する。この遅延処理では、図７６に示す固定延長処理（ステップＳＨ０７）が実行される。なお、上述のごとく、固定延長処理が終了すると、リセット制御回路３１４は、マイクロプロセッサ３０００の外部にある周辺制御回路に対して、リセット出力端子（ＸＲＳＴＯ端子）からリセット信号を出力するが、このリセット信号は、第１副制御部４００に送信されるものではない。さらに、遅延処置では、ランダム延長処理（ステップＳＨ０９）が実行され、最大３０秒のランダム時間だけさらに、ユーザモードへの移行が遅延される。これらステップＳＨ０７およびステップＳＨ０９は、本発明にいう遅延処理の一例に相当する。

【０８４４】

また、上述のごとく、電断時処理が開始されてから所定時間（例えば、１０００ｍｓ）が経過するまでに、図４に示す払出制御部６００が主制御部３００からのコマンドを受信できない場合には、発射制御部６３０への発射許可信号の出力を停止する。

【０８４５】

一方、この例では、主制御部３００では瞬断が生じたものの、第１副制御部４００には継続して１２Ｖの電圧が供給されており、主制御部３００が電断時処理やリセット処理を行っている間も、第１副制御部４００は通常処理を継続する。この結果、演出実行手段は演出を続けており、装飾図柄表示装置２０８でも、装飾図柄の変動表示が継続されており、主制御部３００が電断時処理を開始して間もない（ｂ）のタイミングでは、左図柄表示領域２０８ａで装飾図柄の停止表示が行われる（いわゆる左図柄停止）。また、（ｃ）のタイミングでは、右図柄表示領域２０８ｃで装飾図柄の停止表示が行われ（いわゆる右図柄停止）、リーチ状態になる。続いて、（ｄ）のタイミングでは、スペシャルリーチ（ここではいわゆるトリプルリーチ）に発展し、（ｅ）のタイミングでは、リーチはずれ演出が一旦行われ、（ｆ）のタイミングでは、装飾図柄の組合せ（ここでは「装飾５－装飾４－装飾５」）が揺れ変動している。第１副制御部４００は、主制御部３００から図柄変動停止コマンドが送られてきたことに基づいて、装飾図柄の組合せを完全停止させて確定停止を行う。ところが、主制御部３００が電断時処理やリセット処理を行っている間は、第１副制御部４００には主制御部３００からコマンドが送信されない。

【０８４６】

この結果、特図の変動時間が経過しても揺れ変動が継続することになる。いつまでも続く揺れ変動を見た遊技者は、パチンコ機１００が壊れたのではないかと不安に思い、遊技店の店員を呼ぶことが期待でき、遊技店員に瞬断やリセットが発生したことを知らせることができる場合がある。すなわち、従来の遊技台では、遊技中に静電気などによる瞬間的な電圧低下でリセットが発生した場合にリセット処理を行なう技術が考案されているが、リセット処理には僅かな時間しかかからないため、遊技店側がリセットの発生を把握できず、遊技台に安定した制御を行なわせることができなかったが、本実施形態の遊技台によれば、遊技制御の開始を遅延させることで、遊技者を介してリセットの発生を遊技店員が把握できる。また、リセットの発生を遊技店員が把握できるため、リセットの発生要因を排除する（例えば、遊技台裏の配線等を離す）などして遊技台に安定した制御を行なわせることができる。さらに、この例では、リーチはずれ演出が行われているが、リーチ当り演出が行われてから揺れ変動がいつも以上に継続した場合には、大当りを期待していた遊技者に対して、パチンコ機１００が壊れ、有利な状態にならないように変化してしまったのではないかといった遊技者の不安を一層煽ることができ、遊技者に店員を呼び出させ、遊技店員に瞬断が発生したことを知らせることができる場合がある。

【０８４７】

また、リセット処理が行われている期間は、発射許可信号の出力が停止されており、発射装置１１０からの遊技球の発射ができない。そのため、装飾図柄表示装置２０８による表示は継続しているのに、図１に示す球発射ハンドル１３４をいくら操作しても遊技球が発射されず、遊技者は、パチンコ機１００が壊れたのではないかと不安に思い、遊技店の店員を呼ぶことが期待でき、遊技店員に瞬断やリセットが発生したことを知らせることができる場合がある。すなわち、遅延処理中は発射を停止させることで、遊技者を介してリセットの発生を遊技店員が把握できる場合がある。

【０８４８】

さらに、ＸＲＳＴＯ信号が立ち下がるタイミングで主制御部３００の各回路（例えば、駆動回路３２４～３３４）にクリア信号が出力され、電断時処理やリセット処理が行われている期間は、主制御部３００が駆動する、普図表示装置２１０や、第１特図表示装置２１２や、第２特図表示装置２１４や、普図保留ランプ２１６や、第１特図保留ランプ２１８や、第２特図保留ランプ２２０や、高確中ランプ２２２等の遊技表示手段も表示されず、これらの非表示に気付いた、遊技者は、パチンコ機１００が壊れたのではないかと不安に思い、遊技店の店員を呼ぶことが期待でき、遊技店員に瞬断やリセットが発生したことを知らせることができる場合がある。特に、普図保留ランプ２１６や、第１特図保留ランプ２１８や、第２特図保留ランプ２２０や、高確中ランプ２２２といった遊技者が獲得した権利に基づく状態を表示する表示器が、非表示になると、パチンコ機１００が壊れて、こらまで獲得した権利が消滅してしまったのではないかといった遊技者の不安を一層煽ることができ、遊技者に店員を呼び出させ、遊技店員に瞬断やリセットが発生したことを知らせることができる場合がある。また、見方を変えれば、店員に遊技客に対してお詫びをする機会が与えられ、遊技客とのコミニュケーションが図れ、アットホームな遊技店を実現する手助けになる可能性がある。

【０８４９】

主制御部３００では、ランダム延長処理（ステップＳＨ０９）が終了すると、ここで初めてユーザモードに移行し、通常処理（図８８に示す主制御部メイン処理）が開始される。図８８に示す主制御部メイン処理では、主制御部３００への供給電圧が１２Ｖまで復帰しているため、図８９に示す初期設定２が行われ、第１副制御部４００には、ここで初めてクリア信号が出力される（ステップＳ３０５２）。第１副制御部４００は、クリア信号を受信すると各種の初期設定を行う。この初期設定で、装飾図柄表示装置２０８に初期設定時の画面（デフォルト画面）を表示させる。なお、ＷＤＴ３１４１でタイムアウトが生じた場合にも、装飾図柄表示装置２０８にはデフォルト画面が表示される。図１０８に示す（ｇ）のタイミングでは、装飾図柄表示装置２０８に「お待ち下さい。」という文字表示がなされている。すなわち、装飾図柄表示装置２０８の画面は、いつまでたっても終わ

らなかった揺れ変動から「お待ち下さい。」という文字表示の画面に切り替わり、この一連の表示を見ていた遊技者は、パチンコ機１００が壊れたのではないかと不安に思い、遊技店の店員を呼ぶことが期待でき、遊技店員に瞬断が発生したことを知らせることができる場合がある。

【０８５０】

なお、主制御部メイン処理が開始されると、主制御部３００から払出制御部６００にもコマンドが送信されるようになり、発射制御部６３０へ発射許可信号が出力されて、遊技球の発射ができるようになる。

【０８５１】

この例では、主制御部３００がリセット処理から通常処理に移行するタイミングは、装飾図柄の組合せの揺れ変動中（（ｆ）のタイミング以降）であったが、揺れ変動前（（ｆ）のタイミングより前）であっても、装飾図柄表示装置２０８にはデフォルト画面が表示される。

【０８５２】

以上説明した図１０８では、ＷＤＴ３１４１のタイムアウトが生じた場合の例であったが、ＣＰＵ３０４の指定エリア外走行が生じた場合にも同様に、遊技者を介してリセットの発生を遊技店員が把握でき、遊技台に安定した制御を行なわせることができる。また、リセットがかかるようなその他の異常が生じた場合でも、システムリセット動作を行わせるようにしておけば、システムリセット中に遅延処理が実行され、遊技者を介してリセットの発生を遊技店員が把握でき、遊技台に安定した制御を行なわせることができる場合がある。

【０８５３】

以上の説明では、『電源の遮断が検出されるまで繰り返し実行される主処理（例えば、ステップＳ３０１７、Ｓ３０１９、および主制御部タイマ割込み処理）を含む遊技に関する遊技処理を実行する遊技制御部（例えば、主制御部３００）、および前記遊技制御部が前記遊技処理を実行中に該遊技処理の正常な進行を妨げる異常（例えば、ＷＤＴ３１４１のタイムアウトやＣＰＵ３０４の指定エリア外走行）を検出したことに基づいて復帰指示（例えば、システムリセット信号２，３）を行う異常検出部（例えば、リセット制御回路３１４）が設けられた電気的制御手段（例えば、マイクロプロセッサ３０００）を備え、前記遊技制御部（例えば、主制御部３００）は、前記復帰指示に基づいて前記遊技処理の実行を中止するものであって、前記電気的制御手段（例えば、マイクロプロセッサ３０００）は、前記遊技制御部が前記遊技処理の実行を開始するための復帰処理（例えば、システムリセット動作）を前記復帰指示に基づいて行い、該復帰処理を実行している最中に該遊技処理の開始を遅延させる遅延処理（例えば、ステップＳＨ０７，ＳＨ０９）を実行するものであることを特徴とする遊技台。』についての説明がなされている。

【０８５４】

ここで、前記遊技処理の遊技処理プログラムを記憶した記憶部（例えば、内蔵ＲＯＭ３０６）を備え、前記電気的制御手段は、前記遊技処理の実行を再開するための初期化処理（例えば、ステップＳＨ０３の第１内部回路初期化処理）を前記復帰指示に基づいて行うものであって、前記遊技制御部は、前記復帰指示に基づいて前記遊技処理の実行を中止し、前記初期化処理が行われた後、前記記憶部から前記遊技処理プログラムを順次読み出して前記遊技処理を再開するものであって、前記電気的制御手段は、前記初期化処理を完了してから前記遊技処理を開始するまでの間に、該遊技処理の開始時期を遅延させる遅延処理を実行するものであってもよい。すなわち、ここにいう復帰処理は、初期化処理と遅延処理を併せた処理になる。

【０８５５】

また、電源の遮断が検出されるまで繰り返し実行される主処理を含む遊技に関する遊技処理を実行する遊技制御手段と、前記遊技制御手段が前記遊技処理を実行中に該遊技処理の進行を妨げる異常を検出したことに基づいて復帰指示を行う異常検出手段とを備え、前記遊技制御手段は、前記復帰指示に基づいて前記遊技処理の実行を中止し、該遊技処理の

実行を再開するための復帰処理を行うものであって、該復帰処理を実行している最中に該遊技処理の再開を遅延させる遅延処理を実行するものであることを特徴とする遊技台。の態様であってもよい。この態様によれば、前記電気的制御手段といった、ハードウェア処理とソフトウェア処理の双方を行うことができる手段に代えて、遊技制御手段といったソフトウェア処理のみを行う手段によって、上記復帰処理を行い、その復帰処理を実行している最中に上記遅延処理を実行する。なお、前記遊技処理の遊技処理プログラムを記憶した第１記憶部と、前記復帰処理の復帰プログラムを記憶した第２記憶部とを備え、前記遊技制御手段は、前記１記憶部から前記遊技処理プログラムを順次読み出して前記遊技処理を実行するものであって、前記電気的制御手段は、前記復帰プログラムにしたがって前記復帰処理を実行するものであってもよい。

【０８５６】

この場合、安定した遊技制御を行うことができる場合がある。すなわち、遊技制御の開始を遅延させることで、遊技者を介してリセットの発生を遊技店員が把握できる場合がある。また、リセットの発生を遊技店員が把握できるため、リセットの発生要因（例えば、静電気を発する電気部品）を特定して対処する（例えば、遊技台裏の配線の配置等を見直す）ことができ、遊技台に安定した制御を行なわせることができる場合がある。また、復帰処理中は遊技処理が行われないため、リセット発生時に遊技領域を転動していた遊技球が復帰処理中に第１特図始動口２３０に進入したとしても進入に基づく処理が行われず、遊技者に不安を抱かせて遊技店員を呼び易くすることが出来る場合がある。また、遊技店員は、遊技球を第１特図始動口２３０などに手で入れることによって、遊技台の状態を確認することができる場合がある。また、復帰処理中は遊技処理が行われないため、本体１０４または前面枠扉１０６を開放したとしても開放に基づく処理が行われず、遊技店員が本体１０４または前面枠扉１０６を開放することで、遊技台の状態を確認することができる場合がある。

【０８５７】

また、これまでの説明において、『前記電気的制御手段（例えば、マイクロプロセッサ３０００）は、異常が発生したか否かを判定するセキュリティチェック処理を前記復帰処理中に行う（例えば、ステップＳＨ０５のセキュリティチェック処理を行う）ものであることを特徴とする遊技台。』についても説明がなされている。

【０８５８】

この場合、復帰処理中にセキュリティチェック処理も行うため、復帰処理が行われている間の時間を有効に活用することができるとともに、セキュリティを向上させることが出来る場合がある。

【０８５９】

なお、前記異常検出部は、前記異常のうちの第１の異常（例えば、ＣＰＵ３０４の指定エリア外走行）があったことに基づいて前記復帰指示のうちの第１の復帰指示（例えば、システムリセット信号）を出力し、前記異常のうちの第２の異常（例えば、ＷＤＴ３１４１のタイムアウト）があったことに基づいて前記復帰指示のうちの第２の復帰指示（例えば、ユーザリセット信号）を出力し、前記電気的制御手段は、前記第１の復帰指示に基づいて前記復帰処理を実行している最中に前記遅延処理を実行し、前記第２の復帰指示に基づいて前記復帰処理を実行している最中に前記遅延処理を実行しないものであってもよい。

【０８６０】

この場合、異常の種類に応じて遊技処理が開始されるまでの時間が異なるため、遊技店員が異常の種類を判別することができる場合がある。

【０８６１】

また、前記第１の異常は、前記第２の異常よりも異常度が高いものであってもよい。

【０８６２】

この場合、異常度の高い第１の異常が発生したときに復帰処理で遅延処理が行われるため、遊技店員は異常度が高い異常に基づくリセットが発生したことを確認することができ

る場合がある。
【０８６３】
また、前記電気的制御手段は、前記第１の復帰指示に基づいて前記復帰処理を実行している最中に前記セキュリティチェック処理を実行し、前記第２の復帰指示に基づいて前記復帰処理を実行している最中に前記セキュリティチェック処理を実行しないものであってもよい。
【０８６４】
なお、遊技領域に向けて遊技球を発射する発射手段（例えば、発射装置１１０）を備え、前記発射手段は、前記遅延処理が実行されている間は遊技球の発射を停止するものであってもよい。
【０８６５】
この場合、遊技者は、パチンコ機１００が壊れたのではないかと不安に思い、遊技店の店員を呼ぶことが期待でき、遊技店員に瞬断やリセットが発生したことを知らせることができる場合がある。すなわち、遅延処理中は発射を停止させることで、遊技者を介してリセットの発生を遊技店員が把握できる場合がある。
【０８６６】
また、前記遊技処理の遊技処理プログラムを記憶した記憶部（例えば、内蔵ＲＯＭ３０６）を備え、前記遊技制御部（例えば、主制御部３００）は、前記記憶部から前記遊技処理プログラムを読み出して前記遊技処理を実行するものであって、前記記憶部（例えば、内蔵ＲＯＭ３０６）は、この記憶部に記憶された内容（例えば、ユーザプログラム）に基づいて得られる所定の認証情報（例えば、認証コード）を格納したものであり、前記電気的制御手段（例えば、マイクロプロセッサ３０００）は、前記記憶部に記憶されている内容に基づいて前記認証情報を前記復帰処理中に取得し、取得した認証情報が該記憶部に格納されている前記所定の認証情報に一致するか否かの判定を該復帰処理中に行う（例えば、ステップＳＨ０５のセキュリティチェック処理を行う）ものであってもよい。
【０８６７】
この場合、復帰処理中に所定の認証情報に一致するか否かの判定を行うため、復帰処理が行われている間の時間を有効に活用することができるとともに、セキュリティを向上させることが出来る場合がある。
【０８６８】
なお、前記電気的制御手段は、取得した認証情報が該記憶部に格納されている前記所定の認証情報に一致したことに基づいて、前記遅延処理を実行するものであってもよい。
【０８６９】
また、前記遊技制御部は、取得した認証情報が該記憶部に格納されている前記所定の認証情報に不一致であったことに基づいて、動作を停止するものであってもよい。
【０８７０】
また、前記電気的制御手段は、前記遊技処理の開始を、予め定まった時間遅延させる第一遅延処理（例えば、ステップＳＨ０７の固定延長処理）、および変更可能な時間遅延させる第二遅延処理（例えば、ステップＳＨ０９のランダム延長処理）のうち少なくともいずれか一方の処理を行うものであってもよい。
【０８７１】
また、前記電気的制御手段は、前記遊技処理の開始を予め定まった時間遅延させる第一遅延処理を行った後で、外部に対してリセット指示（例えば、リセット出力端子（ＸＲＳＴＯ端子）からリセット信号）を出力し、その後、該遊技処理の開始を変更可能な時間遅延させる第二遅延処理処理を行うものであってもよい。ここにいう変更可能時間とは、前記電気的制御手段の製造時や設定時に、複数の用意された時間の中から選択された時間であってもよいし、任意に変えられる時間であってもよい。
【０８７２】
この場合、遊技処理の開始タイミングと外部に対してのリセット指示の出力タイミングとが異なるため、有利な乱数が取得可能な最初のタイミングを不正者が解析困難にするこ

とができ、不正者の不正行為を防止することができる場合がある。
【０８７３】
また、前記遊技制御部は、前記遊技処理の中で、所定の数値範囲（例えば、乱数生成範囲）で数値を繰り返し更新し更新した数値を用いて所定の抽選処理（例えば、特図の当否判定）を実行するものであって、前記電気的制御手段は、前記復帰処理の中で、前記数値を初期化する（例えば、ステップＳＨ０３の第１内部回路初期化処理を実行する）ものであってもよい。
【０８７４】
また、前記遊技制御部によって制御される遊技表示手段（例えば、普図表示装置２１０や、第１特図表示装置２１２や、第２特図表示装置２１４や、普図保留ランプ２１６や、第１特図保留ランプ２１８や、第２特図保留ランプ２２０や、高確中ランプ２２２）を備え、前記遊技表示手段は、前記遅延処理が実行されている間は非表示になるものであってもよい。
【０８７５】
この場合、遊技表示手段の表示が行われるはずが行われないため、遊技者に不安を抱かせて遊技店員を呼び易くすることが出来る場合がある。また、遊技店員は、遊技球を第１始動口２３０などに手で入れることによって、遊技台の状態を確認することができる場合がある。
【０８７６】
また、遊技球が進入可能な第１の状態と、該第１の状態より遊技球な進入困難な第２の状態とに変化可能な可変入賞手段（例えば、第２特図始動口２３２、可変入賞口２３４）を備え、前記可変入賞手段は、前記第１の状態の場合に前記復帰指示があったことに基づいて前記第２の状態に変化するものであってもよい。
【０８７７】
この場合、可変入賞手段が第１の状態であるべきなのに第２の状態となるため、遊技者に不安を抱かせて遊技店員を呼び易くすることが出来る場合がある。また、遊技店員は、遊技球を第１始動口２３０などに手で入れることによって、遊技台の状態を確認することができる場合がある。なお、前記可変入賞手段は、前記第１の状態の場合に前記復帰指示があったことに基づいて該第１の状態を維持するものであってもよい。この場合、予め定められた所定時間（例えば、開放時間）以上第１の状態となるため、遊技者に不安を抱かせて遊技店員を呼び易くすることが出来る場合がある。
【０８７８】
また、前記遊技制御部からの指示に基づいて演出を実行する演出実行手段（例えば、装飾図柄表示装置２０８）を備え、前記演出実行手段は、前記遅延処理が実行されている間も演出を継続するものであってもよい。ここで、前記演出実行手段は、前記遊技表示手段よりも大きな表示領域を有するものであってもよい。
【０８７９】
この場合、遅延処理中に遊技者を退屈させないようにすることができる場合がある。
【０８８０】
また、前記電気的制御手段は、前記復帰指示に基づいて、第１復帰処理と第２復帰処理を選択的に実行するものであり、前記第１復帰処理の復帰動作を記憶した第１復帰動作記憶部と、前記第２復帰処理の復帰動作を記憶した第２復帰動作記憶部と、を備え、前記電気的制御手段は、前記第１復帰処理を選択した場合には前記第１復帰動作記憶部に記憶された復帰動作にしたがって前記第１復帰処理を実行し、前記第２復帰処理を選択した場合には前記第２復帰動作記憶部に記憶された復帰動作にしたがって前記第２復帰処理を実行するものであってもよい。
【０８８１】
また、前記遊技制御部は、前記遊技処理の中で、所定の数値範囲で数値を繰り返し更新し更新した数値を用いて所定の抽選処理を実行するものであって、前記電気的制御手段は、前記復帰指示に基づいて、前記数値を初期化する第１復帰処理（例えば、ステップＳＨ

０３の第１内部回路初期化処理）と、該数値を該復帰指示がなされる前の値に保持する第２復帰処理（例えば、ステップＳＨ１１の第２内部回路初期化処理）を選択的に実行するものであってもよい。

【０８８２】

また、本発明を所定数の遊技球を循環して使用する封入式遊技機に適用してもよい。また、主制御部３００と副制御部４００は双方向通信でもよいし、主制御部３００と副制御部４００の機能を備えた１つの制御部を代わりに設けてもよい。

【０８８３】

従来より、遊技台として、遊技盤の遊技領域に遊技球の落下の方向に変化を与える障害物や、遊技球が入賞可能な入賞口、始動口、可変入賞口などを設け、これらに遊技球が入賞すると賞球を払い出すなど遊技者に特典が与えられるようにした弾球遊技機（パチンコ機）が知られている。この弾球遊技機では、遊技球が始動口へ進入したことに基づいて当否判定の抽選処理を行い、当否判定の結果に応じて、可変入賞口を所定時間開放させる等、遊技者に有利な遊技状態を発生させるようにしている。

【０８８４】

また、メダル（遊技媒体）を投入してスタートレバーを操作することでリールを回転させるとともに、内部抽選によって役を内部決定し、ストップボタンを操作することでリールを停止させたときに、図柄表示窓上に内部決定に応じて予め定められた図柄の組み合わせが表示されると役が成立し、メダルの払い出しを伴う役が成立した場合には、規定数のメダルを払い出すなど遊技者に特典が与えられるようした回胴遊技機（スロットマシン）も知られている。

【０８８５】

ところで、遊技店の営業中に、遊技台の電気系統に異常が発生し、遊技台の電源が遮断（電断）することがある。電源断した遊技台は、その後、遊技に支障がないように即座に自動的に復電する（電源が投入される）。このため、遊技台が電断したことに遊技店側がその場では気づかないことがある。また、遊技台のプログラムが想定外の動作をした場合等、何らかの異常が生じた場合には、一旦リセットがかかる。しかしながらリセットがかかるような異常が生じた場合でも、遊技に支障がないように即座に自動的に復帰する。

【０８８６】

遊技台の電気系統に異常が発生した原因や、リセットがかかるような異常が生じた原因としては、様々なことが考えられ、遊技店側としては電断が生じたことや、リセットがかかるような異常が生じたことを、その場で把握したい場合がある。

【０８８７】

一方、上記遊技台によれば、電気系統の異常が発生したことや、リセットがかかるような異常が生じたことを、遊技店側がその場で把握する機会を生じさせやすい。また、遊技制御の開始を遅延させることで、遊技者を介してリセットの発生を遊技店員が把握でき、遊技店員がリセットの発生要因を特定して対処する（例えば、遊技台裏の配線の配置等を見直す）ことができ、遊技台に安定した制御を行なわせることができる場合がある。

以下、これまで説明したことも含めて付記する。

（付記１）

遊技に関する複数種類の処理を含む遊技制御を行う遊技制御手段と、

【０８８８】

前記遊技制御手段の処理の進行に関する異常を検出するとともに、該異常を検出した場合には前記遊技制御手段に復帰指示を行う異常検出手段と、

【０８８９】

前記遊技制御手段および前記異常検出手段に所定の電圧を供給する電圧供給手段と、を備えた遊技台であって、

前記遊技制御手段は、

【０８９０】

前記異常検出手段から前記復帰指示を受けたことに基づいて行われる復帰処理と、該復帰

処理の後に開始され、所定の終了条件が成立するまで繰り返し実行される主処理と、を行い、
【０８９１】
前記復帰処理は、前記遊技制御の開始を遅延させる遅延処理を含むことを特徴とする遊技台。
（付記２）
【０８９２】
乱数を生成するものであって、該乱数が生成される数値範囲である乱数生成範囲を設定可能な乱数生成手段（乱数生成回路３１８等）と、
【０８９３】
前記乱数生成手段により生成された乱数を用いる抽選処理を含む、遊技に関する複数種類の処理を行う遊技制御手段（ＣＰＵ３０４等）と、
【０８９４】
前記遊技制御手段の処理の進行に関する異常があるか否かを検出する処理を実行するとともに、該異常を検出した場合には前記遊技制御手段の処理を特定の処理から再開させて前記遊技制御手段の処理を正常に復帰させるための復帰指示（システムリセット又はユーザリセット）を前記遊技制御手段に対して行う異常検出手段（リセット制御回路３１４等）と、を備え、
前記乱数生成手段は、
【０８９５】
前記乱数生成範囲を設定するための乱数範囲設定指示を前記遊技制御手段から受けたことに基づいて前記乱数生成範囲を更新する生成範囲更新処理（図８９のステップＳ３０５３）を実行するものであり、
前記遊技制御手段は、
【０８９６】
前記異常検出手段から前記復帰指示を受けた際に、該復帰指示が行われる前に設定された前記乱数生成範囲と同じ数値範囲を前記乱数生成範囲として設定するための前記乱数範囲設定指示を前記乱数生成手段に対して行う（図８９のステップＳ３０５３）ものであることを特徴とする遊技台（パチンコ機１００やスロットマシン１１００）。
（付記３）
付記２記載の遊技台であって、
前記異常検出手段は、
【０８９７】
所定の開始条件が成立したことに基づいて経過時間の計測を開始し、該経過時間が特定時間を超えたか否かを判定するとともに、該経過時間が特定時間を超えたと判定したことに基づいて前記遊技制御手段に復帰指示を行う（図７５のＷＤＴ３１４１の説明参照）ものであることを特徴とする遊技台。
（付記４）
【０８９８】
所定の数値範囲で所定の周期ごとに更新され、遊技に関する抽選に用いられる乱数を生成する乱数生成手段（乱数生成回路３１８等）と、
【０８９９】
前記乱数の更新に関する異常を検出する更新異常検出手段（周波数監視回路３１８２と乱数監視回路３１８４）と、
【０９００】
前記異常検出手段により前記異常が検出されたことに基づいて、所定条件が成立するまで前記異常検出手段により前記異常が検出されたことを示す異常検出情報を保持する異常検出情報保持手段（内部情報レジスタ３１０１）と、
【０９０１】
所定のタイミングで前記異常検出情報保持手段を参照し、前記異常検出情報保持手段に

より前記異常検出情報が保持されていたことに基づいて、所定の異常対応処理を実行する異常対応処理手段（ＣＰＵ３０４と図９５のデバイス監視処理および入賞受付処理）と、を備えたことを特徴とする遊技台。

（付記５）

付記４記載の遊技台であって、

前記異常検出情報保持手段は、

【０９０２】

前記異常検出情報を保持している状態において前記異常対応処理手段により参照されたことに基づいて、前記異常検出情報が消去されるものであること（内部情報レジスタの説明参照）を特徴とする遊技台。

＜主制御部の第１変形例＞

【０９０３】

図１０９（ａ）は、主制御部の構成の第１変形例を示した図である。この例では、ＣＰＵ３０４は、リセット信号入力端子ＸＳＲＳＴを備え、このリセット信号入力端子ＸＳＲＳＴには、ランダム遅延回路３１７が接続されている。なお、端子名称の先頭に付した「Ｘ」の文字は、端子に入出力する信号がローアクティブであることを示しているが、ハイアクティブでもよいことは言うまでもない（以下同様）。

【０９０４】

また、ランダム遅延回路３１７の入力端子には、電圧監視回路３３８が出力する低電圧信号と、ＷＤＴ３１４が出力するＷＤＴ起動信号の２つが入力されている。電圧監視回路３３８は、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号（例えば、Ｌレベルの信号）を出力する。また、ＷＤＴ３１４は、ＷＤＴのタイムアウトによってＷＤＴ起動信号（例えば、Ｌレベルの信号）を出力する。

【０９０５】

ランダム遅延回路３１７は、電圧監視回路３３８が出力する低電圧信号、または、ＷＤＴ３１４が出力するＷＤＴ起動信号を入力端子から入力した後、ランダムに選択した遅延時間の経過を待って、当該入力信号をＣＰＵ３０４のリセット信号入力端子ＸＳＲＳＴに向けて出力する。図９を用いて説明したように、ＣＰＵ３０４は、リセット信号入力端子ＸＳＲＳＴに所定期間（例えば、システムクロックの４周期分の期間）以上のＬレベルの信号が入力された後にＨレベルの信号が入力された場合にシステムリセット（初期化）される。このため、この例では、ＣＰＵ３０４は、電圧監視回路３３８が出力する低電圧信号、または、ＷＤＴ３１４が出力するＷＤＴ起動信号のいずれかに遅延時間を付加した信号に基づいてシステムリセット（初期化）される。

＜主制御部の第２変形例＞

【０９０６】

図１０９（ｂ）は主制御部の構成の第２変形例を示した図である。この例では、ＷＤＴ３１４が出力するＷＤＴ起動信号を、ランダム遅延回路３１７を介さずにＣＰＵ３０４のリセット信号入力端子ＸＳＲＳＴに向けて直接、出力するように構成している。このため、この例では、ＣＰＵ３０４は、電圧監視回路３３８が出力する低電圧信号の出力タイミングを遅延時間だけ遅延させた信号、または、ＷＤＴ３１４が出力するＷＤＴ起動信号（遅延時間なし）に基づいてシステムリセット（初期化）される。

【０９０７】

同図（ｃ）は、上述のランダム遅延回路３１７、電圧監視回路３３８、およびＷＤＴ３１４を有して構成されたリセット回路の構成例を示した図である。この例では、ＣＰＵ３０４を、（１）ＷＤＴ３１４が出力するＷＤＴ起動信号（遅延時間なし）に基づいてシステムリセット、（２）ＷＤＴ３１４が出力するＷＤＴ起動信号にランダム遅延回路３１７で選択した遅延時間だけ出力タイミングを遅延させた信号に基づいてシステムリセット、（３）ＷＤＴ３１４が出力するＷＤＴ起動信号をリセット信号入力端子ＸＳＲＳＴに入力させずに低電圧信号のみに基づいてシステムリセット、の３つの状態のいずれかをＣＰＵ

３０４が選択可能に構成している。また、ランダム遅延回路３１７によって付加される遅延時間の設定が可能で、ＷＤＴ起動信号に付加する遅延時間と低電圧信号に付加する遅延時間を個別に設定可能に構成している。これらの選択や設定、ＷＤＴ３１４のスタートやリセットは、例えば、ＣＰＵ３０４のデータ入出力端子Ｄ０～Ｄ７を介してリセット回路に内蔵したレジスタに設定値を書き込んだり、リセット回路の所定の入力端子に所定のレベルの信号（設定値に対応する信号）を入力したりすることで行われる。

＜リセット回路の第１変形例＞

【０９０８】

図１１０（ａ）は、図１０９（ｃ）に示すリセット回路の第１変形例を示した図である。この例では、リセット回路に内蔵された第一ＷＤＴ３１４ａとは別に、ＣＰＵ３０４にも第二ＷＤＴ３１４ｂを内蔵している。そして、ＣＰＵ３０４は、リセット信号入力端子ＸＳＲＳＴに入力するリセット信号によってシステムリセット（外部リセット）を行うか、内蔵する第二ＷＤＴ３１４ｂのタイムアウトによってシステムリセット（内部リセット）を行うか、の選択が可能なレジスタを備えている。

＜リセット回路の第２変形例＞

【０９０９】

同図（ｂ）は、図１０９（ｃ）に示すリセット回路の第２変形例を示した図である。この例では、ＣＰＵ３０４が、リセット回路に内蔵していたランダム遅延回路３１７を内蔵しているとともに、リセット信号出力端子ＸＲＳＴＯを備えている。そして、ＣＰＵ３０４は、外部リセットに基づいてリセット信号出力端子ＸＲＳＴＯからリセット信号を出力するか、内部リセットに基づいてリセット信号出力端子ＸＲＳＴＯからリセット信号を出力するか、の選択が可能なレジスタを備えている。また、ＣＰＵ３０４は、リセット信号出力端子ＸＲＳＴＯから出力するリセット信号に、ランダム遅延回路３１７が選択する遅延時間を付与するか否かの選択が可能なレジスタも備えており、また、外部リセットに基づくリセット信号の出力タイミングを遅延させるための遅延時間と、内部リセットに基づくリセット信号の出力タイミングを遅延させるための遅延時間を個別に設定可能に構成している。

＜リセット回路の第３変形例＞

【０９１０】

図１１１（ａ）は、図１０９（ｃ）に示すリセット回路の第３変形例を示した図である。この例では、電圧監視回路３３８から出力される低電圧信号の出力タイミングを遅延させる遅延時間を設定するための第１ランダム遅延回路３１７ａと、ＷＤＴが出力するＷＤＴ起動信号の出力タイミングを遅延させる遅延時間を設定するための第２ランダム遅延回路３１７ｂと、を別に設けている。すなわち、この例では、ＣＰＵ３０４を、（１）電圧監視回路３３８が出力する低電圧信号に、第１ランダム遅延回路３１７ａで選択した遅延時間だけ出力タイミングを遅延させた信号に基づいてシステムリセット、（２）ＷＤＴ３１４が出力するＷＤＴ起動信号に、第２ランダム遅延回路３１７ｂで選択した遅延時間だけ出力タイミングを遅延させた信号に基づいてシステムリセット、（３）ＷＤＴ３１４が出力するＷＤＴ起動信号（遅延時間なし）に基づいてシステムリセット、の３つの状態のいずれかをＣＰＵ３０４が選択可能に構成している。また、低電圧信号やＷＤＴ起動信号の出力タイミングを遅延させるための各々の遅延時間を第１ランダム遅延回路３１７ａ、第２ランダム遅延回路３１７ｂによって個別に設定可能に構成している。これらの選択や設定、ＷＤＴ３１４のスタートやリセットは、例えば、ＣＰＵ３０４のデータ入出力端子Ｄ０～Ｄ７を介してリセット回路に内蔵したレジスタに設定値を書き込んだり、リセット回路の所定の入力端子に所定のレベルの信号（設定値に対応する信号）を入力したりすることで行われる。

＜リセット信号出力端子の接続の一例＞

【０９１１】

図１１１（ｂ）は、ＣＰＵ３０４に接続される各種ＩＣの一部を示した図である。この例では、ＣＰＵ３０４は、リセットに関連する端子として、同図（ａ）に示す電圧監視回

路３３８が出力する低電圧信号に基づいて生成されるリセット信号が入力されるリセット信号入力端子ＸＳＲＳＴ１と、同図（ａ）に示すＷＤＴ３１４が出力するＷＤＴ起動信号に基づいて生成されるリセット信号が入力されるリセット信号入力端子ＸＳＲＳＴ２と、リセット信号を出力するためのリセット信号出力端子ＸＲＳＴＯの３つの端子を備える。

【０９１２】

図９を用いて説明したように、ＣＰＵ３０４は、リセット信号入力端子ＸＳＲＳＴ１（またはリセット信号入力端子ＸＳＲＳＴ２）に所定期間（例えば、システムクロックの４周期分の期間）以上のＬレベルの信号が入力された後に、当該入力端子にＨレベルの信号が入力された場合にシステムリセット（初期化）される。

【０９１３】

また、リセット信号出力端子ＸＲＳＴＯには、複数（この例では４つ）のＩＣ１１～ＩＣ１４の入力端子と、他の回路の入力端子が接続されている。ここで、ＩＣ１１～ＩＣ１４や他の回路としては、例えば、アドレスデコーダやフリップフロップ等のロジックＩＣ、図４に示される各種回路・ＩＣ・装置（例えば、乱数値生成回路、起動信号出力回路、駆動回路、音源ＩＣ、センサ回路、遮蔽装置、装飾図柄表示装置）を適用することができる。また、ＩＣ１１～ＩＣ１４や他の回路の入力端子としては、回路全体を初期化するためのリセット信号が入力されるリセット端子や、回路の一部を初期化するための信号が入力されるＣＬＲ端子などを適用することができる。

＜リセット信号出力端子の接続の第１変形例＞

【０９１４】

図１１２は、図１１１（ｂ）に示すリセット信号出力端子ＸＲＳＴＯの接続の第１変形例を示した図である。この例では、ＣＰＵ３０４は、上述のリセット信号出力端子ＸＲＳＴＯをＩＣ１１の入力端子９に接続することに加えて、８本のデータ信号端子Ｄ０～Ｄ７を、ＩＣ１１のデータ信号入力端子１～入力端子８の各々に接続している。また、ＩＣ１１は、データ信号入力端子１～入力端子８の各々に対応する出力端子１～８を備えており、これらの出力端子１～８を、図示しない第１副制御部４００のＣＰＵ４０４の８本のデータ信号入力端子に接続している。すなわち、ＣＰＵ３０４のデータ信号線が、ＩＣ１１を介して第１副制御部４００のＣＰＵ４０４に入力されており、ＣＰＵ３０４と第１副制御部４００のＣＰＵ４０４は、ＩＣ１１を介して通信可能に構成されている。なお、ＣＰＵ３０４とＣＰＵ４０４を、ＩＣ１１に加えて（または替えて）、上述のＩＣ１２～ＩＣ１４の一部または全てを介して通信可能に構成してもよい。また、ＣＰＵ３０４とＣＰＵ４０４を、これらのＩＣ１１～ＩＣ１４に加えて（または替えて）、中継基板を介して通信可能に構成してもよい。

＜リセット信号出力端子の接続の第２変形例＞

【０９１５】

図１１３は、図４を用いて説明した基本回路３０２と、この基本回路３０２に接続される各種ＩＣの一部を示した図である。なお、ここでは、主制御部３００の基本回路３０２について説明するが、主制御部３００の基本回路３０２に替えて（または、加えて）第１副制御部４００の基本回路４０２、第２副制御部５００の基本回路５０２、その他の制御部（例えば、払出制御部６００）の基本回路に相当する回路に適用することもできる。

【０９１６】

基本回路３０２は、リセットに関連する端子として、上述のリセット信号入力端子ＸＳＲＳＴとリセット信号出力端子ＸＲＳＴＯの２つの端子を備える。リセット信号入力端子ＸＳＲＳＴには、ＩＣ０１（例えば、上述のリセット回路や電源監視回路）の出力端子が接続されており、図９を用いて説明したように、基本回路３０２のＣＰＵ３０４は、リセット信号入力端子ＸＳＲＳＴに所定期間（例えば、システムクロックの４周期分の期間）以上のＬレベルの信号が入力された後にＨレベルの信号が入力された場合にシステムリセット（初期化）される。

【０９１７】

また、リセット信号出力端子ＸＲＳＴＯには、複数（この例では４つ）のＩＣ１１～Ｉ

Ｃ１４の入力端子と、他の回路の入力端子が接続されている。ここで、ＩＣ１１～ＩＣ１４や他の回路としては、例えば、アドレスデコーダやフリップフロップ等のロジックＩＣ、図４に示される各種回路・ＩＣ・装置（例えば、乱数値生成回路、起動信号出力回路、駆動回路、音源ＩＣ、センサ回路、遮蔽装置、装飾図柄表示装置）を適用することができる。また、ＩＣ１１～ＩＣ１４や他の回路の入力端子としては、回路全体を初期化するためのリセット信号が入力されるリセット端子や、回路の一部を初期化するための信号が入力されるＣＬＲ端子などを適用することができる。

＜固定延長時間とランダム延長時間＞

【０９１８】

次に、図１１４を用いて、システムリセット後に基本回路３０２によって実行される固定延長処理とランダム延長処理の時間設定について説明する。図９を用いて説明したように、ＣＰＵ３０４は、セキュリティモードにおいてセキュリティチェック処理→固定延長処理→ランダム延長処理の順番で各々の処理を実行した後、ユーザモードに移行し、遊技制御用プログラムを実行するように構成されている。本実施形態では、固定延長処理の処理時間（固定延長時間）とランダム延長処理の処理時間（ランダム延長時間）の各々をＣＰＵ３０４に予め設定することによって、セキュリティモード（＝セキュリティチェック処理＋固定延長処理＋ランダム延長処理）の時間を、設定した時間分だけ延長することが可能である。

【０９１９】

図１１４（ａ）は固定延長時間の設定例を示したものである。この例では、ＣＰＵ３０４の所定記憶領域に、３ビット長の設定値データ０００Ｂ～１１１Ｂのいずれかを予め設定することによって、同図に示す時間だけ固定延長時間を延長できるように構成されている。なお、この例では、設定値データが１１１Ｂの場合を除き、固定延長時間は、「２の２２乗×（１／ＳＣＬＫ）×設定値データ」の計算式によって算出される。

【０９２０】

例えば、設定値データを０００Ｂに設定した場合には、システムクロックＳＣＬＫの周波数とは無関係に固定延長時間が０（延長しない）に設定され、設定値データを００１Ｂに設定した場合、システムクロックＳＣＬＫの周波数が８ＭＨｚのときは固定延長時間が約５２５ｍｓ（＝２の２２乗×（１／８ＭＨｚ）×１）に設定され、システムクロックＳＣＬＫの周波数が１０ＭＨｚのときは固定延長時間が約４２０ｍｓ（＝２の２２乗×（１／１０ＭＨｚ）×１）に設定され、システムクロックＳＣＬＫの周波数が１２ＭＨｚのときは固定延長時間が約３５０ｍｓ（＝２の２２乗×（１／１２ＭＨｚ）×１）に設定される。

【０９２１】

なお、この例では、固定延長時間をシステムクロックＳＣＬＫに基づいて算出する例を示したが、例えば、他の設定値（例えば、後述するランダム延長時間）などに基づいて算出してもよいし、システムクロックＳＣＬＫと他の設定値の両方に基づいて算出してもよい。また、システムクロックＳＣＬＫと固定延長時間を反比例の関係にする例を示したが、両者が比例関係にあってもよい。また、設定値データが１１１Ｂの場合には、システムクロックＳＣＬＫの周波数とは無関係に固定延長時間を共通の約３００００ｍｓに設定する例を示したが、設定値データが１１１Ｂの場合も上述の計算式によって算出してもよいし、最大値を設定してもよい。また、設定値データのデータ長は３ビットに限定されず、延長時間の種類を増やしてもよい。また、固定延長時間に０を含めずに０より大きい時間に限定してもよい（ＣＰＵ３０４が必ず固定延長処理を実行するものとしてもよい）。また、内部リセットと外部リセットで、異なる固定延長時間の設定を可能に構成してもよい。

【０９２２】

図１１４（ｂ）はランダム延長時間の設定例を示したものである。この例では、ＣＰＵ３０４の所定記憶領域に、２ビット長の設定値データ００Ｂ～１１Ｂのいずれかを予め設定することによって、同図に示す時間だけランダム延長時間を延長することができるよう

に構成されている。例えば、設定値データを００Ｂに設定した場合、システムクロックＳＣＬＫの周波数とは無関係にランダム延長時間が０（延長しない）に設定され、設定値データを０１Ｂに設定した場合、システムクロックＳＣＬＫの周波数が８ＭＨｚのときはランダム延長時間が０～０．５ｍｓのランダムな時間（ＣＰＵ３０４のコアによってランダムに選択された時間）に設定され、システムクロックＳＣＬＫの周波数が１０ＭＨｚのときはランダム延長時間が０～０．４ｍｓのランダムな時間に設定され、システムクロックＳＣＬＫの周波数が１２ＭＨｚのときはランダム延長時間が０～０．３ｍｓのランダムな時間に設定される。

【０９２３】

なお、この例では、ランダム延長時間をシステムクロックＳＣＬＫによって変化させる例を示したが、異なるシステムクロックＳＣＬＫ間で同一に設定してもよい。また、他の設定値（例えば、上述の固定延長時間）などに基づいて算出してもよいし、システムクロックＳＣＬＫと他の設定値の両方に基づいて算出してもよい。また、設定値データのデータ長は２ビットに限定されず、延長時間の種類を増やしてもよい。また、ランダム延長時間に０を含めずに０より大きい時間に限定してもよい（ＣＰＵ３０４が必ずランダム延長処理を実行するものとしてもよい）。また、内部リセットと外部リセットで、異なるランダム延長時間の設定を可能に構成してもよい。また、固定延長時間とランダム延長時間の一方について基準クロックを可変とし、他方については基準クロックを固定に構成してもよい。

＜ＷＤＴタイムアウト時間＞

【０９２４】

次に、図１１５を用いて、ＷＤＴ３１４のタイムアウト時間設定について説明する。なお、同図はＷＤＴ３１４のタイムアウト時間の設定例を示したものである。この例では、ＣＰＵ３０４の所定記憶領域に、４ビット長の設定値データ０００００Ｂ～１０００Ｂのいずれかを予め設定することによって、同図に示す時間だけタイムアウト時間を設定できるように構成されている。例えば、設定値データを０００００Ｂに設定した場合には、システムクロックＳＣＬＫの周波数とは無関係にタイムアウト時間が禁止（ＷＤＴを使用しない）に設定され、設定値データを０００１Ｂに設定した場合、システムクロックＳＣＬＫの周波数が８ＭＨｚのときはタイムアウト時間が約６５ｍｓに設定され、システムクロックＳＣＬＫの周波数が１０ＭＨｚのときはタイムアウト時間が約５２ｍｓに設定され、システムクロックＳＣＬＫの周波数が１２ＭＨｚのときはタイムアウト時間が約４４ｍｓに設定される。

【０９２５】

なお、この例では、タイムアウト時間をシステムクロックＳＣＬＫによって変化させる例を示したが、異なるシステムクロックＳＣＬＫ間で同一に設定してもよい。また、他の設定値（例えば、上述の固定延長時間やランダム延長時間）などに基づいて算出してもよいし、システムクロックＳＣＬＫと他の設定値の両方に基づいて算出してもよい。また、設定値データのデータ長は４ビットに限定されず、タイムアウト時間の種類を増やしてもよい。また、タイムアウト時間が上述の固定延長時間よりも小さくなるように設定しているが、タイムアウト時間が上述の固定延長時間よりも大きくなるように設定してもよい。

＜リセット出力信号とセキュリティモード＞

【０９２６】

次に、上述のリセット出力端子ＸＳＲＳＴＯの出力信号の変化と、セキュリティモードの状態変化との関係について説明する。図１１６（ａ）に示す例は、上記図９と同一の状態を示しており、リセット入力端子ＸＳＲＳＴに所定期間以上のＬレベルの信号が入力された後にＨレベルの信号が入力されたことによってセキュリティモードに移行している。そして、このセキュリティモードにおいて、最初にセキュリティチェック処理が実行され、次に、上述の固定延長時間の設定に応じた期間の経過を待つ固定延長処理が実行され、当該固定延長処理が終了したときにリセット出力端子ＸＲＳＴＯからＨレベルの信号を出力し、その後、上述のランダム延長時間の設定に応じたランダムな期間の経過を待つラン

ダム延長処理が終了した場合にユーザモードに移行し、遊技制御用プログラムの実行が開始されている。すなわち、この例では、固定延長処理の終了タイミング（＝ランダム延長処理の開始タイミング）と、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングを一致させている。

【０９２７】

また、図１１６（ｂ）に示す例は、固定延長処理が終了した後、所定時間が経過したときにリセット出力端子ＸＲＳＴＯからＨレベルの信号を出力し、その後、ランダム延長処理が終了した場合にユーザモードに移行し、遊技制御用プログラムの実行が開始されている。すなわち、この例では、固定延長処理が終了した後、ランダム延長処理が終了してユーザモードに移行する前（遊技制御用プログラムの実行が開始される前）にリセット出力端子ＸＲＳＴＯからＨレベルの信号を出力している。なお、所定時間（固定延長処理が終了してから、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するまでの時間）は、固定時間でもよいし可変時間でもよい。また、固定時間を採用した場合には、例えば、固定延長処理が終了してから、システムクロックＳＣＬＫが所定クロック（例えば、４クロック）経過した後のシステムクロックＳＣＬＫ立上がりエッジ（または、立下りエッジ）までの時間を、所定時間に設定してもよい。また、可変時間を採用した場合には、システムリセットの度に所定時間をランダムな時間に変化させてもよい。

＜ランダム延長時間を変化させる場合＞

【０９２８】

図１１７（ａ）、（ｂ）は、固定延長処理の終了タイミング（＝ランダム延長処理の開始タイミング）と、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングが一致するが、ランダム延長時間が異なる例を示した図である。すなわち、同図（ａ）と（ｂ）では、固定延長時間の設定値が同一（例えば、設定値＝００１Ｂ、ＳＣＬＫ＝約８ＭＨｚ）であるとともに、ランダム延長時間の設定値も同一（例えば、設定値＝０１Ｂ、ＳＣＬＫ＝８ＭＨｚ）であるが、同図（ａ）では、ランダム延長時間の数値範囲（例えば、０～０．５ｍｓ）から時間Ａ１（例えば、０．２ｍｓ）が選択されている一方で、同図（ｂ）では、ランダム延長時間の数値範囲（例えば、０～０．５ｍｓ）から、時間Ａ１よりも長い時間Ａ２（例えば、０．３ｍｓ）が選択されている。なお、この例では、ランダム延長時間の数値範囲として０～０．５ｍｓを選択しているため、ランダム延長時間が０（ランダム延長時間無し）になる場合も含まれている。

【０９２９】

このように、固定延長時間やランダム延長時間の設定が同じであってもランダム延長時間（Ａ１、Ａ２）を変化させることによって、リセット出力端子ＸＲＳＴＯのＨレベル信号出力から、ユーザモードが開始されるまでの時間（Ａ１、Ａ２）を、システムリセットの度に変化させることができる。このため、リセット信号出力端子ＸＲＳＴＯに接続されたＩＣ１１～ＩＣ１４や他の回路にＨレベルの信号を出力してから（ＩＣ１１～ＩＣ１４や他の回路を起動したり初期化してから）、遊技制御用プログラムが実行されるまでの時間を変化させることができ、ＣＰＵ３０４の各端子からの出力信号やＣＰＵ３０４の周辺ＩＣの動作などを手掛かりにして遊技制御用プログラムの実行タイミング（例えば、当否判定の抽選タイミング）を把握するような不正行為を未然に防止できる場合がある。なお、この例では、ランダム延長時間の設定値を同一にしたが、両者のランダム延長時間の設定値を異ならせてもよい。

＜固定延長時間を変化させる場合＞

【０９３０】

図１１７（ｃ）、（ｄ）は、固定延長処理の終了タイミング（＝ランダム延長処理の開始タイミング）と、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングが一致するが、固定延長時間が異なる例を示した図である。すなわち、同図（ｃ）と（ｄ）では、ランダム延長時間の設定値データは同一（例えば、設定値＝０１Ｂ、ＳＣＬＫ＝８ＭＨｚ）であり、同図（ａ）および（ｂ）でランダム延長時間の数値範囲（例えば、０～０．５ｍｓ）から同一の時間Ａ１（例えば、０．２ｍｓ）が設定される一方で、同図

（ｃ）では、固定延長時間を時間Ｂ１（例えば、設定値＝００１Ｂ、ＳＣＬＫ＝８ＭＨｚ、約５２５ｍｓ）、同図（ｄ）では、固定延長時間を時間Ｂ１よりも長い時間Ｂ２（例えば、設定値＝０１０Ｂ、ＳＣＬＫ＝８ＭＨｚ、約１０５０ｍｓ）に設定している（Ｂ１＜Ｂ２）。

【０９３１】

このように、ランダム延長時間（Ａ１）が同じであっても固定延長時間（Ｂ１、Ｂ２）を変化させることによって、固定延長処理が開始されてからユーザモードが開始されるまでの時間（Ｃ１、Ｃ２）を変化させることができる。このため、ＣＰＵ３０４のシステムリセットから遊技制御用プログラムが実行されるまでの時間をシステムリセットの度に変化させることができ、ＣＰＵ３０４のリセット入力端子ＸＳＲＳＴに入力するリセット信号などを手掛かりにして遊技制御用プログラムの実行タイミング（例えば、当否判定の抽選タイミング）を把握するような不正行為を未然に防止できる場合がある。なお、図１０９では、固定延長時間とランダム延長時間の一方を異ならせる例を示したが、両者が異なるようにすれば、遊技制御用プログラムの実行タイミングを把握するような不正行為を、より確実に防止できる場合がある。

＜固定延長処理を契機にリセット出力信号を変化させる場合＞

【０９３２】

図１１８は、固定延長処理を契機にリセット出力信号を変化させる例を示した図である。この例では、固定延長処理の開始タイミング（＝セキュリティチェック処理の終了タイミング）と、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するタイミングを一致させている。なお、固定延長処理を契機にリセット出力信号を変化させればよいため、例えば、固定延長処理の開始前（例えば、固定延長処理の開始タイミングから２００ｍｓ前）にリセット出力信号を出力してもよいし、固定延長時間の設定値に応じて遅延時間を決定し、当該遅延時間の経過を待ってからリセット出力信号を出力してもよい。また、内部リセット（内蔵するＷＤＴのタイムアウトに基づくリセット）か、外部リセット（ＸＳＲＳＴ端子への信号入力に基づくリセット）かを判別し、当該リセットの種類に応じてリセット出力信号の出力タイミングを決定してもよい。

【０９３３】

また、過去のリセットの種類を記憶する記憶手段を備え、当該記憶手段に記憶されたリセットの種類の履歴に基づいてリセット出力信号の出力タイミングを変化させてもよく、例えば、内部リセットが複数回連続した場合には、リセット出力信号の出力タイミングを前回よりも遅らせたり早めたりしてもよい。

＜他の出力信号とセキュリティモード＞

【０９３４】

図１１９は、ＣＰＵ３０４から出力されるアドレス信号、データ信号、制御信号、およびリセット出力信号の変化と、セキュリティモードの状態変化を示した図である。この例では、ＣＰＵ３０４は、固定延長処理が終了したとき（ランダム延長処理を開始したとき）にリセット出力端子ＸＲＳＴＯからＨレベルの信号を出力するとともに、同じタイミングで外部のＩＣ（例えば、ＲＯＭ３０６、ＲＡＭ３０８）との間でデータのリード（またはライト）を開始している。このため、この例では、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力すると同時に、アドレス信号Ａ０～Ａ１５端子から１６ビットのアドレス情報（この例では、０００００Ｈ）の出力を開始し、制御信号ＸＭ１端子からアドレス情報のラッチタイミング（外部のＩＣがアドレス情報を取り込むタイミング）を示す制御信号を出力し、続けて、データ信号Ｄ０～Ｄ７端子から８ビットのデータ情報（この例では、オペコード）の出力を開始し、制御信号ＸＭ１端子からデータ情報のラッチタイミング（外部のＩＣがデータ情報を取り込むタイミング）を示す制御信号を出力している。

【０９３５】

なお、この例では、リセット出力端子ＸＲＳＴＯからＨレベルの信号を出力すると同時にアドレス信号と制御信号の出力を開始しているが、例えば、リセット出力よりも前にアドレス信号と制御信号の出力を開始してもよいし、リセット出力よりも後（例えば、セキ

ュリティモードからユーザモードに移行した直後）にアドレス信号と制御信号の出力を開始してもよい。なお、ＸＭ１端子から出力する制御信号は、例えば、ＣＰＵ３０４のマシンサイクルを示す出力信号でもよいし、メモリ空間やＩ／Ｏ空間へのリクエスト出力信号でもよいし、リードサイクルやライトサイクルを示す出力信号でもよい。

【０９３６】

図１２０（ａ）は外部リセット後の他の出力信号の状態変化を示した図であり、同図（ｂ）は内部リセット後の他の出力信号の状態変化を示した図である。この例では、外部リセットの場合には、ランダム延長処理よりも所定時間Ａ１だけ前に、アドレス信号Ａ０～Ａ１５端子から１６ビットのアドレス情報（この例では、０００００Ｈ）の出力を開始し、制御信号ＸＭ１端子からアドレス情報のラッチタイミングを示す制御信号を出力している。一方、内部リセットの場合には、ランダム延長処理よりも所定時間Ａ２（Ａ２＞Ａ１）だけ前に、アドレス信号Ａ０～Ａ１５端子から１６ビットのアドレス情報（この例では、００００Ｈ）の出力を開始し、制御信号ＸＭ１端子からアドレス情報のラッチタイミングを示す制御信号を出力している。すなわち、この例では、外部リセットと内部リセットで、アドレス信号Ａ０～Ａ１５端子の信号出力と、制御信号ＸＭ１端子の信号出力のタイミングを異ならせている。

【０９３７】

また、内部リセットの場合には、ＷＤＴ３１４のタイムアウト直後に、アドレス信号Ａ０～Ａ１５端子から１６ビットのアドレス情報（この例では、Ｅ０００Ｈ）の出力を行うように構成し、外部リセット直後のアドレス情報（例えば、００００Ｈ）と異ならせている。なお、内部リセット直後に出力するアドレス情報と、外部リセット直後に出力するアドレス情報を同一に設定してもよい。

【０９３８】

図１２１（ａ）は外部リセット後の他の出力信号の状態変化の他の例を示した図であり、同図（ｂ）は内部リセット後の他の出力信号の状態変化の他の例を示した図である。この例では、内部リセットの場合には、外部リセットのリセット解除時間Ｂ１よりも長い時間Ｂ２の経過を待って、内部リセットを解除するように設定している。なお、本構成と、上記図１１５を用いて説明した各構成を組み合わせて実現してもよい。

＜セキュリティモードの開始タイミング＞

【０９３９】

図１２２（ａ）は外部システムリセット後のセキュリティモードの開始タイミングの一例を示した図であり、同図（ｂ）は内部システムリセット後のセキュリティモードの開始タイミングの一例を示した図である。この例では、外部システムリセットの場合には、当該外部システムリセットの要因が発生してから（例えば、リセット入力信号ＸＳＲＳＴの立下りエッジを検出してから）、時間Ｃ１（例えば、システムクロックＳＣＬＫの４クロック分の時間）が経過した後にセキュリティモードが開始されるように構成している。一方、内部システムリセットの場合には、内部リセットの要因が発生してから（例えば、ＷＤＴタイマがタイムアウトしてから）、時間Ｃ２（例えば、システムクロックＳＣＬＫの１クロック分の時間）が経過した後にセキュリティモードが開始されるように構成している。

【０９４０】

なお、この例では、外部リセットの要因が発生してからセキュリティモードが開始されるまでの時間Ｃ１を、内部リセットの要因が発生してからセキュリティモードが開始されるまでの時間Ｃ２よりも長くしているが（Ｃ１＞Ｃ２）、外部リセットの要因が発生してからセキュリティモードが開始されるまでの時間Ｃ１を、内部リセットの要因が発生してからセキュリティモードが開始されるまでの時間Ｃ２よりも短くしてもよい（Ｃ１＜Ｃ２）。

【０９４１】

また、上述の例では、セキュリティモードに含まれるランダム延長処理の実行時間（ランダム延長時間）や固定延長処理（固定延長時間）をリセットの要因によらずに自由に設

定可能としたが、例えば、外部リセットと内部リセットで、ランダム延長時間の設定用レジスタと固定延長時間の設定用レジスタをそれぞれ一種類だけ備えるように構成し、外部リセットと内部リセットで、ランダム延長時間や固定延長時間を個別に設定することを禁止してもよい（共通の設定だけを許可してもよい）。

【０９４２】

図１２３は、本発明の基本概念を示した図である。本発明では、第１の事象に基づいて第２の事象を開始するときに、第１の事象が第１の要因に起因する場合と、第１の事象が第２の要因に起因する場合と、で第２の事象を開始するタイミングを異ならせることができる。

【０９４３】

例えば、上記図１２２を用いて説明したセキュリティモードの開始タイミングについて考えると、第１の事象（リセット）に基づいて第２の事象（セキュリティモード）を開始する場合に、第１の事象が第１の要因（外部システムリセット）に起因する場合と、第１の事象が第２の要因（内部システムリセット）に起因する場合と、で第２の事象（セキュリティモード）を開始するタイミングを異ならせることができる。このため、第１の要因（外部システムリセット）が発生してから第２の事象（セキュリティモード）が開始されるまでの時間Ｃ１を、第２の要因（内部システムリセット）が発生してから第２の事象（セキュリティモード）が開始されるまでの時間Ｃ２よりも長くしたり（Ｃ１＞Ｃ２）、第１の要因（外部システムリセット）が発生してから第２の事象（セキュリティモード）が開始されるまでの時間Ｃ１を、第２の要因（内部システムリセット）が発生してから第２の事象（セキュリティモード）が開始されるまでの時間Ｃ２よりも短くすることができる。

【０９４４】

また、セキュリティモードを開始するタイミングを異ならせることができるため、その後に実行されるユーザモードを開始するタイミングも異ならせることも可能となる。例えば、第１の事象が第１の要因に起因する場合と、第１の事象が第２の要因に起因する場合と、でセキュリティモードの実行時間が同じであっても、セキュリティモードを開始するタイミングを異ならせれば、第１の事象が第１の要因に起因する場合と、第１の事象が第２の要因に起因する場合と、でユーザモードを開始するタイミングを異ならせることができる。

【０９４５】

また、第１の事象が第１の要因に起因する場合と、第１の事象が第２の要因に起因する場合と、でセキュリティモードを開始するタイミングを異ならせなくても、セキュリティモードの実行時間を異ならせれば、第１の事象が第１の要因に起因する場合と、第１の事象が第２の要因に起因する場合と、でユーザモードを開始するタイミングを異ならせることができる。

＜他の実施形態＞

【０９４６】

次に、他の実施形態に係るパチンコ機について説明する。本実施形態に記載した複数の構成のうち、１つの構成に記載している内容を、他の構成に適用することでより遊技の幅を広げられる場合がある。

【０９４７】

例えば、図１２４（ａ）は、図２を用いて説明した電源基板１８２、払出基板１７０、および主基板１５６の接続例を示した図である。電源基板１８２は、ＲＡＭクリアスイッチ１８０と、このＲＡＭクリアスイッチ１８０の操作が検出された場合に、検出信号を出力するための検出信号出力端子と、を備える。電源基板１８２のＣＰＵは、ＲＡＭクリアスイッチ１８０の操作の有無を定期的に検出し、検出結果（例えば、操作ありの場合にはＨレベルの信号、操作なしの場合にはＬレベルの信号）を検出信号出力端子から払出基板１７０に向けて出力する。

【０９４８】

払出基板１７０は、電源基板１８２の検出信号出力端子に接続される検出信号入力端子と、この検出信号入力端子を介して取得したＲＡＭクリアスイッチ１８０の操作情報を一時的に記憶するためのＲＡＭクリアスイッチ操作情報一時憶手段１７１（例えば、ＲＡＭ、ＣＰＵのレジスタ、フリップフロップ）と、このＲＡＭクリアスイッチ操作情報一時憶手段１７１に記憶された操作情報を出力するための操作情報出力端子と、を備える。払出基板１７０のＣＰＵは、電源投入後やシステムリセット後の初期処理などにおいて、検出信号入力端子に入力された信号を検出し、ＲＡＭクリアスイッチ１８０が操作されているか否かを示す操作情報（例えば、Ｈレベルの信号を検出した場合には操作ありを示す１の情報、Ｌレベルの信号を検出した場合には操作無しの情報を示す０の情報）をＲＡＭクリアスイッチ操作情報一時憶手段１７１の所定記憶領域に記憶するとともに、当該操作情報に対応する情報（例えば、操作ありの操作情報の場合にはＨレベルの信号、操作無しの操作情報の場合にはＬレベルの信号）を操作情報出力端子から主基板１５６に向けて出力する。

【０９４９】

主基板１５６は、払出基板１７０の操作情報出力端子に接続される操作情報入力端子（上述のＩ／Ｏ４１０）と、ＲＡＭクリアタイミング報知用ＬＥＤ１５５と、を備える。主基板１５６に搭載されたＣＰＵ３０４は、初期設定において、ＲＡＭクリアタイミング報知用ＬＥＤ１５５を点灯させた後に（ＲＡＭクリアが可能であることを報知した後に）、操作情報入力端子（Ｉ／Ｏ３１０）の入力信号を確認し、Ｈレベルの信号を検出した場合には、ＲＡＭ３０８の所定領域の初期化（ＲＡＭクリア）を行う。

【０９５０】

図１２５は、変形例に係る主制御部メイン処理の流れを示すフローチャートであり、上記図１０に対応するフローチャートである。なお、図１０に示すフローチャートと同一の部分については同一の符号を付し、その説明は省略する。また、図１２６は、主制御部メイン処理における初期設定２の流れを示すフローチャートである。

【０９５１】

ＣＰＵ３０４は、初期設定２のステップＳ１２８において、ＲＡＭクリアタイミング報知用ＬＥＤ１５５を点灯させた後に（ＲＡＭクリアが可能であることを報知した後に）、操作情報入力端子（Ｉ／Ｏ３１０）の入力信号を確認し、ＲＡＭクリアスイッチ１８０が操作されているか否かを示す操作情報（例えば、Ｈレベルの信号を検出した場合には操作ありを示す１の情報、Ｌレベルの信号を検出した場合には操作無しの情報を示す０の情報）をＲＡＭ３０８の所定記憶領域に記憶する。

【０９５２】

また、初期設定２の実行後のステップＳ１０９の判定処理では、最初に、ＲＡＭ３０８に操作ありを示す１の情報が記憶されているか否かを判定し、該当する場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ１１３に進む。一方、操作なしを示す０の情報が記憶されている場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ１１３に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ１１１に進み、チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機を初期状態にすべくステップＳ１１３に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１１３に進む。

【０９５３】
図１２４に戻って、同図（ｂ）は、図１２４（ａ）に対応する従来の接続態様を示した図である。従来の接続態様では、主基板１５６において上述の固定延長時間として設定データ１１１Ｂ（約３０秒）を設定した場合、セキュリティーモードが終了してユーザモードに移行し、遊技制御用プログラムが開始されるのは、最低でも約３０秒後となる。このため、主基板１５６の遊技制御用プログラムにおいて操作情報入力端子（Ｉ／Ｏ４１０）に入力される信号を検出する構成を採用した場合、ＲＡＭクリアスイッチ１８０が最低でも約３０秒以上操作され続けなければ、ＲＡＭクリアスイッチ１８０の操作の有無を検出することができない上に、外部からは、主基板１５６がＲＡＭクリアスイッチ１８０の操作を検出するタイミングさえも知ることができない。
【０９５４】
これに対して、同図（ａ）に示す本実施形態に係る接続態様では、遊技店の店員などは、ＲＡＭクリアタイミング報知用ＬＥＤ１５５の点灯／消灯を確認することでＲＡＭクリアが可能な状態か否かを即座に判断することができる。このため、ＲＡＭクリアタイミング報知用ＬＥＤ１５５の点灯を待ってＲＡＭクリアスイッチ１８０を操作することで、確実にＲＡＭクリアを行うことができる上に、ＲＡＭクリアスイッチ１８０を長時間に亘って操作し続けるような煩わしさからも解放され、利便性を高めることができる場合がある。また、ＲＡＭクリアタイミング報知用ＬＥＤ１５５の点灯前（ＣＰＵ３０４の遊技制御用プログラムが開始される前に）にＲＡＭクリアスイッチ１８０が操作されてしまった場合でも、払出基板１７０のＣＰＵが起動していれば操作情報を払出基板１７０が記憶することが可能である。このため、主基板１５６は、払出基板１７０のＲＡＭクリアスイッチ操作情報一時憶手段１７１に記憶された操作情報に基づいて、の遊技制御用プログラムの開始後にＲＡＭクリアを確実に実行することができる場合がある。
【０９５５】
なお、本実施形態では、電源基板１８２、払出基板１７０、および主基板１５６の間の信号の入出力を入出力端子を介して行う例を示したが、例えば、通信線を介した制御コマンドの送受信によるものでもよい。また、ＲＡＭクリアスイッチ１８０は、電源基板１８２に配置される例に限定されず、例えば、払出基板１７０に配置してもよい。
＜主制御部の他の命令＞
【０９５６】
次に、主制御部３００が備える他の命令について説明する。なお、以降の説明において、「ｒ」、「ｓ」、「ｓｓ」、または「ｑｑ」は任意のレジスタを表す略号であり、「ｋ」はＴレジスタとペアになる下位アドレスを表す略号であり、「ｎ」は８ビット長の数値（１６進数）を表す略号であり、「ｍｎ」は１６ビット長の数値（１６進数）を表す略号であり、「（　）」はカッコ内の値が示すアドレスのデータを表す略号である。
＜他の命令／８ビットロード命令＞
【０９５７】
８ビットロード命令は、８ビット長のデータを所定記憶領域にロードする命令であり、例えば、ＬＤ命令、ＬＤＴ命令、またはＣＬＲＴ命令などが該当する。
【０９５８】
例えば、（ＬＤ　Ａ，Ｔ）命令は、Ｔレジスタに記憶されたデータを、Ａレジスタにロードする命令であり、（ＬＤ　Ｔ，ｎ）命令は、８ビット長の数値ｎを、Ｔレジスタにロードする命令である。
【０９５９】
（ＬＤＴ　Ａ，（ｒ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスに記憶されたデータを、Ａレジスタにロードする命令であり、（ＬＤＴ　Ａ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、Ａレジスタにロードする命令であり、（ＬＤＴ　ｒ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位

バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）にロードする命令である。

【０９６０】

（ＬＤＴ　（ｒ），Ａ）命令は、Ａレジスタに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスにロードする命令であり、（ＬＤＴ　（ｋ），Ａ）命令は、Ａレジスタに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令であり、（ＬＤＴ　（ｋ），ｒ）命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令である。

【０９６１】

（ＬＤＴ　（ｋ），（ｓｓ））命令は、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ，ＨＬ）に記憶されたデータが示すアドレスに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令であり、（ＬＤＴ　（ｋ），（ＨＬ＋ｖ））命令は、ＨＬレジスタに記憶されたデータにｖで示されるデータ（ｖ＝１～７）を加算した加算結果が示すアドレスに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令であり、（ＬＤＴ　（ｋ），（ＨＬ＋ｄ））命令は、ＨＬレジスタに記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令であり、（ＬＤＴ　（ｓｓ），（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ，ＨＬ）に記憶されたデータが示すアドレスにロードする命令である。

【０９６２】

（ＬＤＴ　（ＨＬ＋ｖ），（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ＨＬレジスタに記憶されたデータにｖで示されるデータ（ｖ＝１～７）を加算した加算結果が示すアドレスにロードする命令であり、（ＬＤＴ　（ＨＬ＋ｄ），（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ＨＬレジスタに記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスにロードする命令であり、（ＬＤＴ　（ｋ），ｎ）命令は、ｎで示される値を、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令である。

【０９６３】

（ＣＬＲＴ　（ｋ））命令は、数値の０を、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードする命令である。

＜他の命令／１６ビットロード命令＞

【０９６４】

１６ビットロード命令は、１６ビット長のデータを所定記憶領域にロードする命令であり、例えば、ＬＤＴ命令、ＬＤＷＴ命令、ＣＬＲ命令、ＣＬＲＷＴ命令などが該当する。具体的には、（ＬＤＴ　ＢＣ，ｎ）命令は、Ｔレジスタに記憶されたデータをＢレジスタにロードし、かつ、ｎで示される数値をＣレジスタにロードする命令であり、（ＬＤＴ

ＤＥ，ｎ）命令は、Ｔレジスタに記憶されたデータをＤレジスタにロードし、かつ、ｎで示される数値をＥレジスタにロードする命令であり、（ＬＤＴ　ＨＬ，ｎ）命令は、Ｔレジスタに記憶されたデータをＨレジスタにロードし、かつ、ｎで示される数値をＬレジスタにロードする命令である。

【０９６５】

（ＬＤＴ　ＩＸ，ｎ）命令は、Ｔレジスタに記憶されたデータを１６ビット長のＩＸレジスタの上位８ビットにロードし、かつ、ｎで示される数値を１６ビット長のＩＸレジスタの下位８ビットにロードする命令であり、（ＬＤＴ　ＩＹ，ｎ）命令は、Ｔレジスタに記憶されたデータを１６ビット長のＩＹレジスタの上位バイトにロードし、かつ、ｎで示される数値を１６ビット長のＩＹレジスタの下位バイトにロードする命令である。

【０９６６】

（ＬＤＴ　ｓｓ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）の上位バイトにロードし、かつ、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスに記憶されたデータを、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）の下位バイトにロードする命令である。

【０９６７】

（ＬＤＴ　ｑｑ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の上位バイトにロードし、かつ、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスに記憶されたデータを、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の下位バイトにロードする命令である。

【０９６８】

（ＬＤＴ　ＨＬ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを、ＨＬレジスタのＬレジスタにロードし、かつＴレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスに記憶されたデータを、ＨＬレジスタのＨレジスタにロードする命令である。

【０９６９】

（ＬＤＴ　（ｋ），ｓｓ）命令は、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ，ＨＬ）の下位バイトに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードし、かつｓｓで示されるペアレジスタ（ＢＣ，ＤＥ，ＨＬ）の上位バイトに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスにロードする命令である。

【０９７０】

（ＬＤＴ　（ｋ），ｑｑ）命令は、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の下位バイトに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードし、かつｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の上位バイトに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスにロードする命令である。

【０９７１】

（ＬＤＴ　（ｋ），ＨＬ）命令は、Ｌレジスタに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードし、かつＨレジスタに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスにロードする命令である。

【０９７２】
（ＬＤＷＴ （ｒ），ｍｎ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスにロードし、かつ１６ビットの数値であるｍｎ＋１で示されるアドレスに記憶されたデータを、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスに１を加算したアドレスにロードする命令である。
【０９７３】
（ＣＬＲ （ｓｓ））命令は、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）に数値の０を記憶する命令であり、（ＣＬＲＷ （ｓｓ））命令は、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ，ＨＬ）に記憶されたデータが示すアドレスに数値の０を記憶するとともに、当該アドレスに１を加算したアドレスに数値の０を記憶する命令であり、（ＣＬＲＷ （ｑｑ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータが示すアドレスに数値の０を記憶するとともに、当該アドレスに１を加算したアドレスに数値の０を記憶する命令であり、（ＣＬＲＷ （ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに、数値の０を記憶する命令である。
【０９７４】
（ＣＬＲＴ （ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに、数値の０を記憶する命令であり、（ＣＬＲＷＴ （ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスにロードし、かつ、数値の０を、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに１を加算したアドレスに数値の０を記憶する命令である。
【０９７５】
このように、ｓｓで示されるレジスタ（ＢＣ，ＤＥ）や、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）は、（ＣＬＲ （ｓｓ））命令、（ＣＬＲＷ （ｓｓ））命令、（ＣＬＲＷ （ｑｑ＋ｄ））命令のオペランドとして指定が可能である。一方、Ｔレジスタ（特殊レジスタ）は、ＣＬＲＴ命令またはＣＬＲＷＴ命令のオペランドとしてのみ指定が可能であることに加えて、オペランドの一部（本実施形態では、ｋで示されるアドレスの下位１バイト）は直値でのみ指定が可能である。このため、Ｔレジスタの値が予期せずに０にクリアされてしまったり、Ｔレジスタに予期しない値が記憶されてしまうような事態を未然に防止できる場合がある。
＜他の命令／スタック操作命令＞
【０９７６】
スタック操作命令は、スタック領域にデータを退避したり、スタック領域からデータを復帰したりするための命令であり、例えば、ＰＵＳＨ命令、ＰＯＰ命令などが該当する。
【０９７７】
例えば、（ＰＵＳＨ ｓｓ）命令は、ｓｓで示されるペアレジスタ（ＡＦ，ＢＣ，ＤＥ，ＨＬ）の上位バイトに記憶されたデータを、（ＳＰ（スタックポインタ）－１）で示されるアドレスに退避し、かつ、ｓｓで示されるペアレジスタ（ＡＦ，ＢＣ，ＤＥ，ＨＬ）の下位バイトに記憶されたデータを、（ＳＰ－２）で示されるアドレスに退避した後に、ＳＰから２を減算する命令である。また、（ＰＵＳＨ ＴＩ）命令は、Ｔレジスタに記憶されたデータを、（ＳＰ－１）で示されるアドレスに退避し、かつ、Ｉレジスタに記憶されたデータを、（ＳＰ－２）で示されるアドレスに退避した後に、ＳＰから２を減算する命令である。また、（ＰＵＳＨ ｑｑ）命令は、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の上位バイトに記憶されたデータを、（ＳＰ－１）で示されるアドレスに退避し、かつ、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の下位バイトに記憶されたデータを、（ＳＰ－２）で示されるアドレスに退避した後に、ＳＰから２を減算する命令である。

【０９７８】
（ＰＵＳＨ　ＡＬＬ）命令は、全てのレジスタ（Ｔ，Ｉ，Ａ，Ｆ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ，ＩＸの上位バイト，ＩＸの下位バイト，ＩＹの上位バイト，ＩＹの下位バイト）に記憶されたデータを、この順番で１バイトずつスタック領域に退避した後に、ＳＰから１４（レジスタの総数）を減算する命令である。また、（ＰＵＳＨ　ＧＰＲ）命令は、一部のレジスタ（Ａ，Ｆ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを、この順番で１バイトずつスタック領域に退避した後に、ＳＰから８を減算する命令である。
【０９７９】
（ＰＯＰ　ｓｓ）命令は、ＳＰで示されるアドレスに記憶されたデータを、ｓｓで示されるペアレジスタ（ＡＦ，ＢＣ，ＤＥ，ＨＬ）の上位バイトに復帰し、かつ、（ＳＰ＋１）で示されるアドレスに記憶されたデータを、ｓｓで示されるペアレジスタ（ＡＦ，ＢＣ，ＤＥ，ＨＬ）の下位バイトに復帰した後に、ＳＰに２を加算する命令である。また、（ＰＯＰ　ＴＩ）命令は、ＳＰで示されるアドレスに記憶されたデータを、Ｉレジスタに復帰し、かつ、（ＳＰ＋１）で示されるアドレスに記憶されたデータを、Ｔレジスタに復帰した後に、ＳＰに２を加算する命令である。また、（ＰＯＰ　ｑｑ）命令は、ＳＰで示されるアドレスに記憶されたデータを、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の下位バイトに復帰し、かつ、（ＳＰ＋１）で示されるアドレスに記憶されたデータを、ｑｑで示されるペアレジスタ（ＩＸ，ＩＹ）の上位バイトに復帰した後に、ＳＰに２を加算する命令である。
【０９８０】
（ＰＯＰ　ＡＬＬ）命令は、ＳＰ、（ＳＰ＋１）、…、（ＳＰ＋１２）、（ＳＰ＋１３）に記憶されたデータを、この順番で全てのレジスタ（ＩＹの下位バイト，ＩＹの上位バイト，ＩＸの下位バイト，ＩＸの上位バイト，Ｌ，Ｈ，Ｅ，Ｄ，Ｃ，Ｂ，Ｆ，Ａ，Ｉ，Ｔ）に１バイトずつ復帰（ＩＹの下位バイト←（ＳＰ）、ＩＹの上位バイト←（ＳＰ＋１）、…、Ｉ←（ＳＰ＋１２）、Ｔ←（ＳＰ＋１３））した後に、ＳＰに１４を加算する命令である。また、（ＰＯＰ　ＧＰＲ）命令は、ＳＰ、（ＳＰ＋１）、…、（ＳＰ＋６）、（ＳＰ＋７）に記憶されたデータを、この順番で一部のレジスタ（Ｌ，Ｈ，Ｅ，Ｄ，Ｃ，Ｂ，Ｆ，Ａ）に１バイトずつ復帰（Ｌ←（ＳＰ）、Ｈ←（ＳＰ＋１）、…、Ｆ←（ＳＰ＋６）、Ａ←（ＳＰ＋７））した後に、ＳＰに８を加算する命令である。
＜他の命令／算術論理演算命令＞
【０９８１】
算術論理演算命令は、各種の論理演算を行うための命令であり、例えば、ＡＤＤ命令、ＳＵＢ命令、ＡＮＤＴ命令、ＯＲＴ命令、ＸＯＲＴ命令、ＣＰＴ命令、ＩＮＣ命令、ＩＮＣＴ命令、ＩＮＣＷＴ命令、ＤＥＣ命令、ＤＥＣＴ命令、ＤＥＣＷＴ命令などが該当する。
【０９８２】
例えば、（ＡＤＤ　Ａ，ｒ）命令は、Ａレジスタに記憶されたデータと、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを加算し、加算結果をＡレジスタに記憶する命令であり、（ＡＤＤＴ　ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを加算し、加算結果をｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶する命令である。
【０９８３】
例えば、（ＳＵＢ　ｒ）命令は、Ａレジスタに記憶されたデータから、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを減算し、減算結果をＡレジスタに記憶する命令であり、（ＳＵＢＴ　ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、減算結果をｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に

記憶する命令である。
【０９８４】
例えば、（ＡＮＤＴ （ｋ））命令は、Ａレジスタに記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の論理積（ＡＮＤ）を算出し、演算結果をＡレジスタに記憶する命令であり、（ＡＮＤＴ ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の論理積（ＡＮＤ）を算出し、演算結果をｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶する命令である。
【０９８５】
（ＯＲＴ （ｋ））命令は、Ａレジスタに記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の論理和（ＯＲ）を算出し、演算結果をＡレジスタに記憶する命令であり、（ＯＲＴ ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の論理和（ＯＲ）を算出し、演算結果をｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）記憶する命令である。
【０９８６】
（ＸＯＲＴ （ｋ））命令は、Ａレジスタに記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の排他的論理和（ＸＯＲ）を算出し、演算結果をＡレジスタに記憶する命令であり、（ＸＯＲＴ ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータと、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータと、の排他的論理和（ＸＯＲ）を算出し、演算結果をｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶する命令である。
【０９８７】
（ＣＰＴ （ｋ））命令は、Ａレジスタに記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、演算結果がオーバーフローした場合に所定のフラグを１にセットする一方で、オーバーフローしなかった場合に所定のフラグを０にクリアするとともに、Ｓフラグ、Ｚフラグ、ＳＺフラグ、Ｈフラグ、またはキャリーフラグ（Ｃフラグ）に記憶された値を０から１（または１から０）に変化させる命令である。（ＣＰＴ ｒ，（ｋ））命令は、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、演算結果がオーバーフローした場合に所定のフラグを１にセットする一方で、オーバーフローしなかった場合に所定のフラグを０にクリアするとともに、Ｓフラグ、Ｚフラグ、ＳＺフラグ、Ｈフラグ、またはキャリーフラグ（Ｃフラグ）に記憶された値を０から１（または１から０）に変化させる命令である。
【０９８８】
（ＩＮＣ Ｔ）命令は、Ｔレジスタに記憶されたデータに１を加算する命令であり、（ＩＮＣＴ （ｒ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスに記憶されたデータに１を加算する命令であり、（ＩＮＣＴ （ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータに１を加算する命令である。また、（ＩＮＣＷＴ （ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジス

タに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイト長のデータに１を加算する命令である。

【０９８９】

（ＤＥＣ　Ｔ）命令は、Ｔレジスタに記憶されたデータから１を減算する命令であり、（ＤＥＣＴ　（ｒ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを下位バイトとするアドレスに記憶されたデータから１を減算する命令であり、（ＤＥＣＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータから１を減算する命令である。また、（ＩＮＣＷＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイト長のデータから１を減算する命令である。

＜他の命令／ローテート　シフト命令＞

【０９９０】

算術論理演算命令は、各種の論理演算を行うための命令であり、例えば、ＲＬＣ命令、ＲＬＣＴ命令、ＲＲＣ命令、ＲＲＣＴ命令、ＲＬ命令、ＲＬＴ命令、ＲＲ命令、ＲＲＴ命令、ＳＬＡ命令、ＳＬＡＴ命令、ＳＲＡ命令、ＳＲＡＴ命令、ＳＲＬ命令、ＳＲＬＴ命令などが該当する。

【０９９１】

例えば、（ＲＬＣ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを左に（ＬＳＢからＭＳＢ側に）１ビットだけローテートし、ＭＳＢからシフトアウトされたビットをＬＳＢとキャリーフラグに記憶する命令であり、（ＲＬＣ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを左に１ビットだけローテートし、ＭＳＢからシフトアウトされたビットをＬＳＢとキャリーフラグに記憶する命令であり、（ＲＬＣ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを左に１ビットだけローテートし、ＭＳＢからシフトアウトされたビットをＬＳＢとキャリーフラグに記憶する命令であり、（ＲＬＣＴ（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを左に１ビットだけローテートし、ＭＳＢからシフトアウトされたビットをＬＳＢとキャリーフラグに記憶する命令である。

【０９９２】

（ＲＲＣ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを右に（ＭＳＢからＬＳＢ側に）１ビットだけローテートし、ＬＳＢからシフトアウトされたビットをＭＳＢとキャリーフラグに記憶する命令であり、（ＲＲＣ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを右に１ビットだけローテートし、ＬＳＢからシフトアウトされたビットをＭＳＢとキャリーフラグに記憶する命令であり、（ＲＲＣ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを右に１ビットだけローテートし、ＬＳＢからシフトアウトされたビットをＭＳＢとキャリーフラグに記憶する命令であり、（ＲＲＣＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを右に１ビットだけローテートし、ＬＳＢからシフトアウトされたビットをＭＳＢとキャリーフラグに記憶する命令である。

【０９９３】

（ＲＬ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを左に（ＬＳＢからＭＳＢ側に）１ビットだけローテートし、キャリーフラグに記憶されていたビットをＬＳＢに記憶し、ＭＳＢからシフトアウトされたビットをキャ

リーフラグに記憶する命令であり、（ＲＬ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを左に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＬＳＢに記憶し、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令であり、（ＲＬ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを左に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＬＳＢに記憶し、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令であり、（ＲＬＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを左に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＬＳＢに記憶し、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令である。

【０９９４】

（ＲＲ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを右に（ＭＳＢからＬＳＢ側に）１ビットだけローテートし、キャリーフラグに記憶されていたビットをＭＳＢに記憶し、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令であり、（ＲＲ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを右に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＭＳＢに記憶し、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令であり、（ＲＲ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを右に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＭＳＢに記憶し、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令であり、（ＲＲＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを右に１ビットだけローテートし、キャリーフラグに記憶されていたビットをＭＳＢに記憶し、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶する命令である。

【０９９５】

（ＳＬＡ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを左に（ＬＳＢからＭＳＢ側に）１ビットだけシフトし、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＬＳＢに０を記憶する命令であり、（ＳＬＡ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを左に１ビットだけシフトし、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＬＳＢに０を記憶する命令であり、（ＳＬＡ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを左に１ビットだけシフトし、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＬＳＢに０を記憶する命令であり、（ＳＬＡＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを左に１ビットだけシフトし、ＭＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＬＳＢに０を記憶する命令である。

【０９９６】

（ＳＲＡ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを右に（ＭＳＢからＬＳＢ側に）１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに直前のＭＳＢの値を記憶する命令であり、（ＳＬＡ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに直前のＭＳＢの値を記憶する命令であり、（ＳＬＡ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１

２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに直前のＭＳＢの値を記憶する命令であり、（ＳＬＡＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに直前のＭＳＢの値を記憶する命令である。

【０９９７】

（ＳＲＬ　ｒ）命令は、ｒで示されるレジスタ（Ａ，Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを右に（ＭＳＢからＬＳＢ側に）１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに０を記憶する命令であり、（ＳＲＬ　（ＨＬ））命令は、ＨＬレジスタに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに０を記憶する命令であり、（ＳＲＬ　（ｑｑ＋ｄ））命令は、ｑｑで示されるレジスタ（ＩＸ，ＩＹ）に記憶されたデータにｄで示されるデータ（ｄ＝８～１２７、－１～－１２８）を加算した加算結果が示すアドレスに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに０を記憶する命令であり、（ＳＲＬＴ　（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを右に１ビットだけシフトし、ＬＳＢからシフトアウトされたビットをキャリーフラグに記憶し、ＭＳＢに０を記憶する命令である。

＜他の命令／ビット操作命令＞

【０９９８】

ビット操作命令は、ビット単位で各種の操作を行うための命令であり、例えば、ＢＩＴＴ命令、ＳＥＴＴ命令、ＲＥＳＴ命令などが該当する。

【０９９９】

例えば、（ＢＩＴＴ　ｂ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを反転して所定のフラグに記憶する命令であり、（ＳＥＴＴ　ｂ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータに１をセットする命令であり、（ＲＥＳＴ　ｂ，（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータに０をセットする命令である。

＜他の命令／演算＆ジャンプ命令＞

【１０００】

演算＆ジャンプ命令は、演算と当該演算の演算結果に基づく分岐処理を行うための命令であり、例えば、ＪＣＰＴ命令や、ＪＴＴ命令や、ＪＢＩＴＴ命令などが該当する。

【１００１】

例えば、（ＪＣＰＴ　Ｚ，Ａ、（ｋ），ｅ）命令は、Ａレジスタに記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、Ｚフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが０の場合には後続の命令を実行させる命令であり、（ＪＣＰＴ　ＮＺ，Ａ、（ｋ），ｅ）命令は、Ａレジスタに記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、Ｚフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが１の場合には後続の命令を実行させる命令である。

【１００２】

（ＪＣＰＴ　Ｃ，Ａ、（ｋ），ｅ）命令は、Ａレジスタに記憶されたデータから、Ｔレ

ジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、キャリーフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、キャリーフラグが０の場合には後続の命令を実行させる命令であり、（ＪＣＰＴ　ＮＣ，Ａ、（ｋ），ｅ）命令は、Ａレジスタに記憶されたデータから、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータを減算し、キャリーフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、キャリーフラグが１の場合には後続の命令を実行させる命令である。

【１００３】

（ＪＣＰＴ　Ｚ，（ｋ），ｓｓ，ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイトのデータから、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）に記憶された２バイトのデータを減算し、Ｚフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが０の場合には後続の命令を実行させる命令であり、（ＪＣＰＴ　ＮＺ，（ｋ），ｓｓ，ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイトのデータから、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）に記憶された２バイトのデータを減算し、Ｚフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが１の場合には後続の命令を実行させる命令である。

【１００４】

（ＪＣＰＴ　Ｃ，（ｋ），ｓｓ，ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイトのデータから、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）に記憶された２バイトのデータを減算し、キャリーフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、キャリーフラグが０の場合には後続の命令を実行させる命令であり、（ＪＣＰＴ　ＮＣ，（ｋ），ｓｓ，ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスと、当該アドレスに１を加算したアドレスに記憶された２バイトのデータから、ｓｓで示されるペアレジスタ（ＢＣ，ＤＥ）に記憶された２バイトのデータを減算し、キャリーフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、キャリーフラグが１の場合には後続の命令を実行させる命令である。

【１００５】

（ＪＴＴ　Ｚ，（ｋ）ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータから、数値の０を減算し、Ｚフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが０の場合には後続の命令を実行させる命令であり、（ＪＴＴ　ＮＺ，（ｋ）ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータから、数値の０を減算し、Ｚフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが１の場合には後続の命令を実行させる命令である。

【１００６】

（ＪＢＩＴＴ　Ｚ，ｂ，（ｋ），ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶され

たデータのうち、ｂで示されるビットの反転データをＺフラグに記憶し、Ｚフラグが１の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが０の場合には後続の命令を実行させる命令であり、（ＪＢＩＴＴ　ＮＺ，ｂ，（ｋ），ｅ）命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータのうち、ｂで示されるビットの反転データをＺフラグに記憶し、Ｚフラグが０の場合にはｅで示されるアドレスをＰＣ（プログラムカウンタ）にロードし（ｅで示されるアドレスに分岐し）、Ｚフラグが１の場合には後続の命令を実行させる命令である。

＜他の命令／演算＆リターン命令＞

【１００７】

演算＆リターン命令は、演算と当該演算の演算結果に基づく復帰処理を行うための命令であり、例えば、ＲＴＴ命令などが該当する。

【１００８】

例えば、（ＲＴＴ　Ｚ、（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータから、数値の０を減算し、Ｚフラグが１の場合にはＳＰと（ＳＰ＋１）に記憶されたアドレスをＰＣ（プログラムカウンタ）にロードし（ＳＰと（ＳＰ＋１）で示されるアドレスに復帰し）、Ｚフラグが０の場合には後続の命令を実行させる命令であり、（ＲＴＴ　ＮＺ、（ｋ））命令は、Ｔレジスタに記憶されたデータを上位バイト、ｋで示されるレジスタに記憶されたデータを下位バイトとするアドレスに記憶されたデータから、数値の０を減算し、Ｚフラグが０の場合にはＳＰと（ＳＰ＋１）に記憶されたアドレスをＰＣ（プログラムカウンタ）にロードし（ＳＰと（ＳＰ＋１）で示されるアドレスに復帰し）、Ｚフラグが１の場合には後続の命令を実行させる命令である。

＜他の命令／複合命令＞

【１００９】

複合命令は、複数の処理を一つにした命令であり、例えば、ＩＮＣＰＬＤ命令、ＩＮＣＰＷＬＤ命令、ＤＥＣＰＬＤ命令、ＤＥＣＰＷＬＤ命令などが該当する。

【１０１０】

（ＩＮＣＰＬＤ　Ａ，ｒ）命令は、Ａレジスタに記憶されたデータから、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを減算し、キャリーフラグが１の場合にＡレジスタに記憶されたデータに１を加算し、キャリーフラグが０の場合にＡレジスタに０を記憶する命令であり、（ＩＮＣＰＬＤ　（ＨＬ），ｒ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを減算し、キャリーフラグが１の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに１を加算し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに０を記憶する命令である。

【１０１１】

（ＩＮＣＰＬＤ　Ａ，ｎ）命令は、Ａレジスタに記憶されたデータから、数値ｎを減算し、キャリーフラグが１の場合にＡレジスタに記憶されたデータに１を加算し、キャリーフラグが０の場合にＡレジスタに０を記憶する命令であり、（ＩＮＣＰＬＤ　（ＨＬ），ｎ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから、数値ｎを減算し、キャリーフラグが１の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに１を加算し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに０を記憶する命令である。

【１０１２】

（ＩＮＣＰＬＤ　ＨＬ，ｍｎ）命令は、ＨＬレジスタに記憶されたデータから、数値ｍｎを減算し、キャリーフラグが１の場合にＨＬレジスタに記憶されたデータに１を加算し、キャリーフラグが０の場合にＨＬレジスタに０を記憶する命令であり、（ＩＮＣＰＷＬＤ　（ＨＬ），ｍｎ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬ

レジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータから、数値ｍｎを減算し、キャリーフラグが１の場合に、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬレジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータに１を加算し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬレジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータに０を記憶する命令である。

【１０１３】

（ＤＥＣＰＬＤ　Ａ，ｒ）命令は、Ａレジスタに記憶されたデータから１を減算し、キャリーフラグが１の場合に、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータをＡレジスタに記憶し、キャリーフラグが０の場合に、Ａレジスタから１を減算す命令であり、（ＤＥＣＰＬＤ　（ＨＬ），ｒ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを減算し、キャリーフラグが１の場合に、ｒで示されるレジスタ（Ｂ，Ｃ，Ｄ，Ｅ，Ｈ，Ｌ）に記憶されたデータを、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに記憶し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから１を減算する命令である。

【１０１４】

（ＤＥＣＰＬＤ　Ａ，ｎ）命令は、Ａレジスタに記憶されたデータから、数値ｎを減算し、キャリーフラグが１の場合に、Ａレジスタに数値ｎを記憶し、キャリーフラグが０の場合に、Ａレジスタに記憶されたデータから１を減算する命令であり、（ＤＥＣＰＬＤ（ＨＬ），ｎ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから、数値ｎを減算し、キャリーフラグが１の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータに数値ｎを記憶し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスに記憶されたデータから１を減算する命令である。

【１０１５】

（ＤＥＣＰＬＤ　ＨＬ，ｍｎ）命令は、ＨＬレジスタに記憶されたデータから、数値ｍｎを減算し、キャリーフラグが１の場合に、ＨＬレジスタに数値ｍｎを記憶し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータから１を減算する命令であり、（ＤＥＣＰＷＬＤ　（ＨＬ），ｍｎ）命令は、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬレジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータから、数値ｍｎを減算し、キャリーフラグが１の場合に、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬレジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータに数値ｍｎを記憶し、キャリーフラグが０の場合に、ＨＬレジスタに記憶されたデータが示すアドレスと、ＨＬレジスタに記憶されたデータ＋１が示すアドレスに記憶されたデータから１を減算する命令である。

【１０１６】

例えば、上述の主制御部メイン処理の基本乱数初期値更新処理（ステップＳ１１５）において、Ａレジスタに普図タイマ乱数値、数値ｎに普図タイマ乱数値の最大値（例えば、１００）をそれぞれ記憶（ロード）した後に、（ＩＮＣＰＬＤ　Ａ，ｎ）命令を実行すれば、キャリーフラグが１の場合、すなわち、普図タイマ乱数値が最大値ではない場合には、普図タイマ乱数値に１を加算し、キャリーフラグが０の場合、すなわち、普図タイマ乱数値が最大値になった場合には、普図タイマ乱数値に０を記憶することができる。このため、（ＩＮＣＰＬＤ　Ａ，ｎ）命令だけで、普図タイマ乱数値の更新を容易に行うことができ、プログラム容量の削減や、処理速度の向上を図ることができる場合がある。

【１０１７】

また、上述の主制御部メイン処理の基本乱数初期値更新処理（ステップＳ１１５）において、Ａレジスタに普図タイマ乱数値、数値ｎに普図タイマ乱数値の最大値（例えば、１００）をそれぞれ記憶（ロード）した後に、（ＤＥＣＰＬＤ　Ａ，ｎ）命令を実行すれば

、キャリーフラグが１の場合、すなわち、普図タイマ乱数値が負の値になった場合には、普図タイマ乱数値に普図タイマ乱数値の最大値を記憶し、キャリーフラグが０の場合、すなわち、普図タイマ乱数値が負の値ではない場合には、普図タイマ乱数値から１を減算することができる。このため、（ＤＥＣＰＬＤ　Ａ，ｎ）命令だけで、普図タイマ乱数値の更新を容易に行うことができ、プログラム容量の削減や、処理速度の向上を図ることができる場合がある。なお、この例では、Ａレジスタのみで乱数値を更新する例を示したが、他のレジスタ（例えば、Ｒレジスタ）を併用したり、ハードウェア乱数値を併用してもよい。

【１０１８】

以上説明したように、上記実施形態に係る遊技台は、ＣＰＵ（例えば、ＣＰＵ３０４）と、遊技制御プログラムが少なくとも記憶されているＲＯＭ（例えば、ＲＯＭ３０６）と、を少なくとも内蔵するマイクロプロセッサ（例えば、基本回路３０２）を備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記マイクロプロセッサは、少なくとも所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）を有し、前記マイクロプロセッサは、少なくともランダム延長機能（例えば、ランダム延長処理）を有し、前記ランダム延長機能は、前記遊技制御プログラムの実行開始タイミングをランダムに変化させることが可能なものであり、前記所定の出力端子からの出力は、少なくとも所定のタイミングで第一のレベルから該第一のレベル（例えば、ローレベルの信号）よりも高い第二のレベル（例えば、ハイレベルの信号）に変化するものであり、前記所定のタイミングは、前記ランダム延長機能の実行前である、ことを特徴とする遊技台である。

【１０１９】

また、上記実施形態に係る遊技台は、ＣＰＵ（例えば、ＣＰＵ３０４）と、遊技制御プログラムを記憶するＲＯＭ（例えば、ＲＯＭ３０６）と、を少なくとも内蔵するマイクロプロセッサ（例えば、基本回路３０２）を備えた遊技台であって、前記マイクロプロセッサは、少なくとも所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）を有し、前記マイクロプロセッサは、前記所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）からの所定の信号出力（例えば、リセット出力信号出力）の立上りタイミングまたは立下りタイミング（例えば、ローレベル信号からハイレベル信号に変化させる立上りタイミング）を、前記遊技制御プログラムの実行開始前に行われるランダム遅延処理の開始前に実行可能である、ことを特徴とする遊技台である。

【１０２０】

図１２７および図１２８は、本発明に係る所定の出力端子の信号出力の一例を説明するための図である。同図には、所定の出力端子の一例であるリセット出力端子ＸＲＳＴＯの出力信号の電圧変化と、本発明に係る第一のレベルであるか否かを判断するための基準電圧であるローレベルしきい値電圧ＶＬと、本発明に係る第二のレベルであるか否かを判断するための基準電圧であるハイレベルしきい値電圧ＶＨを示している。

【１０２１】

この例では、リセット出力端子ＸＲＳＴＯの出力信号の電圧がローレベルしきい値電圧ＶＬよりも低い場合には第一のレベル（ローレベル）と規定し、リセット出力端子ＸＲＳＴＯから出力する電圧がハイレベルしきい値電圧ＶＨよりも高い場合には第二のレベル（ハイレベル）と規定している。なお、この例では、ローレベルしきい値電圧ＶＬとハイレベルしきい値電圧ＶＨにヒステリシスを持たせているが、本発明はこれに限定されず、例えば、ローレベルしきい値電圧ＶＬとハイレベルしきい値電圧ＶＨを同一の電圧（例えば、ハイレベルの最高電圧が５Ｖ、ローレベルの最低電圧が０Ｖの場合に、両者の平均の２．５Ｖ）に設定してもよい。

【１０２２】

図１２７（ａ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始後に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行中に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。

同図（ｂ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始とほぼ同時に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行中に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。

【１０２３】

また、同図（ｃ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始前に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行中に、ランダム延長処理の実行開始後に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。同図（ｄ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始前に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行開始とほぼ同時に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。

【１０２４】

一方、同図（ｅ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始前に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行開始前に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。図１２８（ａ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始前、かつ、固定延長処理の実行終了後に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行開始前、かつ、固定延長処理の実行終了後に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。また、同図（ｂ）では、リセット出力端子ＸＲＳＴＯの出力信号の電圧を、ランダム延長処理の実行開始前、かつ、固定延長処理の実行終了とほぼ同時に、第一のレベル（ローレベル）の電圧からローレベルしきい値電圧ＶＬを超える電圧に変化させた後に、ランダム延長処理の実行開始前、かつ、固定延長処理の実行終了後に、さらにハイレベルしきい値電圧ＶＨを超える電圧に変化させて第二のレベル（ハイレベル）に変化させている。

【１０２５】

また、前記マイクロプロセッサは、前記所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）からの所定の信号出力（例えば、リセット出力信号出力）を、前記遊技制御プログラムの実行開始前に行われるランダム遅延処理の終了前（または、ランダム遅延処理中）に実行可能であっても、同様の効果を得ることができる。

【１０２６】

上記実施形態に係る遊技台によれば、所定の信号出力のタイミングと遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の狙い撃ちを防止することができる場合がある。

【１０２７】

また、前記所定の出力端子はリセット信号を出力可能な端子であってもよい。このような構成とすれば、例えば、リセット信号を所定の電子部品に接続した場合、遊技制御前に電子部品が動作可能となり、不正な電波を送信した場合に電子部品が動作してしまうため、不正行為を発見しやすくなる場合がある。また、遊技制御プログラムの開始前に電子部品が動作可能なので、電子部品の作動開始タイミングと、遊技制御プログラムの実行開始タイミングとが異なると思わせることにより、遊技制御処理の特定の処理の狙い撃ちを防止することができる場合がある。

【１０２８】

また、少なくとも、セキュリティモードおよびユーザモードを備え、前記遊技制御プロ

グラムは、前記ユーザモードで実行されるユーザプログラムであってもよい。
【１０２９】
このような構成とすれば、所定の信号出力のタイミングとユーザプログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の狙い撃ちを防止することができる場合がある。
【１０３０】
また、前記遊技制御プログラムの実行開始は、システムリセットおよびユーザリセットのうちの少なくともいずれか一方を受け付けた後でおこなわれるものであってもよい。
【１０３１】
このような構成とすれば、システムリセットまたはユーザリセットの度に所定の信号出力のタイミングと遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の狙い撃ちを防止することができる場合がある。
【１０３２】
また、少なくとも所定の入力端子を有する所定の電子部品（例えば、ＩＣ１１～ＩＣ１４）を備え、前記所定の入力端子（例えば、リセット入力端子）は、前記所定の出力端子からの前記所定の信号を入力可能な端子であってもよい。
【１０３３】
このような構成とすれば、遊技制御プログラムの開始前に電子部品が動作可能なので、電子部品の作動開始タイミングと、遊技制御プログラムの実行開始タイミングとが異なると思わせることにより、遊技制御処理の特定の処理の狙い撃ちを防止することができる場合がある。
【１０３４】
図１２９は、ユーザリセット時におけるシステムクロック信号、アドレス信号、データ信号、制御信号、およびリセット出力信号の変化を示した図である。上述のとおり、本実施形態のユーザリセットには、ＷＤＴのタイムアウトによるユーザリセットと、指定エリア外のアクセスによるユーザリセットの２種類があり、プログラム管理エリアの設定により、ユーザリセットを有効に設定している場合に機能する。
【１０３５】
ＷＤＴのタイムアウトによるユーザリセットは、ＷＤＴタイムアウト信号に基づいて発生するリセットであり、当該リセット中はアドレス信号として第一の固定値（例えば、Ｅ０００Ｈ）を出力するように構成している。一方、指定エリア外のアクセスによるユーザリセットは、指定エリア外走行禁止信号に基づいて発生するリセットであり、当該リセット中はアドレス信号として第二の固定値（例えば、８０００Ｈなど、Ｅ０００Ｈ以外の値）を出力するように構成している。
【１０３６】
ユーザリセットが発生すると、ＣＰＵコア、タイマ回路、演算回路、入出力ポート、通信回路、割込みコントローラなどが初期化され、リセットアドレス（００００Ｈ）よりユーザプログラム（遊技制御プログラム）の実行を開始し、起動されていたウォッチドッグタイマも制御プログラムによらずに（自動的に）クリア＆リスタートされる。
【１０３７】
このように、前記マイクロプロセッサは、所定の条件が成立した場合（例えば、図１１５に示すタイムアウト時間が経過した場合）に、所定の信号（例えば、ＷＤＴ起動信号（ＷＤＴタイムアウト信号）や、ＣＰＵ内部の信号）を少なくとも発生させることが可能なウォッチドッグタイマ（例えば、ＷＤＴ３１４、第一ＷＤＴ３１４ａ、第二ＷＤＴ３１４ｂ）と、正当な指定エリア以外の記憶領域のコードが実行されたことに基づいて、指定エリア外走行禁止信号を少なくとも発生させることが可能な指定エリア外走行禁止回路（例えば、指定エリア外走行禁止回路３１４２）と、を少なくとも有し、前記指定エリア外走行禁止信号が発生してから前記所定のタイミングの間に開始されるセキュリティチェック中に、前記ウォッチドッグタイマのカウンタが停止している期間が少なくとも含まれてい

てもよい。
【１０３８】
なお、本発明に係る「ウォッチドッグタイマのカウンタが停止している」には、カウンタが一時的に停止している場合、カウンタが初期値や０に設定された後にカウンタが一時的に停止している場合、カウンタのカウントは継続するが、カウンタがタイムアウトする前にカウンタをクリア＆リスタートし続けることによってカウンタが実質的に停止する（タイムアウトさせない）場合、カウンタの値をセキュリティチェック時間の最大処理時間よりも長く設定し、セキュリティチェック中のタイムアウトを回避することによってカウンタが実質的に停止する（タイムアウトさせない）場合などが含まれる。また、「ウォッチドッグタイマのカウンタが停止している期間」には、指定エリア外走行禁止信号の発生から当該信号の発生直後までの期間、指定エリア外走行禁止信号の発生後からシステムクロックが所定クロック経過した後（例えば、指定エリア外走行禁止信号の発生後からシステムクロックの１クロック後の立ち下がりエッジまたは立ち上がりエッジまで）、リセット出力端子ＸＲＳＴＯの出力信号の立上りまでの期間の一部やすべてなども含まれる。また、ＷＤＴをマイコンに内蔵し、ＷＤＴタイムアウトが発生してから前記所定のタイミングの間に開始されるセキュリティチェック中に、ＷＤＴ用カウンタが停止している期間が少なくとも含まれ、ＷＤＴをマイコンに内蔵し、指定エリア外走行禁止信号が発生してから前記所定のタイミングの間に開始されるセキュリティチェック中に、ＷＤＴ用カウンタが停止している期間が少なくとも含まれる。
【１０３９】
このような構成とすれば、指定エリア外走行禁止信号に基づくリセット処理を行う際に、ウォッチドッグタイマのタイムアウトを制御プログラムによらずに（自動的に）停止させることができ、指定エリア外走行禁止信号に基づくリセット処理を迅速に行うことができる場合がある。
【１０４０】
また、本実施形態に係るパチンコ機１００は、ＣＰＵ（例えば、ＣＰＵ３０４）と、遊技制御プログラムが少なくとも記憶されているＲＯＭ（例えば、ＲＯＭ３０６）と、を少なくとも備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、所定の条件が成立した場合（例えば、図１１５に示すタイムアウト時間が経過した場合）に、所定の信号（例えば、ＷＤＴ起動信号（ＷＤＴタイムアウト信号）や、ＣＰＵ内部の信号）を少なくとも発生させるウォッチドッグタイマ（例えば、ＷＤＴ３１４、第一ＷＤＴ３１４ａ、第二ＷＤＴ３１４ｂ）を備え、前記ＣＰＵは、前記所定の信号の発生を契機として前記遊技制御プログラムを所定のアドレス（例えば、図６２に示す０００００Ｈ番地）から実行可能であり、前記所定の信号の発生から前記遊技制御プログラムの実行開始までの時間を調整可能に構成されている、ことを特徴とする遊技台である。
【１０４１】
本実施形態に係るパチンコ機１００によれば、遊技制御用プログラムが実行されるまでの時間を変化させることができ、遊技制御用プログラムの実行タイミング（例えば、当否判定の抽選タイミング）を把握するような不正行為を未然に防止でき、安定した遊技制御をおこなうことができる場合がある。
【１０４２】
なお、本発明に係るウォッチドッグタイマは、ＣＰＵと別体のもの、ＣＰＵに内蔵のもの、の両方を含み、前者の場合、リセット信号はウォッチドッグタイマからＣＰＵに入力されるため信号線が外部に露出するが、後者の場合、リセット信号はＣＰＵ内部で配線されるため信号線は外部には露出しない。したがって、後者の場合には、ＷＤＴのタイムアウトに基づいてリセット信号が発生したか否か（ＣＰＵにリセットがかかったか否か）を隠蔽することができ、遊技制御用プログラムの実行タイミングを把握するような不正行為を、より確実に防止できる場合がある。
【１０４３】
また、前記ＣＰＵと前記ＲＯＭを少なくとも内蔵するマイクロプロセッサ（例えば、基

本回路３０２）を備え、前記マイクロプロセッサは、少なくとも所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）を有し、前記所定の出力端子は、少なくとも所定のタイミングで立ち上がることが可能なものであり、前記所定のタイミングは、前記遊技制御プログラムの実行開始前に行われるランダム遅延処理の開始前であってもよい。

【１０４４】

このような構成とすれば、所定の信号出力のタイミングと遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の狙い撃ちを防止することができる場合がある。

【１０４５】

また、前記ＣＰＵは、所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）からの信号（例えば、リセット出力信号出力）の出力の立上りタイミングまたは立下りタイミング（例えば、ローレベル信号からハイレベル信号に変化させる立上りタイミング）を、前記遊技制御プログラムの実行開始前に行われるランダム遅延処理の開始前に実行可能であってもよい。

【１０４６】

このような構成とすれば、遊技制御用プログラムが実行されるまでの時間を変化させながらも、リセット信号の発生から所定の信号の出力までの時間を一定にすることができ、安定した遊技制御をおこなうことができる場合がある。

【１０４７】

また、前記所定の出力端子はリセット信号を出力可能な端子であってもよい。このような構成とすれば、例えば、リセット信号を所定の電子部品に接続した場合、遊技制御前に電子部品が動作可能となり、不正な電波を送信した場合に電子部品が動作してしまうため、不正行為を発見しやすくなる場合がある。また、遊技制御プログラムの開始前に電子部品が動作可能なので、電子部品の作動開始タイミングと、遊技制御プログラムの実行開始タイミングとが異なると思わせることにより、遊技制御処理の特定の処理の狙い撃ちを防止することができる場合がある。

【１０４８】

また、少なくとも、セキュリティモードおよびユーザモードを備え、前記遊技制御プログラムは、前記ユーザモードで実行されるユーザプログラムであってもよい。

【１０４９】

このような構成とすれば、所定の信号出力のタイミングとユーザプログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の狙い撃ちを防止することができる場合がある。

【１０５０】

また、リセット要因を示す所定の情報（例えば、直前に発生したリセット要因がシステムリセットであるか否かを示す情報）が少なくともセットされるレジスタ（例えば、図１０４に示す第４内部情報レジスタ）を備え、前記遊技制御プログラムは、前記所定の情報に基づく処理（例えば、第４内部情報レジスタから読み出した情報を汎用レジスタに書き込む処理）を含まないように（実行しないように）構成してもよい。

【１０５１】

このような構成とすれば、故意にＣＰＵのリセットを発生させて特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行タイミングなどを狙うような不正行為を防止できる場合がある。

【１０５２】

また、前記マイクロプロセッサは、前記ウォッチドッグタイマと、正当な指定エリア以外の記憶領域のコードが実行されたことに基づいて、指定エリア外走行禁止信号を少なくとも発生させることが可能な指定エリア外走行禁止回路（例えば、指定エリア外走行禁止回路３１４２）と、を少なくとも有し、前記指定エリア外走行禁止信号が発生してから前記所定のタイミングの間に開始されるセキュリティチェック中に、前記ウォッチドッグタイマのカウンタが停止している期間が少なくとも含まれていてもよい。

【１０５３】
このような構成とすれば、指定エリア外走行禁止信号に基づくリセット処理を行う際に、ウォッチドッグタイマのタイムアウトを制御プログラムによらずに（自動的に）停止させることができ、指定エリア外走行禁止信号に基づくリセット処理を迅速に行うことができる場合がある。
【１０５４】
また、本実施形態に係るパチンコ機１００は、ＣＰＵ（例えば、ＣＰＵ３０４）と、遊技制御プログラムが少なくとも記憶されているＲＯＭ（例えば、ＲＯＭ３０６）と、を少なくとも備えた遊技台であって、前記遊技台は、パチンコ機またはスロットマシンであり、前記ＣＰＵは、少なくとも特定のレジスタ（例えば、Ｔレジスタ）を備え、前記遊技制御プログラムは、所定の処理（例えば、図３１に示す特図１関連抽選処理）と、該所定の処理から呼び出される所定のサブ処理（例えば、図３４のステップＳ１１０３の「保留数記憶領域（ＲＷＭ領域のアドレスＦ０４０Ｈ）に記憶された保留数を、Ａレジスタに転送する処理」）を少なくとも含み、前記所定の処理は、第一の処理と第二の処理（例えば、図３１に示す、特別図柄乱数移行処理、特別図柄当り抽選処理、表示図柄抽選処理、特別図柄変動時間抽選処理、特別図柄変動時間設定処理、特別図柄保留内情報移行処理のうちの２つの処理である第一の処理と第二の処理）を少なくとも含み、前記所定のサブ処理は、前記第一の処理と前記第二の処理の両方から呼び出され、前記特定のレジスタを用いた処理は、前記所定のサブ処理で少なくとも実行可能であることを特徴とする遊技台である。
【１０５５】
なお、本発明に係る第一の処理は、主制御部メイン処理（メインループ処理）から呼び出される処理（例えば、図１０の主制御部メイン処理に示す各処理）、本発明に係る第二の処理は、主制御部タイマ割込処理（タイマ割込処理）から呼び出される処理（例えば、図１４の主制御部タイマ割込処理に示す各処理）でもよく、本発明に係る所定のサブ処理は、これらの主制御部メイン処理から呼び出される処理と、主制御部タイマ割込処理から呼び出される処理の両方から呼び出されるものでもよい。
【１０５６】
本実施形態に係るパチンコ機１００によれば、２つの異なる処理（第一の処理と第二の処理）から呼び出されるサブ処理において、共通の特定のレジスタを用いた処理を実行するため、遊技制御プログラムを簡素化することができ、プログラムのコード量を従来よりも減らすことができる上に、コーディングミスの発生を減少させることができ、安定した遊技制御を行うことができる場合がある。
【１０５７】
また、前記ＣＰＵは、所定の命令（例えば、図６４に示すＲＳＴ命令）を少なくとも実行可能であり、前記所定の命令は、該命令が実行された処理から、予め定められたアドレス（例えば、０００８Ｈ、００１０Ｈ、００１８Ｈ、００２０Ｈ、００２８Ｈ、００３０Ｈ、００３８Ｈ、００４０Ｈの８種類のアドレス）に配置された処理のみを呼出可能な命令であり、前記所定のサブ処理は、前記第一の処理と前記第二の処理の両方から前記所定の命令を用いて呼出可能な処理のうちの一つであってもよい。
【１０５８】
このような構成とすれば、遊技制御プログラムの解析や改ざんが困難となるため、不正にサブ処理を読み出すプログラムを組み込んで不正な利益を得ようとする行為や、不正にＲＡＭに記憶された内部情報を取得するような行為を未然に防止できる場合がある。
【１０５９】
また、前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるもの以外のものとして、所定の値を初期値としてセットする機能（例えば、８ビットロード（転送）命令、１６ビットロード（転送）命令、スタック操作命令（１６ビットロード命令の一種）、複合命令など）を少なくとも有してもよい。

【１０６０】
このような構成とすれば、遊技制御プログラムの設計の自由度を高めることができ、安定した遊技制御を行うことができる場合がある。
【１０６１】
また、演出制御を行う演出制御手段（例えば、第１副制御部４００または第２副制御部５００）を備え、前記ＣＰＵは、前記演出制御手段に搭載されず、遊技制御を行う遊技制御手段（例えば、主制御部３００）にのみに搭載されていてもよい。また、演出制御を行う演出制御手段（例えば、第１副制御部４００または第２副制御部５００）と、払出制御を行う払出制御手段（例えば、払出制御部６００）と、を備え、前記ＣＰＵは、前記演出制御手段に搭載されず、遊技制御を行う遊技制御手段（例えば、主制御部３００）および前記払出制御手段のうちの少なくとも一方に搭載されていてもよい。
【１０６２】
このような構成とすれば、遊技制御プログラムの解析や改ざんを、より困難にすることができる場合がある。
【１０６３】
また、前記ＣＰＵと前記ＲＯＭを少なくとも内蔵するマイクロプロセッサ（例えば、基本回路３０２）を備え、前記マイクロプロセッサは、少なくとも所定の出力端子（例えば、リセット出力端子ＸＲＳＴＯ）を有し、前記所定の出力端子は、少なくとも所定のタイミング（例えば、ランダム延長機能の実行前）で立ち上がることが可能なものであり、前記マイクロプロセッサは、所定の条件が成立した場合（例えば、図１１５に示すタイムアウト時間が経過した場合）に、所定の信号（例えば、ＷＤＴ起動信号（ＷＤＴタイムアウト信号）や、ＣＰＵ内部の信号）を少なくとも発生させることが可能なウォッチドッグタイマ（例えば、ＷＤＴ３１４、第一ＷＤＴ３１４ａ、第二ＷＤＴ３１４ｂ）と、正当な指定エリア以外の記憶領域のコードが実行されたことに基づいて、指定エリア外走行禁止信号を少なくとも発生させることが可能な指定エリア外走行禁止回路（例えば、指定エリア外走行禁止回路３１４２）と、を少なくとも有し、前記指定エリア外走行禁止信号が発生してから前記所定のタイミングの間に開始されるセキュリティチェック中に、前記ウォッチドッグタイマのカウンタが停止している期間が少なくとも含まれていてもよい。
【１０６４】
このような構成とすれば、指定エリア外走行禁止信号に基づくリセット処理を行う際に、ウォッチドッグタイマのタイムアウトを制御プログラムによらずに（自動的に）停止させることができ、指定エリア外走行禁止信号に基づくリセット処理を迅速に行うことができる場合がある。
【１０６５】
また、所定の周期で数値を変化させる乱数回路と、所定の抽出条件が成立したことに基づいて前記乱数回路から数値を抽出し、少なくとも該数値に基づいて遊技に関する抽選を行う処理を含む遊技制御処理を行うためのＣＰＵと、前記遊技制御処理の内容が予め記憶されているＲＯＭと、一時的にデータを記憶するためのＲＡＭと、を含んで構成されたマイクロコンピューターを備え、前記ＣＰＵは、電源が遮断される場合に実行される処理であって、前記ＲＡＭの所定領域に当該処理が行われたことを示す所定のデータを記憶させる処理を含む電断時処理を行い、前記ＣＰＵは、前記所定のデータが記憶されている場合には、前記ＲＡＭ領域を初期化する初期化処理を行うことなく前記遊技制御処理を復帰させることが可能である一方、前記所定のデータが記憶されていない場合には、該初期化処理を行うことなく前記遊技制御処理を復帰させることが不可能であり、前記マイクロコンピューターは、電源が投入された場合に入力される起動信号が入力されてから前記遊技制御処理が開始されるまでの時間の長さをランダムに変動させる時間変動処理を行う時間変動用回路、および正当な指定エリア以外の記憶領域のコードが実行されたことに基づいて指定エリア外走行禁止信号を発生させる指定エリア外走行禁止回路を、含んで構成され、前記ＣＰＵは、前記起動信号が入力されたことに基づいて実行されるシステムリセットの場合には、前記マイクロコンピューターによって、前記ＲＯＭが記憶している前記遊技制

御処理の内容に異常がないかをチェックする処理および前記時間変動処理を含むセキュリティチェックが行われた後に、前記遊技制御処理を開始し、前記ＣＰＵは、前記指定エリア外走行禁止信号が発生したことに基づいて実行されるユーザリセットの場合には、前記マイクロコンピューターによって、前記セキュリティチェックが行われないことで、前記時間変動処理が行われず、前記遊技制御処理を開始し、前記システムリセットおよび前記ユーザリセットのいずれの場合であっても、前記ＣＰＵによって前記電断処理が行われず、前記所定領域に前記所定のデータが記憶されないことを特徴とする遊技台としてもよい。

【１０６６】

次に、図１３１を用いて、図７０のステップＳ２１０１における初期設定処理の詳細について説明する。同図は、図７０のステップＳ２１０１における初期設定処理のフローチャートである。

【１０６７】

まず、最初に実行されるステップＳ２１０１ａでは、初期設定１を行う。この初期設定１では、ＣＰＵ１３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）、割込マスクの設定、Ｉ／Ｏ１３１０の初期設定、ＲＡＭ１３０８に記憶する各種変数の初期設定等を行う。

【１０６８】

ステップＳ２１０１ｂでは、低電圧信号がオンであるか否か、すなわち、電圧監視回路１３３０が、主制御部１３００に供給されている電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ１３０４が電源の遮断を検知した場合）には繰り返しこのステップＳ２１０１ｂを実行し、低電圧信号がオフの場合（ＣＰＵ１３０４が電源の遮断を検知していない場合）にはステップＳ２１０１ｃに進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にも、供給電圧がその所定の値以上になるまでステップＳ２１０１ｂは繰り返し実行される。

【１０６９】

ステップＳ２１０１ｃでは、初期設定２を行う。この処理の詳細は、図８９を用いて説明した内容と同様であるため、説明を省略する。

【１０７０】

ステップＳ２１０１ｄでは、設定キースイッチがオンであるか否か判定される。ここで、設定キースイッチとは、スロットマシン１１００における遊技者の有利度（例えば１～６まで６種類の有利度）を設定するためのスイッチである。このスイッチがオンである場合にはステップＳ２１０１ｉに進み、そうでない場合にはステップＳ２１０１ｅに進む。

【１０７１】

ステップＳ２１０１ｅでは、ＲＡＭ１３０８に記憶されているデータに異常があるか否か判定される。ここで判定されるデータは、スロットマシン１１００の電源が落されるかあるいは上述の瞬断によってＲＡＭ１３０８に退避されたデータである（図７１のステップＳ２２２１参照）。すなわち、ＲＡＭ１３０８にデータが確実に退避されているか否かが、このステップＳ２１０１ｅで判定される。なお、この処理の詳細は、図８８のステップＳ３００７において説明した内容と同様である。このデータに異常がある場合にはステップＳ２１０１ｋに進み、異常がない場合にはステップＳ２１０１ｆに進む。

【１０７２】

ステップＳ２１０１ｆでは、強制ＲＷＭクリアがＯＮ状態か否かを判定する。具体的には、電源が投入され、ＲＷＭクリアボタン（不図示）が長押し（例えば、５秒以上の押下）されたことに基づき、強制ＲＷＭクリアのＯＮ状態とする。そして、強制ＲＷＭクリアがＯＮ状態の場合はステップＳ２１０１ｊに移行し、ＯＦＦ状態の場合はステップＳ２１０１ｇに進む。

【１０７３】

ステップＳ２１０１ｇでは、ＲＡＭ１３０８に記憶されたデータをＣＰＵ１３０４のレ

ジスタに書き戻し、レジスタの状態を電断処理が実行される直前の状態に復帰させる処理が実行される。なお、この処理の詳細は、図８８のステップＳ３００９において説明した内容と同様である。この処理の後ステップＳ２１０１ｈに進む。

【１０７４】

ステップＳ２１０１ｈでは、ＷＤＴ１３１４を起動させる処理を行う。ここでは、ＷＤＴ１３１４の起動許可及び初期値の設定等を行う。なお、本実施形態では、ＷＤＴ１３１４に、初期値として３２．８ｍｓに相当する数値を設定する。その後、この初期設定処理を終了する。

【１０７５】

ステップＳ２１０１ｄにおいて、設定キースイッチがオンの場合に進むステップＳ２１０１ｉでは、設定キーの状態に従って設定値変更処理が実行される。その後、ステップＳ２１０１ｊに進む。

【１０７６】

ステップＳ２１０１ｊでは、ＲＷＭクリア処理を行う。この処理の詳細は、図８８のステップＳ３１０３において説明した内容と同様である。この処理の後、ステップＳ２１０１ｈに進む。

【１０７７】

ステップＳ２１０１ｅにおいて、ＲＡＭ１３０８のデータに異常があると判定された場合に進むステップＳ２１０１ｋでは、ＲＷＭエラー処理を行う。このＲＷＭエラー処理では、使用スタックエリアを除く全てのＲＡＭ（ＲＷＭ）１３０８の記憶領域をクリアする準備などを行った後に、無限ループ状態に移行する。なお、この状態からは、電源を入れなおした後、設定キースイッチを操作することで遊技が開始できるようになる。

【１０７８】

図１３２は、図７５に示すタイマ回路３１１の構成を詳しく示したブロック図である。

【１０７９】

タイマ回路３１１は、８ビットのプログラマブルカウンタを３チャネル内蔵している。すなわち、図１３２に示すように、３つのタイマ回路（タイマ回路０～２）が用意されている。各タイマ回路は、ダウンカウンタ回路であって、それぞれ独立した動作モードの設定が可能である。これら３つのタイマ回路の構成はいずれも同じであるため、ここではタイマ回路０を用いて説明する。

【１０８０】

タイマ回路３１１は、プリスケーラレジスタ３１１１、制御レジスタ３１１２、カウンタ設定レシジスタ３１１３、およびカウンタレジスタ３１１４の４種類のレジスタと、プリスケーラ３１１５と、８ビットカウンタ３１１６を有する。

【１０８１】

このタイマ回路３１１は、プリスケーラレジスタ３１１１で選択されたカウントクロックを８ビットカウンタ３１１６のクロック源とする。プリスケーラレジスタ３１１１は、８ビットカウンタ３１１６を動作させるためのクロック数を選択する８ビットのレジスタである。このプリスケーラレジスタ３１１１に、初期値である「００Ｈ」を設定した場合には、８ビットカウンタ３１１６を動作させるためのカウントクロックは停止になる。「０１Ｈ」を設定した場合には、カウントクロックはシステムクロック（ＳＣＬＫ）になる。また、カウントクロックは、「０２Ｈ」を設定した場合にはシステムクロック／２になり、「０３Ｈ」を設定した場合にはシステムクロック／３になり、・・・「ＦＥＨ」を設定した場合にはシステムクロック／２５４になり、「ＦＦＨ」を設定した場合にはシステムクロック／２５５になる。

【１０８２】

制御レジスタ３１１２は、割込みフラグ３１１０のモニタ、割込みの許可や禁止、割込みフラグ３１１０のクリア、８ビットカウンタ３１１６の各種動作条件を設定する８ビットのレジスタである。

【１０８３】

このタイマ回路３１１では、カウンタ設定レジスタ３１１３にカウント値を書き込むことによって、８ビットカウンタ３１１６のダウンカウントが開始される。カウンタ設定レジスタ３１１３は、８ビットカウンタ３１１６のカウント値を設定するレジスタである。なお、設定値に「００Ｈ」を書き込んだ場合は、８ビットカウンタ３１１６は動作しない。

【１０８４】

カウンタレジスタ３１１４は、ＣＰＵレジスタリード信号の入力タイミングに合わせて８ビットカウンタ３１１６の値を読み出すためのレジスタである。

【１０８５】

８ビットカウンタ３１１６がタイムアウトすると、タイムアウト信号が８ビットカウンタ３１１６からカウンタ回路３１２に出力される。なお、割込みが許可されている場合には、割込みフラグ３１１０から割込み信号が割込み制御回路３１００に出力される。また、８ビットの制御レジスタの０ビット目に、「０」を設定しておくと、ワンタイムモード（初期値）になり、タイムアウト発生後、８ビットカウンタ３１１６は動作を停止するが、「１」を設定しておくと、リピートモードになり、タイムアウト発生後も、８ビットカウンタ３１１６は継続して動作を行い、タイムアウト信号が定期的に出力される。

【１０８６】

以上説明した、各レジスタの設定値は、内蔵ＲＯＭ３０６のプログラムデータエリアに記憶されている。プログラムデータエリアに記憶されている各設定値は、図８８に示す主制御部メイン処理における初期設定２（ステップＳ３００５）において、プログラムデータエリアから呼び出され、各レジスタに設定されるか、あるいは主制御部メイン処理や図９１に示す主制御部割込処理において呼び出され、各レジスタに設定される。

【１０８７】

図１３２に示すタイマ回路３１１では、プリスケーラレジスタ３１１１に、初期値の「００Ｈ」を設定しておくか、あるいはカウンタ設定レジスタ３１１３に「００Ｈ」を書き込んでおけば、８ビットカウンタ３１１６はダウンカウントを開始せず、タイムアウト信号は出力されない。

【１０８８】

図１３３は、図７５に示すカウンタ回路３１２の構成を詳しく示したブロック図である。

【１０８９】

カウンタ回路３１２は、８ビットのプログラマブルカウンタを４チャネル内蔵している。すなわち、図１３３に示すように、４つのカウンタ回路（カウンタ回路０～３）が用意されている。各カウンタ回路は、アップカウンタ回路であって、それぞれ独立した動作モードの設定が可能である。これら４つのカウンタ回路の構成はいずれも同じであるため、ここではカウンタ回路０を用いて説明する。

【１０９０】

カウンタ回路は、制御レジスタ３１２１、８ビットカウンタ３１２２、カウンタ設定レジスタ３１２３、およびカウンタレジスタ３１２４を有する。制御レジスタ３１２１は、内部バスを流れる各種の信号を取得可能であり、図１３３には、制御レジスタ３１２１が、８種類の信号を取得可能であることが示されている。これら８種類の信号は、システムクロック信号（ＳＣＬＫ）、図１３２に示すタイマ回路０～２それぞれからのタイムアウト信号、ＣＰＵコアのメモリリクエスト信号（ＸＭＲＥＱ信号）、ＣＰＵコアのライト信号（ＸＷＲ信号）、ＣＰＵコアのＩＯリクエスト信号（ＸＩＯＲＱ信号）、およびＣＰＵコアの割込み要求応答信号（マスカブル割込みアクノリッジサイクル；ＸＩＮＴＡＣＫ信号）である。制御レジスタ３１２１は、８ビットカウンタ３１２２を動作させるためのクロック源を選択する８ビットのレジスタである。すなわち、８本の信号線から入力されるいずれの信号をクロック源にするかを選択するものである。また、制御レジスタ３１２１は、８ビットカウンタ３１２２の許可や禁止を設定するレジスタでもある。

図１３４は、制御レジスタ３１２１を詳しく説明するための図である。

【１０９１】
図１３４に示すように、制御レジスタ３１２１は８ビットのレジスタである。５～７ビット目は「０」が設定されたままであり、使用されていない。
【１０９２】
４ビット目は８ビットカウンタ３１２２の許可や禁止を設定するビットである。この４ビット目に、初期値である「０」が設定されると８ビットカウンタ３１２２は動作を停止し、「１」が設定されると８ビットカウンタ３１２２は動作を開始する。
【１０９３】
３ビット目は８ビットカウンタ３１２２のカスケード接続を設定するビットである。詳細は後述するが、カウンタ回路０の８ビットカウンタ３１２２と、カウンタ回路１の８ビットカウンタ３１２２はカスケード接続が可能であり、カウンタ回路２の８ビットカウンタ３１２２と、カウンタ回路３の８ビットカウンタ３１２２もカスケード接続が可能である。すなわち、カウンタ回路０の８ビットカウンタ３１２２と、カウンタ回路１の８ビットカウンタ３１２２が第１の組になっており、カウンタ回路２の８ビットカウンタ３１２２と、カウンタ回路３の８ビットカウンタ３１２２が第２の組になっている。同一組内で、いずれか一方の制御レジスタ３１２１の３ビット目に「１」が設定されると、カスケード接続が優先される。すなわち、他方の制御レジスタ３１２１の３ビット目に「０」が設定されていても、カスケード接続が設定され、「１」は「０」より優先される設定値である。
【１０９４】
２～０ビット目は、８ビットカウンタ３１２２のクロック源を設定するビットである。すなわち、カウンタ回路３１２の更新源になる信号を設定するためのビットである。この２～０ビット目に、初期値の「０００」が設定されるとシステムクロック信号（ＳＣＬＫ）が８ビットカウンタ３１２２のクロック源になり、「００１」が設定されるとタイマ回路０からのタイムアウト信号がクロック源になり、「０１０」が設定されるとタイマ回路１からのタイムアウト信号がクロック源になり、「０１１」が設定されるとタイマ回路２からのタイムアウト信号がクロック源になる。システムクロック信号（ＳＣＬＫ）は、制御レジスタ３１２１に定期的に入力される信号である。また、タイマ回路３１１をリピートモードに設定しておくと、タイムアウト信号が制御レジスタ３１２１に定期的に入力される。一方、メモリリクエスト信号（ＸＭＲＥＱ信号）、ライト信号（ＸＷＲ信号）、ＩＯリクエスト信号（ＸＩＯＲＱ信号）、割込み要求応答信号（ＸＩＮＴＡＣＫ信号）は、制御レジスタ３１２１に不定期的に入力される信号である。２～０ビット目に、「１００」が設定されるとライト信号（ＸＷＲ信号）が８ビットカウンタ３１２２のクロック源になり、「１０１」が設定されるとメモリリクエスト信号（ＸＭＲＥＱ信号）がクロック源になり、「１１０」が設定されるとＩＯリクエスト信号（ＸＩＯＲＱ信号）がクロック源になり、「１１１」が設定されると割込み要求応答信号（ＸＩＮＴＡＣＫ信号）がクロック源になる。このクロック源を設定する設定値は、内蔵ＲＯＭ３０６のプログラムデータエリアに記憶されており、図８８に示す主制御部メイン処理における初期設定２（ステップＳ３００５）において、プログラムデータエリアから呼び出され、制御レジスタ３１２１に設定される。なお、基本回路の内部的には、内蔵ＲＡＭ３０８への信号は、メモリリクエスト信号（ＸＭＲＥＱ信号）とＩＯリクエスト信号（ＸＩＯＲＱ信号）とのうち、メモリマップド方式を採用した場合には、メモリリクエスト信号（ＸＭＲＥＱ信号）が用いられ、ＩＯマップド方式を採用した場合にはＩＯリクエスト信号（ＸＩＯＲＱ信号）が用いられる。以上説明したように、制御レジスタ３１２１の２ビット目が、定期的に入力される信号をクロック源とした（第２の条件とした）場合には「０」であり、不定期的に入力される信号をクロック源とした（第１の条件とした）場合には「１」であり、所定ビット目の一例に相当する。こうしておくことで、開発者や設定者は、制御レジスタ３１２１の２ビット目を見るだけで、クロック源に定期に入力される信号が用いられているか否かを確認することができる。なお、制御レジスタ３１２１は、上記構成に限定されず、例えば、７ビット目が空きビット、６ビット目が８ビットカウンタ３１２２の許可や禁止を設

定するビット（０：動作停止、１：動作開始（初期値））、５ビット目がＣＰＵコアのマスカブル割込みアクノリッジサイクルで更新するかを設定するビット（０：更新する、１：更新しない（初期値））、４ビット目がＣＰＵコアのＸＩＯＲＱ信号で更新するかを設定するビット（０：更新する、１：更新しない（初期値））、３ビット目がＣＰＵコアのＸＭＲＥＱ信号で更新するかを設定するビット（０：更新する、１：更新しない（初期値））、２ビット目がＣＰＵコアのＸＷＲ信号で更新するかを設定するビット（０：更新する、１：更新しない（初期値））、１～０ビット目がどのタイマの信号で更新するかを設定するビット（００：タイマ回路０からのタイムアウト信号、０１：タイマ回路１からのタイムアウト信号、１０：タイマ回路２からのタイムアウト信号、１１：未選択（初期値））、のように構成してもよく、５～０ビットに全て１が書き込まれた場合に更新源としてシステムクロック信号（ＳＣＬＫ）が設定されるようにしてもよく、カウンタ回路１の制御レジスタ３１２１の１～０ビット目が００の場合にはタイマ回路０からのタイムアウト信号に代えてカウンタ回路０の８ビットカウンタ３１２２のタイムアウト信号を更新源としてもよく、カウンタ回路３の制御レジスタ３１２１の１～０ビット目が００の場合にはタイマ回路２からのタイムアウト信号に代えてカウンタ回路０の８ビットカウンタ３１２２のタイムアウト信号を更新源としてもよい。また、カウンタ回路０はＳＣＬＫ、カウンタ回路１はＸＷＲ信号、カウンタ回路２はＸＭＲＥＱ信号、カウンタ回路３はＸＩＯＲＱ信号を更新源として自動的に起動されるものであってもよく、更新範囲を０～２５５としてもよい（カウンタ設定レジスタ３１２３に初期値として２５５を設定してもよい）。この場合、電源立ち上げ時には、プログラムによって更新源やカウント値を設定するよりも前にカウント動作を行い、カウント動作中にプログラムによって更新源の設定（変更）やカウント値の設定（変更）を行うようにしてもよい。この場合、カウント動作中に更新源やカウント値を変更することで不正者による有利な値の取得を困難にできる場合がある。なお、カウンタ回路３１２は、更新源としてシステムクロック信号（ＳＣＬＫ）を設定した場合に、他の更新源（ＸＷＲ信号、ＸＭＲＥＱ信号、ＸＩＯＲＱ信号、タイマ回路０のタイムアウト信号、タイマ回路１のタイムアウト信号、タイマ回路２のタイムアウト信号）を設定不可能であってもよい。換言すると、カウンタ回路は、複数の更新源のうちの第一の更新源を設定した場合に、第一の更新源を除く他の更新源を設定不可能であってもよい。

【１０９５】

また、カウンタ回路３１２は、更新源としてＸＷＲ信号、ＸＭＲＥＱ信号、ＸＩＯＲＱ信号、タイマ回路ｎのタイムアウト信号のうちの少なくとも２以上の更新源を設定可能であってもよい。換言すると、カウンタ回路は、複数の更新源のうちの第一の更新源を除く第二の更新源と第三の更新源を共に設定可能であってもよい。

【１０９６】

また、カウンタ設定レジスタ３１２３は、アップカウンタ回路である８ビットカウンタ３１２２のカウント値（最大値）を設定する８ビットのレジスタである。本実施形態では、０～２５５のカウント値を設定することができ、「２５５」を書き込んだ場合には、カウント値として最大値の２５５が設定される。この場合には０～２５５が所定の数値範囲になる。なお、設定値に「００」を設定した場合には、８ビットカウンタの動作を停止するようにしてもよい。なお、各カウンタ回路は、ダウンカウンタ回路であってもよく、ダウンカウンタ回路である場合には、カウンタ設定レジスタ３１２３は、最小値を設定するレジスタになる。

【１０９７】

カウンタレジスタ３１２４は、ＣＰＵレジスタリード信号の入力タイミングに合わせて８ビットカウンタ３１２２の値を読み出すためのレジスタである。

【１０９８】

以上説明した、各レジスタの設定値は、内蔵ＲＯＭ３０６のプログラムデータエリアに記憶されている。プログラム管理エリアに記憶されている各設定値は、図８８に示す主制御部メイン処理における初期設定２（ステップＳ３００５）において、プログラムデータ

エリアから呼び出され、各レジスタに設定されるか、あるいは主制御部メイン処理や図９１に示す主制御部割込処理において呼び出され、各レジスタに設定される。カウンタ設定レジスタ３１２３にカウント値が書き込まれると、８ビットカウンタ３１２２の値が「００Ｈ」にクリアされ、その後、制御レジスタ３１２１の４ビット目に「１」が書き込まれると、選択されたクロック源で８ビットカウンタ３１２２のアップカウントが開始される。

【１０９９】

以上説明したカウンタ回路３１２は、数値更新手段の一例に相当する。なお、８ビットカウンタ３１１６の値をＣＰＵレジスタリード信号の入力に応じて読み出す構成を示したが、これに限定されるものではなく、ハードラッチ乱数値レジスタとハードラッチ選択レジスタを備えてもよく、８ビットカウンタ３１１６の値をハードラッチ乱数値レジスタに常に入力するようにしてもよく、パラレル入力ポートを介してＰＩ０～ＰＩ５信号がそれぞれ入力されるハードラッチ選択レジスタからのラッチ信号がハードラッチ乱数値レジスタに入力された場合に値をラッチ（保持）するようにしてもよく、値のラッチによるセット信号と値の取得によるクリア信号が入力されるフラグレジスタを備えてもよい。また、この場合、ハードラッチ選択レジスタは、外部端子入力による８ビットカウンタ３１１６の値の取込み条件の設定（０：値を読み込まないと次の値をラッチしない（初期値）、１：値を読み込まなくても次の値をラッチ）、どの外部端子入力で８ビットカウンタ３１１６の値を取り込むかの設定（ＰＩ０～ＰＩ５信号）を設定可能に構成してもよい。なお、他の構成において、乱数生成回路３１８や乱数回路５３１６で乱数を生成することに代えてカウンタ回路３１２で乱数を生成するようにしてもよい。

【１１００】

続いて、図７（ａ）に示すメモリマップ上における内蔵ＲＡＭエリアや内蔵レジスタエリアの読み込みや書き込みタイミングについて説明する。

【１１０１】

図１３５は、図７（ａ）に示すメモリマップ上における内蔵ＲＡＭエリアや内蔵レジスタエリアの読み込みや書き込みタイミングを説明するためのタイミングチャートである。

【１１０２】

図１３５では、図の左から右に向かって時間（Ｔ）が経過していく（以降のタイミングチャートにおいても同じ）。この図１３５に示すタイミングチャートには、上から順にシステムクロック出力信号（ＣＬＫＯ）、１６本の信号線によって入出力されるアドレス入出力信号（Ａ０～Ａ１５）、メモリリクエスト信号（ＸＭＲＥＱ）、読み込み時のリード信号（ＸＲＤ）、読み込み時の内蔵ＲＡＭエリアや内蔵レジスタエリアからのデータ出力信号（Ｄ０～Ｄ７）、書き込み時のライト信号（ＸＷＲ）、および書き込み時の内蔵ＲＡＭエリアや内蔵レジスタエリアへのデータ出力信号（Ｄ０～Ｄ７）が示されている。なお、破線はハイインピーダンス状態を表す。

【１１０３】

アドレス入出力信号（Ａ０～Ａ１５）は、図７（ａ）のメモリマップにおいて読み書きするアドレスを指定している。メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルのときに読み書きが許可され、リード信号（ＸＲＤ）がＬレベルのときに読み込みが許可され、ライト信号（ＸＷＲ）もＬレベルのときに書き込みが許可される。したがって、メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルかつリード信号（ＸＲＤ）もＬレベルのときに、アドレス入出力信号（Ａ０～Ａ１５）で指定されたアドレスを読み込むことができ、メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルかつライト信号（ＸＷＲ）もＬレベルのときに、アドレス入出力信号（Ａ０～Ａ１５）で指定されたアドレスに書き込むことができるが、各信号では時間的ズレが生じている。しかも、クロック出力信号（ＣＬＫＯ）は定期的な信号であるのに対して、制御レジスタ３１２１に入力される、メモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）は、プログラムに従って任意のタイミングで出力される不定期な信号であり、定期的なクロック出力信号（ＣＬＫＯ）に対して同期していないことがわかる。言い換えれば、メモリリクエスト信号（ＸＭＲＥＱ）やライト信号（Ｘ

ＷＲ）は、ＣＰＵ３０４が内蔵メモリや内蔵レジスタとのやり取りのための命令（所定の命令）に基づいて不定期に出力する信号である。より詳細に説明すると、ＣＰＵ３０４は、内蔵ＲＯＭ３０６のデータの読み出し（例えば、ＬＤ　Ａ，（ＲＯＭ＿ＡＤＤ０１）命令）でメモリリクエスト信号（ＸＭＲＥＱ）を出力し、内蔵ＲＡＭ３０８とのデータの読み出しや書き込み（例えば、ＬＤ　（ＲＡＭ＿ＡＤＤ０１），Ａ命令）でメモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）を出力する。上述のごとく、本実施形態では、これら不定期に発生するメモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）をカウンタ回路３１２の更新ソースとして利用することができる。不定期に発生するメモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）は所定の信号の一例に相当する。

【１１０４】

続いて、図７（ｂ）に示すＩ／Ｏマップ上における内蔵レジスタエリアの読み込みや書き込みタイミングについて説明する。

【１１０５】

図１３６は、図７（ｂ）に示すＩ／Ｏマップ上における内蔵レジスタエリアの読み込みや書き込みタイミングを説明するためのタイミングチャートである。

【１１０６】

この図１３６に示すタイミングチャートでも、上から順に各信号が示されており、図１３５に示すメモリリクエスト信号（ＸＭＲＥＱ）に代えてＩＯリクエスト信号（ＸＩＯＲＱ）が示されている。なおここでも、破線はハイインピーダンス状態を表す。

【１１０７】

また、アドレス入出力信号（Ａ０～Ａ１５）は、図７（ｂ）のメモリマップにおいて読み書きするアドレスを指定している。ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルのときに読み書きが許可され、リード信号（ＸＲＤ）がＬレベルのときに読み込みが許可され、ライト信号（ＸＷＲ）もＬレベルのときに書き込みが許可される。したがって、ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルかつリード信号（ＸＲＤ）もＬレベルのときに、アドレス入出力信号（Ａ０～Ａ１５）で指定されたアドレスを読み込むことができ、ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルかつライト信号（ＸＷＲ）もＬレベルのときに、アドレス入出力信号（Ａ０～Ａ１５）で指定されたアドレスに書き込むことができるが、ここでも各信号では時間的ズレが生じている。しかも、制御レジスタ３１２１に入力される、ＩＯリクエスト信号（ＸＩＯＲＱ）やライト信号（ＸＷＲ）も、プログラムに従って任意のタイミングで出力される不定期な信号であり、定期的なクロック出力信号（ＣＬＫＯ）に対して同期していないことがわかる。言い換えれば、ＩＯリクエスト信号（ＸＩＯＲＱ）も、ＣＰＵ３０４が内蔵メモリや内蔵レジスタとのやり取りのための命令（所定の命令）に基づいて不定期に出力する信号である。より詳細に説明すると、ＣＰＵ３０４は、ＩＮ命令やＯＵＴ命令の際にＩＯリクエスト信号（ＸＩＯＲＱ）を出力する。上述のごとく、本実施形態では、これら不定期に発生するＩＯリクエスト信号（ＸＩＯＲＱ）も

【１１０８】

カウンタ回路３１２の更新ソースとして利用することができる。不定期に発生するＩＯリクエスト信号（ＸＩＯＲＱ）も所定の信号の一例に相当する。

【１１０９】

図１３７は、図７５に示すマイクロプロセッサ３０００内部におけるカウンタ回路３１２への信号の流れを内部のみ示す図である。

【１１１０】

この図１３７には、ＣＰＵ３０４、マイクロプロセッサ３０００に内蔵されたＲＯＭ３０６（以下、単に内蔵ＲＯＭ３０６と称する）、同じくマイクロプロセッサ３０００に内蔵されたＲＡＭ３０８（以下、単に内蔵ＲＡＭ３０８と称する）、タイマ回路３１１、カウンタ回路３１２、割込み制御回路３１００、およびクロック回路３２０が内部バス３３００を介して互いに接続されている様子が示されている。

【１１１１】
また、メモリマップド方式を採用した場合には、メモリリクエスト信号（ＸＭＲＥＱ信号）が、ＣＰＵ３０４から内蔵ＲＯＭ３０６や内蔵ＲＡＭ３０８に送られ、カウンタ回路３１２にも取得されることが示され、Ｉ／Ｏマップド方式を採用した場合には、ＩＯリクエスト信号（ＸＩＯＲＱ信号）が、ＣＰＵ３０４から内蔵ＲＡＭ３０８に送られ、カウンタ回路３１２にも取得されることが示されている。ライト信号（ＸＷＲ信号）は、ＣＰＵ３０４から内蔵ＲＡＭ３０８に送られ、カウンタ回路３１２にも取得されることが示されている。なお、本実施形態では、カウンタ回路３１２の８ビットカウンタ３１２２のクロック源としてリード信号（ＸＲＤ）は選択できないが、カウンタ回路３１２はリード信号（ＸＲＤ）も取得可能であり、そのリード信号（ＸＲＤ）をクロック源として利用してもよい。さらに、割込み制御回路３１００からＣＰＵ３０４に送られる割込み要求信号（ＸＩＮＴ信号）を受けてＣＰＵ３０４から割込み制御回路３１００に割込み要求応答信号（ＸＩＮＴＡＣＫ信号）が出力される。割込み要求信号は、定期的に出力されるものもあれば不定期に出力されるもの（例えばハードウェア割込み）もあり、割込み要求応答信号（ＸＩＮＴＡＣＫ信号）は、結局のところ不定期に出力される信号になり、所定の信号の一例に相当する。図１３７では、この割込み要求応答信号（ＸＩＮＴＡＣＫ信号）がカウンタ回路３１２に取得されることも示されている。また、タイマ回路３１１に含まれるタイマ回路０～２それぞれからのタイムアウト信号は、カウンタ回路３１２に送られ、クロック回路３２０からはシステムクロック信号（ＳＣＬＫ）がカウンタ回路３１２に送られる。不定期に発生するメモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）やＩＯリクエスト信号（ＸＩＯＲＱ）や割込み要求応答信号（ＸＩＮＴＡＣＫ信号）を出力するＣＰＵ３０４は、信号出力手段としての一機能を担っている。また、内蔵ＲＯＭ３０６や内蔵ＲＡＭ３０８は、記憶手段の一例に相当する。
図１３８は、カウンタ回路０を不定期な更新とする例を示した図である。
【１１１２】
図１３８の上方には機能ブロック図が示され、下方にはソースコードが示されている（以下、図１４２まで同じ）。このソースコードでは、カウンタ回路０はＰＣＣ０で表され、カウンタ回路１はＰＣＣ１で表されている（以下、同じ）。カウンタ回路０のカウンタ設定レジスタ３１２３にも、カウンタ回路１のカウンタ設定レジスタ３１２３にも、カウント値として最大値の「２５５」が設定されている。また、カウンタ回路０の制御レジスタ３１２１には「０００１０１０１」が設定されており、４ビット目に動作開始を表す「１」が設定され、２～０ビット目には、８ビットカウンタ３１２２のクロック源をメモリリクエスト信号（ＸＭＲＥＱ信号）とする「１０１」が設定されている。一方、カウンタ回路１の制御レジスタ３１２１には「０００１０００１」が設定されており、４ビット目に動作開始を表す「１」が設定され、２～０ビット目には、８ビットカウンタ３１２２のクロック源をタイマ回路０からのタイムアウト信号とする「００１」が設定されている。さらに、いずれの制御レジスタ３１２１にも、３ビット目にはカスケード接続未設定を表す「０」が設定されており、この例では、カウンタ回路０とカウンタ回路１はカスケード接続されていない。なお、図１３８に示すソースコードでは、タイマ回路０はＰＴＣ０で表されており、タイマ回路０のプリスケーラレジスタ３１１１で、システムクロックを１／２４０に分周し、タイマ回路０の８ビットカウンタ３１１６のクロック源にすることが設定されている。
【１１１３】
図１３８に示す例では、カウンタ回路０の８ビットカウンタ３１２２が不定期なメモリリクエスト信号（ＸＭＲＥＱ信号）で更新される。一方、カウンタ回路１の８ビットカウンタ３１２２は定期的なタイマ回路０からのタイムアウト信号で更新される。
【１１１４】
各カウンタ回路３１２のカウンタレジスタ３１２４は、ＣＰＵレジスタリード信号の入力タイミングに合わせて８ビットカウンタ３１２２の値を読み出し、ＣＰＵ３０４は、カウンタレジスタ３１２４が読み出した値を内部バスを介して取得する。この例では、カウ

ント回路０のカウント値を、特図変動時間決定用乱数値として用いる。
【１１１５】
図１３９は、カウンタ回路０をカウンタ回路１の更新ソースとする変形例１を示した図である。以下、図１３８に示す例との相違点を中心に説明し、図１３８に示す例と同じ点は説明を省略することがある。
【１１１６】
図１３９に示すカウンタ回路０の制御レジスタ３１２１には「０００１１１０１」が設定されており、３ビット目にはカスケード接続の設定を表す「１」が設定されている。一方、カウンタ回路１の制御レジスタ３１２１には「０００１０００１」が設定されており、３ビット目にはカスケード接続未設定を表す「０」が設定されている。上述のごとく、カウンタ回路０とカウンタ回路１の組では、いずれか一方の制御レジスタ３１２１の３ビット目に「１」が設定されていると、カスケード接続が設定される。したがって、図１３９に示すカウンタ回路０とカウンタ回路１はカスケード接続されている。制御レジスタ３１２１の３ビット目に「１」が設定されたカウンタ回路０は、０から２５５までカウントアップするカウンタ回路であり、カウント値が２５５に達し、さらにカウント値を１更新する場合には、カウンタ回路１に桁溢れ信号（特定信号）を送り、カウント値を０に戻す。カウンタ回路１は、定期的なタイマ回路０からのタイムアウト信号で更新されるが、カウンタ回路０からの桁溢れ信号によっても更新され、カウンタ回路１の更新ソースが複数となり、カウンタ回路１のランダム性が増す。しかも、カウンタ回路０は、不定期なメモリリクエスト信号（ＸＭＲＥＱ信号）で更新されるカウンタ回路であるため、桁溢れ信号も不定期に送られてくる信号になる。なお、カウンタ回路１の更新ソースを不定期な更新ソース（例えば、ＸＷＲ信号等）にすれば、ランダム性をより高めることができる。この例では、カウント回路１のカウント値を、特図変動時間決定用乱数値として用いる。
【１１１７】
なお、この例では、「１」が設定された方のカウンタ回路から桁溢れ信号が出力されるが、これに限らず、桁溢れ信号を出力するカウンタ回路を予め定めておいてもよい。
【１１１８】
図１４０は、カウンタ回路０とカウンタ回路１で２バイトカウンタとして機能させる変形例２を示した図である。以下、図１３９に示す例との相違点を中心に説明し、図１３９に示す例と同じ点は説明を省略することがある。
【１１１９】
図１４０に示すカウンタ回路１の制御レジスタ３１２１には「０００１００１０」が設定されており、２～０ビット目には、８ビットカウンタ３１２２のクロック源をタイマ回路１からのタイムアウト信号とする「０１０」が設定されている。したがって、図１４０に示すカウンタ回路１の８ビットカウンタ３１１６は、タイマ回路１からのタイムアウト信号が入力されると更新される。さらに、図１４０に示すソースコードでは、タイマ回路１はＰＴＣ１で表されており、タイマ回路１のプリスケーラレジスタ３１１１には、タイマ回路１の８ビットカウンタ３１１６を動作させるためのカウントクロックを停止させる「０」が設定されている。このため、タイマ回路１の８ビットカウンタ３１１６からはタイムアウト信号は出力されず、カウンタ回路１は、クロック源としてタイマ回路１からのタイムアウト信号が設定されてはいるものの、そのタイムアウト信号をクロック源にしては更新されない。しかしながら、図１３９に示す例と同じく、カウンタ回路１には、カウンタ回路０から桁溢れ信号が送られ、カウンタ回路１は、この桁溢れ信号によって更新される。すなわち、カウンタ回路１は、カウンタ回路０からの桁溢れ信号のみをクロック源（更新源）にする。このように、タイマ回路１のカウントクロックを停止することで、実質的にカウンタ回路１の更新ソースをカウンタ回路０の桁溢れのみとすることができ、カウンタ回路０とカウンタ回路１のカウンタ値を用いて２バイトカウンタとして利用することができる。この例では、カウンタ回路０とカウンタ回路１の組によるカウント値を、特図変動時間決定用乱数値として用いる。
【１１２０】

図１４１は、カウンタ回路０の更新ソースをカウンタ回路１の更新ソースとする変形例３を示した図である。以下、図１３９に示す例との相違点を中心に説明し、図１３９に示す例と同じ点は説明を省略することがある。

【１１２１】

図１４１に示すカウンタ回路０のカウンタ設定レジスタ３１２３には、カウント値として「０」が設定されており、カウンタ回路０の最大値は０になる。すなわち、カウンタ回路０では所定の数値範囲が１になる。この結果、メモリリクエスト信号（ＸＭＲＥＱ信号）がカウンタ回路０に入力されるたびに桁溢れ信号がカウンタ回路１に出力され、カウンタ回路０の更新ソースをカウンタ回路１の更新ソースとしても扱うことができ、カウンタ回路１のランダム性が増す。また、カウンタ回路１の更新ソースを不定期な信号（例えば、ＸＷＲ信号等）にすることで、ランダム性がさらに増す。この例でも、カウント回路１のカウント値を、特図変動時間決定用乱数値として用いる。

【１１２２】

図１４２は、カウンタ回路０とカウンタ回路１を相互にカスケード接続する変形例４を示す図である。以下、図１３９に示す例との相違点を中心に説明し、図１３９に示す例と同じ点は説明を省略することがある。

【１１２３】

図１４２に示すカウンタ回路０の制御レジスタ３１２１にも「００００１１０１」が設定されており、３ビット目にはカスケード接続の設定を表す「１」が設定されている。また、図１４２に示すカウンタ回路１の制御レジスタ３１２１には「００００１１１０」が設定されており、３ビット目にはカスケード接続の設定を表す「１」が設定され、２～０ビット目には、不定期に入力されるライト信号（ＸＷＲ信号）をクロック源とする「１００」が設定されている。したがって、この例では、一組の組を構成する両カウンタ回路でカスケード接続の設定が行われており、互いに桁溢れ信号の送受信を行う。すなわち、カウンタ回路０では、カウント値が２５５に達し、さらにカウント値を１更新する場合には、カウンタ回路１にカウンタ回路０の桁溢れ信号を送り、カウンタ回路１でも、カウント値が２５５に達し、さらにカウント値を１更新する場合には、カウンタ回路０にカウンタ回路１の桁溢れ信号を送る。この結果、カウンタ回路０とカウンタ回路１がそれぞれ更新ソースが複数になり、両カウンタ回路のランダム性が増す。この例では、カウンタ回路０のカウント値を普図変動時間決定用乱数値として用い、カウント回路１のカウント値を特図変動時間決定用乱数値として用いる。

【１１２４】

以上説明したカウンタ回路３１２では、カウント値の更新にランダム性を持たせることができる。カウンタ回路３１２のカウント値は、普図変動時間決定用乱数値や特図変動時間決定用乱数値として用いられ、抽選処理のランダム性を高めることができる。

【１１２５】

続いて、他の実施形態について説明する。以下、既に述べた実施形態との相違点を中心に説明し、既に述べた実施形態と同じ点は説明を省略することがある。

【１１２６】

今まで説明した実施形態では、マイクロプロセッサ３０００（基本回路）の内部における内蔵ＲＡＭエリアや内蔵レジスタエリアを対象にしていたが、本実施形態では、マイクロプロセッサ３０００（基本回路）の外部における外部メモリや外部レジスタ、および外部の周辺機器や周辺回路を対象にする。

【１１２７】

図１４３は、マイクロプロセッサ３０００（基本回路）の外部における外部メモリの読み込みや書き込みチップセレクトタイミングを説明するためのタイミングチャートである。

【１１２８】

この図１４３に示すタイミングチャートには、上から順にシステムクロック出力信号（ＣＬＫＯ）、８本の信号線によって入出力されるアドレス入出力信号（Ａ０～Ａ１５）、

メモリリクエスト信号（ＸＭＲＥＱ）、読み込み時のリード信号（ＸＲＤ）、読み込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）、読み込み時の外部メモリからのデータ入力信号（Ｄ０～Ｄ７）、書き込み時のライト信号（ＸＷＲ）、書き込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）、および書き込み時の外部メモリへのデータ出力信号（Ｄ０～Ｄ７）が示されている。なお、破線はハイインピーダンス状態を表す。

【１１２９】

読み込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）によって読み込むべきチップセットが選択され、選択されたチップセットにおける読み込むべきアドレスがアドレス入出力信号（Ａ０～Ａ１５）によって指定される。また、書き込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）によって書き込むべきチップセットが選択され、選択されたチップセットにおける書き込むべきアドレスがアドレス入出力信号（Ａ０～Ａ１５）によって指定される。また、メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルのときに読み書きが許可され、読み込み時のリード信号（ＸＲＤ）がＬレベルのときに読み込みが許可され、書き込み時のライト信号（ＸＷＲ）もＬレベルのときに書き込みが許可される。したがって、メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルかつリード信号（ＸＲＤ）もＬレベルのときに、選択されたチップセットから指定されたアドレスのデータを読み込むことができ、メモリリクエスト信号（ＸＭＲＥＱ）がＬレベルかつライト信号（ＸＷＲ）もＬレベルのときに、選択されたチップセットの指定されたアドレスにデータを書き込むことができるが、各信号では時間的ズレが生じている。しかも、クロック出力信号（ＣＬＫＯ）は定期的な信号であるのに対して、メモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）は、プログラムに従って任意のタイミングで出力される不定期な信号、すなわち、外部メモリとのやり取りのために不定期に発生する信号であり、定期的なクロック出力信号（ＣＬＫＯ）に対して同期していないことがわかる。本実施形態でも、これら不定期に発生するメモリリクエスト信号（ＸＭＲＥＱ）やライト信号（ＸＷＲ）が制御レジスタ３１２１に入力され、これら不定期の信号をカウンタ回路３１２の更新ソースとして利用することができる。

【１１３０】

続いて、マイクロプロセッサ３０００（基本回路）の外部の周辺機器や周辺回路（外部Ｉ／Ｏ）に対する入出力について説明する。

【１１３１】

図１４４は、外部Ｉ／Ｏの読み込みや書き込みチップセレクトタイミングを説明するためのタイミングチャートである。

【１１３２】

この図１４４に示すタイミングチャートでも、上から順に各信号が示されており、図１３５に示すメモリリクエスト信号（ＸＭＲＥＱ）に代えてＩＯリクエスト信号（ＸＩＯＲＱ）が示されている。なおここでも、破線はハイインピーダンス状態を表す。

【１１３３】

また、読み込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）によって読み込むべきチップセットが選択され、選択されたチップセットにおける読み込むべきアドレスがアドレス入出力信号（Ａ０～Ａ１５）によって指定される。また、書き込み時のチップセレクト信号（ＸＣＳ０～ＸＣＳ１３）によって書き込むべきチップセットが選択され、選択されたチップセットにおける書き込むべきアドレスがアドレス入出力信号（Ａ０～Ａ１５）によって指定される。また、ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルのときに読み書きが許可され、読み込み時のリード信号（ＸＲＤ）がＬレベルのときに読み込みが許可され、書き込み時のライト信号（ＸＷＲ）もＬレベルのときに書き込みが許可される。したがって、ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルかつリード信号（ＸＲＤ）もＬレベルのときに、選択されたチップセットから指定されたアドレスのデータを読み込むことができ、ＩＯリクエスト信号（ＸＩＯＲＱ）がＬレベルかつライト信号（ＸＷＲ）もＬレベルのときに、選択されたチップセットの指定されたアドレスにデータを書き込むことができるが、ここでも各信号では時間的ズレが生じている。しかも、クロック出力信号

（ＣＬＫＯ）は定期的な信号であるのに対して、ＩＯリクエスト信号（ＸＩＯＲＱ）やライト信号（ＸＷＲ）は、プログラムに従って任意のタイミングで出力される不定期な信号、すなわち、外部の周辺機器や周辺回路（外部Ｉ／Ｏ）とのやり取りのために不定期に発生する信号であり、定期的なクロック出力信号（ＣＬＫＯ）に対して同期していないことがわかる。第２実施形態でも、これら不定期に発生するＩＯリクエスト信号（ＸＩＯＲＱ）やライト信号（ＸＷＲ）が制御レジスタ３１２１に入力され、これら不定期の信号をカウンタ回路３１２の更新ソースとして利用することができる

【１１３４】

図１４５は、図７５に示すマイクロプロセッサ３０００内部におけるカウンタ回路３１２への信号の流れを内部のみ示す図である。

【１１３５】

この図１４５には、ＣＰＵ３０４、タイマ回路３１１、カウンタ回路３１２、割込み制御回路３１００、クロック回路３２０、外部バス制御回路３１１０、およびアドレスデコーダ回路３１０３が内部バス３３００を介して互いに接続されている様子が示されている。また、図１４５には、その他回路４０００も示されている。その他回路４０００には、マイクロプロセッサ３０００の外部の周辺機器や周辺回路（例えば、図４に示す主制御部３００の各駆動回路３２４、３２６、３３０、３３４等）が相当する。

【１１３６】

また、メモリリクエスト信号（ＸＭＲＥＱ信号）は、ＣＰＵ３０４からその他回路４００００の内蔵ＲＯＭや内蔵ＲＡＭに送られ、カウンタ回路３１２にも取得されることが示され、ＩＯリクエスト信号（ＸＩＯＲＱ信号）は、ＣＰＵ３０４からその他回路４０００の内蔵レジスタに送られ、カウンタ回路３１２にも取得されることが示されている。また、チップセレクト信号（ＸＣＳ０～ＸＣＳ１３）は、ＣＰＵ３０４からその他回路４０００の内蔵ＲＯＭや内蔵ＲＡＭや内蔵レジスタに送られ、カウンタ回路３１２にも取得されることが示されている。ライト信号（ＸＷＲ信号）は、ＣＰＵ３０４からその他回路４０００の内蔵ＲＡＭや内蔵レジスタに送られ、カウンタ回路３１２にも取得されることが示されている。なお、本実施形態でも、カウンタ回路３１２の８ビットカウンタ３１２２のクロック源としては、先の実施形態と同じ信号が用いられ、リード信号（ＸＲＤ）は選択できないが、カウンタ回路３１２はリード信号（ＸＲＤ）も取得可能であり、そのリード信号（ＸＲＤ）をクロック源として利用してもよい。さらに、不定期に出力される割込み要求応答信号（ＸＩＮＴＡＣＫ信号）もカウンタ回路３１２に取得されることが示されている。また、タイマ回路３１１に含まれるタイマ回路０～２それぞれからのタイムアウト信号は、カウンタ回路３１２に送られ、クロック回路３２０からはシステムクロック信号（ＳＣＬＫ）がカウンタ回路３１２に送られる。

【１１３７】

この第２実施形態においても、カウンタ回路３１２の更新にランダム性を持たせることができる。カウント回路３１２のカウント値は、普図変動時間決定用乱数値や特図変動時間決定用乱数値として用いられ、抽選処理のランダム性を高めることができる。

【１１３８】

なお、以上説明した実施形態では、カウンタ回路３１２のカウント値を、普図変動時間決定用乱数値や特図変動時間決定用乱数値として用いているが、普図の当りや特図の大当りか否かを抽選する当否判定や、特図の図柄を決定する抽選に用いてもよい。すなわち、制御状態の変更に関係する抽選や、賞球の払出に関係する抽選に用いてもよい。あるいは、その他の演出に関する抽選処理（例えば、先読み予告の実行可否抽選）に用いてもよい。

＜主制御部タイマ割込処理＞の変形例

【１１３９】

次に、図１４６を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理の変形例について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。

【１１４０】
主制御部３００は、所定の周期（本実施形態では約４ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。
【１１４１】
ステップＳ４２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【１１４２】
ステップＳ４２０３では、ＷＤＴ３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施形態では、主制御部タイマ割込の周期である約４ｍｓに１回）リスタートを行う。
【１１４３】
ステップＳ４２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述の前面枠扉開放センサや内枠開放センサや下皿満タンセンサ、各種の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。
【１１４４】
また、ステップＳ４２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の遊技球が一つの球検出センサを通過する間に、約４ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ４２０５では、同じ遊技球が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ遊技球が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、遊技球が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図４に示す主制御部３００のＲＯＭ３０６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ４２０５では、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図始動口２２８の通過があったと判定する。すなわち、これらの入賞口２２６、２３４やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと

判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。なお、本実施形態では、入賞口２２６、２３４や始動口２３０、２３２、２２８へ入賞があったか否かの判定として、前々回、前回および今回の検出信号が予め定められた入賞判定パターン情報と一致した否かを判定していたが、このような方法に限らず、例えば、前回および今回の検出信号が予め定められた入賞判定パターン情報（例えば、前回検出信号なし、今回検出信号あり（いわゆるアップエッジ））と一致したか否かを判定するように構成してもよい。すなわち、球検出センサからの検出信号の有無を監視し、この監視結果の履歴が予め定められたパターンと一致したか否かを判定するように構成すればよい。

【１１４５】

ステップＳ４２０７およびステップＳ４２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ１１５で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、普図当選乱数値を生成するためのカウンタと、特図１乱数値および特図２乱数値それぞれを加工するためのカウンタ（以下、特図当選乱数加工用カウンタ）を更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。また、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。なお、本実施形態では特図１の乱数値および特図２の乱数値を加工するためのカウンタを同一のカウンタとして設けたが、それぞれ異なるカウンタとしてもよい。

【１１４６】

ステップＳ４２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１１４７】

ステップＳ４２１３では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特別図柄表示装置２１２に図柄を変動・停止表示する時間を計時するための特図１表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新す

る。
【１１４８】
ステップＳ４２１５では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。
【１１４９】
また、ステップＳ４２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８および可変入賞口２３４への入賞があったか否かを判定する。ここでは、ステップＳ４２０５における入賞判定パターン情報と一致するか否かの判定結果を用いて判定する。第１特図始動口２３０へ入賞があった場合、且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合には、乱数生成回路３１８の特図１に対応するチャンネルの乱数をラッチするためのラッチ信号を出力する処理（具体的には、ソフトラッチレジスタ３１８６の特図１のチャンネルに対応する領域に所定の値を書き込む処理）を実行するとともに、このラッチ信号によってラッチされた乱数を取得するためのリード信号を出力する処理（具体的には、乱数レジスタ３１８８のうちの特図１のチャンネルに対応する乱数レジスタに対してリード信号を出力する処理）を実行してラッチされている乱数を取得して対応する乱数値記憶領域に格納し、さらに、特図当選乱数加工用カウンタから値を取得して対応する乱数値記憶領域に格納する。第２特図始動口２３２へ入賞があった場合も第１特図始動口へ入賞があった場合と同様の処理を実行する。なお、本実施形態では、乱数生成回路３１８から乱数を取得する方法として特図１および２に対応するチャンネルの乱数をラッチするためのラッチ信号を出力する処理を行った後にラッチした乱数を取得するリード信号を出力する方法を採用しているが、特図１および２に対応するチャンネルの乱数を直読みする処理（具体的には、乱数レジスタ３１８８の値を直接リードする処理）を実行して取得するようにしてもよい。続いて普図始動口２２８へ入賞があった場合、且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、普図当選乱数値生成用の乱数カウンタから値を普図当選乱数値として取得して対応する乱数値記憶領域に格納する。可変入賞口２３４へ入賞があった場合には、可変入賞口用の入賞記憶領域に、可変入賞口２３４に球が入球したことを示す情報を格納する。なお、本実施形態では、特図１および２のラッチされた乱数を取得するためのリード信号を出力する処理（乱数レジスタ３１８８の値を直接リードする処理とは異なる）を主制御部タイマ割込み処理において実行するように構成しているが、この処理に関しては上述した主制御部メイン処理において実行するように構成してもよく、この場合は、後述する特図関連抽選処理を合わせて主制御部メイン処理において実行するように構成すればよいく、特図１および２に対応するチャンネルの乱数値を直読みする処理を実行する場合においては、特図関連抽選処理のみを主制御部メイン処理おいて実行するように構成すればよい。
【１１５０】
ステップＳ４２１９では、払出要求数送信処理を行う。なお、払出制御部６００に出力する出力予定情報および払出要求情報は、例えば１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。
【１１５１】
ステップＳ４２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動

遊技）を行う。
【１１５２】
　また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、当り図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、外れ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理において各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制御を行うことで、普通図柄表示装置２１０は、当り図柄（図５（ｃ）に示す普図Ａ）および外れ図柄（図５（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。
【１１５３】
　また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２ａの開閉駆動用のソレノイド（３３２）に、羽根部材２３２ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。
【１１５４】
　また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。
【１１５５】
　また、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、ＲＡＭ３０８の設定領域に普図非作動中を設定する。さらに、普図変動遊技の結果が外れであれば、後述するように、普図外れフラグがオンされる。この普図外れフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ４２２３に移行するようにしている。
【１１５６】
　ステップＳ４２２３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶

する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【１１５７】

次いで、特図１および特図２それぞれについての特図状態更新処理を行うが、最初に、特図２についての特図状態更新処理（特図２状態更新処理）を行う（ステップＳ４２２５）。この特図２状態更新処理は、特図２の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図２変動表示の途中（上述の特図２表示図柄更新タイマの値が１以上）における特図２状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２の変動表示（特図２変動遊技）を行う。また、コマンド設定送信処理（ステップＳ４２３３）で回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。

【１１５８】

また、主制御部３００のＲＡＭ３０８の当否判定結果記憶領域には、１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグそれぞれのフラグが用意されている。特図２変動表示時間が経過したタイミング（特図２表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、１５Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には図５（ａ）に示す特図Ａ、１５Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｂ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には特図Ｃ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｄ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグはオンの場合には特図Ｅ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグもオフの場合には特図Ｆ、第１小当りフラグがオンの場合には特図Ｇ、第２小当りフラグがオンの場合には特図Ｈ、第１はずれフラグがオンの場合には特図Ｉ、第２はずれフラグがオンの場合には特図Ｉそれぞれの態様となるように、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２停止表示中であることを表す設定を行う。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当り図柄（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２が所定期間停止表示され、特図２変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた時短回数記憶部に記憶された時短回数が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中（詳細は後述）でなければ、時短フラグをオフする。さらに、大当り遊技中（特別遊技状態中）にも、時短フラグをオフする。

【１１５９】

また、コマンド設定送信処理（ステップＳ４２３３）で回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変動表示を停止する図柄が特図２であることを示す特図２識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【１１６０】

また、特図２変動遊技の結果が大当りであれば、後述するように、大当りフラグがオン

される。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ４２３３）で入賞演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１１６１】

また、所定の入賞演出期間が終了したタイミング（特図２待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ４２３３）で大入賞口開放設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１１６２】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ４２３３）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１１６３】

また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、普図確率変動フラグがオンに設定されていれば、この大当り遊技の終了と同時に、ＲＡＭ３０８に設けられた時短回数記憶部に時短回数１００回をセットするとともに、ＲＡＭ３０８に設けられた時短フラグをオンする。なお、その普図確率変動フラグがオフに設定されていれば、時短回数記憶部に時短回数をセットすることもなく、また時短フラグをオンすることもない。ここにいう時短とは、特図変動遊技における大当りを終了してから、次の大当りを開始するまでの時間を短くするため、パチンコ機が遊技者にとって有利な状態になることをいう。この時短フラグがオンに設定されていると、普図高確率状態である。普図高確率状態では普図低確率状態に比べて、普図変動遊技に大当りする可能性が高い。また、普図高確率状態の方が、普図低確率状態に比べて普図変動遊技の変動時間および特図変動遊技の変動時間は短くなる。さらに、普図高確率状態では普図低確率状態に比べて、第２特別始動口２３２の一対の羽根部材２３２ａの１回の開放における開放時間が長くなりやすい。加えて、普図高確率状態では普図低確率状態に比べて、一対の羽根部材２３２ａは多く開きやすい。また、上述のごとく、時短フラグは、大当り遊技中（特別遊技状態中）にはオフに設定される。したがって、大当り遊技中には、普図低確率状態が維持される。これは、大当り遊技中に普図高確率状態であると、大当り遊技中に可変入賞口２３４に所定の個数、遊技球が入球するまでの間に第２特図始動口２３２に多くの遊技球が入球し、大当り中に獲得することができる遊技球の数が多くなってしまい射幸性が高まってしまうという問題があり、これを解決するためのものである。

【１１６４】

さらに、コマンド設定送信処理（ステップＳ４２３３）で終了演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１１６５】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。さらに、特図２変動遊技の結果が外れであれば、後述するように、はずれフラグがオンされる。このはずれフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理でも、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。特図２非作動中の場合における特図２状態更新処理では、何もせずに次のステップＳ４２２７に移行するようにしている。

【１１６６】

続いて、特図１についての特図状態更新処理（特図１状態更新処理）を行う（ステップＳ４２２７）。この特図１状態更新処理では、特図１の状態に応じて、上述の特図２状態更新処理で説明した各処理を行う。この特図１状態更新処理で行う各処理は、上述の特図２状態更新処理で説明した内容の「特図２」を「特図１」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２状態更新処理と特図１状態更新処理の順番は逆でもよいし、第１特図始動口２３０または第２特図始動口２３２への入賞順序（入球順序）にしたがって、入賞（入球）の早い特図に対応する特図状態更新処理を優先して実行してもよい。

【１１６７】

ステップＳ４２２５およびステップＳ４２２７における特図状態更新処理が終了すると、今度は、特図１および特図２それぞれについての特図関連抽選処理を行う。ここでも先に、特図２についての特図関連抽選処理（特図２関連抽選処理）を行い（ステップＳ４２２９）、その後で、特図１についての特図関連抽選処理（特図１関連抽選処理）を行う（ステップＳ４２２９）。より具体的には、特図１および特図２それぞれにおいて、乱数生成回路３１８から取得した乱数値を、特図当選乱数加工用カウンタから取得した乱数値を用いて加工（例えば、乱数生成回路３１８から取得した乱数値に対して特図当選乱数加工用カウンタから取得した乱数値を加算する処理）を行い、加工された乱数値を用いて抽選を行う。なお、本実施例では、特図１および特図２それぞれにおいて、乱数生成回路３１８から取得した乱数値を特図当選乱数加工用カウンタから取得した乱数値を用いて加工するように構成しているが、このような加工を行うことなく、乱数生成回路から取得した乱数値を直に使用して特図関連抽選処理を行うように構成してもよい。すなわち、乱数生成回路３１８から取得した乱数値を用いた特図関連抽選処理を行うように構成すればよい。これらの特図関連抽選処理についても、主制御部３００が特図２関連抽選処理を特図１関連抽選処理よりも先に行うことで、特図２変動遊技の開始条件と、特図１変動遊技の開始条件が同時に成立した場合でも、特図２変動遊技が先に変動中となるため、特図１変動遊技は変動を開始しない。また、装飾図柄表示装置２０８による、特図変動遊技の大当り判定の結果の報知は、第１副制御部４００によって行われ、第２特図始動口２３２への入賞に基づく抽選の抽選結果の報知が、第１特図始動口２３０への入賞に基づく抽選の抽選結果の報知よりも優先して行われる。

【１１６８】

ステップＳ４２３３では、コマンド設定送信処理を行う。詳細は後述するが、このコマンド設定送信処理では、各種のコマンドを第１副制御部４００に送信する処理を行う。なお、第１副制御部４００では、主制御部３００から受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【１１６９】

ステップＳ４２３５では、外部出力信号設定処理を行う。この外部出力信号設定処理で

は、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【１１７０】

ステップＳ４２３７では、デバイス監視処理を行う。このデバイス監視処理では、ステップＳ４２０５において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、所定のエラーの有無、例えば前面枠扉開放エラーの有無または下皿満タンエラーの有無などを監視し、前面枠扉開放エラーまたは下皿満タンエラーを検出した場合に、第１副制御部４００に送信すべき送信情報に、前面枠扉開放エラーの有無または下皿満タンエラーの有無を示すデバイス情報を設定する。また、各種ソレノイド３３２を駆動して第２特図始動口２３２や、可変入賞口２３４の開閉を制御したり、表示回路３２４、３２６、３３０を介して普通図柄表示装置２１０、第１特別図柄表示装置２１２、第２特別図柄表示装置２１４、各種状態表示部３２８などに出力する表示データを、Ｉ／Ｏ３１０の出力ポートに設定する。また、払出要求数送信処理（ステップＳ４２１９）で設定した出力予定情報を出力ポート（Ｉ／Ｏ３１０）を介して第１副制御部４００に出力する。

【１１７１】

ステップＳ４２３９では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ４２４３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ４２４１に進む。

【１１７２】

ステップＳ４２４１では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ４２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、主制御部メイン処理に復帰する。

【１１７３】

一方、ステップＳ４２４３では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、主制御部メイン処理に復帰する。

＜第１副制御部４００の処理＞

【１１７４】

次に、図１４７を用いて、第１副制御部４００の処理について説明する。なお、同図（ａ）は、第１副制御部４００のＣＰＵ４０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第１副制御部４００のストローブ割込み処理のフローチャートである。同図（ｃ）は、第１副制御部４００のタイマ変数更新割込処理のフローチャートである。同図（ｄ）は、第１副制御部４００の画像制御処理のフローチャートである。

【１１７５】

まず、同図（ａ）のステップＳ４３０１では、各種の初期設定を行う。電源投入が行われると、まずＳ４３０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ４０８内の記憶領域の初期化処理等を行う。

【１１７６】

ステップＳ４３０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ４３０５の処理に移行する。ステップＳ４３０５では、タイマ変数に０を代入する。

【１１７７】

ステップＳ４３０７では、コマンド処理を行う。第１副制御部４００のＣＰＵ４０４は、主制御部３００からコマンドを受信したか否かを判別する。

【１１７８】

ステップＳ４３０９では、演出制御処理を行う。例えば、ステップＳ４３０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ４０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。

【１１７９】

ステップＳ４３１１では、チャンスボタンの押下を検出していた場合、ステップＳ４３

０９で更新した演出データをチャンスボタンの押下に応じた演出データに変更する処理を行う。ステップＳ４３１３では、ステップＳ４３０９で読み出した演出データの中にＶＤＰ４３４への命令がある場合には、この命令をＶＤＰ４３４に出力する（詳細は後述）。

【１１８０】

ステップＳ４３１５では、ステップＳ４３０９で読み出した演出データの中に音源ＩＣ４１６への命令がある場合には、この命令を音源ＩＣ４１６に出力する。ステップＳ４３１７では、ステップＳ４３０９で読み出した演出データの中に各種ランプ４１８への命令がある場合には、この命令を駆動回路４２０に出力する。

【１１８１】

ステップＳ４３１９では、ステップＳ４３０９で読み出した演出データの中に遮蔽装置２４６への命令がある場合には、この命令を駆動回路４３２に出力する。ステップＳ４３２１では、ステップＳ４３０９で読み出した演出データの中に第２副制御部５００に送信する制御コマンドがある場合には、この制御コマンドを出力する設定を行い、ステップＳ４３０３へ戻る。

【１１８２】

次に、同図（ｂ）を用いて、第１副制御部４００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第１副制御部４００が、主制御部３００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ４４０１では、主制御部３００が出力したコマンドを未処理コマンドとしてＲＡＭ４０８に設けたコマンド記憶領域に記憶する。

【１１８３】

次に、同図（ｃ）を用いて、第１副制御部４００のＣＰＵ４０４によって実行する第１副制御部タイマ割込処理について説明する。第１副制御部４００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。

【１１８４】

第１副制御部タイマ割込処理のステップＳ４５０１では、第１副制御部メイン処理におけるステップＳ４３０３において説明したＲＡＭ４０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ４３０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。

【１１８５】

第１副制御部タイマ割込処理のステップＳ４５０３では、ステップＳ４３１９で設定された第２副制御部５００への制御コマンドの送信や、演出用乱数値の更新処理等を行う。

【１１８６】

次に、同図（ｄ）を用いて、第１副制御部４００のメイン処理におけるステップＳ４３１３の画像制御処理について説明する。同図は、画像制御処理の流れを示すフローチャートを示した図である。

【１１８７】

ステップＳ４６０１では、画像データの転送指示を行う。ここでは、ＣＰＵ４０４は、まず、ＶＲＡＭ４３６の表示領域Ａと表示領域Ｂの描画領域の指定をスワップする。これにより、描画領域に指定されていない表示領域に記憶された１フレームの画像が装飾図柄表示装置２０８に表示される。次に、ＣＰＵ４０４は、ＶＤＰ４３４のアトリビュートレジスタに、位置情報等テーブルに基づいてＲＯＭ座標（ＲＯＭ４０６の転送元アドレス）、ＶＲＡＭ座標（ＶＲＡＭ４３６の転送先アドレス）などを設定した後、ＲＯＭ４０６からＶＲＡＭ４３６への画像データの転送開始を指示する命令を設定する。ＶＤＰ４３４は、アトリビュートレジスタに設定された命令に基づいて画像データをＲＯＭ４０６からＶＲＡＭ４３６に転送する。その後、ＶＤＰ４３６は、転送終了割込信号をＣＰＵ４０４に対して出力する。

【１１８８】

ステップＳ４６０３では、ＶＤＰ４３４からの転送終了割込信号が入力されたか否かを

判定し、転送終了割込信号が入力された場合はステップＳ４６０５に進み、そうでない場合は転送終了割込信号が入力されるのを待つ。ステップＳ４６０５では、演出シナリオ構成テーブルおよびアトリビュートデータなどに基づいて、パラメータ設定を行う。ここでは、ＣＰＵ４０４は、ステップＳ４６０１でＶＲＡＭ４３６に転送した画像データに基づいてＶＲＡＭ４３６の表示領域ＡまたはＢに表示画像を形成するために、表示画像を構成する画像データの情報（ＶＲＡＭ４３６の座標軸、画像サイズ、ＶＲＡＭ座標（配置座標）など）をＶＤＰ４３４に指示する。ＶＤＰ４３４はアトリビュートレジスタに格納された命令に基づいてアトリビュートに従ったパラメータ設定を行う。

【１１８９】

ステップＳ４６０７では、描画指示を行う。この描画指示では、ＣＰＵ４０４は、ＶＤＰ４３４に画像の描画開始を指示する。ＶＤＰ４３４は、ＣＰＵ４０４の指示に従ってフレームバッファにおける画像描画を開始する。

【１１９０】

ステップＳ４６０９では、画像の描画終了に基づくＶＤＰ４３４からの生成終了割込み信号が入力されたか否かを判定し、生成終了割込み信号が入力された場合はステップＳ４６１１に進み、そうでない場合は生成終了割込み信号が入力されるのを待つ。ステップＳ４６１１では、ＲＡＭ４０８の所定の領域に設定され、何シーンの画像を生成したかをカウントするシーン表示カウンタをインクリメント（＋１）して処理を終了する。

＜第２副制御部５００の処理＞

【１１９１】

次に、図１４８を用いて、第２副制御部５００の処理について説明する。なお、同図（ａ）は、第２副制御部５００のＣＰＵ５０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第２副制御部５００のコマンド受信割込処理のフローチャートである。同図（ｃ）は、第２副制御部５００のタイマ割込処理のフローチャートである。

【１１９２】

まず、同図（ａ）のステップＳ４７０１では、各種の初期設定を行う。電源投入が行われると、まずＳ４７０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ５０８内の記憶領域の初期化処理等を行う。

【１１９３】

ステップＳ４７０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ４７０５の処理に移行する。

【１１９４】

ステップＳ４７０５では、タイマ変数に０を代入する。ステップＳ４７０７では、コマンド処理を行う。第２副制御部５００のＣＰＵ５０４は、第１副制御部４００のＣＰＵ４０４からコマンドを受信したか否かを判別する。ステップＳ４７０９では、演出制御処理を行う。例えば、Ｓ４７０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ５０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。

【１１９５】

ステップＳ４７１１では、第１副制御部４００からの遊技盤用ランプ５３２や遊技台枠用ランプ５４２への命令がある場合には、この命令をシリアル通信制御回路５２０に出力する。

【１１９６】

ステップＳ４７１３では、第１副制御部４００からの演出可動体２２４への命令がある場合には、この命令を駆動回路５１６に出力し、Ｓ４７０３に戻る。次に、同図（ｂ）を用いて、第２副制御部５００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第２副制御部５００が、第１副制御部４００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ４８０１では、第１副制御部４００が出力したコマンドを未処理コマンドとしてＲＡＭ５０８に設けたコ

マンド記憶領域に記憶する。
【１１９７】
次に、同図（ｃ）を用いて、第２副制御部５００のＣＰＵ５０４によって実行する第２副制御部タイマ割込処理について説明する。第２副制御部５００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。
【１１９８】
第２副制御部タイマ割込処理のステップＳ４９０１では、第２副制御部メイン処理におけるステップＳ４７０３において説明したＲＡＭ５０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ４７０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。第２副制御部タイマ割込処理のステップＳ４９０３では、演出用乱数値の更新処理等を行う。
＜コマンド設定送信処理＞
【１１９９】
次に、上述の主制御部タイマ割込処理におけるコマンド設定送信処理（ステップＳ４２３３）について説明する。図１４９は、コマンド設定送信処理の流れを示すフローチャートである。
【１２００】
このコマンド設定送信処理のステップＳ４２３３ａでは、大当り中用コマンド送信処理を行う。詳細は後述するが、この大当り中用コマンド送信処理では、大当り遊技中に第１副制御部４００に送信するコマンドの設定を行う。また、次のステップＳ４２３３ｂでは、その他のコマンド（例えば、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、復電コマンドなど）を設定するコマンド設定送信処理を行った後に、処理を終了する。
＜大当り中用コマンド送信処理＞
【１２０１】
次に、上述のコマンド設定送信処理における大当り中用コマンド送信処理（ステップＳ４２３３ａ）について説明する。図１５０は、大当り中用コマンド送信処理の流れを示すフローチャートである。
【１２０２】
この大当り中用コマンド送信処理のステップＳ５１０１では、ＲＡＭ３０８に設けたコマンド格納領域をクリア（初期化）する。また、ステップＳ５１０２では、大当り遊技の進行状況（大当り遊技の開始時、ラウンド開始時、ラウンド終了時、大当り遊技の終了時など）や、大当り時の特図の種類などに基づいて、ＲＯＭ３０６に予め記憶している複数種類のコマンドデータの中から、特定のコマンドデータを抽出する。また、抽出したコマンドデータが記憶されている記憶領域の先頭番地を、ＲＡＭ３０８に設けた転送元番地記憶領域に転送元番地として設定（記憶）する。なお、ここでは、転送元番地を一時的に記憶する記憶手段としてＲＡＭ３０８を適用しているが、レジスタなどの他の記憶手段を適用してもよい（以下に説明する転送先番地や転送数なども同様である）。
【１２０３】
次に、ステップＳ５１０３では、コマンド格納領域の先頭番地を、ＲＡＭ３０８に設けた転送先番地記憶領域に転送先番地として設定（記憶）し、ステップＳ５１０４では、コマンドデータのバイト数を、ＲＡＭ３０８に設けた転送数記憶領域に転送数として設定（記憶）する。
【１２０４】
ステップＳ５１０５では、ブロック転送処理を行う。詳細は後述するが、このブロック転送処理では、転送元番地に設定された記憶領域に記憶されたデータを、転送先番地に設定された記憶領域に転送する処理等を行う。ステップＳ５１０６では、コマンド格納領域に転送されたコマンドを第１副制御部４００に送信した後に処理を終了する。なお、コマンドを第１副制御部４００に送信する処理は、上述の主制御部メイン処理で実行してもよ

い。
＜ブロック転送処理＞
【１２０５】
次に、上述の大当り中用コマンド送信処理におけるブロック転送処理（ステップＳ５１０５）について説明する。図１５１は、ブロック転送処理の流れを示すフローチャートである。
【１２０６】
このブロック転送処理のステップＳ５２０１では、上述の転送数に応じて補正時間を設定する。詳細は、図１５６を用いて説明するが、例えば、転送数が１の場合には、転送数が１の場合に要するブロック転送処理の処理時間と、転送数が３の場合に要するブロック転送処理の処理時間との差を補正時間として設定し、転送数が２の場合には、転送数が２の場合に要するブロック転送処理の処理時間と、転送数が３の場合に要するブロック転送処理の処理時間との差を補正時間として設定する。
【１２０７】
ステップＳ５２０２では、コマンドデータのうち、上述の転送元番地が示す記憶領域に記憶されたデータを、コマンド格納領域のうち、上述の転送先番地が示す記憶領域に転送する。ステップＳ５２０３では、転送元番地を１つ加算し、ステップＳ５２０４では、転送先番地を１つ加算する。
【１２０８】
また、ステップＳ５２０５では、転送数から１を減算し、ステップＳ５２０６では、減算後の転送数が０であるか否かを判定し、該当する場合（コマンドデータの転送が全て完了した場合）にはステップＳ５２０７に進み、該当しない場合（コマンドデータの転送が残っている場合）にはステップＳ５２０２に戻ってブロック転送処理を継続する。ステップＳ５２０７では、ステップＳ５２０１で設定した補正時間が経過するのを待ってから処理を終了する。
＜コマンドテーブル＞
【１２０９】
次に、ＲＯＭ３０６に予め記憶されるコマンドテーブルについて説明する。図１５２（ａ）～（ｄ）は、大当り遊技中に参照されるコマンドテーブルの一例を示した図である。
【１２１０】
これらのコマンドテーブルは、ＲＯＭ３０６に予め記憶されており、固定長（この例では、１バイト長）の先頭番地と、固定長（この例では、１バイト長）のバイト数と、可変長のコマンドデータ（この例では、１バイト長のコマンド識別子と、可変長のコマンドパラメータ）で構成される。
【１２１１】
先頭番地は、コマンドデータのうち、１バイト目のコマンドデータ（この例では、コマンド識別子）が記憶されるＲＯＭ３０６の番地を示しており、例えば、同図（ａ）に示す大当り開始コマンド１の１バイト目のコマンドデータ（１１Ｈ）は、ＲＯＭ３０６の番地１００に記憶されていることを示している。また、バイト数は、コマンドデータのデータ長を示しており、例えば、同図（ａ）に示す大当り開始コマンド１のコマンドデータのデータ長は２バイトであることを示している。
【１２１２】
同図（ａ）は、大当り遊技の開始時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、大当り遊技の開始時に送信される大当り開始コマンド１～６の２バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（１１Ｈ）は、大当り開始コマンドであることを示している。また、コマンドデータの２バイト目には、大当り図柄識別用情報が記憶され、それぞれ、０１Ｈは特図Ａ、０２Ｈは特図Ｂ、０３Ｈは特図Ｃ、０４Ｈは特図Ｄ、０５Ｈは特図Ｅ、０６Ｈは特図Ｆであることを示している。
【１２１３】

同図（ｂ）は、大当り遊技のラウンド開始時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、大当り遊技のラウンド開始時に送信されるラウンド開始コマンド１～２９の３バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（１２Ｈ）は、ラウンド開始コマンドであることを示している。また、コマンドデータの２バイト目には、大当り図柄識別用情報が記憶され、それぞれ、０１Ｈは特図Ａ、０２Ｈは特図Ｂ、０３Ｈは特図Ｃ、０４Ｈは特図Ｄ、０５Ｈは特図Ｅ、０６Ｈは特図Ｆであることを示している。また、コマンドデータの３バイト目には、ラウンド数識別用情報が記憶され、ラウンド数を１６進数で示している。

【１２１４】

同図（ｃ）は、大当り遊技のラウンド終了時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、大当り遊技のラウンド終了時に送信されるラウンド終了コマンド１～１５の２バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（１３Ｈ）は、ラウンド終了コマンドであることを示している。また、コマンドデータの２バイト目には、ラウンド数識別用情報が記憶され、ラウンド数を１６進数で示している。

【１２１５】

同図（ｄ）は、大当り遊技の終了時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、大当り遊技の終了時に送信される大当り終了コマンド１の１バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（１４Ｈ）は、大当り終了コマンドであることを示している。なお、この大当り終了コマンドはコマンドパラメータが無いコマンドである。

＜本発明と従来技術との対比＞

【１２１６】

次に、本発明と従来技術の違いについて説明する。図１５３は、本発明の特徴部分のみを抜き出して示したフローチャートである。

【１２１７】

同図に示すように、上述の大当り中用コマンド送信処理のうち、ステップＳ５１０４の処理（転送数に応じて補正時間を設定する処理）の直後から、ステップＳ５１０６の処理（コマンド送信処理）の直前までに実行されるブロック転送処理は、処理Ｘ、処理Ｙ、処理Ｚの３つに分けて考えることができる。

【１２１８】

処理Ｘは、ステップＳ５２０１の処理（転送数に応じて補正時間を設定する処理）の直後から、ステップＳ５２０６の処理（転送数が０であるか否かを判定し、判定結果に応じてステップＳ５２０２またはＳ５２０７にジャンプする処理：以下、条件分岐処理と称する場合がある）の直前までに実行される処理であり、ステップＳ５２０２～Ｓ５２０５の複数の処理で構成される。処理Ｙは、ステップＳ５２０６の処理（条件分岐処理）の直前から、このステップＳ５２０６の処理（条件分岐処理）の直後までの処理、すなわち、ステップＳ５２０６の処理（条件分岐処理）で構成される。処理Ｚは、ステップＳ５２０６の処理（条件分岐処理）の直後から、ステップＳ５２０７の処理（補正時間待機処理）を少なくとも含み、ステップＳ５１０６の処理（コマンド送信処理）の直前までの処理で構成される。

【１２１９】

図１５４（ａ）、（ｂ）は、本発明の特徴部分を上記図１５３とは異なる視点で示したフローチャートである。同図（ａ）に示すように、上述の大当り中用コマンド送信処理は、ステップＳ５３０１～Ｓ５３０５の処理に分けて考えることができる。具体的には、ステップＳ５３０１は、第１の処理の準備処理（条件設定処理）であり、例えば、上記図１５３のステップＳ５２０１の処理（転送数に応じて補正時間を設定する処理）などが該当する。

【１２２０】

また、ステップＳ５３０２は、第１の処理（条件分岐処理）であり、例えば、上記図１

５３のステップＳ５２０６の処理（条件分岐処理）が該当する。ステップＳ５３０３は、第２の処理（第１の処理内容）であり、例えば、上記図１５３のステップＳ５２０２～Ｓ５２０５の複数の処理（処理Ｘのうち、ステップＳ５２０６の処理（条件分岐処理）の後に実行される処理Ｘ）が該当する。

【１２２１】

また、ステップＳ５３０４は、第２の処理（第２の処理内容）であり、例えば、上記図１５３のステップＳ５２０７の処理（補正時間待機処理）を少なくとも含んだ、ステップＳ５１０６の処理（コマンド送信処理）の直前までの処理（処理Ｚ）が該当する。なお、このステップＳ５３０４の第２の処理（第２の処理内容）には、同図（ｂ）に示すように、条件分岐処理から第３の処理に分岐（ジャンプ）だけの処理も含まれ、演算命令、入出力命令、ロード命令のように、レジスタ、メモリ、スタック、Ｉ／Ｏなどを操作する命令には限定されない。

【１２２２】

また、第１の処理と第２の処理は、複数の命令（例えば、所定の条件を判断する第１の命令、条件が成立した場合に処理Ａを実行する第２の命令、条件が成立しなかった場合に処理Ｂを実行する第３の命令）で構成する場合に限定されず、単一の命令（例えば、所定の条件を判断し、条件が成立した場合に処理Ａを実行し、条件が成立しなかった場合に処理Ｂを実行する命令）で実行可能に構成してもよい。このように、一つの命令で第１の処理と第２の処理を実行可能とすれば、第１の処理と第２の処理に対応するプログラムコード量を削減することができたり、第１の処理と第２の処理を実行するために必要なステート数を削減できる場合がある。

【１２２３】

さらに、単一の命令のバリエーションとして、例えば、所定の条件を判断し、条件が成立した場合に処理Ｂを実行し、条件が成立しなかった場合に処理Ａを実行する命令を備えれば、所定の条件に応じて命令を使い分けることができ、プログラムを簡素化することができる場合がある。また、所定の演算を行い、演算結果が第１の結果の場合に処理Ａを実行し、演算結果が第２の結果の場合に処理Ｂを実行する命令や、所定の演算を行い、演算結果が第１の結果の場合に処理Ｂを実行し、演算結果が第２の結果の場合に処理Ａを実行する命令を備えれば、コーディングの利便性が高まり、プログラムの開発期間を短縮化できる場合がある。また、所定の条件を判断し、条件が成立した場合に処理Ａに分岐し、条件が成立しなかった場合に処理Ｂに分岐する命令や、所定の演算を行い、演算結果が第１の結果の場合に処理Ａに分岐し、演算結果が第２の結果の場合に処理Ｂに分岐する命令を備えてもよい。

【１２２４】

また、ステップＳ５３０５は、第３の処理であり、例えば、上記図１５３のステップＳ５１０６の処理（コマンド送信処理）が該当する。なお、第３の処理の処理内容は特に限定されず、上述の第２の処理（第１の処理内容）および第２の処理（第２の処理内容）の直後に実行される処理であればよい。

【１２２５】

一方、図１５５は、本発明の特徴部分に対応する従来技術の処理の流れを示したフローチャートであり、上記図１５３に対応するフローチャートである。この従来技術の処理を上記図１５３のフローチャートと同様に考えると、上述の大当り中コマンド送信処理に相当する処理のうち、ステップＳ５４０１の処理（転送数としてコマンドのバイト数を設定する処理）の直後から、ステップＳ５４０７の処理（コマンド送信処理）の直前までに実行される処理は、処理Ｘ´、処理Ｙ´、処理Ｚ´の３つに分けて考えることができる。

【１２２６】

処理Ｘ´は、ステップＳ５４０１の処理（転送数としてコマンドのバイト数を設定する処理）の直後から、ステップＳ５４０６の処理（転送数が０であるか否かを判定し、判定結果に応じてステップＳ５４０２またはＳ５４０７にジャンプする処理：以下、条件分岐処理と称する場合がある）の直前までに実行される処理であり、ステップＳ５４０２～Ｓ

５４０５の複数の処理で構成される。処理Ｙは、ステップＳ５４０６の処理（条件分岐処理）の直前から、このステップＳ５４０６の処理（条件分岐処理）の直後までの処理、すなわち、ステップＳ５４０６の処理（条件分岐処理）で構成される。処理Ｚは、ステップＳ５４０６の処理（条件分岐処理）の直後から、ステップＳ５４０７の処理（コマンド送信処理）の直前までの処理で構成される。

【１２２７】

図１５６（ａ）は、本発明に係る大当り中用コマンド送信処理においてブロック転送を行う場合の所要時間を示した図であり、同図（ｂ）は、従来技術に係る大当り中用コマンド送信処理においてブロック転送を行う場合の所要時間を示した図である。

【１２２８】

同図（ｂ）に示すように、従来技術に係る大当り中用コマンド送信処理では、ステップＳ５４０１において転送バイト数として１を設定した場合、第１の処理（処理Ｙ′）のみを行うため、所要時間の合計は処理Ｙ′（１回）の処理時間Ｔ１となる。また、ステップＳ５４０１において転送バイト数として２を設定した場合、第１の処理（処理Ｙ′）を２回と、第２の処理（処理Ｘ′のうち、ステップＳ５４０６の処理（条件分岐処理）の後に実行される処理Ｘ′）を１回行うため、所要時間の合計は処理Ｙ′（２回）の処理時間Ｔ１×２と処理Ｘ′（１回）の処理時間Ｔ２を合算した処理時間Ｔ１×２＋Ｔ２となる。また、ステップＳ５４０１において転送バイト数として３を設定した場合、第１の処理（処理Ｙ′）を３回と、第２の処理（処理Ｘ′のうち、ステップＳ５４０６の処理（条件分岐処理）の後に実行される処理Ｘ′）を２回行うため、所要時間の合計は処理Ｙ′（１回）の処理時間Ｔ１×３と処理Ｘ′（２回）の処理時間Ｔ２×２を合算した処理時間Ｔ１×３＋Ｔ２×２となる。

【１２２９】

すなわち、従来技術に係る大当り中用コマンド送信処理では、転送バイト数によって処理時間が異なっている。このため、転送バイト数の違いによる処理時間の差を考慮した作業をしなければならず、作業が煩雑になり開発期間の短縮化が極めて困難である。

【１２３０】

一方、本発明に係る大当り中用コマンド送信処理では、ステップＳ５１０４において転送バイト数として１を設定した場合、第１の処理（処理Ｙ）と、第２の処理（処理Ｚに含まれる補正時間待機処理）を行うため、所要時間の合計は処理Ｙ（１回）の処理時間Ｔ３と、処理Ｚに含まれる補正時間待機処理の処理時間Ｔ３×２＋Ｔ４×２（２バイト分）を合算した処理時間Ｔ３×３＋Ｔ４×２となる。また、ステップＳ５１０４において転送バイト数として２を設定した場合、第１の処理（処理Ｙ）を２回と、第２の処理（処理Ｘのうち、ステップＳ５２０６の処理（条件分岐処理）の後に実行される処理Ｘ）を１回と、第２の処理（処理Ｚに含まれる補正時間待機処理）を行うため、所要時間の合計は処理Ｙ（１回）の処理時間Ｔ３×２と、処理Ｘ（１回）の処理時間Ｔ４と、処理Ｚに含まれる補正時間待機処理の処理時間Ｔ３＋Ｔ４（１バイト分）を合算した処理時間Ｔ３×３＋Ｔ４×２となる。また、ステップＳ５１０４において転送バイト数として３を設定した場合、第１の処理（処理Ｙ）を３回と、第２の処理（処理Ｘのうち、ステップＳ１２０６の処理（条件分岐処理）の後に実行される処理Ｘ）を２回行うため、所要時間の合計は処理Ｙ（１回）の処理時間Ｔ３×３と、処理Ｘ（２回）の処理時間Ｔ４×２を合算した処理時間Ｔ３×３＋Ｔ４×２となる。

【１２３１】

すなわち、本発明に係る大当り中用コマンド送信処理では、転送バイト数に関わらず処理時間が同一（Ｔ３×３＋Ｔ４×２）となっている。このため、上述の従来技術の課題を解決することが可能であり、具体的には、転送バイト数の違いによる処理時間の差がなくなり、デバックやテストで確認しなければならないパターンが大幅に削減できるため、デバックやテストの作業時間を短縮することができる上に、処理時間の差を考慮する必要がなくなるため、プログラム設計を簡素化することができる。

【１２３２】

また、第１の処理と第２の処理に続く第３の処理の開始タイミング（第１の処理を開始する直前のタイミングを基準として、第３の処理が開始されるタイミング）を転送バイト数に関わらず同一にすることができるため、転送バイト数の違いによる第３の処理の開始タイミングの差がなくなり、デバックやテストで確認しなければならないパターンが大幅に削減できるため、デバックやテストの作業時間を短縮することができる上に、開始タイミングの差を考慮する必要がなくなるため、プログラム設計を簡素化することができる。

【１２３３】

なお、上記図１５３および１５４では、補正時間待機処理を第２の処理に含める例を示したが、補正時間待機処理は、第１の処理準備処理（条件設定処理）の直後から第３の処理の直前までに実行すればよく、図１５７（ａ）、（ｂ）に示すように、補正時間待機処理を、補正時間待機処理配置位置１～７で示される位置のいずれかに配置してもよい。

＜割込み処理の処理時間＞

【１２３４】

次に、割込み処理の処理時間について説明する。図１５８（ａ）、（ｂ）は割込み処理の流れを模式的に示した図である。割込み処理が複数の処理（例えば、処理１、処理２、処理３、・・・、処理Ｘ）で構成されている場合、各々の処理の処理時間は割込みタイミングによって異なるため、例えば、同図（ａ）に示す例では、割込みタイミング１に比べて、割込みタイミング２における処理１、処理２、処理３の処理時間が短くなっている結果、これらの処理の後に実行される処理Ｘの実行開始タイミングが、割込みタイミング１と割込みタイミング２で異なっている。また、同図（ｂ）に示す例では、割込みタイミング１に比べて、割込みタイミング２における処理２処理時間が短くなっている結果、これらの処理の後に実行される処理Ｘの実行開始タイミングが、割込みタイミング１と割込みタイミング２で異なっている。

【１２３５】

このような割込み処理（例えば、上述の主制御部タイマ割込処理）を設計する場合、この割込み処理によって割り込まれる処理（例えば、上述の主制御部メイン処理）のリアルタイム性を確保するために、割込み処理の最大処理時間を考慮する必要がある。例えば、同図（ａ）、（ｂ）の上段に示す割込みタイミング１が最大処理時間を示していると仮定すると、他の割込みタイミングでの処理が全て同図（ａ）、（ｂ）の下段に示す割込みタイミング２のように、割込みタイミング１の最大処理時間以内に収まるかどうか、さらには、処理Ｘが同一のタイミングで実行開始できるかどうかなどを検証しなければならない。

【１２３６】

上述のとおり、従来技術に係る大当り中用コマンド送信処理では、転送バイト数によって処理時間が異なっている。このため、このような処理を割込み処理に含めた場合には、デバッグやテストにおいて転送バイト数の違いによる処理時間の差を考慮した作業をしなければならず、作業が煩雑になり開発期間の短縮化が極めて困難である。

【１２３７】

一方、本発明に係る大当り中用コマンド送信処理では、転送バイト数に関わらず処理時間が同一となっている。このため、このような処理を割込み処理に含めた場合でも、当該処理については処理時間の差を考慮する必要が無く、デバックやテストで確認しなければならないパターンが大幅に削減できるため、デバックやテストの作業時間を短縮することができる上に、処理時間の差を考慮する必要がなくなるため、プログラム設計を簡素化することができる。

【１２３８】

さらに、タイマ割込み処理は、通常、予め定めた所定の周期で実行できるように設計されるが、予期しない事象が発生した場合（例えば、割込み処理に含まれる処理の一部に想定以上の処理時間がかかってしまった場合や、優先順位の高い割込み処理によって想定以上の待ち時間が発生してしまった場合など）には、いわゆる揺らぎ（ジッター）が生じてしまうことがある。このような揺らぎが発生した場合、所定の周期で実行されるべき処理

が実行できない事態が生じうるが、本発明によれば、割込み処理内の処理時間の統一を図ることができるため、このような時間の揺らぎを無くし、処理の実行開始タイミングを同一にすることができる場合がある。

【１２３９】

特に、パチンコ機１００においては、上記ステップＳ４２０５の入力ポート状態更新処理（球検出センサの検出信号を入力して検出信号の有無を監視する処理）や、スロットマシン１１００においては、ステップＳ２２０５の入力ポート状態更新処理（各種センサ１３１８のセンサ回路１３２０の検出信号を入力して検出信号の有無を監視する処理）や、ステップＳ２２１１のコマンド設定送信処理（各種モータに関する制御データを他の制御部に送信する処理）などの実行開始タイミングを割込みタイミングによらずに同一にすることが可能となるため、遊技制御の安定化を図ることができ、遊技の公平性を担保できる場合がある。

＜コマンド設定送信処理＞

【１２４０】

次に、上述の図７１に示す主制御部タイマ割込処理におけるコマンド設定送信処理（ステップＳ２２１１）について説明する。図１５９は、コマンド設定送信処理の流れを示すフローチャートである。

【１２４１】

このコマンド設定送信処理のステップＳ２２１１ａでは、ＲＡＭ１３０８に設けたコマンド格納領域をクリア（初期化）する。また、ステップＳ２２１１ｂでは、遊技の進行状況（遊技開始時、レバー受付時、左リール停止時、中リール停止時、右リール停止時、全リール停止時ど）などに基づいて、ＲＯＭ１３０６に予め記憶している複数種類のコマンドデータの中から、特定のコマンドデータを抽出する。また、抽出したコマンドデータが記憶されている記憶領域の先頭番地を、ＲＡＭ１３０８に設けた転送元番地記憶領域に転送元番地として設定（記憶）する。なお、ここでは、転送元番地を一時的に記憶する記憶手段としてＲＡＭ１３０８を適用しているが、レジスタなどの他の記憶手段を適用してもよい（以下に説明する転送先番地や転送数なども同様である）。

【１２４２】

次に、ステップＳ２２１１ｃでは、コマンド格納領域の先頭番地を、ＲＡＭ１３０８に設けた転送先番地記憶領域に転送先番地として設定（記憶）し、ステップＳ２２１１ｄでは、コマンドデータのバイト数を、ＲＡＭ１３０８に設けた転送数記憶領域に転送数として設定（記憶）する。

【１２４３】

ステップＳ２２１１ｅでは、ブロック転送処理を行う。なお、このブロック転送処理は、上記図１５１を用いて説明したブロック転送処理と同一であるため説明は省略する。ステップＳ２２１１ｆでは、コマンド格納領域に転送されたコマンドを第１副制御部１４００に送信した後に処理を終了する。なお、コマンドを第１副制御部１４００に送信する処理は、上述の主制御部メイン処理で実行してもよい。

＜コマンドテーブル＞

【１２４４】

次に、ＲＯＭ１３０６に予め記憶されるコマンドテーブルについて説明する。図１６０（ａ）～（ｄ）は、遊技中に参照されるコマンドテーブルの一例を示した図である。

【１２４５】

これらコマンドテーブルは、ＲＯＭ１３０６に予め記憶されており、固定長（この例では、１バイト長）の先頭番地と、固定長（この例では、１バイト長）のバイト数と、可変長のコマンドデータ（この例では、１バイト長のコマンド識別子と、可変長のコマンドパラメータ）で構成される。

【１２４６】

先頭番地は、コマンドデータのうち、１バイト目のコマンドデータ（この例では、コマンド識別子）が記憶されるＲＯＭ１３０６の番地を示しており、例えば、同図（ａ）に示

す遊技開始コマンド１の１バイト目のコマンドデータ（Ａ１Ｈ）は、ＲＯＭ１３０６の番地１０００に記憶されていることを示している。また、バイト数は、コマンドデータのデータ長を示しており、例えば、同図（ａ）に示す遊技開始コマンド１のコマンドデータのデータ長は２バイトであることを示している。

【１２４７】

同図（ａ）は、遊技開始時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、遊技開始時に送信される遊技開始コマンド１～２の２バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ１Ｈ）は、遊技開始コマンドであることを示している。また、コマンドデータの２バイト目には、再遊技識別用情報が記憶され、それぞれ、０１Ｈは再遊技作動あり、０２Ｈは再遊技作動無しであることを示している。

【１２４８】

同図（ｂ）は、レバー（スタートレバー１１３５）の受付時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、レバー受付時に送信されるレバー受付コマンド１～１２の３バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ３Ｈ）は、レバー受付コマンドであることを示している。また、コマンドデータの２バイト目には、遊技状態識別用情報が記憶され、それぞれ、０１Ｈは通常状態中、０２ＨはＢＢ中、０３ＨはＲＢ中、０４Ｈはボーナス内部当選中であることを示している。また、コマンドデータの３バイト目には、当選役識別用情報が記憶され、それぞれ、０１Ｈはハズレ、０２Ｈは小役、０３Ｈは再遊技役、０４ＨはＲＢ、０５ＨはＢＢであることを示している。

【１２４９】

同図（ｃ）は、左リール１１０の停止時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、左リール１１０の停止時に送信される左リール停止コマンド１の１バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ４Ｈ）は、左リール停止コマンドであることを示している。なお、この左リール停止コマンドはコマンドパラメータが無いコマンドである。

【１２５０】

同図（ｄ）は、中リール１１１の停止時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、中リール１１１の停止時に送信される中リール停止コマンド１の１バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ５Ｈ）は、中リール停止コマンドであることを示している。なお、この中リール停止コマンドはコマンドパラメータが無いコマンドである。

【１２５１】

同図（ｅ）は、右リール１１２の停止時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、右リール１１２の停止時に送信される右リール停止コマンド１の１バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ６Ｈ）は、右リール停止コマンドであることを示している。なお、この右リール停止コマンドはコマンドパラメータが無いコマンドである。

【１２５２】

同図（ｆ）は、全リール停止時に参照されるコマンドテーブルの一例である。このコマンドテーブルには、全リール１１０～１１２の停止時に送信される全リール停止コマンド１～５の２バイト長のコマンドデータが規定され、コマンドデータの１バイト目に記憶されたコマンド識別子（Ａ７Ｈ）は、全リール停止コマンドであることを示している。また、コマンドデータの２バイト目には、当選役識別用情報が記憶され、それぞれ、０１Ｈはハズレ、０２Ｈは小役、０３Ｈは再遊技役、０４ＨはＲＢ、０５ＨはＢＢであることを示している。

【１２５３】

このようなスロットマシン１１００の主制御部１３００に対しても、次に説明する本発明の特徴点の一つ、複数、または全てを適用することができる。

【１２５４】
以上説明したように、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技に関する複数の処理を実行する遊技制御手段（例えば、主制御部３００（または主制御部１３００）を備えた遊技台であって、前記遊技制御手段は、第一処理（例えば、図１５４（ａ）の第１の処理）、該第一処理の要求に応じて処理の内容が第一の内容および第二の内容のうちの一方の内容となる第二処理（例えば、図１５４（ａ）の第２の処理）、第三処理（例えば、図１５４（ａ）の第３の処理）の順に処理を実行し、前記第二処理の内容が前記第一の内容（例えば、図１５４（ａ）の第１の処理内容）および前記第二の内容（例えば、図１５４（ａ）の第２の処理内容）のうちいずれの場合であっても同一のタイミングで（例えば、図１５４（ａ）の第１の処理の準備処理（条件設定処理）の開始直前を基準として、第３の処理が開始されるタイミングが同一のタイミングで、または、図１５４（ａ）の第１の処理（条件分岐処理）の開始直前を基準として、第３の処理が開始されるタイミングが同一のタイミングで、など）前記第三処理の実行を開始することを特徴とする遊技台である。
【１２５５】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、第２の処理の内容が違っていても第２の処理の処理時間の差をなくすことができ、デバックやテストで確認しなければならないパターンが大幅に削減できるため、デバックやテストの作業時間を短縮することができる上に、処理時間の差を考慮する必要がなくなるため、プログラム設計を簡素化することができる場合がある。また、遊技制御手段において処理状況に応じた分岐処理を行いつつも、遊技制御の安定化を図ることができる場合がある。
【１２５６】
また、前記遊技制御手段は、前記第三処理として前記第二処理の内容に応じて第三の内容および第四の内容のうち一方の内容を実行し、前記第二処理において前記第一の内容を実行した場合には、前記第三処理として前記第三の内容を実行し、前記第二処理において前記第二の内容を実行した場合には、前記第三処理として前記第四の内容を実行してもよい。
【１２５７】
このような構成とすれば、分岐処理の結果、異なる処理が実行される場合においても遊技制御の安定化を図ることができる場合がある。
【１２５８】
なお、本実実施形態に係るパチンコ機１００においては大当り中用コマンド送信処理を例に挙げ、本実施形態に係るスロットマシン１１００においては、コマンド設定送信処理を例に挙げたが、このような処理に限らず、様々な処理や命令に適用可能である。
＜主制御部の第５特殊命令＞
【１２５９】
次に、主制御部３００が備える第５特殊命令について説明する。図１６１は、主制御部３００が備える第５特殊命令の一部と、その説明を示した図である。
＜第５特殊命令／ＷＡＲＵ命令＞
【１２６０】
第５特殊命令の一つである「ＷＡＲＵ　ｒ、Ａ、ｎ（ｎ：イミディエイト値）」命令は、第３オペランドが示す数値ｎで第２オペランドが示すＡレジスタに記憶されたデータを除算し、除算結果の商を第１オペランドｒが示すレジスタ（Ｂ、Ｃ、Ｄ、Ｅ、Ｈ、Ｌレジスタのいずれかのレジスタ）に格納し、除算結果の余りを第２オペランドが示すＡレジスタに格納する命令である。また、除算結果の余りが０の場合にＺフラグ、ＳＺフラグが１にセットされ、除算結果の余りが０以外の場合にＺフラグ、ＳＺフラグが０にセットされる。また、除数が０の場合にＣフラグが１にセットされ、かつ商と余りがＦＦＨ（２バイトの場合はＦＦＦＦＨ）となり、除数が０以外の場合にＣフラグが０にセットされる。
【１２６１】
また、「ＷＡＲＵ　Ａ、ｒ」命令は、第２オペランドが示すレジスタｒに記憶されたデ

ータで第１オペランドが示すＡレジスタに記憶されたデータを除算し、除算結果の商を第１オペランドが示すＡレジスタに格納し、除算結果の余りを第２オペランドが示すレジスタｒに格納する命令である。また、「ＷＡＲＵ　ｓｓ、ＨＬ」命令は、第２オペランドが示すペアレジスタＨＬに記憶されたデータで第１オペランドが示すｓｓレジスタ（ＢＣ、ＤＥレジスタ）に記憶されたデータを除算し、除算結果の商を第１オペランドが示すｓｓレジスタに格納し、除算結果の余りを第２オペランドが示すペアレジスタＨＬに格納する命令である。また、「ＷＡＲＵ　ＨＬ、ｓｓ」命令は、第２オペランドが示すペアレジスタｓｓ（ＢＣ、ＤＥレジスタ）に記憶されたデータで第１オペランドが示すＨＬレジスタに記憶されたデータを除算し、除算結果の商を第１オペランドが示すＨＬレジスタに格納し、除算結果の余りを第２オペランドが示すペアレジスタｓｓに格納する命令である。

＜第５特殊命令／ＪＰ命令＞

【１２６２】

第５特殊命令の一つである「ＪＰ　ＳＺ、ｍｎ命令」は、ＳＺフラグが１の場合にｍｎが示すアドレスにジャンプし、ＳＺフラグが０の場合に後続の処理を継続する命令であり、「ＪＰ　ＮＳＺ、ｍｎ命令」は、ＳＺフラグが０の場合にｍｎが示すアドレスにジャンプし、ＳＺフラグが１の場合に後続の処理を継続する命令である。

＜第５特殊命令／ＪＲ命令＞

【１２６３】

第５特殊命令の一つである「ＪＲ　ＳＺ、ｅ命令」は、ＳＺフラグが１の場合にプログラムカウンタＰＣ＋ｅが示すアドレスにジャンプし、ＳＺフラグが０の場合に後続の処理を継続する命令であり、「ＪＲ　ＮＳＺ、ｍｎ命令」は、ＳＺフラグが０の場合にプログラムカウンタＰＣ＋ｅが示すアドレスにジャンプし、ＳＺフラグが１の場合に後続の処理を継続する命令である。

＜第５特殊命令／ＣＡＬＬ命令＞

【１２６４】

第５特殊命令の一つである「ＣＡＬＬ　ＳＺ、ｍｎ命令」は、ＳＺフラグが１の場合に、プログラムカウンタＰＣに記憶された上位アドレスをスタックポインタＳＰ－１が示すスタック領域に、また、プログラムカウンタＰＣに記憶された下位アドレスをスタックポインタＳＰ－２が示すスタック領域にそれぞれストア（退避）した後、ｍｎが示すアドレスにジャンプし、ＳＺフラグが０の場合に後続の処理を継続する命令である。また、「ＣＡＬＬ　ＮＳＺ、ｍｎ命令」は、ＳＺフラグが０の場合に、プログラムカウンタＰＣに記憶された上位アドレスをスタックポインタＳＰ－１が示すスタック領域に、また、プログラムカウンタＰＣに記憶された下位アドレスをスタックポインタＳＰ－２が示すスタック領域にそれぞれストア（退避）した後、ｍｎが示すアドレスにジャンプし、ＳＺフラグが１の場合に後続の処理を継続する命令である。

＜第５特殊命令／ＲＥＴ命令＞

【１２６５】

第５特殊命令の一つである「ＲＥＴ　ＳＺ命令」は、ＳＺフラグが１の場合に、スタックポインタＳＰが示すスタック領域ＳＰに記憶されたデータをプログラムカウンタＰＣの下位アドレスに、また、スタックポインタＳＰが示すスタック領域ＳＰ＋１に記憶されたデータをプログラムカウンタＰＣの上位アドレスにそれぞれロード（復帰）した後にスタックポインタＳＰを２つ加算し、ＳＺフラグが０の場合に後続の処理を継続する命令である。また、「ＲＥＴ　ＮＳＺ命令」は、ＳＺフラグが０の場合に、スタックポインタＳＰが示すスタック領域ＳＰに記憶されたデータをプログラムカウンタＰＣの下位アドレスに、また、スタックポインタＳＰが示すスタック領域ＳＰ＋１に記憶されたデータをプログラムカウンタＰＣの上位アドレスにそれぞれロード（復帰）した後にスタックポインタＳＰを２つ加算し、ＳＺフラグが１の場合に後続の処理を継続する命令である。

＜第５特殊命令／バイト数・ステート数＞

【１２６６】

図１６２は、第５特殊命令のバイト数とステート数を比較した図である。同図に示すよ

うに、ＪＰ命令およびＣＡＬＬ命令は、Ｚフラグをオペランドとする命令と、ＳＺフラグをオペランドとする命令でバイト数とステート数が異なっており、Ｚフラグをオペランドとする命令よりも、ＳＺフラグをオペランドとする命令のほうがバイト数が１バイト、ステート数が４ステート多くなっている。一方、ＪＲ命令およびＲＥＴ命令は、Ｚフラグをオペランドとする命令と、ＳＺフラグをオペランドとする命令でバイト数とステート数が同じになっている。

＜Ｚフラグ、ＳＺフラグ＞

【１２６７】

図１６３は、ＺフラグやＳＺフラグを変化させる命令の一例を示した図である。主制御部３００は、命令の実行後にＺフラグとＳＺフラグを同じ値に変化させる命令と、命令の実行後にＺフラグを変化させずにＳＺフラグを変化させる命令と、命令の実行後にＺフラグを変化させてＳＺフラグを変化させない命令と、を備えている。例えば、第５特殊命令の一つであるＷＡＲＵ命令は、命令の実行後にＺフラグとＳＺフラグを同じ値に変化させる命令の一つであり、特殊命令の一つであるＩＮＣＴＥＮＳＯＵ命令は、命令の実行後にＺフラグを変化させずにＳＺフラグを変化させる命令の一つである。

＜タイマ更新処理＞

【１２６８】

次に、図１６４を用いて、上述の主制御部タイマ割込処理におけるタイマ更新処理（ステップＳ２１３）について説明する。なお、同図は、タイマ更新処理の流れを示すフローチャートである。

【１２６９】

ステップＳ５５０１では、ＲＡＭ３０８に設けた更新タイマ数（更新が必要なタイマの数）を取得し、ステップＳ５５０２では、更新の対象とするタイマ（更新対象タイマ）が記憶されているＲＡＭ３０８の記憶領域の先頭アドレスを設定する。また、ステップＳ５５０３では、更新対象タイマの値が０か０以外かを判定し、０以外の場合にはステップＳ５５０４に進み、０の場合にはステップＳ５５０５に進む。

【１２７０】

ステップＳ５５０４では、更新対象タイマを更新し、ステップＳ５５０５では、未更新のタイマがあるか無いかを判定し、未更新のタイマがある場合にはステップＳ５５０３に戻って他のタイマの更新を継続し、未更新のタイマが無い場合には処理を終了する。

【１２７１】

図１６５（ａ）は、本発明に係るタイマ更新処理のプログラムの一例を示した図であり、同図１６５（ｂ）は、従来のタイマ更新処理のプログラムの一例を示した図である。

【１２７２】

従来のタイマ更新処理のプログラムでは、上記ステップＳ５５０３において更新対象タイマの値が０か０以外かを判定する場合、まず、プログラムの（１－３）で示す「ＬＤＡ、（ＨＬ）」命令を実行することによって、ＨＬレジスタで示されるアドレスに記憶された更新対象タイマの値を、Ａレジスタにロード（格納）する。続いて、プログラムの（１－４）で示す「ＡＮＤ　Ａ」命令を実行することによって、Ａが０の場合にはＺフラグを変化させ、Ａが０以外の場合にはＺフラグを変化させないように構成し、次のプログラムの（１－５）で示す、Ｚフラグを第１オペランドとするＪＲ命令で、Ｚフラグが変化している場合（Ａが０の場合）には、ＪＲ命令の第２オペランドで示されるアドレスにジャンプし、Ｚフラグが変化していない場合（Ａが０以外の場合）には、後続の処理（この例では、ＤＥＣ命令）を実行するようにしている。

【１２７３】

一方、本発明に係るタイマ更新処理のプログラムで同様の判定を行う場合、まず、従来のタイマ更新処理のプログラムと同様に、プログラムの（１－１）で示す「ＬＤ　Ａ、（ＨＬ）」命令を実行することによって、ＨＬレジスタで示されるアドレスに記憶された更新対象タイマの値を、Ａレジスタにロード（格納）する。ここで、ＬＤ命令（ロード命令）は、上記図１６２に示す通り、命令の実行後にＺフラグを変化させずにＳＺフラグを変

化させる命令の一つであるため、「ＬＤ　Ａ、（ＨＬ）」命令の実行後にはＺフラグは変化しないが、ＳＺフラグが変化する。続いて、本発明では、プログラムの（１－２）で示す、ＳＺフラグを第１オペランドとするＪＲ命令で、ＳＺフラグが変化している場合には、ＪＲ命令の第２オペランドで示されるアドレスにジャンプし、ＳＺフラグが変化していない場合には、後続の処理（この例では、ＤＥＣ命令）を実行するようにしている。

【１２７４】

すなわち、本発明に係るタイマ更新処理のプログラムでは、従来のタイマ更新処理のプログラムの（１－４）で示す「ＡＮＤ　Ａ」命令（Ａレジスタの値が０か否かを確認する処理）が不要となる。このため、従来よりもプログラムのコード量を減らすことができる上に、処理速度を高めることができ、遊技制御を安定して行うことができる。

＜表示図柄抽選処理＞

【１２７５】

次に、図１６６を用いて、上述の特図１関連抽選処理における表示図柄抽選（ステップＳ１００３）について説明する。なお、同図は、表示図柄抽選の流れを示すフローチャートである。

【１２７６】

同図（ａ）に示す表示図柄抽選処理のステップＳ５６０１では、ＲＯＭ３０６に設けた表示図柄抽選テーブルのアドレス（テーブルアドレス）を取得する。また、ステップＳ５６０２では、抽選準備処理を行い、ステップＳ５６０３では、抽選処理を行う。ステップＳ５６０４では、当り種別情報設定処理を行った後に処理を終了する。

【１２７７】

また、同図（ｂ）に示す抽選準備処理のステップＳ５６１１では、オフセット値を取得し、ステップＳ５６１２では、取得済みの表示図柄抽選テーブルのアドレスを１つ加算して更新する。ステップＳ５６１３では、データ選択処理を行い、ステップＳ５６１４では、データ選択処理の結果である取得値が０か０以外かを判定し、０の場合には処理を終了し、０以外の場合にはステップＳ５６１５に進む。ステップＳ５６１５では、抽選用乱数値を取得した後に処理を終了する。

【１２７８】

また、同図（ｃ）に示すデータ選択処理のステップＳ５６２１では、テーブルアドレスにオフセット値を加算し、ステップＳ５６２２では、テーブルアドレスの値をＡレジスタに転送する。また、ステップＳ５６２３では、Ａレジスタの値を１つ減算し、ステップＳ５６２４では、テーブルアドレスの値をＡレジスタに転送した後に処理を終了する。

【１２７９】

図１６７は、本発明に係る抽選準備処理のプログラムの一例を示した図である。本発明に係る抽選準備処理のプログラムでは、プログラムの（３－１）で示すＲＳＴ命令を実行することによって、データ選択処理にジャンプし、このデータ選択処理のプログラムの（３－３）で示す「ＤＥＣ　Ａ」命令を実行することによって、Ａレジスタの値を１つ減算する。ここで、８ビットＤＥＣ命令は、上記図１６２に示す通り、命令の実行後にＺフラグとＳＺフラグを同じ値に変化させる命令の一つであるため、「ＤＥＣ　Ａ」命令の実行後にはＺフラグとＳＺフラグが同じ値に変化する。

【１２８０】

続いて、プログラムの（３－４）で示す「ＬＤ　Ａ、（ＨＬ）」命令を実行することによって、テーブルアドレスの値をＡレジスタに転送する。ここで、ＬＤ命令（ロード命令）は、上記図１６２に示す通り、命令の実行後にＺフラグを変化させずにＳＺフラグを変化させる命令の一つであるため、「ＬＤ　Ａ、（ＨＬ）」命令の実行後にはＺフラグは変化しないが、ＳＺフラグが変化する。

【１２８１】

続いて、プログラムの（３－５）で示す「ＲＥＴ」命令を実行することによって、抽選準備処理のプログラムの（３－１）で示すＲＳＴ命令の直後に戻り、（３－２）で示す「ＲＥＴ　Ｚ」命令を実行する。ここで、「ＲＥＴ　Ｚ命令」は、Ｚフラグが１の場合に、

スタックポインタＳＰが示すスタック領域ＳＰに記憶されたデータをプログラムカウンタＰＣの下位アドレスに、また、スタックポインタＳＰが示すスタック領域ＳＰ＋１に記憶されたデータをプログラムカウンタＰＣの上位アドレスにそれぞれロード（復帰）した後にスタックポインタＳＰを２つ加算し、Ｚフラグが０の場合に後続の処理を継続する命令である。すなわち、（３－２）で示す「ＲＥＴ　Ｚ」命令では、（３－３）で示す「ＤＥＣ　Ａ」命令の実行後には変化するが、次の（３－４）で示す「ＬＤ　Ａ、（ＨＬ）」命令の実行後には変化しないＺフラグに応じて、表示図柄抽選処理に復帰する処理か、後続の処理を継続する処理のいずれかの処理を行う。

＜抽選処理＞

【１２８２】

次に、図１６８を用いて、上述の表示図柄抽選における抽選処理（ステップＳ５６０３）について説明する。なお、同図は、抽選処理の流れを示すフローチャートである。

【１２８３】

ステップＳ５７０１では、表示図柄抽選用乱数値を取得し、ステップＳ５７０２では、ステップＳ５７０１で取得した乱数値を除算する。ステップＳ５７０３では、ＲＯＭ３０８に記憶している抽選データアドレスを取得し、ステップＳ５７０４では、ステップＳ５７０３で取得した抽選データアドレスに除算結果の商を加算する。ステップＳ５７０５では、除算結果の余りをＡレジスタに転送し、ステップＳ５７０６では、Ａレジスタの値と２を比較する。

【１２８４】

ステップＳ５７０７では、Ｚフラグが１か０かを判定し、０の場合にはステップＳ５７０８に進み、１の場合にはステップＳ５７１４に進む。ステップＳ５７０８では、Ａレジスタの値と１を比較し、ステップＳ５７０９では、Ｚフラグが１か０かを判定し、０の場合にはステップＳ５７１０に進み、１の場合にはステップＳ５７１２に進む。

【１２８５】

ステップＳ５７１０では、抽選データアドレスの値をＡレジスタに転送し、次のステップＳ５７１１では、抽選結果データをＡレジスタにセットして処理を終了する。また、ステップＳ５７１２では、抽選データアドレスの値をＡレジスタに転送し、次のステップＳ５７１３では、抽選結果データをＡレジスタにセットして処理を終了する。また、ステップＳ５７１４では、抽選データアドレスの値をＡレジスタに転送し、次のステップＳ５７１５では、抽選結果データをＡレジスタにセットして処理を終了する。

【１２８６】

図１６９は、本発明に係る抽選処理のプログラムの一例を示した図であり、図１７０は、従来の抽選処理のプログラムの一例を示した図である。

【１２８７】

本発明に係る抽選準備処理のプログラムでは、ＲＯＭエリアに記憶された抽選テーブルに示されるように、３つの抽選値Ｎ、Ｍ、Ｌ（Ｎ、Ｍ、Ｌは正の整数）に対して「Ｎ×６×６＋Ｍ×６＋Ｌ」の計算式からなる演算を施すことによって、１バイトのＲＯＭに対して３つの抽選値を対応付けして記憶している。このため、図１７０に示す、１バイトのＲＯＭに対して１つの抽選値を対応付けして記憶するような従来の抽選テーブルに比べ、メモリ容量を１／３に削減することができる。

【１２８８】

また、本発明に係る抽選準備処理のプログラムでは、１バイトのＲＯＭに対して３つの抽選値を対応付けして記憶した抽選テーブルから抽選値を取得するために、抽選値Ｌに対しては、（５－１）で示されるようにＷＡＲＵ命令を１回実行し、抽選値Ｍに対しては、（５－２）で示されるようにＷＡＲＵ命令を２回実行し、抽選値Ｎに対しては、（５－３）で示されるようにＷＡＲＵ命令を３回実行している。

＜払出要求数送信処理＞

【１２８９】

次に、図１７１を用いて、上述の主制御部タイマ割込処理における払出要求数送信処理

（ステップＳ２１９）について説明する。なお、同図は、払出要求数送信処理の流れを示すフローチャートである。

【１２９０】

ステップＳ５８０１では、払出要求があるか無いかを判定し、払出要求がある場合にはステップＳ５８０２に進み、払出要求が無い場合には処理を終了する。ステップＳ５８０２では、送信対象となる払出要求カウンタを１つ減算し、ステップＳ５８０３では、送信対象に応じた賞球数コマンドデータを取得し、ステップＳ５８０４では、払出制御部６００に送信する賞球コマンドを設定する。

【１２９１】

ステップＳ５８０５では、賞球数にメイン賞球数カウンタの値を加算し、ステップＳ５８０６では、賞球数を除算する。また、ステップＳ５８０７では、メイン賞球数カウンタを更新し、ステップＳ５８０８では、メイン賞球情報信号出力要求数を更新した後に処理を終了する。

【１２９２】

図１７２は、本発明に係る払出要求数送信処理のプログラムの一例を示した図である。このプログラムの（５－１）で示すＬＤ命令では、メイン賞球数カウンタが記憶されているＲＡＭ３０８のアドレス（この例では、Ｆ０６０Ｈ）をＨＬレジスタに格納し、次の（５－２）で示すＡＤＤ命令では、Ａレジスタの値（賞球数）に、ＨＬレジスタが示すアドレスに記憶されたメイン賞球カウンタの値（メイン賞球数）を加算している。

【１２９３】

また、次の（５－３）で示すＷＡＲＵ命令では、第３オペランドが示す数値（この例では、１０）で第２オペランドが示すＡレジスタに記憶されたデータを除算し、除算結果の商を第１オペランドｒが示すレジスタ（この例では、Ｃレジスタ）に格納し、除算結果の余りを第２オペランドが示すＡレジスタに格納する。例えば、Ａレジスタに記憶されたデータが２３である場合、Ｃレジスタには、２３（Ａレジスタに記憶されたデータ）÷１０（第３オペランドが示す数値）の除算の商である２がＣレジスタに格納され、除算の余りである３がＡレジスタに格納される。

【１２９４】

また、次の（５－４）で示すＬＤ命令では、Ａレジスタに記憶されたデータ（除算の商。先の例では３）を、ＲＡＭ３０８のアドレスＦ０６０Ｈに記憶されたメイン賞球カウンタに、次回の賞球数として格納し、次の（５－５）～（５－８）に示す命令では、Ｃレジスタに記憶されたデータ（除算の余り。先の例では２）を、ＲＡＭ３０８のアドレスＦ０６１Ｈに記憶されたメイン賞球情報信号出力要求数記憶領域に、メイン賞球情報信号出力要求数として格納する。

【１２９５】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技制御を行うＣＰＵ（例えば、ＣＰＵ３０４（または、ＣＰＵ１３０４））を有する主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記ＣＰＵは、第一のフラグと第二のフラグとを有するフラグレジスタと、前記第一のフラグと前記第二のフラグとを処理実行結果に基づいて同じ値に変化させる第一の処理と、処理実行結果に基づいて前記第一のフラグの値を変化させず前記第二のフラグの値を変化させる第二の処理と、を備え、前記第一の処理と前記第二の処理とを前記遊技制御において実行することを特徴とする遊技台である。

【１２９６】

例えば、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）の主制御部は、図１７３に示すように、フラグＡとフラグＢとを有し、フラグＡとフラグＢとを処理実行結果に基づいて同じ値βに変化させる第一の処理と、処理実行結果に基づいてフラグＡの値を変化させずフラグＢの値をγに変化させる第二の処理と、を備え、前記第１

の処理と前記第２の処理とを前記遊技制御において実行する。
【１２９７】
本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、遊技の興趣を高めることを可能にしつつ、安定した遊技制御をおこなうことができる。すなわち、第二の処理実行後は第二の処理実行前の第一のフラグの値が保護されるため、その後の処理で第一のフラグの値を活用することができ、他のレジスタに第一のフラグの値を退避させる無駄な処理をする必要が無く、レジスタを占有せず且つプログラム容量を削減でき、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることが可能となる。また、プログラム容量を削減することでプログラムが見やすくなり、コーディングミスやバグの発生を抑制できる。また、第一の処理実行後は第一のフラグと第二のフラグが同じ値に変化するため、いずれかのフラグの値を用いて処理を実行したとしても同じ結果を得ることができ、状況に応じた適切な処理を選択してプログラムを記述することができ、プログラム容量や処理速度などを最適化することができる場合がある。
【１２９８】
また、前記ＣＰＵは、前記第一の処理において、処理実行結果が第一の値であることに基づいて前記第一のフラグと前記第二のフラグを第二の値に変化させ、処理実行結果が前記第一の値と異なることに基づいて前記第一のフラグと前記第二のフラグを前記第一の値に変化させ、前記第二の処理において、処理実行結果が前記第一の値であることに基づいて前記第二のフラグを前記第二の値に変化させ、処理実行結果が前記第一の値と異なることに基づいて前記第二のフラグを第一の値に変化させてもよい。
【１２９９】
このような構成とすれば、第一の処理実行後は第一のフラグと第二のフラグが処理実行結果に基づく同じ値に変化するため、いずれかのフラグの値を用いて処理を実行したとしても同じ結果を得ることができ、状況に応じた適切な処理を選択してプログラムを記述することができ、プログラム容量や処理速度などを最適化することができる場合がある。
【１３００】
また、所定ビット長の特定レジスタを有し、前記ＣＰＵは、前記第一の処理において、処理実行結果を前記特定レジスタに格納し、前記特定レジスタの値が前記第一の値であることに基づいて前記第一のフラグと前記第二のフラグを前記第二の値に変化させ、前記特定レジスタの値が前記第一の値と異なることに基づいて前記第一のフラグと前記第二のフラグを前記第一の値に変化させ、前記第二の処理において、処理実行結果を前記特定レジスタに格納し、前記特定レジスタの値が前記第一の値であることに基づいて前記第二のフラグを前記第二の値に変化させ、前記特定レジスタの値が前記第一の値と異なることに基づいて前記第二のフラグを前記第一の値に変化させてもよい。
【１３０１】
このような構成とすれば、第一の処理実行後は第一のフラグと第二のフラグが特定レジスタの値に基づく同じ値に変化するため、いずれかのフラグの値を用いて処理を実行したとしても同じ結果を得ることができ、状況に応じた適切な処理を選択してプログラムを記述することができ、プログラム容量や処理速度などを最適化することができる場合がある。
【１３０２】
また、前記第一の処理の実行によって変化した前記第一のフラグの値に基づいて第一の処理を行う処理と、前記第一の処理の実行によって変化した前記第二のフラグの値に基づいて前記第一の処理と同じ処理を行う処理とを備えてもよい。
【１３０３】
例えば、図１７４（ａ）に示すように、第一の処理（ＳＵＢ命令）の実行によって変化した第一のフラグ（Ｚフラグ）の値に基づいて第一の処理（分岐処理）を行う第三の処理（Ｚフラグをオペランドとするｊｒ命令）と、同図（ｂ）に示すように、第一の処理（ＳＵＢ命令）の実行によって変化した第二のフラグ（ＳＺフラグ）の値に基づいて第一の処

理と同じ処理（分岐処理）を行う第四の処理（ＳＺフラグをオペランドとするＪＲ命令）とを備えてもよい。

【１３０４】

このような構成とすれば、異なるフラグの変化に基づいて同一の処理を実行することができ、処理に応じて第三の処理と第四の処理を使い分けることができる場合がある。特に、第三の処理と第四の処理のバイト数とステート数を同じにすれば、プログラムのチェックや、デバックやテストなどの作業が容易になる場合がある。

【１３０５】

また、前記ＣＰＵは、前記第一のフラグの値を判定する第三の処理と、前記第二のフラグの値を判定する第四の処理と、を備え、前記第三の処理において、前記第一のフラグの値が前記第一の値または前記第二の値であるか否かを判定し、前記第四の処理において、前記第一のフラグの値が前記第一の値または前記第二の値であるか否かを判定してもよい。

【１３０６】

このような構成とすれば、第一の処理実行後は第一のフラグの値と第二のフラグの値が同じとなるので、第一の処理実行後に第三の処理と第四の処理を使い分けることで、プログラムの容量や可読性を向上させることができる場合がある。また、第二の処理実行後は第二の処理実行前の第一のフラグの値が保護されるため、第三の処理で第一のフラグの値を活用することができ、他のレジスタに第一のフラグの値を退避させる無駄な処理をする必要が無く、レジスタを占有せず且つプログラム容量を削減でき、遊技性を向上させるためのプログラムに容量を割り当てることができ、遊技の興趣を高めることが可能となる。

【１３０７】

また、前記第二の処理実行後に前記第四の処理を実行すれば、第四の処理で第二の処理の実行結果を判定することができるので、第二の処理の実行結果を確認する処理（第一のフラグを変化させる処理）を省くことができ、プログラム容量を削減することができる場合がある。

【１３０８】

また、前記ＣＰＵは、前記第三の処理または前記第四の処理において、前記判定結果が真である場合に所定のアドレスに移行してもよく、また、前記判定結果が真のときより偽の方が処理速度が速い場合、前記第三の処理と前記第四の処理のサイズ（バイト数）と速さ（ステート数）が同一であれば（例えば、ＪＲ命令、ＲＥＴ命令）、プログラムコード量や処理速度を気にすることなく処理を使い分けることができる場合がある。

【１３０９】

また、前記判定結果が真のときと偽のときとで処理速度が同じ場合、前記第三の処理のほうが前記第四の処理よりサイズと速さが小さくてもよい（例えば、ＪＰ命令）。また、前記第二の処理は、上記実施形態で示した処理に限定されず、例えば、ロード命令、１６ビットのＡＤＤ命令、ＩＮＣ命令、ＤＥＣ命令、直値を入れるＩＮ命令、Ａレジスタ専用のローテートシフト命令などでもよい。

【１３１０】

また、前記ＣＰＵが前記第二の処理を実行した後の前記第一のフラグは、該第二の処理を実行する前の値を維持するものであってもよい。

【１３１１】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、遊技制御を行うＣＰＵ（例えば、ＣＰＵ３０４（または、ＣＰＵ１３０４））を有する主制御部（例えば、主制御部３００（または、主制御部１３００））と、前記主制御部の遊技制御に基づいて遊技の演出制御を行う副制御部（例えば、第１副制御部４００、第２副制御部５００（または、第１副制御部１４００、第２副制御部１５００））と、を備えた遊技台であって、前記ＣＰＵは、複数種類のフラグを備えた所定のフラグレジスタと複数のレジスタを有し、前記複数のレジスタのうちの第一のレジスタと第二のレジスタの少なくとも何れかに格納された値を所定の値で所定の演算を行い、前記演算の第一の結果を前記第

一のレジスタに格納し、前記演算の第二の結果を前記第二のレジスタに格納し、前記演算の第二の結果である前記第二のレジスタに格納された値に基づいて前記複数種類のフラグのうちの特定のフラグの値を変化させる所定の処理を備え、該所定の処理を前記遊技制御において実行することを特徴とする遊技台である。

【１３１２】

例えば、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、図１７５に示すように、Ｚフラグと複数の記憶部１、記憶部２を有し、記憶部１と記憶部２の少なくとも何れかに格納された値７を所定の値３で除算を行い、除算結果の商２を前記記憶部１に格納し、除算結果の余り１を前記記憶部２に格納し、前記記憶部２に格納された値に基づいてＺフラグを１から０に変化させる除算処理を備え、該除算処理を前記遊技制御において実行する。

【１３１３】

本実施形態に係るパチンコ機１００（またはスロットマシン１１００）によれば、遊技の興趣を高めることを可能にしつつ、安定した遊技制御をおこなうことができる。すなわち、第二のレジスタに格納された値（第二の結果）に基づいて複数種類のフラグの何れかの値が変化するので、プログラムを注意して作成でき、コーディングミスやバグを抑制することができ、安定した遊技制御をおこなうことができる場合がある。また、第一の結果と第二の結果をそれぞれレジスタに格納するため、所定の処理後に２つの結果を利用してその他の処理を行うことができ、プログラム容量を削減することでプログラムが見やすくなり、コーディングミスやバグの発生を抑制できる場合がある。

【１３１４】

また、前記所定の処理は、前記第二のレジスタに格納された値が第一の値であることに基づいて第二の値を前記フラグレジスタに格納し、前記第二のレジスタに格納された値が前記第一の値と異なることに基づいて前記複数種類のフラグのうちの前記特定のフラグの値を前記第一の値に変化させてもよい。

【１３１５】

このような構成とすれば、第二のレジスタに格納された処理実行結果（第二の結果）に基づく値に基づいて特定のフラグの値が変化するので、プログラムを注意して作成でき、コーディングミスやバグを抑制することができ、安定した遊技制御をおこなうことができる場合がある。

【１３１６】

また、前記ＣＰＵは、前記所定の処理において、前記演算の第一の結果である前記第一のレジスタに格納された値に関わらずに前記演算の第二の結果である前記第二のレジスタに格納された値に基づいて前記複数種類のフラグのうちの特定のフラグの値を変化させてもよい。

【１３１７】

また、前記所定の処理は、第一のオペランドが特定値の場合に、第二のオペランドと第三のオペランドで指定したレジスタを所定の値に変化させるとともに、前記所定の処理で変化する複数種類のフラグのうちの前記特定のフラグ以外のフラグを変化させる処理でもよい。

【１３１８】

例えば、図１７６（ａ）に示すＷＡＲＵ命令は、第一のオペランド（三番目のオペランド）が特定値（０）の場合に、第二のオペランド（一番目のオペランド）と第三のオペランド（二番目のオペランド）で指定したレジスタ（Ｃレジスタ、Ａレジスタ）を所定の値（ＦＦＨ）に変化させるとともに、前記所定の処理で変化する複数種類のフラグのうちの特定のフラグ以外のフラグ（Ｃフラグ）を変化させる処理でもよい。

【１３１９】

このような構成とすれば、同図（ｂ）に示すような２つの処理で実現するよりも、処理数を削減できるため、処理時間を早くすることができ、プログラムコード量も削減できる場合がある。また、指定した２つのレジスタに所定の値を１処理で格納することができ、

プログラムの可読性を向上させることができる場合がある。
【１３２０】
なお、Ｃフラグ（キャリーフラグ）は、足し算（例えば、ＡＤＤ命令、ＩＮＣ命令）実行時の桁落ち、引き算（例えば、ＳＵＢ命令、ＤＥＣ命令）実行時の桁借り、ローテートシフト命令（例えば、ＲＬＣＡ命令）実行時のＣフラグに入る値が１のときなどで値が１に変化するため、特定の処理（例えば、ＡＤＤ命令、ＤＥＣ命令、ＲＬＣＡ命令）と前記所定の処理（ＷＡＲＵ命令）とではＣフラグの変化条件が異なる。また、被除数を特定値（０）の除数で除算した場合、第一のレジスタおよび第二のレジスタの値における演算前の値がつぶされて（演算前の値に関わらず上書きして）同一の特定の値（ＦＦＨ）になる。また、前記所定の値は、前記所定の処理の演算結果として、前記第二のオペランド（一番目のオペランド）と前記第三のオペランド（二番目のオペランド）で指定したレジスタ（Ｃレジスタ、Ａレジスタ）に格納する値として取りえない値（除算の結果として、商と余りが取り得ない値（例えば、商と余りが両方ともＦＦＨ））であってもよい。
【１３２１】
また、前記所定の処理は、最後に指定されるオペランドの値で最後から２番目に指定されるオペランドの値に対して前記所定の演算を行い、最初に指定されるオペランドである前記第一のレジスタに前記演算の第一の結果を格納し、最初から２番目に指定されるオペランドである前記第二のレジスタに前記演算の第二の結果を格納し、前記演算の第一の結果である前記第一のレジスタに格納された値に関わらずに前記演算の第二の結果である前記第二のレジスタに格納された値に基づいて前記複数種類のフラグの何れかの値を変化させるものであってもよい。
【１３２２】
この場合、最初から２番目に指定されるオペランドである第二のレジスタの値に基づいて複数種類のフラグの何れかの値が変化するので、プログラムを注意して作成でき、コーディングミスやバグを抑制することができ、安定した遊技制御をおこなうことができる場合がある。
【１３２３】
また、前記最後に指定するオペランドの値が前記所定の値であってもよい。この場合、プログラムの可読性を向上させることができる場合がある。
【１３２４】
また、プログラムデータおよび一時的なデータを記憶する記憶手段（例えば、ＲＯＭ３０６、ＲＡＭ３０８（またはＲＯＭ１３０６、ＲＡＭ１３０８））の所定のアドレスが示す領域に複数のデータを含み、前記ＣＰＵは、前記所定の処理を所定回数行って該所定回数に応じた前記複数のデータの何れかを取得するものであってもよい。
【１３２５】
この場合、プログラム容量を削減することでプログラムが見やすくなり、コーディングミスやバグの発生を抑制できる場合がある。
【１３２６】
また、前記ＣＰＵは、前記所定の処理を行った後、前記第一のレジスタに格納した値を前記記憶手段の第一の特定アドレスが示す領域に格納し、前記第二のレジスタに格納した値を前記第一の特定アドレスに隣接する第二の特定アドレスが示す領域に格納するものであってもよい。
【１３２７】
この場合、プログラムが見やすくなり、コーディングミスやバグの発生を抑制できる場合がある。
＜フラグ変化命令／フラグ判定命令＞
【１３２８】
従来の遊技台は、遊技の興趣が高められなければ遊技者に飽きられることから遊技制御が複雑になる傾向にある。パチンコ機やスロットマシンなどの遊技台では、不正行為、静電気ノイズなどの外乱、プログラムのコーディングミスなど様々な要因で、遊技制御が不

安定になる場合があるが、このような問題点を解決するために、リセット受信からソフト起動までの時間をランダム化させる遊技台も提案されている。

【１３２９】

しかしながら、従来の遊技台では、電源投入時の不正行為を有効に阻止することができるものの、他のタイミングや要因については更なる改良がなされた遊技台が望まれている。

本発明に係る遊技台によれば、安定した遊技制御をおこなうことができる。

【１３３０】

すなわち、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、ＣＰＵ（例えば、ＣＰＵ３０４（または、ＣＰＵ１３０４））を内蔵するマイクロプロセッサ（例えば、マイクロプロセッサ３０００）を備え、前記ＣＰＵは、第一の命令（例えば、フラグ変化命令）を受け付けた場合に、第一の動作を少なくとも実行可能なものであり、前記ＣＰＵは、第二の命令（例えば、フラグ判定命令）を受け付けた場合に、第二の動作を少なくとも実行可能なものであり、前記ＣＰＵは、第三の命令（例えば、フラグ非変化命令）を受け付けた場合に、第三の動作を少なくとも実行可能なものであり、前記ＣＰＵのフラグレジスタにおける第一のビットは、前記第一の動作の結果に応じて変化可能なものであり、前記第二の動作は、前記第一のビットの状態に応じた動作を少なくとも実行可能なものであり、前記第一のビットは、前記第三の動作の前後で状態が変化されないものであり、前記ＣＰＵは、前記第一の動作の実行を終了してから前記第二の動作の実行を開始するまでの間に、前記第三の動作を実行可能なものであることを特徴とする遊技台である。

【１３３１】

例えば、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）の主制御部は、図１７７に示すように、フラグレジスタ（例えば、Ｆレジスタ）を有し、フラグ変化命令を受付けた場合にフラグレジスタの第一のビット（例えば、Ｚフラグ）を変化させる第一の動作と、フラグ判定命令を受付けた場合に当該第一のビットを判定し、当該第一のビットの状態に応じた処理を行う第二の動作と、フラグ非変化命令を受付けた場合に当該第一のビットを変化させない第三の動作を少なくとも実行可能であり、第一の動作の実行を終了してから第二の動作の実行を開始するまでの間に、第三の動作を実行可能なものである。

【１３３２】

このような構成にすれば、第一の動作と第二の動作の間に第三の動作を行うため、不正者による解析を困難にし、安定した遊技制御を行うことができる場合がある。

【１３３３】

また、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）は、ＣＰＵ（例えば、ＣＰＵ３０４（または、ＣＰＵ１３０４））を内蔵するマイクロプロセッサ（例えば、マイクロプロセッサ３０００）を備え、前記ＣＰＵは、第一の命令（例えば、フラグ変化命令）を受け付けた場合に、第一の動作を少なくとも実行可能なものであり、前記ＣＰＵは、第二の命令（例えば、フラグ判定命令）を受け付けた場合に、第二の動作を少なくとも実行可能なものであり、前記ＣＰＵは、第三の命令（例えば、フラグ非変化命令）を受け付けた場合に、第三の動作を少なくとも実行可能なものであり、前記ＣＰＵのフラグレジスタにおける第一のビットは、前記第一の動作の結果に応じて変化可能なものであり、前記第二の動作は、前記第一のビットの状態に応じた動作を少なくとも実行可能なものであり、前記第一のビットは、前記第三の動作の前後で状態が変化されないものであり、前記ＣＰＵは、前記第一の動作の実行を終了してから前記第二の動作の実行を開始するまでの間に、前記第三の動作を実行可能なものであり、前記ＣＰＵは、前記第一の動作の実行を終了した直後に前記第二の動作を実行可能なものである、ことを特徴とする遊技台である。

【１３３４】

例えば、本実施形態に係るパチンコ機１００（またはスロットマシン１１００）の主制

御部は、図１７８に示すように、フラグレジスタ（例えば、Ｆレジスタ）を有し、フラグ変化命令を受付けた場合にフラグレジスタの第一のビット（例えば、Ｚフラグ）を変化させる第一の動作と、フラグ判定命令を受付けた場合に当該第一のビットを判定し、当該第一のビットの状態に応じた処理を行う第二の動作と、フラグ非変化命令を受付けた場合に当該第一のビットを変化させない第三の動作を少なくとも実行可能であり、第一の動作の実行を終了してから第二の動作の実行を開始するまでの間に、第三の動作を実行可能なものであり（同図（ａ））、第一の動作の実行を終了した直後に第二の動作を実行可能なものである（同図（ｂ））。

【１３３５】

このような構成にすれば、第一の動作の実行を終了した直後に第二の動作を実行する場合と、第一の動作の実行を終了した後に第三の動作を実行し、その後に第二の動作を実行する場合とがあり、第一の動作と第二の動作の間に第三の動作を行う場合があるため、不正者による解析を困難にし、安定した遊技制御を行うことができる場合がある。

【１３３６】

また、上記の図１７７または図１７８に示す場合において、前記第一のビットは、第一のゼロフラグ（例えば、Ｚフラグ）として少なくとも機能するものであるものとしてもよい。

【１３３７】

このような構成とするれば、第一の動作と第二の動作の間に第三の動作を行うため、不正者による解析を困難にし、安定した遊技制御を行うことができる場合がある。

【１３３８】

また、上記の図１７７または図１７８に示す場合において、前記第一のゼロフラグ（例えば、Ｚフラグ）は、前記第一の動作（例えば、ＤＥＣ命令による減算処理）の結果がゼロの場合に、少なくともオン状態になるものであり、前記第一のゼロフラグは、前記第一の動作の結果がゼロ以外の場合に、少なくともオフ状態になるものであるものとしてもよい。

【１３３９】

このような構成とすれば、第一の動作と第二の動作の間に第三の動作を行うため、不正者による解析を困難にし、安定した遊技制御を行うことができる場合がある。

【１３４０】

また、上記の図１７７または図１７８に示す場合において、前記フラグレジスタにおける第二のビットは、第二のゼロフラグ（例えば、ＳＺフラグ）として少なくとも機能するものである、ものとしてもよい。

【１３４１】

このような構成とすれば、ゼロフラグを複数備えるため、ゼロフラグを手掛かりにプログラムを解析することは極めて困難であり、不正者によるプログラム構造の理解を阻害することができる場合がある。すなわち、不正な改造を目的とするプログラム解析を困難にすることにより、信頼性の高い遊技機を提供できる場合がある。また、不正者によるフラグ変化のモニタリングを困難にし、当該不正者に遊技制御の進行状況を把握させにくくすることができる場合がある。

【１３４２】

また、上記の図１７７または図１７８に示す場合において、前記フラグレジスタにおける一つのビットだけは、キャリーフラグ（例えば、Ｃフラグ）として少なくとも機能するものであるものとしてもよい。

【１３４３】

このような構成とすれば、不正者による解析を困難にすることができる場合がある。

【１３４４】

以下、図１７９および図１８０を参照して、フラグ変化命令とフラグ判定命令を用いた処理の一例について、具体的に説明する。

＜フラグ変化命令とフラグ判定命令を用いた処理の一例＞

【１３４５】
図１７９および図１８０は、フラグ変化命令とフラグ判定命令を用いたプログラムの一例を示したプログラムリストである。
【１３４６】
まず、図１７９を参照して、第一の処理について説明する。第一の処理では、（１－１）に示すＤＥＣ命令と、（１－２）および（１－４）に示すＬＤ命令がフラグ変化命令であり、（１－３）および（１－５）に示すＪＲ命令がフラグ判定命令である。
【１３４７】
（１－１）のＤＥＣ命令（ＤＥＣ　Ａ）は、Ａレジスタに記憶されたデータから１を減算する命令であり、この命令を受付けると主制御部は、Ｚフラグ（ゼロフラグ）およびＳＺフラグ（セカンドゼロフラグ）の値を変化可能である。
【１３４８】
（１－２）のＬＤ命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿１）は、ＢレジスタにｅＴｅｉｓｕ＿１（０）をセットする命令であり、この命令を受付けると主制御部は、Ｚフラグは変化させず、Ｂレジスタの結果によってＳＺフラグのみ値を変化可能である。つまり、Ｂレジスタが０の場合は、ＳＺフラグに１がセットされ、Ｂレジスタが１の場合は、ＳＺフラグに０がセットされる。
【１３４９】
（１－３）のＪＲ命令（ＪＲ　Ｚ，｜Ａｄｄｒｅｓｓ＿１０）は、Ｚフラグが１の場合に｜Ａｄｄｒｅｓｓ＿１０で示されるアドレスにジャンプし、Ｚフラグが１以外の場合に次の処理を続行する命令である。
【１３５０】
（１－４）のＬＤ命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿２）は、ＢレジスタにｅＴｅｉｓｕ＿２（１）をセットする命令であり、この命令を受付けると主制御部は、Ｚフラグは変化させず、ＳＺフラグのみ値を変化可能である。
【１３５１】
（１－５）のＪＲ命令（ＪＲ　ＳＺ，｜Ａｄｄｒｅｓｓ＿２０）は、ＳＺフラグが１の場合に｜Ａｄｄｒｅｓｓ＿２０で示されるアドレスにジャンプし、ＳＺフラグが１以外の場合に、次の処理を続行する命令である。
【１３５２】
すなわち、第一の処理では、例えば主制御部は（１－１）のＤＥＣ命令を受付け、Ａレジスタが０となった場合は、Ｚフラグに１をセットし、ＳＺフラグに１をセットする。次に（１－２）のＬＤ命令を受付けると、Ｂレジスタの値に基づきＳＺフラグを変化させ（１をセット）、Ｚフラグは変化させない（１を維持）。（１－３）のＪＲ命令でＺフラグを判定し、この場合１がセットされているので、｜Ａｄｄｒｅｓｓ＿１０にジャンプする。｜Ａｄｄｒｅｓｓ＿１０では、（１－５）のＪＲ命令でＳＺフラグを判定する。ＳＺフラグは（１－２）で１がセットされているので、｜Ａｄｄｒｅｓｓ＿２０にジャンプする。つまり処理Ｘは実行せず、｜Ａｄｄｒｅｓｓ＿２０で処理Ｙを実行する。
【１３５３】
一方、主制御部は（１－１）のＤＥＣ命令を受付け、Ａレジスタが０とならない場合は、Ｚフラグに０をセットし、ＳＺフラグに０をセットする。次に（１－２）のＬＤ命令を受付けると、Ｂレジスタの値に基づきＳＺフラグを変化させ（１をセット）、Ｚフラグは変化させない（０を維持）。（１－３）のＪＲ命令でＺフラグを判定し、この場合０がセットされているので、｜Ａｄｄｒｅｓｓ＿１０にジャンプせず、次の処理（１－４）を実行する。主制御部は（１－４）のＬＤ命令を受付けるとＳＺフラグを変化させ、ＳＺフラグに０をセットする。引き続き（１－５）のＪＲ命令でＳＺフラグを判定し、０がセットされているので、｜Ａｄｄｒｅｓｓ＿２０にジャンプせず、処理Ｘを実行する。
【１３５４】
この処理を、Ｚフラグについてみると、主制御部は、第一の命令（ＤＥＣ　Ａ）を受付けた場合に、第一の動作（Ａレジスタの値の減算処理）を実行し（１－１）、第二の命令

（ＪＲ　Ｚ，｜Ａｄｄｒｅｓｓ＿１０）を受付けた場合に、第二の動作（Ｚフラグを判定し、分岐する処理）を実行し（１－３）、第三の命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿１）を受付けた場合に、第三の動作（Ｂレジスタに０をセット）を実行する（１－２）。Ｚフラグは、第一の動作（Ａレジスタの値の減算処理）の結果に応じて状態が変化し、第三の動作では状態が変化しない。第二の動作（Ｚフラグを判定し、分岐する処理）はＺフラグの状態に応じた動作であって、主制御部は、第一の動作の実行を終了してから第二の動作の実行を開始するまでの間に、第三の動作を実行する。

【１３５５】

一方、上記の処理を、ＳＺフラグについてみると、主制御部は、第一の命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿１）を受付けた場合に、第一の動作（Ｂレジスタに０をセット）を実行し（１－２）、第二の命令（ＪＲ　ＳＺ，｜Ａｄｄｒｅｓｓ＿２０）を受付けた場合に、第二の動作（ＳＺフラグを判定し、分岐する処理）を実行し（１－５）、第三の命令（ＬＲ　Ｚ，｜Ａｄｄｒｅｓｓ＿１０）を受付けた場合に、第三の動作（Ｚフラグを判定し、分岐する処理）を実行する（１－３）。ＳＺフラグは、第一の動作（Ｂレジスタに０をセット）の結果に応じて状態が変化し、第三の動作では状態が変化しない。第二の動作（ＳＺフラグを判定し、分岐する処理）はＳＺフラグの状態に応じた動作であって、主制御部は、第一の動作の実行を終了してから第二の動作の実行を開始するまでの間に、第三の動作を実行する。

【１３５６】

また、主制御部は、第一の命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿２）を受付けた場合に、第一の動作（Ｂレジスタに１をセット）を実行し（１－４）、第二の命令（ＪＲ　ＳＺ，｜Ａｄｄｒｅｓｓ＿２０）を受付けた場合に、第二の動作（ＳＺフラグを判定し、分岐する処理）を実行し（１－５）、第三の命令（例えば、ＬＲ　Ｚ，｜Ａｄｄｒｅｓｓ＿１０）を受付けた場合に、第三の動作（Ｚフラグを判定し、分岐する処理）を実行する（１－３）。ＳＺフラグは、第一の動作（Ｂレジスタに１をセット）の結果に応じて状態が変化し、第三の動作では状態が変化しない。第二の動作（ＳＺフラグを判定し、分岐する処理）はＳＺフラグの状態に応じた動作であって、主制御部は、第一の動作の実行を終了した直後に第二の動作の実行する。

【１３５７】

このように、本実施形態の主制御部は、フラグ変化命令とフラグ判定命令の間に他の命令を実行する。

【１３５８】

また、本実施形態の主制御部は、フラグ変化命令とフラグ判定命令の間に他の命令を実行する場合と、フラグ変化命令の直後にフラグ判定命令を実行する場合がある。

【１３５９】

この第一の処理は、パチンコ機１００の場合には、例えば、取得した乱数値が特図１の乱数値であるか特図２の乱数値であるかを判別する処理に用いてもよいし、非確変状態か確変状態かを判別する処理に用いても良いし、非電サポ状態か電サポ状態かを判別する処理に用いても良いし、第一の状態と第二の状態のいずれかを判別する処理に用いても良いし、他の処理に用いても良い。

【１３６０】

また、スロットマシン１１００の場合、第一の処理は、例えば、ＭＡＸベットボタンか１ベットボタンのどちらが操作されたかを判別する処理に用いても良いし、他の処理に用いても良い。

【１３６１】

次に、図１８０を参照して、第二の処理から第四の処理の一例について説明する。ここでは、第二の処理から第四の処理のいずれも、フラグ変化命令の直後にフラグ判定命令を実行する場合を示している。

【１３６２】

まず図１８０（ａ）を参照して、第二の処理では、（２－１）に示すＬＤＴ命令がフラ

グ変化命令であり、（２－２）に示すＪＲ命令がフラグ判定命令である。ＬＤＴ命令（ＬＤＴ　Ａ，（ｖＨｅｎｓｕ＿３））は、Ｔレジスタに格納されているアドレスを上位バイトとし、ｖＨｅｎｓｕ＿３（変数）の値を下位バイトとする１６ビットアドレスで示される番地の内容を、Ａレジスタに格納する命令である。主制御部３００の初期化処理で、ＴレジスタにはＲＡＭエリア（ＲＷＭ領域）の先頭アドレスの上位バイトが設定されており、ｖＨｅｎｓｕ＿３の値を変えることによって、ＲＡＭエリアの複数の番地を参照できる。ＬＤＴ命令を用いることにより、Ｔレジスタの初期化処理が不明な限り、Ａレジスタの内容がわからず、不正者による解析を困難にすることができる。そして、このＬＤＴ命令を受付けた主制御部は、ＳＺフラグの値を変化可能であり、Ｚフラグの値は変化させない。（２－２）で示すＪＲ命令は、（２－１）のフラグ変化命令の直後に変化したＳＺフラグの値を判定し、ＳＺフラグが１の場合にのみ｜Ａｄｄｒｅｓｓ＿４０にジャンプする。

【１３６３】

図１８０（ｂ）を参照して、第三の処理では、（３－１）に示すＬＤＴ命令がフラグ変化命令であり、（３－２）に示すＣＡＬＬ命令がフラグ判定命令である。（３－１）でＬＤＴ命令を受付けた主制御部は、ＳＺフラグの値を変化可能であり、Ｚフラグの値は変化させない。（３－２）で示すＣＡＬＬ命令は、（２－１）のフラグ変化命令の直後に変化したＳＺフラグの値を判定し、ＳＺフラグが１の場合にのみサブルーチンｍｏＳｙｏｒｉ＿５を呼び出す。

【１３６４】

図１８０（ｃ）を参照して、第四の処理では、（４－１）に示すＬＤＴ命令がフラグ変化命令であり、（４－２）に示すＲＥＴ命令がフラグ判定命令である。（４－１）でＬＤＴ命令を受付けた主制御部は、ＳＺフラグの値を変化可能であり、Ｚフラグの値は変化させない。（４－２）で示すＲＥＴ命令は、（４－１）のフラグ変化命令の直後に変化したＳＺフラグの値を判定し、ＳＺフラグが１の場合にのみ呼び出し元に戻る。

【１３６５】

以上の第二の処理、第三の処理、第四の処理は、それじれ、主制御部の何れかの処理（例えば、メイン処理、割込み処理、初期設定処理、初期化処理、エラー判定処理、乱数更新処理、抽選処理、コマンド設定処理、コマンド出力処理、その他の各モジュールなど）において用いても良い。

【１３６６】

また、以上の第二の処理から第四の処理が、第一の処理における処理Ｘおよび／または処理Ｙの処理であってもよい。

【１３６７】

また、前記第一の動作と前記第二の動作の間に、前記第三の動作を２回以上実行可能であってもよい。

【１３６８】

また、前記第一の動作と前記第二の動作の間に、前記第三の動作を３回以上実行可能であってもよい。

【１３６９】

また、前記第一の動作と前記第二の動作の間に前記第三の動作を実行する場合よりも、前記第一の動作と前記第二の動作の間に前記第三の動作を実行しない場合のほうが多くてもよい。

【１３７０】

また、前記第三の動作は、前記第三の命令で指定されたアドレスにジャンプするものであってもよい。

【１３７１】

また、前記第二の動作は、複数の第一の動作の結果のうちのいずれかを判定可能なものであってもよい。

【１３７２】

また、前記ゼロフラグは、前記第一の命令（例えば、ＬＤ　ｒ、ｓ命令）で示されるレ

ジスタ（ｒ）の値がゼロの場合に、少なくともオン状態になるものであり、前記ゼロフラグは、前記第一の命令で示されるレジスタ（ｒ）の値がゼロ以外の場合に、少なくともオフ状態になるものであってもよい。

【１３７３】

前記ゼロフラグは、前記第一の命令（例えば、ＬＤ　（ＨＬ），ｒｒ命令）で示されるレジスタ（ＨＬ）が示すアドレスの値がゼロの場合に、少なくともオン状態になるものであり、前記ゼロフラグは、前記第一の命令で示されるレジスタ（ＨＬ）が示すアドレスの値がゼロ以外の場合に、少なくともオフ状態になるものであってもよい。

【１３７４】

また、抽選処理において、前記第一の動作と前記第二の動作を実行可能なものであってもよい。

【１３７５】

また、操作受付処理において、前記第一の動作と前記第二の動作を実行可能なものであってもよい。

【１３７６】

また、ＲＳＴ命令でジャンプ可能な汎用処理において、前記第一の動作と前記第二の動作を実行可能なものであってもよい。

【１３７７】

また、本実施形態に係る遊技台（例えば、パチンコ機１００またはスロットマシン１１００）は、ＣＰＵ（例えば、ＣＰＵ３０４（または、ＣＰＵ１３０４））を内蔵するマイクロプロセッサ（例えば、マイクロプロセッサ３０００）を備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記ＣＰＵは、第一の命令（例えば、フラグ変化命令、ＤＥＣ命令）を受け付けた場合に、第一の動作（例えば、ＤＥＣ命令による減算処理）を実行可能なＣＰＵであり、前記ＣＰＵは、第二の命令（例えば、フラグ判定命令、ＪＲ命令）を受け付けた場合に、第二の動作（例えば、ＪＲ命令（ＪＲ　Ｚ，｜Ａｄｄｒｅｓｓ＿１０）の処理）を実行可能なＣＰＵであり、前記ＣＰＵは、第三の命令（例えば、フラグ変化命令、ＬＤ命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿１））を受け付けた場合に、第三の動作（例えば、ＢレジスタにｅＴｅｉｓｕ＿１（０）をセットする処理）を実行可能なＣＰＵであり、前記ＣＰＵのフラグレジスタ（例えば、Ｆレジスタ）における第一のビットは、第一のゼロフラグ（例えば、Ｚフラグ）として機能するゼロフラグであり、前記ＣＰＵのフラグレジスタにおける第二のビットは、第二のゼロフラグ（例えば、ＳＺフラグ）として機能するゼロフラグであり、前記第一のゼロフラグは、前記第一の動作の結果に応じて変化可能なビットであり、前記第二のゼロフラグは、前記第三の動作の結果に応じて変化可能なビットであり、前記第一のゼロフラグは、前記第三の動作の前後で状態が変化することがないフラグであり、前記ＣＰＵのフラグレジスタにおける前記第三の動作の結果に応じて変化可能なビットは、前記第二のビットのみであり、前記第二の動作は、前記第一のゼロフラグの状態に応じた動作を実行可能な動作であり、前記ＣＰＵは、前記第一の動作の実行を終了してから前記第二の動作の実行を開始するまでの間に、前記第三の動作を実行可能なＣＰＵである、ことを特徴とする遊技台である。

【１３７８】

このような構成とすれば、第二のゼロフラグを後の命令で活用することができる場合がある。

【１３７９】

また、前記第二のゼロフラグは、前記第二の動作の前後で状態が変化することがないゼロフラグであってもよい。

【１３８０】

このような構成とすれば、第二のゼロフラグの状態を保護することができ、第二の動作の後に第二のゼロフラグを活用することができる場合がある。

【１３８１】

また、前記ＣＰＵは、第四の命令（例えば、ＬＤ命令（ＬＤ　Ｂ，ｅＴｅｉｓｕ＿２）

）を受け付けた場合に、第四の動作（例えば、ＢレジスタにｅＴｅｉｓｕ＿２（１）をセットする処理）を実行可能なＣＰＵであり、前記第二のゼロフラグは、前記第四の動作の結果に応じて変化可能なゼロフラグであってもよい。

【１３８２】

このような構成によれば、第三の動作の結果に応じて変化した第二のゼロフラグの値を使用しない場合に該値を破棄することができる場合がある。

【１３８３】

また、前記ＣＰＵは、前記第二の動作の実行を終了した後に、前記第四の動作を実行可能なＣＰＵであってもよい。

【１３８４】

また、前記第一のゼロフラグは、前記第一の動作の結果がゼロの場合に、オン状態になるフラグであり、前記第一のゼロフラグは、前記第一の動作の結果がゼロ以外の場合に、オフ状態になるフラグであってもよい。

【１３８５】

また、前記第二のゼロフラグは、前記第三の動作の結果がゼロの場合に、オン状態になるフラグであり、前記第二のゼロフラグは、前記第三の動作の結果がゼロ以外の場合に、オフ状態になるフラグであってもよい。

【１３８６】

また、前記フラグレジスタにおける一つのビットだけは、キャリーフラグ（例えば、Ｃフラグ）として少なくとも機能するビットであってもよい。

【１３８７】

また、前記マイクロプロセッサは、ＲＯＭを内蔵するマイクロプロセッサであり、前記ＲＯＭは、複数種類の命令で構成された制御プログラムが記憶されており、前記ＣＰＵは、複数種類のレジスタを有し、前記ＣＰＵは、前記複数種類の命令を実行可能であり、前記複数種類の命令のうちの一の命令（以下、「第五の命令（例えば、第２特殊命令、ＣＰＲＴＺ　Ａ）」という。）は、リターン命令であり、前記第五の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第一のレジスタ（例えば、レジスタＡ）」という。）の値に基づいて動作することを特定可能に構成されており、前記ＣＰＵは、前記第五の命令を受け付けた場合に、前記第一のレジスタの値が０である場合に、前記第一のゼロフラグおよび前記第二のゼロフラグ（以下、「２つのゼロフラグ」という。）をセットし、呼び出し元の処理に復帰する動作を実行するように構成され、前記ＣＰＵは、前記第五の命令を受け付けた場合に、前記第一のレジスタの値が０ではない場合に、前記２つのゼロフラグをクリアし、該第五の命令の後続の命令（例えば、図４３や図４４（ａ）の処理Ｙの先頭の命令）を実行するように構成されており、前記第一のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われる、ものであってもよい。

【１３８８】

また、前記ＣＰＵは、前記第一の動作の結果に応じて変化した前記第一のゼロフラグが別の動作によって変化する前に前記第二の動作の実行を開始するＣＰＵであってもよい。

【１３８９】

また、前記マイクロプロセッサは、ＲＯＭ（例えば、ＲＯＭ３０６）を内蔵するマイクロプロセッサであり、前記ＲＯＭは、プログラムコードが記憶されており、前記プログラムコードの一部は、前記第一の命令のデータを含み、前記プログラムコードの一部における前記第一の命令のデータの後の命令のデータは、前記第三の命令のデータであり、前記プログラムコードの一部における前記第三の命令のデータの後の命令のデータは、前記第二の命令のデータであってもよい。

【１３９０】

また、前記ＣＰＵ（例えば、主制御部３００のＣＰＵ３０４,球数制御部６００のＣＰＵなど）は、枠（例えば、外枠１０２）と遊技盤（例えば、遊技盤２００）のうちの枠に設けられたＣＰＵであってもよい。

【１３９１】
　また、前記ＣＰＵは、払出制御を実行可能なＣＰＵ（例えば、球数制御部（払出制御部）６００のＣＰＵ）であってもよい。
【１３９２】
　また、前記ＣＰＵは、遊技制御を実行可能なＣＰＵ（例えば、主制御部３００のＣＰＵ３０４）であってもよい。
【１３９３】
　以下、図面を用いて、本発明の実施形態４に係るパチンコ機（遊技台）について詳細に説明する。
　＜全体構成＞
【１３９４】
　まず、図１８１を用いて、パチンコ機５１００の全体構成について説明する。なお、同図はパチンコ機５１００を正面側（遊技者側）から見た外観斜視図である。
【１３９５】
　パチンコ機５１００は、ガラス製または樹脂製の透明板部材５１５２および透明部材保持枠（ガラス枠）５１５４からなる扉部材５１５６の奥側に視認可能に配設した後述する遊技盤（盤面）５１０２を備えている。
【１３９６】
　また、発射杆５１３８および発射槌５１４０の下方には、発射杆５１３８を制御して遊技領域５１０４に向けて球の発射強度の操作を行うための操作ハンドル５１４８を配設していると共に、貯留皿５１４４の下方には、貯留皿５１４４に貯留できない溢れ球を貯留するための下皿５１５０を設けている。
【１３９７】
　図１８２は、遊技盤５１０２を正面から見た略示正面図である。遊技盤５１０２には、外レール５１０６と内レール５１０８とを配設し、遊技球（以下、単に「球」と称する場合がある。）が転動可能な遊技領域５１０４を区画形成している。
【１３９８】
　遊技領域５１０４の略中央には、演出装置５２００を配設している。この演出装置５２００には、略中央に横長の装飾図柄表示装置５１１０を配設し、その周囲に、普通図柄表示装置５１１２と、特別図柄表示装置５１１４と、普通図柄保留ランプ５１１６と、特別図柄保留ランプ５１１８と、高確中ランプ５１２０を配設している。なお、以下、普通図柄を「普図」、特別図柄を「特図」と称する場合がある。
【１３９９】
　演出装置５２００は、可動部を動作して演出を行うものであり、詳細については後述する。装飾図柄表示装置５１１０は、装飾図柄ならびに演出に用いる様々な画像を表示するための表示装置であり、本実施例では液晶表示装置（Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙ）によって構成する。この装飾図柄表示装置５１１０は、左図柄表示領域５１１０ａ、中図柄表示領域５１１０ｂ、右図柄表示領域５１１０ｃおよび演出表示領域５１１０ｄの４つの表示領域に分割し、左図柄表示領域５１１０ａ、中図柄表示領域５１１０ｂおよび左図柄表示領域５１１０ｃはそれぞれ異なった装飾図柄を表示し、演出表示領域５１１０ｄは演出に用いる画像を表示する。さらに、各表示領域５１１０ａ、５１１０ｂ、５１１０ｃ、５１１０ｄの位置や大きさは、装飾図柄表示装置５１１０の表示画面内で自由に変更することを可能としている。なお、装飾図柄表示装置５１１０は、液晶表示装置に代えて、ドットマトリクス表示装置、７セグメント表示装置、ＥＬ（ＥｌｅｃｔｒｏＬｕｍｉｎｅｓｃｅｎｃｅ）表示装置、ドラム式表示装置、リーフ式表示装置等他の表示デバイスを採用してもよい。
【１４００】
　普図表示装置５１１２は、普図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。特図表示装置５１１４は、特図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。

【１４０１】
普図保留ランプ５１１６は、保留している普図変動遊技の数を示すためのランプであり、本実施例では、普図変動遊技を２つまで保留することを可能としている。特図保留ランプ５１１８は、保留している特図変動遊技の数を示すためのランプであり、本実施例では、特図変動遊技を４つまで保留することを可能としている。高確中ランプ５１２０は、遊技状態が高確率状態（後述する大当り遊技の当選確率を通常の確率よりも高く設定した遊技状態）であること、または高確率状態になることを示すためのランプであり、遊技状態を低確率状態（後述する大当り遊技の当選確率を通常の確率に設定した遊技状態）から高確率状態にする場合に点灯し、高確率状態から低確率状態にする場合に消灯する。
【１４０２】
また、この演出装置５２００の周囲には、一般入賞口５１２２と、普図始動口５１２４と、第１特図始動口５１２６と、第２特図始動口５１２８と、可変入賞口５１３０を配設している。一般入賞口５１２２は、本実施例では遊技盤５１０２に複数配設しており、この一般入賞口５１２２への入球を所定の球検出センサ（図示省略）が検出した場合（一般入賞口５１２２に入賞した場合）、後述する払出装置５５２を駆動し、所定の個数（本実施例では１０個）の球を賞球として貯留皿５１４４に排出する。貯留皿５１４４に排出した球は遊技者が自由に取り出すことが可能であり、これらの構成により、入賞に基づいて賞球を遊技者に払い出すようにしている。なお、一般入賞口５１２２に入球した球は、パチンコ機５１００の裏側に誘導した後、遊技島側に排出する。本実施例では、入賞の対価として遊技者に払い出す球を「賞球」、遊技者に貸し出す球を「貸球」と区別して呼ぶ場合があり、「賞球」と「貸球」を総称して「球（遊技球）」と呼ぶ。
【１４０３】
普図始動口５１２４は、ゲートやスルーチャッカーと呼ばれる、遊技領域の所定の領域を球が通過したか否かを判定するための装置で構成しており、本実施例では遊技盤５１０２の左側に１つ配設している。普図始動口５１２４を通過した球は一般入賞口５１２２に入球した球と違って、遊技島側に排出することはない。球が普図始動口５１２４を通過したことを所定の玉検出センサが検出した場合、パチンコ機５１００は、普図表示装置５１１２による普図変動遊技を開始する。
【１４０４】
第１特図始動口５１２６は、本実施例では遊技盤５１０２の中央に１つだけ配設している。この第１特図始動口５１２６への入球を所定の球検出センサが検出した場合、後述する払出装置５５２を駆動し、所定の個数（本実施例では３個）の球を賞球として貯留皿５１４４に排出するとともに、特図表示装置５１１４による特図変動遊技を開始する。なお、第１特図始動口５１２６に入球した球は、パチンコ機５１００の裏側に誘導した後、遊技島側に排出する。
【１４０５】
第２特図始動口５１２８は、電動チューリップ（電チュー）と呼ばれ、本実施例では第１特図始動口５１２６の真下に１つだけ配設している。この第２特図始動口５１２８は、左右に開閉自在な羽根を備え、羽根の閉鎖中は球の入球が不可能であり、普図変動遊技に当選し、普図表示装置５１１２が当り図柄を停止表示した場合に羽根が所定の時間間隔、所定の回数で開閉する。第２特図始動口５１２８への入球を所定の球検出センサが検出した場合、後述する払出装置５５２を駆動し、所定の個数（本実施例では５個）の球を賞球として後述する貯留皿５１４４に排出するとともに、特図表示装置５１１４による特図変動遊技を開始する。なお、第２特図始動口５１２８に入球した球は、パチンコ機５１００の裏側に誘導した後、遊技島側に排出する。
【１４０６】
可変入賞口５１３０は、大入賞口またはアタッカーと呼ばれ、本実施例では遊技盤５１０２の中央部下方に１つだけ配設している。この可変入賞口５１３０は、開閉自在な扉部材を備え、扉部材の閉鎖中は球の入球が不可能であり、特図変動遊技に当選し、特図表示装置５１１４が大当り図柄を停止表示した場合に扉部材が所定の時間間隔（例えば、開放

時間２９秒、閉鎖時間１．５秒）、所定の回数（例えば１５回）で開閉する。可変入賞口５１３０への入球を所定の球検出センサが検出した場合、後述する払出装置５５２を駆動し、所定の個数（本実施例では１５球）の球を賞球として貯留皿５１４４に排出する。なお、可変入賞口５１３０に入球した球は、パチンコ機５１００の裏側に誘導した後、遊技島側に排出する。

【１４０７】

さらに、これらの入賞口や始動口の近傍には、風車と呼ばれる円盤状の打球方向変換部材５１３２や、遊技釘５１３４を複数個、配設していると共に、内レール５１０８の最下部には、いずれの入賞口や始動口にも入賞しなかった球をパチンコ機５１００の裏側に誘導した後、遊技島側に排出するためのアウト口５１３６を設けている。

【１４０８】

このパチンコ機５１００は、遊技者が貯留皿５１４４に貯留している球を発射レール５１４２の発射位置に供給し、遊技者の操作ハンドル５１４８の操作量に応じた強度で発射モータ６０２を駆動し、発射杆５１３８および発射槌５１４０によって外レール５１０６、内レール５１０８を通過させて遊技領域５１０４に打ち出す。そして、遊技領域５１０４の上部に到達した球は、打球方向変換部材５１３２や遊技釘５１３４等によって進行方向を変えながら下方に落下し、入賞口（一般入賞口５１２２、可変入賞口５１３０）や始動口（第１特図始動口５１２６、第２特図始動口５１２８）に入賞するか、いずれの入賞口や始動口にも入賞することなく、または普図始動口５１２４を通過するのみでアウト口５１３６に到達する。

＜演出装置＞

【１４０９】

次に、パチンコ機５１００の演出装置５２００について説明する。この演出装置５２００の前面側には、ワープ装置５２３０およびステージを配設し、演出装置５２００の背面側には、装飾図柄表示装置５１１０および遮蔽手段５２５０を配設している。すなわち、演出装置５２００において、装飾図柄表示装置５１１０および遮蔽手段５２５０は、ワープ装置５２３０およびステージの後方に位置することとなる。

【１４１０】

ワープ装置５２３０は、演出装置５２００の左上方に設けた入球口５２３２に入った遊技球を演出装置５２００の前面下方の前面ステージ５２３４に排出し、さらに、前面ステージ５２３４に排出した遊技球が前面ステージ５２３４の中央部後方に設けた第２の入球口５２３６に入った場合は、遊技球を、第１特図始動口５１２６の上方である演出装置５２００の下部中央に設けた排出口５２３８から第１特図始動口５１２６に向けて排出するものである。この排出口５２３８から排出した遊技球は特図始動口５１２６に入球しやすくなっている。

【１４１１】

遮蔽手段５２５０は、格子状の左扉５２５０ａおよび右扉５２５０ｂからなり、装飾図柄表示装置５１１０および前面ステージ５２３４の間に配設する。左扉５２５０ａおよび右扉５２５０ｂの上部には、図示しない２つのプーリに巻き回したベルトをそれぞれ固定している。すなわち、左扉５２５０ａおよび右扉５２５０ｂは、モータによりプーリを介して駆動するベルトの動作に伴って左右にそれぞれ移動する。遮蔽手段５２５０は、左右扉５２５０ａ、５２５０ｂを閉じた状態ではそれぞれの内側端部が重なり、遊技者が装飾図柄表示装置５１１０を視認し難いように遮蔽する。左右扉５２５０ａ、５２５０ｂを開いた状態ではそれぞれの内側端部が装飾図柄表示装置５１１０の表示画面の外側端部と若干重なるが、遊技者は装飾図柄表示装置５１１０の表示の全てを視認可能である。また、左右扉５２５０ａ、５２５０ｂは、それぞれ任意の位置で停止可能であり、例えば、表示した装飾図柄がどの装飾図柄であるかを遊技者が識別可能な程度に、装飾図柄の一部だけを遮蔽するようなことができる。なお、左右扉５２５０ａ、５２５０ｂは、格子の孔から後方の装飾図柄表示装置５１１０の一部を視認可能にしてもよいし、格子の孔の障子部分を半透明のレンズ体で塞ぎ、後方の装飾図柄表示装置５１１０による表示を漠然と遊技者

に視認させるようにしてもよいし、格子の孔の障子部分を完全に塞ぎ（遮蔽し）、後方の装飾図柄表示装置５１１０を全く視認不可にしてもよい。

【１４１２】

図１８３は、パチンコ機５１００を背面側から見た外観斜視図である。パチンコ機５１００の背面上部には、上方に開口した開口部を有し、球を一時的に貯留するための球タンク５１５２と、この球タンク５１５２の下方に位置し、球タンク５１５２の底部に形成した連通孔を通過して落下する球を背面右側に位置する払出装置５１５４に導くためのタンクレール５１５３とを配設している。

【１４１３】

払出装置５１５４は、筒状の部材からなり、その内部には、スプロケット５１５７と払出センサ５１５８とを備えている。スプロケット５１５７は、モータによって回転可能に構成されており、タンクレール５１５３を通過して払出装置５１５４内に落下した球を一時的に滞留させると共に、モータを駆動して所定角度だけ回転することにより、一時的に滞留した球を払出装置５１５４の下方へ１個ずつ送り出すように構成している。

【１４１４】

払出センサ５１５８は、スプロケット５１５７が送り出した球の通過を検知するためのセンサであり、球が通過しているときにオンの信号を出力し、球が通過していないときはオフの信号を出力する。なお、この払出センサ５１５８を通過した球は、図示しない球レールを通過してパチンコ機５１００の表側に配設した貯留皿５１４４に到達するように構成しており、パチンコ機５１００は、この構成により遊技者に対して球の払い出しを行う。

【１４１５】

払出装置５１５４の左側には、後述する主制御部５３００を構成する主基板５１６１と、後述する副制御部５４００を構成するサブ基板５１６４とを配設している。また、これら主基板５１６１やサブ基板５１６４の下方には、後述する発射制御部５６００を構成する発射基板５１６６と、後述する電源管理部５６５０を構成する電源基板５１６２と、後述する払出制御部５５５０を構成する払出基板５１６５と、この払出基板５１６５に接続したＣＲインターフェース部５１６３とを配設している。

＜図柄の種類＞

【１４１６】

次に、図１８４（ａ）～（ｃ）を用いて、パチンコ機５１００の特図表示装置５１１４、装飾図柄表示装置５１１０、普図表示装置５１１２が停止表示する特図および普図の種類について説明する。

【１４１７】

同図（ａ）は特図の停止表示態様の一例を示したものである。本実施例の特図の停止表示態様には、大当り図柄である「特図１」と、特別大当り図柄である「特図２」と、外れ図柄である「特図３」の３種類がある。第１特図始動口５１２６または第２特図始動口５１２８に球が入賞したことを所定の球検出センサが検出したことを条件として特図変動遊技を開始した場合には、特図表示装置５１１４は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「特図の変動表示」を行う。そして、特図の変動開始前に決定した変動時間が経過すると、特図変動遊技の当選を報知する場合には「特図１」または「特図２」を停止表示し、特図変動遊技の外れを報知する場合には「特図３」を停止表示する。なお、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を示している。

【１４１８】

同図（ｂ）は装飾図柄の一例を示したものである。本実施例の装飾図柄には、「装飾１」～「装飾１０」の１０種類がある。第１特図始動口５１２６または第２特図始動口５１２８に球が入賞したことを所定の球検出センサが検出したことを条件にして、装飾図柄表示装置５１１０の左図柄表示領域５１１０ａ、中図柄表示領域５１１０ｂ、右図柄表示領域５１１０ｃの各図柄表示領域に、「装飾１」→「装飾２」→「装飾３」→・・・・「装

飾９」→「装飾１０」→「装飾１」→・・・の順番で表示を切り替える「装飾図柄の変動表示」を行う。そして、大当りを報知する場合には、図柄表示領域５１１０ａ～５１１０ｃに大当りに対応する図柄組合せ（本実施例では、同一の数字の装飾図柄の組合せ（例えば、「装飾２－装飾２－装飾２」））を停止表示し、特別大当りを報知する場合には、特別大当りに対応する図柄組合せ（本実施例では、同一の奇数番号数字の装飾図柄の組合せ（例えば、「装飾１－装飾１－装飾１」））を停止表示する。なお、大当りに対応する図柄の組合せを停止表示した場合には、大当り遊技または特別大当り遊技を開始し、特別大当りに対応する図柄の組合せを停止表示した場合には、特別大当り遊技を開始する。また、外れを報知する場合には、図柄表示領域５１１０ａ～５１１０ｃに大当りに対応する図柄組合せ以外の図柄組合せを停止表示した後で、保留している装飾図柄の変動表示があれば、その変動表示を開始する。

【１４１９】

同図（ｃ）は普図の停止表示態様の一例を示したものである。本実施例の普図の停止表示態様には、当り図柄である「普図１」と、外れ図柄である「普図２」の２種類がある。普図始動口５１２４を球が通過したことを所定の球検出センサが検出したことを条件として普図表示遊技を開始した場合には、普図表示装置５１１２は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「普図の変動表示」を行う。そして、普図変動遊技の当選を報知する場合には「普図１」を停止表示し、普図変動遊技の外れを報知する場合には「普図２」を停止表示する。

＜制御部＞

【１４２０】

次に、図１８５を用いて、このパチンコ機５１００の制御部の回路構成について詳細に説明する。なお、同図は制御部の回路ブロック図を示したものである。

【１４２１】

パチンコ機５１００の制御部は、大別すると、遊技の中枢部分を制御する主制御部５３００と、主制御部５３００が送信するコマンド信号（以下、単に「コマンド」と呼ぶ）に応じて、主に演出の制御を行う副制御部５４００と、主制御部５３００が送信するコマンドに応じて、主に遊技球の払い出しに関する制御を行う払出制御部５５５０と、遊技球の発射制御を行う発射制御部５６００と、パチンコ機５１００に供給される電源を制御する電源管理部５６５０によって構成している。

＜主制御部＞

【１４２２】

まず、パチンコ機５１００の主制御部５３００について説明する。主制御部５３００は、主制御部５３００の全体を制御する基本回路５３０２を備えており、この基本回路５３０２には、ＣＰＵ５３０４と、制御プログラムや各種データを記憶するためのＲＯＭ５３０６と、一時的にデータを記憶するためのＲＡＭ５３０８と、各種デバイスの入出力を制御するためのＩ／Ｏ５３１０と、時間や回数等を計測するためのカウンタタイマ５３１２と、ＷＤＴ（ウォッチドッグタイマ）５３１３を搭載している。なお、ＲＯＭ５３０６やＲＡＭ５３０８については他の記憶手段を用いてもよく、この点は後述する副制御部５４００についても同様である。この基本回路５３０２のＣＰＵ５３０４は、水晶発振器５３１４ｂが出力する外部クロックをクロック回路５３４０（図１８６参照。詳細は後述）で所定の分周比（この例では、１／２）で分周したシステムクロックＳＣＬＫを、基本クロックとして入力して動作する。

【１４２３】

また、基本回路５３０２には、水晶発振器５３１４ａが出力する乱数用クロックＲＣＫを受信する度に０～６５５３５の範囲で数値を変動させるハードウェア乱数カウンタとして使用しているカウンタ回路（乱数回路）５３１６を搭載している（詳細は後述する）。

【１４２４】

また、基本回路５３０２には、各始動口、入賞口の入り口および可変入賞口の内部に設けた球検出センサを含む各種センサ５３１８が出力する信号を受信し、増幅結果や基準電

圧との比較結果を基本回路５３０２に出力するためのセンサ回路５３２０と、特図表示装置５１１４の表示制御を行うための表示回路５３２２と、普図表示装置５１１２の表示制御を行うための表示回路５３２４と、各種状態表示部５３２６（普図保留ランプ５１１６、特図保留ランプ５１１８、高確中ランプ５１１８等）の表示制御を行うための表示回路５３２８と、第２特図始動口５１２８や可変入賞口５１３０等を開閉駆動する各種ソレノイド５３３０を制御するためのソレノイド回路５３３２と、電源が投入されるとＣＰＵ５３０４に対して起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）５３３８を接続している。

【１４２５】

なお、第１特図始動口５１２６に球が入賞したことを球検出センサ５３１８が検出した場合には、センサ回路５３２０は球を検出したことを示す信号をカウンタ回路５３１６に出力する。この信号を受信したカウンタ回路５３１６は、第１特図始動口５１２６に対応するカウンタのそのタイミングにおける値をラッチし、ラッチした値を、第１特図始動口５１２６に対応する内蔵のカウンタ値記憶用レジスタに記憶する。また、カウンタ回路５３１６は、第２特図始動口５１２８に球が入賞したことを示す信号を受信した場合も同様に、第２特図始動口５１２８に対応するカウンタのそのタイミングにおける値をラッチし、ラッチした値を、第２特図始動口５１２８に対応する内蔵のカウンタ値記憶用レジスタに記憶する。また、カウンタ回路５３１６は、普図始動口５１２４に球が入賞したことを示す信号を受信した場合も同様に、普図始動口５１２４に対応するカウンタのそのタイミングにおける値をラッチし、ラッチした値を、普図始動口５１２４に対応する内蔵のカウンタ値記憶用レジスタに記憶する。

【１４２６】

さらに、基本回路５３０２には、情報出力回路５３３４を接続しており、主制御部５３００は、この情報出力回路５３３４を介して、外部のホールコンピュータ（図示省略）等が備える情報入力回路５６５２にパチンコ機５１００の遊技情報（例えば、遊技状態）を出力する。

【１４２７】

また、主制御部５３００は、副制御部５４００にコマンドを送信するための出力インタフェースと、払出制御部５５５０にコマンドを送信するための出力インタフェースをそれぞれ備えており、この構成により、副制御部５４００および払出制御部５５５０との通信を可能としている。なお、主制御部５３００と副制御部５４００および払出制御部５５０との情報通信は一方向の通信であり、主制御部５３００は副制御部５４００および払出制御部５５５０にコマンド等の信号を送信できるように構成しているが、副制御部５４００および払出制御部５５５０からは主制御部５３００にコマンド等の信号を送信できないように構成している。

＜副制御部＞

【１４２８】

次に、パチンコ機５１００の副制御部５４００について説明する。副制御部５４００は、主に主制御部５３００が送信したコマンド等に基づいて副制御部５４００の全体を制御する基本回路５４０２を備えており、この基本回路５４０２には、ＣＰＵ５４０４と、制御プログラムや各種データを記憶するためのＲＯＭ５４０６と、一時的にデータを記憶するためのＲＡＭ５４０８と、各種デバイスの入出力を制御するためのＩ／Ｏ５４１０と、時間や回数等を計測するためのカウンタタイマ５４１２を搭載している。この基本回路５４０２のＣＰＵ５４０４は、水晶発振器５４１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作する。

【１４２９】

また、基本回路５４０２には、スピーカ５４１６（およびアンプ）の制御を行うための音源ＩＣ５４１８と、各種ランプ５４２０の制御を行うための表示回路５４２２と、演出装置５２００の演出用可動体等を駆動する駆動装置であるソレノイドまたはモータ等が含まれる各種演出用駆動装置５４２４の制御を行うための演出用駆動装置制御回路５４２６

と、装飾図柄表示装置（液晶表示装置）５１１０および遮蔽手段５２５０の制御を行うための副制御部５５００と、チャンスボタン５１４６の押下を検出して信号を出力するチャンスボタン検出回路５３８０を接続している。

＜払出制御部、発射制御部、電源管理部＞

【１４３０】

次に、パチンコ機５１００の払出制御部５５５０、発射制御部５６００、電源管理部５６５０について説明する。払出制御部５５５０は、主に主制御部５３００が送信したコマンド等の信号に基づいて払出装置５５５２を制御すると共に、払出センサ５５５４が出力する制御信号に基づいて賞球または貸球の払い出しが完了したか否かを検出すると共に、インタフェース部５５５６を介して、パチンコ機５１００とは別体で設けられたカードユニット５６５４との通信を行う。

【１４３１】

発射制御部５６００は、払出制御部５５５０が出力する、発射許可または停止を指示する制御信号や、操作ハンドル５１４８内に設けた発射強度出力回路が出力する、遊技者による発射ハンドル５１４８の操作量に応じた発射強度を指示する制御信号に基づいて、発射杆５１３８および発射槌５１４０を駆動する発射モータ５６０２の制御や、貯留皿５１４４から発射レール５１４２に球を供給する球送り装置５６０４の制御を行う。

【１４３２】

電源管理部５６５０は、パチンコ機５１００に外部から供給される交流電源を直流化し、所定の電圧に変換して主制御部５３００、副制御部５４００等の各制御部や払出装置５５５２等の各装置に供給する。さらに、電源管理部５６５０は、外部からの電源が断たれた後も所定の部品（例えば主制御部５３００のＲＡＭ５３０８等）に所定の期間（例えば１０日間）電源を供給するための蓄電回路（例えばコンデンサ）を備えている。

＜主制御部の基本回路＞

【１４３３】

次に、図１８６を用いて、主制御部５３００の基本回路５３０２について詳細に説明する。なお、同図は基本回路の内部構成図である。

【１４３４】

基本回路５３０２は、上述のＣＰＵ５３０４、ＲＯＭ（内蔵ＲＯＭ）５３０６、ＲＡＭ（内蔵ＲＡＭ）５３０８、カウンタタイマ５３１２（タイマ回路５３１２ａ、カウンタ回路５３１２ｂ）、カウンタ回路（乱数回路）５３１６、Ｉ／Ｏ５３１０（外部バス制御回路５３１０ａ、ＷＤＴ５３１３内蔵のリセット制御回路５３１０ｂ、パラレル入力ポート５３１０ｃ、アドレスデコード回路５３１０ｄ）、に加えて、クロック回路５３４０などを備える。

【１４３５】

クロック回路５３４０は、上述の水晶発振器５３１４ｂ（以下、システム用水晶発振器５３１４ｂと称する場合がある）からＥＸ端子を介して入力される外部クロックＥＸ（この例では、２４ＭＨｚのクロック）を所定の分周比（この例では、１／２）で分周し、分周後のシステムクロックＳＣＬＫ（この例では、１２ＭＨｚのクロック）をＣＰＵコアや内部の各回路に供給する回路である。乱数回路５３１６は、詳細は後述するが、上述の水晶発振器５３１４ａ（以下、乱数用水晶発振器５３１４ａと称する場合がある）からＲＣＫ端子を介して入力される乱数用クロックＲＣＫ（この例では、１０ＭＨｚのクロック）に基づいてカウント値のカウントを行って乱数値を発生させるための回路である。なお、本実施例では、乱数用クロックＲＣＫの周波数を、システムクロックＳＣＬＫの周波数（この例では、１２ＭＨｚ）未満であって、後述する主制御部タイマ割り込み処理の周期としてカウンタ・タイマ５３１２に設定する周期（この例では２ｍｓ）以上の周波数に設定している。

【１４３６】

図１８７は、基本回路５３０２に接続される乱数用水晶発振器５３１４ａとシステム用水晶発振器５３１４ｂの配線パターンの一例を示した回路ブロック図である。

【１４３７】
本実施例では、基本回路５３０２とシステム用水晶発振器５３１４ｂを結ぶ信号線Ｌｓの長さを、基本回路５３０２と乱数用水晶発振器５３１４ａを結ぶ信号線Ｌｒの長さよりも短く設定している（Ｌｒ＞Ｌｓ）。このような構成により、システム用水晶発振器５３１４ｂを基本回路５３０２の近傍に配置することができ、且つ、基本回路５３０２とシステム用水晶発振器５３１４ｂを結ぶ信号線Ｌｓの長さを短くすることができるため、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。
【１４３８】
また、クロック信号の供給源と供給先を結ぶ信号線の長さは、クロック信号に外乱が加わらないようになるべく短く設定するのが一般的であるが、基本回路５３０２と乱数用水晶発振器５３１４ａを結ぶ信号線Ｌｒの長さを敢えて長めに設定し、信号線Ｌｒを通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。
【１４３９】
さらに、基本回路５３０２とシステム用水晶発振器５３１４ｂを結ぶ信号線Ｌｓの長さと、基本回路５３０２と乱数用水晶発振器５３１４ａを結ぶ信号線Ｌｒの長さを異ならせることにより、基本回路５３０２近傍の部品の配置の自由度を高めることができる。
＜乱数回路＞
【１４４０】
次に、図１８８および図１８９を用いて、基本回路５３０２が備える乱数回路（カウンタ回路）５３１６について詳細に説明する。なお、図１８８は乱数回路の内部構成図であり、図１８９は乱数回路が備える周波数監視回路の内部構成図である。
【１４４１】
乱数回路５３１６は、乱数回路ＣＨ１～ＣＨ４の４つの乱数回路を備える。なお、乱数回路ＣＨ２～４の内部構成は、乱数回路ＣＨ１と同一であるため、図示は省略している。
【１４４２】
乱数回路ＣＨ１～ＣＨ４は、乱数更新回路５３１６ｇに取り込まれた乱数値を格納するための乱数レジスタ５３１６ｂと、乱数レジスタ５３１６ｂに乱数値が取り込まれたことを示すための乱数ラッチフラグレジスタ５３１６ｃと、乱数割込みを制御するための乱数割込み制御レジスタ５３１６ｄと、乱数更新回路５３１６ｇにおいて乱数値が正常に更新されたかどうかを更新毎に監視し、更新に異常があった場合に乱数値異常信号を出力する乱数監視回路５３１６ｅと、この乱数監視回路５３１６ｅから乱数値異常信号が入力された場合に乱数値異常信号状態ビットを１にセットする内部情報レジスタ５３１６ｆと、を有して構成されている。なお、乱数監視回路５３１６ｅは、乱数更新回路５３１６ｇに内蔵してもよいし、乱数回路ＣＨ１～ＣＨ４で共通に設けてもよい（共通に設ける場合には、ＣＨ１～ＣＨ４が識別できるようにフラグを設けてもよいし、フラグを共通に設けてもよい）。
【１４４３】
この乱数回路５３１６は、各チャネル毎に異なった乱数列を持つ２種類の１６ビット乱数値を発生させることが可能であるとともに、ＲＯＭ５３０６の所定領域に設けた乱数使用設定、乱数初期設定、乱数取込設定の内容を変更することによって、乱数回路ＣＨ１～ＣＨ４の使用／未使用、初期値・乱数列変更方法の選択、乱数値の更新周期、乱数値の取り込み方法、割込条件などを変更することが可能である。本実施例では、Ｐ０端子は第１特図始動口５１２６に入球があった場合に出力される特図１始動口入球検出信号、Ｐ１端子は第２特図始動口５１２８に入球があった場合に出力される特図２始動口入球検出信号

、Ｐ２端子は普図始動口５１２４に入球があった場合に出力される普図始動口入球検出信号がそれぞれ入力されるようにセンサ回路５３２０と接続されているが、これに限定されない。

【１４４４】

また、乱数回路ＣＨ１～ＣＨ４は、周波数監視回路５３１６ａを備えている。この周波数監視回路５３１６ａは、図１８９に拡大して示すように、上述のクロック回路５３４０から出力されるシステムクロックＳＣＬＫが入力される平滑回路と、上述の水晶発振器５３１４ａからＲＣＫ端子を介して入力される乱数用クロックＲＣＫが入力される平滑回路と、平滑後のシステムクロックＳＣＬＫの周波数と乱数用クロックＲＣＫの周波数を比較し、ＲＣＫの周波数がシステムクロックＳＣＬＫの周波数以下（ＲＣＫ＝＜ＳＣＬＫ）である場合に、乱数用クロックＲＣＫの周波数が異常になったと判定し内部情報レジスタのクロック信号状態ビットを１にセットする比較器と、を備えている。

【１４４５】

主制御部５３００のＣＰＵ５３０４は、所定のタイミングで、内部情報レジスタの乱数値異常信号状態ビットとクロック信号状態ビットを参照する。そして、乱数値異常信号状態ビットが１にセットされている場合（乱数更新回路５３１６ｇにおいて乱数値の更新に異常があった場合）には、乱数更新回路５３１６ｇに何らかの異常が発生したと判定し、乱数値異常信号状態ビットが０にセットされている場合には、乱数更新回路５３１６ｇが正常であると判定する。

【１４４６】

また、内部情報レジスタのクロック信号状態ビットが１にセットされている場合（乱数用クロックＲＣＫの周波数がシステムクロックＳＣＬＫの周波数以下（ＲＣＫ＝＜ＳＣＬＫ）である場合）には、乱数用クロックＲＣＫに何らかの異常（例えば、乱数回路５３１６と水晶発振器５３１４ａとを結ぶ配線パターンの断線）が発生したと判定し、内部情報レジスタのクロック信号状態ビットが０にセットされている場合（乱数用クロックＲＣＫの周波数がシステムクロックＳＣＬＫの周波数より大きい（ＲＣＫ＞ＳＣＬＫ）場合）には、乱数用クロックＲＣＫが正常であると判定する。

【１４４７】

なお、本実施例では、乱数用クロックＲＣＫの周波数がシステムクロックＳＣＬＫの周波数以下（ＲＣＫ＝＜ＳＣＬＫ）である場合に乱数用クロックＲＣＫの異常と判定しているが、本発明はこれに限定されず、例えば、異常と判定する閾値を複数種類設け、この複数種類の閾値の中から１つの閾値を選択可能に構成してもよい。また、システムクロックＳＣＬＫの周波数や、乱数用クロックＲＣＫの周波数は、本実施例で示した数値に限定されるものではない。たとえば、所定の情報（たとえばＲＯＭに記憶された情報）に基づいて、ＲＣＫ＝＜２×ＳＣＬＫ、ＲＣＫ＝＜１／２×ＳＣＬＫなど、異常の判定方式を設定できるようにしてもよい。なお、理想的には、１２ＭＨｚのシステムクロックＳＣＬＫに対して、１０ＭＨｚの乱数用クロックＲＣＫが３ＭＨｚ以下（システムクロックの１／４以下）の周波数になった場合に異常とすることが望ましい。

＜主制御部メイン処理＞

【１４４８】

次に、図１９０を用いて、主制御部５３００のＣＰＵ５３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【１４４９】

上述したように、主制御部５３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）５３３８を設けている。この起動信号を入力した基本回路５３０２のＣＰＵ５３０４は、リセット割り込みによりリセットスタートしてＲＯＭ５３０６に予め記憶している制御プログラムに従って処理を実行する。

【１４５０】

ステップＳ６１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ５３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定、割り込みマスクの設定、Ｉ／Ｏポート５３１０の初期設定、ＲＡＭ５３０８に記憶する各種変数の初期設定、ＷＤＴ５３１３への動作許可及び初期値の設定等を行う。なお、本実施例では、ＷＤＴ５３１３に、初期値として３２．８ｍｓに相当する数値を設定する。

【１４５１】

ステップＳ６１０２では、ＷＤＴ５３１３のカウンタの値をクリアし、ＷＤＴ５３１３による時間計測を再始動する。

【１４５２】

ステップＳ６１０３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路５３３６が、電源管理部５６５０から主制御部５３００に供給している電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ５３０４が電源の遮断を検知した場合）にはステップＳ６１０２に戻り、低電圧信号がオフの場合（ＣＰＵ５３０４が電源の遮断を検知していない場合）にはステップＳ６１０４に進む。

【１４５３】

ステップＳ６１０４では、初期設定２を行う。この初期設定２では、後述する主制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマ５３１２に設定する処理、Ｉ／Ｏ５３１０の所定のポート（例えば試験用出力ポート、副制御部５４００への出力ポート）からクリア信号を出力する処理、ＲＡＭ５３０８への書き込みを許可する設定等を行う。

【１４５４】

ステップＳ６１０５では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部５３００の基本回路５３０２を初期状態にする場合）にはステップＳ６１０７に進む。同様に電源ステータスの情報が「サスペンド（電断時処理が行われたことを示す情報）」以外の情報を示している場合にもステップＳ６１０８に進む。

【１４５５】

具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路５３０２を初期状態にすべくステップＳ６１０７に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）は、ＲＡＭ５３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路５３０２を初期状態にすべくステップＳ６１０７に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ５３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ６１０６に進み、チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機５１００を初期状態にすべくステップＳ６１０７に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ６１０７に進む。

【１４５６】

ステップＳ６１０６では、復電時処理を行う。この復電時処理では、電断時にＲＡＭ５３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタを読み出し、スタックポインタに再設定する。また、電断時にＲＡＭ５３０８に設けられたレジ

スタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割り込み許可の設定を行う。以降、ＣＰＵ５３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機５１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割り込み処理（後述）に分岐する直前に行った（ステップＳ６１０８、ステップＳ６１０９内の所定の）命令の次の命令から処理を再開する。

【１４５７】

ステップＳ６１０７では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、ＲＡＭ５３０８の全ての記憶領域の初期化などを行う。

【１４５８】

ステップＳ６１０８では、割り込み禁止の設定を行った後、基本乱数更新処理を行う。この基本乱数更新処理では、普図タイマ乱数値、特図タイマ乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～２０とすると、ＲＡＭ５３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が２１であれば０を元の乱数カウンタ記憶領域に記憶する。他の乱数カウンタもそれぞれ同様に更新する。また、この基本乱数更新処理の終了後に割り込み許可の設定を行ってステップＳ６１０９に進む。

【１４５９】

ステップＳ６１０９では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部５３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１４６０】

主制御部５３００は、所定の周期ごとに開始するタイマ割り込み処理を行っている間を除いて、ステップＳ６１０８およびＳ６１０９の処理を繰り返し実行する。

＜主制御部タイマ割り込み処理＞

【１４６１】

次に、図１９１を用いて、主制御部５３００のＣＰＵ５３０４が実行する主制御部タイマ割り込み処理について説明する。なお、同図は主制御部タイマ割り込み処理の流れを示すフローチャートである。

【１４６２】

主制御部５３００は、所定の周期（本実施例では約２ｍｓに１回）でタイマ割り込み信号を発生するカウンタ・タイマ５３１２を備えており、このタイマ割り込み信号を契機として主制御部タイマ割り込み処理を所定の周期で開始する。

【１４６３】

ステップＳ６２０１では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、ＣＰＵ５３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。

【１４６４】

ステップＳ６２０２では、ＷＤＴ５３１３のカウント値が初期設定値（本実施例では３２．８ｍｓ）を超えてＷＤＴ割り込みが発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施例では、主制御部タイマ割り込みの周期である約２ｍｓに１回）リスタートを行う。

【１４６５】

ステップＳ６２０３では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ５３１０の入力ポートを介して、上述のガラス枠５１５４が開放状態または閉鎖状態のいずれの状態であるかを検出するための開放センサ、上述の下皿５１５０が球で一杯になったか否かを検出するための下皿満タンセンサ、および複数の球検出センサを含む各種センサ５３１８の検出信号を入力して検出信号の有無を監視し、ＲＡＭ５３０８に各種センサ５３１８ごとに区画して設けた信号状態記憶領域に記憶する。本実施例で

は、前々回のタイマ割り込み処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ５３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ５３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割り込み処理（約２ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ５３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【１４６６】

ステップＳ６２０４およびステップＳ６２０５では、大当り種別用乱数更新処理および基本乱数更新処理を行う。これらの大当り種別用乱数更新処理および基本乱数更新処理では、次に主制御部５３００で使用する大当り種別用乱数等を更新する。なお、更新の方法は上述のステップＳ６１０８およびＳ６１０９と同様である。

【１４６７】

ステップＳ６２０６では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部５３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１４６８】

ステップＳ６２０７では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置５１１２に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、特別図柄表示装置５１１４に図柄を変動・停止表示する時間を計時するための特図表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【１４６９】

ステップＳ６２０８では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口（一般入賞口５１２２、第１、第２特図始動口５１２６、５１２８、および可変入賞口５１３０）に入賞（入球）があった場合に、ＲＡＭ５３０８に各入賞口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。なお、乱数用クロックＲＣＫが異常であっても入賞に対する賞球払出数の増加を制限する理由がないため、後述するステップＳ６２０９のように乱数用クロックＲＣＫに異常がある場合でも特別な処理を行わないが、不正者に対する懲罰的な意味で乱数用クロックＲＣＫに異常がある場合に賞球数を加算しない等の所定の処理を行ってもよい。また、次のステップＳ６２０９では、入賞受付処理を行う（詳細は後述する）。ステップＳ６２１０では、払出要求数送信処理を行う。なお、払出制御部５５０に出力する出力予定情報および払出要求情報は１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に今回加工種別（０～３）、およびビット０～３に加工後の払出要求数を示すようにしている。

【１４７０】

ステップＳ６２１１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動中（後述する普図汎用タイマの値が１以上）における普図状態更新処理では、普図表示装置５１１２を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【１４７１】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、上述の普図１の態様となるように普図表示装置５１１２を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、上述の普図２の態様となるように普図表示装置５１１２を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行うと共に、その後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ５３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定

する。この設定により普図の停止表示を行い、普図変動遊技の結果を遊技者に報知するようにしている。

【１４７２】

また、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、当りフラグがオンの場合には、所定の開放期間（例えば２秒間）、第２特図始動口５１２８の羽根部材の開閉駆動用のソレノイド５３３０に、羽根部材を開放状態に保持する信号を出力するとともに、ＲＡＭ５３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【１４７３】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド５３３０に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ５３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【１４７４】

また、所定の閉鎖期間を経過したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、普図の状態を非作動中に設定する。普図の状態が非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ６２１２に移行するようにしている。

【１４７５】

ステップＳ６２１２では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口５１２８の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ５３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置５１１２に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ５３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ５３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【１４７６】

ステップＳ６２１３では、特図状態更新処理を行う（詳細は後述する）。ステップＳ６２１４では、特図関連抽選処理を行う。この特図関連抽選処理では、特図変動遊技および可変入賞口５１３０の開閉制御を行っておらず（特図の状態が非作動中）、且つ、保留している特図変動遊技の数が１以上である場合に、大当り判定テーブル、高確率状態移行判定テーブル、タイマ番号決定テーブルなどを使用した各種抽選のうち、最初に大当り判定を行う。具体的には、ステップＳ６２０３で乱数値記憶領域に記憶した特図当選乱数値が、大当り判定テーブルの第１特図始動口用抽選データの数値範囲であるか否かを判定し、特図当選乱数値が第１特図始動口用抽選データの数値範囲である場合には、特図変動遊技の当選と判定してＲＡＭ５３０８に設けた大当りフラグの格納領域に大当りとなることを示す情報を設定する（ここで、大当りの情報をＲＡＭ５３０８に設定することを大当りフラグをオンに設定するという）。一方、特図当選乱数値が第１特図始動口用抽選データの数値範囲以外である場合には、特図変動遊技の外れと判定してＲＡＭ５３０８に設けた大当りフラグの格納領域に外れとなることを示す情報を設定する（ここで、外れの情報をＲＡＭ５３０８に設定することを大当りフラグをオフに設定するという）。なお、保留して

いる特図変動遊技の数は、ＲＡＭ５３０８に設けた特図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している特図変動遊技の数から１を減算した値を、この特図保留数記憶領域に記憶し直すようにしている。また、当り判定に使用した乱数値を消去する。

【１４７７】

大当りフラグにオンを設定した場合には、次に確変移行判定を行う。具体的には、大当り種別用乱数が、移行判定乱数の数値範囲であるか否かを判定し、特図乱数値が抽選データの数値範囲である場合には、ＲＡＭ５３０８に設けた確変（確率変動）フラグの格納領域に、特別大当り遊技を開始することを示す情報を設定する。（ここで、特別大当り遊技開始の情報をＲＡＭ５３０８に設定することを確変フラグをオンに設定するという）。一方、大当り種別用乱数が抽選データの数値範囲以外である場合には、上述の確変フラグの格納領域に、大当り遊技を開始することを示す情報を設定する（ここで、大当り遊技開始の情報をＲＡＭ５３０８に設定することを確変フラグをオフに設定するという）。

【１４７８】

大当り判定の結果に関わらず、次にタイマ番号を決定する処理を行う。具体的には、上述の特図タイマ乱数値生成用の乱数カウンタの値を特図タイマ乱数値として取得する。大当りフラグの値、および取得した特図タイマ乱数値を含むタイマ乱数の数値範囲に対応するタイマ番号を選択し、ＲＡＭ５３０８に設けた所定のタイマ番号格納領域に記憶する。さらに、そのタイマ番号に対応する変動時間を、特図変動表示時間として、上述の特図表示図柄更新タイマに記憶し、コマンド設定送信処理（ステップＳ６２１５）で一般コマンド回転開始設定送信処理を実行させるために上述の送信情報記憶領域に０１Ｈを送信情報（一般情報）として追加記憶してから処理を終了する。

【１４７９】

ステップＳ６２１５では、コマンド設定送信処理を行う。なお、副制御部５４００および払出制御部５５０に送信する出力予定情報（コマンド）は１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（００Ｈの場合は基本コマンド、０１Ｈの場合は図柄変動開始コマンド、０４Ｈの場合は図柄変動停止コマンド、０５Ｈの場合は入賞演出開始コマンド、０６Ｈの場合は終了演出開始コマンド、０７Ｈの場合は大当りラウンド数指定コマンド、０ＥＨの場合は復電コマンド、０ＦＨの場合はＲＡＭクリアコマンド、１０Ｈの場合は乱数クロック異常コマンドをそれぞれ示すなど、コマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【１４８０】

具体的には、ストローブ情報はコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、大当りフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、大当りフラグの値、確変フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、確変フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば確変フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口５１２６への入賞の有無、第２特図始動口５１２８への入賞の有無、可変入賞口５１３０への入賞の有無などを含む。

【１４８１】

また、上述の一般コマンド回転開始設定送信処理では、コマンド種別に０１Ｈ、コマンドデータにＲＡＭ５３０８に記憶している大当りフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド回転停止設定送信処理では、コマンド種別に０４Ｈ、コマンドデータにＲＡＭ５３０８に記憶している大当りフラグの値、確変フラグの値などを示す情報を設定する。上述の一般コマンド入賞演出設定送信処理では、コマンド種別に０５Ｈ、コ

マンドデータにＲＡＭ５３０８に記憶している入賞演出期間中に装飾図柄表示装置５１１０・各種ランプ５４２０・スピーカ５４１６に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド終了演出設定送信処理では、コマンド種別に０６Ｈ、コマンドデータにＲＡＭ５３０８に記憶している演出待機期間中に装飾図柄表示装置５１１０・各種ランプ５４２０・スピーカ５４１６に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口開放設定送信処理では、コマンド種別に０７Ｈ、コマンドデータにＲＡＭ５３０８に記憶している大当りラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口閉鎖設定送信処理では、コマンド種別に０８Ｈ、コマンドデータにＲＡＭ５３０８に記憶している大当りラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。副制御部５４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部５３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【１４８２】

ステップＳ６２１６では、外部出力信号設定処理を行う。この外部出力信号設定処理では、ＲＡＭ５３０８に記憶している遊技情報を、情報出力回路５３３４を介してパチンコ機５１００とは別体の情報入力回路５６５２に出力する。

【１４８３】

ステップＳ６２１７では、デバイス監視処理を行う。このデバイス監視処理では、ステップＳ６２０３において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、ガラス枠開放エラーの有無または下皿満タンエラーの有無などを監視し、ガラス枠開放エラーまたは下皿満タンエラーを検出した場合に、副制御部５４００に送信すべき送信情報に、ガラス枠開放エラーの有無または下皿満タンエラーの有無を示すデバイス情報を設定する。また、各種ソレノイド５３３０を駆動して第２特図始動口５１２８や、可変入賞口５１３０の開閉を制御したり、表示回路５３２２、５３２４、５３２８を介して普図表示装置５１１２、特図表示装置５１１４、各種状態表示部５３２６などに出力する表示データを、Ｉ／Ｏ５３１０の出力ポートに設定する。また、払出要求数送信処理（ステップＳ６２１０）で設定した出力予定情報を出力ポート５３１０を介して副制御部５４００に出力する。

【１４８４】

ステップＳ６２１８では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ６２２０に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ６２１９に進む。

【１４８５】

ステップＳ６２１９では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップＳ６２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。

【１４８６】

ステップＳ６２２０では、電源管理部５６５０から主制御部５３００に供給している電源の電圧値を監視する電圧監視回路が、所定の値以下である場合に電圧が低下したことを示す電圧低下信号を出力しているか否か、すなわち電源の遮断を検知したか否かを監視し、電源の遮断を検知した場合には、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ５３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行う。また、電源ステータスを「サスペンド」に設定する。

＜入賞受付処理＞

【１４８７】

次に、図１９２を用いて、上述の主制御部タイマ割り込み処理における入賞受付処理について説明する。なお、同図は入賞受付処理の流れを示すフローチャートである。

【１４８８】
ステップＳ６３０１～ステップＳ６３０３では、前々回第１特図始動口検出信号記憶領域、前回第１特図始動口検出信号記憶領域、および今回第１特図始動口検出信号記領域の各記憶領域に記憶した第１特図始動口球検出センサの検出信号の有無の情報を比較し、第１特図始動口球検出センサにおける過去３回分の検出信号の有無の情報が予め定めた入賞パターン情報と一致するか否かを判定する。そして、第１特図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施例では、今回第１特図始動口検出信号がオン、前回第１特図始動口検出信号がオン、前々回第１特図始動口検出信号がオフであることを示す情報）と一致した場合に、第１特図始動口５１２６への入球があったと判定する。例えば、第１特図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、第１特図始動口５１２６への入球があったと判定し、以降の第１特図始動口５１２６への入球に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の第１特図始動口５１２６の入球に伴う処理を行わずに処理を終了する。
【１４８９】
ステップＳ６３０４では、上述の内部情報レジスタのクロック信号状態ビットを参照し、乱数用クロックの周波数に異常があるか無いかを判定する。そして、乱数用クロックの周波数に異常がある場合にはステップＳ６３０５の処理を実行することなくステップＳ６３０６に進み、乱数用クロックの周波数に異常がない場合には、ステップＳ６３０５に進む。
【１４９０】
ステップＳ６３０５では、カウンタ回路（乱数回路）５３１６から乱数を取得する。より具体的には、第１特図始動口５１２６に入賞があり、且つ、保留している特図変動遊技の数が４未満である場合には、第１特図始動口５１２６に対応するカウンタ回路５３１６の乱数値レジスタから取り出した値を特図当選乱数値として取得、または取り出した値に「所定の加工」を行なった値を特図当選乱数値として取得する。また、上述の特図乱数値生成用の乱数カウンタから取り出した値を特図乱数値として取得、または取り出した値に「所定の加工」を行なった値を特図乱数値として取得し、ＲＡＭ５３０８に設けた乱数値記憶領域に特図当選乱数値と共に記憶する。
【１４９１】
ステップＳ６３０６～ステップＳ６３０８では、前々回第２特図始動口検出信号記憶領域、前回第２特図始動口検出信号記憶領域、および今回第２特図始動口検出信号記領域の各記憶領域に記憶した第２特図始動口球検出センサの検出信号の有無の情報を比較し、第２特図始動口球検出センサにおける過去３回分の検出信号の有無の情報が予め定めた入賞パターン情報と一致するか否かを判定する。そして、第２特図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施例では、今回第２特図始動口検出信号がオン、前回第２特図始動口検出信号がオン、前々回第２特図始動口検出信号がオフであることを示す情報）と一致した場合に、第２特図始動口５１３０への入球があったと判定する。例えば、第２特図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、第２特図始動口５１２８への入球があったと判定し、以降の第２特図始動口５１２８への入球に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の第２特図始動口５１２８の入球に伴う処理を行わずに処理を終了する。
【１４９２】
ステップＳ６３０９では、上述の内部情報レジスタのクロック信号状態ビットを参照し、乱数用クロックの周波数に異常があるか無いかを判定する。そして、乱数用クロックの周波数に異常がある場合にはステップＳ６３１０の処理を実行することなくステップＳ６３１１に進み、乱数用クロックの周波数に異常がない場合には、ステップＳ６３１０に進

む。
【１４９３】
ステップＳ６３１０では、カウンタ回路（乱数回路）５３１６から乱数を取得する。より具体的には、第２特図始動口５１２８に入賞があり、且つ、保留している特図変動遊技の数が４未満である場合には、第２特図始動口５１２８に対応するカウンタ回路５３１６の乱数値レジスタから取り出した値を特図当選乱数値として取得、または取り出した値に「所定の加工」を行なった値を特図当選乱数値として取得する。また、上述の特図乱数値生成用の乱数カウンタから取り出した値を特図乱数値として取得、または取り出した値に「所定の加工」を行なった値を特図乱数値として取得し、ＲＡＭ５３０８に設けた乱数値記憶領域に特図当選乱数値と共に記憶する。
【１４９４】
ステップＳ６３１１～ステップＳ６３１３では、前々回普図始動口検出信号記憶領域、前回普図始動口検出信号記憶領域、および今回普図始動口検出信号記領域の各記憶領域に記憶した普図始動口球検出センサの検出信号の有無の情報を比較し、普図始動口球検出センサにおける過去３回分の検出信号の有無の情報が予め定めた入賞パターン情報と一致するか否かを判定する。そして、普図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施例では、今回普図始動口検出信号がオン、前回普図始動口検出信号がオン、前々回普図始動口検出信号がオフであることを示す情報）と一致した場合に、普図始動口５１２４を球が通過したと判定する。例えば、普図始動口球検出センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、普図始動口５１２４の球の通過があったと判定し、以降の普図始動口５１２４の球の通過に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の普図始動口５１２４の球の通過に伴う処理を行わずに処理を終了する。
【１４９５】
ステップＳ６３１４では、上述の内部情報レジスタのクロック信号状態ビットを参照し、乱数用クロックの周波数に異常があるか無いかを判定する。そして、乱数用クロックの周波数に異常がある場合にはステップＳ６３１５の処理を実行することなく処理を終了し、乱数用クロックの周波数に異常がない場合には、ステップＳ６３１５に進む。
【１４９６】
ステップＳ６３１５では、カウンタ回路（乱数回路）５３１６から乱数を取得する。より具体的には、普図始動口５１２４に入賞があり、且つ、保留している普図変動遊技の数が２未満である場合には、普図始動口５１２４に対応するカウンタ回路５３１６の乱数値レジスタから値を普図当選乱数値として取得する。また、上述の普図乱数値生成用の乱数カウンタから値を普図乱数値として取得し、ＲＡＭ５３０８に設けた乱数値記憶領域に普図当選乱数値と共に記憶する。
【１４９７】
なお、本実施例においては、ＣＰＵ５３０４は、各種始動口検出信号に入力がオン→オンと、最低で１回の割込み周期分の期間（本実施例では２ｍｓ）を経なければカウンタ回路５３１６の乱数値レジスタの値をラッチしないように構成されている。一方、乱数値レジスタは、各種始動口検出信号が入力された場合のラッチ信号は、乱数用クロックＲＣＫの４周期分のオンレベルの信号を経なければラッチが行われないようになっている。本実施例では乱数用クロックＲＣＫは１０ＭＨｚであるため、最大でも０．４μｓ＋０．１μｓ＝０．５μｓ未満でラッチは完了する。すなわち、上記ステップＳ６３０５などで乱数値レジスタから値を取得する前に各種始動口検出信号によるラッチは確実に終了しているように
構成されている。
＜特図状態更新処理＞
【１４９８】
次に、図１９３を用いて、上述の主制御部タイマ割り込み処理における特図状態更新処

理について説明する。なお、同図は特図状態更新処理の流れを示すフローチャートである。

【１４９９】

ステップＳ６４０１では、内部情報レジスタのクロック信号状態ビットを参照し、乱数用クロックの周波数に異常があるか無いかを判定する。そして、乱数用クロックの周波数に異常がある場合にはステップＳ６４０２～Ｓ６４０９の処理を実行することなく、ステップＳ６４１０に進み、乱数用クロックの周波数に異常がない場合には、ステップＳ６４０２に進む。

【１５００】

ステップＳ６４０２では、特図変動中であるか否かを判定し、該当する場合にはステップＳ６４０３に進み、該当しない場合にはステップＳ６４０６に進む。ステップＳ６４０３では、特図表示装置５１１２を構成する７セグメントＬＥＤが、前回は消灯であったか否かを判定し、前回が消灯の場合はステップＳ６４０５に進んで７セグメントＬＥＤを点灯し、前回が点灯の場合はステップＳ６４０４に進んで７セグメントＬＥＤを消灯する。これにより、７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【１５０１】

ステップＳ６４０６では、特図変動停止であるか否かを判定し、該当する場合にはステップＳ６４０７に進み、該当しない場合は処理を終了する。

【１５０２】

ステップＳ６４０７では、大当りフラグの情報に応じて特図を停止表示する。具体的には、大当りフラグがオンで確変フラグがオフの場合には特図表示装置５１１４に、上述の特図１、大当りフラグがオンで確変フラグがオンの場合には特図表示装置５１１４に、上述の特図２、大当りフラグがオフの場合には、上述の特図３の態様となるように特図表示装置５１１２を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。

【１５０３】

ステップ４０８では、停止表示期間を設定する。具体的には、所定の停止表示期間（例えば５００ｍ秒間）、特図の表示を維持するためにＲＡＭ５３０８に設けた特図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により特図の停止表示をおこない、特図変動遊技の結果を遊技者に報知するようにしている。

【１５０４】

ステップＳ６４０９では、停止コマンドの出力設定を行った後、処理を終了する。具体的には、コマンド設定送信処理（上記ステップＳ６２１５）で一般コマンド回転停止設定送信処理を実行させるために上述の送信情報記憶領域に０２Ｈを送信情報（一般情報）として追加記憶する。

【１５０５】

また、図示はしないが、所定の停止表示期間が終了したタイミング（特図停止時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、大当りフラグがオンの場合には、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置５１１０による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ５３０８に設けた特図待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、所定の入賞演出期間が終了したタイミング（特図待機時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口５１３０に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口５１３０の扉部材の開閉駆動用のソレノイド５３３０に、扉部材を開放状態に保持する信号を出力するとともに、ＲＡＭ５３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口５１３０の扉部材の開閉駆動用のソレノイド５３３０に、扉部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ５３０８に設けた扉閉鎖時間管理用タイマの記憶領域に

閉鎖期間を示す情報を設定する。また、この扉部材の開放・閉鎖制御を所定回数（例えば１５ラウンド）繰り返し、終了したタイミングで開始する特図状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置５１１０による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ５３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、特図の状態を非作動中に設定する。

【１５０６】

ステップＳ６４１０では、大当りフラグをオフ（ハズレ）に設定し、ステップＳ６４１１では、特図の変動を停止する。また、次のステップＳ６４１２では、コマンド設定送信処理（上記ステップＳ６２１５）で乱数用クロック異常による停止設定送信処理を実行させるために上述の送信情報記憶領域に１０Ｈを送信情報（一般情報）として追加記憶して処理を終了する。なお、乱数用クロックＲＣＫに異常があった場合は、特図または／および普図の表示を消してもよい。

＜払出制御部メイン処理＞

【１５０７】

次に、図１９４を用いて、払出制御部５５５０が実行する払出制御部メイン処理について説明する。なお、同図は払出制御部メイン処理の流れを示すフローチャートである。

【１５０８】

払出制御部５５５０には、電源が投入されるとリセット信号を出力するリセット信号出力回路を設けている。このリセット信号を入力した払出制御部５４００のＣＰＵは、リセット割り込みによりリセットスタートしてＲＯＭに予め記憶している制御プログラムに従って処理を実行する。

【１５０９】

ステップＳ６５０１では、初期設定１を行う。この初期設定１では、ＣＰＵのスタックポインタ（ＳＰ）へのスタック初期値の設定等を行う。

【１５１０】

ステップＳ６５０２では、低電圧信号がオンであるか否か、すなわち、電圧監視回路が、電源管理部５６５０から払出制御部５５５０に供給している電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ６５０２の処理を繰り返し実行し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ６５０３に進む。

【１５１１】

ステップＳ６５０３では、初期設定２を行う。この初期設定２では、後述する払出制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマに設定する処理、ＲＡＭへの書き込みを許可する設定、Ｉ／Ｏポートの初期設定等を行う。

【１５１２】

ステップＳ６５０４では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（パチンコ機５１００を初期状態にする場合）にはステップＳ６５０６に進み、電断前の状態に復帰する場合にはステップＳ６５０５に進む。

【１５１３】

具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、パチンコ機５１００を初期状態にすべくステップＳ６５０６に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）は、ＲＡＭに設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータ

スの情報がサスペンドを示す情報でない場合には、パチンコ機５１００を初期状態にすべくステップＳ６５０６に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が０の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ６５０５に進み、チェックサムの結果が０以外である場合（チェックサムの結果が異常である場合）には、パチンコ機５１００を初期状態にすべくステップＳ６５０６に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ６５０６に進む。

【１５１４】

ステップＳ６５０５では、復電時処理を行う。この復電時処理では、ＲＡＭの記憶領域のうち、復電時にクリアすべき記憶領域（コマンドを格納するためのコマンドバッファ、エラー状態を記憶するためのエラーステータスなどを除く記憶領域）の初期化などを行う。

【１５１５】

ステップＳ６５０６では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、ＲＡＭの所定の領域（例えば、全ての記憶領域）の初期化などを行う。

【１５１６】

ステップＳ６５０７では、初期設定３を行う。この初期設定３では、ＲＡＭに設けたエラーステータス記憶領域に記憶したエラーステータスのうち、不正払出エラーと払出超過エラー以外の情報をクリアしたり、割り込み許可の設定などを行う。

【１５１７】

ステップＳ６５０８では、主制御部５３００から入力したデータの中に未解析データがあるか無いかを判定し、未解析データがある場合にはステップＳ６５０９でコマンド解析処理を行い、未解析データがない場合にはステップＳ６５１０に進む。

【１５１８】

ステップＳ６５１０では、低電圧信号がオフであるか否かを監視し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ６５０８に戻り、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ６５１１に進む。

【１５１９】

ステップＳ６５１１では、電断時処理を行う。この電断時処理では、ＲＡＭに設けたスタックポインタ退避領域に現在のスタックポインタの値を記憶し、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算し、チェックサム算出用数値記憶領域に記憶している値からその加算した結果を減算した値をチェックサム（電断時チェックサム）として算出し、算出した電断時チェックサムを上述のチェックサム算出用数値記憶領域に記憶し、ＲＡＭへの書き込みを禁止する設定などを行う。

【１５２０】

ステップＳ６５１２では、低電圧信号がオンであるか否かを監視し、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ６５１２の処理を繰返し実行して低電圧信号がオフになるのを待ち、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ６５０１に戻り、払出制御部リセット割り込み処理を最初から開始する。

＜払出制御部タイマ割り込み処理＞

【１５２１】

次に、図１９５（ａ）を用いて、払出制御部５５５０のＣＰＵが実行する払出制御部タイマ割り込み処理について説明する。なお、同図は払出制御部タイマ割り込み処理の流れ

を示すフローチャートである。
【１５２２】
払出制御部５５５０は、所定の周期（本実施例では１ｍｓに１回）でタイマ割り込みを発生するカウンタ・タイマを備えており、このタイマ割り込みを契機として払出制御部タイマ割り込み処理を所定の周期で開始する。
【１５２３】
ステップＳ６６０１では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、ＣＰＵの各レジスタの値をスタック領域に一時的に退避する処理などを行う。ステップＳ６６０２では、ポート入力管理処理を行う。このポート入力管理処理では、Ｉ／Ｏポートの値を取得して、各種センサの状態などを検出する。
【１５２４】
ステップＳ６６０３では、タイマ更新管理処理を行う。このタイマ更新管理処理では、払出報知用ＬＥＤの点灯／消灯時間、モータ駆動／非駆動時間などを計時するためのタイマなどを含む各種タイマを更新する。
【１５２５】
ステップＳ６６０４では、エラー管理処理を行う。このエラー管理処理では、主制御部５３００から乱数クロック異常コマンドを受信しているか否かを判定し、該当する場合にはＲＡＭに設けたエラーステータス記憶領域に乱数クロック異常を示す情報を記憶する。また、Ｉ／Ｏポートに入力する皿満杯信号を検出して皿満杯信号がオンであるか否かを判定し、皿満杯信号がオンの場合（下皿５１５０が球で一杯になっている場合）には、ＲＡＭに設けたエラーステータス記憶領域に皿満杯エラーを示す情報を記憶し、皿満杯信号がオフの場合（下皿５１５０に球を貯留する空きができた場合）には、エラーステータス記憶領域に皿満杯エラーの解除を示す情報を記憶する。また、主制御部５３００と払出制御部５５５０との間の通信回線が断線などにより通信可能かどうかを検出し、通信可能な場合には、ＲＡＭに設けたエラーステータス記憶領域に通信可能であることを示す情報を、また通信不可能な場合には通信不可能であることを示す情報を記憶する。また、エラー管理処理では、Ｉ／Ｏポートに入力するエラー解除スイッチ信号を検出してエラー解除信号がオンであるか否かを判定し、エラー解除信号がオンである場合には、エラーステータス記憶領域に記憶している、乱数クロック異常を示す情報、不正払出エラーの情報、または、払出超過エラーの情報を初期化して、これらのエラーを解除する。
【１５２６】
なお、乱数クロック異常を示す情報に関しては、他のエラーと異なりエラー解除スイッチ信号を検出した場合でもエラーが解除されないようにしてもよい。なぜなら、乱数クロック異常の場合は、エラーを復帰した場合に保留された特図の変動を行うとして、その特図抽選にかかる乱数の信頼性が極めて低いため、エラー解除で復帰させて変動後の遊技を行わせたくない場合があるためである。また、「複数の異常状態があり、第１の種類の異常状態は異常解除入力により異常状態を解除可能に設けられ、第２の種類の異常状態は異常解除入力により異常状態を解除不能に設けられ、第２の種類の異常状態は少なくとも乱数クロックの異常状態を含む」ことは、他の制御部やスロットマシンにも適用できる。この場合、「第２の種類の異常状態は、電源断時にもバックアップにより第２の種類の異常状態の記憶が保持されるようにし」てもよく、さらに「第２の種類の異常状態の記憶は、第２の種類の異常状態を含む複数の記憶情報の初期化により記憶を解除できるようにし」てもよく、さらに「複数の記憶情報は、遊技者の利益に関わる情報」を含んでもよく、さらに「遊技者の利益に関わる情報は乱数クロックに基づいて生成される乱数に基づいて抽選により決定される情報」であってもよい。これにより、乱数クロック異常を確実に報知できると共に、乱数クロックに異常があった場合に、乱数クロックにより基づいて抽選された利益を確実にクリアすることができるため、乱数クロック周波数の異常により遊技店が不利益を被ることを防止することができる。
【１５２７】
ステップＳ６６０５では、ＣＲユニット通信管理処理を行う。このＣＲユニット通信管

理処理では、上述のエラーステータス記憶領域に乱数クロック異常を示す情報が記憶されているか否かを判定し、乱数クロック異常を示す情報が記憶されている場合には、遊技媒体の貸出を行わないようにする。また、ＣＲユニットに対してカードを返却する信号を出力しないようにする。具体的には、遊技媒体の貸出処理を飛ばしたり、ＣＲユニットの返却処理を飛ばしたりする。一方、乱数クロック異常を示す情報が記憶されていない場合には、インターフェース部５５５６から遊技媒体貸出信号を受信して遊技媒体貸出信号センサ信号がオンであるか否かを判定し、遊技媒体貸出信号がオンの場合（インターフェース部５５５６からの球貸要求を入力した場合）には、ＲＡＭに設けた遊技媒体貸出情報記憶領域に遊技媒体の貸出要求があったことを示す情報を記憶する。

【１５２８】

ステップＳ６６０６では、払出管理処理を行う。この払出管理処理では、上述のエラーステータス記憶領域から、乱数クロック異常を示す情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、センサ回路を介して入力する払出センサの信号（以下、払出センサ信号と称する場合がある）に基づいて払出個数の監視を行う。すなわち、所定のエラー（ここでは、いずれかのエラー）が発生している場合にはモータの駆動、すなわち払出装置からの賞媒体（例えば遊技球）の払出を停止するようにしている。

【１５２９】

また、上述のエラーステータス記憶領域から、乱数クロック異常を示す情報、皿満杯エラーの情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、払出開始監視処理、初期位置検索動作処理、通常払出動作処理、リトライ動作処理、逆回転動作処理のいずれかの処理を行う。

【１５３０】

払出開始監視処理では、貸出要求数、および賞球要求数が０であり、次賞球要求数が０以外の場合は、賞球要求数に次賞球要求数をセットし、次賞球要求数をクリアする。また、スプロケットを駆動するモータの位置が不確定の場合（動作モードが初期位置検索動作モードの場合）には、払出完了数チェックから１を減算して払出完了数チェック記憶領域に記憶し、スプロケットを駆動するモータの位置が確定している場合（動作モードが通常払出動作モードの場合）には、払出完了数チェックとして払出完了数チェック記憶領域に０を設定する。また、賞球要求数を、スプロケットのモータを駆動する量（モータ駆動量）に変換し、これをＲＡＭに設けたモータ駆動量記憶領域に記憶すると共に、ＲＡＭに設けたモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットのモータの励磁位置を所定回変化してスプロケットを正方向に回転駆動する。

【１５３１】

初期位置検索動作処理および通常払出動作処理では、モータの駆動終了後に、払出完了数チェック記憶領域から払出完了チェックを読み出し、払出完了チェックが０の場合には、払出開始監視処理を実行する準備を行い、払出完了チェックが０以外の場合には、エラーステータス記憶領域に払出装置エラーを示す情報を設定すると共に、リトライ動作処理を実行する準備を行う。

【１５３２】

リトライ動作処理では、所定の時間が経過するのを待ち（リトライ動作開始待ちタイマが０になるのを待ち）、リトライ動作開始待ちタイマが０になった場合には、逆回転動作処理を実行する準備を行う。逆回転操作処理では、上述のモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、逆転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットのモータの励磁位置を所定回変化してスプロケットを逆回転駆動する。また、逆回転操作処理では、モータの駆動終了後に払出開始監視処理を実行する準備を行う。

【１５３３】
ステップＳ６６０７では、モータ駆動管理処理を行う。このモータ駆動管理処理では、駆動開始監視処理、加速駆動処理、定速駆動処理、ブレーキ駆動処理、駆動終了処理のいずれかの処理を行う。
【１５３４】
駆動開始監視処理では、上述のエラーステータス記憶領域から、乱数クロック異常を示す情報、皿満杯エラーの情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、モータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットのモータの励磁位置を所定回変化してスプロケットを正方向に回転駆動する。
【１５３５】
加速駆動処理および定速駆動処理では、スプロケットが初期位置検索動作中、または、逆回転動作中の場合を除き、モータの励磁位置を１６回変化させるごとに払出完了数チェックから１を減算して払出完了数チェック記憶領域に記憶する。また、更新後の払出完了数チェックが－４未満になった場合には、ブレーキ駆動処理を実行する準備を行う。さらに、上述の遊技媒体貸出情報記憶領域から遊技媒体貸出情報を読み出して、遊技媒体の貸出要求があったことを示す情報の有無を判定し、遊技媒体の貸出要求があったことを示す情報がある場合（賞球の払出中にインターフェース部５５５６からの球貸要求を入力した場合）にも、ブレーキ駆動処理を実行する準備を行う。
【１５３６】
ブレーキ駆動処理では、所定の時間が経過するのを待ち（モータ駆動管理タイマが０になるのを待ち）、モータ駆動管理タイマが０になった場合には、駆動終了処理を実行する準備を行い、駆動終了処理では、モータ駆動の後処理を行う。
【１５３７】
ステップＳ６６０８では、ＬＥＤ管理処理を行う。このＬＥＤ管理処理では、エラーステータス記憶領域の乱数クロック異常を示す情報が異常を示している場合には、乱数用クロックの周波数に異常が発生していることを遊技者に報知するためのＬＥＤを点灯させ、エラーステータス記憶領域の乱数クロック異常を示す情報が異常を示していない場合には、そのＬＥＤを消灯させる。また、エラーステータス記憶領域の不正払出エラー情報が不正払出エラーが発生中であることを示している場合には、不正払出エラーが発生していることを遊技者に報知するためのＬＥＤを点灯させるとともに、不正払出エラーが発生していないことを示している場合にはそのＬＥＤを消灯させる。また、エラーステータス記憶領域の払出超過エラー情報が払出超過エラーが発生中であることを示している場合には、払出超過エラーが発生していることを遊技者に報知するためのＬＥＤを点灯させるとともに、払出超過エラーが発生していないことを示している場合にはそのＬＥＤを消灯させる。
【１５３８】
ステップＳ６６０９では、信号出力管理処理を行う。この信号出力管理処理では、ＲＡＭに記憶している遊技情報（例えば払出センサ信号を入力するたびに出力する賞球信号）を、情報出力回路（図示省略）を介してパチンコ機５１００とは別体の情報入力回路（図示省略）に出力する。
【１５３９】
ステップＳ６６１０では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップＳ６６０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。
＜ストローブ割り込み処理＞
【１５４０】
次に、図１９５（ｂ）を用いて、払出制御部５５５０のＣＰＵが実行するストローブ割り込み処理について説明する。なお、同図はストローブ割り込み処理の流れを示すフロー

チャートである。
【１５４１】
払出制御部５５５０には主制御部５３００が出力するストローブ信号が入力されており、主制御部５３００が払出制御部５５５０に対してコマンドを送信すると、このストローブ信号が払出制御部５５５０に入力され、払出制御部５５５０のＣＰＵにストローブ割り込みが通知される。
【１５４２】
ストローブ割り込みを検出した払出制御部５５５０のＣＰＵは、ストローブ割り込み処理を実行し、ステップＳ６７０１において主制御部５３００から受信したコマンドをＲＡＭの所定記憶領域に記憶する。
＜副制御部メイン処理＞
【１５４３】
次に、図１９６（ａ）を用いて、副制御部５４００のＣＰＵ５４０４が実行する副制御部メイン処理について説明する。なお、同図は副制御部メイン処理の流れを示すフローチャートである。
【１５４４】
副制御部５４００には、電源が投入されるとリセット信号を出力するリセット信号出力回路を設けている。このリセット信号を入力した基本回路５４０２のＣＰＵ５４０４は、リセット割り込みによりリセットスタートしてＲＯＭ４０６に予め記憶した制御プログラムに従って処理を実行し、まず、ステップＳ６８０１で各種の初期設定を行う。この初期設定では、入出力ポートの初期設定や、各種変数の初期化等を行う。ステップＳ６８０２では、コマンド入力処理（詳細は後述）を行う。
【１５４５】
ステップＳ６８０３では、Ｉ／Ｏ５４１０の出力ポートを介して副制御部５５００にコマンドを出力する。ステップＳ６８０４では、後述するタイマ変数記憶領域の値が１０以上であるか否かを判定する。タイマ変数記憶領域の値が１０以上である場合はステップＳ６８０５に進み、タイマ変数記憶領域の値が１０未満である場合にはステップＳ６８０２に進む。ステップＳ６８０５では、タイマ変数記憶領域に０を格納する。
【１５４６】
ステップＳ６８０６では、演出データ更新処理を行う。この演出データ更新処理では、後述するコマンド記憶領域の内容を確認し、主制御部５３００から乱数クロック異常コマンドを受信しているか否かを判断する。そして、乱数クロック異常コマンドを受信している場合には、装飾図柄表示装置５１１０、遮蔽手段５２５０、スピーカ５４１６、各種ランプ５４２０および演出装置５２００の演出用可動体等によって乱数クロックが異常であることを外部に報知するための動作制御データの更新を行う。一方、乱数クロック異常コマンドを受信していない場合には、後述する変動パターン選択処理で記憶する変動番号、仮停止図柄の組合せ、および停止図柄の組合せの種別の更新を行うと共に、装飾図柄の変動表示を開始してからの経過時間に基づいて装飾図柄表示装置５１１０、遮蔽手段５２５０、スピーカ５４１６、各種ランプ５４２０および演出装置５２００の演出用可動体等による演出を制御するための動作制御データの更新を行う。
【１５４７】
ステップＳ６８０６では、決定された演出情報が示している態様で装飾図柄変動表示を行うように次回実行する上記ステップＳ６８０３の処理で副制御部５５００に出力するコマンド（例えば左に装飾７を停止することを指示するコマンドや遮蔽手段５２５０を動作させるコマンド等）をＲＡＭ５４０８に設けた液晶コマンド格納領域に格納する等、後述するステップＳ６８０７、Ｓ６８０８、Ｓ６８０９によるスピーカ５４１６、各種ランプ５４２０、および演出用可動体を制御する準備を行う。また、所定の条件が成立している場合には所定の演出を実行するか否か、例えばチャンスボタンを用いた演出を行うか否か等の抽選を行う。
【１５４８】

ステップＳ６８０７では、音出力処理を行う。この音出力処理では、上記ステップＳ６８０６で取得したスピーカ制御用の情報に含まれるスピーカ５４１６に出力する音声データをＩ／Ｏ５４１０の出力ポートに設定し、スピーカ５４１６の出力制御を音源ＩＣ５４１８に行わせる。例えば、上記ステップＳ６８０６で乱数クロックが異常であることを外部に報知するための動作制御データがセットされている場合には、乱数クロックが異常であることをスピーカ５４１６を用いて音声（例えば、警告音）で報知させる。

【１５４９】

ステップＳ６８０８では、ランプ制御処理を行う。このランプ制御処理では、上記ステップＳ６８０６で取得した各種ランプ制御用の情報に含まれる各種ランプ５４２０に出力するランプの点灯・消灯を示すデータ等をＩ／Ｏ５４１０の出力ポートに設定し、各種ランプ５４２０の点灯や消灯の制御を表示回路５４２２に行わせる。例えば、上記ステップ８０６で乱数クロックが異常であることを外部に報知するための動作制御データがセットされている場合には、乱数クロックが異常であることを各種ランプ５４２０を用いて光（例えば、点滅表示）で報知させる。

【１５５０】

ステップＳ６８０９では、演出用駆動装置制御処理を行う。この演出用駆動装置制御処理では、上記ステップＳ６８０６で取得した演出用可動体の制御用の情報に含まれる動作タイミングを示すデータ等をＩ／Ｏ５４１０の出力ポートに設定し、演出用可動体等を駆動する各種演出用駆動装置５４２４の制御を演出用駆動装置制御回路５４２６に行わせる。例えば、上記ステップＳ６８０６で乱数クロックが異常であることを外部に報知するための動作制御データがセットされている場合には、乱数クロックが異常であることを演出用可動体を用いて動き（例えば、停止）で報知させる。

【１５５１】

副制御部５４００は、後述するストローブ処理、チャンスボタン処理、または副制御部タイマ割り込み処理による中断を除いて、以降、ステップＳ６８０２～Ｓ６８０９の処理を繰り返し実行する。

＜コマンド入力処理＞

【１５５２】

次に、図１９６（ｂ）を用いて、上記副制御部メイン処理におけるコマンド入力処理について説明する。同図はコマンド入力処理の流れを示すフローチャートである。

【１５５３】

ステップＳ６８１０では、後述するコマンド記憶領域の内容を確認し、未処理のコマンドが残っているか否かを判断する。そして、コマンド記憶領域に未処理のコマンドが残っている場合にはステップＳ６８１２に進み、コマンド記憶領域に未処理のコマンドが残っていない場合には処理を終了して副制御部メイン処理に復帰する。

【１５５４】

図１９６（ｃ）は変動パターン選択処理の流れを示すフローチャートであり、同図（ｄ）は図柄停止処理の流れを示すフローチャートである。ステップＳ６８２１では、コマンド記憶領域に記憶している未処理コマンドのうちの次に処理するべき未処理コマンドの種類に基づいて、図１９６（ｃ）に示す変動パターン選択処理（例えば未処理コマンドが上記図柄変動開始コマンドに基づいて実行する）や、同図（ｄ）に示す図柄停止処理等を行う。未処理コマンドに基づく処理は他にも備えている。例えば、大当り中に可変入賞口５１３０の開放制御を開始するたびに主制御部５３００が出力し、大当り開始後の可変入賞口５１３０の開放回数を示す情報を含むラウンド開始コマンドが未処理コマンドである場合に行うラウンド開始処理等である。その他の処理は、ここでは割愛する。

【１５５５】

変動パターン選択処理のステップＳ６８２１では、未処理コマンドに含まれている上記大当りフラグの値、確変フラグの値、およびタイマ番号を抽出し、ＲＡＭ５４０８のそれぞれの記憶領域に記憶する。また、上述の変動番号選択テーブルや図柄決定テーブルを参照して演出データ（本実施例では変動番号、仮停止図柄・停止図柄の組合せ等）を選択し

、これをＲＡＭ５４０８に設けた記憶領域に記憶した後、処理を終了する。
【１５５６】
図柄停止処理のステップＳ６８４１では、上記図柄記憶領域に記憶している停止図柄の組合せを構成する３つの装飾図柄を装飾図柄表示装置５１１０の左、中、右図柄表示領域５１１０ａ～５１１０ｃの３つの表示領域に表示するように設定して処理を終了する。また、上記ラウンド開始処理では未処理コマンドに含まれている上記大当り開始後の可変入賞口５１３０の開放回数を示す情報を抽出し、ＲＡＭ５４０８の記憶領域に記憶する。
＜ストローブ割り込み処理＞
【１５５７】
次に、図１９６（ｅ）を用いて、副制御部５４００のストローブ割り込み処理について説明する。なお、同図はストローブ割り込み処理の流れを示すフローチャートである。
【１５５８】
このストローブ割り込み処理は、副制御部５４００が、主制御部５３００が出力するストローブ信号を検出した場合に実行する処理である。ストローブ割り込み処理のステップＳ６８６１では、主制御部５３００が出力したコマンドを未処理コマンドとしてＲＡＭ５４０８に設けた上記コマンド記憶領域に記憶する。
＜チャンスボタン割り込み処理＞
【１５５９】
次に、図１９６（ｆ）を用いて、副制御部５４００のチャンスボタン割り込み処理について説明する。なお、同図はチャンスボタン割り込み処理の流れを示すフローチャートである。
【１５６０】
このチャンスボタン割り込み処理は、副制御部５４００がチャンスボタン検出回路５３６４によってチャンスボタン５１４６の操作を検出した場合に実行する処理である。
【１５６１】
チャンスボタン割り込み処理のステップＳ６８８１では、ＲＡＭ５４０８の検知カウンタ記憶領域に記憶している、チャンスボタン５１４６の押下回数を計測するための検知カウンタから値を取得し、取得した値に１を加算してから元の検知カウンタ記憶領域に記憶する。
＜変数更新割り込み処理＞
【１５６２】
次に、図１９６（ｇ）を用いて、副制御部５４００のＣＰＵ５４０４によって実行する変数更新割り込み処理について説明する。なお、同図は変数更新割り込み処理の流れを示すフローチャートである。
【１５６３】
副制御部５４００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割り込みを発生するハードウェアタイマを備えており、このタイマ割り込みを契機として、変数更新割り込み処理を所定の周期で実行する。
【１５６４】
変数更新割り込み処理のステップＳ６９０１では、ＲＡＭ５４０８のタイマ変数記憶領域の値に１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ６３０４において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。
＜基本回路３０２のパッケージ＞
【１５６５】
次に、上述の主制御部５３００の基本回路５３０２が搭載されるパッケージについて詳細に説明する。図１９７（ａ）は、基本回路５３０２が搭載されるパッケージ５６８０の外観斜視図であり、同図（ｂ）は、パッケージ５６８０の視認非容易部の近傍を示す側面図である。
【１５６６】

パッケージ５６８０の短手方向両側には、パッケージ５６８０の長手方向に沿って複数の端子５６８２が配置されているが、パッケージ（マイクロコンピュータ）５６８０は、端子５６８２を設けることで該端子５６８２によって、該マイクロコンピュータ５６８０の裏面における第一の領域（例えば、裏面下方の空間）、該裏面に対向する前記基板の表面における第二の領域（例えば、表面上方の空間）および前記裏面と前記表面との間の空間における第三の領域（例えば、ＩＣソケットを介してマイクロコンピュータを基板に実装する場合には、ＩＣソケットの表面や裏面近傍の空間を含む）のうちの少なくとも一つである特定の領域を視認困難にする視認非容易部５６８０ａと、端子５６８２を設けないことによって、視認非容易部５６８０ａよりも特定の領域を視認容易にする視認容易部５６８０ｂと、を有して構成されている。

【１５６７】

このような構成により、視認容易部５６８０ｂを通してパッケージ５６８０の一方側（例えば、表側）から他方側（例えば、裏側）を視認することが可能となるため、例えば、パッケージ５６８０の裏側や、パッケージ５６８０と基板（またはＩＣソケット）の隙間などに不正な回路を後付けするような不正行為を容易に発見することができ、不正行為を未然に防止できる場合がある。

【１５６８】

特に、この例では視認容易部５６８０ｂを短手方向側面に設けているため、長手方向側面に設けた場合に比べ、パッケージ５６８０の裏側の中でも特に視認することが難しく、かつ不正部品などが取付し易い裏側中央近傍を間近で視認することが可能となり、より確実に不正行為を防止できる場合がある。さらに、視認容易部５６８０ｂを長手方向の中央部近傍に設けているため、長手方向の端部近傍に設けた場合に比べ、パッケージ５６８０の裏側の広い範囲をいろいろな角度から視認することが可能で、より確実に不正行為を防止できる場合がある。なお、視認容易部を長手方向側面にも設ければ、視認範囲をさらに広げることができ、より確実に不正行為を防止できる場合がある。

＜パッケージの変形例＞

【１５６９】

次に、パッケージ５７００の変形例について説明する。図１９８（ａ）は、基本回路５３０２が搭載されるパッケージ５７００の平面図であり、同図（ｂ）は、パッケージ５７００の端子と下側基板のみを抜き出して示す外観斜視図である。

【１５７０】

パッケージ５７００は、板状体の上側基板５７０２および下側基板５７０４と、これらの上側基板５７０２および下側基板５７０４の間に挟まれるように配置される基本回路（ＣＰＵコア）５３０２と、この基本回路５３０２の接続端子の各々にボンディングワイヤを介して接続される複数の端子（リードフレーム）５７０６と、を備えており、複数の端子５７０６が短手方向両側に長手方向に沿って配設されたＤＩＰ（Dual Inline Package）である。パッケージ５７００の上側基板５７０２および下側基板５７０４の各々は、透明部材からなる視認容易部５７０２ａ、５７０４ａと、非透明部材からなる視認非容易部５７０２ｂ、５７０４ｂを、長手方向に交互に配置して構成されている。なお、上側基板５７０２における視認容易部５７０２ａと下側基板５７０４における視認容易部５７０４ａは、長手方向の同じ位置に積層され、上側基板５７０２における視認非容易部５７０２ｂと下側基板５７０４における視認非容易部５７０４ｂは、長手方向の同じ位置に積層されている。

【１５７１】

このような構成により、視認容易部５７０２ａ、５７０４ａを通してパッケージ５７００の一方側（例えば、表側）から他方側（例えば、裏側）を視認することが可能となるため、例えば、パッケージ５７００の裏側や、パッケージ５７００と基板（またはＩＣソケット）の隙間などに不正な回路を後付けするような不正行為を容易に発見することができ、不正行為を未然に防止できる場合がある。

【１５７２】

なお、視認容易部５７０２ａ、５７０４ａは、パッケージ５７００の裏側が視認可能な部材で構成されていればよく、例えば、全体が半透明部材で構成されていてもよく、また、少なくとも一部が透明部材や半透明部材で構成され、他の部位が非透明部材で構成されていてもよい。また、視認非容易部５７０２ｂ、５７０４ｂは、パッケージ５７００の裏側が視認不能または視認困難な部材で構成されていればよく、例えば、全体が視認不能または視認困難な半透明部材で構成されていてもよい。また、視認容易部５７０２ａ、５７０４ａと視認非容易部５７０２ｂ、５７０４ｂを、長手方向の同じ位置に交互に配置したが、例えば、視認容易部５７０２ａ、５７０４ａのみでパッケージを形成してもよく、また、視認容易部５７０２ａ、５７０４ａと視認非容易部５７０２ｂ、５７０４ｂを、短手方向に交互に配置してもよい。

＜パッケージの変形例／変形例１＞

【１５７３】

次に、パッケージ５７００の変形例について説明する。図１９９（ａ）は変形例１に係るパッケージ５７１０の下側基板５７１４（５７１４ａ、５７１４ｂ）の一部分を示す外観斜視図である。この変形例１に係るパッケージ５７１０の下側基板５７１４（図示はしないが上側基板も同様の構成である。以降の変形例も同じ）は、透明部材からなる視認容易部５７１４ａと、非透明部材からなる視認非容易部５７１４ｂを長手方向に交互に配置している点はパッケージ５７００と同様であるが、視認容易部５７１４ａにおける端子５７１６の配置態様と、視認非容易部５７１４ｂにおける端子５７１６の配置態様を異ならせている。

【１５７４】

具体的には、視認容易部５７１４ａにおいては、視認容易部５７１４ａの長手方向の長さＬ１に対して１つの端子５７１６を配置し、視認非容易部５７１４ｂにおいては、視認容易部５７１４ａの長手方向の長さＬ１（この例では、視認容易部５７１４ａの長手方向の長さＬ１と同じ長さ）に対して３つの端子５７１６を略等間隔に配置しており、視認非容易部５７１４ｂにおける端子５７１６の数（この例では３つ）よりも、視認容易部５７１４ａにおける端子５７１６の数（この例では１つ）が少なくなるように構成している。

【１５７５】

換言すれば、視認容易部５７１４ａに配置された端子５７１６と、視認非容易部５７１４ｂに配置された端子５７１６のうち、最も視認容易部５７１４ａに近い端子５７１６との間の距離Ｌ２と、視認非容易部５７１４ｂに配置された複数の端子５７１６の間の距離Ｌ３が異なっており、距離Ｌ３よりも距離Ｌ２が長くなるように構成している。

【１５７６】

このような構成により、端子５７１６の数が少ない（視認を妨げる部材が少ない）視認容易部５７１４ａを通してパッケージ５７１０の一方側から他方側を確実に視認できるとともに、端子５７１６の数が多くても視認性に影響を与えない視認非容易部５７１４ｂに多くの端子５７１６を配置することができる場合がある。また、隣接する端子のノイズの影響を受けやすい信号線を、端子密度の低い視認容易部５７１４ａに配置された端子５７１６に優先的に接続すれば、視認性を確保しながらも、同時に、ノイズなどに起因する誤作動を未然に防止できる場合がある。

＜パッケージの変形例／変形例２＞

【１５７７】

図１９９（ｂ）は、変形例２に係るパッケージ５７２０の下側基板５７２４（５７２４ａ、５７２４ｂ）の一部分を示す外観斜視図である。この変形例２に係るパッケージ５７２０の基板は、透明部材からなる視認容易部５７２４ａと、非透明部材からなる視認非容易部５７２４ｂを長手方向に交互に配置している点はパッケージ５７００と同様であるが、視認非容易部５７２４ｂには複数（この例では３つ）の端子５７２６を配置しているのに対して、視認容易部５７２４ａには端子５７２６を１つも配置しないように構成している。

【１５７８】

このような構成により、視認容易部５７２４ａにおける視認性をより一層確保でき、パッケージ５７２０の一方側から他方側を確実に視認できる場合がある。また、隣接する端子のノイズの影響を受けやすい複数の信号線を、視認容易部５７２４ａの一方の側（例えば、同図の右側）の視認非容易部５７２４ｂの端子５７２６と、視認容易部５７２４ａの他方の側（例えば、同図の左側）の視認非容易部５７２４ｂの端子５７２６と、に離間して接続すれば、視認性を確保しながらも、同時に、ノイズなどに起因する誤作動を未然に防止できる場合がある。

＜パッケージの変形例／変形例３＞

【１５７９】

図１９９（ｃ）は、変形例３に係るパッケージ５７３０の下側基板５７３２（５７３２ａ、５７３２ｂ）の一部分を示す外観斜視図である。この変形例３に係るパッケージ５７３０の基板は、非透明部材からなる視認非容易部５７３２ｂの一部に、透明部材からなる立方体形状の視認容易部５７３２ａを形成するとともに、視認非容易部５７３２ｂには複数（この例では３つ）の端子５７３６を配置しているが、視認容易部５７３２ａには端子５７３６を１つも配置しないように構成している。

【１５８０】

このような構成により、視認容易部と視認非容易部を長手方向に交互に配置する場合に比べ、パッケージ５７３０の基板のコストを低減することができるとともに、視認容易部５７３２ａを通してパッケージ５７３０の一方側から他方側を視認することができる。

【１５８１】

なお、視認容易部５７３２ａは、パッケージ５７３０の基板の短手方向両側に形成してもよいし、短手方向片側のみに形成してもよいが、両側に形成すれば、視認性をより高めることができる場合がある。また、視認容易部５７３２ａの数は一つでもよいし、複数でもよいが、複数形成すれば、視認性をより高めることができる場合がある。

＜パッケージの変形例／変形例４＞

【１５８２】

図１９９（ｄ）は、変形例４に係るパッケージ５７４０の下側基板５７４２（５７４２ａ、５７４２ｂ）の一部分を示す外観斜視図である。この変形例４に係るパッケージ５７４０の基板は、非透明部材からなる視認非容易部５７４２ｂの一部に、内方に窪んだ矩形状の切欠き部５７４２ｃを形成しており、切欠き部５７４２ｃを形成していない部位には複数（この例では３つ）の端子５７４６を配置しているが、切欠き部５７４２ｃには端子５７４６を１つも配置しないように構成している。

【１５８３】

このような構成により、視認容易部と視認非容易部を別部材で構成する場合に比べ、パッケージ５７４０の基板のコストを低減することができるとともに、切欠き部５７４２ｃを通してパッケージ５７４０の一方側から他方側を視認することができる。

【１５８４】

なお、切欠き部５７４２ｃは、パッケージ５７４０の基板の短手方向両側に形成してもよいし、短手方向片側のみに形成してもよいが、両側に形成すれば、視認性をより高めることができる場合がある。また、切欠き部５７４２ｃの数は一つでもよいし、複数でもよいが、複数形成すれば、視認性をより高めることができる場合がある。

【１５８５】

また、パッケージ５７４０に切欠き部５７４２ｃを形成することによってパッケージ５７４０の強度が低下し、例えば、基板やＩＣソケットなどに実装された状態のパッケージ５７４０を取り外す際にパッケージ５７４０が破損しやすい状態（折れやすい状態）となるが、変形例４に係るパッケージ５７４０では、敢えてパッケージ５７４０の強度を低下させ、取り外しを困難にすることで、パッケージ５７４０が不正に取り外されて細工が施されるような不正行為を未然に防止できるように構成している。

＜パッケージの変形例／変形例５＞

【１５８６】

図２００（ａ）は、変形例５に係るパッケージ５７５０の外観斜視図である。この変形例５に係るパッケージ５７５０の基板は、全体が非透明部材で構成されている。また、平面視左側の一端部近傍と他端部近傍の各々に、内方に窪んだ矩形状の切欠き部５７５２を形成する一方で、平面視右側の中央近傍に、同形状の切欠き部５７５２を１つ形成し、３つの切欠き部５７５２には端子５７５６を１つも配置しないように構成している。

【１５８７】

このような構成により、視認容易部と視認非容易部を別部材で構成する場合に比べ、パッケージ５７５２の基板のコストを低減することができるとともに、平面視左側に配置する切欠き部５７５２の数および配置場所と、平面視右側に配置する切欠き部５７５２の数および配置場所を異ならせているため、例えば、右側から視認できない場所を左側から視認することができる場合があり、一層、視認性を高めることができる場合がある。

＜パッケージの変形例／変形例６＞

【１５８８】

図２００（ｂ）は、変形例６に係るパッケージ５７６０の外観斜視図である。この変形例６に係るパッケージ５７６０の基板（上側基板５７６４、下側基板５７６２）は、全体が非透明部材で構成されている。また、パッケージ５７６０の長手方向中央近傍に、内方に窪んだ細径部５７６５を形成しており、上側基板５７６４と下側基板５７６２は、この細径部５７６５に向かって短手方向と厚み方向の外径が徐々に細くなる先細り形状とされている。また、細径部５７６５は、パッケージ５７６０全体の部位の中で最も厚みが薄く幅が狭い部位とされている。

【１５８９】

このような構成により、視認容易部と視認非容易部を別部材で構成する場合に比べ、パッケージ５７６０の基板のコストを低減することができるとともに、細径部５７６５の周囲の空間を通してパッケージ５７６０の一方側から他方側を様々な角度から視認でき、視認性を高めることができる場合がある。

【１５９０】

なお、細径部５７６５は、パッケージ５７６０の長手方向中央近傍以外の位置に形成してもよいし、複数形成してもよいが、細径部５７６５を複数形成すれば、視認性をより高めることができる場合がある。

【１５９１】

また、パッケージ５７６０に細径部５７６５を形成することによってパッケージ５７６０の強度が低下し、例えば、基板やＩＣソケットなどに実装された状態のパッケージ５７６０を取り外す際にパッケージ５７６０が破損しやすい状態（折れやすい状態）となるが、変形例６に係るパッケージ５７６０では、敢えてパッケージ５７６０の強度を低下させ、取り外しを困難にすることで、パッケージ５７６０が不正に取り外されて細工が施されるような不正行為を未然に防止できるように構成している。

＜パッケージの変形例／変形例７＞

【１５９２】

図２００（ｃ）は、変形例７に係るパッケージ５７７０の外観斜視図である。この変形例７に係るパッケージ５７７０の基板（上側基板５７７４、下側基板５７７２）は、全体が非透明部材で構成されている。また、平面視左側および右側の長手方向中央近傍に、上側基板５７７４と下側基板５７７２の間に挟まれて長手方向中央近傍に配置されている基本回路５３０２を跨ぐようにして、内方に窪んだ矩形状の切欠き部５７７５を対向するように形成し、切欠き部５７７５には端子５７７６を１つも配置しないように構成している。

【１５９３】

このような構成により、視認容易部と視認非容易部を別部材で構成する場合に比べ、パッケージ５７７０の基板のコストを低減することができるとともに、平面視左側および右側に配置された複数の切欠き部５７７５を通してパッケージ５７７０の一方側から他方側を様々な角度から視認でき、視認性を高めることができる場合がある。

【１５９４】
また、平面視左側および右側の長手方向の同じ位置に切欠き部５７７５を形成することによってパッケージ５７７０の強度が低下し、基板やＩＣソケットなどに実装された状態のパッケージ５７７０を取り外す際にパッケージ５７７０が破損しやすい状態（折れやすい状態）となるが、変形例７に係るパッケージ５７７０では、敢えてパッケージ５７７０の強度を低下させ、取り外しを困難にすることで、パッケージ５７７０が不正に取り外されて細工が施されるような不正行為を未然に防止できるように構成している。
＜パッケージの変形例／変形例８＞
【１５９５】
図２００（ｄ）は、変形例８に係るパッケージ５７８０の外観斜視図である。この変形例８に係るパッケージ５７８０の基板の平面視右側の端部には、ラウンド加工されたラウンド部５７８０ａを形成しており、このラウンド部５７８０ａには端子５７８６を配置しない一方で、基板の平面視左側の端部には、ラウンド部５７８０ａに相当するラウンド加工を施さずに端子５７８６を配置するように構成している。すなわち、変形例８に係るパッケージ５７８０では、基板の平面視右側に配置される端子５７８６の数よりも、パッケージ５７８０の基板の平面視左側に配置される端子５７８６の数が多くなるように構成している。
【１５９６】
このような構成により、ラウンド部５７８０ａの有無を手掛かりにパッケージ５７８０の向きを容易に確認することが可能となり、ＩＣソケットへの逆挿しなどを未然に防止することができる上に、ラウンド部５７８０ａによって形成される空間を通してパッケージ５７８０の一方側から他方側を視認できる場合がある。なお、変形例８に係るパッケージ５７８０では、上述の変形例７に係るパッケージ５７７０のように切欠き部５７７５を形成していないが、ラウンド部５７８０ａに加えて（または替えて）、同一形状（または異なる形状）の切欠き部を形成してもよい。すなわち、他の実施例に係るパッケージの構成のうち、一つ、複数、または全ての構成を本実施例に適用してもよい（他の実施例についても同様）。
＜パッケージのその他の変形例＞
【１５９７】
図２０１（ａ）、（ｂ）は、スリット状の切欠き部を形成したパッケージの一例を示した外観斜視図である。同図（ａ）に示すパッケージには、隣接する端子の間にスリット状の切欠き部を複数（この例では、３つ）形成しており、同図（ｂ）に示すパッケージには、隣接する端子の間にスリット状の切欠き部を１つ形成している。このような構成によっても、切欠き部を通してパッケージの下方の空間を視認することができる。
【１５９８】
また、図２０２（ａ）は、円弧状の切欠き部を形成したパッケージの一例を示した外観斜視図である。上述の例では、同図（ｂ）に示すように、パッケージに矩形状の切欠き部を設けたが、この場合、切欠き部の加工が容易となる上に、パッケージの外形は矩形状であることが多いため、切欠き部を設けてもデザイン上で違和感を与えることが少ない。一方、同図（ａ）、（ｃ）に示すような円弧状の切欠き部を設けた場合、デザイン性を高めることができる上に、切欠き部を他の部位に比べて目立たせることができるため、パッケージを検査する際などに注目を集めやすい場合がある。
【１５９９】
また、図２０３（ａ）は、切欠き部の上面に、型番などを表すシールが貼付されたパッケージの一例を示した外観斜視図である。この例では、同図（ｂ）に示すように、パッケージをＩＣソケットや基板などから取り外そうとして切欠き部を中心としてパッケージが折れ曲がった場合などに、同図（ｃ）に示すように、その痕跡がシールに残るように構成しているため、パッケージの取り外しが行われた否かを即座に判定できる場合がある。なお、型番などを切欠き部の上面に直接、印字（印刷）してもよく、この場合、パッケージをＩＣソケットや基板などから取り外そうとして切欠き部を中心としてパッケージが折れ

曲がったときに、印字部分の文字の形状が崩れたり、塗装が落ちたりすることにより、不正行為の痕跡を確実に残すことができる場合がある。

【１６００】

また、図２０４（ａ）～（ｇ）は、パッケージの形状の変形例を示した図であり、同図（ａ）～（ｅ）は変形例に係るパッケージの平面図、同図（ｆ）～（ｇ）は変形例に係るパッケージを長手方向から見た側面図である。

【１６０１】

例えば、同図（ａ）に示すように、パッケージの長手方向中央近傍の両側に、内方に窪んだ平面視三角形状の切欠き部を形成してもよいし、同図（ｂ）に示すように、同図（ａ）の切欠き部に加えて、パッケージの底面に内方に窪んだ矩形状の切欠き部を形成してもよい。また、同図（ｃ）に示すように、パッケージの長手方向端部近傍の両側に、内方に窪んだ平面視三角形状の切欠き部を形成してもよいし、同図（ｄ）に示すように、パッケージの長手方向一方側の端部近傍に、内方に窪んだ平面視三角形状の切欠き部を形成する一方で、長手方向他方側の端部近傍に、同形状の切欠き部を形成してもよい。

【１６０２】

また、同図（ｅ）に示すように、パッケージの長手方向一方側の端部近傍に、内方に窪んだ平面視三角形状の切欠き部を長手方向に複数並べて形成する一方で、長手方向他方側の端部近傍に、同形状の切欠き部を長手方向に複数並べて形成してもよい。さらに、同図（ｆ）に示すように、パッケージの厚み方向の片面に、内方に窪んだ切欠き部を形成してもよいし、同図（ｇ）に示すように、パッケージの厚み方向の両面に、内方に窪んだ切欠き部を形成してもよい。

＜ＩＣソケット＞

【１６０３】

次に、上述の変形例４に係るパッケージ５７４０が実装されるＩＣソケットの一例について説明する。図２０５（ａ）は、ＩＣソケット５８５０の外観斜視図であり、同図（ｂ）は、ＩＣソケット５８５０にパッケージ５７４０を実装した状態を示す外観斜視図である。

【１６０４】

ＩＣソケット５８５０は、矩形状の３つの開口部５８５２ａが形成された板状体のベース５８５２と、このベース５８５２の長手方向両側に配置された複数のソケット端子５８５４と、を有して構成されている。ベース５８５２の長手方向両側には、パッケージ５７４０の端子５７４６に相当する位置に、この端子５７４６を挿入・固定するための円筒形状の複数のコネクト部５８５２ｂが形成され、このコネクト部５８５２ｂの各々からは、パッケージ５７４０の実装面とは反対方向に向けて棒状のソケット端子５８５４が突出形成されている。このような構成により、パッケージ５７４０をＩＣソケット５８５０に実装した場合（パッケージ５７４０の端子５７４６を、ＩＣソケット５８５０のコネクト部５８５２ｂに挿入・固定した場合）に、パッケージ５７４０の端子５７４６と、ＩＣソケット５８５０のソケット端子５８５４が電気的に接続される。

【１６０５】

また、ＩＣソケット５８５０の開口部５８５２ａの一つは、パッケージ５７４０の切欠き部５７４２ｃに相当する位置に形成されており、パッケージ５７４０をＩＣソケット５８５０に実装した場合でも、切欠き部５７４２ｃを通してパッケージ５７４０の一方側から他方側（例えば、パッケージ５７４０の正面視上側から下側のみならず、パッケージ５７４０の正面視斜め上側からパッケージ５７４０の下方空間の一部）を視認することができる。

【１６０６】

特に、ＩＣソケット５８５０のソケット端子５８５４は、ＩＣソケット５８５０を基板に実装した場合に、ベース５８５２を基板から所定高さに浮かせて保持するだけの長さを有しているため、ソケット端子５８５４の側方からパッケージ５７４０の下側の空間を視認することができることに加えて、切欠き部５７４２ｃを通した視認性をより高めること

ができる場合がある。また、パッケージ５７４０をＩＣソケット５８５０に実装した場合に、パッケージ５７４０の端子５７４６が、パッケージ５７４０をＩＣソケット５８５０の実装面から所定高さに浮かせて保持するだけの長さを有していれば、パッケージ５７４０の端子５７４６の側方からパッケージ５７４０の下側の空間を視認することができることに加えて、切欠き部５７４２ｃを通した視認性をより高めることができる場合がある。

＜パッケージの端子＞

【１６０７】

次に、変形例９に係るパッケージ５７９０の主要な端子について説明する。図２０６は、パッケージ５７９０の端子配置例を示す平面図である。なお、詳細は後述するが、同図における○（丸印）は、パッケージ５７９０が実装されるＩＣソケットのソケット端子の位置（または、パッケージ５７９０がＩＣソケットを介さずに基板に実装される場合には、基板のランドの位置）を示している。

【１６０８】

同図に示すように、パッケージ５７９０の平面視左側には、端子番号１～３５の３５個の端子を上から下に向かって一列に配置し、パッケージ５７９０の平面視右側には、端子番号３６～７１の３６個の端子を下から上に向かって一列に配置しているパッケージ５７９０の端子番号１～端子番号１７の領域には、１６本のアドレスバスＡ１５～Ａ０のうちの８本の上位アドレスバスＡ１５～Ａ８が配置されている。これらの上位アドレスバスＡ１５～Ａ８は、それぞれ端子番号１５、１３、１１、９、７、５、３、１に配置されており、端子番号１５から端子番号１にかけて一つ置きに配置されている。また、端子番号１～端子番号１７の領域には、２つのグランド電位端子ＶＳＳ５、ＶＳＳ１が配置されており、グランド電位端子ＶＳＳ５は端子番号１～端子番号１７の領域の中央近傍（端子番号１１）に、また、グランド電位端子ＶＳＳ１は端子番号１８に最も近い位置（端子番号１７）に、それぞれ配置されている。

【１６０９】

また、パッケージ５７９０の端子番号５４～端子番号７１の領域には、１６本のアドレスバスＡ１５～Ａ０のうちの８本の下位アドレスバスＡ７～Ａ０が配置されている。これらの上位アドレスバスＡ７～Ａ０は、それぞれ端子番号５５、５７、５９、６１、６３、６５、６７、６９に配置されており、端子番号５５から端子番号６９にかけて一つ置きに配置されている。また、端子番号５４～端子番号７１の領域には、２つのグランド電位端子ＶＳＳ４、ＶＳＳ３が配置されており、グランド電位端子ＶＳＳ４は端子番号５３から最も遠い位置（端子番号７１）に、また、グランド電位端子ＶＳＳ３は端子番号５３に最も近い位置（端子番号５４）に、それぞれ配置されている。

【１６１０】

また、パッケージ５７９０の端子番号１８～端子番号３５の領域には、正電源端子ＶＤＤ１と、内蔵ＲＡＭのバックアップ用電源端子ＶＢＢと、グランド電位端子ＶＳＳ２が配置されており、正電源端子ＶＤＤ１は端子番号１７から２番目に近い位置（端子番号１９）に、また、バックアップ用電源端子ＶＢＢ１はＶＤＤ１の隣、すなわち端子番号１７から３番目に近い位置（端子番号２０）に、また、グランド電位端子ＶＳＳ２は端子番号１７から最も遠い位置（端子番号３５）に、それぞれ配置されている。さらに、パッケージ５７９０の端子番号１７に最も近い位置（端子番号１８）には、クロック入力端子ＥＸが配置されている。

【１６１１】

また、パッケージ５７９０の端子番号３６～端子番号５３の領域には、正電源端子ＶＤＤ２５、ＶＤＤ２と、グランド電位端子ＶＳＳ６が配置されており、正電源端子ＶＤＤ２５は端子番号５４に最も近い位置（端子番号５３）に、また、正電源端子ＶＤＤ２はＶＤＤ２５の隣、すなわち端子番号５４に２番目に近い位置（端子番号５２）に、また、グランド電位端子ＶＳＳ６は端子番号３６～端子番号５３の領域の中央近傍（端子番号４４）に、それぞれ配置されている。さらに、パッケージ５７９０の端子番号５４から遠い端子番号３６から端子番号４３には、８本のデータ入出力バスＤ７～Ｄ０が配置されている。

＜ＩＣソケットの変形例／変形例１＞

【１６１２】

次に、ＩＣソケットの変形例について説明する。図２０７（ａ）は変形例１に係るＩＣソケット５８６０の外観斜視図であり、同図（ｂ）は、ＩＣソケット５８６０にパッケージ５７４０を実装した状態を示す外観斜視図である。

【１６１３】

変形例１に係るソケット５８６０は、上述のソケット５８５０が有する開口部５８５２ａを備えていない点が異なっている。このような開口部５８５２ａを備えないソケット５８６０にパッケージ５７４０を実装した場合でも、パッケージ５７４０が切欠き部５７４２ｃを備えているため、切欠き部５７４２ｃを通してパッケージ５７４０の一方側から他方側を視認することができる。

【１６１４】

特に、パッケージ５７４０の端子５７４６が、パッケージ５７４０をＩＣソケット５８６０に実装した場合に、パッケージ５７４０をＩＣソケット５８６０から所定高さに浮かせて保持するだけの長さを有していれば、パッケージ５７４０の端子５７４６の側方からパッケージ５７４０の下側空間を視認することができることに加えて、切欠き部５７４２ｃを通した視認性をより高めることができる場合がある。一方、パッケージ５７４０とＩＣソケット５８６０との間に形成される空間は、電子部品が配置できるほどの高さを有していないため、視認性を確保しながらも、同時に、不正な電子部品の取り付けなどを難しくしている。

＜ＩＣソケットの変形例／変形例２＞

【１６１５】

次に、ＩＣソケットの変形例について説明する。図２０８（ａ）は変形例２に係るＩＣソケット５８７０の外観斜視図であり、同図（ｂ）は、ＩＣソケット５８７０のソケット端子が実装される基板の平面図である。

【１６１６】

変形例２に係るＩＣソケット５８７０は、ベース５８７２に対するソケット端子５８７４の配置態様が上述のＩＣソケット５８５０、５８６０と異なっている。具体的には、ＩＣソケット５８７０では、パッケージの端子が挿入されるコネクト部５８７２ｂが長手方向全域に亘って略等間隔に直線状に配置されているのに対して、各々のコネクト部５８７２ｂから突出形成されるソケット端子５８７４が長手方向全域に亘って千鳥状に配置されている。また、同図（ｂ）に示すように、ＩＣソケット５８７０が実装される基板５８７８には、ＩＣソケット５８７０のソケット端子５８７４の配置態様に合わせてランド５８７８ａが千鳥状に配置・形成されている。

＜コネクト部とソケット端子＞

【１６１７】

図２０９（ａ）は、図２０８（ａ）におけるＡ－Ａ線に沿った断面を模式的に示した図であり、図２０９（ｂ）は、図２０８（ａ）におけるＢ－Ｂ線に沿った断面を模式的に示した図である。図２０９（ａ）に示すように、複数のソケット端子５８７４のうち、ＩＣソケット５８７０の短手方向内側に突出するソケット端子５８７４は、コネクト部５８７２ｂの軸心Ｌａから短手方向内側方向に所定距離Ｌ８だけ離れた位置にある軸心Ｌｂを有し、ＩＣソケット５８７０の短手方向外側端面から所定距離Ｌ９だけ離れた位置に配置されている。一方、図２０９（ｂ）に示すように、複数のソケット端子５８７４のうち、ＩＣソケット５８７０の短手方向外側に突出するソケット端子５８７４は、コネクト部５８７２ｂの軸心Ｌａから短手方向外側方向に所定距離Ｌ８だけ離れた位置にある軸心Ｌｃを有し、ＩＣソケット５８７０の短手方向外側端面から所定距離Ｌ１０（Ｌ１０＜Ｌ９）だけ離れた位置に配置されている。

【１６１８】

また、この例では、コネクト部５８７２ｂの長さとソケット端子５８７４の長さは、ＩＣソケット５８７０全体で同一長さとされている。すなわち、ＩＣソケット５８７０を基

板に実装し、ＩＣソケット５８７０にパッケージを実装した場合に、パッケージの端子とコネクタ部５８７２ｂとの接点と、ソケット端子５８７４と基板の接点の２つの接点間の距離は、ＩＣソケット５８７０全体でほぼ同一長さになるように構成されている。

＜コネクト部とソケット端子の変形例／変形例１＞

【１６１９】

図２１０（ａ）、（ｂ）は、変形例１に係るコネクト部とソケット端子の断面を模式的に示した図であり、それぞれ図２０９（ａ）、（ｂ）に相当する図である。変形例１に係るコネクト部には、図２１０（ａ）に示す第１コネクト部５８８０と、同図（ｂ）に示す第２コネクト部５８８２の２種類があり、互いに形状が異なっている。なお、図示は省略するが、この例では、パッケージの端子が挿入される第１コネクト部５８８０、第２コネクト部５８８２がＩＣソケットの長手方向全域に亘って略等間隔に直線状に配置されているのに対して、第１コネクト部５８８０、第２コネクト部５８８２から突出形成されるソケット端子５８８４がＩＣソケットの長手方向全域に亘って千鳥状に配置されている。

【１６２０】

第１コネクト部５８８０は、軸心Ｌｄに沿ってＩＣソケットの表面から裏面まで真っ直ぐに延びる直線形状からなる。また、第２コネクト部５８８２は、軸心Ｌｄに沿ってＩＣソケットの表面から裏面に向かって真っ直ぐに延びる第１直線部と、この第１直線部を基端として裏面に向かって斜めに延びる屈曲部と、この屈曲部を基端として軸心Ｌｄとは異なる軸心Ｌｅに沿ってＩＣソケットの裏面まで真っ直ぐに延びる第２直線部と、によって構成されている。一方、ソケット端子５８８４の長さは全て同一長さとされており、第１コネクタ部５８８０に接続されるソケット端子５８８４は、第１コネクタ部５８８０と同じ軸心Ｌｄ上に第１コネクタ部５８８０を基端として延出形成され、第２コネクタ部５８８２に接続されるソケット端子５８８４は、第２コネクタ部５８８２の第２直線部と同じ軸心Ｌｅ上に第２コネクタ部５８８２の第２直線部を基端として延出形成されている。

【１６２１】

したがって、この例では、第１コネクト部５８８０の長さＬ１１とソケット端子５８８４の長さの合計は、第２コネクト部５８８２の長さＬ１２（Ｌ１２＞Ｌ１１）とソケット端子５８８４の長さの合計よりも短くなっている。すなわち、このような構成を備えるＩＣソケットを基板に実装し、ＩＣソケットにパッケージを実装した場合に、パッケージの端子と第１コネクタ部５８８０との接点と、ソケット端子５８８４と基板の接点の２つの接点間の距離は、パッケージの端子と第２コネクタ部５８８２との接点と、ソケット端子５８８４と基板の接点の２つの接点間の距離よりも短くなるように構成されている。

＜コネクト部とソケット端子の変形例／変形例２＞

【１６２２】

図２１１（ａ）～（ｄ）は、変形例２に係るコネクト部とソケット端子の断面を模式的に示した図である。同図（ａ）、（ｂ）に示す第１コネクト部５８９２、第２コネクト部５８９３は、ＩＣソケットの表面から裏面に向かって真っ直ぐに延びる直線部と、この直線部を基端として裏面まで斜めに延びる屈曲部と、によって構成されており、同図（ａ）に示す第１コネクト部５８９２と同図（ｂ）に示す第２コネクト部５８９３で屈曲部の屈曲方向を反対にしている。なお、図示は省略するが、この例では、パッケージの端子が挿入される第１コネクト部５８９２、第２コネクト部５８９３の各々の直線部が、ＩＣソケットの長手方向全域に亘って略等間隔に直線状に配置されているのに対して、第１コネクト部５８９２、第２コネクト部５８９３の各々の屈曲部を基端として突出形成されるソケット端子５８９４が、ＩＣソケットの長手方向全域に亘って千鳥状に配置されている。

【１６２３】

一方、同図（ｃ）、（ｄ）に示すコネクト部５８９５は、ＩＣソケットの表面から裏面まで真っ直ぐに延びる直線形状からなる。また、第１ソケット端子５８９６と第２ソケット端子５８９７は、コネクト部５８９５を基端として斜めに延びる屈曲部と、この屈曲部を基端としてＩＣソケットの厚み方向に真っ直ぐに延びる直線部と、によって構成されており、同図（ｃ）に示す第１ソケット端子５８９６と同図（ｄ）に示す第２ソケット端子

５８９７で屈曲部の屈曲方向を反対にしている。なお、図示は省略するが、この例では、パッケージの端子が挿入されるコネクト部５８９５が、ＩＣソケットの長手方向全域に亘って略等間隔に直線状に配置されているのに対して、第１ソケット端子５８９６と第２ソケット端子５８９７が、ＩＣソケットの長手方向全域に亘って千鳥状に配置されている。

＜ＩＣソケットの変形例／変形例３＞

【１６２４】

図２１２（ａ）は変形例３に係るＩＣソケット５９００の外観斜視図である。上述のＩＣソケット５８５０では、実装されるパッケージ５７４０の切欠き部５７４２ｃに相当する位置に開口部を形成したが、この例のように、実装されるパッケージ５７４０の切欠き部５７４２ｃに相当する位置に、ＩＣソケット５９００の両側をつなぐ補強部材５９００ａを設けてもよい。また、上述のＩＣソケット５８５０では、パッケージ５７４０の切欠き部５７４２ｃに相当する位置に、コネクト部やソケット端子を配置しないように構成したが、この例のように、パッケージ５７４０の切欠き部５７４２ｃに相当する位置に、コネクト部５９００ｂやソケット端子５９００ｃを配置してもよい。このような構成とすれば、パッケージの一方側から他方側の視認性を確保しつつ、ＩＣソケットの強度を高めたり、ソケット端子の本数を増やしたりすることができる場合がある。また、コネクト部５９００ｂやソケット端子５９００ｃを配置することによって、パッケージ５７４０とＩＣソケット５９００との間に電子部品などを挿入して取り付けることが困難となるため、不正行為を未然に防止できる場合がある。

＜ＩＣソケットの変形例／変形例４＞

【１６２５】

図２１２（ｂ）は変形例４に係るＩＣソケット５９１０の外観斜視図である。この例のように、実装されるパッケージ５７４０の切欠き部５７４２ｃに相当する位置に、切欠き部５７４２ｃの形状や大きさに合わせた凹部５９１０ａを形成してもよい。このような構成とすれば、パッケージの切欠き部だけでなくＩＣソケット５９１０の凹部５９１０ａを通してパッケージの一方側から他方側を視認でき、視認性を高めることができる場合がある。

＜ＩＣソケットの変形例／変形例５＞

【１６２６】

図２１２（ｃ）は変形例５に係るＩＣソケット５９２０の外観斜視図である。この例のように、パッケージ５７４０の切欠き部５７４２ｃに相当する位置に、切欠き部５７４２ｃの形状や大きさに合わせた（例えば、切欠き部５７４２ｃに嵌合する形状で透明部材からなる）凸部５９２０ａを形成してもよい。このような構成とすれば、凸部５９２０ａによってパッケージとの間に隙間を作らないようにすることで、パッケージの裏に不正器具などが設置されることを未然に防止できる場合があり、特に、凸部５９２０ａを透明部材や半透明部材で構成すれば、凸部５９２０ａを通してパッケージの一方側から他方側を視認でき、不正器具などが設置されたことを容易に発見できる場合がある。なお、ＩＣパッケージの形状は、同図（ａ）～（ｃ）に示すように、パッケージの形状に合わせた形状に限定されず、例えば、ＩＣパッケージが実装される基板の形状に合わせた形状（例えば、基板が凸部を備える場合に、この凸部と相補的形状を有する凹部を備えるＩＣソケットなど）としてもよい。

【１６２７】

また、図２１３（ａ）、（ｂ）は、ＩＣソケットを基板に実装した例を示した外観斜視図である。同図（ａ）に示す例では、ＩＣソケット５９３０の厚みを、基板５９３２に実装されている、その他の電子部品の厚みよりも薄くしている。このような構成とすれば、ＩＣソケット５９３０にパッケージを実装した場合でも、他の電子部品によってパッケージを見ずらくし、パッケージの存在を分かりにくくすることができるため、パッケージに対する不正行為を防止できる場合がある。また、上述の視認容易部や切欠き部が配置される、ＩＣソケットの短手方向には、電子部品を配置しないように構成しているため、視認容易部や切欠き部を介して、ＩＣソケットに実装されたパッケージの裏側などを確実に視

認できる場合がある。
【１６２８】
また、同図（ｂ）に示す例では、ＩＣソケット５９４０の厚みを、ＩＣソケット５９４０の長手方向一方側の基板５９４２上に実装されている複数の電子部品５９４４の厚みよりも厚くしている。このような構成とすれば、ＩＣソケット５９４０の長手方向一方側からＩＣソケット５９４０を観察した場合に、ＩＣソケット５９４０の存在が確認し易くなるため、パッケージの実装や取り外しが容易となり、作業性を高めることができる場合がある。また、同図（ａ）の例に比べて、パッケージの熱を基板５９４２外部に逃がしやすくなるため、熱に起因する不具合を未然に防止できる場合がある。なお、この例では、電子部品５９４４の配置場所をＩＣソケット５９４０の長手方向一方側としたが、長手方向両側でもよいし、長手方向以外の方向でもよい。
【１６２９】
また、ＩＣソケット５９４０の長手方向のうち、ＩＣソケット５９４０の延長上には、電子部品を配置しないことが好ましい。このような構成とすれば、ＩＣソケットの長手方向から、ＩＣソケットに実装されたパッケージの裏側などを視認できる場合がある。
【１６３０】
また、同図（ｃ）に示すように、基板５９５０の表面を覆う透明部材からなる上ケース５９５３と、基板５９５０の裏面を覆う下ケース５９５４を備える場合、上ケース５９５３における、基板５９５０に実装されたＩＣソケット５９５１やパッケージ５９５２が配置される位置に、ＩＣソケット５９５１やパッケージ５９５２に向かって凹んだ凹部５９５３ａを形成してもよい。このような構成とすれば、上ケース５９５３によって基板５９５０が保護されているような場合でも、ＩＣソケット５９５１やパッケージ５９５２の裏側を確実に視認できる場合がある。
【１６３１】
以上説明したように、本発明の遊技台は、ＩＣと、前記ＩＣを取り付け可能なＩＣソケット（例えば、ＩＣソケット５８５０）と、前記ＩＣソケットが設けられた制御基板と、を備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記ＩＣは、ＣＰＵを含んで構成されたマイクロプロセッサであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われ、前記ＩＣは、ＲＯＭを含んで構成されたマイクロプロセッサであり、前記ＲＯＭには、ユーザプログラムが少なくとも記憶されており、前記ユーザプログラムは、前記ＣＰＵによって実行されるように構成されており、前記ＩＣソケットの複数のソケット端子は、前記制御基板に四列に固定されているソケット端子（例えば、図２０６に示すパッケージ５７９０が実装されるＩＣソケットのソケット端子）であり、前記四列のうちの一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、偶数（例えば、１８個）であり、前記四列のうちの他の一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、奇数（例えば、１７個）であり、前記一の列のソケット端子のうちの一つ（以下、「第二のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａの左側で隣り合うソケット端子５９００ｃ、図２０７の手前の列の左から８番目のソケット端子）」という。）は、同じ列の他の一つ（以下、「第一のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａに隣り合う第二のソケット端子５９００ｃの左隣のソケット端子５９００ｃ、図２０７の手前の列の左から７番目のソケット端子）」という。）に隣り合う位置に設けられたソケット端子であり、前記第二のソケット端子は、同じ列の前記第一のソケット端子とは異なる他の一つ（以下、「第三のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａの右側で隣り合うソケット端子５９００ｃ、図２０７の手前の列の右から８番目のソケット端子）」という。）に隣り合う位置に設けられたソケット端子であり、前記第二のソケット端子の中心から前記第三のソケット端子の中心までの寸法は、前記第二のソケット端子の中心から前記第一のソケット端子の中心までの寸法よりも長い寸法であり、前記ＩＣの複数のＩＣ端子は、前記ＩＣソケットに二列に挿入されているＩＣ端子であり、前記二列のうちの一の列の一端側のＩＣ端子（以下、「第一のＩＣ端子（例えば、図２０６に示す端子番号７１のＩＣ端子）」という

。）は、該二列のうちの他の一の列のＩＣ端子と隣り合わず、前記一の列の前記第一のＩＣ端子を除いたＩＣ端子（例えば、図２０６に示す端子番号７０～端子番号３６のＩＣ端子）は、前記他の一の列のＩＣ端子（例えば、図２０６に示す端子番号１～端子番号３５のＩＣ端子）と隣り合い、前記マイクロプロセッサは、セキュリティチェックを実行するプロセッサであり、前記セキュリティチェックは、前記ユーザプログラムに異常がないかどうかをチェックする機能である、ことを特徴とする遊技台である。

【１６３２】

このような構成によれば、不正行為の抑止力を高めることができる場合がある。すなわち、隣り合う第一のソケット端子と第二のソケット端子の距離と、隣り合う第二のソケット端子と第三のソケット端子の距離とが異なるため、例えば、全てのソケット端子間距離が同一の従来のＩＣソケットに、不正なＩＣを取り付け、正規なＩＣとＩＣソケットを丸ごと交換するような不正行為が行われた場合に、ＩＣソケットを制御基板から取り外し、ＩＣソケットの一部を破壊してソケット端子間距離が異なっているかを確認することで、ＩＣが不正に交換されていないかどうかを物理的に発見することが可能である。このため、従来のＩＣソケットを搭載した遊技台に比べて、不正行為に関する確認作業がし易く、不正行為の抑止力を高めることができる場合がある。

【１６３３】

また、前記第一のソケット端子は、第一の長さ（例えば、図２１０（ｂ）の第２コネクト部５８８２の長さＬ１２とソケット端子５８８４の長さの合計の長さ）のソケット端子であり、前記第二のソケット端子は、第二の長さ（例えば、図２１０（ａ）の第１コネクト部５８８０の長さＬ１１とソケット端子５８８４の長さの合計の長さ）のソケット端子であり、前記第三のソケット端子は、前記第一の長さのソケット端子であり、前記第二の長さは、前記第一の長さよりも短い、ものであってもよい。

【１６３４】

このような構成によれば、不正行為の抑止力を高めることができる場合がある。すなわち、第一のソケット端子と第二のソケット端子の長さが異なり、かつ、隣り合う第一のソット端子と第二のソケット端子の距離と、隣り合う第二のソケット端子と第三のソケット端子の距離とが異なるため、例えば、全てのソケット端子の長さや端子間距離が同一の従来のＩＣソケットに、不正なＩＣを取り付け、正規なＩＣとＩＣソケットを丸ごと交換するような不正行為が行われた場合に、ＩＣソケットを制御基板から取り外し、ＩＣソケットの一部を破壊してソケット端子の長さが異なっているかどうか、または、端子間距離が異なっているかを確認することで、ＩＣが不正に交換されていないかどうかを物理的に発見することが可能である。このため、従来のＩＣソケットを搭載した遊技台に比べて、不正行為に関する確認作業がし易く、不正行為の抑止力を高めることができる場合がある。

【１６３５】

また、前記第一のソケット端子（例えば、図２０９（ｂ）のソケット端子）は、前記ＩＣソケットの短手方向外向きに屈曲する屈曲部を少なくとも含むソケット端子であり、

【１６３６】

前記第二のソケット端子（例えば、図２０９（ａ）のソケット端子）は、前記ＩＣソケットの短手方向内向きに屈曲する屈曲部を少なくとも含むソケット端子であってもよい。

【１６３７】

また、前記第一のソケット端子は、前記ＩＣソケットの短手方向外側端面から第一の距離（例えば、図２０９（ｂ）に示すＬ１０の距離）だけ離れた位置に配置されたソケット端子であり、前記第二のソケット端子は、前記ＩＣソケットの短手方向外側端面から第二の距離（例えば、図２０９（ａ）に示すＬ９の距離）だけ離れた位置に配置されたソケット端子であり、前記第二の距離は、前記第一の距離と異なる距離であってもよい。

また、前記第二の距離は、前記第一の距離よりも長い、ものであってもよい。

【１６３８】

また、前記四列のソケット端子は、前記ＩＣソケットの長手方向に並んでいる、ものであってもよい。

また、前記遊技制御は、払出制御を含む制御であってもよい。

【１６３９】

また、電源投入によって起動信号が入力された場合に、前記セキュリティチェックが実行され、前記マイクロプロセッサは、前記起動信号が入力されてから前記遊技制御が開始されるまでの時間の長さをランダムに変化させることが可能な時間変化機能（例えば、ランダム遅延機能、セキュリティモード延長機能）を有するマイクロプロセッサであり、前記ユーザプログラムは、前記セキュリティチェックが行われた後で開始されるプログラムであり、前記セキュリティチェックの時間は、該セキュリティチェックの間に前記時間変化機能が実行されることでランダムに変化する、ものであってもよい。

＜配線パターン＞

【１６４０】

次に、上述のＩＣソケットが実装される基板の配線パターンについて説明する。図２１４（ａ）は、ＩＣソケットが実装されるランドと、これらのランドと乱数用水晶発振器５３１４ａおよびシステム用水晶発振器５３１４ｂを接続する信号線の一例を示した図であり、同図（ｂ）は、ランド近傍の部分拡大図である。また、図２１５は、ＩＣソケットの外縁を説明するための図である。

【１６４１】

この例では、基板１００２上に、ＩＣソケットが実装される（ＩＣソケットのソケット端子が接続される）複数のランド６００４ａ、６００４ｂ（一部のみ図示）が形成されているとともに、ＩＣソケットの実装部から所定の距離を置いて、乱数用水晶発振器５３１４ａとシステム用水晶発振器５３１４ｂが実装されている。ランド６００４ａ、６００４ｂは、基板６００２に実装されるＩＣソケットのソケット端子に対応して配置されており、この例では、ＩＣソケットが基板６００２に実装された場合のＩＣソケットの外縁を表す外縁ラインＯＬから所定距離Ｌ２１だけ離れた位置を中心とする円形状の外側ランド６００４ａと、外縁ラインＯＬから所定距離Ｌ２２（Ｌ２２＞Ｌ２１）だけ離れた位置を中心とする円形状の内側ランド６００４ｂの２種類がある。

【１６４２】

ここで、「ＩＣソケットの外縁」とは、図２１５に示すように、基板６００２に実装された状態におけるＩＣソケット６００１の短手方向外側の面６００１ａを含む仮想平面ＶＰをいい、この仮想平面ＶＰと基板６００２の表面とが交わって形成される線が、上述の外縁ラインＯＬである。

【１６４３】

システム用水晶発振器５３１４ｂは、第１信号線６００６を介して外側ランド６００４ａに接続され、乱数用水晶発振器５３１４ａは、第２信号線６００８を介して内側ランド６００４ｂに接続されている。第１信号線６００６の長さは、システム用水晶発振器５３１４ｂの外部クロックＥＸ端子から外縁ラインＯＬまでの距離Ｌ２０と、外縁ラインＯＬから外側ランド６００４ａ（この例では、ＩＣソケットのコネクト部を介してパッケージのＥＸ端子に接続されるランド）の中心までの距離Ｌ２１を足した数値となり、第２信号線６００８の長さは、乱数用水晶発振器５３１４ａの乱数用クロックＲＣＫ端子から外縁ラインＯＬまでの距離Ｌ２０と、外縁ラインＯＬから内側ランド６００４ｂ（この例では、ＩＣソケットのコネクト部を介してパッケージのＲＣＫ端子に接続されるランド）の中心までの距離Ｌ２２を足した数値となる。すなわち、この例では、第１信号線６００６の長さ（Ｌ２０＋Ｌ２１）よりも、第２信号線６００８の長さ（Ｌ２０＋Ｌ２２）を長くしている。さらに、この例では、外側ランド６００４ａからパッケージのＥＸ端子までの距離よりも、内側ランド６００４ｂからパッケージのＲＣＫ端子までの距離が近くなるように、すなわち、内側ランド６００４ｂからパッケージのＲＣＫ端子を通って入力する乱数用クロックＲＣＫの信号が、パッケージから発生するノイズなどの影響を受けやすいように設定している。

【１６４４】

また、図２１６は、基板６００２を側方から見た側面図である。第１信号線６００６は

、平板状の基板表面に沿ってシステム用水晶発振器５３１４ｂとＩＣソケットを高低差なく真っ直ぐに接続しており、第２信号線６００８は、平板状の基板表面に沿って乱数用水晶発振器５３１４ａとＩＣソケットを高低差無く真っ直ぐに接続している。

【１６４５】

このような構成により、システム用水晶発振器５３１４ｂをパッケージ（基本回路５３０２）の近傍に配置することができ、且つ、パッケージとシステム用水晶発振器５３１４ｂを結ぶ第１信号線６００６の長さを短くすることができるため、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。

【１６４６】

また、クロック信号の供給源と供給先を結ぶ信号線の長さは、クロック信号に外乱が加わらないようになるべく短く設定するのが一般的であるが、基本回路５３０２と乱数用水晶発振器５３１４ａを結ぶ第２信号線６００８の長さを敢えて長めに設定し、第２信号線６００８を通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。

【１６４７】

特に、第１信号線６００６のうち、ＩＣソケットによって隠れない部位（システム用水晶発振器５３１４ｂの外部クロックＥＸ端子から外縁ラインＯＬまでの信号線）と、第２信号線６００８のうち、ＩＣソケットによって隠れない部位（乱数用水晶発振器５３１４ａの乱数用クロックＲＣＫ端子から外縁ラインＯＬまでの信号線）は同じ長さに設定されているため、一見しただけでは第２信号線６００８の長さが長めに設定されていることを把握することができない。このため、不正行為者が不正行為を行う可能性が高まるおそれがあるが、乱数用クロックＲＣＫの信号の異常を検出することができるため、不正行為を確実に発見できる。

＜配線パターンの変形例／変形例１＞

【１６４８】

図２１７は、変形例１に係る配線パターンを示した図である。この例では、基板６０１２上に、ＩＣソケットが実装される外側ランド６０１４ａ、内側ランド６０１４ｂ（一部のみ図示）が形成されているとともに、（乱数用水晶発振器５３１４ａを兼ねる）システム用水晶発振器５３１４ｂが実装されている。

【１６４９】

システム用水晶発振器５３１４ｂは、第１信号線６０１６を介して外側ランド６０１４ａに接続されるとともに、第２信号線６０１８を介して内側ランド６０１４ｂに接続される。第１信号線６０１６の長さは、システム用水晶発振器５３１４ｂの外部クロックＥＸ端子から外縁ラインＯＬまでの距離Ｌ３０と、外縁ラインＯＬから外側ランド６０１４ａ（この例では、ＩＣソケットのコネクト部を介してパッケージのＲＣＫ端子に接続されるランド）の中心までの距離Ｌ３１を足した数値となり、第２信号線６０１８の長さは、システム用水晶発振器５３１４ｂの外部クロックＥＸ端子から外縁ラインＯＬまでの距離Ｌ３２（Ｌ３２＞Ｌ３０）と、外縁ラインＯＬから内側ランド６０１４ｂ（この例では、ＩＣソケットのコネクト部を介してパッケージのＲＣＫ端子に接続されるランド）の中心までの距離Ｌ３３（Ｌ３３＞Ｌ３１）を足した数値となる。すなわち、この例では、第１信号線６０１６の長さ（Ｌ３０＋Ｌ３１）よりも、第２信号線６０１８の長さ（Ｌ３２＋Ｌ３３）を長くしている。

【１６５０】

このような構成により、システム用水晶発振器５３１４ｂをパッケージ（基本回路５３０２）の近傍に配置することができ、且つ、パッケージとシステム用水晶発振器５３１４

ｂを結ぶ第１信号線６０１６の長さを短くすることができるため、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。

【１６５１】

また、クロック信号の供給源と供給先を結ぶ信号線の長さは、クロック信号に外乱が加わらないようになるべく短く設定するのが一般的であるが、第２信号線６０１８の長さを敢えて長めに設定し、第２信号線６０１８を通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。

【１６５２】

また、第１信号線６０１６と第２信号線６０１８の一部を共有化することによって、配線パターンを簡素化できる場合がある。

＜配線パターンの変形例／変形例２、３＞

【１６５３】

図２１８（ａ）は、変形例２に係る配線パターンを示した図である。この例は、上記図２１４（ａ）に示した配線パターンと略同一であるが、システム用水晶発振器５３１４ｂが接続される外側ランド６００４ａと、乱数用水晶発振器５３１４ａが接続される内側ランド６００４ｂとの間に、２つの外側ランド６００４ａを配置している。そして、一方の外側ランド６００４ａをパッケージの第１の電源端子（例えば、上述の正電源端子ＶＤＤ１）に接続し、他方の外側ランド６００４ａをパッケージの第２の電源端子（例えば、上述のバックアップ用電源端子ＶＢＢ）に接続する点が異なっている。

【１６５４】

一方、同図（ｂ）は、変形例３に係る配線パターンを示した図である。この例は、同図（ａ）に示した配線パターンと類似しているが、パッケージの第１の電源端子に接続された外側ランド６００４ａからの電源線６０３３を、スルーホールを介して基板６０３２の裏面に配線し、パッケージの第２の電源端子に接続された外側ランド６００４ａからの電源線６０３４を、基板６０３２の表面に乱数値水晶発振器５３１４ａの近傍を通して配線している。

【１６５５】

このような構成により、第１信号線６００６を通る外部クロックＥＸの信号が電源線による影響を受けにくくすることができ、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。

【１６５６】

また、第２信号線６００８の近傍に電源線６０３４を配線して第２信号線６００８を通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。

＜配線パターンの変形例／変形例４＞

【１６５７】

図２１９は、変形例４に係る配線パターンを示した図である。この例では、システム用水晶発振器５３１４ｂが接続されるランド６０４４ｂの上側に配置されたランド６０４４ａが、パッケージのグランド端子（例えば、上述のグランド電位端子ＶＳＳ１）に接続されているとともに、システム用水晶発振器５３１４ｂが接続されるランド６０４４ｂの下側に配置されたランド６０４４ｃが、パッケージの第１の電源端子（例えば、上述の正電

源端子ＶＤＤ１）に接続されている。また、乱数用水晶発振器５３１４ａが接続されるランド６０４４ｅの上側に配置されたランド６０４４ｄが、パッケージの第２の電源端子（例えば、上述のバックアップ用電源端子ＶＢＢ）に接続されているとともに、乱数用水晶発振器５３１４ａが接続されるランド６０４４ｅの下側に配置されたランド６０４４ｆが、パッケージの制御信号線（例えば、チップセレクト端子）に接続されている。

【１６５８】

このように、第１信号線６００６の近傍に信号の変化が少ない線（電源線、グランド線）を配置することで、第１信号線６００６を通る外部クロックＥＸの信号が影響を受けにくくすることができ、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。

【１６５９】

また、第２信号線６００８の近傍に信号の変化が多い線（制御信号線）を配置することで、第２信号線６００８を通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。

＜配線パターンの変形例／変形例５＞

【１６６０】

図２２０（ａ）は、変形例５に係る配線パターンを示した図である。この例では、基板上の外縁ラインＯＬから所定距離Ｌ４１だけ離れた位置に、３つのランド６０４０ａ、６０４０ｂ、６０４０ｃが配置され、ランド６０４０ａがグランド線６０４２に接続され、ランド６０４０ｂがシステム用水晶発振器のシステムクロック線６０４４に接続され、ランド６０４０ｃが電源線６０４６に接続されている。また、グランド線６０４２が接続されたランド６０４０ａの外縁と、システムクロック線６０４４が接続されたランド６０４０ｂの外縁との間の距離Ｗ１と、システムクロック線６０４４が接続されたランド６０４０ｂの外縁と、電源線６０４６が接続されたランド６０４０ｃの外縁との間の距離Ｗ１が同一距離とされている。

【１６６１】

これに対して、同図（ｂ）に示す例では、基板上の外縁ラインＯＬから所定距離Ｌ４１だけ離れた位置に、グランド線６０４２が接続されたランド６０４０ａと、電源線６０４６が接続されたランド６０４０ｃが配置され、基板上の外縁ラインＯＬから所定距離Ｌ４２（Ｌ４２＞Ｌ４１）だけ離れた位置に、システムクロック線６０４４が接続されたランド６０４０ｂが配置されている。また、ランド６０４０ｂをランド６０４０ａ、６０４０ｃよりも外縁ラインＯＬから離れた位置に配置することによって、グランド線６０４２が接続されたランド６０４０ａの外縁と、システムクロック線６０４４の外縁との間の距離Ｗ２と、システムクロック線６０４４の外縁と、電源線が接続されたランド６０４０ｃの外縁との間の距離Ｗ２の両方を、同図（ａ）に示す距離Ｗ１よりも長くしている。

【１６６２】

また、同図（ｃ）に示す例では、基板上の外縁ラインＯＬから所定距離Ｌ４２だけ離れた位置に、グランド線６０４２が接続されたランド６０４０ａと、電源線６０４６が接続されたランド６０４０ｃが配置され、基板上の外縁ラインＯＬから所定距離Ｌ４１（Ｌ４１＜Ｌ４２）だけ離れた位置に、システムクロック線６０４４が接続されたランド６０４０ｂが配置されている。また、ランド６０４０ａ、６０４０ｃをランド６０４０ｂよりも外縁ラインＯＬから離れた位置に配置することによって、グランド線６０４２の外縁と、システムクロック線６０４４が接続されたランド６０４０ｂの外縁との間の距離Ｗ２と、システムクロック線６０４４が接続されたランド６０４０ｂと、電源線６０４６の外縁との間の距離Ｗ２の両方を、同図（ａ）に示す距離Ｌａよりも長くしている。

【１６６３】

同図（ｂ）、（ｃ）に示す構成によれば、システムクロック線６０４４を、グランド線６０４２や電源線６０４６から、ランドの膨らみに相当する距離だけ離れた位置に配置することができ、システムクロック線６０４４を通る外部クロックＥＸの信号が影響を受けにくくすることができ、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。また、この例では、グランド線６０４２の外縁と、システムクロック線６０４４が接続されたランド６０４０ｂの外縁との間の距離と、システムクロック線６０４４が接続されたランド６０４０ｂと、電源線６０４６の外縁との間の距離を同じ距離Ｗ２としたが、例えば、一方を他方よりも長くしてもよい。

＜配線パターンの変形例／変形例６＞

【１６６４】

図２２１は、変形例６に係る配線パターンを示した図である。この例では、基板上の外縁ラインＯＬから所定距離Ｌ５１だけ離れた位置に、２つのランド６０５０ａ、６０５０ｂが配置され、基板上の外縁ラインＯＬから所定距離Ｌ５２（Ｌ５２＞Ｌ５１）だけ離れた位置に、１つのランド６０５０ｃが配置されている。また、ランド６０５０ａはシステム用水晶発振器５３１４ｂの外部クロックＥＸ端子に接続されており、両者を接続する信号線は屈曲されずに直線形状とされている。一方、ランド６０５０ｃは乱数用水晶発振器５３１４ｂの乱数用クロックＲＣＫ端子に接続されており、両者を接続する信号線は途中で屈曲されている。

【１６６５】

このような構成により、システム用水晶発振器５３１４ｂをパッケージ（基本回路５３０２）の近傍に配置することができ、且つ、パッケージとシステム用水晶発振器５３１４ｂを結ぶ第１信号線６０５２の長さを短くすることができるため、システム用水晶発振器５３１４ｂから出力される外部クロックＥＸの信号を、安定して基本回路５３０２のクロック回路５３４０に供給することができるとともに、この外部クロックＥＸの信号に基づいて生成されるシステムクロックＳＣＬＫの信号も、安定してＣＰＵコアや内部の各回路に供給することができる。

【１６６６】

また、クロック信号の供給源と供給先を結ぶ信号線の長さは、クロック信号に外乱が加わらないようになるべく短く設定するのが一般的であるが、基本回路５３０２と乱数用水晶発振器５３１４ａを結ぶ第２信号線６０５４の長さを敢えて長めに設定し、第２信号線６０５４を通る乱数用クロックＲＣＫの信号が外乱の影響を受けやすいように構成することによって、乱数用クロックＲＣＫの信号に基づいてカウント値のカウントを行う乱数回路５３１６のカウント値の更新タイミングにバラツキを与え、乱数回路５３１６が生成する乱数値のランダム性をさらに高めることができる。

＜基板＞

【１６６７】

図２２２は、上述のＩＣソケットを実装する基板の平面図である。同図に示す基板６０５０は、ＩＣソケットのソケット端子を実装するための複数のランド６０５２を有する矩形状のＩＣソケット実装部６０５４を４つ備えるとともに、このＩＣソケット実装部６０５４の周囲をグランド領域６０５６としている。また、複数のランド６０５２のうち、パッケージのグランド端子に接続される２つのランド６０５２ａは、信号線などを介することなく、直接、グランド領域６０５６と連通されている。なお、本実施形態に係る基板は、部品面でもよく、ハンダ面でもよい。

【１６６８】

このような構成により、基板とランドを接続するグランド線を従来よりも削減できる場合がある上に、回路変更などによってグランド電位が取りたい場合にグランド電位を取りやすくすることができ、利便性を高めることができる場合がある。

＜基板の変形例／変形例１＞

【１６６９】

図２２３は、変形例１に係る基板の平面図である。同図に示す基板６０６０は、ＩＣソケットのソケット端子を実装するための複数のランド６０６２を有する４つのＩＣソケット実装部６０６４を備えるとともに、基板６０６０に実装されるＩＣソケットの一方側から他方側を跨ぐようにして電源領域６０６８が配置されている。また、複数のランド６０６２のうち、パッケージの電源端子にされる２つのランド６０６２ａは、信号線などを介することなく、直接、電源領域６０６８と連通されている。

【１６７０】

このような構成により、基板とランドを接続する電源線を従来よりも削減できる場合がある上に、回路変更などによって電源が取りたい場合に電源を取りやすくすることができ、利便性を高めることができる場合がある。

＜基板の変形例／変形例２＞

【１６７１】

図２２４は、変形例２に係る基板の平面図である。同図に示す基板６０７０は、ＩＣソケットのソケット端子を実装するための複数のランド６０７２を有する矩形状の４つのＩＣソケット実装部６０７４を備えているとともに、これらのＩＣソケット実装部６０７４の各々には、複数（この例では４つ）のランド６０７２が千鳥状に配置されている。また、この例では、複数のランド６０７２のうち、ＩＣソケットの外側に配置されたソケット端子に対応するランドのみを、基板６０７０に実装された電子部品などに接続し、内側に配置されたランドは、電子部品などに接続せずに未使用としている。なお、この例では、ランドが千鳥状に配置された実装部を４つ備えたが、４つの実装部のうちの一つ、複数、または全ての実装部においてランドを千鳥状に配置してもよく、また、実装部の数も４つに限定されない。

【１６７２】

このような構成により、隣接する信号線の間に所定の距離を設けることができ、他の信号線によるノイズなどの影響を減らすことができる上に、回路設計が容易になる場合がある。

＜基板の変形例／変形例３＞

【１６７３】

図２２５は、変形例３に係る基板の平面図である。同図に示す基板６０８０は、ＩＣソケットのソケット端子を実装するための複数（この例では１６）のランド６０８２を備えており、これらのランド６０８２が千鳥状に配置されている。また、この例では、複数のランド６０８２のうち、ＩＣソケットの外側に配置されたソケット端子に対応するランドのみを、基板６０８０に実装された電子部品などに接続し、内側に配置されたランドは、電子部品などに接続せずに未使用としている。また、この例では、基板６０８０の全ての領域のうち、複数のランド６０８２と、電子部品などへの配線を除いた領域をグランド領域６０８４としている。

【１６７４】

このような構成により、基板とランドを接続するグランド線を従来よりも削減できる場合がある上に、回路変更などによってグランド電位が取りたい場合にグランド電位を取りやすくすることができ、利便性を高めることができる場合がある。また、隣接する信号線の間に所定の距離を設けることができ、他の信号線によるノイズなどの影響を減らすことができる上に、回路設計が容易になる場合がある。

【１６７５】

以上説明したように、本実施形態に係るパチンコ機５１００は、遊技制御を行う遊技制御用のマイクロコンピュータ（例えば、図１９７（ａ）に示すパッケージ５６８０）が設けられた基板を有する主制御手段（例えば、主制御部５３００）と、前記主制御手段の遊技制御に基づいて遊技の演出制御を行う副制御手段（例えば、第１副制御部５４００）と、を備えた遊技台であって、前記マイクロコンピュータは、端子（例えば、端子５６８２

）を設けることで該端子によって、該マイクロコンピュータの裏面における第一の領域、該裏面に対向する前記基板の表面における第二の領域および前記裏面と前記表面との間の空間における第三の領域のうちの少なくとも一つである特定の領域を視認困難にする視認非容易部（例えば、視認非容易部５６８０ａ）と、前記端子を設けないことによって、前記視認非容易部よりも前記特定の領域を視認容易にする視認容易部（例えば、視認容易部６８０ｂ）と、を有して構成されていることを特徴とする遊技台である。

【１６７６】

換言すれば、前記マイクロコンピュータは、端子を設けることで該端子によって視認困難となる範囲を有する視認非容易部と、前記端子を設けないことで前記非視認容易部よりも視認困難となる範囲が狭くなる視認容易部と、を有して構成されていることを特徴とする遊技台である。なお、本発明に係る「視認困難」とは、特定の領域を完全に見ることができない場合（視認が不可能な場合）に限定されず、視認容易部に比べて特定の領域が僅かに視認し難い状態も含む概念である。一方、本発明に係る「視認容易」とは、特定の領域を全て見ることができる場合に限定されず、視認非容易部に比べて特定の領域が僅かに視認し易い状態も含む概念である。また、本発明に係る「特定の領域」は、マイクロコンピュータの端子の表面や、マイクロコンピュータの端子と基板間を接続するためのＩＣソケットの表面などを含む概念である。

【１６７７】

本実施形態に係るパチンコ機５１００によれば、視認容易部を通して遊技制御用マイクロコンピュータの裏側近傍の特定の領域を視認することができ、マイクロコンピュータの裏側などに不正部品を取り付けるような不正行為を未然に防止することができる場合がある。また、視認非容易部によって特定の領域の存在をメーカやパチンコ店以外の人には知られ難くする一方で、視認容易部によってメーカやパチンコ店の人には特定の領域に不正部品が設けられていないかどうかを確認しやすくすることができ、不正改造を防止できる場合がある。

【１６７８】

また、前記視認非容易部における端子は、前記マイクロコンピュータの短手方向両側にのみ設けられていてもよい（例えば、図２００（ｂ）に示すパッケージ５７６０、図２００（ｃ）に示すパッケージ５７７０などを参照）。

【１６７９】

このような構成とすれば、短手方向両側の視認容易部を通して遊技制御用マイクロコンピュータの裏側近傍の特定の領域を様々な角度から視認することができるため、さらに不正部品などを見つけることが容易となる場合がある。

【１６８０】

また、前記視認容易部（例えば、図１９９（ｃ）に示す視認非容易部５７３２ａ、図１９９（ｄ）に示す切欠き部５７４２ｃ、図２０１（ａ）、（ｂ）に示すスリット、図２００（ｄ）に示すラウンド部５７８０ａ、図２０２（ａ）に示す円弧状の切欠き部）が、前記遊技制御用マイクロコンピュータの短手方向片側に設けられていてもよい。

【１６８１】

このような構成とすれば、短手方向片側の視認容易部を通して遊技制御用マイクロコンピュータの裏側近傍の特定の領域を視認することができるため、さらに不正部品などを見つけることが容易となる場合がある。

【１６８２】

また、前記遊技制御用マイクロコンピュータには長手方向に沿って複数の端子が配置され、前記視認容易部（例えば、図２００（ｂ）に示す細径部５７６５、図２００（ｃ）に示す切欠き部５７７５、図２００（ａ）、（ｂ）に示すスリット）が、前記端子間に設けられていてもよい。

【１６８３】

このような構成とすれば、多くの端子を配置することが可能でありながら、端子間の視認容易部を通して遊技制御用マイクロコンピュータの裏側近傍の特定の領域を視認するこ

とができるため、さらに不正部品などを見つけることが容易となる場合がある。
【１６８４】
また、前記視認容易部（例えば、図２００（ｂ）に示す細径部５７６５、図２００（ｃ）に示す切欠き部５７７５、図２０４（ａ）～（ｃ）に示す平面視三角形状の切欠き部）が、前記短手方向両側に対向して設けられていてもよい。
【１６８５】
このような構成とすれば、対向配置された視認容易部を通して遊技制御用マイクロコンピュータの裏側を視認することができるため、さらに不正部品などを見つけることが容易となる場合がある。
【１６８６】
以上説明したように、本実施形態に係る遊技台は、ＩＣと、前記ＩＣを取り付け可能なＩＣソケット（例えば、ＩＣソケット５８５０）と、前記ＩＣソケットが設けられた制御基板と、を備えた遊技台であって、前記遊技台は、ぱちんこ機（例えば、パチンコ機５１００）またはスロットマシンであり、前記ＩＣは、ＣＰＵを含んで構成されたマイクロプロセッサであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われ、前記ＩＣは、ＲＯＭを含んで構成されたマイクロプロセッサであり、前記ＲＯＭには、ユーザプログラムが少なくとも記憶されており、前記ユーザプログラムは、前記ＣＰＵによって実行されるように構成されており、前記ＩＣソケットの複数のソケット端子は、前記制御基板に四列に固定されているソケット端子（例えば、図２０６に示すパッケージ５７９０が実装されるＩＣソケットのソケット端子）であり、前記四列のうちの一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、偶数であり、前記四列のうちの他の一の列のソケット端子に対応する挿入部に挿入される前記ＩＣの端子の数は、奇数であり、前記一の列のソケット端子のうちの一つ（以下、「第二のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａの左側で隣り合うソケット端子５９００ｃ、図２０７の手前の列の左から８番目のソケット端子、図２０９（ａ）のソケット端子など）」という。）は、同じ列の他の一つ（以下、「第一のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａに隣り合う第二のソケット端子５９００ｃの左隣のソケット端子５９００ｃ、図２０７の手前の列の左から７番目のソケット端子、図２０９（ｂ）のソケット端子など）」という。）に隣り合う位置に設けられたソケット端子であり、前記第二のソケット端子は、同じ列の前記第一のソケット端子とは異なる他の一つ（以下、「第三のソケット端子（例えば、図２１２（ｂ）の凹部５９１０ａの右側で隣り合うソケット端子５９００ｃ、図２０７の手前の列の右から９番目のソケット端子）」という。）に隣り合う位置に設けられたソケット端子であり、前記四列のうちの一の列の一端側のソケット端子（以下、「第四のソケット端子（例えば、図２０６の右から２列目の端子番号７１に対応するソケット端子）」という。）は該四列のうちの他の一の列のソケット端子と隣り合わず、該一の列の前記第四のソケット端子を除いたソケット端子は該他の一の列のソケット端子と隣り合い、前記ＩＣの複数のＩＣ端子は、前記ＩＣソケットに二列に挿入されているＩＣ端子であり、前記二列のうちの一の列の一端側のＩＣ端子（以下、「第一のＩＣ端子（例えば、図２０６に示す端子番号７１のＩＣ端子）」という。）は該二列のうちの他の一の列のＩＣ端子と隣り合わず、該一の列の前記第一のＩＣ端子を除いたＩＣ端子（例えば、図２０６に示す端子番号７０～端子番号３６のＩＣ端子）は該他の一の列のＩＣ端子（例えば、図２０６に示す端子番号１～端子番号３５のＩＣ端子）と隣り合い、前記マイクロプロセッサは、セキュリティチェックを実行するプロセッサであり、前記セキュリティチェックは、前記ユーザプログラムに異常がないかどうかをチェックする機能である、ことを特徴とする遊技台である。
【１６８７】
このような構成によれば、四列のうちの一の列の一端側の第四のソケット端子が該四列のうちの他の一の列のソケット端子と隣り合わないように配置されているため、第四のソケット端子に例えばグランド電位端子ＶＳＳ４などを挿入した場合、回路変更などによってグランド電位が取りたい場合にグランド電位を取りやすくすることができ、利便性を高

めることができる場合がある。
【１６８８】
また、前記第一のソケット端子は、第一の長さ（例えば、図２１０（ｂ）の第２コネクト部５８８２の長さＬ１２とソケット端子５８８４の長さの合計の長さ）のソケット端子であり、前記第二のソケット端子は、第二の長さ（例えば、図２１０（ａ）の第１コネクト部５８８０の長さＬ１１とソケット端子５８８４の長さの合計の長さ）のソケット端子であり、前記第三のソケット端子は、前記第一の長さのソケット端子であり、前記第二の長さは、前記第一の長さよりも短い、ものであってもよい。
【１６８９】
また、前記第一のソケット端子（例えば、図２０９（ｂ）のソケット端子）は、前記ＩＣソケットの短手方向外向きに屈曲する屈曲部を少なくとも含むソケット端子であり、前記第二のソケット端子（例えば、図２０９（ａ）のソケット端子）は、前記ＩＣソケットの短手方向内向きに屈曲する屈曲部を少なくとも含むソケット端子であってもよい。
【１６９０】
また、前記第一のソケット端子は、前記ＩＣソケットの短手方向外側端面から第一の距離（例えば、図２０９（ｂ）に示すＬ１０の距離）だけ離れた位置に配置されたソケット端子であり、前記第二のソケット端子は、前記ＩＣソケットの短手方向外側端面から第二の距離（例えば、図２０９（ａ）に示すＬ９の距離）だけ離れた位置に配置されたソケット端子であり、前記第二の距離は、前記第一の距離と異なる距離であってももよい。
また、前記第二の距離は、前記第一の距離よりも長い、ものであってもよい。
【１６９１】
また、前記四列のソケット端子は、前記ＩＣソケットの長手方向に並んでいる、ものであってもよい。
また、前記遊技制御は、払出制御を含む制御であってもよい。
【１６９２】
また、電源投入によって起動信号が入力された場合に、前記セキュリティチェックが実行され、前記マイクロプロセッサは、前記起動信号が入力されてから前記遊技制御が開始されるまでの時間の長さをランダムに変化させることが可能な時間変化機能（例えば、ランダム遅延機能、セキュリティモード延長機能）を有するマイクロプロセッサであり、前記ユーザプログラムは、前記セキュリティチェックが行われた後で開始されるプログラムであり、前記セキュリティチェックの時間は、該セキュリティチェックの間に前記時間変化機能が実行されることでランダムに変化する、ものであってもよい。
【１６９３】
なお、上記実施形態においては、遊技球を遊技媒体としたパチンコ機の例を示したが、本発明はこれに限定されるものではなく、例えば、以下に説明するような、メダル（コイン）を遊技媒体としたスロットマシンなどにも適用可能である。
＜全体構成＞
【１６９４】
まず、図２２６を用いて、他の例に係るスロットマシン６１００の全体構成について説明する。なお、同図はスロットマシン６１００の外観斜視図を示したものである。
【１６９５】
スロットマシン６１００は、略箱状の本体６１０１と、この本体６１０１の前面開口部に取り付けられた前面扉６１０２とを有して構成されている。スロットマシン６１００の本体６１０１の中央内部には、外周面に複数種類の図柄が所定コマ数だけ配置されたリールが３個（左リール６１１０、中リール６１１１、右リール６１１２）収納され、スロットマシン６１００の内部で回転できるように構成されている。各図柄は帯状部材に等間隔で適当数印刷され、この帯状部材が所定の円形枠材に貼り付けられて各リール６１１０乃至６１１２が構成されている。リール６１１０乃至６１１２上の図柄は、遊技者から見ると、図柄表示窓６１１３から縦方向に概ね３つ表示され、合計９つの図柄が見えるようになっている。そして、各リール６１１０乃至６１１２を回転させることにより、遊技者か

ら見える図柄の組み合せが変動することとなる。なお、本実施例１では、３個のリールをスロットマシン６１００の中央内部に備えているが、リールの数やリールの設置位置はこれに限定されるものではない。

【１６９６】

また、図柄表示窓６１１３の外枠には、点滅や点灯などの点灯制御によって、後述する有効ラインや入賞ラインを報知するためのライン表示ＬＥＤ（図示省略）が配置されている。

【１６９７】

さらに、スロットマシン６１００内部において各々のリール６１１０乃至６１１２の近傍には、投光部と受光部からなる光学式センサ（図示省略）が設けられており、この光学式センサの投光部と受光部の間を、リールに設けられた一定の長さの遮光片が通過するように構成されている。このセンサの検出結果に基づいてリール上の図柄の回転方向の位置を判断し、目的とする図柄が入賞ライン６１１４上に表示されるようにリール６１１０乃至６１１２を停止させる。

【１６９８】

入賞ライン表示ランプ６１２０は、有効となる入賞ラインを示すランプである。有効となる入賞ラインは、スロットマシン６１００に投入されたメダルの数によって予め定まっている。５本の入賞ライン６１１４のうち、例えば、メダルが１枚投入された場合、中段の水平入賞ラインが有効となり、メダルが２枚投入された場合、上段水平入賞ラインと下段水平入賞ラインが追加された３本が有効となり、メダルが３枚投入された場合、右下り入賞ラインと右上り入賞ラインが追加された５本が入賞ラインとして有効になる。なお、入賞ライン１１４の数については５本に限定されるものではない。

【１６９９】

スタートランプ６１２１は、リール６１１０乃至６１１２が回転することができる状態にあることを遊技者に知らせるランプである。再遊技ランプ６１２２は、前回の遊技において入賞役の一つである再遊技役に入賞した場合に、今回の遊技が再遊技可能であること（メダルの投入が不要であること）を遊技者に知らせるランプである。告知ランプ６１２３は、内部抽選において、特定の入賞役（例えば、ＢＢ（ビッグボーナス）やＲＢ（レギュラーボーナス）等のボーナス）に内部当選していることを遊技者に知らせるランプである。メダル投入ランプ６１２４は、メダルの投入が可能であることを知らせるランプである。払出枚数表示器６１２５は、何らかの入賞役に入賞した結果、遊技者に払出されるメダルの枚数を表示するための表示器である。遊技回数表示器６１２６は、メダル投入時のエラー表示や、ビッグボーナスゲーム中（ＢＢゲーム中）の遊技回数、所定の入賞役の入賞回数等を表示するための表示器である。貯留枚数表示器６１２７は、スロットマシン６１００に電子的に貯留されているメダルの枚数を表示するための表示器である。リールパネルランプ６１２８は、演出用のランプである。

【１７００】

メダル投入ボタン６１３０、６１３１は、スロットマシン６１００に電子的に貯留されているメダルを所定の枚数分投入するためのボタンである。本実施例１においては、メダル投入ボタン６１３０が押下される毎に１枚ずつ最大３枚まで投入され、メダル投入ボタン６１３１が押下されると３枚投入されるようになっている。メダル投入口６１３４は、遊技を開始するに当たって遊技者がメダルを投入するための投入口である。すなわち、メダルの投入は、メダル投入ボタン６１３０又は６１３１により電子的に投入することもできるし、メダル投入口６１３４から実際のメダルを投入することもできる。精算ボタン６１３２は、スロットマシン６１００に電子的に貯留されたメダル及びベットされたメダルを精算し、メダル払出口６１５５よりメダル受皿６１５６に排出するためのボタンである。メダル返却ボタン６１３３は、投入されたメダルが詰まった場合に押下してメダルを取り除くためのボタンである。

【１７０１】

スタートレバー６１３５は、遊技の開始操作を行うためのレバー型のスイッチである。

即ち、メダル投入口６１３４に所望する枚数のメダルを投入して、スタートレバー６１３５を操作すると、これを契機としてリール６１１０乃至６１１２が回転し、遊技が開始される。ストップボタン６１３７乃至６１３９は、スタートレバー６１３５の操作によって回転を開始したリール６１１０乃至６１１２に対する停止操作を行うためのボタンであり、各リール６１１０乃至６１１２に対応して設けられている。そして、いずれかのストップボタン６１３７乃至６１３９を操作すると対応するいずれかのリール６１１０乃至６１１２が停止することになる。

【１７０２】

ドアキー孔６１４０は、スロットマシン６１００の前面扉６１０２のロックを解除するためのキーを挿入する孔である。メダル払出口６１５５は、メダルを払出すための払出口である。メダル受皿６１５６は、メダル払出口６１５５から払出されたメダルを溜めるための器である。なお、メダル受皿６１５６は、本実施例１では発光可能な受皿を採用している。

【１７０３】

上部ランプ６１５０、サイドランプ６１５１、中央ランプ６１５２、腰部ランプ６１５３、下部ランプ６１５４は、遊技を盛り上げるための装飾用のランプである。演出装置６１９０は、例えば開閉自在な扉装置（シャッター）６１６３が前面に取り付けられた液晶表示装置を含み、この演出装置６１９０には、例えば小役告知等の各種の情報が表示される。音孔６１６０は、スロットマシン６１００内部に設けられているスピーカの音を外部に出力するための孔である。タイトルパネル６１６２には、スロットマシン６１００を装飾するための図柄が描かれる。

＜主制御部３００＞

【１７０４】

次に、図２２７および図２２８を用いて、このスロットマシン６１００の制御部の回路構成について詳細に説明する。

【１７０５】

スロットマシン６１００の制御部は、大別すると、遊技の中枢部分を制御する主制御部６３００と、主制御部６３００より送信されたコマンドに応じて各種機器を制御する副制御部６４００と、副制御部６４００より送信されたコマンドに応じて液晶表示装置６１５７や扉装置６１６３を制御する扉・液晶画面表示制御部６４９０によって構成されている。

＜主制御部＞

【１７０６】

まず、図２２７を用いて、スロットマシン６１００の主制御部６３００について説明する。なお、同図は主制御部６３００の回路ブロック図を示したものである。

【１７０７】

主制御部６３００は、主制御部６３００の全体を制御するための演算処理装置であるＣＰＵ６３１０や、ＣＰＵ６３１０が各ＩＣや各回路と信号の送受信を行うためのデータバス及びアドレスバスを備え、その他、以下に述べる構成を有する。クロック補正回路６３１４は、水晶発振器６３１１から発振されたクロックを分周してＣＰＵ６３１０に供給する回路である。例えば、水晶発振器６３１１の周波数が１２ＭＨｚの場合に、分周後のクロックは６ＭＨｚとなる。ＣＰＵ６３１０は、クロック補正回路６３１４により分周されたクロックをシステムクロックとして受け入れて動作する。

【１７０８】

また、ＣＰＵ６３１０には、センサやスイッチの状態を常時監視するためのタイマ割り込み処理の周期やモータの駆動パルスの送信周期を設定するためのタイマ回路６３１５がバスを介して接続されている。ＣＰＵ６３１０は、電源が投入されると、データバスを介してＲＯＭ６３１２の所定エリアに格納された分周用のデータをタイマ回路６３１５に送信する。タイマ回路６３１５は、受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに、割り込み要求をＣＰＵ６３１０に送信する。ＣＰＵ６３１０は

、この割込み要求を契機に、各センサ等の監視や駆動パルスの送信を実行する。例えば、ＣＰＵ６３１０のシステムクロックを６ＭＨｚ、タイマ回路６３１５の分周値を１／２５６、ＲＯＭ６３１２の分周用のデータを４４に設定した場合、この割り込みの基準時間は、２５６×４４÷６ＭＨｚ＝１．８７７ｍｓとなる。

【１７０９】

さらに、ＣＰＵ６３１０には、各ＩＣを制御するためのプログラム、入賞役の内部抽選時に用いる抽選データ、リールの停止位置等の各種データを記憶しているＲＯＭ６３１２や、一時的なデータを保存するためのＲＡＭ６３１３が接続されている。これらのＲＯＭ６３１２やＲＡＭ６３１３については他の記憶手段を用いてもよく、この点は後述する副制御部６４００においても同様である。また、ＣＰＵ６３１０には、外部の信号を受信するための入力インタフェース６３６０が接続され、割込み時間ごとに入力インタフェース６３６０を介して、スタートレバーセンサ６３２１、ストップボタンセンサ６３２２、メダル投入ボタンセンサ６３２３、精算スイッチセンサ６３２４、メダル払い出しセンサ６３２６、電源判定回路６３２７の状態を検出し、各センサを監視している。

【１７１０】

メダル投入センサ６３２０は、メダル投入口６１３４に投入されたメダルを検出するためのセンサである。スタートレバーセンサ６３２１はスタートレバー６１３５の操作を検出するためのセンサである。ストップボタンセンサ６３２２はストップボタン６１３７乃至６１３９のいずれかが押された場合、どのストップボタンが押されたかを検出するためのセンサである。メダル投入ボタンセンサ６３２３はメダル投入ボタン６１３０、６１３１のいずれかが押下された場合、どのメダル投入ボタンが押されたかを検出するためのセンサである。精算スイッチセンサ６３２４は、精算ボタン６１３２に設けられており、精算ボタン６１３２が一回押されると、貯留されているメダル及びベットされているメダルが精算されて払い出されることになる。メダル払い出しセンサ６３２６は、払い出されるメダルを検出するためのセンサである。電源判定回路６３２７は、スロットマシン６１００に供給される電源の遮断を検出するための回路である。

【１７１１】

ＣＰＵ６３１０には、更に、入力インタフェース６３６１、出力インタフェース６３７０、６３７１がアドレスデコード回路６３５０を介してアドレスバスに接続されている。ＣＰＵ６３１０は、これらのインタフェースを介して外部のデバイスと信号の送受信を行っている。入力インタフェース６３６１には、インデックスセンサ６３２５が接続されている。インデックスセンサ６３２５は、各リール６１１０乃至６１１２の取付台の所定位置に設置されており、リール６１１０乃至６１１２に設けた遮光片がこのインデックスセンサ６３２５を通過するたびにハイレベルになる。ＣＰＵ６３１０は、この信号を検出すると、リールが１回転したものと判断し、リールの回転位置情報をゼロにリセットする。出力インタフェース６３７０には、リールを駆動させるためのモータを制御するリールモータ駆動部６３３０と、ホッパー（バケットにたまっているメダルをメダル払出口６１５５から払出すための装置。）のモータを駆動するためのホッパーモータ駆動部６３３１と、遊技ランプ６３４０（具体的には、入賞ライン表示ランプ６１２０、スタートランプ６１２１、再遊技ランプ６１２２、告知ランプ６１２３、メダル投入ランプ６１２４等）と、７セグメント（ＳＥＧ）表示器６３４１（払出枚数表示器６１２５、遊技情報表示器６１２６、貯留枚数表示器６１２７等）が接続されている。

【１７１２】

また、ＣＰＵ６３１０には、乱数発生回路６３１７がデータバスを介して接続されている。乱数発生回路６３１７は、水晶発振器６３１１及び水晶発振器６３１６から発振されるクロックに基づいて、一定の範囲内で値をインクリメントし、そのカウント値をＣＰＵ６３１０に出力することのできるインクリメントカウンタであり、後述する入賞役の内部抽選をはじめ各種抽選処理に使用される。

【１７１３】

また、図示はしないが、主制御部６３００は、クロック補正回路６３１４から入力する

システムクロックの周波数と乱数発生回路６３１７に入力する乱数用クロックの周波数を比較し、乱数用クロックの周波数がシステムクロック以下の周波数である場合に、内部情報レジスタのクロック信号状態ビットを１にセットする周波数発生回路を備えている。主制御部６３００のＣＰＵ６３１０は、内部情報レジスタのクロック信号状態ビットが１にセットされている場合（乱数用クロックの周波数がシステムクロックの周波数以下である場合）には、乱数用クロックに何らかの異常（例えば、乱数発生回路６３１７と水晶発振器６３１６とを結ぶ配線パターンの断線）が発生したと判定し、内部情報レジスタのクロック信号状態ビットが０にセットされている場合（乱数用クロックの周波数がシステムクロックの周波数未満である場合）には、乱数用クロックが正常であると判定する。また、図示はしないが、主制御部６３００は、外部の照合機と接続し、チップの照合（チップの真贋についてのチェック）を行う照合用ブロックブロックを備える。また、乱数発生回路６３１７から水晶発振器６３１６までの第１信号線が、クロック補正回路６３１４から水晶発振器６３１１までの第２信号線よりも長くなるように配線している。

【１７１４】

ＣＰＵ６３１０のデータバスには、副制御部６４００にコマンドを送信するための出力インタフェース６３７１が接続されている。主制御部６３００と副制御部６４００との情報通信は一方向の通信であり、主制御部６３００は副制御部６４００へコマンドを送信するが、副制御部６４００から主制御部６３００へ何らかのコマンド等を送信することはできない。

＜副制御部４００＞

【１７１５】

次に、図２２８を用いて、スロットマシン６１００の副制御部６４００について説明する。なお、同図は副制御部６４００の回路ブロック図を示したものである。

【１７１６】

副制御部６４００は、主制御部６３００より送信された主制御コマンド等に基づいて副制御部６４００の全体を制御する演算処理装置であるＣＰＵ６４１０や、ＣＰＵ６４１０が各ＩＣ、各回路と信号の送受信を行うためのデータバス及びアドレスバスを備え、以下に述べる構成を有する。クロック補正回路６４１４は、水晶発振器６４１１から発振されたクロックを補正し、補正後のクロックをシステムクロックとしてＣＰＵ６４１０に供給する回路である。

【１７１７】

また、ＣＰＵ６４１０にはタイマ回路６４１５がバスを介して接続されている。ＣＰＵ６４１０は、所定のタイミングでデータバスを介してＲＯＭ６４１２の所定エリアに格納された分周用のデータをタイマ回路６４１５に送信する。タイマ回路６４１５は、受信した分周用のデータを基に割り込み時間を決定し、この割り込み時間ごとに、割り込み要求をＣＰＵ６４１０に送信する。ＣＰＵ６４１０は、この割込み要求のタイミングをもとに、各ＩＣや各回路を制御する。

【１７１８】

また、ＣＰＵ６４１０には、副制御部６４００の全体を制御するための命令及びデータ、ライン表示ＬＥＤの点灯パターンや各種表示器を制御するためのデータが記憶されたＲＯＭ６４１２や、データ等を一時的に保存するためのＲＡＭ６４１３が各バスを介して接続されている。

【１７１９】

さらに、ＣＰＵ６４１０には、外部の信号を送受信するための入出力インタフェース６４６０が接続されており、入出力インタフェース６４６０には、図柄表示窓６１１３の外枠に配設され、点滅や点灯などの点灯制御によって有効ラインや入賞ラインを報知するためのライン表示ＬＥＤ６４２０、前面扉６１０２の開閉を検出するための扉センサ６４２１、ＲＡＭ６４１３のデータをクリアにするためのリセットスイッチ６４２２が接続されている。

【１７２０】

ＣＰＵ６４１０には、データバスを介して主制御部６３００から主制御コマンドを受信するための入力インタフェース６４６１が接続されており、入力インタフェース６４６１を介して受信したコマンドに基づいて、遊技全体を盛り上げる演出処理等が実行される。また、ＣＰＵ６４１０のデータバスとアドレスバスには、音源ＩＣ６４８０が接続されている。音源ＩＣ６４８０は、ＣＰＵ６４１０からの命令に応じて音声の制御を行う。また、音源ＩＣ６４８０には、音声データが記憶されたＲＯＭ６４８１が接続されており、音源ＩＣ６４８０は、ＲＯＭ６４８１から取得した音声データをアンプ６４８２で増幅させてスピーカ６４８３から出力する。ＣＰＵ６４１０には、主制御部６３００と同様に、外部ＩＣを選択するためのアドレスデコード回路６４５０が接続されており、アドレスデコード回路６４５０には、主制御部６３００からのコマンドを受信するための入力インタフェース６４６１、時計ＩＣ６４２３、７セグメント表示器６４４０への信号を出力するための出力インタフェース６４７２等が接続されている。

【１７２１】

時計ＩＣ６４２３が接続されていることで、ＣＰＵ６４１０は、現在時刻を取得することが可能である。７セグメント表示器６４４０は、スロットマシン６１００の内部に設けられており、たとえば副制御部６４００に設定された所定の情報を遊技店の係員等が確認できるようになっている。更に、出力インタフェース６４７０には、デマルチプレクサ６４１９が接続されている。デマルチプレクサ６４１９は、出力インタフェース６４７０から送信された信号を各表示部等に分配する。即ち、デマルチプレクサ６４１９は、ＣＰＵ６４１０から受信されたデータに応じて上部ランプ６１５０、サイドランプ６１５１、中央ランプ６１５２、腰部ランプ６１５３、下部ランプ６１５４、リールパネルランプ６１２８、タイトルパネルランプ６１７０、払出口ストロボ６１７１を制御する。タイトルパネルランプ６１７０は、タイトルパネル６１６２を照明するランプであり、払出口ストロボ６１７１は、メダル払い出し口６１５５の内側に設置されたストロボタイプのランプである。なお、ＣＰＵ４６１０は、扉・液晶画面制御部６４９０への信号送信は、デマルチプレクサ６４１９を介して実施する。扉・液晶画面制御部６４９０は、液晶表示装置６１５７及び扉装置６１６３を制御する制御部である。

＜メイン処理＞

【１７２２】

次に、図２２９を用いて、主制御部６３００のメイン処理について説明する。なお、同図は、主制御部６３００のメイン処理の流れを示すフローチャートである。

【１７２３】

遊技の基本的制御は、主制御部６３００のＭａｉｎＣＰＵ６３１０が中心になって行い、電源断等を検知しないかぎり、ＭａｉｎＣＰＵ６３１０が同図のメイン処理を繰り返し実行する。

【１７２４】

ステップＳ７１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ６３１０のスタックポインタ（ＳＰ）へのスタック初期値の設定、割り込みマスクの設定、ＲＡＭ６３１３に記憶する各種変数の初期設定、ウォッチドックタイマ（ＷＤＴ）への動作許可及び初期値の設定等を行う。ステップＳ７１０２では、ＷＤＴのカウンタの値をクリアし、ＷＤＴによる時間計測を再始動する。

【１７２５】

ステップＳ７１０３では、低電圧信号がオンであるか否か、すなわち、電圧判定回路６３２７が、主制御部６３００に供給している電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ６３１０が電源の遮断を検知した場合）にはステップＳ７１０２に戻り、低電圧信号がオフの場合（ＣＰＵ６３１０が電源の遮断を検知していない場合）にはステップＳ７１０４に進む。

【１７２６】

ステップＳ７１０４では、初期設定２を行う。この初期設定２では、後述するタイマ割

り込み処理を定期毎に実行するための周期を決める数値をタイマ回路６３１５に設定する処理、ＲＡＭ６３１３の書き込みを許可する設定等を行う。

【１７２７】

ステップ１１０５では、設定キーセンサの状態に基づいて設定キーを受け付けているか否かを判断する。そして、設定キーを受け付けている場合にはステップＳ７１０６の設定変更処理に進み、設定キーを受け付けていない場合にはステップＳ７１０７に進む。

【１７２８】

ステップＳ７１０６では、設定変更処理を行う。この設定変更処理では、最初に、機能限定ウェイトの設定を解除すると共に、割込み許可の設定を行った後、設定値の変更を行う。

【１７２９】

ステップＳ７１０７では、電断前（電源の遮断前）の状態に復帰するか否かを判断する。そして、電断前の状態に復帰する場合にはステップＳ７１０８に進み、そうでない場合にはステップＳ７１１０に進む。

【１７３０】

ステップＳ７１０８では、（後述する）タイマ割込み処理において割込み機能を所定時間ウェイトさせるべく、機能限定ウェイトの設定を行った後（ＲＡＭ６３１３の所定記憶領域に機能限定中であることを示す情報を記憶した後）、ステップＳ７１０９では、スタックポインタに、電断時に記憶したスタックポインタを再設定するなど、復電時の処理を行って処理を終了する。

【１７３１】

ステップＳ７１１０では、遊技メダル投入処理を行う。詳細は後述するが、この遊技メダル投入処理では、機能限定ウェイトの設定を解除すると共に、割込み許可の設定を行った後、メダル投入に関する処理を行う。

【１７３２】

ステップＳ７１１１では、遊技のスタート操作に関する処理を行う。ここでは、スタートレバーセンサ６３２１の状態に基づいてスタートレバー６１３５が操作されたか否かのチェックを行い、スタート操作されたと判断した場合は、投入されたメダル枚数を確定する。ステップＳ７１１２では、乱数取得処理を行う（詳細は後述する）。ステップＳ７１１３では、ステップＳ７１１２で取得した乱数値と、ＲＯＭ６３１２に格納した抽選データを用いて、入賞役の内部抽選を行う。

【１７３３】

ステップＳ７１１４では、リール回転開始処理により、全リール６１１０～６１１２の回転を開始する。この際、ステップＳ７１１３の内部抽選の結果等に基づき、リール６１１０～６１１２の停止位置を規定したリール停止制御テーブルを選択する。

【１７３４】

ステップＳ７１１５では、ストップボタンセンサ６３２２の状態に基づいてストップボタン６１３７～６１３９が操作されたか否かのチェックを行い、ストップボタン６１３７～６１３９が操作されたと判断した場合は、ステップＳ７１１４で選択したリール停止制御テーブルに基づいて、押されたストップボタン６１３７～６１３９に対応するリール６１１０～６１１２の回転を停止する。そして、インデックスセンサ６３２５の状態に基づいて全リール６１１０～６１１２が停止したか否かを判定し、全リール６１１０～６１１２が停止した場合にはステップＳ７１１６に進み、そうでない場合にはストップボタン６１３７～６１３９が操作され全リール６１１０～６１１２が停止するのを待つ。

【１７３５】

ステップＳ７１１６では、ストップボタン６１３７～６１３９が押されることによって停止した全リール６１１０～６１１２の図柄の入賞判定を行う。ここでは、有効化された入賞ライン６１１４上に、内部当選した役またはフラグ持越し中の役に対応する図柄組合せが揃った（表示された）場合にその役に入賞したと判定する。ステップＳ７１１７では、メダル払出処理を行う。このメダル払出処理では、払い出しのある何らかの役に入賞し

ていれば、その役に対応する枚数のメダルを払い出す。ステップＳ７１１８では、遊技を終了するための制御や、遊技状態を移行するための制御を行う。例えば、ＢＢ入賞やＲＢ入賞の場合に次回からＢＢ遊技またはＲＢ遊技が開始できるように準備し、それらの最終遊技では、次回から通常遊技が開始できるように準備する。

【１７３６】

以上により１遊技が終了し、以降、このメイン処理を繰り返すことにより遊技が進行することになる。

＜遊技メダル投入処理＞

【１７３７】

次に、図２３０を用いて、上記メイン処理における遊技メダル投入処理について説明する。なお、同図は遊技メダル投入処理の流れを示すフローチャートである。

【１７３８】

ステップＳ７３０１では、内部情報レジスタのクロック信号状態ビットを参照し、クロック信号状態ビットが１にセットされているか否かを判定する。そして、クロック信号状態ビットが１にセットされている場合（乱数用クロックＲＣＫに異常がある場合）はステップＳ７３０２に進み、そうでない場合はステップＳ７３０３に進む。

【１７３９】

ステップＳ７３０２では、乱数用クロックＲＣＫに異常がある旨の情報を他の制御部（例えば、副制御部６４００）に送信するために、乱数用クロックの異常による停止コマンドの出力設定をした後、処理を終了する。なお、この乱数用クロックの異常による停止コマンドを受信した副制御部６４００は、乱数用クロックの異常を、液晶表示装置６１５７による表示、スピーカ６４８４による音声、扉装置（可動物）６１６３による動きなどによって報知する。

【１７４０】

ステップＳ７３０３では、遊技メダルの投入の有無を確認し、遊技メダルが投入された場合にはステップＳ７３０４に進んで賭け枚数増加処理を行い、遊技メダルが投入されていない場合にはステップＳ７３０５に進む。

【１７４１】

ステップＳ７３０５では、精算ボタンの操作の有無を確認し、精算ボタンの操作があった場合にはステップＳ７３０６に進んで遊技媒体の精算処理を行い、精算ボタンの操作が無かった場合にはステップＳ７３０７に進む。

【１７４２】

ステップＳ７３０７では、遊技メダルの賭け枚数が０より大きいか否かを判定し、該当する場合にはステップＳ７３０８に進み、該当しない場合にはステップＳ７３０１に戻る。

【１７４３】

ステップＳ７３０８では、スタート操作の有無を確認し、スタート操作があった場合には処理を終了し、スタート操作が無い場合にはステップＳ７３０１に戻る。

＜乱数取得処理＞

【１７４４】

次に、図２３１を用いて、上記メイン処理における乱数取得処理について説明する。なお、同図は乱数取得処理の流れを示すフローチャートである。

【１７４５】

ステップＳ７４０１では、内部情報レジスタのクロック信号状態ビットを参照し、クロック信号状態ビットが１にセットされているか否かを判定する。そして、クロック信号状態ビットが１にセットされている場合（乱数用クロックＲＣＫに異常がある場合）はステップＳ７４０２に進み、そうでない場合はステップＳ７４０３に進む。

【１７４６】

ステップＳ７４０２では、乱数用クロックＲＣＫに異常がある旨の情報を他の制御部（例えば、副制御部６４００）に送信するために、乱数用クロックの異常による停止コマン

ドの出力設定をした後、処理を終了する。なお、この乱数用クロックの異常による停止コマンドを受信した副制御部６４００は、乱数用クロックの異常を、液晶表示装置６１５７による表示、スピーカ６４８４による音声、扉装置（可動物）６１６３による動きなどによって報知する。次のステップＳ７４０３では、乱数発生回路６３１７から乱数を取得した後に、処理を終了する。

＜タイマ割込み処理＞

【１７４７】

次に、図２３２を用いて、主制御部６３００のＭａｉｎＣＰＵ６３１０が実行するタイマ割込み処理について説明する。なお、同図はタイマ割込み処理の流れを示すフローチャートである。

【１７４８】

ＭａｉｎＣＰＵ６３１０は、所定の周期（本実施例では約１．５０４ｍｓに１回）でタイマ割込みを発生させるハードウェアタイマを備えており、タイマ割込み処理を、タイマ割込みを契機として所定の周期で実行する。

【１７４９】

ステップＳ７２０１では、ＭａｉｎＣＰＵ６３１０の各レジスタをスタックに退避する。ステップＳ７２０２では、入力ポートの値を取得して、各種センサ（メダル投入センサ６３２０、スタートレバーセンサ６３２１、ストップボタンセンサ６３２２、メダル払出センサ６３２６など）の状態を検出する。より具体的には、メダル投入センサ６３２０、スタートレバーセンサ６３２１、ストップボタンセンサ６３２２、メダル払出センサ６３２６などの複数のセンサが出力する信号を入力し、これら複数のセンサからの出力がそれぞれオンかオフかを判定する。

【１７５０】

ステップＳ７２０３では、割込み機能が限定中であるか否か、すなわち、上記メイン処理において機能限定ウェイトを設定しているか否か（ＲＡＭ６３１３の所定記憶領域に機能限定中であることを示す情報を記憶しているか否か）を判断する。そして、割込み機能が限定中である場合（機能限定ウェイトを設定している場合）にはステップＳ７２０４～Ｓ７２０８の処理を行うことなくステップＳ７２０９に進み、割込み機能が限定中でない場合（機能限定ウェイトを設定していない場合）にはステップＳ７２０４に進む。

【１７５１】

ステップＳ７２０４では、遊技メダル投入受付処理を行う。詳細は後述するが、この遊技メダル投入受付処理では、現在の遊技状態や、一遊技に必要な規定メダル数などに基づいて、遊技メダルの投入に関する処理を行う。

【１７５２】

ステップＳ７２０５では、リール６１１０～６１１２の回転制御や停止制御などのリール制御処理を行い、ステップＳ７２０６では、その他の処理を行う。ステップＳ７２０７では、遊技ランプ６３４０（上部ランプ６１５０、サイドランプ６１５１、中央ランプ６１５２、腰部ランプ６１５３、下部ランプ６１５４、受皿ランプ６１５６など）に出力するデータの更新を行う。

【１７５３】

ステップＳ７２０８では、常時エラー監視処理を行う。この常時エラー監視処理では、上記ステップ１２０２で検出したメダル払出センサ６３２６などの状態に基づいて、ホッパーなどのエラーの監視と、エラーの検出情報の更新を行う。

【１７５４】

ステップＳ７２０９では、集中端子板信号設定処理を行う。この集中端子板信号設定処理では、ＲＡＭ６３１３に記憶したセキュリティ状態情報などに基づいて状態複合信号を生成し、シリアル出力する。また、ＲＡＭ６３１３に記憶したメダル投入情報などに基づいてメダル投入信号、メダル払出信号、外部信号１～４を生成し、パラレル出力する。

【１７５５】

ステップＳ７２１０では、７ＳＥＧ表示器６３４１に出力するデータの設定を行い、ス

テップＳ７２１１では、リールモータ制御部６３３０やホッパーモータ制御部６３３１などに出力するデータの設定を行う。また、内部情報レジスタのクロック信号状態ビットを参照し、内部情報レジスタのクロック信号状態ビットが１にセットされている場合（乱数用クロックの周波数がシステムクロックの周波数以下である場合）には、乱数用クロックに何らかの異常（例えば、乱数発生回路６３１７と水晶発振器６３１６とを結ぶ配線パターンの断線）が発生したと判定し、７ＳＥＧ表示器６３４１を用いてエラーを示す情報を表示する。一方、内部情報レジスタのクロック信号状態ビットが０にセットされている場合（乱数用クロックの周波数がシステムクロックの周波数未満である場合）には、乱数用クロックが正常であると判定し、次のステップＳ７２１２に進む。

【１７５６】

ステップＳ７２１２では、副制御部６４００に制御コマンドを出力し、ステップＳ７２１３では、ＲＡＭ６３１３に記憶している各種のカウンタタイマ（例えば、上述のセキュリティ信号出力待機タイマなど）を更新する。

【１７５７】

ステップＳ７２１４では、上述の電圧低下信号がオンであるか否か、すなわち、スロットマシン６１００に所定の電圧が供給されているか否かを判断する。そして、電圧低下信号がオンである場合（スロットマシン６１００に所定の電圧が供給されていない場合）にはステップＳ７２１７に進み、電圧低下信号がオフである場合（スロットマシン６１００に所定の電圧が供給されている場合）にはステップＳ７２１５に進む。

【１７５８】

ステップＳ７２１５では、ステップＳ７２０１で退避したレジスタを復帰し、ステップＳ７２１６では、割込みを許可する設定を行う。

【１７５９】

ステップＳ７２１７～Ｓ７２２０では、電断処理を行う。より具体的には、ステップＳ７２１７では、現在のスタックポインタを保存し、ステップＳ７２１８では、電源ステータスを「電断」に更新する。また、ステップＳ７２１９では、ＲＡＭ６３１３に記憶した値を用いてチェックサムを計算・設定し、ステップＳ７２２０では、ＲＡＭ６３１３の書き込みを禁止に設定した後、無限ループとなる。

【１７６０】

このようなスロットマシン６１００のＣＰＵ６３１０やＣＰＵ６４１０（のパッケージ）に上述の本発明を適用すれば、視認容易部を通して遊技制御用マイクロコンピュータの裏側を視認することができ、マイクロコンピュータの裏側などに不正部品を取り付けるような不正行為を未然に防止することができる場合がある。

【１７６１】

なお、本発明に係る遊技台は、上記実施形態に係るパチンコ機やスロットマシンに限定されず、例えば、封入式遊技機に適用することもできる。また、主制御部、第１副制御部、および第２副制御部をワンチップで構成してもよいし、主制御部と第１副制御部で双方向の通信が可能に構成してもよい。また、主制御部と第１副制御部で双方向の通信を可能とする一方で、第１副制御部から第２副制御部への通信は一方向の通信としてもよい。

【１７６２】

また、本発明の実施の形態に記載された作用および効果は、本発明から生じる最も好適な作用および効果を列挙したに過ぎず、本発明による作用および効果は、本発明の実施の形態に記載されたものに限定されるものではない。また、実施例に記載した複数の構成のうち、１つの構成に記載している内容を、他の構成に適用することでより遊技の幅を広げられる場合がある。

＜実施形態４＞

【１７６３】

以下、図面を用いて、本発明の実施形態４に係るパチンコ機（遊技台）について詳細に説明する。

【１７６４】

図２３３は、図２を用いて説明した電源基板１８２、払出基板１７０、および主基板１５６間の電源供給例を示している。図２３３（ａ）に示す例では、各種電気的遊技機器に電源を供給する電源制御部６６０を備える電源基板１８２から電源ラインｐｌ０１と電源ラインｐｌ０２とが引き出され、電源ラインｐｌ０１と電源ラインｐｌ０２が共に、遊技球の払出に関する制御処理を行う払出制御部６００を備える払出基板（払出制御基板）１７０に接続されている。電源投入後に一定時間経過したら電源ラインｐｌ０１にはＤＣ（直流）１２Ｖの電圧が印加され、電源ラインｐｌ０２にはＤＣ１２Ｖと異なる直流電圧が印加される。払出基板１７０からは電源ラインｐｌ０３が引き出され、電源ラインｐｌ０３は、遊技全般の制御処理を行う主制御部３００を構成する主基板（主制御基板）１５６に接続されている。電源ラインｐｌ０３は払出基板１７０内で電源ラインｐｌ０１に接続されている。従って、電源投入後に一定時間経過したら主基板１５６には払出基板１７０を介して電源基板１８２からＤＣ１２Ｖの電圧が供給される。なお、これらの電圧値は一例であって、駆動する回路によってこれらと異なる電圧値の電圧を印加するようにしてももちろんよい。

【１７６５】

図２３３（ｂ）に示す例では、電源基板１８２から電源ラインｐｌ０４と電源ラインｐｌ０５、および電源ラインｐｌ０６が引き出されている。電源ラインｐｌ０４は主基板１５６に接続されている。電源ラインｐｌ０５と電源ラインｐｌ０６は共に、払出基板１７０に接続されている。電源投入後に一定時間経過したら電源ラインｐｌ０４と電源ラインｐｌ０５にはＤＣ１２Ｖの電圧が印加され、電源ラインｐｌ０６にはＤＣ１２Ｖと異なる直流電圧が印加される。つまり、電源投入後に一定時間経過したら主基板１５６には払出基板１７０を介さずに、電源基板１８２から直接にＤＣ１２Ｖの電圧が供給される。

【１７６６】

図２３３（ｃ）に示す例では、電源基板１８２から電源ラインｐｌ０７、電源ラインｐｌ０８、電源ラインｐｌ０９、および電源ラインｐｌ１０が引き出されている。電源ラインｐｌ０７と電源ラインｐｌ０８は主基板１５６に接続されている。電源ラインｐｌ０９と電源ラインｐｌ１０は共に、払出基板１７０に接続されている。電源投入後に一定時間経過したら電源ラインｐｌ０７と電源ラインｐｌ０９にはＤＣ１２Ｖの電圧が印加され、電源ラインｐｌ０８にはＤＣ５Ｖの電圧が印加され、電源ラインｐｌ１０にはＤＣ５Ｖ／１２Ｖとは異なる直流電圧が印加される。つまり、電源投入後に一定時間経過したら主基板１５６には払出基板１７０を介さずに、電源基板１８２から直接にＤＣ５ＶとＤＣ１２Ｖの２種類の電圧が供給される。

【１７６７】

図２３４は、主基板１５６内の電源供給例を示している。本例では図２３３（ａ）に示す構成を用いて説明する。払出基板１７０から引き出された電源ラインｐｌ０３は主基板１５６内に引き込まれて、ＤＣ－ＤＣコンバータ７００１の入力端子に接続されている。ＤＣ－ＤＣコンバータ７００１は電源ラインｐｌ０３に印加されたＤＣ１２Ｖの電圧をＤＣ５Ｖに変換する機能を有している。ＤＣ－ＤＣコンバータ７００１で生成されたＤＣ５Ｖの電圧は電源ラインｐｌ１１に印加される。

【１７６８】

電源ラインｐｌ１１には複数の分岐ラインが接続されており、所定の分岐ラインがリセットＩＣ７００３の電源端子Ａに接続されている。電源投入後に一定時間経過したら電源端子ＡにＤＣ５Ｖの電圧が駆動電圧として印加され、これによりリセットＩＣ７００３が駆動される。また、電源ラインｐｌ１１から分岐した別の分岐ラインがマイコン（ＣＰＵ）３０４の電源端子Ｆに接続されている。電源投入後に一定時間経過したら電源端子ＦにＤＣ５Ｖの電圧がマイコン３０４の駆動電圧として印加される。なお、リセットＩＣ７００３とマイコン３０４の駆動電圧は同じでなく異なっていてもよい。また、リセットＩＣ７００３やマイコン３０４の駆動電圧の電圧値自体と電源ラインｐｌ１１に印加される電圧の電圧値が同じでなく異なっているようにいてもよい。

【１７６９】

リセットＩＣ７００３の信号入力端子Ｂは別の分岐ラインを介して電源ラインｐｌ１１に接続されている。リセットＩＣ７００３は、信号入力端子Ｂの端子電圧をモニタして、マイコン３０４の端子Ｆに印加されるマイコン３０４の駆動電圧の状態を把握するようになっている。一方、リセットＩＣ７００３の信号入力端子Ｃは所定の分岐ラインを介して電源ラインｐｌ０３に接続されている。リセットＩＣ７００３は、信号入力端子Ｃの端子電圧をモニタして、電源ラインｐｌ０３に印加されている電圧の状態を把握するようになっている。

【１７７０】

リセットＩＣ７００３には少なくとも２つの信号出力端子Ｄ、Ｅが設けられている。信号出力端子Ｄからはリセット信号（起動信号）が出力され、信号出力端子Ｅからは低電圧信号が出力される。リセットＩＣ７００３は、信号入力端子Ｂの端子電圧がマイコン３０４の動作保証電圧（例えば、４．５Ｖ）を超えていないと判断したら、信号出力端子Ｄに出力しているリセット信号をネゲート（無効）状態にする。一方、信号入力端子Ｂの端子電圧がマイコン３０４の動作保証電圧を超えたと判断したら、信号出力端子Ｄに出力しているリセット信号をアサート（有効）状態にする。つまり、信号入力端子Ｂの端子電圧がマイコン３０４の動作保証電圧（例えば、４．５Ｖ）を超えていない場合に、信号出力端子Ｄに出力されているリセット信号がネゲート状態になり、信号入力端子Ｂの端子電圧がマイコン３０４の動作保証電圧を超えた場合には、信号出力端子Ｄに出力されているリセット信号がアサート状態になる。なお、リセットＩＣ７００３の端子の数は任意であり図示のものは一例示であり、説明に必要な端子を図示しているだけであって、端子の数、配置位置は図示のものと同じでもよいし同じでなくてもよい。

【１７７１】

リセットＩＣ７００３の信号出力端子Ｄは、信号ラインｐｌ１２を介してマイコン３０４の信号入力端子Ｇに接続されている。信号入力端子Ｇはシステムリセット（ＸＳＲＳＴ）端子として用いられている。このため、信号ラインｐｌ１２に出力されているリセット信号がアサート状態になると、マイコン３０４はセキュリティモードに移行する。このように、リセットＩＣ７００３は、信号出力端子Ｄがリセット信号出力端子として機能して図４に示す起動信号出力回路３４０としての役割を果たしている。

【１７７２】

リセットＩＣ７００３は、信号入力端子Ｃの端子電圧が所定の電圧値（例えば、９Ｖ）を超えていないと判断したら、信号出力端子Ｅに出力している低電圧信号をアサート状態にする。一方、信号入力端子Ｃの端子電圧が所定の電圧値を超えたと判断したら、信号出力端子Ｅに出力している低電圧信号をネゲート状態にする。

【１７７３】

リセットＩＣ７００３の信号出力端子Ｅは、信号ラインｐｌ１３を介してマイコン３０４の信号入力端子Ｈに接続されている。信号入力端子Ｈはデータ端子Ｄ０～Ｄ７のいずれか１つのデータ端子として用いられている。例えば、マイコン３０４は、信号ラインｐｌ１３に出力されている低電圧信号がネゲート状態になるまで、例えば図１０のステップＳ１０３とステップＳ１０５の処理を繰り返す。このように、リセットＩＣ７００３は、信号出力端子Ｅが定電圧信号出力端子として機能して図４に示す電圧監視回路３３８としての役割を果たしている。

【１７７４】

この例では信号ラインｐｌ１３上の低電圧信号がアサート状態からネゲート状態（あるいはその逆）になるときの信号入力端子Ｃの所定の閾値電圧値を９Ｖとしているがこれに限られない。例えば図１４に示す主制御部タイマ割込処理のステップＳ２３９およびステップＳ２４３における電断検出から電断処理に要する期間中にマイコン３０４が電断処理を継続できる電圧が電源端子Ｆに印加されていればよい。ＤＣ－ＤＣコンバータ７００１から電源ラインｐｌ１１に出力されるＤＣ５Ｖ電圧は、ＤＣ－ＤＣコンバータ７００１に入力する電源ラインｐｌ０３のＤＣ１２Ｖ電圧が７Ｖ程度に低下する辺りから徐々に低下を始める。そこで、信号入力端子Ｃの端子電圧が所定の電圧値（例えば、９Ｖ）未満にな

ると、信号出力端子Ｅに出力している低電圧信号をネゲート状態からアサート状態にするようにしている。所定の電圧値として例えば９Ｖを用いれば、電源ラインｐｌ１１の電圧が徐々に低下しても主制御部タイマ割込処理のステップＳ２３９およびステップＳ２４３における電断検出から電断処理に要する期間中にマイコン３０４が動作を継続できる。

【１７７５】

図２３５は、電源基板１８２と主基板１５６内の電源供給例を示している。図２３４に示す電源供給構成と比較して説明すると、図２３４で主基板１５６内に配置されていたＤＣ－ＤＣコンバータ７００１とリセットＩＣ７００３が、図２３５に示す構成では電源基板１８２上に配置されている。これにより、電源ラインｐｌ１１と信号ラインｐｌ１２およびｐｌ１３は電源基板１８２および主基板１５６の間を跨いで配線されている。このような構成によれば、ＤＣ５Ｖ、ＤＣ１２Ｖ、およびその他の電圧値の電源を電源基板１８２で全て供給可能になるので、主基板１５６や払出基板１７０に電源供給用回路を設ける必要がなくなり、基板上の回路レイアウトに余裕を持たせることができる場合がある。

【１７７６】

図２３６は、主基板１５６内の電源供給例を示している。図２３６（ａ）は、ＣＰＵ３０４の外部マスカブル割込み端子ＸＩＮＴと外部ノンマスカブル割込み端子ＸＮＭＩに電源ラインｐｌ１１の分岐ラインを接続して、両端子ＸＩＮＴおよびＸＮＭＩにＤＣ５Ｖの電圧を常時印加している状態を示している。こうすることにより、両端子ＸＩＮＴおよびＸＮＭＩに入力する割込み信号は常にネゲート状態を維持するため、割込み端子による外部割込みを使用しない場合には、ノイズ等による誤動作を確実に防止することができる。図２３６（ｂ）に示す構成は、図２３４に示す構成におけるＣＰＵ３０４の端子Ｈが外部ノンマスカブル割込み端子ＸＮＭＩとして機能している場合を例示している。なお、割込み端子の符号のＸは、ローアクティブを示しておりＬ信号が入力されてアサート状態となるが、ハイアクティブでアサート状態になる回路の場合はＬ信号（例えば、０Ｖ）を常に入力させるようにする。

【１７７７】

図２３７は、パチンコ機１００の電源投入後の起動処理のタイムチャートである。図中左から右に向かって時間の経過を表している。図下段から中段に示す動作モード、ＸＲＳＴＯ端子、およびＸＳＲＳＴ端子は図９に示すものと同一である。図中段から上段に向かっては低電圧信号、マイコン電圧、および監視電圧を示している。低電圧信号は、例えば図２３４に示すリセットＩＣ７００３の端子Ｅから信号ラインｐｌ１３を介してＣＰＵ３０４の端子Ｈ（所定のＤ端子）に出力される信号である。マイコン電圧は、例えば図２３４に示すＣＰＵ３０４の電源端子Ｆに印加される電源ラインｐｌ１１上の電圧レベルを示している。監視電圧は、リセットＩＣ７００３の信号入力端子Ｃに入力する電源ラインｐｌ０３に印加された電圧である。

【１７７８】

図２３７に示すように、電源投入後、システムリセット信号がアサート状態になりＸＳＲＳＴ端子の信号レベルがＨになった時刻Ｔ－ＸＳＲＳＴで、監視電圧は例えば約７Ｖ、マイコン電圧は例えば約４．５Ｖになっている。システムリセット信号がアサート状態になるとセキュリティモードに移行し、セキュリティチェック処理に続きランダム延長処理が実行される。本例ではセキュリティチェックが終了した後でランダム延長処理が開始する前にＸＲＳＴＯ端子のリセット信号がアサート状態になる。ランダム延長処理の終了後にユーザモードに移行し、遊技制御用プログラムが実行されて主制御部メイン処理が開始される。

【１７７９】

電源投入後に監視電圧は所定の電圧値まで徐々に上昇する。それに伴いマイコン電圧も上昇し、システムリセット信号出力直後にほぼ５Ｖの電源電圧が得られる。監視電圧はその後も上昇し破線で示す閾値電圧レベル（下限電圧であり、例えば９Ｖ）Ｓを超えた時刻Ｔ－低電圧で低電圧信号がアサート状態からネゲート状態となる。さらに所定時間経過すると監視電圧は所定の電圧値（ＣＰＵ３０４の動作電圧値以上、電源ラインの上限電圧未

満の所定の電圧）としてほぼ１２Ｖとなる。本例ではＷＤＴ３１４を自動起動させておりユーザモード開始直後からＷＤＴ３１４が自動起動される。その後、主制御部メイン処理のステップＳ１０３でＷＤＴ３１４のクリア＆リスタート処理が繰り返し実行される。図２３７ではＷＤＴ３１４の起動直後の最初のＷＤＴクリア＆リスタートを例示している。

【１７８０】

図２３８は、図２３７の破線の楕円Ｏで囲んだ範囲を拡大した監視電圧（電源ラインｐｌ０３に印加されている電圧）を示している。図２３８（ａ）、（ｂ）は図中左から右に向かって時間の経過を表している。縦方向は監視電圧の電圧値が７Ｖ～１２Ｖまでを１Ｖ刻みで示している。図２３８（ａ）は監視電圧の理想的な上昇を示している。図２３８（ｂ）はＷＤＴ３１４のクリア＆リスタートにより生じる問題を説明する図である。図２３８（ａ）に示すように理想的には時刻Ｔ１で監視電圧が閾値電圧（９Ｖ）を超え、その後監視電圧がさらに上昇する途中で主制御部３００の最初のタイマ割込処理が開始される。監視電圧は時刻Ｔですでに閾値電圧を超えているためリセットＩＣの端子Ｅから出力される低電圧信号は最初のタイマ割込処理が開始時点ですでにネゲート状態になっている。このため最初の主制御部タイマ割込処理での電断検出の判断処理（ステップＳ２３９）では電断状態は検出されない。

【１７８１】

一方、図２３８（ｂ）はＷＤＴ３１４が自動起動した後に、主制御部メイン処理のステップＳ１０３で実行されるＷＤＴ３１４のクリア＆リスタートが繰り返し実行されている状態を示している。図２３８（ｂ）に示すようにＷＤＴ３１４のクリア＆リスタート処理が発生する度に電源ラインｐｌ０３に印加された電圧に電圧降下（ノイズ）現象が生じている。このＷＤＴ３１４のクリア＆リスタートの繰り返し処理が電源ラインｐｌ０３に印加される電圧が上昇を始める初期の段階から行われると、電圧降下の積み重ねが多くなるため、監視電圧が最初に閾値電圧を超える時刻Ｔ２が図２３８（ａ）に示す時刻Ｔ１より遅くなってしまう。このように、ＷＤＴ３１４のクリア＆リスタートの繰り返しが電源ラインｐｌ０３の印加電圧を所定電圧にまで上昇させるのを遅らせてしまい、主制御部メイン処理の処理時間が無用に長くなってしまうという問題を有している。

【１７８２】

さらに、時刻Ｔ２で監視電圧が閾値を超えてリセットＩＣ７００３の信号出力端子Ｅの低電圧信号はアサート状態からネゲート状態になっても、初回の主制御部タイマ割込処理におけるＷＤＴクリア＆リスタートにより監視電圧に電圧降下が生じると、主制御部タイマ割込み処理の電断検出の判断処理（ステップＳ２３９）の時点で、再び監視電圧が閾値レベル未満に低下してリセットＩＣ７００３の信号出力端子Ｅの低電圧信号がネゲート状態からアサート状態に戻ってしまう。こうなると、最初の主制御部タイマ割込処理の電断検出の判断処理（ステップＳ２３９）で電断状態と判断されてしまうため、電断処理（ステップＳ２４３）が実行されてしまう場合が生じ得る。

【１７８３】

上記問題点を解決するには、少なくとも、ＷＤＴ３１４の最初のクリア＆リスタート処理が、監視電圧が閾値電圧レベルＳを超えて低電圧信号がアサート状態からネゲート状態に変化した時刻Ｔ－低電圧より後に実行されるようにすればよい。ＷＤＴ３１４の最初のクリア＆リスタート処理が時刻Ｔ－低電圧より確実に後になるようにするには、ＷＤＴ３１４の起動（手動起動または自動起動）を時刻Ｔ－低電圧より後に開始すればよい。ＷＤＴ３１４の起動は最先でユーザモードの開始時点になるので、ユーザモード開始時点より以前に時刻Ｔ－低電圧が到来すればよい。

【１７８４】

図２３９は、ユーザモード開始時点より以前に時刻Ｔ－低電圧を到来させて、ＷＤＴ３１４の最初のクリア＆リスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その１）を示している。図２３９は図２３７と同様のパチンコ機１００の電源投入後の起動処理のタイムチャートである。図中左から右に向かって時間の経過を表している。図２３９の構成は図２３７と同一であるので同一構成についての説明は省略

する。
【１７８５】
ユーザモード開始時点より以前に時刻Ｔ－低電圧を到来させるにはセキュリティモード期間中に時刻Ｔ－低電圧を到来させるようにする。セキュリティモード期間中に時刻Ｔ－低電圧を到来させるには、予めセキュリティモード期間に要する時間を把握しておく。また、実験やシミュレーションにより得た監視電圧の電圧上昇プロファイルに基づき電源投入から時刻Ｔ－低電圧までに要する時間を把握しておく。これに基づき、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティモード期間の時間の合計が、電源投入から時刻Ｔ－低電圧までの時間より長くなるように時刻Ｔ－ＸＳＲＳＴを決める。なお本例では、セキュリティモード期間内にランダム延長処理が含まれている。従って、セキュリティモード期間中に確実に時刻Ｔ－低電圧を到来させるには、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティチェック処理に要する時間の合計が、電源投入から時刻Ｔ－低電圧までの時間より長くなるように時刻Ｔ－ＸＳＲＳＴを決める。
【１７８６】
また、マイコン電圧の上昇途中に時刻Ｔ－ＸＳＲＳＴを設定する場合には、リセットＩＣ７００３の信号入力端子Ｂの端子電圧のレベルを判断する閾値電圧をマイコン３０４の動作保証電圧（例えば、４．５Ｖ）より高い電圧（例えば４．８Ｖ）に設定する。また、図２３９に示すように、マイコン電圧がＤＣ５Ｖで安定した状態で時刻Ｔ－ＸＳＲＳＴが到来するようにする場合には、リセットＩＣ７００３の信号入力端子Ｂの端子電圧のレベルを判断する閾値電圧を例えば４．８～５．０Ｖのいずれかに設定すると共に、閾値電圧に到達してから時刻Ｔ－ＸＳＲＳＴになるまでの期間だけシステムリセット信号をアサート状態にする時期を遅延させる遅延処理を施すようにする。
【１７８７】
なお、電源ラインｐｌ１１からの分岐ラインの途中で分圧して目標値ＤＣ５Ｖよりかなり低い電圧をリセットＩＣ７００３の信号入力端子Ｂに印加するようにしてもよい。例えば、閾値電圧を約１．２２Ｖに設定して、信号入力端子Ｂの端子電圧が約１．２２Ｖになるとシステムリセット信号が出力されるように構成してもよい。つまり、マイコン３０４には動作保証電圧以上の電圧が印加されている場合には、信号入力端子Ｂに約１．２２Ｖの電圧が印加される。
【１７８８】
このように、リセットＩＣ７００３から出力されるリセット信号がアサート状態になる時期を従来に比して遅延させることにより、図２３８を用いて説明した問題を生じることなく安定してパチンコ機１００の起動処理を行うことができる。
【１７８９】
図２４０は、ユーザモード開始時点より以前に時刻Ｔ－低電圧を到来させて、ＷＤＴ３１４の最初のクリア＆リスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その２）を示している。図２４０は図２３７と同様のパチンコ機１００の電源投入後の起動処理のタイムチャートである。図中左から右に向かって時間の経過を表している。図２４０の構成は図２３７と同一であるので同一構成についての説明は省略する。
【１７９０】
ユーザモード開始時点より以前に時刻Ｔ－低電圧を到来させるにはセキュリティモード期間中に時刻Ｔ－低電圧を到来させるために、予めセキュリティモード期間に要する時間を把握しておく。また、実験やシミュレーションにより得た監視電圧の電圧上昇プロファイルに基づき電源投入から時刻Ｔ－低電圧までに要する時間を把握しておく。これに基づき、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティモード期間の時間の合計が、電源投入から時刻Ｔ－低電圧までの時間より長くなるようにセキュリティモード期間の時間を決める。
【１７９１】
また、実験やシミュレーションによりマイコン電圧の電圧上昇プロファイルを把握して

おき、マイコン電圧の上昇中に時刻Ｔ－ＸＳＲＳＴが到来するようにさせる場合には、リセットＩＣ７００３の信号入力端子Ｂの端子電圧のレベルを判断する閾値電圧をマイコン３０４の動作保証電圧（例えば、４．５Ｖ）より高い電圧（例えば４．８Ｖ）に設定する。また、図２３９に示すように、マイコン電圧がＤＣ５Ｖで安定した状態で時刻Ｔ－ＸＳＲＳＴが到来するようにする場合には、リセットＩＣ７００３の信号入力端子Ｂの端子電圧のレベルを判断する閾値電圧を例えば４．８～５．０Ｖのいずれかに設定すると共に、閾値電圧に到達してから時刻Ｔ－ＸＳＲＳＴになるまでの期間だけシステムリセット信号をアサート状態にする時期を遅延させる遅延処理を施すようにする。

【１７９２】

このようにして決めた電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティモードに要する時間の合計が、電源投入から時刻Ｔ－低電圧までの時間より長くなるようにセキュリティモード内での固定延長処理に要する時間を決める。固定延長処理に要する時間は対応する数値をプログラム管理エリアに予め設定しておく。なお本例では、セキュリティモード期間内にランダム延長処理が含まれている。従って、セキュリティモード期間中に確実に時刻Ｔ－低電圧を到来させるには、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティチェック処理に要する時間と、固定延長処理の時間との合計が、電源投入から時刻Ｔ－低電圧までの時間より長くなるように、例えば図１１４（ａ）に示すテーブルに基づいて固定延長処理の時間を決める。

【１７９３】

このように、固定延長処理に要する時間を調節することにより、図２３８を用いて説明した問題を生じることなく安定してパチンコ機１００の起動処理を行うことができる。固定延長処理に要する時間を調節するだけで、リセットＩＣ７００３や周辺回路に設計変更を加える必要が生じないので低コストで容易に安定してパチンコ機１００の起動処理を行うことができる。

【１７９４】

また、ＷＤＴ３１４の最初のクリア＆リスタート処理を時刻Ｔ－低電圧より確実に後にする方法として、ユーザモード開始後に時刻Ｔ－低電圧が到来するようにしてもよい。この場合は、遊技制御用プログラムにおいて、時刻Ｔ－低電圧の到来を判断し、時刻Ｔ－低電圧が到来したと判断したら、ＷＤＴ３１４を手動起動する。

【１７９５】

図２４１は、ユーザモード開始時点より後に時刻Ｔ－低電圧を到来させて、ＷＤＴ３１４の最初のクリア＆リスタート処理が時刻Ｔ－低電圧より後に実行されるようにしたＷＤＴの駆動方法（その３）を示している。図２４１は図２３７と同様のパチンコ機１００の電源投入後の起動処理のタイムチャートである。図中左から右に向かって時間の経過を表している。図２４１の構成は図２３７と同一であるので同一構成についての説明は省略する。

【１７９６】

ユーザモード開始時点より後に時刻Ｔ－低電圧を到来させるにはセキュリティモード以降に時刻Ｔ－低電圧を到来させるようにする。セキュリティモード以降に時刻Ｔ－低電圧を到来させるには、予めセキュリティモード期間に要する時間を把握しておく。また、実験やシミュレーションにより得た監視電圧の電圧上昇プロファイルに基づき電源投入から時刻Ｔ－低電圧までに要する時間を把握しておく。これに基づき、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間とセキュリティモード期間の時間の合計が、電源投入から時刻Ｔ－低電圧までの時間より短くなるように、時刻Ｔ－ＸＳＲＳＴとセキュリティモード期間の時間のいずれか一方または両方を決める。なお本例では、セキュリティモード期間内にランダム延長処理が含まれている。従って、セキュリティモード期間の後に確実に時刻Ｔ－低電圧を到来させるには、電源投入から時刻Ｔ－ＸＳＲＳＴまでの時間と、セキュリティチェック処理に要する時間と、固定延長処理の時間と、ランダム延長処理の最大時間との合計が、電源投入から時刻Ｔ－低電圧までの時間より短くなるように、時刻Ｔ－ＸＳＲＳＴまでの時間、セキュリティチェック処理に要する時間、固定延長処理の時間、ランダム

延長処理の最大時間を決める。
【１７９７】
また、マイコン電圧の電圧上昇プロファイルを把握しておき、マイコン電圧の上昇中に時刻Ｔ－ＸＳＲＳＴが到来するように、リセットＩＣ７００３の信号入力端子Ｂの端子電圧のレベルを判断する閾値電圧をマイコン３０４の動作保証電圧（例えば、４．５Ｖ）より高い電圧（例えば４．８Ｖ）に設定する。
【１７９８】
上記観点に基づき、時刻Ｔ－ＸＳＲＳＴまでの時間、セキュリティチェック処理に要する時間、固定延長処理の時間、ランダム延長処理の最大時間を調整することにより、主制御部３００のメイン処理の開始後で主制御部３００のタイマ割込み処理への移行を許可する最初の割込み許可前に、時刻Ｔ－低電圧を到来させ、且つＷＤＴ３１４を手動起動することができる。
【１７９９】
遊技制御用プログラムには、低電圧信号がネゲート状態になっているか否かを判断する処理（１）を追加し、低電圧信号がネゲート状態になったらＷＤＴ３１４を手動起動する処理（２）を付加しておく。こうすることにより、図２３８を用いて説明した問題を生じることなく安定してパチンコ機１００の起動処理を行うことができる。
【１８００】
また、パチンコ機１００の電源投入後の起動処理のタイムチャートが図２３７に示すように既知の場合には、遊技制御用プログラムに上記（１）、（２）の処理を追加するだけで、図２３８を用いて説明した問題を生じることなく安定してパチンコ機１００の起動処理を行うことができる。
＜主制御部メイン処理と主制御部タイマ割込処理＞
【１８０１】
次に、図２４２および図２４３を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理と主制御部タイマ割込処理について説明する。図２４２は主制御部メイン処理の流れを示すフローチャートであって、図１０に示す主制御部メイン処理とほぼ同様のフローで構成されている。図２４３は主制御部タイマ割込処理の流れを示すフローチャートであって、図１４に示す主制御部タイマ割込処理とほぼ同様のフローで構成されている。図２４２および図２４３において、図１０および図１４に示す処理と同一の処理には同一のステップ番号を付してその説明は省略する。
【１８０２】
まず、図２４３に示す制御部タイマ割込処理では、図１４に示す処理と同様に、タイマ割込開始処理（ステップＳ２０１）からデバイス監視処理（ステップＳ２３７）までが順次実行される。次いでステップＳ２３９では、低電圧信号がオン（アサート状態）であるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ２４３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ２４１に進む。ステップＳ２４１では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、図２４２に示す主制御部メイン処理に復帰する。
【１８０３】
一方、ステップＳ２４３では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行う。また、ＷＤＴ３１４を手動起動させている場合はステップＳ２４３でＷＤＴ３１４を停止させるようにしてもよい。
【１８０４】
次いで、ステップＳ２４４では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出

力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）には低電圧信号を出力しているか否かを監視する処理を繰り返し、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）には図２４２に示す主制御部メイン処理の初期設定１（ステップＳ１０１）に移行し、主制御部メイン処理を続行する。ＷＤＴ３１４を手動起動させている場合において、ステップＳ２４３でＷＤＴ３１４を停止させている場合には、ＷＤＴタイムアウトによるリセット処理への移行をさせずに、ステップＳ２４４の処理を繰り返すことができる。例えば特図変動遊技中に、ステップＳ２４３での電断処理中にＷＤＴ３１４を一時停止して、低電圧で安定した場合（ステップＳ２４４を無限ループした場合）になると、副制御部４００側は特図変動遊技の終了を示すコマンドを受信できないので、いつまでも特図変動遊技中の状態や揺れ変動の状態となる。

【１８０５】

また、この構成にすることにより、図１２０（ｂ）に示すようなＷＤＴ３１４のタイムアウト直後にアドレス信号Ａ０～Ａ１５端子から出力される１６ビットのアドレス情報（例えば、Ｅ０００Ｈ）を出力しないようにすることができる。これにより不正者による不正使用を防止することができる場合がある。また、この構成によればセキュリティモードを省略してユーザモードから処理を開始できるのでパチンコ機１００の起動を早くすることができる場合がある。なお、ステップＳ２４４から主制御部メイン処理への移行先はステップＳ１０１に限る必要はない。例えば、ステップＳ１０１～Ｓ１０５の処理を省略して、ステップＳ２４４からステップＳ１０７の初期設定２から実行するようにしてももちろんよい。

＜主制御部タイマ割込処理＞

【１８０６】

次に、図２４４を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理の変形例について説明する。図２４４（ａ）は本変形例に係る主制御部タイマ割込処理の流れを示すフローチャートである。本変形例に係る主制御部タイマ割込処理の流れは、図１０に示すタイマ割込開始処理（ステップＳ２０１）からタイマ割込終了処理（ステップＳ２４１）までの処理において、電断検出の判断処理（ステップＳ２３９）と電断処理（ステップＳ２４３）とが省かれている点に特徴を有している。図２４４において、図１０に示す処理と同一の処理には同一のステップ番号を付してその説明は省略する。

【１８０７】

図２４４（ｂ）は主制御部３００のＣＰＵ３０４でのノンマスカブル割込（ＮＭＩ）処理の流れを示すフローチャートである。ノンマスカブル割込みは、ＣＰＵ３０４が割込み禁止状態でも無条件に受け付けられる割込みである。ノンマスカブル割込みはＸＮＭＩ端子に入力する割込み信号をアサート状態（本例では、ローレベル）にすることにより実行される。本変形例では、ノンマスカブル割込みが発生すると電断処理（ステップＳ２４３）を実行する。このように主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理から電断処理を分離し、ノンマスカブル割込みの発生を条件に電断処理を行うようにしている。こうすることにより、安定した遊技制御を行うことができる。なお、ＮＭＩ処理の電断処理（ステップＳ２４３）の後に図２４３の低電圧状態判定処理（ステップＳ２４４）を追加してもよい。ＮＭＩ処理中にタイマ割込みがあった場合は、ＮＭＩ処理終了後にタイマ割込処理に移行するようにしてもよい。

＜主制御部メイン処理＞

【１８０８】

次に、図２４５を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理の変形例について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【１８０９】

上述したように、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信

号を入力した基本回路３０２のＣＰＵ３０４は、リセット割込によりリセットスタートしてＲＯＭ３０６に予め記憶している制御プログラムに従って図２４５に示す主制御部メイン処理を実行する。

【１８１０】

ステップＳ８１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）、割込マスクの設定、Ｉ／Ｏ３１０の初期設定、ＲＡＭ３０８に記憶する各種変数の初期設定、ＷＤＴ３１４への動作許可及び初期値の設定等を行う。なお、本実施形態では、ＷＤＴ３１４に、初期値として３２．８ｍｓに相当する数値を設定する。

【１８１１】

ステップＳ８１０３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）にはステップＳ８１０３の処理を繰り返し実行し、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ８１０７に進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にも、供給電圧がその所定の値以上になるまで、ステップＳ８１０３の処理を繰り返し実行する。

【１８１２】

ステップＳ８１０５では、初期設定２を行う。この初期設定２では、後述する主制御部タイマ割込処理を定期毎に実行するための周期を決める数値をカウンタタイマ３１２に設定する処理、Ｉ／Ｏ３１０の所定の出力ポート（例えば試験用出力ポート、第１副制御部４００への出力ポート）からクリア信号を出力する処理、ＲＡＭ３０８への書き込みを許可する設定等を行う。

【１８１３】

ステップＳ８１０７では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）には初期化処理（ステップＳ８１１５）に進む。

【１８１４】

具体的には、最初に、電源基板に設けたＲＷＭクリアスイッチ１８０を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ８１１５に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ８１１５に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には、その後の処理を遅延させるべくステップＳ８１０９に進んでから、電断前の状態に復帰すべくステップＳ８１１１に進む。チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ８１１５に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ８１１５に進む。

ステップＳ８１０９では、遅延処理を実行する（詳細は後述）。

【１８１５】

ステップＳ８１１１では、復電時処理を行う。この復電時処理では、電断時にＲＡＭ３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタの値を読み出し、スタックポインタに再設定（本設定）する。また、電断時にＲＡＭ３０８に設けられたレジスタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割込許可の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割込処理（後述）に分岐する直前に行った（ステップＳ８１２１内の所定の）命令の次の命令から処理を再開する。また、図４に示す主制御部３００における基本回路３０２に搭載されているＲＡＭ３０８には、送信情報記憶領域が設けられている。このステップＳ８１１１では、その送信情報記憶領域に、復電コマンドをセットする。この復電コマンドは、電源断時の状態に復帰したことを表すコマンドであり、後述する、主制御部３００のタイマ割込処理におけるステップＳ８２３３において、第１副制御部４００へ送信される。

ステップＳ８１１３では、ＷＤＴ３１４による時間計測を開始する。

【１８１６】

ステップＳ８１１５では、初期化処理を行う。この初期化処理では、割込禁止の設定、スタックポインタへのスタック初期値の設定（本設定）、ＲＡＭ３０８の全ての記憶領域の初期化などを行う。さらにここで、主制御部３００のＲＡＭ３０８に設けられた送信情報記憶領域に正常復帰コマンドをセットする。この正常復帰コマンドは、主制御部３００の初期化処理（ステップＳ８１１５）が行われたことを表すコマンドであり、復電コマンドと同じく、主制御部３００のタイマ割込処理におけるステップＳ８２３３において、第１副制御部４００へ送信される。

ステップＳ８１１７では、遅延処理を実行する（詳細は後述）。

【１８１７】

ステップＳ８１１９では、ＷＤＴ３１４のカウンタの値をクリアし、ＷＤＴ３１４による時間計測を開始する。

【１８１８】

ステップＳ８１２１では、割込禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための２つの初期値生成用乱数カウンタと、普図タイマ乱数値、および特図タイマ乱数値それぞれを生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。なお、初期値生成用乱数カウンタは、後述するステップＳ８２０７でも更新する。なお、ステップＳ８１２１では、基本乱数初期値更新処理の他に後述する基本乱数更新処理を行ってもよいし、基本乱数更新処理のみを行ってもよい。

【１８１９】

主制御部３００は、所定の周期ごとに開始するタイマ割込処理を行っている間を除いて、ステップＳ８１２１の処理を繰り返し実行する。

＜遅延処理＞

【１８２０】

次に、図２４６を用いて、主制御部３００のＣＰＵ３０４が実行する遅延処理について説明する。なお、同図は主制御部メイン処理における遅延処理の流れを示すフローチャートである。

【１８２１】

ステップＳ８１３１では、Ｉ／Ｏの所定の出力ポートからクリア信号を送信する処理を実行する。

【１８２２】
ステップＳ８１３３では、第１副制御部４００の起動を待つ周期を決める副制御部起動待ちカウンタを初期設定（例えば９０を設定）する。
【１８２３】
ステップＳ８１３５では、割込み機能限定カウンタを初期設定（例えば２５０を設定）する。割込み機能限定カウンタは、４ｍｓ毎のタイマ割込み処理で減算される。
【１８２４】
ステップＳ８１３７では、基本乱数初期値更新処理を実行する（詳細は後述）。なお、ステップＳ８１３７では、基本乱数初期値更新処理の他に後述する基本乱数更新処理を行ってもよいし、基本乱数更新処理のみを行ってもよい。
【１８２５】
ステップＳ８１３９では、コマンド送信処理を行い、各種のコマンドが第１副制御部４００に送信される。
【１８２６】
ステップＳ８１４１では、割込み機能限定カウンタが０であるか否かの判定を行い、割込み機能限定カウンタが０以外の場合、ステップＳ８１３７の処理に戻る。一方、割込み機能限定カウンタが０の場合、すなわち、ステップＳ８１３５において割込み機能限定カウンタに２５０が設定され、４ｍｓ毎のタイマ割込み処理で減算されて１０００ｍｓ＝１秒経過した場合、ステップＳ８１４３に進む。
ステップＳ８１４３では、副制御部起動待ちカウンタを１減算する。
【１８２７】
ステップＳ８１４５では、副制御部起動待ちカウンタが０であるか否かの判定を行い、副制御部起動待ちカウンタが０以外の場合、ステップＳ８１３５に戻る。一方、副制御部起動待ちカウンタが０の場合、すなわち、ステップＳ８１３３において副制御部起動待ちカウンタに９０が設定され、９０秒経過した場合、ステップＳ８１４７に進む。
ステップＳ８１４７では、その他の処理を実行する。
＜主制御部タイマ割込処理＞
【１８２８】
次に、図２４７を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。
【１８２９】
主制御部３００は、所定の周期（本実施形態では約２ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。
【１８３０】
ステップＳ８２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【１８３１】
ステップＳ８２０３では、ＷＤＴ３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施形態では、主制御部タイマ割込の周期である約２ｍｓに１回）クリア＆リスタートを行う。
【１８３２】
ステップＳ８２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述の前面枠扉開放センサや内枠開放センサや下皿満タンセンサ、各種の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前々回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、Ｒ

ＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約２ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【１８３３】

また、ステップＳ８２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の遊技球が一つの球検出センサを通過する間に、約２ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ８２０５では、同じ遊技球が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ遊技球が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、遊技球が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図４に示す主制御部３００のＲＯＭ３０６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ８２０５では、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図始動口２２８の通過があったと判定する。すなわち、これらの入賞口２２６、２３４やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。

【１８３４】

ステップＳ８２０７およびステップＳ８２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ８１１５で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、普図当選乱数値、特図１乱数値、および特図２乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウン

タが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。また、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。なお、本実施形態では特図１の乱数値を取得するためのカウンタと特図２の乱数値を取得するためのカウンタとを別に設けたが、同一のカウンタを用いてもよい。

【１８３５】

ステップＳ８２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１８３６】

ステップＳ８２１２では、割込み機能限定カウンタが０であるか否かの判定を行い、割込み機能限定カウンタが０以外の場合、ステップＳ８２１３に進む。一方、割込み機能限定カウンタが０の場合、ステップＳ８２１４に進む。

【１８３７】

ステップＳ８２１３では、割込み機能限定カウンタを１減算し、その後、ステップＳ８２３９に進む。

【１８３８】

ステップＳ８２１４では、特定異常検出フラグ（詳しくは後述する。）がＯＮであるか否かの判定を行い、特定異常検出フラグがＯＮの場合、ステップＳ８２３９に進む。一方、特定異常検出フラグがＯＦＦの場合、ステップＳ８２１５に進む。

【１８３９】

ステップＳ８２１５では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特別図柄表示装置２１２に図柄を変動・停止表示する時間を計時するための特図１表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【１８４０】

ステップＳ８２１６では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。

【１８４１】

また、ステップＳ８２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８および可変入賞口２３４への入賞があったか否かを判定する。ここでは、ステップＳ８２０３における入賞判定パターン情報と一致するか否かの判定結果を用いて判定する。第１特図始動口２３０へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用カウンタ値記憶用レジスタから値を特図１当選乱数値として取得するとともに特図１乱数値生成用の乱数カウンタから値を特図１乱数値として取得して対応する乱数値記憶領域に格納する。第２特図始動口２３２へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用

カウンタ値記憶用レジスタから値を特図２当選乱数値として取得するとともに特図２乱数値生成用の乱数カウンタから値を特図２乱数値として取得して対応する乱数値記憶領域に格納する。普図始動口２２８へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、普図当選乱数値生成用の乱数カウンタから値を普図当選乱数値として取得して対応する乱数値記憶領域に格納する。可変入賞口２３４へ入賞があった場合には、可変入賞口用の入賞記憶領域に、可変入賞口２３４に球が入球したことを示す情報を格納する。

【１８４２】

ステップＳ８２１９では、払出要求数送信処理を行う。なお、払出制御部６００に出力する出力予定情報および払出要求情報は、例えば１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。

【１８４３】

ステップＳ８２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動遊技）を行う。

【１８４４】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、当り図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、外れ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理において各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制御を行うことで、普通図柄表示装置２１０は、当り図柄（図５（ｃ）に示す普図Ａ）および外れ図柄（図５（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。

【１８４５】

また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２ａの開閉駆動用のソレノイド（３３２）に、羽根部材２３２ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【１８４６】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【１８４７】
また、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、ＲＡＭ３０８の設定領域に普図非作動中を設定する。さらに、普図変動遊技の結果が外れであれば、後述するように、普図外れフラグがオンされる。この普図外れフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ８２２３に移行するようにしている。
【１８４８】
ステップＳ８２２３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。
【１８４９】
次いで、特図１および特図２それぞれについての特図状態更新処理を行うが、最初に、特図２についての特図状態更新処理（特図２状態更新処理）を行う（ステップＳ８２２５）。この特図２状態更新処理は、特図２の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図２変動表示の途中（上述の特図２表示図柄更新タイマの値が１以上）における特図２状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２の変動表示（特図２変動遊技）を行う。
【１８５０】
また、コマンド設定送信処理（ステップＳ８２３３）で回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。
【１８５１】
また、主制御部３００のＲＡＭ３０８には、１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグそれぞれのフラグが用意されている。特図２変動表示時間が経過したタイミング（特図２表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、１５Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には図５（ａ）に示す特図Ａ、１５Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｂ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には特図Ｃ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｄ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグはオンの場合には特図Ｅ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグもオフの場合には特図Ｆ、第１小当りフラグがオンの場合には特図Ｇ、第２小当りフラグがオンの場合には特図Ｈ、第１はずれフラグがオンの場

合には特図Ｉ、第２はずれフラグがオンの場合には特図Ｉそれぞれの態様となるように、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２停止表示中であることを表す設定を行う。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当り図柄（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２が所定期間停止表示され、特図２変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた時短回数記憶部に記憶された時短回数が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中（詳細は後述）でなければ、時短フラグをオフする。さらに、大当り遊技中（特別遊技状態中）にも、時短フラグをオフする。

【１８５２】

また、コマンド設定送信処理（ステップＳ８２３３）で回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変動表示を停止する図柄が特図２であることを示す特図２識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【１８５３】

また、特図２変動遊技の結果が大当りであれば、後述するように、大当りフラグがオンされる。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ８２３３）で入賞演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１８５４】

また、所定の入賞演出期間が終了したタイミング（特図２待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ８２３３）で大入賞口開放設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１８５５】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ８２３３）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１８５６】

また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２状態更新処理では、所定の終了演出

期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、普図確率変動フラグがオンに設定されていれば、この大当り遊技の終了と同時に、ＲＡＭ３０８に設けられた時短回数記憶部に時短回数１００回をセットするとともに、ＲＡＭ３０８に設けられた時短フラグをオンする。なお、その普図確率変動フラグがオフに設定されていれば、時短回数記憶部に時短回数をセットすることもなく、また時短フラグをオンすることもない。ここにいう時短とは、特図変動遊技における大当りを終了してから、次の大当りを開始するまでの時間を短くするため、パチンコ機が遊技者にとって有利な状態になることをいう。この時短フラグがオンに設定されていると、普図高確率状態である。普図高確率状態では普図低確率状態に比べて、普図変動遊技に大当りする可能性が高い。また、普図高確率状態の方が、普図低確率状態に比べて普図変動遊技の変動時間および特図変動遊技の変動時間は短くなる。さらに、普図高確率状態では普図低確率状態に比べて、第２特別始動口２３２の一対の羽根部材２３２ａの１回の開放における開放時間が長くなりやすい。加えて、普図高確率状態では普図低確率状態に比べて、一対の羽根部材２３２ａは多く開きやすい。また、上述のごとく、時短フラグは、大当り遊技中（特別遊技状態中）にはオフに設定される。したがって、大当り遊技中には、普図低確率状態が維持される。これは、大当り遊技中に普図高確率状態であると、大当り遊技中に可変入賞口２３４に所定の個数、遊技球が入球するまでの間に第２特図始動口２３２に多くの遊技球が入球し、大当り中に獲得することができる遊技球の数が多くなってしまい射幸性が高まってしまうという問題があり、これを解決するためのものである。

【１８５７】

さらに、コマンド設定送信処理（ステップＳ８２３３）で終了演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【１８５８】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。さらに、特図２変動遊技の結果が外れであれば、後述するように、はずれフラグがオンされる。このはずれフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理でも、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。特図２非作動中の場合における特図２状態更新処理では、何もせずに次のステップＳ８２２７に移行するようにしている。

【１８５９】

続いて、特図１についての特図状態更新処理（特図１状態更新処理）を行う（ステップＳ８２２７）。この特図１状態更新処理では、特図１の状態に応じて、上述の特図２状態更新処理で説明した各処理を行う。この特図１状態更新処理で行う各処理は、上述の特図２状態更新処理で説明した内容の「特図２」を「特図１」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２状態更新処理と特図１状態更新処理の順番は逆でもよい。

【１８６０】

ステップＳ８２２５およびステップＳ８２２７における特図状態更新処理が終了すると、今度は、特図１および特図２それぞれについての特図関連抽選処理を行う。ここでも先に、特図２についての特図関連抽選処理（特図２関連抽選処理）を行い（ステップＳ８２２９）、その後で、特図１についての特図関連抽選処理（特図１関連抽選処理）を行う（ステップＳ８２３１）。これらの特図関連抽選処理についても、主制御部３００が特図２関連抽選処理を特図１関連抽選処理よりも先に行うことで、特図２変動遊技の開始条件と、特図１変動遊技の開始条件が同時に成立した場合でも、特図２変動遊技が先に変動中となるため、特図１変動遊技は変動を開始しない。また、装飾図柄表示装置２０８による、特図変動遊技の大当り判定の結果の報知は、第１副制御部４００によって行われ、第２特

図始動口２３２への入賞に基づく抽選の抽選結果の報知が、第１特図始動口２３０への入賞に基づく抽選の抽選結果の報知よりも優先して行われる。
ステップＳ８２３２では、デバイス監視処理を実行する（詳細は後述）。
【１８６１】
ステップＳ８２３３では、コマンド設定送信処理を行い、各種のコマンド（例えば、ステップＳ８２３２のデバイス監視処理で特定異常があった場合は、特定異常を示す信号）が第１副制御部４００に送信される。なお、第１副制御部４００に送信する出力予定情報は例えば１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、大当りラウンド数指定コマンド、復電コマンド、ＦＲＡＭ（登録商標）クリアコマンドなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。
【１８６２】
具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、特図確率変動フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば特図確率変動フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などを含む。
【１８６３】
また、上述の回転開始設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図１関連抽選処理および特図２関連抽選処理で選択したタイマ番号、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の回転停止設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを示す情報を設定する。上述の入賞演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、入賞演出期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の終了演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口開放設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口閉鎖設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。また、このステップＳ８２３３では一般コマンド特図保留増加処理も行われる。この一般コマンド特図保留増加処理では、コマンドデータにＲＡＭ３０８の送信用情報記憶領域に記憶している特図識別情報（特図１または特図２を示す情報）、予告情報（事前予告情報、偽事前予告情報、または事前予告無情報のいずれか）を設定する。
【１８６４】
第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力

予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【１８６５】

ステップＳ８２３５では、外部出力信号設定処理を行う。具体的には、外部端子板信号や試射試験信号などを設定する。また、ステップＳ８２３２のデバイス監視処理で特定異常があった場合は、特定異常を示す信号を設定する。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【１８６６】

ステップＳ８２３９では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ８２４３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ８２４１に進む。

【１８６７】

ステップＳ８２４１では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ８２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、図２４５に示す主制御部メイン処理に復帰する。

【１８６８】

一方、ステップＳ８２４３では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、上述の主制御部メイン処理に復帰する。

【１８６９】

なお、デバイス監視処理（ステップＳ８２３２）で監視するエラーとしては、次に示すようなものが考えられる。

【１８７０】

エラー種別として、下受け皿満タンエラー（下皿満タンエラー）、払出装置エラー、払出超過エラー、不正払出エラー、払出個数スイッチエラー、主制御通信エラー、ＣＲユニット未接続エラー、ＣＲユニット通信エラー、磁気異常エラー、外部クロック異常エラー、磁界異常エラー、スイッチレベル異常エラー、枠開放エラー（前面枠扉開放エラー）、スイッチ未接続エラー、衝撃センサエラーなどがある。なお、これらのエラーうち、下受け皿満タンエラー等は、遊技機内に封入された遊技球を循環使用する封入式遊技機には適用されない。

【１８７１】

下受け皿満タンエラーとは、下皿満タンスイッチ信号のオン状態が、メイン基板の所定の入力ポートによってタイマ割り込みでオンを１回読み込んだとき（オフ状態からオン状態に切り換わるとき）にメインから払出に出力されるものである。

【１８７２】

払出装置エラーとは、払出モータが払出要求数分の駆動を終了後（実際は＋ブレーキ期間＋無励磁期間経過後）の次の割り込み内で、払出数（払出個数スイッチのカウント数）が払出要求数よりも少ない場合に払出装置エラーの発生を検知するものである。１個ずつ遊技球を払い出すリトライ処理が完了することにより、当該エラー状態が解除される。

【１８７３】

払出超過エラーとは、払出要求数に対して実際に払い出された遊技球が１０個多く検知されたとき払出動作を停止するものである。この払出超過エラーは、エラー解除スイッチ１６８によって解除するエラーであり、エラー解除スイッチ１６８を操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。

【１８７４】

不正払出エラーとは、払出要求が発生していない状態で遊技球の払出を検知（払出個数スイッチがカウント）したとき払出動作を停止するものである。この不正払出エラーは、エラー解除スイッチ１６８によって解除するエラーであり、エラー解除スイッチ１６８を

操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。

【１８７５】

払出個数スイッチエラーとは、払出基板１７０に制御される遊技球の払出個数スイッチ（不図示）のエラーであり、払出個数スイッチの接続異常を検知したとき（メイン基板は関係なし）払出動作を停止するものである。この払出個数スイッチエラーは、エラー解除スイッチ１６８によって解除するエラーであり、スイッチの接続が正しいか確認した後、エラー解除スイッチ１６８を操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。

【１８７６】

主制御通信エラーとは、主制御接続確認信号のオフ状態を検知した場合、または主制御動作確認信号のオン状態を２割り込み継続して検知した場合に発生するエラーであり、メイン基板からのコマンド受信が不能になるものである。但し、払出要求数が残存している場合は、その分までは払い出す。主制御接続確認信号のオン状態を検知した場合で、かつ、主制御動作確認信号のオフ状態を２割り込み継続して検知した場合に当該エラー状態が解除される。

【１８７７】

ＣＲユニット未接続エラーとは、ＣＲユニット未接続エラーが解除状態のときに、ＣＲユニット接続信号（ＶＬ信号）のオフ状態を検知し、１６ｍｓ継続した場合に発生するものであり、貸出停止（賞球の払出には影響なし）となるものである。ＣＲユニット接続信号のＯＮ状態を検知し、１６ｍｓ継続した場合に当該エラー状態が解除される。なお、エラー解除した後、ＣＲユニットＲＥＡＤＹ信号（ＢＲＤＹ信号）およびＣＲユニット貸出要求完了確認信号（ＢＲＱ信号）がオフ状態となるまでＣＲユニットとの通信が無効状態になる。

【１８７８】

ここで、ＣＲユニットとインタフェースの接続信号関係について説明する。各種信号が、ＣＲユニットからインタフェースを介して払出基板へと伝達される場合、ＣＲユニット接続信号とは、ＣＲユニット内の＋１８Ｖ電源からなるＶＬ信号である。ＣＲユニットＲＥＡＤＹ信号とは、ＣＲユニットが貸し出しの処理中であることを伝達するＢＲＤＹ信号である。ＣＲユニット貸出要求確認信号とは、ＣＲユニットが基本単位分２５個の貸出要求と貸出指示を伝達するＢＲＱ信号である。

【１８７９】

ＣＲユニット通信エラーとは、貸出要求発生前にＢＲＱ信号のオン状態を検知した場合に発生するものである（なお、他の条件もあるが、ここでは特に関係がないため割愛する）。遊技機側から通信異常を通知した後、ＢＲＤＹ信号およびＢＲＱ信号をオフ状態にすることで当該エラー状態が解除される。

【１８８０】

磁気異常エラーとは、所定量を超える磁力を検出したとき主制御動作を停止するものである。外部クロック異常エラーとは、乱数更新用クロックに異常を検出した場合に発生するエラーである。磁界異常エラーとは、所定量を超える磁界を検出した場合に発生するエラーである。

【１８８１】

スイッチレベル異常エラーとは、入賞スイッチを検出し、１ｓ継続した場合に発生するエラーである。枠開放エラーとは、ガラス枠または内枠の開放を検出した場合に発生するエラーである。スイッチ未接続エラーとは、入賞スイッチ（不図示）のエラーであり、入賞スイッチの接続異常を検出した場合に発生するエラーである。

【１８８２】

衝撃センサエラーとは、衝撃センサが所定量を超える衝撃を検出したとき電源断まで継続してエラーを報知するものである。

＜デバイス監視処理＞

【１８８３】
次に、図２４８を用いて、主制御部３００のＣＰＵ３０４が実行するデバイス監視処理について説明する。なお、同図は主制御部タイマ割込処理におけるデバイス監視処理の流れを示すフローチャートである。
【１８８４】
ステップＳ８２５１では、上述のエラーの有無を示すデバイス情報を初期設定する。
【１８８５】
ステップＳ８２５３では、信号状態記憶領域に記憶した各種センサの信号状態を読み出して、上述のエラーの有無を監視し、当該エラーを検出した場合に、ステップＳ８２５５に進む。一方、上述のエラーを検出しなかった場合には、当該デバイス監視処理を終了する。
【１８８６】
ステップＳ８２５５では、第１副制御部４００に送信すべき送信情報に、ステップＳ８２５３で検出したエラーを示す異常情報（デバイス情報）を設定する。
【１８８７】
ステップＳ８２５７では、ステップＳ８２５５で設定した異常情報の中に、特定異常情報があるか否かを判定し、特定異常情報がある場合に、ステップＳ８２５７に進む。一方、特定異常情報がない場合に、ステップＳ８２６１に進む。なお、特定異常情報は、上述のエラーについての異常情報の中から、予め設定されている１つまたは複数のエラーの異常情報のことである。例えば、磁気異常エラーの異常情報を特定異常情報として予め設定しておいてもよい。
ステップＳ８２５９では、特定異常検出フラグをオンにする。
ステップＳ８２６１では、デバイスコマンド送信要求を設定する。
【１８８８】
次に、以上説明した実施形態６によるパチンコ機１００の特徴的構成について説明する。
（１）本実施の形態によるパチンコ機１００は、
【１８８９】
遊技に関する複数種類の遊技制御処理それぞれを、メイン制御（例えば、主制御部メイン処理）および所定の割込み周期ごとに行われる割込み制御（例えば、主制御部タイマ割込処理）のうちの、少なくともいずれか一方の制御において実行する遊技制御手段（たとえば、主制御部３００、ユーザプログラム）と、
【１８９０】
前記遊技制御手段からの開始指示（例えば、自動起動処理または手動起動処理）を受けたことに基づいて経過時間の計測を開始し、該経過時間が特定時間（例えば、プログラム管理エリアに設定したタイムアウト時間）を超えたか否かを判定するとともに、該経過時間が特定時間を超えたと判定したことに基づいて前記遊技制御手段に対して復帰指示（例えば、内部バスへのタイムアウト信号の出力）を行い、前記遊技制御手段から初期化指示（例えば、リスタート指示）を受けたことに基づいて該経過時間を初期化する復帰指示手段（例えば、ＷＤＴ３１４）と、
【１８９１】
監視している電源ライン（例えば、電源ラインｐ１０３）の電圧（例えば、ＤＣ１２Ｖ）が下限電圧（例えば、ＤＣ９Ｖ）よりも低下した場合に、前記遊技制御手段に出力する低電圧信号をアサート状態にし、前記電源ラインの電圧が下限電圧よりも高くなった場合に、前記低電圧信号をネゲート状態にすることが可能な電圧監視手段（例えば、リセットＩＣ７００３）と
を備えた遊技台であって、
【１８９２】
前記開始指示は、前記低電圧信号が前記アサート状態から前記ネゲート状態に変化した後に発せられることを特徴とする。

【１８９３】
当該構成を備えたパチンコ機１００によれば、電源監視信号としての低電圧信号がアサート状態からネゲート状態に変化した後にＷＤＴが起動される。例えば、監視電圧が９Ｖ以上になったら電源監視信号がネゲート状態になる。また、監視電圧が９Ｖ未満になったら電源監視信号がアサート状態になる。低電圧信号がアサート状態からネゲート状態に変化した後にＷＤＴが起動されるには、具体的には、（１）回路によってリセットＩＣからリセット信号が出力されるタイミングを遅らせる、（２）固定延長機能の使用、（３）ＷＤＴ手動起動が挙げられる。
【１８９４】
従来は電源投入直後にＷＤＴを起動し、電圧が安定するまでループ処理を行っていた。そして、そのループ処理内でＷＤＴクリア＆リスタートを繰り返し行っていた。この場合、電圧が安定するまで定期的にＷＤＴクリア＆リスタートの信号が出力されるので、該信号出力タイミングを基準にして特定処理の実行時期を判別しやすくなるという問題があった。また、電圧が安定する前にＷＤＴクリア＆リスタートを繰り返し行っていたので、ノイズの影響によって電圧が安定するまでの時間が長くなってしまうという問題があった。
【１８９５】
本発明によれば、電圧安定までの時間を短縮、ＷＤＴクリア＆リスタートの信号で特定処理の実行時期のを判別し難くできる場合がある。
【１８９６】
また、ＷＤＴタイムアウトの場合はシステムリセット動作をさせることにより、特定処理の実行時期を更に判別困難にできる場合があり、ユーザプログラムの解析困難にできる場合がある。
【１８９７】
また、ＷＤＴを手動起動させた場合において、電断処理が発生した場合にも、電断処理中にＷＤＴを停止させないようにしてもよい。主制御部のタイマ割込み制御処理では低電圧信号を検出すると電断処理が実行される。この場合はパチンコ機の電気系統に異常が発生していることが考えられる。このときにＷＤＴの残存タイマの値が短くなっていると直ちにタイムアウト信号が出力されてシステムリセットがかかってしまうおそれがある。電断処理前にＷＤＴを一時停止させるのが普通であるが、停電などの通常の電圧降下の場合はＷＤＴに悪影響はほとんどなく、不正行為の場合には一時的に高い電圧がかけられるケースがありＷＤＴに悪影響がある。つまり普通の遊技者には電断処理が完了するようにして、不正行為者には電断処理が完了しないようにするため、ＷＤＴを停止させないようにしてもよい。また、瞬停（９Ｖ未満に電圧が低下してすぐに９Ｖ以上に復活する状態）の場合であってもＷＤＴを停止させないようにしてもよい。
【１８９８】
また、磁界検知信号、磁気検知信号、電波検知信号、振動検知信号等が所定の端子に入力されている場合であってもＷＤＴの起動を開始させ、さらにＷＤＴのクリア＆リスタートを実行するようにしてもよい。これらの検知信号に基づくエラー報知処理を行うよりも前に、ＷＤＴタイムアウトによって異常が発生していることを確認できる場合がある（特にエラー報知処理をタイマ割込み処理内で実行する場合に有効であり、さらに場合によってはタイマ割込み移行前に気づける場合がある。
【１８９９】
払出制御部６００にカードユニット（ＣＲユニット）６０８が接続されていない状態であってもＷＤＴの手動起動をすることにより、遊技機に異常が発生していることを確認できる場合がある。
【１９００】
電断処理後に監視電圧が９Ｖに復帰した場合にＷＤＴ手動起動を再度行う（電断処理ではＷＤＴを停止させない）ようにしてもよい。ＷＤＴのタイムアウト信号によるシステムリセット処理をさせないのでＡ０～Ａ１５のアドレスバスにモニタ信号（Ｅ０００Ｈ）が出力されず所定のアドレスに復帰したことを判別し難くすることができる場合がある。

【１９０１】
　また、電源投入後の最初のモジュール（スタックポインタを設定など）とは異なるモジュールで、ＷＤＴを起動させるようにしてもよい。こうすることにより、ユーザプログラムの解析を困難にできる場合がある。
【１９０２】
　ＷＤＴ手動起動とＷＤＴクリア＆リスタートの位置は、例えば以下のタイミングが挙げられる。
【１９０３】
（ａ）電源投入後の低電圧信号出力判定ループ処理より前、当該処理中、または当該処理より後、のいずれか。
【１９０４】
（ｂ）内蔵レジスタに所定のデータを設定する処理より前、当該処理中、または当該処理より後、のいずれか。
【１９０５】
（ｃ）電源ステータスを参照する処理（分岐する処理）より前、当該処理中、または当該処理より後、のいずれか。
【１９０６】
（ｄ）チェックＳＵＭのループ処理より前、当該処理中、または当該処理より後、のいずれか。
【１９０７】
（ｅ）内蔵ＲＡＭアクセス許可より前、当該処理中、または当該処理より後、のいずれか。
【１９０８】
（ｆ）復帰起動または初期起動より前、当該処理中、または当該処理より後、のいずれか。
（ｇ）割込み許可より前、当該処理中、または当該処理より後、のいずれか。
【１９０９】
（ｈ）副制御部の起動待ちより前、当該処理中、または当該処理より後、のいずれか。
【１９１０】
（ｉ）ソフト乱数の更新開始より前、当該処理中、または当該処理より後、のいずれか。
【１９１１】
（ｊ）サブへの通信確認コマンド（サブ起動開始コマンド、完了コマンド）、払出への通信確認コマンドなどのコマンド送出より前、当該処理中、または当該処理より後、のいずれか。
【１９１２】
（ｋ）乱数最大値設定処理より前、当該処理中、または当該処理より後、のいずれか。
（２）上記パチンコ機１００であって、
【１９１３】
　前記開始指示は、前記メイン制御から前記割込み制御への移行を許可する最初の割込み許可前に発せられることを特徴とする。
（３）上記パチンコ機１００であって、
　前記遊技制御手段を少なくとも有するマイクロプロセッサを備え、
　前記マイクロプロセッサは、
【１９１４】
　少なくとも、前記復帰指示手段によって、前記経過時間が前記特定時間を超えたと判定された場合には、セキュリティチェックが行われるとともに、該セキュリティチェックの後に前記遊技制御が行われるユーザモードへ移行するまでの時間をランダムに変動させるランダム延長処理が少なくとも行われる、セキュリティモードに滞在した後、該ユーザモードへ移行するものであることを特徴とする。
【１９１５】

当該構成を備えたパチンコ機１００によれば、ユーザモードに移行する前にランダム延長処理を実行するので、遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。

【１９１６】

（４）上記パチンコ機１００であって、前記ランダム延長処理の開始前に、前記マイクロプロセッサの所定の出力端子から所定の信号が出力されることを特徴とする。

【１９１７】

（５）上記パチンコ機１００であって、前記所定の端子は、前記マイクロプロセッサ以外の外部機器に対してリセット信号を出力可能なリセット端子であることを特徴とする。

【１９１８】

当該構成を備えたパチンコ機１００によれば、ランダム延長処理の前に外部機器に対してリセット信号を出力し、ランダム延長処理の後に遊技制御プログラムの実行を開始することができるので、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。

【１９１９】

（６）上記パチンコ機１００であって、前記遊技制御手段から送出されるコマンドに基づいて演出制御を行う副制御手段を有することを特徴とする。

【１９２０】

当該構成を備えたパチンコ機１００によれば、電源投入後、ＷＤＴ手動起動開始前に電断した場合において、主制御部３００がメイン処理に復帰して各種処理終了後のタイマ割込み処理内の所定の処理実行時に払出制御部６００に対して復帰コマンドを送信する構成の場合、かつ払出制御部６００はこのコマンドを受信しないと発射許可しない構成の場合は、遊技球の発射ができないことで遊技機に異常が発生していることを確認できる場合がある。

＜実施形態５＞

【１９２１】

以下、図面を用いて、本発明の実施形態５に係るパチンコ機（遊技台）について詳細に説明する。

【１９２２】

図２４９は、乱数生成回路から１６ビット乱数値をＲＡＭ３０８に取込む手順を示している。図の右側には後程説明する実施形態７に係る図２７４に示す１６ビット乱数回路９０００の乱数生成回路９００６で更新される１６ビット乱数値が図の上から下に進む時系列で行表示されている。各行の左側は１６ビット乱数値の上位バイトを示し、右側は下位バイトを示している。上から下に向かって１６ビット乱数値が順次更新されている状態を示している。本例では乱数値の最大値が設定されていないので、１６ビット乱数値が順次更新されて０～６５５３５（十進数）まで更新される。図の中央にはマイコンの内蔵レジスタのうち乱数値取込みに関連するレジスタとして、上から順に、乱数値ソフトラッチレジスタ、ソフトラッチ乱数値レジスタ（下位）、ソフトラッチ乱数値レジスタ（上位）、乱数ソフトラッチフラグレジスタが示されている。図の左側には、ＲＡＭ３０８内で連続した２つの所定アドレスの記憶領域に格納されるデータを示している。

【１９２３】

図２４９に示す乱数値取込みでは、ユーザプログラムにより内部レジスタの乱数ソフトラッチレジスタに対し「１」が書き込まれる（矢印（１）参照）。これにより、所定のソフトラッチ乱数値レジスタにラッチ信号が出力されて、乱数生成回路９００６から入力されている１６ビット乱数値がラッチされる（（２）参照））。ラッチ処理では、ラッチされた１６ビット乱数値の下位８ビットがソフトラッチ乱数値レジスタ（下位）に取り込まれ（矢印（３）参照）、次いで、上位８ビットがソフトラッチ乱数値レジスタ（上位）に

取り込まれる（矢印（４）参照）。乱数値がソフトラッチ乱数値レジスタに取り込まれると、乱数ソフトラッチフラグレジスタの対応ビットに「１」がセットされる（矢印（５）参照）。次いで、乱数ソフトラッチフラグレジスタの対応ビットに「１」がセットされたら、ユーザプログラム内の第一の命令によりソフトラッチ乱数値レジスタ（下位）の値をＲＡＭ３０８内の所定アドレスの記憶領域に当否判定乱数（下位）として記憶し（矢印（６）参照）、次いで第二の命令によりソフトラッチ乱数値レジスタ（上位）の値をＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に当否判定乱数（上位）として記憶する（矢印（７）参照）。なお、ソフトラッチ乱数値レジスタの値をＲＡＭ３０８内の所定アドレスの記憶領域に記憶したら乱数ソフトラッチフラグレジスタの対応ビットに「０」がセットされる（矢印（８）参照）。

【１９２４】

図２５０も、乱数生成回路９００６から１６ビット乱数値をＲＡＭ３０８に取込む手順を示している。図２５０内の構成要素の配置は図２４９と同様なのでその説明は省略する。本例では乱数値の最大値が１００に設定されている。このため、１６ビット乱数値が順次更新されて０～１００（十進数）まで更新される。

【１９２５】

図２５０に示す乱数値取込みでは、図２４９の場合と同様に、ユーザプログラムにより内部レジスタの乱数ソフトラッチレジスタに対し「１」が書き込まれる（矢印（１）参照）。これにより、所定のソフトラッチ乱数値レジスタにラッチ信号が出力されて、乱数生成回路９００６から入力されている１６ビット乱数値がラッチされる（（２）参照））。ラッチ処理では、ラッチされた１６ビット乱数値の下位８ビットがソフトラッチ乱数値レジスタ（下位）に取り込まれ（矢印（３）参照）、次いで、上位８ビットがソフトラッチ乱数値レジスタ（上位）に取り込まれる（矢印（４）参照）。乱数値がソフトラッチ乱数値レジスタに取り込まれると、乱数ソフトラッチフラグレジスタの対応ビットに「１」がセットされる（矢印（５）参照）。次いで、乱数ソフトラッチフラグレジスタの対応ビットに「１」がセットされたことを条件に、ユーザプログラム内の第一の命令によりソフトラッチ乱数値レジスタ（下位）の値をＲＡＭ３０８内の所定アドレスの記憶領域に当否判定乱数（下位）として記憶し（矢印（６）参照）、次いで第二の命令によりソフトラッチ乱数値レジスタ（上位）の値をＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に当否判定乱数（上位）として記憶する（矢印（７）参照）。なお、ソフトラッチ乱数値レジスタの値をＲＡＭ３０８内の所定アドレスの記憶領域に記憶したら乱数ソフトラッチフラグレジスタの対応ビットに「０」がセットされる（矢印（８）参照）。このように、乱数値の最大値が２５６未満で上位バイトが常に０であるためデータ取込みが不要な場合であっても、上位８ビットも一緒に取り込むようにユーザプログラムを組んでいる。

【１９２６】

図２５１（ａ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される乱数取得判定処理を示すフローチャートである。この処理は、例えば、主制御部タイマ割込処理の入賞受付処理（ステップＳ２１７）で実行される。同一の割込み内で特図１乱数値や、特図２乱数値、普図乱数値など複数ラッチする場合は、入賞受付処理（ステップＳ２１７）内でこの乱数取得判定処理を複数回繰り返す。特図１始動口２３０や、特図２始動口２３２、普図始動口２２８の球検出センサから読み取ったデータが入賞判定パターンに一致する場合に、本処理に移行する。１つの割込み内で例えば特図１乱数値と特図２乱数値をラッチする場合において、同時成立の場合は例えば特図２乱数値を先にラッチして、次の割込みで特図１乱数値をラッチするようにしてもよい。また、同時成立の場合は、１割込み内で特図１乱数値と特図２乱数値とをラッチするようにしてもよい。つまり、同時成立の場合に特図１乱数値と特図２乱数値とを別割込みでラッチすることはないようにしてもよい。

【１９２７】

乱数取得判定処理において、主制御部３００は、まず、ラッチ条件が成立しているか否かを判断する（ステップＳ９００１）。ラッチ条件としては、対象（特図１、特図２、あ

るいは普図）を特定し、特定した対象の現在の保留個数を取得し、該保留個数が最大でないかを判定することが挙げられる。保留個数が最大であればラッチ条件が成立せず、保留個数が最大未満であればラッチ条件が成立する。保留個数以外にも他のラッチ条件が含まれてもよい。他のラッチ条件として、例えば、エラー状態であるか否かをラッチ条件の一部に含ませてもよい。さらに、他のラッチ条件として、遊技機における常識的な条件が全て含まれるようにしてももちろんよい。

【１９２８】

主制御部３００は、ステップＳ９００１でラッチ条件が成立すると判断したら、ステップＳ９００２に移行して、所定の乱数値をラッチする。ラッチ条件が不成立であると判断したらステップＳ９００２を省略して乱数取得判定処理を終了する。

【１９２９】

図２５１（ｂ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される乱数取得処理を示すフローチャートである。この処理は、例えば、主制御部タイマ割込処理の入賞受付処理（ステップＳ２１７）で実行される。同一割込み処理内で複数ラッチする場合（特図１乱数値や、特図２乱数値、普図乱数値等）は、ステップＳ２１７内でこの乱数取得処理を所定回数繰り返す。

【１９３０】

乱数取得処理において、主制御部３００は、まず、乱数取得条件が成立しているか否かを判断する（ステップＳ９００３）。乱数取得条件としては、対象（特図１、特図２、あるいは普図）を特定し、特定した対象に対応する乱数ソフトラッチフラグレジスタの所定ビットに「１」がセットされているか否かを判定する。

【１９３１】

主制御部３００は、ステップＳ９００３で乱数取得条件が成立すると判断したら、ステップＳ９００４に移行して、所定の乱数値を取得する。乱数取得条件が不成立であると判断したらステップＳ９００４を省略して乱数取得処理を終了する。ステップＳ９００４では、内蔵レジスタからの乱数取得とともに、このタイミングでソフト乱数を取得するようにしてもよい。そして、内蔵レジスタから取得した乱数にソフト乱数を加算して当否判定用乱数を生成するようにしてもよい。

【１９３２】

図２５２（ａ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される図２５１（ａ）に示す乱数取得判定処理をより詳細に説明するフローチャートである。主制御部３００は、まず、特図１始動口２３０や、特図２始動口２３２、普図始動口２２８の球検出センサから読み取ったデータが入賞判定パターンに一致するか否かを判定する（ステップＳ９００５）。球検出センサから読み取ったデータが入賞判定パターンに一致する場合はステップＳ９００６に移行し、一致しない場合は乱数取得判定処理を終了する。球検出センサから読み取ったデータが入賞判定パターンに一致する場合は、主制御部３００は、ラッチ条件を満たしているか否かを判断するため、保留個数が非満タン状態であるか否かを判断する（ステップＳ９００６）。保留個数が非満タン状態である場合はステップＳ９００７に移行し、満タン状態である場合は乱数取得判定処理を終了する。

【１９３３】

主制御部３００は、保留個数が非満タン状態である場合はステップＳ９００７に移行し、乱数ソフトラッチレジスタの所定ビットに「１」をセットする。これにより、図２４９または図２５０に示す矢印（１）で示す処理が実行され、所定のソフトラッチ乱数値レジスタにラッチ信号が出力される。

【１９３４】

次いで、ステップＳ９００８において、乱数ソフトラッチフラグレジスタの所定ビットが「０」であるか否かが判断され、乱数ソフトラッチフラグレジスタの所定ビットが「０」であればステップＳ９００８に移行し、所定ビットが「０」でなければ乱数取得判定処理を終了する。

【１９３５】

乱数ソフトラッチフラグレジスタの所定ビットが「０」であれば、ステップＳ９０１０において、乱数生成回路９００６から入力されている１６ビット乱数値が所定のソフトラッチ乱数値レジスタにラッチされる（図２４９または図２５０に示す矢印（３）および（４）参照）。

【１９３６】

次いで、ステップＳ９０１１で乱数ソフトラッチフラグレジスタの所定ビットに「１」がセットされて（図２４９または図２５０に示す矢印（５）参照）、乱数取得判定処理が終了する。

【１９３７】

図２５２（ｂ）は、図２４９および図２５０に示す乱数取込み（取得）手順において実行される図２５１（ｂ）に示す乱数取得処理をより詳細に説明するフローチャートである。主制御部３００は、乱数ソフトラッチフラグレジスタの所定ビットが「１」であるか否かを判断する（ステップＳ９０１２）。所定ビットが「１」であればステップＳ９０１３に移行し、所定ビットが「１」でなければ乱数取得処理を終了する。

【１９３８】

乱数ソフトラッチフラグレジスタの所定ビットが「１」であれば、ステップＳ９０１３において、乱数ソフトラッチ乱数値レジスタ（下位）から１６ビット乱数値の下位バイトをＲＡＭ３０８内の所定アドレスの記憶領域に当否判定乱数（下位）としてリード（読み込み）する（図２４９または図２５０に示す矢印（６）参照）。次いで、ステップＳ９０１４において、乱数ソフトラッチ乱数値レジスタ（上位）から１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に当否判定乱数（上位）としてリードする（図２４９または図２５０に示す矢印（７）参照）。次いで、ステップＳ９０１５において、１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域にリードしたことに基づいて、乱数ソフトラッチフラグレジスタの対応ビットに「０」がセットされる（図２４９または図２５０に示す矢印（８）参照）。

【１９３９】

図２５３は、所定のソフトラッチ乱数値レジスタに乱数生成回路９００６から逐次入力される１６ビット乱数値を直接取込む方法を示している。図２４９に示す乱数値取込みでは、ユーザプログラムに記述した第三の命令によりソフトラッチ乱数値レジスタから１６ビット乱数値を直接取込むことができる。第三の命令を用いることにより、マイコン内蔵レジスタ内の乱数値取込みに関連するレジスタのうち、乱数ソフトラッチレジスタと乱数ソフトラッチフラグレジスタは不必要となる。

【１９４０】

第三の命令だけで、乱数ソフトラッチ乱数値レジスタ（下位）から１６ビット乱数値の下位バイトをＲＡＭ３０８内の所定アドレスの記憶領域に当否判定乱数（下位）として読み込み、続いて、乱数ソフトラッチ乱数値レジスタ（上位）から１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に当否判定乱数（上位）として読み込むことができる（矢印（Ａ）参照）。後程プログラムコードを用いて説明するが、第三の命令で下位のレジスタを指定するだけで上位のレジスタに格納されている値も取り込むことができる。機械語からは上位アドレスの判別が不能になるため、不正者によるコード解析を困難にすることができる。

【１９４１】

図２４９や図２５０に示す乱数値取込み方法では、１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に読み込んだことに基づいて、乱数ソフトラッチフラグレジスタの対応ビットに「０」がセットされるが、本例の直接取込み方法では、乱数ソフトラッチフラグレジスタの対応ビットは元々「０」であり、本処理の後にも「０」が維持されている。このため、第三の命令の実行後に同一のソフトラッチ乱数値レジスタから第一の命令と第二の命令を使って乱数値を取り出す場合にも、図２５２（ａ）の乱数取得判定処理のステップＳ９００８をそのまま適用できる。

【１９４２】
図２５４は、図２５３に示す乱数直接取込みにおいて実行される乱数取得判定／取得処理を示すフローチャートである。この処理は、例えば、主制御部タイマ割込処理の入賞受付処理（ステップＳ２１７）で実行される。同一の割込み内で特図１乱数値や、特図２乱数値、普図乱数値など複数の乱数値を直接取得する場合は、入賞受付処理（ステップＳ２１７）内でこの乱数取得判定／取得処理を複数回繰り返す。特図１始動口２３０や、特図２始動口２３２、普図始動口２２８の球検出センサから読み取ったデータが入賞判定パターンに一致する場合に、本処理に移行する。１つの割込み内で例えば特図１乱数値と特図２乱数値を直接取得する場合において、同時成立の場合は例えば特図２乱数値を先に取得して、次の割込みで特図１乱数値を取得するようにしてもよい。また、同時成立の場合は、１割込み内で特図１乱数値と特図２乱数値とを直接取得するようにしてもよい。つまり、同時成立の場合に特図１乱数値と特図２乱数値とを別割込みで直接取得することはないようにしてもよい。
【１９４３】
乱数取得判定／取得処理において、主制御部３００は、まず、乱数取得条件が成立しているか否かを判断する（ステップＳ９０１６）。乱数取得条件としては、対象（特図１、特図２、あるいは普図）を特定し、特定した対象の現在の保留個数を取得し、該保留個数が最大でないかを判定することが挙げられる。保留個数が最大であれば乱数取得条件が成立せず、保留個数が最大未満であれば乱数取得条件が成立する。保留個数以外にも他の乱数取得条件が含まれてもよい。他の乱数取得条件として、例えば、エラー状態であるか否かを乱数取得条件の一部に含ませてもよい。さらに、他の乱数取得条件として、遊技機における常識的な条件が全て含まれるようにしてももちろんよい。
【１９４４】
主制御部３００は、ステップＳ９０１６で乱数取得条件が成立すると判断したら、ステップＳ９０１７に移行して、所定の乱数値を直接取得する。ステップＳ９０１７では、内蔵レジスタからの乱数直接取得とともに、このタイミングでソフト乱数を取得するようにしてもよい。そして、内蔵レジスタから取得した乱数にソフト乱数を加算して当否判定用乱数を生成するようにしてもよい。乱数取得条件が不成立であると判断したらステップＳ９０１７を省略して乱数取得判定／取得処理を終了する。
【１９４５】
この乱数取得判定／取得処理においては、第一の命令と第二の命令とを用いる乱数取得の場合に必須であった、特定した対象に対応する乱数ソフトラッチフラグレジスタの所定ビットに「１」がセットされているか否かを判定する処理が不要となる。
【１９４６】
図２５５（ａ）、（ｂ）は、図２５３に示す乱数直接取込み（取得）手順において実行される図２５４に示す乱数取得判定／取得処理をより詳細に説明するフローチャートである。図２５５（ａ）は乱数取得判定処理を示している。主制御部３００は、まず、特図１始動口２３０や、特図２始動口２３２、普図始動口２２８の球検出センサから読み取ったデータが入賞判定パターンに一致するか否かを判定する（ステップＳ９０１８）。球検出センサから読み取ったデータが入賞判定パターンに一致する場合はステップＳ９０１９に移行し、一致しない場合は乱数取得判定処理を終了する。球検出センサから読み取ったデータが入賞判定パターンに一致する場合は、主制御部３００は、乱数取得条件を満たしているか否かを判断するため、保留個数が非満タン状態であるか否かを判断する（ステップＳ９０１９）。保留個数が非満タン状態である場合はステップＳ９０２０に移行し、満タン状態である場合は乱数取得判定処理を終了する。
【１９４７】
主制御部３００は、保留個数が非満タン状態である場合は乱数取得条件を満たしているものとしてステップＳ９０２０に移行し、所定のフラグをオンに設定する。所定のフラグは、マイコン内蔵のレジスタではなく、ユーザプログラムによるＲＡＭ３０８内の所定領域に設定している。

【１９４８】
図２５５（ｂ）は、乱数取得処理を示している。主制御部３００は、所定のフラグがオンか否かを判断する（ステップＳ９０２１）。所定のフラグがオンであればステップＳ９０２２に移行し、所定のフラグがオンでなければ乱数取得処理を終了する。
【１９４９】
所定のフラグがオンであれば、ステップＳ９０２２において、ソフトラッチ乱数値レジスタから乱数値をリードする。具体的には、乱数ソフトラッチ乱数値レジスタ（下位）から１６ビット乱数値の下位バイトをＲＡＭ３０８内の所定アドレスの記憶領域に当否判定乱数（下位）としてリードし、続いて乱数ソフトラッチ乱数値レジスタ（上位）から１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域に当否判定乱数（上位）としてリードする（図２５３の矢印Ａ参照）。次いで、ステップＳ９０２３において、１６ビット乱数値の上位バイトをＲＡＭ３０８内の所定アドレスの次のアドレスの記憶領域にリードしたことに基づいて、所定のフラグをオフに設定する。
【１９５０】
図２５６は、図２４９や図２５０に示した乱数値取込みの手順を記述したプログラムコードの一例を示している。ラッチ条件（例えば、保留非満タンを少なくとも含む条件）が成立すると、コード中のＲＯＭエリアに記述されているように、乱数ソフトラッチレジスタに「１」をセットする。また、別モジュールで乱数ソフトラッチフラグレジスタの値を取得して、取得した値を「１」と比較し、取得した値が「１」であれば、モジュール「ｍｏＲＮＤＧＥＴ」にジャンプする。モジュール「ｍｏＲＮＤＧＥＴ」では、ソフトラッチ乱数値レジスタ（下位）のアドレスを取得し、取得したアドレスに格納されたソフトラッチ乱数値レジスタ（下位）の値を取得し、取得したソフトラッチ乱数値レジスタ（下位）の値をＲＡＭに読み込む。次いで、ソフトラッチ乱数値レジスタ（上位）のアドレスを取得し、取得したアドレスに格納されたソフトラッチ乱数値レジスタ（上位）の値を取得し、取得したソフトラッチ乱数値レジスタ（上位）の値をＲＡＭに読み込む。
【１９５１】
図２５７は、図２５３に示した乱数値直接取込みの手順を記述したプログラムコードの一例を示している。図中取消線で示すコードは図２５６に比して不要となったコードを示している。乱数取得条件（例えば、保留非満タンを少なくとも含む条件）が成立すると、コード中のＲＯＭエリアに記述されているモジュール「ｍｏＲＮＤＧＥＴ」にジャンプする。モジュール「ｍｏＲＮＤＧＥＴ」では、ＬＤＷ命令（第三の命令）により、ラッチ処理をせずに、また、ペアレジスタ（ＨＬ）を介さずに一命令でＲＡＭ３０８に１６ビット乱数値を読み込みことができる。なお、図２５３および図２５７に示す例において、直接ＲＡＭ３０８に乱数値を取り込むのではなく一旦ペアレジスタをに乱数値を取り込んで、ペアレジスタを介してＲＡＭ３０８に乱数値を取り込むようにしてもよい。
【１９５２】
（ＬＤＷ （ＲＡＮＳＵ０＿Ｌ），ＲＡＮＳＵ＿ＲＥＧ０＿Ｌ）命令は、ＲＡＮＳＵ＿ＲＥＧ０＿Ｌの値をＲＡＮＳＵ０＿Ｌで示されるアドレスの記憶領域にロードし、ＲＡＮＳＵ＿ＲＥＧ０＿Ｈの値をＲＡＮＳＵ０＿Ｌで示されるアドレスの次のアドレスであるＲＡＮＳＵ０＿Ｈで示されるアドレスの記憶領域にロードする命令である。
【１９５３】
このように、第三の命令を用いた乱数値直接取込みによれば、第一の命令及び第二の命令を用いた乱数値取込みに比してプログラムが簡素になり作成が容易になる。さらに、図２５８を用いて第三の命令を用いることの利点について説明する。
【１９５４】
図２５８（ａ）および（ｂ）は、第一の命令および第二の命令を用いた場合の処理の流れの一部を示している。 図２５８（ｃ）および（ｄ）は、第三の命令を用いた場合の処理の流れの一部を示している。図２５８（ａ）および（ｂ）は、第一の命令および第二の命令を用いた場合の処理の流れを示している。
【１９５５】

第一の命令および第二の命令を用いた乱数値取得の流れは、乱数ソフトラッチレジスタに「１」をセットし、ソフトラッチ乱数値レジスタに乱数が取り込まれ、乱数ソフトラッチフラグレジスタにフラグがセットされ、該フラグを参照し、フラグが立っている場合にＲＡＭに乱数を取得し、該フラグをクリアする。図２５８（ａ）に示す例では、リード許可条件が成立してリードを許可する処理において、ラッチ信号およびラッチ完了信号（セット信号）が出力される。次いで、乱数リード処理において、リード完了信号（クリア信号）が出力される。この場合、ラッチ信号の出力からラッチ完了信号あるいはリード完了信号のタイミングで乱数取得処理の実行時期が推測され易い。

【１９５６】

これに対し、第三の命令を用いた乱数値取得では、ユーザプログラム上のフラグを用いており、乱数ソフトラッチレジスタと乱数ソフトラッチフラグレジスタを用いないため、これらに値をセットする処理は行われない。このため、図２５８（ｃ）に示すように、リード許可条件が成立してリードを許可する処理において、ＲＡＭ内に設定したフラグが変化するだけでラッチ信号およびラッチ完了信号は出力されず、乱数リード処理において、リード完了信号（クリア信号）だけが出力される。このように、ラッチ信号が出力されず、リード完了信号だけが出力されるので乱数取得処理の実行時期を推測するのを困難にすることができる。

【１９５７】

図２５８（ｂ）に示す例も第一の命令および第二の命令を用いた乱数値取得である。リード許可条件が成立してリードを許可する処理において、ラッチ信号およびラッチ完了信号（セット信号）が出力される。次いで、１または複数のプログラムモジュールによる処理を経て、乱数リード処理が行われる。乱数リード処理において、リード完了信号が出力される。この場合、ラッチ信号やラッチ完了信号の出力からリード完了信号の出力までの間隔を長くすることができるため、乱数取得処理の実行時期の推測を困難にすることができる場合がある。

【１９５８】

図２５８（ｄ）に示す例は第三の命令を用いた乱数値取得である。リード許可条件が成立してリードを許可する処理において、ラッチ信号およびラッチ完了信号は出力されない。次いで、１または複数のプログラムモジュールによる処理を経て、乱数リード処理が行われる。乱数リード処理において、リード完了信号が出力される。この場合も、ラッチ信号が出力されず、リード完了信号だけが出力され、さらにリードを許可する処理からリード完了信号の出力までの間隔を長くすることができるため、乱数取得処理の実行時期を推測するのを困難にすることができる。また、リードを許可する処理では、特図１、特図２、あるいは普図の１または複数の乱数値の取得を許可することができる。また、他の乱数（例えば、ソフト乱数）を当該処理で取得するようにしてもよい。また、乱数リード処理では、特図１、特図２、あるいは普図の１または複数の乱数値を取得することができる。他の乱数（例えば、ソフト乱数）を当該処理で取得するようにしてもよい。

＜主制御部のデータテーブル＞

【１９５９】

次に、図２５９を用いて、パチンコ機１００の主制御部３００のＲＯＭ３０６が記憶しているデータテーブルについて説明する。なお、同図（ａ）は大当り判定テーブルの一例を、同図（ｂ）は高確率状態移行判定テーブルの一例を、同図（ｃ）はタイマ番号決定テーブルの一例を、それぞれ示した図である。

【１９６０】

図２５９（ａ）に示す大当り判定テーブルは、ＲＡＭ３０８に設けた遊技状態格納領域に記憶している情報（以下、単に遊技情報と称する。）の種類と、第１特図始動口２３０に球が入賞したことを所定の球検出センサが検出した場合に使用する抽選データ（第１特図始動口用抽選データ）と、第２特図始動口２３２に球が入賞したことを所定の球検出センサが検出した場合に使用する抽選データ（第２特図始動口用抽選データ）と、を対応付けて記憶したデータテーブルである。主制御部３００の基本回路３０２は、これらの情報

を用いて特図変動遊技を当選（大当り）とするか、不当選（外れ）とするかの決定、すなわち大当り判定を行う。なお、遊技情報は、特図変動遊技を所定の低確率で当選と判定する低確率状態を示す情報、および低確率よりも高い高確率で特図変動遊技を当選と判定する高確率状態を示す情報などを含むが、以下、これらを単に低確率状態および高確率状態と称する。また、遊技状態格納領域に記憶する情報には別の情報もあるが、これらの情報については後述する。

【１９６１】

第１特図始動口用抽選データは、第１特図始動口２３０に球が入賞したことを所定の球検出センサが検出した場合に開始する特図変動遊技の結果を決定するために使用する抽選データである。例えば、遊技状態が低確率状態の場合、取得した特図当選乱数値（乱数値については後述する）が１０００１～１０１８７であるときは、特図変動遊技の当選と判定する。一方、取得した特図当選乱数値が１０００１～１０１８７以外の数値である場合には、特図変動遊技の外れと判定する。なお、本実施例では、特図当選乱数値の取り得る数値範囲は０～６５５３５（数値範囲の大きさは６５５３６）、低確率状態における第１特図始動口用抽選データが示す数値範囲は１０００１～１０１８７（数値範囲の大きさは１８７）であるから、低確率状態の第１特図始動口２３０への球の入賞に基づく特図変動遊技の当選確率は、約１／３５０．４（＝１８７／６５５３６）である。これに対して、高確率状態における第１特図始動口用抽選データが示す数値範囲は３０００１～３１３１０（数値範囲の大きさは１３１０）であるから、高確率状態の第１特図始動口２３０への球の入賞に基づく特図変動遊技の当選確率は約１／５０．０（＝１３１０／６５５３６）であり、第１特図始動口２３０への球の入賞に基づく特図変動遊技の当選確率は、低確率状態よりも高確率状態の方が高くなるように設定している。

【１９６２】

第２特図始動口用抽選データは、第２特図始動口２３２に球が入賞したことを所定の球検出センサが検出した場合に開始する特図変動遊技の結果を決定するために使用する抽選データである。例えば、遊技状態が低確率状態の場合、取得した特図当選乱数値が２０００１～２０１８７であるときには、特図変動遊技の当選と判定する。一方、取得した特図当選乱数値が２０００１～２０１８７以外の数値である場合には、特図変動遊技の外れと判定する。なお、本実施例では、特図当選乱数値の取り得る数値範囲は０～６５５３５（数値範囲の大きさは６５５３６）、低確率状態における第２特図始動口用抽選データが示す数値範囲は２０００１～２０１８７（数値範囲の大きさは１８７）であるから、低確率状態の第２特図始動口１２８への球の入賞に基づく特図変動遊技の当選確率は、約１／３５０．４（＝１８７／６５５３６）である。これに対して、高確率状態における第２特図始動口用抽選データが示す数値範囲は４０００１～４１３１０（数値範囲の大きさは１３１０）であるから、高確率状態の第２特図始動口２３２への球の入賞に基づく特図変動遊技の当選確率は約１／５０．０（＝１３１０／６５５３６）であり、第２特図始動口２３２への球の入賞に基づく特図変動遊技の当選確率は、低確率状態よりも高確率状態の方が高くなるように設定している。

【１９６３】

図２５９（ｂ）に示す高確率状態移行判定テーブルは、上述の大当り判定の結果、大当りと判定した場合に使用する抽選データを記憶したデータテーブルである。主制御部３００の基本回路３０２は、これらの情報を用いて特図変動遊技の終了後に大当り遊技を開始するか、または特別大当り遊技を開始するかの判定、すなわち確変移行判定を行う。例えば、取得した特図乱数値（乱数値については後述する）が１１～７４の数値である場合には、特図変動遊技の終了後に特別大当り遊技を開始する。一方、取得した特図乱数値が１１～７４の数値以外である場合には、特図変動遊技の終了後に大当り遊技を開始する。なお、本実施例では、特図乱数値の取り得る数値範囲は０～１２７（数値範囲の大きさは１２８）、抽選データの移行判定乱数の範囲は１１～７４（数値範囲の大きさは６４）であるから、大当り判定の結果が当選である場合に確変移行判定の結果を当選にする確率、すなわち特別大当りを開始する確率は１／２（＝６４／１２８）である。

【１９６４】
図２５９（ｃ）に示すタイマ番号決定テーブルは、特図表示装置２１２、２１４による特図の変動表示を開始してから停止表示をするまでの変動時間を示すタイマ番号を決定するための抽選に使用する抽選データを記憶したデータテーブルである。主制御部３００の基本回路３０２は、これらの情報と、上述の大当り判定結果（後述する大当りフラグの値）および後述するタイマ乱数の値に基づいて、タイマ番号を決定する。そして、決定したタイマ番号に対応する変動時間を、特図表示図柄更新タイマ（図２６０（ｃ）参照）の初期値として設定する。
【１９６５】
なお、本実施例では、特図タイマ乱数値（乱数値については後述する）の取り得る数値範囲は０～６５５３５（数値範囲の大きさは６５５３６）、上述の大当り判定結果が不当選の場合は、タイマ１のタイマ乱数の範囲は０～６０２３５（数値範囲の大きさは６０２３６）であるから、タイマ番号としてタイマ１（変動時間５秒）を選択する確率は６０２３６／６５５３６である。また、タイマ番号として、タイマ２（変動時間１０秒）を選択する確率は４２５０／６５５３６、タイマ３（変動時間２０秒）を選択する確率は８００／６５５３６、タイマ３（変動時間４０秒）を選択する確率は２５０／６５５３６である。一方、大当り判定結果が当選の場合は、タイマ２のタイマ乱数の範囲は０～１５５３５（数値範囲の大きさは１５５３６）であるから、タイマ番号としてタイマ２（変動時間１０秒）を選択する確率は１５５３５／６５５３６である。また、タイマ番号として、タイマ３（変動時間２０秒）を選択する確率は９０００／６５５３６、タイマ４（変動時間４０秒）を選択する確率は３８０００／６５５３６、タイマ５（変動時間５０秒）を選択する確率は３０００／６５５３６である。
【１９６６】
次に、図２６０（ａ）～（ｄ）を用いて、パチンコ機１００の主制御部３００のＲＯＭ３０６が記憶しているデータテーブルについて説明する。なお、同図（ａ）は払出要求数テーブルの一例を、同図（ｂ）は払出加工テーブルの一例を、同図（ｃ）はタイマ制御データテーブルの一例を、同図（ｄ）はジャンプテーブルの一例をそれぞれ示した図である。
【１９６７】
図２６０（ａ）に示す払出要求数テーブルは、パチンコ機１００が賞球として遊技者に払い出す賞球数を記憶したデータテーブルである。詳細は後述するが、主制御部３００は、この払出要求数テーブルを用いて払出制御部６００に出力する払出要求数を選択し、払出要求数に加工を施した後、払出制御部６００に出力する。例えば、第１特図始動口２３０への入球を所定の球検出センサが検出した場合には、主制御部３００は、払出要求数として３を選択し、払出要求数に加工を施した後、払出制御部６００に出力する。第２特図始動口２３２、一般入賞口２２６、または可変入賞口２３４への入球を所定の球検出センサが検出した場合も同様にして、主制御部３００は、払出制御部６００に払出要求数として４、１０、または１５をそれぞれ選択し、払出要求数に加工を施した後、払出制御部６００に出力する。なお、詳細は後述するが、払出要求数を入力した払出制御部６００は、主制御部３００が加工を施した払出要求数の加工を解除して払出要求数を取得した後、払出装置１５２を駆動し、本実施例では、第１特図始動口２３０への入球では３個の球を、第２特図始動口２３２への入球では４個の球を、一般入賞口２２６への入球では１０個の球を、可変入賞口２３４への入球では１５個の球を、それぞれ賞球として貯留皿１２６に排出する。
【１９６８】
図２６０（ｂ）に示す払出加工テーブルは、主制御部３００が払出制御部６００に出力する払出要求数を加工するために用いるデータテーブルである。詳細は後述するが、主制御部３００は、この払出加工テーブルを用いて払出制御部６００に出力する払出要求数を加工する。例えば、加工種別が０の場合には、主制御部３００は、払出要求数と、加工データの００Ｈ（数値の後ろのＨは数値が１６進数であることを示す。以下同じ）を用いて

、払出要求数に加工を施す。加工種別が１、２、または３の場合も同様にして、主制御部３００は、払出要求数と、加工データの１３Ｈ、２ＥＨ、または３９Ｈを用いて、払出要求数に加工を施す。なお、加工データのビット０～４はマスクの情報を示し、ビット５、６は加工種別の情報を示している。

【１９６９】

図２６０（ｃ）に示すタイマ制御データテーブルは、主制御部３００が各種のタイマを更新するために用いるデータテーブルである。詳細は後述するが、主制御部３００は、このタイマ制御データテーブルを用いて、更新周期の異なる複数種類のタイマ（この例では、約２ｍｓ毎に更新するタイマ１～９の９種類のタイマと、約１０ｍｓ毎に更新するタイマ１０の１種類のタイマ）を更新する。

【１９７０】

図２６０（ｄ）に示すジャンプテーブルは、主制御部３００のコマンド設定送信処理（詳細は後述）における複数種類の送信処理を識別するためにＲＡＭ３０８に設けた送信情報記憶領域の送信情報に含んでいる一般情報と、コマンド設定送信処理における各送信処理の先頭アドレスを記憶したデータテーブルである。詳細は後述するが、主制御部３００は、このジャンプテーブルを用いて、一般情報からジャンプ先を選択し、選択したジャンプ先の処理を実行する。例えば、一般情報が０１Ｈの場合には、主制御部３００は、ジャンプ先として一般コマンド回転開始設定送信処理を選択し、この一般コマンド回転開始設定送信処理を実行する。他の一般情報も同様にして、一般情報が０２Ｈの場合には一般コマンド回転停止設定送信処理を選択・実行し、一般情報が０４Ｈの場合には一般コマンド入賞演出設定送信処理を選択・実行し、一般情報が０８Ｈの場合には一般コマンド終了演出設定送信処理を選択・実行し、一般情報が１０Ｈの場合には一般コマンド大入賞口開放設定送信処理を選択・実行し、一般情報が２０Ｈの場合には一般コマンド大入賞口閉鎖設定送信処理を選択・実行する。これら処理の実行後に、送信情報記憶領域の送信情報を初期化し、ステップＳ９３１７の外部出力信号設定処理に処理を移行させる。

＜払出制御部のデータテーブル＞

【１９７１】

次に、図２６０（ｅ）を用いて、パチンコ機１００の払出制御部６００のＲＯＭが記憶しているデータテーブルについて説明する。なお、同図（ｅ）は復元データテーブルの一例を示した図である。

【１９７２】

図２６０（ｅ）に示す復元データテーブルは払出制御部６００が主制御部３００から入力した、加工を施した払出要求数の加工を解除するために用いるデータテーブルである。詳細は後述するが、払出制御部６００は、この復元データテーブルを用いて主制御部３００から入力した、加工を施した払出要求数の加工を解除する。例えば、加工種別が０の場合には、払出制御部６００は、主制御部３００から入力した払出要求数と、加工データの００Ｈを用いて、払出要求数の加工を解除する。加工種別が１、２、または３の場合も同様にして、払出制御部６００は、主制御部３００から入力した払出要求数と、加工データの０３Ｈ、０ＥＨ、または０９Ｈを用いて、払出要求数の加工を解除する。

＜主制御部リセット割り込み処理＞

【１９７３】

次に、図２６１を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部リセット割り込み処理について説明する。なお、同図は主制御部リセット割り込み処理の流れを示すフローチャートである。

【１９７４】

上述したように、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信号を入力した基本回路３０２のＣＰＵ３０４は、リセット割り込みによりリセットスタートしてＲＯＭ３０６に予め記憶している制御プログラムに従って処理を実行する。

【１９７５】

ステップＳ９１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定、割り込みマスクの設定、Ｉ／Ｏポート３１０の初期設定、ＲＡＭ３０８に記憶する各種変数の初期設定、ＷＤＴ３１４への初期値の設定等を行う。なお、本実施例では、ＷＤＴ３１４に、初期値として３２．８ｍｓに相当する数値を設定する。

【１９７６】

ステップＳ９１０２では、ＷＤＴ３１４のリセットを行い、ＷＤＴ３１４による時間計測を再始動する。

【１９７７】

ステップＳ９１０３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）にはステップＳ９１０２に戻り、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ９１０４に進む。

【１９７８】

ステップＳ９１０４では、初期設定２を行う。この初期設定２では、後述する主制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマ３１２に設定する処理、Ｉ／Ｏ３１０の所定のポート（例えば試験用出力ポート、演出制御部への出力ポート）からクリア信号を出力する処理、ＲＡＭ３０８への書き込みを許可する設定等を行う。

【１９７９】

ステップＳ９１０５では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）にはステップＳ９１０８に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ９１０８に進む。

【１９８０】

具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ９１０８に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）は、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ９１０８に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ９１０６に進み、チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ９１０８に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ９１０８に進む。

ステップＳ９１０６では、機能限定ウェイト処理を行う（詳細は後述する）。

【１９８１】

ステップＳ９１０７では、復電時処理を行う。この復電時処理では、電断時にＲＡＭ３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタを読み出し、スタックポインタに再設定する。また、電断時にＲＡＭ３０８に設けられたレジスタ

退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割り込み許可の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割り込み処理（後述）に分岐する直前に行った（ステップＳ９１１０、ステップＳ９１１１内の所定の）命令の次の命令から処理を再開する。

【１９８２】

ステップＳ９１０８では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、ＲＡＭ３０８の全ての記憶領域の初期化などを行う。

ステップＳ９１０９では、機能限定ウェイト処理を行う（詳細は後述する）。

【１９８３】

ステップＳ９１１０では、割り込み禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための２つの初期値生成用乱数カウンタと、普図タイマ乱数値、特図タイマ乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～２０とすると、ＲＡＭ３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が２１であれば０を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。また、この基本乱数初期値更新処理の終了後に割り込み許可の設定を行ってステップＳ９１１１に進む。

【１９８４】

ステップＳ９１１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１９８５】

主制御部３００は、所定の周期ごとに開始するタイマ割り込み処理を行っている間を除いて、ステップＳ９１１０およびステップＳ９１１１の処理を繰り返し実行する。

＜機能限定ウェイト処理＞

【１９８６】

次に、図２６２を用いて、上述の主制御部リセット割り込み処理における機能限定ウェイト処理（ステップＳ９１０６、ステップＳ９１０９）について説明する。なお、同図は機能限定ウェイト処理の流れを示すフローチャートである。

【１９８７】

ステップＳ９２０１では、上述の電源ステータス記憶領域に記憶した電源ステータスの情報に機能限定状態を示す情報を設定すると共に、ＲＡＭ３０８に設けた機能限定タイマ記憶領域に機能限定タイマの値として所定の数値（本実施例では３）を設定する。

【１９８８】

ステップＳ９２０２では、機能限定状態終了条件が成立しているか否か（本実施例では、上述の機能限定タイマ記憶領域から機能限定タイマの値を読み出し、機能限定タイマの値が０になっているか否か）を判定する。そして、機能限定状態終了条件が成立している場合（本実施例では、機能限定タイマが０である場合）はステップＳ９２０３に進み、機能限定状態終了条件が成立していない場合（本実施例では、機能限定タイマが０でない場合）はステップＳ９２０２の処理を繰り返し実行し、機能限定状態終了条件が成立するのを待つ（本実施例では、機能限定タイマが０になるのを待つ）。

【１９８９】

ステップＳ９２０３では、上述の電源ステータス記憶領域に電源ステータスとして正常状態を示す情報を設定すると共に、ＲＡＭ３０８に設けた加工種別記憶領域に、後述する加工種別の初期値を設定する。

＜主制御部タイマ割り込み処理＞

【１９９０】

次に、図２６３を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割り込み処理について説明する。なお、同図は主制御部タイマ割り込み処理の流れを示すフローチャートである。

【１９９１】

主制御部３００は、所定の周期（本実施例では約２ｍｓに１回）でタイマ割り込み信号を発生するカウンタ・タイマ３１２を備えており、このタイマ割り込み信号を契機として主制御部タイマ割り込み処理を所定の周期で開始する。

【１９９２】

ステップＳ９３０１では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。

【１９９３】

ステップＳ９３０２では、ＷＤＴ３１４のカウント値が初期設定値（本実施例では３２．８ｍｓ）を超えてＷＤＴ割り込みが発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施例では、主制御部タイマ割り込みの周期である約２ｍｓに１回）クリア＆リスタートを行う。

【１９９４】

ステップＳ９３０３では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述のガラス枠開放センサ、前枠開放センサ、下皿満タンセンサ、複数の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。本実施例では、前々回のタイマ割り込み処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割り込み処理（約２ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【１９９５】

また、ステップＳ９３０３では、上述の前々回検出信号記領域、前回検出信号記領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が一致するか否かを判定する。そして、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施例では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、入賞口（一般入賞口２２６、可変入賞口２３４）や始動口（第１特図始動口２３０、第２特図始動口２３２）への入球、または普図始動口２２８の通過があったと判定する。例えば、一般入賞口２２６への入球を検出する球検出センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入球したと判定し、以降の一般入賞口２２６への入球に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入球に伴う処理を行わずに後続の処理に分岐する。

【１９９６】

ステップＳ９３０４およびステップＳ９３０５では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ９１１０で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する普図当選乱数値および特図乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域

から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。なお、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。

【１９９７】

ステップＳ９３０６では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【１９９８】

ステップＳ９３０７では、上述の電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、読み出した電源ステータスの情報が機能限定状態を示す情報であるか否かを判定する。そして、電源ステータスの情報が機能限定状態を示す情報の場合には、後続のステップＳ９３０８～ステップＳ９３１７の処理を行うことなくステップＳ９３１８に進み、そうでない場合にはステップＳ９３０８に進む。

【１９９９】

ステップＳ９３０８では、タイマ更新処理を行う。詳細は後述するが、このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、特別図柄表示装置２１２、２１４に図柄を変動・停止表示する時間を計時するための特図表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【２０００】

ステップＳ９３０９では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口（一般入賞口２２６、第１、第２特図始動口２３０、２３２、および可変入賞口２３４）に入賞（入球）があった場合に、ＲＡＭ３０８に各入賞口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。

【２００１】

また、ステップＳ９３１０では、入賞受付処理を行う。この入賞受付処理では、第１、第２特図始動口２３０、２３２に入賞があり、且つ、保留している特図変動遊技の数が４未満である場合には、入賞した始動口に対応するカウンタ回路３１８のカウンタ値記憶用レジスタから値を特図当選乱数値として取得する。また、上述の特図乱数値生成用の乱数カウンタから値を特図乱数値として取得し、ＲＡＭ３０８に設けた乱数値記憶領域に特図当選乱数値と共に記憶する。また、普図始動口２２８を球が通過したことを検出し、且つ、保留している普図変動遊技の数が２未満の場合には、そのタイミングにおける普図当選乱数値生成用の乱数カウンタの値を普図当選乱数値として取得し、ＲＡＭ３０８に設けた上述の特図用とは別の乱数値記憶領域に記憶する。また、この入賞受付処理では、所定の球検出センサにより第１、第２特図始動口２３０、２３２、普図始動口２２８、または可変入賞口２３４の入賞（入球）を検出した場合に、第１副制御部４００に送信すべき送信情報に、第１、第２特図始動口２３０、２３２、普図始動口２２８、および可変入賞口２３４の入賞（入球）の有無を示す入賞受付情報を設定する。

【２００２】

ステップＳ９３１１では、払出要求数送信処理を行う（詳細は後述する）。なお、払出制御部６００に出力する出力予定情報および払出要求情報は１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に今回加工種別（０～３）、およびビット０～３に加工後の払出要求数を示すようにしている。

【２００３】

ステップＳ９３１２では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動中（後述する普図汎用タイマの値が１以上）における普図状態更新処理では、普図表示装置１１２を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【２００４】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、図５（ｃ）に示す普図Ａの態様となるように普図表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、図５（ｃ）に示す普図Ｂの態様となるように普図表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行うと共に、その後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により普図の停止表示を行い、普図変動遊技の結果を遊技者に報知するようにしている。

【２００５】

また、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、当りフラグがオンの場合には、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【２００６】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【２００７】

また、所定の閉鎖期間を経過したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、普図の状態を非作動中に設定する。普図の状態が非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ９３１３に移行するようにしている。

【２００８】

ステップＳ９３１３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領

域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【２００９】

ステップＳ９３１４では、特図状態更新処理を行う。この特図状態更新処理は、特図の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図変動中（後述する特図汎用タイマの値が１以上）における特図状態更新処理では、特図表示装置２１２、２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。

【２０１０】

また、特図変動表示時間が経過したタイミング（特図表示図柄更新タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、大当りフラグがオンで確変フラグがオンの場合には特図表示装置２１２、２１４に図５（ａ）に示す特図Ａ等、大当りフラグがオンで確変フラグがオフの場合には特図表示装置２１２、２１４に図５（ａ）に示す特図Ｂ等、大当りフラグがオフの場合には、図３（ａ）に示す特図Ｉ等の態様となるように特図表示装置２１２、２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行うと共に、その後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により特図の停止表示をおこない、特図変動遊技の結果を遊技者に報知するようにしている。また、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド回転停止設定送信処理を実行させるために上述の送信情報記憶領域に０２Ｈを送信情報（一般情報）として追加記憶する。

【２０１１】

また、所定の停止表示期間が終了したタイミング（特図停止時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、大当りフラグがオンの場合には、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド入賞演出設定送信処理を実行させるために上述の送信情報記憶領域に０４Ｈを送信情報（一般情報）として追加記憶する。

【２０１２】

また、所定の入賞演出期間が終了したタイミング（特図待機時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材の開閉駆動用のソレノイド３３２に、扉部材を開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド大入賞口開放設定送信処理を実行させるために上述の送信情報記憶領域に１０Ｈを送信情報（一般情報）として追加記憶する。

【２０１３】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材の開閉駆動用のソレノイド３３２に、扉部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド大入賞口閉鎖設定送信処理を実行させるために上述の送信情報記憶領域に２０Ｈを送信情報（一般情報）として追加記憶する。

【２０１４】

また、この扉部材の開放・閉鎖制御を所定回数（例えば１５ラウンド）繰り返し、終了

したタイミングで開始する特図状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド終了演出設定送信処理を実行させるために上述の送信情報記憶領域に０８Ｈを送信情報（一般情報）として追加記憶する。

【２０１５】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図状態更新処理では、特図の状態を非作動中に設定する。特図の状態が非作動中の場合における特図状態更新処理では、何もせずに次のステップＳ９３１５に移行するようにしている。

【２０１６】

ステップＳ９３１５では、特図関連抽選処理を行う。この特図関連抽選処理では、特図変動遊技および可変入賞口２３４の開閉制御を行っておらず（特図の状態が非作動中）、且つ、保留している特図変動遊技の数が１以上である場合に、上述の図２５９（ａ）の大当り判定テーブル、同図（ｂ）の高確率状態移行判定テーブル、同図（ｃ）のタイマ番号決定テーブルなどを使用した各種抽選のうち、最初に大当り判定を行う。具体的には、ステップＳ９２０３で乱数値記憶領域に記憶した特図当選乱数値が、図２５９（ａ）に示す大当り判定テーブルの第１特図始動口用抽選データの数値範囲であるか否かを判定し、特図当選乱数値が第１特図始動口用抽選データの数値範囲である場合には、特図変動遊技の当選と判定してＲＡＭ３０８に設けた大当りフラグの格納領域に大当りとなることを示す情報を設定する（ここで、大当りの情報をＲＡＭ３０８に設定することを大当りフラグをオンに設定するという）。一方、特図当選乱数値が第１特図始動口用抽選データの数値範囲以外である場合には、特図変動遊技の外れと判定してＲＡＭ３０８に設けた大当りフラグの格納領域に外れとなることを示す情報を設定する（ここで、外れの情報をＲＡＭ３０８に設定することを大当りフラグをオフに設定するという）。なお、保留している特図変動遊技の数は、ＲＡＭ３０８に設けた特図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している特図変動遊技の数から１を減算した値を、この特図保留数記憶領域に記憶し直すようにしている。また、当り判定に使用した乱数値を消去する。

【２０１７】

具体例としては、遊技状態が低確率状態であり、第１特図始動口２３０への球入賞の検出に基づいて取得した特図当選乱数値が１０１００の場合は大当りフラグをオンに設定し、特図当選乱数値が１０２００の場合は大当りフラグをオフに設定する。また、第２特図始動口２３２への球入賞の検出に基づいて取得した特図当選乱数値が２０１００の場合は大当りフラグをオンに設定し、特図当選乱数値が２０２００の場合は大当りフラグをオフに設定する。

【２０１８】

大当りフラグにオンを設定した場合には、次に確変移行判定を行う。具体的には、ステップＳ９２０３で乱数値記憶領域に記憶した特図乱数値が、図２５９（ｂ）に示す移行判定乱数の数値範囲であるか否かを判定し、特図乱数値が抽選データの数値範囲である場合には、ＲＡＭ３０８に設けた確変（確率変動）フラグの格納領域に、特別大当り遊技を開始することを示す情報を設定する。（ここで、特別大当り遊技開始の情報をＲＡＭ３０８に設定することを確変フラグをオンに設定するという）。一方、特図乱数値が抽選データの数値範囲以外である場合には、上述の確変フラグの格納領域に、大当り遊技を開始することを示す情報を設定する（ここで、大当り遊技開始の情報をＲＡＭ３０８に設定することを確変フラグをオフに設定するという）。例えば、取得した特図乱数値が２０の場合には確変フラグをオンに設定する。一方、取得した特図乱数値が特図乱数値が８０の場合には確変フラグをオフに設定する。

【２０１９】

大当り判定の結果に関わらず、次にタイマ番号を決定する処理を行う。具体的には、上述の特図タイマ乱数値生成用の乱数カウンタの値を特図タイマ乱数値として取得する。大当りフラグの値、および取得した特図タイマ乱数値を含む図２５９（ｃ）に示すタイマ乱数の数値範囲に対応するタイマ番号を選択し、ＲＡＭ３０８に設けた所定のタイマ番号格納領域に記憶する。さらに、そのタイマ番号に対応する変動時間を、特図変動表示時間として、上述の特図表示図柄更新タイマに記憶し、コマンド設定送信処理（ステップＳ９３１６）で一般コマンド回転開始設定送信処理を実行させるために上述の送信情報記憶領域に０１Ｈを送信情報（一般情報）として追加記憶してから処理を終了する。

【２０２０】

例えば、大当りフラグがオフで、取得した特図タイマ乱数値が５００００の場合には、特図タイマ乱数値は０～６０２３５の範囲であることから、タイマ番号決定テーブルのそれらの条件に対応する１行目に記憶しているタイマ番号を示すタイマ１、および変動時間を示す５を選択し、ＲＡＭ３０８に設けたそれぞれの記憶領域に記憶する。一方、大当りフラグがオンで、取得した特図タイマ乱数値が６４０００の場合には、特図タイマ乱数値は０～１５５３５の範囲ではないことからタイマ２は選択せず、１５５３６～２４５３５ではないことからタイマ３は選択せず、２４５３６～６２５３５ではないことからタイマ４は選択しないが、６２５３６～６５５３５の範囲内であることから、タイマ番号決定テーブルのそれらの条件に対応する８行目に記憶しているタイマ番号を示すタイマ５、および変動時間を示す５０を選択し、ＲＡＭ３０８に設けたそれぞれの記憶領域に記憶する。なお、割り込み処理の開始周期である２ｍｓを考慮して、選択した変動時間の値に５００（１０００ｍｓ／２ｍｓ）を掛けた値を変動時間記憶領域にセットする。例えば、変動時間が５秒の場合には、変動時間記憶領域には２５００の値を初期値としてセットし、ステップＳ９３０８のタイマ更新処理を実行する度に、この変動時間記憶領域の値を１だけ減算するようにすることで、割り込み処理の実行回数により時間の経過を計測できるようにしている。また、複数回（例えば５回）のタイマ割込処理の実行ごと（例えば２ｍｓ周期）に変動時間記憶領域の値を減算する場合には、変動時間が１０秒の場合であれば、１０秒が１００００ｍｓであることから周期（２ｍｓ×５）で割り算して１０００を変動時間記憶領域に設定する。

【２０２１】

ステップＳ９３１６では、コマンド設定送信処理を行う（詳細は後述する）。なお、演出制御部３５０に送信する出力予定情報は１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（００Ｈの場合は基本コマンド、０１Ｈの場合は図柄変動開始コマンド、０４Ｈの場合は図柄変動停止コマンド、０５Ｈの場合は入賞演出開始コマンド、０６Ｈの場合は終了演出開始コマンド、０７Ｈの場合は大当りラウンド数指定コマンド、０ＥＨの場合は復電コマンド、０ＦＨの場合はＲＡＭクリアコマンドをそれぞれ示すなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【２０２２】

具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、大当りフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、大当りフラグの値、確変フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、確変フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば確変フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などを含む。

【２０２３】

また、上述の一般コマンド回転開始設定送信処理では、コマンド種別に０１Ｈ、コマン

ドデータにＲＡＭ３０８に記憶している大当りフラグの値、確変フラグの値、特図関連抽選処理で選択したタイマ番号、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド回転停止設定送信処理では、コマンド種別に０４Ｈ、コマンドデータにＲＡＭ３０８に記憶している大当りフラグの値、確変フラグの値などを示す情報を設定する。上述の一般コマンド入賞演出設定送信処理では、コマンド種別に０５Ｈ、コマンドデータにＲＡＭ３０８に記憶している入賞演出期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド終了演出設定送信処理では、コマンド種別に０６Ｈ、コマンドデータにＲＡＭ３０８に記憶している演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口開放設定送信処理では、コマンド種別に０７Ｈ、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。上述の一般コマンド大入賞口閉鎖設定送信処理では、コマンド種別に０８Ｈ、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、確変フラグの値、保留している特図変動遊技の数などを示す情報を設定する。第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【２０２４】

ステップＳ９３１７では、外部出力信号設定処理を行う。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３４を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【２０２５】

ステップＳ９３１８では、機能限定状態終了条件が成立しているか否か（本実施例では、上述の機能限定タイマ記憶領域から機能限定タイマの値を読み出して１を減算し、減算後の機能限定タイマの値が０になっているか否か）を判定する。そして、機能限定状態終了条件が成立している場合（本実施例では、減算後の機能限定タイマが０である場合）はステップＳ９３１９に進み、機能限定状態終了条件が成立していない場合（本実施例では、減算後の機能限定タイマが０でない場合）はステップＳ９３１９の処理を行うことなくステップＳ９３２１に進む。なお、本実施例では、上述の機能限定ウェイト処理において機能限定タイマの初期値として３を設定しているため、機能限定ウェイト処理において初期値を設定し、且つ、主制御部タイマ割り込みの割り込みを許可してから、最大で約６ｍｓ（＝約２ｍｓ（主制御部タイマ割り込みの周期）×３）後、最小で約４ｍｓ（＝約２ｍｓ（主制御部タイマ割り込みの周期）×２）後に機能限定タイマの減算結果が０になる（機能限定を解除する）。

【２０２６】

ステップＳ９３１９では、電源ステータス、チェックサムなど所定の電断情報などを用いて、電断前の状態に復帰したこと、さらに入力ポートの履歴情報の更新が正常に終了したことを示す復帰コマンドを第１副制御部４００に送信する復帰コマンド設定送信処理を行う（詳細は後述する）。また、その処理に続いて、後述する基本コマンド設定送信処理を実行して、遊技の進行状況を示す様々な情報を含んだ基本コマンドを送信するようにしている。

【２０２７】

ステップＳ９３２０では、デバイス監視処理を行う。このデバイス監視処理では、ステップＳ９３０３において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、ガラス枠開放エラーの有無、前枠開放エラーの有無、または下皿満タンエラーの有無などを監視し、ガラス枠開放エラー、前枠開放エラー、または下皿満タンエラーを検出した場合に、演出制御部３５０に送信すべき送信情報に、ガラス枠開放エラーの有無、前枠開

放エラーの有無、下皿満タンエラーの有無を示すデバイス情報を設定する。また、各種ソレノイド３３２を駆動して第２特図始動口２３２や、可変入賞口２３４の開閉を制御したり、表示回路を介して普図表示装置２１０、特図表示装置２１２、２１４、各種状態表示部３２８などに出力する表示データを、Ｉ／Ｏ３１０の出力ポートに設定する。また、後述の払出要求数送信処理（ステップＳ９３１１）のステップＳ９４１５で設定した出力予定情報を出力ポート３１０を介して第１副制御部４００に出力する。

【２０２８】

ステップＳ９３２１では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ９３２３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ９３２２に進む。

【２０２９】

ステップＳ９３２２では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップＳ９３０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。

【２０３０】

ステップＳ９３２３では、上述の電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、読み出した電源ステータスの情報が正常状態を示す情報であるか否かを判定する。そして、電源ステータスの情報が正常状態を示す情報の場合にはステップＳ９３２５に進み、そうでない場合にはステップＳ９３２４に進む。

【２０３１】

ステップＳ９３２４では、電断時処理１を行う。この電断時処理１では、上述のスタックポインタ退避領域に現在のスタックポインタの値を記憶し、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算し、チェックサム算出用数値記憶領域に記憶している値からその加算した結果を減算した値をチェックサム（電断時チェックサム）として算出し、算出した電断時チェックサムを上述のチェックサム算出用数値記憶領域に記憶し、ＲＡＭ３０８への書き込みを禁止する設定を行った後、無限ループとなる。

【２０３２】

ステップＳ９３２５では、電断時処理２を行う。この電断時処理２では、上述のスタックポインタ退避領域に現在のスタックポインタの値を記憶することなく、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、ＲＡＭ３０８に記憶している数値を読み出してチェックサム（電断時チェックサム）を算出し、算出した電断時チェックサムを上述のチェックサム算出用数値記憶領域に記憶し、ＲＡＭ３０８への書き込みを禁止する設定を行った後、無限ループとなる。

＜払出要求数送信処理＞

【２０３３】

次に、図２６４を用いて、上述の主制御部タイマ割り込み処理における払出要求数送信処理（ステップＳ９３１１）について説明する。なお、同図は払出要求数送信処理の流れを示すフローチャートである。

【２０３４】

ステップＳ９４０１では、ＲＡＭ３０８に設けた払出要求数記憶領域に払出要求数として０を設定する。

【２０３５】

ステップＳ９４０２では、ＲＡＭ３０８に設けた出力予定情報記憶領域から出力予定情報（Ｉ／Ｏポート３１０から出力する予定の情報）を読み出し、出力予定情報に情報が設定されているか否かを判定する。そして、出力予定情報に情報が設定されている場合にはステップＳ９４１５に進み、出力予定情報に情報が設定されていない場合にはステップＳ９４０３に進む。

【２０３６】

ステップＳ９４０３では、電源投入後の最初の送信処理か否かを示す情報をＲＡＭ３０８に設けた所定の記憶領域から読み出して、電源投入後の最初の送信処理か否かを判定する。そして、電源投入後の最初の送信処理の場合にはステップＳ９４１２に進み、そうでない場合はステップＳ９４０４に進む。

【２０３７】

ステップＳ９４０４では、最初に、入賞により賞球の払出しを行う各入賞口（本実施例では、一般入賞口２２６、第１、第２特図始動口２３０、２３２、および可変入賞口２３４）を、処理対象として順次選択する。次に、各処理対象に対応してＲＡＭ３０８に設けられた払出カウンタ記憶領域から、各処理対象の払出カウンタの値を読み出し、払出カウンタの値が０であるか否かを判定する。そして、処理対象の払出カウンタが０の場合はステップＳ９４０５に進み、処理対象の払出カウンタが０以外の場合はステップＳ９４０６に進む。

【２０３８】

ステップＳ９４０５では、全ての処理対象の払出カウンタの処理が終了したか否かを判定する。そして、全ての処理対象の払出カウンタの処理が終了した場合には主制御部タイマ割り込み処理に復帰し、全ての処理対象の払出カウンタの処理が終了していない場合はステップＳ９４０４に戻り、残りの処理対象の払出カウンタの処理を継続する。

【２０３９】

ステップＳ９４０６では、上述の払出カウンタ記憶領域から処理対象の払出カウンタの値を読み出して１を減算した後、減算後の値を新たな払出カウンタの値として元の払出カウンタ記憶領域に記憶する。

【２０４０】

ステップＳ９４０７では、上述の図２６０（ａ）の払出要求数テーブルを参照し、処理対象に対応する払出要求情報（払出要求数）を取得して、ＲＡＭ３０８の所定記憶領域に記憶する。例えば、処理対象が第１特図始動口２３０の場合には、払出要求数として払出要求テーブルの１行目のデータ、すなわち３を選択する。他の処理対象も同様にして、処理対象が第２特図始動口２３２の場合には払出要求テーブルの２行目のデータである４を、処理対象が一般入賞口２２６の場合には払出要求テーブルの３行目のデータである１０を、処理対象が可変入賞口２３４の場合には払出要求テーブルの４行目のデータである１５をそれぞれ選択する。

【２０４１】

ステップＳ９４０８では、ハードウェア乱数カウンタとして使用している、基本回路３０２に設けている１または２の値をランダムに出力する乱数生成回路（図示せず）から取得した乱数値と、前回の送信に使用した加工種別（前回加工種別）に基づいて（過去の加工種別の履歴に基づいて）、新しい加工種別（今回加工種別）を選択する。具体的には、ＲＡＭ３０８に設けた前回加工種別記憶領域から前回の送信時に選択し、記憶した前回加工種別を読み出し、この前回加工種別に、取得した乱数値を加算する。そして、加算結果が４未満の場合には加算結果をＲＡＭ３０８に設けた今回加工種別記憶領域に今回加工種別として記憶し、加算結果が４以上の場合には加算結果から４を減算し、この減算結果を今回加工種別記憶領域に今回加工種別として記憶する。

【２０４２】

ステップＳ９４０９では、ステップＳ９４０８で今回加工種別記憶領域に記憶した今回加工種別を読み出すと共に、上述の図２６０（ｂ）の払出加工テーブルを参照して、今回加工種別に対応する加工データを選択する。例えば、今回加工種別が０の場合には、加工データとして払出加工テーブルの１行目のデータ、すなわち００Ｈを選択する。他の加工データも同様にして、今回加工種別が１の場合には払出加工テーブルの２行目のデータである１３Ｈを、今回加工種別が２の場合には払出加工テーブルの３行目のデータである２ＥＨを、今回加工種別が３の場合には払出加工テーブルの４行目のデータである３９Ｈをそれぞれ選択する。

【２０４３】

ステップＳ９４１０では、ステップＳ９４０８で今回加工種別記憶領域に記憶した今回加工種別を読み出して払出要求情報に追加する。

【２０４４】

ステップＳ９４１１では、ステップＳ９４０９で選択した加工データを用いて払出要求情報を加工する。本実施例では、払出要求数と加工データの排他的論理和（ＥＸＯＲ）を算出し、その算出結果を、加工後の払出要求数として払出要求情報に設定する。例えば、払出要求数が３（００００００１１Ｂ（数値の後ろのＢは数値が２進数であることを示す。以下同じ））、加工データが００Ｈ（０００００００００Ｂ）の場合、払出要求数と加工データの排他的論理和は３であるから、加工後の払出要求数は３である。また、払出要求数が３、加工データが１３Ｈ（０００１００１１Ｂ）の場合、払出要求数と加工データの排他的論理和は１０Ｈ（０００１００００Ｂ）であるから、加工後の払出要求数は１０Ｈであり、払出要求数が３、加工データが２ＥＨ（００１０１１１０Ｂ）の場合、払出要求数と加工データの排他的論理和は２ＤＨ（００１０１１００Ｂ）であるから、加工後の払出要求数は２ＤＨであり、払出要求数が３、加工データが３９Ｈ（００１１１００１Ｂ）の場合、払出要求数と加工データの排他的論理和は３ＡＨ（００１１１０１０Ｂ）であるから、加工後の払出要求数は３ＡＨである。

【２０４５】

ステップＳ９４１２では、払出要求情報に初期化情報（後述する電源投入情報のビットにオン）をセットする。

【２０４６】

ステップＳ９４１３では、ステップＳ９４１１またはステップＳ９４１２で設定した払出要求情報をＩ／Ｏポート３１０から払出制御部６００に出力する。

ステップＳ９４１４では、払出要求情報にストローブ情報を追加する。

【２０４７】

ステップＳ９４１５では、払出要求情報を、ＲＡＭ３０８に設けた出力予定情報記憶領域に出力予定情報として記憶する。ステップＳ９４０１で払出要求情報をクリアした場合には、後続のデバイス監視処理（ステップＳ９３０２）において、全てオフを示す情報をＩ／Ｏポート３１０から払出制御部６００に出力する。また、ステップＳ９４１４でストローブ情報を追加した場合には、後続のデバイス監視処理（ステップＳ９３０２）において、ストローブ情報を追加した払出要求情報をＩ／Ｏポート３１０から払出制御部６００に出力する。

【２０４８】

この払出要求数送信処理のステップＳ９４１３の処理ではストローブ情報を含まず、払出要求情報を含む信号をＩ／Ｏポート３１０から払出制御部６００に出力する。この払出要求数送信処理ではＲＡＭ３０８に設けた出力予定情報に記憶領域の出力予定情報にストローブ情報、および払出要求情報を記憶させたところで処理を終了し、この出力予定情報をＩ／Ｏポート３１０から信号として出力することはしない。次にデバイス監視処理（ステップＳ９３２０）でストローブ情報、および払出要求情報、すなわち出力予定情報を含む信号をＩ／Ｏポート３１０から払出制御部６００に出力する。これにより払出制御部６００の基本回路が入力しているストローブ信号も立ち下がる。さらに次に実行されるタイマ割り込み処理における払出要求数送信処理で、上述の出力予定情報記憶領域を初期化（全信号オフとなる情報を記憶）し、この全オフとなった出力予定情報をＩ／Ｏポート３１０から信号として出力することはしない。次に実行するデバイス監視処理（ステップＳ９３２０）で全信号オフとすることを示す出力予定情報を含む信号をＩ／Ｏポート３１０から払出制御部６００に出力する。ここでストローブ情報もオフにしていることから払出制御部６００の基本回路が入力しているストローブ信号も立ち上がる。

＜タイマ更新処理＞

【２０４９】

次に、図２６５を用いて、上述の主制御部タイマ割り込み処理におけるタイマ更新処理（ステップＳ９３０８）について説明する。なお、同図はタイマ更新処理の流れを示すフ

ローチャートである。なお、後述する普図汎用タイマは、上述の普図表示図柄更新タイマ、普図停止時間管理用タイマ、羽根開放時間管理用タイマ、羽根閉鎖時間管理用タイマを兼用した１つのタイマであり、特図汎用タイマは、上述の特図表示図柄更新タイマ、特図停止時間管理用タイマ、特図待機時間管理用タイマ、扉開放時間管理用タイマ、扉開放時間管理用タイマ、扉閉鎖時間管理用タイマ、および演出待機時間管理用タイマを兼用した１つのタイマである。

【２０５０】

ステップＳ９５０１では、上述の図２６０（ｃ）のタイマ制御データテーブルを参照して、タイマ種類数、タイマ個数、および処理対象のタイマを取得する。本実施例では、タイマ種類数としてタイマ制御データテーブルの１行目のデータである２、タイマ個数としてタイマ制御データテーブルの２行目のデータである９、処理対象のタイマとしてタイマ１（特図表示図柄更新タイマ）をそれぞれ取得する。

【２０５１】

ステップＳ９５０２では、処理対象のタイマに対応してＲＡＭ３０８に設けたタイマ値記憶領域からタイマ値を読み出して、そのタイマ値が０であるか否かを判定し、タイマ値が０でない場合はステップＳ９５０３でタイマ値から１を減算し、減算結果を元のタイマ値記憶領域に記憶する。一方、タイマ値が０の場合はステップＳ９５０３の処理を飛ばしてステップＳ９５０４に進む。

【２０５２】

ステップＳ９５０４では、タイマ個数（本実施例では９）から１を減算し、ステップＳ９５０５では、減算後のタイマ個数が０であるか否かを判定する。そして、減算後のタイマ個数が０の場合にはステップＳ９５０７に進み、減算後のタイマ個数が０でない場合はステップＳ９５０６に進む。

【２０５３】

ステップＳ９５０６では、処理対象とするタイマを更新し、次の処理対象のタイマのタイマ値を減算すべくステップＳ９５０２に戻る。本実施例では、処理対象のタイマを、タイマ制御データテーブルの３行目に格納アドレスを記憶した特図表示図柄更新タイマ→タイマ制御データテーブルの４行目に格納アドレスを記憶した普図表示図柄更新タイマ→・・・タイマ制御データテーブルの１０行目に格納アドレスを記憶した普図汎用タイマ→タイマ制御データテーブルの１１行目に格納アドレスを記憶した１０．０８ｍｓタイマの順で更新する。

【２０５４】

ステップＳ９５０７では、タイマ種類数（本実施例では初期値は２）から１を減算し、ステップＳ９５０８では、減算後のタイマ種類数が０であるか否かを判定する。そして、減算後のタイマ種類が０の場合にはタイマ割り込み処理に復帰し、減算後のタイマ種類が０でない場合はステップＳ９５０９に進む。

【２０５５】

ステップＳ９５０９では、処理対象のタイマ（本実施例では、タイマ制御データテーブルの１１行目に格納アドレスを記憶した１０．０８ｍｓタイマ）に対応してＲＡＭ３０８に設けたタイマ値記憶領域からタイマ値を読み出して、そのタイマ値が０であるか否かを判定し、タイマ値が０でない場合はタイマ割り込み処理に復帰し、タイマ値が０の場合はステップＳ９５１０に進む。

【２０５６】

ステップＳ９５１０では、タイマ制御データテーブルからタイマ値の初期値（本実施例では、タイマ制御データテーブルの１２行目のタイマ更新周期に対応する数値の５）を取得し、取得した初期値を処理対象のタイマに設定する。

【２０５７】

ステップＳ９５１１では、タイマ制御データテーブルからタイマ個数を取得し（本実施例では、タイマ個数としてタイマ制御データテーブルの１３行目のデータである１を取得し）、処理対象のタイマを次のタイマ（本実施例では、タイマ制御データテーブルの１４

行目に格納アドレスを記憶した特図汎用タイマ）に更新した後、更新後のタイマのタイマ値を減算すべくステップＳ９５０２に戻る。

【２０５８】

このような構成により、本実施例では、タイマ制御データテーブルの１４行目に対応するタイマは約１０ｍｓ（約２ｍｓ（主制御部タイマ割り込みの割り込み周期）×５（タイマ制御データテーブルの１２行目のタイマ更新周期））毎に更新し、タイマ制御データテーブルの３～１１行目に対応するタイマは約２ｍｓ（主制御部タイマ割り込みの割り込み周期）ごとに更新する。なお、タイマ制御データテーブルの１４行目に対応するタイマを更新する条件となるタイマ（ここではタイマ制御データテーブルの１１行目に対応するタイマ）は適宜箇所で初期化しておく必要がある。本実施例では、このタイマに対応する特図表示図柄更新タイマの初期化は、特図変動表示時間として、上述の特図関連抽選処理（ステップＳ９３１５）の特図表示図柄更新タイマにタイマ番号に対応する変動時間を記憶するのと同時期（同一割り込み）に行うのが最適である。

＜コマンド設定送信処理＞

【２０５９】

次に、図２６６を用いて、上述の主制御部タイマ割り込み処理におけるコマンド設定送信処理（ステップＳ９３１６）について説明する。なお、同図はコマンド設定送信処理の流れを示すフローチャートである。

【２０６０】

ステップＳ９６０１では、第１副制御部４００に送信すべき送信情報に、上述の入賞受付情報、デバイス情報などの汎用情報が含まれているか否かを判定し、送信情報に汎用情報が含まれている場合にはステップＳ９６０２で基本コマンド設定送信処理（詳細は後述する）を行い、送信情報に汎用情報が含まれていない場合にはステップＳ９６０３に進む。

【２０６１】

ステップＳ９６０３では、第１副制御部４００に送信すべき情報があるか無いか（送信情報記憶領域に送信情報がセットされているかどうか）を判定し、送信すべき情報がある場合にはステップＳ９６０４に進み、そうでない場合は主制御部タイマ割り込み処理に戻る。

【２０６２】

ステップＳ９６０４では、上述の図２６０（ｄ）のジャンプテーブルを参照し、ＲＡＭ３０８に設けた送信情報記憶領域に記憶した送信情報に基づいてジャンプ先アドレスを選択する。例えば、送信情報が０１Ｈの場合には、ジャンプ先アドレスとして、ジャンプテーブルの１行目の一般コマンド回転開始設定送信処理（の先頭アドレス）を選択する。送信情報が０１Ｈ以外の場合も同様にして、送信情報が０２Ｈの場合には、ジャンプテーブルの２行目の一般コマンド回転停止設定送信処理（の先頭アドレス）を、送信情報が０４Ｈの場合には、ジャンプテーブルの３行目の一般コマンド入賞演出設定送信処理（の先頭アドレス）を、送信情報が０８Ｈの場合には、ジャンプテーブルの４行目の一般コマンド終了演出設定送信処理（の先頭アドレス）を、送信情報が１０Ｈの場合には、ジャンプテーブルの５行目の一般コマンド大入賞口開放設定送信処理（の先頭アドレス）を、送信情報が２０Ｈの場合には、ジャンプテーブルの６行目の一般コマンド大入賞口閉鎖設定送信処理（の先頭アドレス）を選択する。各処理の処理内容は後述する。

【２０６３】

ステップＳ９６０５では、ステップＳ９６０４で選択したジャンプ先アドレスをＰＣ（プログラムカウンタ）に設定してジャンプ先アドレスに処理を移し、ジャンプ先アドレス以降に記憶した制御プログラムに従って各種の処理を行う。ジャンプ先での処理が終了すると一旦コマンド設定送信処理に復帰し、直ちに主制御部タイマ割り込み処理に復帰するようにしている。

＜基本コマンド設定送信処理＞

【２０６４】

次に、図２６７を用いて、上述のコマンド設定送信処理における基本コマンド設定送信処理（ステップＳ９６０２）について説明する。なお、同図は基本コマンド設定送信処理の流れを示すフローチャートである。

【２０６５】

ステップＳ９７０１では、第１副制御部４００に送信すべき基本コマンド情報を、出力予定情報に設定する。

【２０６６】

ステップＳ９７０２およびステップＳ９７０３では、上述の汎用情報に含まれる入賞受付情報およびデバイス情報を、出力予定情報に含める。

【２０６７】

ステップＳ９７０４では、コマンド送信処理（詳細は後述する）を行ってから、送信情報記憶領域の送信情報より汎用情報を削除し、処理を終了する。なお、本実施例１では、可変入賞装置内に遊技媒体が進入したことなどを示す情報を含む上述の入賞受付情報と、前面枠扉１０６の開閉状態などを示す情報を含む上述のデバイス情報と、を同時に第１副制御部４００に送信する。なお、始動口や可変入賞装置内に遊技媒体が進入したことなどを示す情報を含む上述の入賞受付情報を先に第１副制御部４００に送信し、同一割り込み内で前面枠扉１０６の開閉状態などを示す情報を含む上述のデバイス情報を第１副制御部４００に送信するようにしてもよい。また、逆に前面枠扉１０６の開閉状態などを示す情報を先に第１副制御部４００に送信し、同一割り込み内で始動口や可変入賞装置内に遊技媒体が進入したことなどを示す情報を含む上述の入賞受付情報を先に第１副制御部４００に送信するようにしてもよい。

＜コマンド送信処理＞

【２０６８】

次に、図２６８を用いて、上述のコマンド設定送信処理におけるコマンド送信処理（ステップＳ９７０４）について説明する。なお、同図はコマンド送信処理の流れを示すフローチャートである。

【２０６９】

ステップＳ９８０１では、上述の出力予定情報記憶領域に記憶した出力予定情報を読み出して、この出力予定情報のデータをＩ／Ｏポート３１０から第１副制御部４００に出力する。

【２０７０】

ステップＳ９８０２では、データ保持前時間を設定し、ステップＳ９８０３では、ステップＳ９８０２で設定したデータ保持前時間を減算し、データ保持前時間が０になったか否か（データ保持前時間が経過したか否か）を判定する。そして、データ保持前時間が経過している場合にはステップＳ９８０４に進み、データ保持前時間が経過していない場合にはステップＳ９８０３においてデータ保持前時間が経過するのを待つ。

【２０７１】

ステップＳ９８０４では、出力予定情報にストローブ情報を追加して出力ポート３１０から第１副制御部４００に出力する。

【２０７２】

ステップＳ９８０５では、データ保持前時間を設定し、ステップＳ９８０６では、ステップＳ９８０５で設定したデータ保持時間を減算し、データ保持時間が０になったか否か（データ保持時間が経過したか否か）を判定する。そして、データ保持時間が経過している場合にはステップＳ９８０７に進み、データ保持時間が経過していない場合にはステップＳ９８０６においてデータ保持時間が経過するのを待つ。

【２０７３】

ステップＳ９８０７では、出力予定情報記憶領域に記憶した出力予定情報をクリアし、ステップＳ９８０８では、出力予定情報記憶領域に記憶した出力予定情報を読み出して、この出力予定情報をＩ／Ｏポート３１０から出力する。

【２０７４】

コマンド設定送信処理（ステップＳ９３１６）の開始時における送信情報に汎用情報が含まれている場合にはまず、基本コマンド設定送信処理から分岐したコマンド送信処理のステップＳ９８０１でストローブ情報を含まず、汎用情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力し、所定期間後に開始するステップＳ９８０４でストローブ情報、および汎用情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力する。これにより第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち下がる。さらに所定期間後にステップＳ９８０８で全信号がオフである信号を出力ポート３１０を介して第１副制御部４００に出力するようにしている。ここでストローブ情報もオフにしていることから第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち上がる。次にステップＳ９６０５からジャンプした先の処理から分岐したコマンド送信処理のステップＳ９８０１でストローブ情報を含まず、一般情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力し、所定期間後に開始するステップＳ９８０４でストローブ情報、および一般情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力する。これにより第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち下がる。さらに所定期間後にステップＳ９８０８で全信号がオフである信号を出力ポート３１０を介して第１副制御部４００に出力するようにしている。ここでストローブ情報もオフにしていることから第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち上がる。

【２０７５】

一方、コマンド設定送信処理（ステップＳ９３１６）の開始時における送信情報に汎用情報が含まれていない場合には汎用情報を出力せず、ステップＳ９６０５からジャンプした先の処理から分岐したコマンド送信処理のステップＳ９８０１でストローブ情報を含まず、一般情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力し、所定期間後に開始するステップＳ９８０４でストローブ情報、および一般情報を含む信号を出力ポート３１０を介して第１副制御部４００に出力する。これにより第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち下がる。さらに所定期間後にステップＳ９８０８で全信号がオフである信号を出力ポート３１０を介して第１副制御部４００に出力するようにしている。ここでストローブ情報もオフにしていることから第１副制御部４００の基本回路４０２が入力しているストローブ信号も立ち上がる。

＜復帰コマンド設定送信処理＞

【２０７６】

次に、図２６９を用いて、上述の主制御部タイマ割り込み処理における復帰コマンド設定送信処理（ステップＳ９３１９）について説明する。なお、同図は復帰コマンド設定送信処理の流れを示すフローチャートである。

【２０７７】

ステップＳ９９０１では、復電時であるか否かを判定し、復電時であればステップＳ９９０２に進み、そうでなければステップＳ９９０３に進む。

【２０７８】

ステップＳ９９０２では、出力予定情報記憶領域に記憶した出力予定情報に復電を示す情報を設定してステップＳ９９０４に進む。

【２０７９】

ステップＳ９９０３では、出力予定情報記憶領域に記憶した出力予定情報にＲＡＭクリアを示す情報を設定してステップＳ９９１３に進む。

【２０８０】

ステップＳ９９０４では、大当りの表示確定後であるか否かを判定し、大当りの表示後確定後でなければステップＳ９９０５に進み、大当りの表示後確定後であればステップＳ９９０９に進む。

【２０８１】

ステップＳ９９０５～ステップＳ９９０８では、出力予定情報記憶領域に記憶した出力予定情報に、遊技状態、特図作動状態、特図抽選結果、保留している特図変動遊技の数お

よび確変抽選結果を追加する。本実施例では、現在の遊技状態に基づいて、通常状態を示す情報、時短状態を示す情報、確変状態を示す情報のいずれかを遊技状態として追加する。また、特図変動遊技が作動している場合には、特図作動状態として作動中を示す情報を追加し、特図変動遊技が作動していない場合には、特図作動状態として停止中を示す情報を追加する。また、大当りフラグをオンに設定している場合には、特図抽選結果として大当りを示す情報を追加し、大当りフラグをオフに設定している場合には、特図抽選結果としてハズレを示す情報を追加する。また、確変フラグをオンに設定している場合には、確変抽選結果として確変を示す情報を追加し、確変フラグをオフに設定している場合には、確変抽選結果としてハズレを示す情報を追加する。

【２０８２】

ステップＳ９９０９～ステップＳ９９１２では、出力予定情報記憶領域に記憶した出力予定情報に、大当り中か否かを示す情報、特図保留数情報、大入賞口開放回数、確変フラグの値および大入賞口開閉状態を追加する。本実施例では、大当りフラグをオンに設定している場合には大当りを示す情報を追加する。また、特図保留数情報として、特図遊技の保留数（本実施例では０～４）に対応する保留数データを追加する。また、大入賞口開放回数として、可変入賞口２３４を開放する回数を示す情報を追加する。また、可変入賞口２３４が開放中の場合には、大入賞口開閉状態として可変入賞口２３４が開放中であることを示す情報を追加し、可変入賞口２３４が閉鎖中の場合には、大入賞口開閉状態として大入賞口が閉鎖中であることを示す情報を追加する。

ステップＳ９９１３では、上述のコマンド送信処理を行う。

＜払出制御部リセット割り込み処理＞

【２０８３】

次に、図２７０を用いて、払出制御部６００のＣＰＵが実行する払出制御部リセット割り込み処理について説明する。なお、同図は払出制御部リセット割り込み処理の流れを示すフローチャートである。

【２０８４】

払出制御部６００には、電源が投入されるとリセット信号を出力するリセット信号出力回路を設けている。このリセット信号を入力した基本回路のＣＰＵは、リセット割り込みによりリセットスタートしてＲＯＭに予め記憶している制御プログラムに従って処理を実行する。

【２０８５】

ステップＳ１１００１では、初期設定１を行う。この初期設定１では、ＣＰＵのスタックポインタ（ＳＰ）へのスタック初期値の設定等を行う。

【２０８６】

ステップＳ１１００２では、低電圧信号がオンであるか否か、すなわち、電圧監視回路が、電源制御部６６０から払出制御部６００に供給している電源の電圧値が所定の値（本実施例では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１１００１の処理を繰り返し実行し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１１００３に進む。

【２０８７】

ステップＳ１１００３では、初期設定２を行う。この初期設定２では、後述する払出制御部タイマ割り込み処理を定期毎に実行するための周期を決める数値をカウンタ・タイマに設定する処理、ＲＡＭへの書き込みを許可する設定、Ｉ／Ｏポートの初期設定等を行う。

【２０８８】

ステップＳ１１００４では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（パチンコ機１００を初期状態にする場合）にはステップＳ１１００６に進み、電断前の状態に復帰する場合にはステップＳ１１００５に進む。

【２０８９】
具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、パチンコ機１００を初期状態にすべくステップＳ１１００６に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）は、ＲＡＭ４０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、パチンコ機１００を初期状態にすべくステップＳ１１００６に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が０の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ１１００５に進み、チェックサムの結果が０以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ１１００６に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１１００６に進む。

【２０９０】
ステップＳ１１００５では、復電時処理を行う。この復電時処理では、ＲＡＭの記憶領域のうち、復電時にクリアすべき記憶領域（コマンドを格納するためのコマンドバッファ、エラー状態を記憶するためのエラーステータスなどを除く記憶領域）の初期化などを行う。

【２０９１】
ステップＳ１１００６では、初期化処理を行う。この初期化処理では、割り込み禁止の設定、スタックポインタへのスタック初期値の設定、ＲＡＭの所定の領域（例えば、全ての記憶領域）の初期化などを行う。

【２０９２】
ステップＳ１１００７では、初期設定３を行う。この初期設定３では、ＲＡＭに設けたエラーステータス記憶領域に記憶したエラーステータスのうち、不正払出エラーと払出超過エラー以外の情報をクリアしたり、割り込み許可の設定などを行う。

【２０９３】
ステップＳ１１００８では、主制御部３００から入力したデータの中に未解析データがあるか無いかを判定し、未解析データがある場合にはステップＳ１１００９でコマンド解析処理（詳細は後述する）を行い、未解析データがない場合にはステップＳ１１０１０に進む。

【２０９４】
ステップＳ１１０１０では、低電圧信号がオフであるか否かを監視し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１１００８に戻り、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１１０１１に進む。

【２０９５】
ステップＳ１１０１１では、電断時処理を行う。この電断時処理では、ＲＡＭに設けたスタックポインタ退避領域に現在のスタックポインタの値を記憶し、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算し、チェックサム算出用数値記憶領域に記憶している値からその加算した結果を減算した値をチェックサム（電断時チェックサム）として算出し、算出した電断時チェックサムを上述のチェックサム算出用数値記憶領域に記憶し、ＲＡＭへの書き込みを禁止する設定などを行う。

【２０９６】
ステップＳ１１０１２では、低電圧信号がオンであるか否かを監視し、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１１０１２の処理を繰返し実行して低電圧信号がオフになるのを待ち、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１１００１に戻り、払出制御部リセット割り込み処理を最初から開始する。すなわち、このステップＳ１１０１２では、ステップＳ１１０１０で低電圧信号を入力した後（電源の遮断を検知した後）で、この低電圧信号の出力が停止したことを検知した場合（電源の復帰を検知した場合）に払出制御回路を初期化する初期化処理を行う。
＜コマンド解析処理＞
【２０９７】
次に、図２７１を用いて、上述の払出制御部リセット割り込み処理におけるコマンド解析処理（ステップＳ１１００９）について説明する。なお、同図はコマンド解析処理の流れを示すフローチャートである。
【２０９８】
ステップＳ１１１０１では、ＲＡＭに設けた賞球数記憶領域に未解析データとして記憶した賞球数（払出要求数）と、ＲＡＭに設けた今回加工種別記憶領域に未解析データとして記憶した加工種別を取得する。
【２０９９】
ステップＳ１１１０２では、ステップＳ１１１０１で取得した今回加工種別、およびＲＡＭに設けた前回加工種別記憶領域から取得した、コマンド解析処理で前回に使用した前回加工種別の両者を比較する。そして、今回加工種別と前回加工種別が同一であるか否かを判定し、両者が同一の場合は処理を終了し、両者が異なる場合はステップＳ１１１０３に進む。
【２１００】
ステップＳ１１１０３では、今回加工種別の値を、前回加工種別として前回加工種別記憶領域に記憶する。
【２１０１】
ステップＳ１１１０４では、上述の図２６０（ｅ）の復元データテーブルを参照し、今回加工種別に基づいて復元データを選択した後、復元データを用いて賞球数の加工を解除する。本実施例では、加工された賞球数と復元データの排他的論理和（ＥＸＯＲ）を算出し、その算出結果の下位４ビットを賞球数として賞球数記憶領域に記憶する。例えば、加工された賞球数が３（００００００１１Ｂ）、復元データが００Ｈ（０００００００００Ｂ）の場合、排他的論理和の算出結果は０３Ｈ（０００００００１１Ｂ）であるから、賞球数はその下位４ビットの３である。また、加工された賞球数が１０Ｈ（０００１００００Ｂ）、復元データが０３Ｈ（０００００００１１Ｂ）の場合、排他的論理和の算出結果は１３Ｈ（０００１００１１Ｂ）であるから、賞球数はその下位４ビットの３であり、加工された賞球数が２ＤＨ（００１０１１００Ｂ）、復元データが０ＥＨ（０００００１１１０Ｂ）の場合、排他的論理和の算出結果は２３Ｈ（００１０００１１Ｂ）であるから、賞球数はその下位４ビットの３であり、加工された賞球数が３ＡＨ（００１１１０１０Ｂ）、復元データが０９Ｈ（０００００１００１Ｂ）の場合、排他的論理和の算出結果は３３Ｈ（００１１００１１Ｂ）であるから、賞球数はその下位４ビットの３である。
【２１０２】
ステップＳ１１１０５では、ＲＡＭに設けた次賞球要求数記憶領域に記憶した次賞球要求数に、ステップＳ１１１０４で取得した賞球数を加算して処理を終了する。
＜コマンド受信割り込み処理＞
【２１０３】
次に、図２７２を用いて、払出制御部６００のＣＰＵが実行するコマンド受信割り込み処理について説明する。なお、同図はコマンド受信割り込み処理の流れを示すフローチャートである。

【２１０４】
払出制御部６００は、主制御部３００が出力するストローブ信号の立ち下がりエッジを検出した場合に、このコマンド受信割り込み処理を実行する。主制御部３００でストローブ情報を含めた払出要求信号を出力すると、それまでＨｉｇｈレベルを保持していた払出制御部６００のストローブ信号がＬｏｗレベルに立ち下がるような回路構成にしている。
【２１０５】
ステップＳ１１２０１では、受信割り込みスタート処理を行う。この受信割り込みスタート処理では、ＣＰＵの各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【２１０６】
ステップＳ１１２０２では、主制御部３００から入力する払出要求情報をＩ／Ｏポートから入力し、ステップＳ１１２０３では、払出要求情報があるか無いかを判定する。そして、払出要求情報がある場合にはステップＳ１１２０４に進み、払出要求情報が無い場合にはステップＳ１１２０９に進む。
【２１０７】
ステップＳ１１２０４では、払出要求情報のストローブ情報があるか無いか（オンかオフか）を判定し、ストローブ情報がある場合にはステップＳ１１２０５に進み、ストローブ情報が無い場合にはステップＳ１１２０９に進む。
【２１０８】
ステップＳ１１２０５では、ステップＳ１１２０２で入力した払出要求情報から加工種別を取得する。
【２１０９】
ステップＳ１１２０６では、払出要求情報に初期化情報があるか無いか（オンかオフか）を判定する。そして、初期化情報がある場合にはステップＳ１１２０８に進み、初期化情報が無い場合にはステップＳ１１２０７に進む。
【２１１０】
ステップＳ１１２０７では、払出要求情報から賞球数を取得し、上述の賞球数記憶領域に記憶するとともに、ＲＡＭに設けた今回加工種別記憶領域に、払出要求情報から取得した加工種別を未解析データとして記憶する。
【２１１１】
ステップＳ１１２０８では、ステップＳ１１２０５で取得した加工種別を、上述の前回加工種別記憶領域に記憶する。
【２１１２】
ステップＳ１１２０９では、受信割り込みエンド処理を行う。この受信割り込みエンド処理は、ステップＳ１１２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。
＜払出制御部タイマ割り込み処理＞
【２１１３】
次に、図２７３を用いて、払出制御部６００のＣＰＵが実行する払出制御部タイマ割り込み処理について説明する。なお、同図は払出制御部タイマ割り込み処理の流れを示すフローチャートである。
【２１１４】
払出制御部６００は、所定の周期（本実施例では１ｍｓに１回）でタイマ割り込みを発生するカウンタ・タイマ４１２を備えており、このタイマ割り込みを契機として払出制御部タイマ割り込み処理を所定の周期で開始する。
【２１１５】
ステップＳ１１３０１では、タイマ割り込みスタート処理を行う。このタイマ割り込みスタート処理では、ＣＰＵの各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【２１１６】

ステップＳ１１３０２では、ポート入力管理処理を行う。このポート入力管理処理では、Ｉ／Ｏポートの値を取得して、各種センサの状態などを検出する。

【２１１７】

ステップＳ１１３０３では、タイマ更新管理処理を行う。このタイマ更新管理処理では、払出報知用ＬＥＤの点灯／消灯時間、モータ駆動／非駆動時間などを計時するためのタイマなどを含む各種タイマを更新する。

【２１１８】

ステップＳ１１３０４では、エラー管理処理を行う。このエラー管理処理では、Ｉ／Ｏポートに入力する皿満杯信号を検出して皿満杯信号がオンであるか否かを判定し、皿満杯信号がオンの場合（下皿１２６が球で一杯になっている場合）には、ＲＡＭに設けたエラーステータス記憶領域に皿満杯エラーを示す情報を記憶し、皿満杯信号がオフの場合（下皿１５０に球を貯留する空きができた場合）には、エラーステータス記憶領域に皿満杯エラーの解除を示す情報を記憶する。また、主制御部３００と払出制御部６００との間の通信回線が断線などにより通信可能かどうかを検出し、通信可能な場合には、ＲＡＭに設けたエラーステータス記憶領域に通信可能であることを示す情報を、また通信不可能な場合には通信不可能であることを示す情報を記憶する。また、エラー管理処理では、Ｉ／Ｏポートに入力するエラー解除スイッチ信号を検出してエラー解除信号がオンであるか否かを判定し、エラー解除信号がオンである場合には、エラーステータス記憶領域に記憶している不正払出エラーの情報、または、払出超過エラーの情報を初期化して、これらのエラーを解除する。

【２１１９】

ステップＳ１１３０５では、ＣＲユニット通信管理処理を行う。このＣＲユニット通信管理処理では、ＣＲインターフェース部６０６から遊技媒体貸出信号を受信して遊技媒体貸出信号センサ信号がオンであるか否かを判定し、遊技媒体貸出信号がオンの場合（ＣＲインターフェース部６０６からの球貸要求を入力した場合）には、ＲＡＭに設けた遊技媒体貸出情報記憶領域に遊技媒体の貸出要求があったことを示す情報を記憶する。

【２１２０】

ステップＳ１１３０６では、払出管理処理を行う。この払出管理処理では、上述のエラーステータス記憶領域から不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、センサ回路を介して入力する払出センサ６０４の信号（以下、払出センサ信号と称する場合がある）に基づいて払出個数の監視を行う。すなわち、所定のエラー（ここでは、いずれかのエラー）が発生している場合にはモータの駆動、すなわち払出装置からの賞媒体（例えば遊技球）の払出を停止するようにしている。具体的には、払出センサ６０４の信号を検出して払出センサ信号がオンであるか否かを判定し、払出センサ信号がオンの場合（払出センサを球が通過した場合）には払出完了数チェックに１を加算して払出完了数チェック記憶領域に記憶する。また、賞球および貸出球の要求が無いときに払出センサ信号がオンになった場合には、上述のエラーステータス記憶領域に不正払出エラーを示す情報を設定し、賞球数または貸出球数が各々の要求数を超え、その超過数が所定数以上になった場合には、上述のエラーステータス記憶領域に払出超過エラーを示す情報を設定する。

【２１２１】

また、上述のエラーステータス記憶領域から皿満杯エラーの情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、払出開始監視処理、初期位置検索動作処理、通常払出動作処理、リトライ動作処理、逆回転動作処理のいずれかの処理を行う。

【２１２２】

払出開始監視処理では、貸出要求数、および賞球要求数が０であり、次賞球要求数が０以外の場合は、賞球要求数に次賞球要求数をセットし、次賞球要求数をクリアする。また、スプロケットを駆動する払出モータ６０２の位置が不確定の場合（動作モードが初期位置検索動作モードの場合）には、払出完了数チェックから１を減算して払出完了数チェッ

ク記憶領域に記憶し、スプロケットを駆動する払出モータ６０２の位置が確定している場合（動作モードが通常払出動作モードの場合）には、払出完了数チェックとして払出完了数チェック記憶領域に０を設定する。また、賞球要求数を、スプロケットの払出モータ６０２を駆動する量（モータ駆動量）に変換し、これをＲＡＭに設けたモータ駆動量記憶領域に記憶すると共に、ＲＡＭに設けたモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットのモータの励磁位置を所定回変化してスプロケットを正方向に回転駆動する。

【２１２３】

初期位置検索動作処理および通常払出動作処理では、モータの駆動終了後に、払出完了数チェック記憶領域から払出完了チェックを読み出し、払出完了チェックが０の場合には、払出開始監視処理を実行する準備を行い、払出完了チェックが０以外の場合には、エラーステータス記憶領域に払出装置エラーを示す情報を設定すると共に、リトライ動作処理を実行する準備を行う。

【２１２４】

リトライ動作処理では、所定の時間が経過するのを待ち（リトライ動作開始待ちタイマが０になるのを待ち）、リトライ動作開始待ちタイマが０になった場合には、逆回転動作処理を実行する準備を行う。逆回転操作処理では、上述のモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、逆転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットの払出モータ６０２の励磁位置を所定回変化してスプロケットを逆回転駆動する。また、逆回転操作処理では、モータの駆動終了後に払出開始監視処理を実行する準備を行う。

【２１２５】

ステップＳ１１３０７では、モータ駆動管理処理を行う。このモータ駆動管理処理では、駆動開始監視処理、加速駆動処理、定速駆動処理、ブレーキ駆動処理、駆動終了処理のいずれかの処理を行う。

【２１２６】

駆動開始監視処理では、上述のエラーステータス記憶領域から皿満杯エラーの情報、不正払出エラーの情報、および払出超過エラーの情報を読み出し、いずれのエラーも発生していない場合に、上述のモータ制御データテーブルを参照してモータ駆動量に対応するモータ駆動制御データを選択し、正転を示すモータ駆動制御データをＩ／Ｏポートを介してモータ制御回路に出力する。これにより、モータ制御回路はスプロケットの払出モータ６０２の励磁位置を所定回変化してスプロケットを正方向に回転駆動する。

【２１２７】

加速駆動処理および定速駆動処理では、スプロケットが初期位置検索動作中、または、逆回転動作中の場合を除き、モータの励磁位置を１６回変化させるごとに払出完了数チェックから１を減算して払出完了数チェック記憶領域に記憶する。また、更新後の払出完了数チェックが－４未満になった場合には、ブレーキ駆動処理を実行する準備を行う。さらに、上述の遊技媒体貸出情報記憶領域から遊技媒体貸出情報を読み出して、遊技媒体の貸出要求があったことを示す情報の有無を判定し、遊技媒体の貸出要求があったことを示す情報がある場合（賞球の払出中にＣＲインターフェース部６０６からの球貸要求を入力した場合）にも、ブレーキ駆動処理を実行する準備を行う。

【２１２８】

ブレーキ駆動処理では、所定の時間が経過するのを待ち（モータ駆動管理タイマが０になるのを待ち）、モータ駆動管理タイマが０になった場合には、駆動終了処理を実行する準備を行い、駆動終了処理では、モータ駆動の後処理を行う。

【２１２９】

ステップＳ１１３０８では、ＬＥＤ管理処理を行う。このＬＥＤ管理処理では、エラーステータス記憶領域の不正払出エラー情報が不正払出エラーが発生中であることを示して

いる場合には、不正払出エラーが発生していることを遊技者に報知するためのＬＥＤを点灯させるとともに、不正払出エラーが発生していないことを示している場合にはそのＬＥＤを消灯させる。また、エラーステータス記憶領域の払出超過エラー情報が払出超過エラーが発生中であることを示している場合には、払出超過エラーが発生していることを遊技者に報知するためのＬＥＤを点灯させるとともに、払出超過エラーが発生していないことを示している場合にはそのＬＥＤを消灯させる。

【２１３０】

ステップＳ１１３０９では、信号出力管理処理を行う。この信号出力管理処理では、ＲＡＭに記憶している遊技情報（例えば払出センサ信号を入力するたびに出力する賞球信号）を、情報出力回路（図示せず）を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【２１３１】

ステップＳ１１３１０では、タイマ割り込みエンド処理を行う。このタイマ割り込みエンド処理では、ステップＳ１１３０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割り込み許可の設定などを行う。

【２１３２】

以上説明したように、本実施例１に係るパチンコ機１００は、遊技媒体を所定の遊技領域１２４内で転動させる遊技の制御用に動作するＣＰＵ３０４を含む制御回路（本実施例では基本回路）３０２と、ＣＰＵ３０４による演算結果を記憶する演算記憶部（本実施例ではＲＡＭ）３０８と、起動信号を制御回路３０２に出力する起動信号出力回路３４０と、特定の周期で定期信号を制御回路３０２に出力する定期信号出力回路（本実施例ではカウンタ・タイマ）３１２と、遊技領域１２４内の所定の位置を遊技媒体が通過した場合に、検出信号を出力する検出回路（本実施例では球検出センサ）と、を備え、定期信号を入力した場合に開始する複数の定期処理（本実施例では主制御部タイマ割り込み処理内の各処理）と、複数の定期処理のうちの一つの処理であり、検出回路からの検出信号の有無を監視し、演算記憶部３０８に記憶する検出監視処理（本実施例では入力ポート状態更新処理）と、複数回の検出監視処理における監視結果に基づいて、遊技領域１２４内の所定の位置を遊技媒体が通過したと判定する通過判定処理と、所定の時期（本実施例では電源投入後）から特定の周期ごとに開始させた複数回の検出監視処理における監視結果を演算記憶部３０８に記憶するまで、通過判定処理による判定結果を用いる処理を行わずに後続の処理に分岐させる処理と、を制御回路３０２に含むことを特徴とする、遊技台である。

【２１３３】

換言すれば、本実施例１に係るパチンコ機１００は、遊技動作用のプログラムを記憶するプログラム記憶部（本実施例ではＲＯＭ）３０６、および起動信号を入力した場合に前記プログラムを読み出して動作するＣＰＵ３０４を含む制御回路３０２と、ＣＰＵ３０４による演算結果を記憶する演算記憶部３０８と、起動信号を制御回路３０２に出力する起動信号出力回路３３８と、特定の周期で定期信号を制御回路３０２に出力する定期信号出力回路３１２と、遊技領域１２４内の所定の位置を遊技媒体が通過した場合に、検出信号を出力する検出回路と、を備え、定期信号を入力した場合に開始する複数の定期処理と、複数の定期処理のうちの一つの処理であり、検出回路からの検出信号の有無を監視し、演算記憶部３０８に記憶する検出監視処理と、複数回の検出監視処理における監視結果に基づいて、遊技領域１２４内の所定の位置を遊技媒体が通過したと判定する通過判定処理と、所定の時期から特定の周期ごとに開始させた複数回の検出監視処理における監視結果を演算記憶部３０８に記憶するまで、通過判定処理による判定結果を用いる処理を行わずに後続の処理に分岐させる処理と、を前記プログラムに含むことを特徴とする、遊技台である。

【２１３４】

本実施例１に係るパチンコ機１００によれば、遊技の進行中の電源異常による電断・復電が原因の誤動作の発生を防ぐことができる場合があり、また、遊技台にノイズを印加して制御回路を暴走させ、不当な利益を得るような不正行為を未然に防止することができる

場合がある。検出監視処理における監視結果を演算記憶部に記憶するまで、通過判定処理による判定結果を用いる処理を行わないように構成しているので、所定の時期から通過判定処理による判定結果を用いる処理の開始までの期間を最短にできるとともに、通過判定に必要な情報は、確実に所定の時期からの情報を使用することができるので、遊技台に電源が投入されているにも関わらず、遊技制御を行っていない期間を最低限にして、遊技を中断している遊技者の不快感および遊技台の稼動の低下を減少することが可能になる場合がある。また品質の高い情報を用いた遊技制御を行うことができる場合がある。

【２１３５】

また、起動信号を入力した場合に、遊技媒体を所定の遊技領域内で転動させる遊技の制御用に動作するＣＰＵを含む制御回路と、前記ＣＰＵによる演算結果を記憶する演算記憶部と、前記起動信号を前記制御回路に出力する起動信号出力回路と、特定の周期で定期信号を前記制御回路に出力する定期信号出力回路と、前記遊技領域内の所定の位置を遊技媒体が通過した場合に、検出信号を出力する検出回路と、を備え、前記定期信号を入力した場合に開始する複数の定期処理と、前記複数の定期処理のうちの一つの処理であり、前記検出回路からの検出信号の有無を監視し、前記演算記憶部に記憶する検出監視処理と、複数回の前記検出監視処理における監視結果に基づいて、前記遊技領域内の所定の位置を遊技媒体が通過したと判定する通過判定処理と、前記起動信号を入力してから、前記特定の周期ごとに開始させた前記複数回の前記検出監視処理における監視結果を前記演算記憶部に記憶するまで、前記通過判定処理による判定結果を用いる処理を行わずに後続の処理に分岐させる処理と、を前記制御回路に含む構成とすれば、検出監視処理における監視結果を演算記憶部に記憶するまで、通過判定処理による判定結果を用いる処理を行わないように構成しているので、起動信号を入力した時期から通過判定処理による判定結果を用いる処理の開始までの期間を最短にできるとともに、通過判定に必要な情報は、確実に起動信号を入力した時期からの情報を使用することができるので、遊技台に電源が投入されているにも関わらず、遊技制御を行っていない期間を最低限にして、遊技を中断している遊技者の不快感および遊技台の稼動の低下を減少することが可能になる場合がある。また品質の高い情報を用いた遊技制御をおこなうことができる場合がある。

【２１３６】

また、電源回路（本実施例では電源制御部）６６０から制御回路３０２に供給している電圧が特定の値未満である場合に、低電圧信号を出力する電圧監視回路３３８と、電源回路６６０からＣＰＵ３０４への電力供給を停止している期間中も演算記憶部３０８に電力を供給するバックアップ電源回路（本実施例では蓄電装置）と、を更に備え、所定の時期（本実施例では電源投入後）から、複数の定期処理を開始させた回数が特定の回数に到達するまでの期間中に低電圧信号を入力した場合に、制御回路３０２の設定のうちの所定の第１の情報を演算記憶部３０８に記憶する第１の電断時処理（本実施例では電断時処理１）と、起動信号を入力してから、複数の定期処理を開始させた回数が特定の回数に到達した後に低電圧信号を入力した場合に、制御回路３０２の設定のうちの第１の情報とは別の第２の情報を演算記憶部３０８に記憶する第２の電断時処理（本実施例では電断時処理２）と、起動信号を入力した場合に、第１電断時処理または第２の電断時処理が記憶させた情報に基づいて、制御回路３０２の設定の一部を更新する復電時処理と、を制御回路３０２に含むように構成すれば、動作が安定する前に記憶した信頼性の低い情報に基づいて遊技制御を行うことがなく、遊技の進行中の電源異常による電断・復電が原因の誤動作の発生をより確実に防ぐことができる場合がある。所定の条件が成立しているかどうかによって、異なる電断時処理のうちの１つを実行するように構成しているので、柔軟性の高い遊技制御を行うことができる。例えば遊技状態が第１の状態（例えば大当り中、エラー発生中など）には所定の電断時処理（例えばＲＡＭ３０８の全ての領域に関するチェックサムの取得、電源ステータスの格納の実行、スタックポインタへのレジスタ退避）を行い、遊技状態が第２の状態（例えば図柄の変動開始を一切保留しておらず、図柄の変動を行っていない状態で、なおかつ入賞口への入賞の記憶が全くない）の場合には、該所定の電断時処理を実行しない、または一部の電断時処理を省略するようにできる。こうすることで、

不要な場合には電断時処理を素早く終了することが出来るようになり、供給される電力が不安定な中での制御部、特に基本回路の動作を少なくすることで、遊技台が予測していない動作を行うといった不具合（例えば暴走、ＲＡＭ破壊）をより抑制することができる場合がある。ここで所定の条件の成立として、上述の起動信号を入力してから、上述の複数の定期処理を開始させた回数が特定の回数に到達した後に前記低電圧信号を入力した場合を適用するのが好適である。

【２１３７】

なお、上述の実施例における各種記憶領域は必ずしもＲＡＭに設ける必要はなく、例えば、情報を一時的に記憶すれば足りるような場合には各制御部のＣＰＵのレジスタなどに記憶してもよい。

【２１３８】

また、遊技状態格納領域には、単一の情報を記憶可能なだけではなく、複数の遊技状態に関する情報を並列的に記憶可能に構成してもよい。すなわち、複数単位の記憶領域により構成してもよい。

【２１３９】

また、処理は１つの命令、複数の一連の命令、および一連ではない複数の命令などを示し、サブルーチン全体、分岐から復帰までの一連の命令に限定しているものではない。

【２１４０】

また、ステップＳ９１０１では、ＷＤＴ３１４の初期値として３２．８ｍｓに相当する数値を設定したが、ＷＤＴ３１４に設定する初期値はこれに限定されるものではない。また、ステップＳ９１０４では、主制御部タイマ割り込みの割り込み周期として約２ｍｓに相当する数値を設定し、ステップＳ１１００３では、払出制御部タイマ割り込みの割り込み周期として約２ｍｓに相当する数値を設定したが、タイマ割り込みの周期はこれに限定されるものではない。

【２１４１】

また、ステップＳ９２０１では、機能限定タイマの初期値として３を設定したが、本発明はこれに限定されず、例えば、主制御部タイマ割り込みの周期を１ｍｓに設定し、機能限定タイマの初期値として６を設定すれば、機能限定ウェイト処理において初期値を設定し、且つ、主制御部タイマ割り込みの割り込みを許可してから、最大で６ｍｓ（＝１ｍｓ（主制御部タイマ割り込みの周期）×６）後、最小で５ｍｓ（＝１ｍｓ（主制御部タイマ割り込みの周期）×５）後に機能限定を解除することになり、機能限定解除の時間の誤差（ゆらぎ）を小さくすることができる。

【２１４２】

また、ステップＳ９３０３の入力ポート状態更新処理では、複数回の監視結果に基づいて、遊技領域１２４内の所定の位置を遊技媒体が通過したと判定するように構成したが、本発明はこれに限定されず、この判定処理を行わなくてもよい。この場合、上述の実施例では、ステップＳ９３０７において制御状態を機能限定状態であると判定すれば、入力ポート状態更新処理による判定結果を用いる処理を行わずに後続の処理に分岐させることができる。

【２１４３】

また、ステップＳ９３１０の入賞受付処理では、前々回検出信号記領域、前回検出信号記領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が一致するか否かを判定したが、いずれかの検出信号の有無の情報をマスクしてもよく、例えば、前回検出信号記領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去２回分の検出信号の有無の情報が一致するか否かを判定してもよい。

【２１４４】

また、主制御部タイマ割り込み処理では、ステップＳ９３０７において制御状態が機能限定状態ではないと判定するまで、入力ポート状態更新処理による判定結果を用いる処理

を行わずに後続の処理に分岐させるように構成したが、スキップする処理はステップＳ９３０８～ステップＳ９３１７の処理に限定されるものではなく、例えば、制御状態が機能限定状態の場合にステップＳ９３１７の外部出力信号設定処理を行ってもよい。

【２１４５】

また、ステップＳ９４１１では、払出要求数と加工データの排他的論理和（ＥＸＯＲ）を算出することで払出要求情報を加工を行ったが、例えば、払出要求数と加工データの論理積（ＡＮＤ）や論理和（ＯＲ）を算出することで払出要求情報を加工を行ってもよく、この場合、払出制御部では否定論理積（ＮＡＮＤ）や否定論理和（ＮＯＲ）を用いて加工の解除を行えばよい。

【２１４６】

また、タイマ更新処理では、タイマ１～タイマ９の９種類のタイマを約２ｍｓ毎に更新し、タイマ１０を約１０ｍｓ毎に更新したが、本発明はこれに限定されず、例えば、タイマ制御データテーブルの１２行目のタイマ更新周期を１０に設定すれば、タイマ１～タイマ９の９種類のタイマを約２ｍｓ毎に更新し、タイマ１０を約２０ｍｓ毎に更新することができる。また、タイマ制御データテーブルの２行目のタイマ個数を５に設定し、その次にタイマ１～５の格納アドレスを記憶し、その次にタイマ更新周期として５、タイマ個数として５を記憶し、その次にタイマ６～１０の格納アドレスを記憶すれば、タイマ１～タイマ５の５種類のタイマを約２ｍｓ毎に更新し、タイマ６～１０の５種類のタイマを約１０ｍｓ毎に更新することもできる。

【２１４７】

また、実施例では、電源回路６６０から遊技制御回路３０２に供給している電圧が特定の値未満である場合に、第１の低電圧信号を出力する第１の電圧監視回路３３８と、電源回路６６０から払出制御回路６００に供給している電圧が特定の値未満である場合に、第２の低電圧信号を出力する第２の電圧監視回路の２つの電圧監視回路を設けたが、本発明はこれに限定されず、電源回路６６０から遊技制御回路３０２および払出制御回路４０２に供給している電圧の両者を１つの電圧監視回路で監視し、第１の低電圧信号または／および第２の低電圧信号を出力するように構成してもよい。

【２１４８】

また、実施例では、主制御部３００に電圧監視回路３３８を１つだけ設け、また払出制御部６００に電圧監視回路を１つだけ設けているが、これに限定されず、所定の制御部（主制御部３００、払出制御部６００など）に電圧監視回路を複数設け、それら複数の電圧監視回路のそれぞれが別々の電力線を監視し、これら複数の電力線のうちの１、複数または全部の電力線の電圧値が所定の値未満になったことを検出した場合に、低電圧信号を該所定の制御部に設けた基本回路に出力するようにしてもよい。このように構成することで、所定の制御部による制御を確実におこなうことができ、遊技台が予測していない動作を行うといった不具合（例えば暴走、ＲＡＭ破壊）を抑制することができる場合がある。ここで複数の電力線のうち１、複数または全部の電力線が同じ電圧で電力を配電するようにしてもよいし、全てが別の値の電圧となるように電力を配電するようにしてもよい。

【２１４９】

また、実施例では、所定の制御部（主制御部３００、払出制御部６００）の基本回路（３０２、４０２）で動作する処理のうち、遊技制御の開始を待機させる処理（ステップＳ９１０３、ステップＳ１１００２）が遊技制御の開始を待機させる条件としている低電圧信号がオンであること、および遊技制御を終了させる処理を実行するかどうかの判定処理（ステップＳ９３２３、ステップＳ１１０１０）で、該遊技制御を終了させる処理を実行する条件としている低電圧信号がオンであることの２つに関して、同一の低電圧信号を用いているが、これに限定されない。例えば、所定の制御部の所定の電力線を複数の電圧監視回路で監視し、第１の監視回路は第１の電圧値よりもその所定の電力線の電圧値が低い場合に第１の低電圧信号を、また複数の電圧監視回路のうち第１の電圧監視回路とは別の第２の電圧監視回路は第１の電圧値とは別の第２の電圧値よりもその所定の電力線の電圧値が低い場合に第２の低電圧信号を、それぞれ所定の制御部の基本回路に出力するように

構成し、上述の遊技制御の開始を待機させる条件を第１の低電圧信号がオン（第１の電圧監視回路が第１の低電圧信号を出力している状態）であること、また上述の該遊技制御を終了させる処理を実行する条件を第２の低電圧信号がオン（第２の電圧監視回路が第２の低電圧信号を出力している状態）であること、などとそれぞれの条件を異ならせても良い。この場合第１の監視回路と第２の監視回路は同一基体内に集積するように構成してもよい。これらの場合、第１の電圧値と第２の電圧値との関係は、第１の電圧値を第２の電圧値よりも高くして適用した場合であれば、遊技制御の開始を所定の制御部に供給される電力の電圧値が充分に高い電圧値になるまで待機するので、所定の制御部、特に基本回路が不安定な動作を実行することをより確実に防止することができ、また遊技台が予測していない動作をおこなうといった不具合（例えば暴走、ＲＡＭ破壊）を抑制することができる場合があるとともに、遊技制御を終了させる処理の実行は、所定の制御部に供給される電力の電圧値が第１の電圧値よりも低い第２の電圧値になるまで遊技制御を継続するので、制御期間を長く継続でき、また、遊技制御の終了処理から所定の制御部、特に基本回路の電源が完全に遮断されるまでの期間を短くすることができ、所定の制御部、特に基本回路が不安定な動作を実行することをより確実に防止することができ、また遊技台が予測していない動作をおこなうといった不具合（例えば暴走、ＲＡＭ破壊）をより抑制することができる場合がある。逆に第２の電圧値を第１の電圧値よりも高くして適用した場合であれば、遊技台に電源供給を開始してから遊技制御の開始を迅速におこなうことができる場合があるとともに、遊技制御を終了させる処理の実行は、所定の制御部に供給される電力の電圧値が遊技制御の終了処理から所定の制御部、特に基本回路の電源が完全に遮断されるまでの期間を充分に長く維持することができるので、電断時の所定の制御部、特に基本回路の制御状態を確実に保存することができる場合がある。

【２１５０】

また、実施例に挙げた払出制御部リセット割り込み処理などについては、遊技制御の終了処理の後でさらに電圧を監視し、所定の低電圧信号がオフになると所定の処理（例では起動信号を入力してから最初に開始する処理）に移行するように構成しているが、この所定の処理に移行する条件を上述の遊技制御を終了させる処理を実行する条件で使用している第２の低電圧信号がオフ（第２の電圧監視回路が第２の低電圧信号を出力していない状態）としてもよい。所定の制御部への電力供給が断たれた場合であれば、遊技制御を終了させる処理を実行する条件で使用している第２の低電圧信号がオンになった後で、遊技制御を終了させる処理を実行するので、さらに電圧は低下しているはずであるにも関わらず電圧値が下がっていない、または上昇している場合には、ノイズ、電力の不安定な変動などが原因で第２の低電圧信号を基本回路は入力し、遊技制御を終了させる処理を実行させた可能性が高い。そのような場合を考えるとこの構成は所定の処理に早く移行することができるので、ノイズ、電力の不安定な供給が原因で遊技を中断する期間を少なくすることができ、遊技を中断している遊技者の不快感および遊技台の稼動の低下を減少することが可能になる場合がある。またこの場合、所定の処理に移行する条件として、上述の遊技制御の開始を待機させる条件で使用している第１の低電圧信号がオフになった場合を適用しても同様の効果を得られる場合がある。

【２１５１】

また、上述の複数の電圧監視回路のうち第１・第２の電圧監視回路とは別の第３の電圧監視回路を設け、その第３の電圧監視回路は第１・第２の電圧値とは別の第３の電圧値よりもその所定の電力線の電圧値が低い場合に第３の低電圧信号を、それぞれ所定の制御部の基本回路に出力するように構成し、上述の所定の処理に移行する条件として、上述の第３の低電圧信号がオフ（第３の電圧監視回路が第３の低電圧信号を出力していない状態）にである場合としてもよい。このように構成することで各条件に応じた電圧値を適宜設定することができる場合があり、所定の制御部、特に基本回路が不安定な動作を実行することをより確実に防止することができ、また遊技台が予測していない動作を行うといった不具合（例えば暴走、ＲＡＭ破壊）を抑制することができる場合がある。この場合第３の電圧値を第２の電圧値よりも低く設定することで、遊技制御を終了させる処理の実行で減少

する電力を加味した最適な形式とすることができる場合がある。
【２１５２】
また、電圧監視回路（３３６、４２６）、第１～第３の電圧監視回路を主制御部および払出制御部の両方に備える例を挙げたが、これに限定されず、主制御部に低電圧信号を出力する電圧監視回路および払出制御部に低電圧信号を出力する電圧監視回路を主制御部、払出制御部、または電源管理部のいずれか１つに設けても良く、１つの電圧監視回路が主制御部および払出制御部の両方に低電圧信号を出力するように構成し、この電圧監視回路を主制御部、払出制御部、または電源管理部のいずれか１つに設けても良い。
【２１５３】
また、各々の球検出センサにおける過去３回分の検出信号の有無の情報が予め定めた入賞判定パターン情報（実施例では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合にその球検出センサに対応する入賞口などへの入賞と判定するとともに、機能限定状態を継続する期間の長さをこの過去の検出信号の有無の情報の個数分に対応させる例を挙げたがこれに限定されず、機能限定状態を継続する期間の長さをこの過去の検出信号の有無の情報の個数分よりも長くするようにしてもよい。また、入賞判定パターンも予め定めていればどのようなものでもよく、各々の球検出センサにおける過去２回分の検出信号の有無の情報が予め定めた入賞判定パターン情報（例えば、前回検出信号無し、今回検出信号有りであることを示す情報）と一致した場合にその球検出センサに対応する入賞口などへの入賞と判定するようにしても良いし、各々の球検出センサにおける過去４回分の検出信号の有無の情報が予め定めた入賞判定パターン情報（例えば、３回前検出信号無し、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合にその球検出センサに対応する入賞口などへの入賞と判定するようにしても良い。また複数の球検出センサの全てがオフ（通過非検出）の場合にオンに設定し、１つでもオン（通過検出）の場合にオフに設定するフラグをＲＡＭ３０８に設け、このフラグがオンに設定されたタイマ割り込み処理の次回以降の所定回数（例えば、１回、２回）、連続してオン（通過検出）を出力した球検出センサ（上述複数の球検出センサに含まれるもの）に対応する入賞口などへの入賞があったと判定するようにしてもよい。
【２１５４】
また、入賞判定パターン情報と一致しているかどうかの判定に使用する検出信号の有無の情報を生成するための過去の所定回数分（例えば過去３回分）の検出結果が、今回の検出結果を含んでいるようにしてもよい。
【２１５５】
また、払出制御部リセット割り込み処理（図２７０）では、低電圧信号がオンになった場合に電断時処理に移行し、その後低電圧信号がオフに変化した場合に、所定の処理（このフローでは初期設定１）に処理を移行し、さらに低電圧信号がオフになるまで所定の制御（このフローでは払出制御、復電制御）に移行しないように待機している。通常、電源オフなどにより電力の供給が停止した場合には、その後なだらかに電力（電圧）が低下していくような回路構成にしているが、この低下していく際に電圧値は波打ちながら低下していく場合があり、低電圧信号がオンとオフを繰り返す現象が発生する場合がある。そのため、この払出制御部リセット割り込み処理のように、電断時処理のあとで低電圧信号がオフになった場合に、直ちに所定の制御（このフローでは払出制御、復電制御）に移行しないように、ステップＳ１１００２で低電圧信号がオフになるまで制御の進行を待機させることで、所定の制御部（例えば払出制御部６００）、特に基本回路４０２が不安定な動作を実行することをより確実に防止することができ、また遊技台が予測していない動作を行うといった不具合（例えば暴走、ＲＡＭ４０８の破壊）を抑制することができる場合がある。このような処理を他の制御部（例えば主制御部３００、第１副制御部４００）に適用するようにしてもよい。
【２１５６】
また、各々の球検出センサにおける過去３回分の検出信号の有無の情報が予め定めた入

賞判定パターン情報（例では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合にその球検出センサに対応する入賞口などへの入賞と判定するとともに、機能限定状態を継続する期間の長さをこの過去の検出信号の有無の情報の個数分に対応させる例を挙げたが、さらに所定の装置（例えばガラス枠１５１）の状態（例えば開放状態、閉鎖状態）を確認するために、該所定の装置が第１の状態（例えば開放状態）である場合にオン信号を出力し、第１の状態とは別の第２の状態（例えば閉鎖状態）の場合にオフ信号を出力する所定の検出装置を備えて、所定の回数（例えば２回）分の検出装置からの信号の有無（オン、オフ）の情報が予め定めた入賞判定パターン情報（例えば、前回検出信号有り、回検出信号有りであることを示す情報）と一致した場合にその所定の装置の状態が第１の状態と判定し、一致しなかった場合には第２の状態と判定するようにしてもよい。このように第１の検出装置からの第１の回数分の信号に基づく第１の判定と、第２の検出装置からの第２の回数分の信号に基づく第２の判定と、について第１の回数と第２の回数が異なる場合には、第１の回数と第２の回数とのうち一方に対応する回数に対応する期間に亘って、この第１の判定および第２の判定をおこなわない期間限定処理を継続するようにしても良い。例えば第１の回数の方が第２の回数よりも多い場合には、第１の回数に対応する期間に亘って、この第１の判定および第２の判定をおこなわない期間限定処理を継続するようにしても良いし、第２の回数に対応する期間に亘って、この第１および第２の判定をおこなわない第１の期間限定処理と、該第１の期間限定処理の終了から第１の判定処理をおこなわずに、第２の判定をおこなう第２の期間限定処理を継続するようにしてもよい。例えば第１の判定として上述の入賞口などへの球通過判定を適用し、第２の判定としてガラス枠１５１の上述の状態判定を適用すると、電源投入から２回のタイマ割り込み処理では上述の球通過判定および上述のガラス枠１５１の状態判定の両方をおこなわず、３回目のタイマ割り込み処理では上述の球通過判定をおこなわず、上述のガラス枠１５１の状態判定はおこない、４回目移行のタイマ割り込み処理では上述の球通過判定および上述のガラス枠１５１の状態判定の両方の判定をおこなうようにしてもよい。こうすることで処理時間を短縮することができ、処理の負荷を低減させられる場合がある。

【２１５７】

また、実施例では、払出制御部６００のＲＡＭのエラーステータス記憶領域に記憶している各装置のエラー情報（例えば皿満杯エラーを示す情報など）のうち、所定のエラーが発生していることを示す情報がオンの場合には、払出用スプロケットを回転させるためのモータの駆動、すなわち払出装置からの賞媒体（例えば遊技球）の払出を停止するようにするとともに、所定の期間（例えば上述のモータ駆動中）主制御部３００から受信した払出要求情報に含まれている賞球数を次賞球要求数に加算・記憶しておき、該所定の期間の終了後に、その次賞球要求数分の賞球を連続的に払い出すように、払出用スプロケットを回転させるためのモータを駆動するようにしているが、このような構成とすることで、遊技中は常に皿を満杯（球抜きレバーを操作しない）にしておくことで皿満杯エラーをわざと発生させて払出を停止し、かつ賞球数を次賞球要求数に加算・記憶しておき、遊技の終了時に球抜きレバーを操作して皿満杯エラーを解消させて、全ての賞球を一度に払出させるようなことをする遊技者に対しても、払出用スプロケットを回転させるためのモータの駆動が従来の機械のような間欠的なものではなく、連続的に払出する構成であることから払出時間を短縮でき、遊技者を待たせる時間を減少させられるとともに、待ち時間が長い場合に生じる遊技者のイライラ感・不快感を減らすことができる場合がある。

【２１５８】

また、基本コマンドに、遊技情報（特図抽選状態が低確率なのか、高確率なのか、特図変動時間短縮状態か通常状態か、第２始動口開放時間延長状態か通常状態かなど）を含めるようにしてもよく、復帰コマンド、基本コマンドなどに、大当りフラグの値、確変フラグの値を含めるようにしてもよい。

【２１５９】

また、本実施例における普通図柄変動遊技は、普図始動口２２８に球が入賞したことを

所定の球検出センサが検出した場合に、ステップＳ９３１０の入賞受付処理で、普図当選乱数値を取得し、取得した値をＲＡＭ３０８の所定の記憶領域に記憶するところから開始し、ステップＳ９３１３の普図関連抽選処理でＲＡＭ３０８の所定の記憶領域に記憶している乱数カウンタの値を普図タイマ乱数値として取得し、ＲＡＭ３０８の所定の記憶領域に記憶してある普図当選乱数値に基づいて当否判定し、その判定結果と取得した普図タイマ乱数値に基づいて普図の変動時間の決定をおこない、その変動時間の間に亘って普図を変動表示し、さらに前述の当否判定結果に基づいて決定した普図１または普図２の停止表示を行って終了する。

【２１６０】

また、本実施例における特別図柄変動遊技は、第１特図始動口２３０または第２特図始動口２３２に球が入賞したことを所定の球検出センサが検出した場合に、ステップＳ９３１０の入賞受付処理で、特図当選乱数値および特図乱数値を取得し、取得した値をＲＡＭ３０８の所定の記憶領域にそれぞれ記憶するところから開始し、ステップＳ９３１５の特図抽選処理でＲＡＭ３０８の所定の記憶領域に記憶している乱数カウンタの値を特図タイマ乱数値として取得し、ＲＡＭ３０８の所定の記憶領域に記憶してある特図当選乱数値に基づいて当否判定し、ＲＡＭ３０８の所定の記憶領域に記憶してある特図乱数値に基づいて確変の当否判定をおこない、当否判定結果、確変の当否判定結果、および取得した特図タイマ乱数値などに基づいて特図の変動時間を決定し、その変動時間の間に亘って特図を変動表示し、さらに前述の当否判定結果および確変の当否判定結果に基づいて決定した特図Ａ、特図Ｂまたは特図Ｃ等の停止表示を行って終了する。

【２１６１】

また、本実施例における入賞には、遊技盤２００に設けた入賞口や始動口に球が入球した場合のほか、遊技盤２００に設けた通過領域を球が通過した場合（例えば、普図始動口１２４を球が通過した場合）も含まれる。また、始動口は、必ずしも本実施例で示される位置に設ける必要は無く、例えば、特定の入賞口内の特定の領域を始動口として機能させてもよい。

【２１６２】

また、可変入賞口２３４は、球が入賞不可能な閉状態と、入賞可能な開状態の２種類の開閉状態に変化するものに限定されず、球が入賞可能な第１の開状態と、第１の開状態よりも入賞が容易な第２の開状態の２種類の開状態に変化するものも含まれる。

【２１６３】

また、本実施例では、大当りに対応する図柄組合せ（大当り図柄組合せ）を装飾図柄表示装置２０８に停止表示した場合に大当り遊技の開始となるが、大当り遊技の開始条件はこれに限定されるものではない。したがって、例えば、大当り図柄組合せを停止表示した後で、盤面の特定のゲートを遊技球が通過した場合、大当り図柄組合せを停止表示した後で、盤面の特定の入賞口に遊技球が通過した場合、大当り図柄組合せを停止表示した後で、大入賞口（可変入賞口）以外の入賞口内の特定の領域を遊技球が通過した場合、特定の入賞口に遊技球が入賞したことを条件に開放した大入賞口（可変入賞口）内の特定の領域を遊技球が通過した場合、などを大当り遊技の開始条件としてもよい。

【２１６４】

また、本実施例における特図は、特図表示装置２１２、２１４が変動表示および停止表示する図柄全てを示しており、変動表示する図柄のみ、または、停止表示する図柄のみを示すものではない。さらに、本実施例における普図や装飾図柄も同様に、普図表示装置２１０や装飾図柄表示装置２０８が変動表示および停止表示する図柄全てを示しており、変動表示する図柄のみ、または、停止表示する図柄のみを示すものではない。

【２１６５】

また、大当りフラグおよび確変フラグの両方がオンの場合には上述の特図Ａ等、大当りフラグがオンで確変フラグがオフの場合には上述の特図Ｂ等、大当りフラグおよび確変フラグの両方がオフの場合には上述の特図Ｉ等を停止表示するようにしたが、確変フラグの値によらず大当りフラグがオンの場合には上述の特図Ｂ等、大当りフラグがオフの場合に

は特図Ｃ等を停止表示し、確変フラグがオンの場合には高確中ランプ２２２を点灯させるようにしてもよい。もちろん、大当りフラグがオンで確変フラグがオフの場合に停止表示する特図の停止態様を１または複数種類、大当りフラグおよび確変フラグの両方がオンの場合に停止表示する特図の停止態様を１または複数種類、および大当りフラグおよび確変フラグの両方がオフの場合に停止表示する特図の停止態様を１または複数種類用意しておいてもよい。このように確変移行判定の結果を特図表示装置２１２、２１４が報知するようにしてもよい。

【２１６６】

なお、遊技状態として高確率状態、低確率状態、大当り状態の３つを例示したが、これら以外にも、第２特別始動口２３２に設けた羽根の開放継続時間が所定の時間である通常開放状態と、その所定の時間よりも長い開放延長状態と、を設け、この２つの状態についても遊技状態に含めてもよい。また、普図表示装置２１０の変動時間を所定の変動時間とする通常変動状態（普図）と、該所定の変動時間よりも短い変動時間とする短縮変動状態（普図）と、を設け、この２つの状態についても遊技状態に含めてもよい。また、特図表示装置２１２、２１４の変動時間を所定の変動時間とする通常変動状態（特図）と、該所定の変動時間よりも短い変動時間とする短縮変動状態（特図）と、を設け、この２つの状態についても遊技状態に含めてもよい。また、普図変動遊技の結果を当選とするか否かの抽選における当選確率を所定の確率とする低確率状態（普図）と該所定の確率よりも高い高確率状態（普図）とを設け、この２つの状態についても遊技状態に含めてもよいし、これら複数の状態を複合して発生させるようにしてもよい。例えば、上述の特図１で大当りした場合には大当りの終了後に特図の変動開始および停止を所定回数（例えば５０回）繰り返すまでの間、高確率状態、高確率状態（普図）、開放延長状態、短縮変動状態（普図）、短縮変動状態（特図）の５つの状態を複合して遊技者に有利な状態を発生させ、その所定回数の経過、または上述の特図２を停止表示しての大当りが終了した場合には、次に大当りを開始するまでの間、低確率状態、低確率状態（普図）、通常開放状態、通常変動状態（普図）、通常変動状態（特図）の５つの状態を複合して遊技者に不利な状態を発生させ、上述の特図１で大当りした場合には大当りの終了後に次に大当りを開始するまでの間、高確率状態、高確率状態（普図）、開放延長状態、短縮変動状態（普図）、短縮変動状態（特図）の５つの状態を複合して遊技者に最も有利な状態発生させるようにしてもよい。

【２１６７】

また、確変フラグがオンであり、装飾図柄表示装置２０８に装飾２－装飾２－装飾２など大当り終了後に確率変動となることを確定的に報知しない大当り図柄の組合せを停止表示した場合には、大当り開始前、大当り中、大当り終了後のいずれかのタイミングで確変となること、または確変となったことを装飾図柄表示装置２０８による特定の画像表示で報知する場合には、その特定の画像表示で報知すること、報知する特定画像の種類、報知するタイミングなどのうち１、複数又は全部に基づいて、演出のパターンを選択するようにしてもよい。ここで確変となること、または確変となったことの特定の画像による報知は、装飾図柄表示装置２０８に装飾２－装飾２－装飾２など大当り終了後に確率変動となることを確定的に報知しない大当り図柄の組合せを停止表示したが、大当り終了後に確変となることを昇格、確変、または確率変動などといった文字情報を含んだ画像を装飾図柄表示装置２０８などに表示することなどにより確定的に報知することを示している（これを昇格演出と呼ぶ）。

【２１６８】

また、上述の実施例では、特図表示装置２１２、２１４に特図１または特図２を停止表示した場合に、大当り遊技または特別大当り遊技を開始すると記載したが、特図表示装置２１２、２１４に特図１または特図２を停止表示した場合に確変フラグが示す値によらず大当り遊技を開始し、その大当り終了後に遊技状態を高確状態にするようにしてもよいし、特図表示装置２１２、２１４に特図１または特図２を停止表示した場合に確変フラグがオンの場合には大当り遊技中に可変入賞口２３４を１５回開閉（１５ラウンドの大当り）

し、確変フラグがオフの場合には大当り遊技中に可変入賞口２３４を５回開閉（５ラウンドの大当り）するようにしてもよい。

【２１６９】

また、上述の実施例では、第１始動口用抽選データと第２始動口用抽選データを別データとした例を示したが、これに限定されず、第１始動口に遊技球が入賞したことを検出した場合、および第２始動口に遊技球が入賞したことを検出した場合に行う大当り判定の両方で、単一の所定の抽選データを参照するようにしてもよい。

【２１７０】

また、上述の実施例においては、遊技台として、遊技球を遊技媒体としたパチンコ機の例を示したが、本発明に係る遊技台はこれに限定されるものではなく、例えば、メダル（コイン）を遊技媒体としたパチスロ機（スロットマシン）などにも適用可能である。

【２１７１】

さらに、本発明は、前述のパチスロ機やパチンコ遊技機等の実機の他、これらのパチスロ機等の実機の動作を家庭用ゲーム機用として擬似的に実行するようなゲームプログラムにおいても、本発明を適用してゲームを実行することができる。その場合、ゲームプログラムを記録する記録媒体は、ＤＶＤ－ＲＯＭ、ＣＤ－ＲＯＭ、ＦＤ（フレキシブルディスク）、その他任意の記録媒体を利用できる。

【２１７２】

以上、本発明の実施例を説明したが、発明の実施の形態に記載された、作用及び効果は、本発明から生じる最も好適な作用及び効果を列挙したに過ぎず、本発明による作用及び効果は、本発明の実施の形態に記載されたものに限定されるものではない。

【２１７３】

次に、以上説明した実施形態６によるパチンコ機１００の特徴的構成について説明する。

（１）本実施の形態によるパチンコ機１００は、

１６ビット乱数を少なくとも生成可能な乱数生成手段と、

前記１６ビット乱数を少なくとも記憶可能な記憶手段と、

【２１７４】

複数の遊技制御処理のそれぞれを、メイン制御および割込み周期ごとに行われる割込み制御のうちの、少なくともいずれかの制御において実行可能な遊技制御手段と、

を備えた遊技台であって、

【２１７５】

前記遊技制御手段は、前記１６ビット乱数を一命令で前記記憶手段に転送可能であり、

前記乱数生成手段の特定フラグは前記命令の実行前後で変化しないこと

を特徴とする。

【２１７６】

ハード乱数取得の流れの一例として、「ラッチレジスタに値をセット→乱数値レジスタに乱数が取り込まれる→ラッチフラグレジスタにフラグがセットされる→該フラグを参照し、フラグが立っている場合に乱数を取得→フラグクリア」がある。この場合、ラッチ信号の出力からラッチ完了信号（セット信号）あるいはリード完了信号（クリア信号）のタイミングで乱数取得処理の実行時期が推測され易いという課題があるが、上記構成を備えたパチンコ機１００によれば、１６ビット乱数を一命令で転送可能であり、マイコン内の特定フラグは該命令実行前後で変化しないため、特定の処理の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。なお、特定フラグは例えば、乱数ソフトラッチフラグレジスタの所定のビットのことである。

【２１７７】

１６ビット乱数は複数の番地（レジスタ）に跨って格納され、一命令で下位バイトのレジスタを指定するだけでリード可能である。当否判定乱数は１６ビット乱数で、必ずこの一命令で乱数を取得するようにしてもよい。また、１６ビット乱数のみをこの一命令で取得し、当否判定乱数が８ビット乱数の場合は他の命令で取得するようにしてもよい。

【２１７８】
乱数リードを許可する処理（従来はラッチ信号が出力されていたが、本実施形態ではいわゆるプログラム上のフラグを立てるだけなので信号出力はない）と、乱数をリードする処理（リード信号出力あり）を別モジュールで実行するようにしてもよい。従来はラッチ信号出力のタイミングから乱数をリードする処理を推測し易かったが、本実施形態では推測困難にできる場合がある。
【２１７９】
さらに、乱数リードを許可する処理とリードする処理の間に別の処理があり、この別の処理の実行時間は種々の判定処理があるので可変とすることができる。処理の推測をより困難にできる場合がある。
【２１８０】
リードを許可する処理は一割込み内で複数回（特図１、特図２、普図の組合せ）実行可能としてもよい。さらに一のモジュール内で実行可能としてもよい。一のモジュールは、主制御部タイマ割込み処理の例えば入力ポート状態更新処理（ステップＳ２０５）であってもよい。リードを許可する処理が一割込み内で実行される回数は可変なので乱数をリードする処理の実行時期を推測困難にできる場合がある。
【２１８１】
乱数をリードする処理も一割込み内で複数回実行可能としてもよい。この場合の複数回数には、特図１、特図２、普図の組合せだけに限らず、ハード乱数（１６ビット乱数生成回路で生成される乱数）とソフト乱数（ユーザプログラムより生成される乱数）の組合せでもよい。さらにこれらのリード処理を一のモジュール内で実行可能としてもよい。例えば、入賞判定パターンに一致した場合に乱数をリードする処理を一モジュール内で繰り返し行うようにしてもよい。あるいは、別モジュールにして、さらに別の処理（別のモジュール）が挟まれているようにしてもよい。モジュールの先頭アドレスはＲＳＴ命令に対応するアドレスとは異なっていてもよいし、一致していてもよい。
【２１８２】
乱数の取込方法は３種類ある。上述の通り、ソフトウエアによる取込みとして、ソフトラッチ乱数値レジスタの下位バイトを読み込み、続いて上位バイトをリードした場合にソフトラッチフラグレジスタをリセットする取込み方法がある。また、一命令である第三の命令を用いてソフトラッチ乱数値レジスタの下位、上位バイトをＲＡＭに直接取込み、ソフトラッチフラグレジスタの状態に変更を加えない取込み方法がある。さらに、外部端子入力による乱数取込みも行うことができる。
【２１８３】
また、１６ビット乱数にソフト乱数を組み合わせたり、さらに初期値更新乱数を組み合わせたりしてもよい。あるいは、これらを組み合わせなくてもよい。例えば、変動時間決定用乱数にハード乱数を使う場合、この乱数をペアレジスタに取り込まず直接にＲＡＭに読み込むようにしてもよい。逆に当否判定乱数は必ずペアレジスタに取り込むようにしてもよい。
【２１８４】
また、最大値設定しない乱数生成回路と最大値設定をする乱数生成回路があり、電源投入後に自動で起動する乱数生成回路もある。また、手動起動させる乱数生成回路もある。磁界検知信号、磁気検知信号、電波検知信号、振動検知信号等が所定の端子に入力されている場合であっても乱数の最大値設定を実行して乱数生成回路を起動させるようにしてもよい。
【２１８５】
機能限定タイマの構成として、乱数を取得して抽選を行う処理は主制御部タイマ割込み処理で行い、機能限定タイマを作動させている間は主制御部タイマ割込み処理に移行するが抽選処理には移行しないようにしてもよい。この場合でもハード乱数は更新されている。乱数を取得して抽選を行う処理は主制御部タイマ割込み処理で実行し、機能限定タイマ作動中は主制御部タイマ割込み処理の一部のみを実行する。抽選取得しないのに最大値設

定で乱数生成回路を起動しておくことにより処理を推測困難にできる場合がある。
【２１８６】
　また、複数の乱数の起動タイミングを異ならせるようにしてもよい。また、最大値が大きいものが常に最初に起動されるようにしてもよい。電源投入後の最初のモジュール（スタックポインタを設定する処理など）とは異なるモジュールで、乱数値の最大値を設定するようにしてもよい。ＷＤＴ起動後に所定の乱数生成回路に最大値を設定して起動させるようにしてもよい。
　乱数最大値設定処理の位置は、例えば以下のタイミングが挙げられる。
【２１８７】
（ａ）電源投入後の低電圧信号出力判定ループ処理より前、当該処理中、または当該処理より後、のいずれか。
【２１８８】
（ｂ）内蔵レジスタに所定のデータを設定する処理より前、当該処理中、または当該処理より後、のいずれか。
【２１８９】
（ｃ）電源ステータスを参照する処理（分岐する処理）より前、当該処理中、または当該処理より後、のいずれか。
【２１９０】
（ｄ）チェックＳＵＭのループ処理より前、当該処理中、または当該処理より後、のいずれか。
【２１９１】
（ｅ）内蔵ＲＡＭアクセス許可より前、当該処理中、または当該処理より後、のいずれか。
【２１９２】
（ｆ）復帰起動または初期起動より前、当該処理中、または当該処理より後、のいずれか。
（ｇ）割り込み許可より前、当該処理中、または当該処理より後、のいずれか。
（ｈ）サブ起動待ちより前、当該処理中、または当該処理より後、のいずれか。
【２１９３】
（ｉ）ソフト乱数の更新開始より前、当該処理中、または当該処理より後、のいずれか。
【２１９４】
（ｊ）サブへの通信確認コマンド（サブ起動開始コマンド、完了コマンド）、払出への通信確認コマンドなどのコマンド送出より前、当該処理中、または当該処理より後、のいずれか。
（ｋ）ＷＤＴ手動起動より前、当該処理中、または当該処理より後、のいずれか。
（２）上記パチンコ機１００であって、
　前記遊技制御手段を少なくとも有するマイクロプロセッサを備え、
　前記マイクロプロセッサは、
【２１９５】
　少なくとも、セキュリティチェックを行うことが可能なものであり、該セキュリティチェックの後に前記遊技制御が行われるユーザモードへ移行するまでの時間をランダムに変動させるランダム延長処理が少なくとも行われる、セキュリティモードに滞在した後、該ユーザモードへ移行するものであることを特徴とする。
【２１９６】
　当該構成を備えたパチンコ機１００によれば、ユーザモードに移行する前にランダム延長処理を実行するので、遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。
【２１９７】

（３）上記パチンコ機１００であって、前記ランダム延長処理の開始前に、前記マイクロプロセッサの所定の出力端子から所定の信号が出力されることを特徴とする。
【２１９８】
（４）上記パチンコ機１００であって、前記所定の端子は、前記マイクロプロセッサ以外の外部機器に対してリセット信号を出力可能なリセット端子であることを特徴とする。
【２１９９】
当該構成を備えたパチンコ機１００によれば、ランダム延長処理の前に外部機器に対してリセット信号を出力し、ランダム延長処理の後に遊技制御プログラムの実行を開始することができるので、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。
【２２００】
（５）上記パチンコ機１００であって、前記遊技制御手段から送出されるコマンドに基づいて演出制御を行う副制御手段を有することを特徴とする。
＜実施形態６＞
【２２０１】
以下、図面を用いて、本発明の実施形態６に係るパチンコ機（遊技台）について詳細に説明する。従来、乱数を用いて遊技制御を行う遊技台が知られている。しかし、不正者によって遊技台を解析されて不正に利益を得られる不正行為が行われてしまうという問題があった。
＜乱数回路＞
【２２０２】
まず、図２７４を用いて、本実施形態に係る遊技台に用いられる１６ビット乱数回路について説明する。図２７４は、１６ビット乱数回路の内部構成図である。
【２２０３】
１６ビット乱数回路９０００は、それぞれ異なる乱数を生成する４つの乱数生成チャンネルＣＨ０～ＣＨ３を備えている。乱数生成チャンネルＣＨ０～ＣＨ３は、それぞれ個別に１６ビット乱数を発生させることができる。なお、各チャンネル回路の内部構成は同一であるため、図２７４では、１つの乱数生成チャンネルＣＨ０を示し、残りの乱数生成チャンネルＣＨ１～ＣＨ３については、図示を簡略化している。以下の説明では、この乱数生成チャンネルＣＨ０を中心に１６ビット乱数回路９０００について説明する。
【２２０４】
プログラム管理エリア内の１６ビット乱数初期値設定部９００２には、ＲＣＫ端子からの外部クロック信号９００４ａと内部システムクロック９００４ｂのうち、いずれのクロック信号を乱数生成回路９００６で使用するかを決めるクロック選択情報が、プログラム管理エリア内の情報に基づいて設定される。ＲＣＫ端子からの外部クロック信号９００４ａと内部システムクロック９００４ｂとは、乱数生成回路９００６の手前に設けられたマルチプレクサに入力される。１６ビット乱数初期値設定部９００２が上記クロック選択情報に従って更新クロック選択信号をこのマルチプレクサに入力することにより、この更新クロック選択信号によって選択されたクロック信号が乱数生成回路９００６に入力されるようになっている。なお、外部クロック信号９００４ａが選択されている場合、所定の分周比（この例では、１／２）で分周されたクロック信号が乱数生成回路９００６に入力される。なお、分周されたクロック信号が、内部システムクロック９００４ｂよりも低い周波数でない場合には使用することができない。なお、本実施形態では、外部クロック信号９００４ａが選択されているものとして説明を続ける。
【２２０５】
乱数生成回路９００６による乱数値更新を開始する起動方法は、最大値設定信号による起動又はユーザモード起動信号９００８による起動の２つの方法から選択することができる。最大値設定で起動を選択した場合には、生成される乱数値の最大値が最大値設定レジスタ９０１０に設定された後、乱数生成回路９００６が起動される。ユーザモード起動信

号９００８による起動を選択すると、ユーザモード移行で自動的に乱数生成回路９００６が起動され、最大値の設定をすることができないようになっている。乱数値の最大値は、乱数生成チャンネルＣＨ０～ＣＨ３でそれぞれ個別に設定することができる。

【２２０６】

１６ビット乱数初期値設定部９００２には、いずれの方法で乱数生成回路９００６を起動するかを決める選択情報が、プログラム管理エリア内の情報に基づいて設定される。最大値設定で起動する起動信号又はユーザモード起動９００８で起動する起動信号とが乱数生成回路９００６の手前に設けられたマルチプレクサに入力される。１６ビット乱数初期値設定部９００２が上記クロック選択情報に従っていずれの起動信号を選択するかの選択信号をこのマルチプレクサに入力することにより、選択された起動信号で乱数生成回路９００６が起動するようになっている。

【２２０７】

乱数生成回路９００６は、１６ビット乱数初期値設定部９００２によって選択されたクロック信号が入力され、このクロック信号の周期に従って乱数を更新する。乱数生成回路９００６には、更新クロック信号の１クロック毎に１が加算され、乱数が更新されるようになっている。１６ビット乱数回路９０００の乱数生成回路９００６では、０から６５３５までの乱数を生成することができる。

【２２０８】

また、乱数生成回路９００６には、更新監視回路（不図示）が設けられている。乱数生成回路９００６が更新した乱数の値は、更新監視回路に入力される。更新監視回路は、乱数値の入力に基づいて、乱数が正常に更新されているか否かを監視する。乱数の更新に異常がある場合、この乱数の更新に異常があることを示す情報を、リセットコントローラ９０６０に送信する。

【２２０９】

乱数生成回路９００６の１周目からの乱数スタート値は、例えば、「０００１Ｈ」、「システムリッセット毎の変更値」又は「ＩＤナンバーを基にした値」のいずれかに、１６ビット乱数初期値設定部９００２によって設定される。乱数スタート値が「０００１Ｈ」に設定されると、乱数生成回路９００６の起動時（更新開始時）のスタート値が０００１Ｈに設定される。また、乱数スタート値が「システムリセット毎の変更値」に設定されると、乱数生成回路９００６の起動時（更新開始時）のスタート値がシステムリッセット毎に変動する値に設定される。また、乱数スタート値が「ＩＤナンバーを基にした値」に設定されると、乱数生成回路９００６の起動時（更新開始時）のスタート値がチップ個別に異なる値に設定される。

【２２１０】

乱数スタート値選択回路９０１２には、１６ビット乱数初期値設定部９００２からいずれの乱数スタート値で乱数生成回路９００６が乱数更新を開始するか設定する信号が入力される。乱数スタート値選択回路９０１２は、入力された信号に基づいて、乱数生成回路９００６に選択された乱数スタート値を出力する。乱数生成回路９００６は、入力された乱数スタート値から乱数更新を開始する。

【２２１１】

乱数生成回路９００６が生成する乱数列は、所定の数値範囲（例えば、０～６５５３５）で更新される。１６ビット乱数回路９０００では、この乱数列の並びを変更することができる。乱数列の変更方法は、ソフトウェアによる変更、２周目から自動的に変更または１周目から自動的に変更のいずれかを選択することができる。ソフトウェアによる変更を選択した場合には、ユーザプログラムにより乱数列が変更される。また、この場合には、乱数生成回路９００６が生成する乱数値が一巡し、次の周期の開始後から乱数列が変更される。なお、乱数列変更選択回路９０１６が乱数生成回路９００６から乱数一巡信号を受けた時点で、一つの乱数列を一周したと判定される。

【２２１２】

ソフトウェアによる変更を選択した場合にのみ有効な乱数列変更レジスタ９０１４が設

けられている。乱数列変更レジスタ９０１４は、乱数生成回路９００６が生成した乱数列の並びを変更するために設けられている。

【２２１３】

乱数列変更選択回路９０１６には、１６ビット乱数初期値設定部９００２により乱数列を変更するか否かの選択信号が入力される。乱数列変更選択回路９０１６は、入力された選択信号に基づいて、乱数列の変更を行うか否か選択する。乱数列を変更しない場合には、乱数列変更選択回路９０１６は、「変更せず」という信号を選択し、乱数列変更回路９０１８に出力する。乱数列を変更する場合には、乱数列変更選択回路９０１６は、いずれの変更方法で乱数列を変更するかという信号を乱数列変更回路９０１８に出力する。ソフトウェアによる変更が選択された場合には、乱数列変更選択回路９０１６は、乱数列変更レジスタ９０１４からの信号に基づいて、乱数列変更回路９０１８に乱数列の変更情報を出力する。

【２２１４】

乱数列変更回路９０１８は、乱数列を変更する場合には、乱数生成回路９００６が生成した乱数列を変更し、変更後の乱数列を最大値比較回路９０２０に出力し、乱数列を変更しない場合には、乱数生成回路９００６が生成した乱数列をそのまま最大値比較回路９０２０に出力する。

【２２１５】

最大値を設定して乱数生成回路９００６を起動した場合には、最大値設定レジスタ９０１０に設定された最大値が格納されている。最大値設定レジスタ９０１０に最大値が設定さている場合には、最大値比較回路９０２０は、入力される乱数値と最大値との比較を行う。最大値比較回路９０２０は、当該乱数値が最大値以下であると判断すると、後述するハードラッチ乱数値レジスタおよびソフトラッチ乱数値レジスタに乱数値を出力し、当該乱数値が最大値より大きいと判断すると、ハードラッチ乱数値レジスタおよびソフトラッチ乱数値レジスタに乱数値を出力しないようになっている。

【２２１６】

１６ビット乱数回路９０００には、乱数生成チャンネルＣＨ０用のハードラッチ選択レジスタとして、ＣＨ０ハードラッチ選択レジスタ９０２２ａ、９０２２ｂの２つのレジスタが設けられている。また、乱数生成チャネルＣＨ１～ＣＨ３用のハードラッチ選択レジスタとして、ＣＨ１ハードラッチ選択レジスタ９０２４、ＣＨ２ハードラッチ選択レジスタ９０２６、ＣＨ３ハードラッチ選択レジスタ９０２８がそれぞれ設けられている。これらのハードラッチ選択レジスタには、パラレル入力ポートを介してＰＩ０～ＰＩ５信号がそれぞれ入力される。各ハードラッチ選択レジスタは、ＰＩ０～ＰＩ５信号の入力に基づいて、対応するハードラッチ乱数値レジスタにラッチ信号を出力する。

【２２１７】

ソフトラッチ選択レジスタ９０３０には、後述するソフトラッチ乱数値レジスタ９０４０～９０４６のそれぞれが乱数をラッチすることを示す情報がＣＰＵ３０４からの指示によって適宜選択される。この情報が、ラッチ信号としてソフトラッチ乱数値レジスタ９０４０～９０４６のそれぞれに出力される。

【２２１８】

乱数生成チャンネルＣＨ０用のハードラッチ乱数値レジスタとして、ＣＨ０ハードラッチ乱数値レジスタ９０３２ａ、９０３２ｂ、９０３２ｃ、９０３２ｄの４つのレジスタが設けられている。乱数生成チャンネルＣＨ１用のハードラッチ乱数値レジスタとして、乱数生成チャンネルＣＨ１ハードラッチ乱数値レジスタ９０３４ａ、９０３４ｂの２つのレジスタが設けられている。乱数生成チャンネルＣＨ２用のハードラッチ乱数値レジスタとして、ＣＨ２ハードラッチ乱数値レジスタ９０３６ａ、９０３６ｂの２つのレジスタが設けられている。乱数生成チャンネルＣＨ３用のハードラッチ乱数値レジスタとして、ＣＨ３ハードラッチ乱数値レジスタ９０３８ａ、９０３８ｂの２つのレジスタが設けられている。

【２２１９】

これらのハードラッチ乱数値レジスタ９０３２ａ～９０３２ｄ、９０３４ａ～９０３４ｂ、９０３６ａ～９０３６ｂ、９０３８ａ～９０３８ｂには、３つの信号が入力される。１つ目の信号は、対応する乱数生成チャンネルの乱数発生回路により生成された乱数を表す信号である。２つ目の信号は、ハードラッチ選択レジスタから出力された乱数ラッチ信号（ハードラッチ信号）である。３つ目の信号は、乱数の読み取りを示すリード信号である。

【２２２０】

ハードラッチ乱数値レジスタ９０３２ａ～９０３２ｄ、９０３４ａ～９０３４ｂ、９０３６ａ～９０３６ｂ、９０３８ａ～９０３８ｂには、対応する乱数生成チャンネルの乱数発生回路によって更新された乱数を示す信号が常に入力されている。ここで、ラッチ信号が入力されると、この入力タイミングにおける乱数がハードラッチ乱数値レジスタ内にラッチ（保持）される。このとき、ハードラッチ乱数値レジスタからは、乱数がラッチされていることを示すセット信号が、ハードラッチフラグレジスタ９０４８ａ、９０４８ｂに出力される。このときＣＰＵ３０４は、ラッチされている乱数を取得することができる。なお、ＣＰＵ３０４により乱数が取得されると、ハードラッチ乱数値レジスタにリード信号が入力される。この信号により新たなラッチ信号が入力された場合に乱数をラッチすることを許容する許容状態となる。換言すれば、一度乱数をラッチすると、リード信号が入力されるまで新たに乱数をラッチすることができない非許容状態となる。なお、リード信号が入力されてもラッチされている乱数は保持し続けるため、ＣＰＵ３０４はラッチされている同一のタイミングでラッチされた乱数を何度でも取得することができる。このように構成することで乱数ラッチ信号を出力するセンサ回路におけるチャタリングの影響を押さえることができる。なお、リード信号が入力されたことを示すクリア信号がハードラッチフラグレジスタ９０４８ａ、９０４８ｂに出力される。また、図２７４に示すように、ハードラッチ乱数値レジスタが複数あることにより、同じ乱数生成回路から生成された乱数を様々なタイミングで取得することができる。

【２２２１】

ハードラッチフラグレジスタ９０４８ａ、９０４８ｂには、ハードラッチ乱数値レジスタに乱数がラッチされているか否かを示す情報が記憶される。なお、ハードラッチフラグレジスタ９０４８ａ、９０４８ｂは、ハードラッチ乱数レジスタにラッチされた乱数（１６ビット乱数の全てまたは一部）が読み出されたときに自動的にクリアされるように構成してもよいし、ＣＰＵ３０４によってクリアするように構成してもよい。

【２２２２】

割込み制御レジスタ９０５２ａ、９０５２ｂには、ハードラッチ乱数値レジスタに乱数が保持された際に割込み制御回路に割込みを発生させるか否かを示す情報が設定される。この情報はハードラッチ乱数値レジスタ毎に設定することができる。例えば、第１特図始動口２３０への入球により乱数生成チャンネルＣＨ１の乱数がラッチされた場合には、割込みを発生させ、第２特図始動口２３２への入球により乱数生成チャンネルＣＨ２の乱数がラッチされた場合には、割込みを発生させない、というような設定をすることができる。

【２２２３】

また、乱数生成チャンネルＣＨ０～ＣＨ３用のソフトラッチ乱数値レジスタとして、ＣＨ０ソフトラッチ乱数値レジスタ９０４０、ＣＨ１ソフトラッチ乱数値レジスタ９０４２、ＣＨ２ソフトラッチ乱数値レジスタ９０４４、ＣＨ３ソフトラッチ乱数値レジスタ９０４６が乱数生成チャンネルＣＨ０～ＣＨ３に対してそれぞれ１つずつ設けられている。

【２２２４】

これらのソフトラッチ乱数値レジスタ９０４０～９０４６には、３つの信号が入力される。１つ目の信号は、対応する乱数生成チャンネルの乱数発生回路により生成された乱数を表す信号である。２つ目の信号は、ソフトラッチ選択レジスタ９０３０から出力された乱数ラッチ信号（ソフトラッチ信号）である。３つ目の信号は、乱数の読み取りを示すリード信号である。

【２２２５】
ソフトラッチ乱数値レジスタ９０４０～９０４６には、対応する乱数生成チャンネルの乱数発生回路によって更新された乱数を示す信号が常に入力されている。ここで、ラッチ信号が入力されると、この入力タイミングにおける乱数がソフトラッチ乱数値レジスタ内にラッチ（保持）される。このとき、ソフトラッチ乱数値レジスタからは、乱数がラッチされていることを示すセット信号が、ソフトラッチフラグレジスタ９０５０に出力される。このときＣＰＵ３０４は、ラッチされている乱数を取得することができる。なお、ＣＰＵ３０４により乱数が取得されると、ソフトラッチ乱数値レジスタにリード信号が入力される。この信号により新たなラッチ信号が入力された場合に乱数をラッチすることを許容する許容状態となる。換言すれば、一度乱数をラッチすると、リード信号が入力されるまで新たに乱数をラッチすることができない非許容状態となる。なお、リード信号が入力されてもラッチされている乱数は保持し続けるため、ＣＰＵ３０４はラッチされている同一のタイミングでラッチされた乱数を何度でも取得することができる。このように構成することで乱数ラッチ信号を出力するセンサ回路におけるチャタリングの影響を押さえることができる。なお、リード信号が入力されたことを示すクリア信号がソフトラッチフラグレジスタ９０５０に出力される。

【２２２６】
ソフトラッチフラグレジスタ９０５０には、ソフトラッチ乱数値レジスタ９０４０～９０４６に乱数がラッチされているか否かを示す情報が記憶される。なお、ソフトラッチフラグレジスタ９０５０は、ソフトラッチ乱数レジスタ９０４０～９０４６にラッチされた乱数（１６ビット乱数の全てまたは一部）が読み出されたときに自動的にクリアされるように構成してもよいし、ＣＰＵ３０４によってクリアするように構成してもよい。

【２２２７】
割込みコントローラ９０７０は、外部入力や内部状態の変化に応じて適宜処理を実行させるために割込みを発生させる。この割込み処理には、例えば外部からの入力（センサによる信号）を受け付けた場合に実行する処理がある。

【２２２８】
上記説明した１６ビット乱数生成回路９０００を用いて、本実施形態では、普図始動口２８２、第１特図始動口２３０、第２特図始動口２３２のそれぞれに入球したタイミングで乱数を取得する。なお、任意のタイミングでＣＰＵ３０４に乱数を取得させるように、プログラムを実行させることもできる。さらに異なる乱数生成チャンネルを使用してそれぞれ独立の乱数を取得し、それぞれのチャンネル毎に乱数生成範囲の最大値を設定することができる。

【２２２９】
なお、本実施形態では、個別のチャンネルに対して乱数生成範囲を変更することができ、設定されていない場合には所定の最大値（例えば６５５３５）が適用される例について説明したが、これ以外に例えば、乱数生成範囲を変更する場合に全てのチャンネルに対して乱数生成範囲を設定することを必要とする構成であってもよい。

【２２３０】
なお、普図始動口２８２に入球したタイミングで取得された乱数は、後述する普図当選乱数として用いられる。また、第１特図始動口２３０に入球したタイミングで取得された乱数は、加工（例えば、乱数生成回路とは異なる回路（例えば、基本回路３０２やカウンタ回路３１２）でカウントアップ（ダウン）される値を乱数に加算（減算）する処理など）されて、後述する特図１当選乱数として用いられる。さらに、第２特図始動口２３２に入球したタイミングで取得された乱数は、加工されて、後述する特図２当選乱数として用いられる。

【２２３１】
なお、乱数の加工は、第１特図始動口２３０および第２特図始動口２３２に入球したタイミングで取得される乱数に限らず、他の契機（例えば、普図始動口２８２へに入球したタイミングなど）によって取得される乱数に対して行ってもよい。さらに、上述した乱数

生成範囲の最大値を設定する場合においては、設定した最大値に応じた加工（例えば、この最大値を超えない値を乱数に加算する処理など）すれば良い。

【２２３２】

また、乱数の加工は必ずしも行う必要はないが、乱数の加工を行うことは乱数の狙いうちの防止に有効に働く。例えば加工した後の乱数が更新されたか否かをＣＰＵ３０４によって監視した場合、乱数生成回路３１８内での乱数の更新が正常に行われているか否かを正確に判断することができない。このように、乱数を加工する場合には、上述の乱数監視回路３１８４による乱数の更新の監視がより有効に働くこととなる。

【２２３３】

図２７５は、８ビット乱数回路１００００の内部構成図である。図２７５に示すように、８ビット乱数回路１００００は、それぞれ異なる乱数を生成する４つの乱数生成チャンネルＣＨ０～ＣＨ３を備えている。乱数生成チャンネルＣＨ０～ＣＨ３は、それぞれ個別に８ビット乱数（０～２５６）を発生させることができる。なお、各チャンネル回路の内部構成は同一であるため、図２７５では、１つの乱数生成チャンネルＣＨ０を示し、残りの乱数生成チャンネルＣＨ１～ＣＨ３については、図示を簡略化している。なお、８ビット乱数回路１００００については、図２７４に示す１６ビット乱数回路９０００とほぼ同様であるため、詳細な説明を省略する。

＜主制御部メイン処理＞

【２２３４】

次に、図２７６を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【２２３５】

上述したように、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信号を入力した基本回路３０２のＣＰＵ３０４は、リセット割込によりリセットスタートしてＲＯＭ３０６に予め記憶している制御プログラムに従って図２７６に示す主制御部メイン処理を実行する。

【２２３６】

まず、主制御部メイン処理では、図２７６（ａ）に示す、プログラム起動設定処理を行う。プログラム起動設定処理のステップＳ１５１０１では、スタックポインタ設定を行う。このスタックポインタ設定では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）を行う。

【２２３７】

次いで、図２７６（ｂ）に示す、電源投入時処理を行う。電源投入時処理のステップＳ１５１０３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９Ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）にはステップＳ１５１０３の処理を繰り返し実行し、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ１５１０５に進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にも、供給電圧がその所定の値以上になるまで、ステップＳ１５１０３の処理を繰り返し実行する。

ステップＳ１５１０５では、初期設定２を実行する（詳細は後述）。

【２２３８】

ステップＳ１５１０７では、電断前（電源の遮断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）には初期化処理（ステップＳ１５１１３）に進む。

【２２３９】

具体的には、最初に、電源基板に設けたＲＷＭクリアスイッチ１８０を遊技店の店員な

どが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップＳ１５１１３に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ１５１１３に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には、電断前の状態に復帰すべくステップＳ１５１０９に進んでから、その後の処理を遅延させるべくステップＳ１５１１１に進む。チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ１５１１３に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１５１１３に進む。

【２２４０】

ステップＳ１５１０９では、復帰処理（復電時処理）を行う。この復帰処理では、電断時にＲＡＭ３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタの値を読み出し、スタックポインタに再設定（本設定）する。また、電断時にＲＡＭ３０８に設けられたレジスタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割込許可の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割込処理（後述）に分岐する直前に行った（ステップＳ１５１１７～Ｓ１５１２１のいずれか）命令の次の命令から処理を再開する。また、図４に示す主制御部３００における基本回路３０２に搭載されているＲＡＭ３０８には、送信情報記憶領域が設けられている。このステップＳ１５１０９では、その送信情報記憶領域に、復電コマンドをセットする。この復電コマンドは、電源断時の状態に復帰したことを表すコマンドであり、後述する、主制御部３００のタイマ割込処理におけるステップＳ１５２３３において、第１副制御部４００へ送信される。

ステップＳ１５１１１では、遅延処理を実行する（詳細は後述）。

【２２４１】

ステップＳ１５１１３では、初期化処理を行う。この初期化処理では、割込禁止の設定、スタックポインタへのスタック初期値の設定（本設定）、ＲＡＭ３０８の全ての記憶領域の初期化などを行う。さらにここで、主制御部３００のＲＡＭ３０８に設けられた送信情報記憶領域に正常復帰コマンドをセットする。この正常復帰コマンドは、主制御部３００の初期化処理（ステップＳ１５１１３）が行われたことを表すコマンドであり、復電コマンドと同じく、主制御部３００のタイマ割込処理におけるステップＳ１５２３３において、第１副制御部４００へ送信される。

ステップＳ１５１１５では、遅延処理を実行する（詳細は後述）。

【２２４２】

ステップＳ１５１１７では、割込禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための２つの初期値生成用乱数カウンタと、普図タイマ乱数値、および特図タイマ乱数値それぞれを生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した

値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。なお、初期値生成用乱数カウンタは、後述するステップＳ１５２０７でも更新する。なお、ステップＳ１５１１７では、基本乱数初期値更新処理の他に後述する基本乱数更新処理を行ってもよいし、基本乱数更新処理のみを行ってもよい。

【２２４３】

ステップＳ１５１１９では、コマンド送信処理を行い、各種のコマンドが第１副制御部４００に送信される。

【２２４４】

ステップＳ１５１２１では、割り込み許可の設定を行った後、その他判定乱数更新処理を行う。この判定乱数では、特図変動時間決定用乱数、普図変動時間決定用乱数を生成するための乱数カウンタが更新される。

【２２４５】

主制御部３００は、所定の周期ごとに開始するタイマ割込処理を行っている間を除いて、ステップＳ１５１１７～Ｓ１５１２１の処理を繰り返し実行する。

＜初期設定２＞

【２２４６】

次に、図２７６（ｃ）を用いて、主制御部３００のＣＰＵ３０４が実行する初期設定２について説明する。なお、同図は主制御部メイン処理の電源投入時処理における初期設定２の流れを示すフローチャートである。

【２２４７】

ステップＳ１５１３１では、ＷＤＴを起動させる処理を行う。ここでは、ＷＤＴの起動許可及び初期値の設定等を行う。なお、本実施形態では、ＷＤＴに、初期値として３２．８ｍｓに相当する数値を設定する。

【２２４８】

ステップＳ１５１３３では、乱数生成回路初期設定処理を行い、最大値設定で起動される乱数生成チャンネルの乱数生成回路が起動される。最大値設定レジスタに生成する乱数値の最大値を設定した後、乱数生成回路が起動される。起動された乱数生成回路は、所定の初期値から最大値までの範囲内で乱数値の更新を開始する。

【２２４９】

ステップＳ１５１３５では、後述する主制御部タイマ割込処理を定期毎に実行するための周期を決める数値をタイマ回路に設定する処理を行う。

【２２５０】

ステップＳ１５１３７では、その他の設定処理を行う。その他の設定処理後に、初期設定２を終了する。

【２２５１】

初期設定２で行われるステップＳ１５１３１～Ｓ１５１３７の各処理の順番は任意に設定することができる。なお、初期設定２で行う処理の一部または全部を、ステップＳ１５１０１で行うようにしてもよい。

＜遅延処理＞

【２２５２】

次に、図２７７を用いて、主制御部３００のＣＰＵ３０４が実行する遅延処理について説明する。なお、同図は主制御部メイン処理における遅延処理の流れを示すフローチャートである。

【２２５３】

ステップＳ１５１４１では、Ｉ／Ｏの所定の出力ポートからクリア信号を送信する処理を実行する。

【２２５４】

ステップＳ１５１４３では、第１副制御部４００の起動を待つ周期を決める副制御部起動待ちカウンタを初期設定（例えば９０を設定）する。

【２２５５】
ステップＳ１５１４５では、割込み機能限定カウンタを初期設定（例えば２５０を設定）する。割込み機能限定カウンタは、４ｍｓ毎のタイマ割込み処理で減算される。
【２２５６】
ステップＳ１５１４７では、基本乱数初期値更新処理を実行する（詳細は後述）。なお、ステップＳ１５１４７では、基本乱数初期値更新処理の他に後述する基本乱数更新処理を行ってもよいし、基本乱数更新処理のみを行ってもよい。
【２２５７】
ステップＳ１５１４９では、コマンド送信処理を行い、各種のコマンドが第１副制御部４００に送信される。
【２２５８】
ステップＳ１５１５１では、割込み機能限定カウンタが０であるか否かの判定を行い、割込み機能限定カウンタが０以外の場合、ステップＳ１５１４７の処理に戻る。一方、割込み機能限定カウンタが０の場合、すなわち、ステップＳ１５１４５において割込み機能限定カウンタに２５０が設定され、４ｍｓ毎のタイマ割込み処理で減算されて１０００ｍｓ＝１秒経過した場合、ステップＳ１５１５３に進む。
ステップＳ１５１５３では、副制御部起動待ちカウンタを１減算する。
【２２５９】
ステップＳ１５１５５では、副制御部起動待ちカウンタが０であるか否かの判定を行い、副制御部起動待ちカウンタが０以外の場合、ステップＳ１５１４５に戻る。一方、副制御部起動待ちカウンタが０の場合、すなわち、ステップＳ１５１４３において副制御部起動待ちカウンタに９０が設定され、９０秒経過した場合、ステップＳ１５１５７に進む。
ステップＳ１５１５７では、その他の処理を実行する。
＜主制御部タイマ割込処理＞
【２２６０】
次に、図２７８を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。
【２２６１】
主制御部３００は、所定の周期（本実施形態では約２ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。
【２２６２】
ステップＳ１５２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【２２６３】
ステップＳ１５２０３では、ＷＤＴ３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施形態では、主制御部タイマ割込の周期である約２ｍｓに１回）リスタートを行う。
【２２６４】
ステップＳ１５２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述の前面枠扉開放センサや内枠開放センサや下皿満タンセンサ、各種の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前々回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約２ｍｓ前）で検出した各々の球検出セン

サの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【２２６５】

また、ステップＳ１５２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の遊技球が一つの球検出センサを通過する間に、約２ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ１５２０５では、同じ遊技球が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ遊技球が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、遊技球が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図４に示す主制御部３００のＲＯＭ３０６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ１５２０５では、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図始動口２２８の通過があったと判定する。すなわち、これらの入賞口２２６、２３４やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口センサにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。

【２２６６】

ステップＳ１５２０７およびステップＳ１５２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ１５１１７で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、普図当選乱数値、特図１乱数値、および特図２乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得し

た値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。また、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。なお、本実施形態では特図１の乱数値を取得するためのカウンタと特図２の乱数値を取得するためのカウンタとを別に設けたが、同一のカウンタを用いてもよい。

【２２６７】

ステップＳ１５２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【２２６８】

ステップＳ１５２１２では、割込み機能限定カウンタが０であるか否かの判定を行い、割込み機能限定カウンタが０以外の場合、ステップＳ１５２１３に進む。一方、割込み機能限定カウンタが０の場合、ステップＳ１５２１４に進む。

【２２６９】

ステップＳ１５２１３では、割込み機能限定カウンタを１減算し、その後、ステップＳ１５２３９に進む。

【２２７０】

ステップＳ１５２１４では、特定異常検出フラグ（詳しくは後述する。）がＯＮであるか否かの判定を行い、特定異常検出フラグがＯＮの場合、ステップＳ１５２３９に進む。一方、特定異常検出フラグがＯＦＦの場合、ステップＳ１５２１５に進む。

【２２７１】

ステップＳ１５２１５では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特別図柄表示装置２１２に図柄を変動・停止表示する時間を計時するための特図１表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【２２７２】

ステップＳ１５２１６では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた賞球数記憶領域の値を読み出し、１を加算して、元の賞球数記憶領域に設定する。

【２２７３】

また、ステップＳ１５２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８および可変入賞口２３４への入賞があったか否かを判定する。ここでは、ステップＳ１５２０５における入賞判定パターン情報と一致するか否かの判定結果を用いて判定する。第１特図始動口２３０へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用カウンタ値記憶用レジスタから値を特図１当選乱数値として取得するとともに特図１乱数値生成用の乱数カウンタから値を特図１乱数値として取得して対応する乱数値記憶領域に格納する。第２特図始動口２３２へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、カウンタ回路３１８の当選用カウンタ値記憶用レジスタから値を特図２当選乱数値として取得するとともに特図２乱数値生成用の乱数カウンタから値を特図２乱数値として取得して対応する乱数値記憶領域に格納する。普図始動口２２８へ入賞があった場合且つＲＡＭ３０８に設けた対応する

保留数記憶領域が満タンでない場合、普図当選乱数値生成用の乱数カウンタから値を普図当選乱数値として取得して対応する乱数値記憶領域に格納する。可変入賞口２３４へ入賞があった場合には、可変入賞口用の入賞記憶領域に、可変入賞口２３４に球が入球したことを示す情報を格納する。

【２２７４】

ステップＳ１５２１９では、払出要求数送信処理を行う。なお、払出制御部６００に出力する出力予定情報および払出要求情報は、例えば１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の払出要求数を示すようにしている。

【２２７５】

ステップＳ１５２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動遊技）を行う。

【２２７６】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオンの場合には、当り図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、外れ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理において各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制御を行うことで、普通図柄表示装置２１０は、当り図柄（図５（ｃ）に示す普図Ａ）および外れ図柄（図５（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。

【２２７７】

また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２ａの開閉駆動用のソレノイド（３３２）に、羽根部材２３２ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【２２７８】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【２２７９】

また、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、ＲＡＭ３０８の設定領域に普

図非作動中を設定する。さらに、普図変動遊技の結果が外れであれば、後述するように、普図外れフラグがオンされる。この普図外れフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ１５２２３に移行するようにしている。

【２２８０】

ステップＳ１５２２３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【２２８１】

ステップＳ１５２２４では、特図先読み処理を行う。この先読み処理では、まず、ＲＡＭ３０８に設けられた特図１の保留記憶部内の特図１当選乱数を先読みするか、あるいは特図２の保留記憶部内の特図２当選乱数を先読みする。なお、ここでの先読みとは始動情報を当否判定（本抽選）の前に先に読むことを意味するが、以降の先読み処理では、先読みという言葉を、先（当否判定（本抽選）の結果）を読むという意味で使用することがある。このステップＳ１５２２４では、後述する特図２関連抽選処理、特図１関連抽選処理（ステップＳ１５２２９、ステップＳ１５２３１）で用いる特図抽選テーブルの内容と同じ内容の事前判定用テーブルを用い、先読みした特図当選乱数に基づく当否判定の事前判定を行う。なお、特図２関連抽選処理、特図１関連抽選処理では、特図抽選テーブルを用いて特図変動遊技の当否判定を改めて行い、ここでの判定結果は、あくまで事前判定の結果になる。当否判定の事前判定では、「大当り」という結果か、あるいは「大当り」以外という結果が導出され、「大当り」という結果の場合には、ＲＡＭ３０８に設けられた特図１の保留記憶部内の大当り用特図１乱数を先読みするか、あるいは特図２の保留記憶部内の大当り用特図２乱数を先読みする。続いて、特図２関連抽選処理、特図１関連抽選処理（ステップＳ１５２２９、ステップＳ１５２３１）の特図関連処理で用いる停止図柄抽選テーブルの内容と同じ内容の事前判定用テーブルを用い、先読みした大当り用特図乱数に基づく特図の停止図柄の事前判定を行う。

【２２８２】

なお、特図２関連抽選処理、特図１関連抽選処理では、停止図柄抽選テーブルを用いて特図の停止図柄の抽選を改めて行い、ここでの判定結果は、あくまで事前判定の結果になる。こうして、特図の停止図柄を事前判定すると、先読み予告の実行可否抽選を行う。この先読み予告は、特図２関連抽選処理、特図１関連抽選処理（ステップＳ１５２２９、ステップＳ１５２３１）が実行される前、すなわち当否判定が行われる前に、特図２関連抽選処理、特図１関連抽選処理で行われる当否判定の結果が大当り（ここではより限定して１５Ｒの大当り（１５Ｒ特別大当りか１５Ｒ大当り））になることを予告するための報知である。ここでの先読み予告には、停止図柄の事前判定結果が１５Ｒの大当り図柄（特図Ａまたは特図Ｂ）でなくても、１５Ｒの大当りになるかのように偽りで予告する偽の先読み予告も含まれる。すなわち、先読み予告は、当否判定の結果が１５Ｒ大当りになる可能

性があることを表したり、遊技者に示唆する事前報知、あるいは当否判定の結果が１５Ｒ大当りになることを遊技者に期待させる事前報知であるといえる。先読み予告の実行可否抽選を行うタイミングで、ＲＡＭ３０８に設けられた演出乱数カウンタから演出乱数（例えば、取り得る範囲は０～９９）を取得し、取得した演出乱数に基づいて実行可否抽選を行う。なお、停止図柄の事前判定結果を第１副制御部４００に送信し、この実行可否抽選は、第１副制御部４００が行うようにしてもよい。

【２２８３】

次いで、特図１および特図２それぞれについての特図状態更新処理を行うが、最初に、特図２についての特図状態更新処理（特図２状態更新処理）を行う（ステップＳ１５２２５）。この特図２状態更新処理は、特図２の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図２変動表示の途中（上述の特図２表示図柄更新タイマの値が１以上）における特図２状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２の変動表示（特図２変動遊技）を行う。

【２２８４】

また、コマンド設定送信処理（ステップＳ１５２３３）で回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。

【２２８５】

また、主制御部３００のＲＡＭ３０８には、１５Ｒ大当りフラグ、２Ｒ大当りフラグ、第１小当りフラグ、第２小当りフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグそれぞれのフラグが用意されている。特図２変動表示時間が経過したタイミング（特図２表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、１５Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には図５（ａ）に示す特図Ａ、１５Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｂ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には特図Ｃ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｄ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグはオンの場合には特図Ｅ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグもオフの場合には特図Ｆ、第１小当りフラグがオンの場合には特図Ｇ、第２小当りフラグがオンの場合には特図Ｈ、第１はずれフラグがオンの場合には特図Ｉ、第２はずれフラグがオンの場合には特図Ｉそれぞれの態様となるように、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２停止表示中であることを表す設定を行う。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当り図柄（特図Ａ）、１５Ｒ大当り図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当り図柄（特図Ｇ）、第２小当り図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２が所定期間停止表示され、特図２変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた時短回数記憶部に記憶された時短回数が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中（詳細は後述）でなければ、時短フラグをオフする。さらに、大当り遊技中（特別遊技状態中）にも、時短フラグをオフする。

【２２８６】

また、コマンド設定送信処理（ステップＳ１５２３３）で回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変

動表示を停止する図柄が特図２であることを示す特図２識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【２２８７】

また、特図２変動遊技の結果が大当りであれば、後述するように、大当りフラグがオンされる。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ１５２３３）で入賞演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２２８８】

また、所定の入賞演出期間が終了したタイミング（特図２待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の遊技球の入賞を検出するまで）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ１５２３３）で大入賞口開放設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２２８９】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド（３３２）に、扉部材２３４ａを閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ１５２３３）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２２９０】

また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するようにに設定するためにＲＡＭ３０８に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、普図確率変動フラグがオンに設定されていれば、この大当り遊技の終了と同時に、ＲＡＭ３０８に設けられた時短回数記憶部に時短回数１００回をセットするとともに、ＲＡＭ３０８に設けられた時短フラグをオンする。なお、その普図確率変動フラグがオフに設定されていれば、時短回数記憶部に時短回数をセットすることもなく、また時短フラグをオンすることもない。ここにいう時短とは、特図変動遊技における大当りを終了してから、次の大当りを開始するまでの時間を短くするため、パチンコ機が遊技者にとって有利な状態になることをいう。この時短フラグがオンに設定されていると、普図高確率状態である。普図高確率状態では普図低確率状態に比べて、普図変動遊技に大当りする可能性が高い。また、普図高確率状態の方が、普図低確率状態に比べて普図変動遊技の変動時間および特図変動遊技の変動時間は短くなる。さらに、普図高確率状態では普図低確率状態に比べて、第２特別始動口２３２の一対の羽根部材２３２ａの１回の開放における開放時間が長くなりやすい。加えて、普図高確率状態では普図低確率状態に比べて、一対の羽根部材２３２ａは多く開きやすい。また、上述のごとく、時短フラグは、大当り遊技中（特別遊技状態中）にはオフに設定される。したがって、大当り遊技中には、普図低確率状態が維持される。これは、大当り遊技中に普図高確率状態であると、大当り遊技中に可変入賞口２３４

に所定の個数、遊技球が入球するまでの間に第２特図始動口２３２に多くの遊技球が入球し、大当り中に獲得することができる遊技球の数が多くなってしまい射幸性が高まってしまうという問題があり、これを解決するためのものである。

【２２９１】

さらに、コマンド設定送信処理（ステップＳ１５２３３）で終了演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２２９２】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２状態更新処理では、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。さらに、特図２変動遊技の結果が外れであれば、後述するように、はずれフラグがオンされる。このはずれフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２停止時間管理用タイマの値が１から０になったタイミング）における特図２状態更新処理でも、ＲＡＭ３０８の設定領域に特図２非作動中を設定する。特図２非作動中の場合における特図２状態更新処理では、何もせずに次のステップＳ１５２２７に移行するようにしている。

【２２９３】

続いて、特図１についての特図状態更新処理（特図１状態更新処理）を行う（ステップＳ１５２２７）。この特図１状態更新処理では、特図１の状態に応じて、上述の特図２状態更新処理で説明した各処理を行う。この特図１状態更新処理で行う各処理は、上述の特図２状態更新処理で説明した内容の「特図２」を「特図１」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２状態更新処理と特図１状態更新処理の順番は逆でもよい。

【２２９４】

ステップＳ１５２２５およびステップＳ１５２２７における特図状態更新処理が終了すると、今度は、特図１および特図２それぞれについての特図関連抽選処理を行う。ここでも先に、特図２についての特図関連抽選処理（特図２関連抽選処理）を行い（ステップＳ１５２２９）、その後で、特図１についての特図関連抽選処理（特図１関連抽選処理）を行う（ステップＳ１５２３１）。これらの特図関連抽選処理についても、主制御部３００が特図２関連抽選処理を特図１関連抽選処理よりも先に行うことで、特図２変動遊技の開始条件と、特図１変動遊技の開始条件が同時に成立した場合でも、特図２変動遊技が先に変動中となるため、特図１変動遊技は変動を開始しない。また、装飾図柄表示装置２０８による、特図変動遊技の大当り判定の結果の報知は、第１副制御部４００によって行われ、第２特図始動口２３２への入賞に基づく抽選の抽選結果の報知が、第１特図始動口２３０への入賞に基づく抽選の抽選結果の報知よりも優先して行われる。

ステップＳ１５２３２では、デバイス監視処理を実行する（詳細は後述）。

【２２９５】

ステップＳ１５２３３では、コマンド設定送信処理を行い、各種のコマンド（例えば、ステップＳ１５２３２のデバイス監視処理で特定異常があった場合は、特定異常を示す信号）が第１副制御部４００に送信される。なお、第１副制御部４００に送信する出力予定情報は例えば１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、大当りラウンド数指定コマンド、復電コマンド、ＦＲＡＭ（登録商標）クリアコマンドなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【２２９６】

具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、１５

Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、特図確率変動フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば特図確率変動フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などを含む。

【２２９７】

また、上述の回転開始設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値、特図１関連抽選処理および特図２関連抽選処理で選択したタイマ番号、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の回転停止設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当りフラグの値、特図確率変動フラグの値などを示す情報を設定する。上述の入賞演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、入賞演出期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の終了演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口開放設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口閉鎖設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。また、このステップＳ１５２３３では一般コマンド特図保留増加処理も行われる。この一般コマンド特図保留増加処理では、コマンドデータにＲＡＭ３０８の送信用情報記憶領域に記憶している特図識別情報（特図１または特図２を示す情報）、予告情報（事前予告情報、偽事前予告情報、または事前予告無情報のいずれか）を設定する。

【２２９８】

第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。

【２２９９】

ステップＳ１５２３５では、外部出力信号設定処理を行う。具体的には、外部端子板信号や試射試験信号などを設定する。また、ステップＳ１５２３２のデバイス監視処理で特定異常があった場合は、特定異常を示す信号を設定する。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。

【２３００】

ステップＳ１５２３９では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１５２４３に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１５２４１に進む。

【２３０１】

ステップＳ１５２４１では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ１５２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、図２７６に示す主制御部メイン処理に復帰する。

【２３０２】
一方、ステップＳ１５２４３では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、上述の主制御部メイン処理に復帰する。
【２３０３】
なお、デバイス監視処理（ステップＳ１５２３２）で監視するエラーとしては、次に示すようなものが考えられる。
【２３０４】
エラー種別として、下受け皿満タンエラー（下皿満タンエラー）、払出装置エラー、払出超過エラー、不正払出エラー、払出個数スイッチエラー、主制御通信エラー、ＣＲユニット未接続エラー、ＣＲユニット通信エラー、磁気異常エラー、外部クロック異常エラー、磁界異常エラー、スイッチレベル異常エラー、枠開放エラー（前面枠扉開放エラー）、スイッチ未接続エラー、衝撃センサエラーなどがある。
【２３０５】
下受け皿満タンエラーとは、下皿満タンスイッチ信号のオン状態が、メイン基板の所定の入力ポートによってタイマ割り込みでオンを１回読み込んだとき（オフ状態からオン状態に切り換わるとき）にメインから払出に出力されるものである。
【２３０６】
払出装置エラーとは、払出モータが払出要求数分の駆動を終了後（実際は＋ブレーキ期間＋無励磁期間経過後）の次の割り込み内で、払出数（払出個数スイッチのカウント数）が払出要求数よりも少ない場合に払出装置エラーの発生を検知するものである。１個ずつ遊技球を払い出すリトライ処理が完了することにより、当該エラー状態が解除される。
【２３０７】
払出超過エラーとは、払出要求数に対して実際に払い出された遊技球が１０個多く検知されたとき払出動作を停止するものである。この払出超過エラーは、エラー解除スイッチ１６８によって解除するエラーであり、エラー解除スイッチ１６８を操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。
【２３０８】
不正払出エラーとは、払出要求が発生していない状態で遊技球の払出を検知（払出個数スイッチがカウント）したとき払出動作を停止するものである。この不正払出エラーは、エラー解除スイッチ１６８によって解除するエラーであり、エラー解除スイッチ１６８を操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。
【２３０９】
払出個数スイッチエラーとは、払出基板１７０に制御される遊技球の払出個数スイッチ（不図示）のエラーであり、払出個数スイッチの接続異常を検知したとき（メイン基板は関係なし）払出動作を停止するものである。この払出個数スイッチエラーは、エラー解除スイッチ１６８によって解除するエラーであり、スイッチの接続が正しいか確認した後、エラー解除スイッチ１６８を操作するか、ＲＡＭクリアスイッチ１８０による初期化（ＲＡＭクリア）によって当該エラー状態が解除される。
【２３１０】
主制御通信エラーとは、主制御接続確認信号のオフ状態を検知した場合、または主制御動作確認信号のオン状態を２割り込み継続して検知した場合に発生するエラーであり、メイン基板からのコマンド受信が不能になるものである。但し、払出要求数が残存している場合は、その分までは払い出す。主制御接続確認信号のオン状態を検知した場合で、かつ、主制御動作確認信号のオフ状態を２割り込み継続して検知した場合に当該エラー状態が解除される。
【２３１１】
ＣＲユニット未接続エラーとは、ＣＲユニット未接続エラーが解除状態のときに、ＣＲ

ユニット接続信号（ＶＬ信号）のオフ状態を検知し、１６ｍｓ継続した場合に発生するものであり、貸出停止（賞球の払出には影響なし）となるものである。ＣＲユニット接続信号のＯＮ状態を検知し、１６ｍｓ継続した場合に当該エラー状態が解除される。なお、エラー解除した後、ＣＲユニットＲＥＡＤＹ信号（ＢＲＤＹ信号）およびＣＲユニット貸出要求完了確認信号（ＢＲＱ信号）がオフ状態となるまでＣＲユニットとの通信が無効状態になる。

【２３１２】

ここで、ＣＲユニットとインタフェースの接続信号関係について説明する。各種信号が、ＣＲユニットからインタフェースを介して払出基板へと伝達される場合、ＣＲユニット接続信号とは、ＣＲユニット内の＋１８Ｖ電源からなるＶＬ信号である。ＣＲユニットＲＥＡＤＹ信号とは、ＣＲユニットが貸し出しの処理中であることを伝達するＢＲＤＹ信号である。ＣＲユニット貸出要求確認信号とは、ＣＲユニットが基本単位分２５個の貸出要求と貸出指示を伝達するＢＲＱ信号である。

【２３１３】

ＣＲユニット通信エラーとは、貸出要求発生前にＢＲＱ信号のオン状態を検知した場合に発生するものである（なお、他の条件もあるが、ここでは特に関係がないため割愛する）。遊技機側から通信異常を通知した後、ＢＲＤＹ信号およびＢＲＱ信号をオフ状態にすることで当該エラー状態が解除される。

【２３１４】

磁気異常エラーとは、所定量を超える磁力を検出したとき主制御動作を停止するものである。外部クロック異常エラーとは、乱数更新用クロックに異常を検出した場合に発生するエラーである。磁界異常エラーとは、所定量を超える磁界を検出した場合に発生するエラーである。

【２３１５】

スイッチレベル異常エラーとは、入賞スイッチを検出し、１ｓ継続した場合に発生するエラーである。枠開放エラーとは、ガラス枠または内枠の開放を検出した場合に発生するエラーである。スイッチ未接続エラーとは、入賞スイッチ（不図示）のエラーであり、入賞スイッチの接続異常を検出した場合に発生するエラーである。

【２３１６】

衝撃センサエラーとは、衝撃センサが所定量を超える衝撃を検出したとき電源断まで継続してエラーを報知するものである。

＜デバイス監視処理＞

【２３１７】

次に、図２７９を用いて、主制御部３００のＣＰＵ３０４が実行するデバイス監視処理について説明する。なお、同図は主制御部タイマ割込処理におけるデバイス監視処理の流れを示すフローチャートである。

【２３１８】

ステップＳ１５２５１では、上述のエラーの有無を示すデバイス情報を初期設定する。

【２３１９】

ステップＳ１５２５３では、信号状態記憶領域に記憶した各種センサの信号状態を読み出して、上述のエラーの有無を監視し、当該エラーを検出した場合に、ステップＳ１５２５５に進む。一方、上述のエラーを検出しなかった場合には、当該デバイス監視処理を終了する。

【２３２０】

ステップＳ１５２５５では、第１副制御部４００に送信すべき送信情報に、ステップＳ１５２５３で検出したエラーを示す異常情報（デバイス情報）を設定する。

【２３２１】

ステップＳ１５２５７では、ステップＳ１５２５５で設定した異常情報の中に、特定異常情報があるか否かを判定し、特定異常情報がある場合に、ステップＳ１５２５９に進む。一方、特定異常情報がない場合に、ステップＳ１５２６１に進む。なお、特定異常情報

は、上述のエラーについての異常情報の中から、予め設定されている１つまたは複数のエラーの異常情報のことである。例えば、磁気異常エラーの異常情報を特定異常情報として予め設定しておいてもよい。

ステップＳ１５２５９では、特定異常検出フラグをオンにする。

ステップＳ１５２６１では、デバイスコマンド送信要求を設定する。

【２３２２】

次に、図２８０を用いて本実施形態の遊技台で使用される乱数と、その主な導出源について説明する。同図は、本実施形態の遊技台で使用される乱数の導出源を表で示す図である。

【２３２３】

特図１当選乱数は、１６ビット乱数回路ＣＨで生成されハードラッチ乱数値レジスタ０でラッチされた乱数値と１６ビット乱数回路ＣＨ１で生成されソフトラッチ乱数値レジスタでラッチされた乱数値とを合成したものが基になる。これらの乱数値が生成される乱数生成回路は、外部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は無しに設定されている。

【２３２４】

特図２当選乱数は、１６ビット乱数回路ＣＨ０で生成されハードラッチ乱数値レジスタ１でラッチされた乱数値と１６ビット乱数回路ＣＨ２で生成されソフトラッチ乱数値レジスタでラッチされた乱数値とが合成されたものが基になる。これらの乱数値が生成される乱数生成回路は、外部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は無しに設定されている。

【２３２５】

特図１当選乱数と特図２当選乱数とでは、同じ乱数生成チャンネルを使用し、ハードラッチするハードラッチ乱数値レジスタを特図１当選乱数と特図２当選乱数とで異ならせてもよい。またソフトラッチする乱数生成チャンネルを特図１当選乱数と特図２当選乱数とで異ならせてもよい。

【２３２６】

表示図柄乱数は、１６ビット乱数回路ＣＨ３で生成されハードラッチ乱数値レジスタ０でラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、外部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は有り（例えば、０～１９９）に設定されている。

【２３２７】

普図当選乱数は、８ビット乱数回路ＣＨ０で生成されハードラッチ乱数値レジスタ０でラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、外部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は無しに設定されている。

【２３２８】

大当り用特図乱数、小当り用特図乱数、およびはずれ用特図乱数は、上述の主制御部タイマ割込み処理において生成される。すなわちこれらの乱数は、所謂ソフトウェア乱数である。なお、これらの乱数を生成する際に用いられる初期値生成用乱数は、主制御部メイン処理および主制御部タイマ割込み処理で生成される。なお、大当り用特図乱数、小当り用特図乱数、およびはずれ用特図乱数は、ハードラッチされた乱数を用いてもよい。

【２３２９】

特図変動時間決定用乱数、および普図変動時間決定用乱数は、カウンタ回路３１２の値を乱数として用いる。本実施形態のカウント回路３１２は、マイクロプロセッサ３０００のシステムクロックの他、上記タイマ回路からのタイムアウト信号、メモリの読み書き信号、メモリリクエスト信号、外部入出力の信号等もカウンタの対象として用いることができる。このため、これらを組み合わせることで規則性のない値を導出させ、上記の乱数に使用している。演出用乱数は、主制御部メイン処理および主制御部タイマ割込み処理で生成される。

【２３３０】
次に、図２８１を用いて本実施形態の遊技台（スロットマシン）で使用される乱数と、その主な導出源について説明する。同図は、本実施形態の遊技台で使用される乱数の導出源を表で示す図である。
【２３３１】
役抽選乱数は、１６ビット乱数回路ＣＨ０で生成されソフトラッチ乱数値レジスタでラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、内部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は無しに設定されている。
【２３３２】
演出抽選乱数は、１６ビット乱数回路ＣＨ１で生成されソフトラッチ乱数値レジスタでラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、内部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は無しに設定されている。
【２３３３】
左リール遅延時間抽選乱数は、８ビット乱数回路ＣＨ０で生成されソフトラッチ乱数値レジスタでラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、内部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は有りに設定されている。
【２３３４】
中リール遅延時間抽選乱数は、８ビット乱数回路ＣＨ１で生成されソフトラッチ乱数値レジスタでラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、内部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は有りに設定されている。
【２３３５】
右リール遅延時間抽選乱数は、８ビット乱数回路ＣＨ２で生成されソフトラッチ乱数値レジスタでラッチされた乱数値が基になる。当該乱数値が生成される乱数生成回路は、内部クロック信号に基づいて更新される。また、生成される乱数値の最大値設定は有りに設定されている。
【２３３６】
スロットマシンでは、外部クロック信号に基づいて乱数生成回路を更新しないため、最大値設定前に取り込まれた乱数のリード処理を行わないようにしてもよい。
【２３３７】
次に、以上説明した実施形態７によるパチンコ機１００の特徴的構成について再度図２７４乃至図２８１を参照しつつ説明する。
（１）本実施の形態によるパチンコ機１００は、
【２３３８】
乱数を少なくとも導出可能な乱数回路（例えば、１６ビット乱数回路９０００、８ビット乱数回路１００００）と、
【２３３９】
複数の遊技制御処理のそれぞれを、メイン制御（例えば、主制御部メイン処理）および割込み周期ごとに行われる割込み制御（例えば、主制御部タイマ割込み処理）のうちの、少なくともいずれかの制御において実行可能な遊技制御手段（例えば、主制御部３００）と、
を備えた遊技台であって、
【２３４０】
前記乱数回路は、第一の数値範囲内で更新される第一の乱数（例えば、最大値設定で起動される乱数生成回路が生成する乱数値）を導出可能なものであり、
【２３４１】
前記乱数回路は、第二の数値範囲内で更新される第二の乱数（例えば、ユーザモード起

動で起動される乱数生成回路が生成する乱数値）を導出可能なものであり、
【２３４２】
前記第一の乱数の起動時期と前記第二の乱数の起動時期（例えば、乱数生成チャンネルＣＨ０～ＣＨ３の乱数生成回路の起動時期）は異なるものであること
を特徴とする。
【２３４３】
当該構成を備えたパチンコ機１００によれば、第一の乱数と第二の乱数とを生成する乱数生成回路の起動時期が異なるため、不正者による２つの乱数生成回路の起動時期の解析を困難にすることができ、安定した遊技制御を行うことができる場合がある。
（２）上記パチンコ機１００であって、
【２３４４】
第一の処理（例えば、主制御部メイン処理のステップＳ１５１０３）を前記遊技制御処理は少なくとも含むものであり、
【２３４５】
前記第一の乱数の起動時期と前記第二の乱数の起動時期のうちの一方は、前記第一の処理よりも後であること
を特徴とする。
【２３４６】
当該構成を備えたパチンコ機１００によれば、第一の乱数または第二の乱数を生成する乱数生成回路の起動時期が第一の処理後であるため、不正者による不正をより困難することができ、安定した遊技制御を行うことができる場合がある。
（３）上記パチンコ機１００であって、
前記第一の処理は、制御の進行を保留可能なものであり、
【２３４７】
前記第一の処理は、制御進行条件が成立した場合に（例えば、主制御部メイン処理のステップＳ１５１０３のＹｅｓ）、前記保留を解除可能なものであり、
【２３４８】
前記制御進行条件は、第一の信号が第一の状態から第二の状態に変化した場合に成立するものであること
を特徴とする。
【２３４９】
当該構成を備えたパチンコ機１００によれば、第一の信号の状態の変化時期に応じて乱数生成回路の起動時期が変化するため、不正者による不正をより困難にでき、安定した遊技制御を行うことができる場合がある。
（４）上記パチンコ機１００であって、
【２３５０】
前記乱数回路に前記数値範囲の設定を指示可能な第二の処理（例えば、主制御部メイン処理のステップＳ１５１３３）と、
【２３５１】
前記乱数回路によって導出された乱数を取得可能な第三の処理（例えば、主制御部タイマ割込処理のステップＳ１５２１７）と、
【２３５２】
前記第三の処理によって取得された乱数に基づく判定を実行可能な第四の処理（例えば、主制御部タイマ割込処理のステップＳ１５２２３、ステップＳ１５２２９、ステップＳ１５２３１）と、を前記遊技制御処理は少なくとも含むものであり、
前記第一の数値範囲は、前記第二の処理によって設定されるものであり、
前記第二の数値範囲は、前記第二の処理によらずに設定されるものであり、
【２３５３】
前記第一の数値範囲が設定された場合に、前記第一の乱数の起動が開始可能なものであること

を特徴とする。

【２３５４】

当該構成を備えたパチンコ機１００によれば、数値範囲設定後に乱数生成回路を起動（更新を開始）するので数値範囲外の数値を更新することがなく、安定した遊技制御を行うことができる場合がある。

第一の処理は、１又は複数の命令であってもよい。

第一の処理は、分岐命令であってもよい。

第一の乱数の更新周期と第二の乱数の更新周期が同じであってもよい。

【２３５５】

第一の乱数と第二の乱数が同一の乱数回路（チャネル）で生成されるものであってもよい。

第一の乱数の起動時期が、第二の乱数の起動時期よりも後であってもよい。

第一の乱数の起動時期は、第二の乱数が更新を複数回行った後であってもよい。

第一の数値範囲は、第二の数値範囲よりも小さいものであってもよい。

【２３５６】

第二の乱数の起動時期は、プログラムの開始時期と同時またはプログラムの開始時期よりも前であってもよい。

【２３５７】

第一の乱数と第二の乱数のうち、一方は遊技者の利益に関わるものであってもよく、他方は遊技者の利益に関わらないものであってもよい。

【２３５８】

第一の乱数と第二の乱数は遊技者の利益に関わるものであってもよく、第一の乱数と第二の乱数のうちの一方は直接的に遊技者の利益に関わるものであってもよく、他方は間接的に遊技者の利益に関わるものであってもよい。

第一の乱数と第二の乱数は、遊技者の利益に関わるものであってもよい。

第一の乱数と第二の乱数は、遊技者の利益に関わらないものであってもよい。

【２３５９】

第一の乱数の起動時期は、スタックポインタの設定の後、直後、前、または直前の何れかであってもよい。

【２３６０】

第一の乱数の起動時期は、ジャンプ処理の後、直後、前、または直前の何れかであってもよい。

【２３６１】

第一の乱数の起動時期は、第一の処理の後、直後、前、または直前の何れかであってもよい。

【２３６２】

第一の乱数の起動時期は、カウンタ回路設定処理の後、直後、前、または直前の何れかであってもよい。

【２３６３】

第一の乱数の起動時期は、クリア信号出力処理の後、直後、前、または直前の何れかであってもよい。

【２３６４】

前記乱数回路は、第三の数値範囲内で更新される第三の乱数を導出可能なものであり、第三の数値範囲は、前記第二の処理によって設定されるものであり、第一の数値範囲と第三の数値範囲の設定値を少なくとも記憶可能な記憶手段を備え、第一の数値範囲と第三の数値範囲の設定は、記憶手段に記憶された設定値が格納されるアドレスの小さいものから設定されるものであってもよい。

【２３６５】

第二の乱数は遊技者の利益に関わるものであってもよく、第一の乱数は間接的に遊技者の利益に関わるものであってもよく、第三の乱数は遊技者の利益に関わらないものであっ

てもよい。
【２３６６】
第三の乱数の起動時期は、第一の乱数の起動時期の後、直後、前、または直前の何れかであってもよい。
【２３６７】
乱数回路は、複数の乱数回路を含み、複数の乱数回路はそれぞれ、ハードラッチ乱数値レジスタとソフトラッチ乱数値レジスタを有してもよい。
複数の乱数回路は、１６ビット乱数回路と８ビット乱数回路を含んでもよい。
１６ビット乱数回路は、ハードラッチ乱数値レジスタを複数有してもよい。
８ビット乱数回路は、ハードラッチ乱数値レジスタを一つのみ有してもよい。
【２３６８】
１６ビット乱数回路は、第一の数のハードラッチ乱数値レジスタを有する第一の１６ビット乱数回路と、第一の数よりも小さい第二の数のハードラッチ乱数値レジスタを有する第二の１６ビット乱数回路を含んでもよい。
１６ビット乱数回路は、ソフトラッチ乱数値レジスタを一つのみ有してもよい。
８ビット乱数回路は、ソフトラッチ乱数値レジスタを一つのみ有してもよい。
【２３６９】
１６ビット乱数回路の数値範囲と８ビット乱数回路の数値範囲を設定する場合、１６ビット乱数回路の数値範囲を８ビット乱数回路の数値範囲よりも先に設定してもよい。
【２３７０】
１６ビット乱数回路の数値範囲と８ビット乱数回路の数値範囲を設定する場合、８ビット乱数回路の数値範囲を１６ビット乱数回路の数値範囲よりも先に設定してもよい。
【２３７１】
第一の乱数の起動時期は、払出制御手段が初期設定処理を行っている間であってもよい。
【２３７２】
第一の乱数の起動時期は、払出制御手段が主制御手段からの信号を待っている間であってもよい。
第一の乱数の起動時期は、副制御手段が起動処理を行っている間であってもよい。
【２３７３】
第一の乱数の起動時期は、画像表示制御手段が画像表示手段に表示する表示データを展開している間であってもよい。
【２３７４】
乱数回路は、複数のチャネル（第一のチャネル、第一のチャネルを含む）を備え、チャネル毎に乱数の更新が可能であり、チャネル毎に乱数値を発生させることが可能であり、チャネル毎に起動することが可能であり、チャネル毎に発生させる数値範囲の設定が可能である。
【２３７５】
「第一の数値範囲の第一の乱数値」は、「第一の最小値以上であり、かつ第一の最大値以下である第一の乱数値」であってもよい。
【２３７６】
「第二の数値範囲の第二の乱数値」は、「第二の最小値以上であり、かつ第二の最大値以下である第二の乱数値」であってもよい。
＜実施形態７＞
【２３７７】
次に、上述の実施形態５の主制御部５３００の基本回路５３０２が搭載されるパッケージのさらに他の変形例としての実施形態７について詳細に説明する。図２８２（ａ）は、基本回路５３０２が搭載されるパッケージ１０１００ａおよびパッケージ１０１００ｂの平面図である。パッケージ１０１００ａは、ほぼ直方体形状を有し、短手方向両側には、パッケージ１０１００ａの長手方向に沿って複数の端子が配置されている。パッケージ１

０１００ｂはパッケージ１０１００ａと同一形状を備えている。パッケージ１０１００ａおよびパッケージ１０１００ｂの内部にそれぞれ設けられているＩＣは異なる機能を奏するように用いられ、組合わせることにより基本回路５３０２を構成できるようになっている。パッケージ１０１００ａの平面視中央には四角柱状の凸部１０１０１ａが形成され、パッケージ１０１００ｂの平面視中央には四角柱状の凸部１０１０１ｂが形成されている。

【２３７８】

同図（ｂ）は、パッケージ１０１００ａおよびパッケージ１０１００ｂを接続部材１０１００ｃを用いて接続した形状を示す平面図である。同図（ｃ）は、同側面図である。また、同図（ｄ）は、同斜視図である。接続部材１０１００ｃは平板棒状の細長い直方体形状を有している。接続部材１０１００ｃの薄板部両端側には四角柱状の突起１０１０１ａまたは突起１０１０１ｂを嵌め込むことができる凹部１０１０１ｃがそれぞれ設けられている。接続部材１０１００ｃの短手方向の長さは、パッケージ１０１００ａおよびパッケージ１０１００ｂの短手方向の長さより短い。

【２３７９】

同図（ｂ）、（ｃ）および（ｄ）は、接続部材１０１００ｃの２つの凹部１０１０１ｃにパッケージ１０１００ａおよびパッケージ１０１００ｂの凸部１０１０１ａおよび凸部１０１０１ｂがそれぞれ嵌め込まれて、パッケージ１０１００ａおよびパッケージ１０１００ｂの複数の端子の配設方向を長手方向に揃えて一体化した状態を示している。このように２つのパッケージ１０１００ａおよびパッケージ１０１００ｂを接続部材１０１００ｃで接続して一体化することにより、基板上で近接させて２つのパッケージ１０１００ａおよびパッケージ１０１００ｂを容易に配置することができる場合がある。

【２３８０】

図２８３（ａ）は、基本回路５３０２が搭載されるパッケージ１０１２０ａおよびパッケージ１０１２０ｂを接続配線部１０１２０ｃで接続した形状を示す平面図である。同図（ｂ）は、同側面図である。同図（ｃ）は、同斜視図である。パッケージ１０１２０ａは、ほぼ直方体形状を有し、短手方向両側には、パッケージ１０１２０ａの長手方向に沿って複数の端子が配置されている。パッケージ１０１２０ｂはパッケージ１０１２０ａと同一形状を備えている。パッケージ１０１２０ａおよびパッケージ１０１２０ｂの内部にそれぞれ設けられているＩＣは異なる機能を奏するように用いられ、組合わせることにより基本回路５３０２を構成できるようになっている。

【２３８１】

パッケージ１０１２０ｂ内の回路は、複数の配線が内蔵された不透明の接続配線部１０１２０ｃを介してパッケージ１０１２０ａ内の回路と電気的に接続できるようになっている。接続配線部１０１２０ｃは可撓性を備えた配線基板を有し、配線基板上で並列する複数の配線を有している。接続配線部１０１２０ｃの両配線端部がパッケージ１０１２０ａおよびパッケージ１０１２０ｂの短手側の側面部中央に設けられた端子部にそれぞれ接続されている。接続配線部１０１２０ｃの複数の配線の延伸方向にほぼ直交し、複数の配線が連設されている方向の長さは、パッケージ１０１２０ａおよびパッケージ１０１２０ｂの短手方向の長さより短い。上述の図２８２に示すパッケージ１０１００ａおよびパッケージ１０１００ｂは互いに電気的に直接的に接続される構成になっていないが、図２８３に示すパッケージ１０１２０ａおよびパッケージ１０１２０ｂは接続配線部１０１２０ｃを介して互いに電気的に直接的に接続される構成になっている。パッケージ１０１２０ａおよびパッケージ１０１２０ｂを組み合わせてマイコンとして用いることも可能であり、入出力端子が余らないように組み合わせることによりセキュリティ性を向上させることができる場合がある。

【２３８２】

図２８４は、図２８２（ｂ）、（ｃ）、（ｄ）に示すパッケージ１０１００ａおよびパッケージ１０１００ｂを接続部材１０１００ｃで一体化して収容ケース１０１０３で覆った状態を示す図である。図２８４（ａ）は平面図、（ｂ）は側面図、（ｃ）は斜視図であ

る。収容ケース１０１０３は上ケース１０１０３ａと下ケース１０１０３ｂとに分離可能である。収容ケース１０１０３は例えば不透明な絶縁性樹脂で成型されている。上ケース１０１０３ａと下ケース１０１０３ｂとを組み合わせた状態で全体として収容ケース１０１０３は薄い直方体形状を呈している。上ケース１０１０３ａと下ケース１０１０３ｂとでパッケージ１０１００ａおよびパッケージ１０１００ｂ、接続部材１０１００ｃを挟み込むことにより、パッケージ１０１００ａおよびパッケージ１０１００ｂの複数の端子だけが突出してその他の部材が収容ケース１０１０３内に収容された一体化パッケージ１０１００を得ることができる。このように収容ケース１０１０３でパッケージ１０１００ａおよびパッケージ１０１００ｂ、接続部材１０１００ｃを覆うことにより、パッケージ１０１００ａおよびパッケージ１０１００ｂ、接続部材１０１００ｃが分離してしまうことを未然に防ぐことができる場合がある。

【２３８３】

図２８５は、図２８３（ａ）、（ｂ）、（ｃ）に示すパッケージ１０１２０ａおよびパッケージ１０１２０ｂを接続配線部１０１２０ｃで一体化して収容ケース１０１０４で覆った状態を示す図である。図２８５（ａ）は平面図、（ｂ）は側面図、（ｃ）は斜視図である。収容ケース１０１０４は上ケース１０１０４ａと下ケース１０１０４ｂとに分離可能である。収容ケース１０１０４は例えば不透明な絶縁性樹脂で形成されている。上ケース１０１０４ａと下ケース１０１０４ｂとを組み合わせた状態で全体として収容ケース１０１０３は３つの薄い直方体形状をつなぎ合わせた形状を呈している。具体的には、収容ケース１０１０４は、パッケージ１０１２０ａの外形に倣うように形成された箱状の第一領域Ａと、パッケージ１０１２０ｂの外形に倣うように形成された箱状の第三領域Ｃと、第一領域Ａと第三領域Ｃを接続して接続配線部１０１２０ｃを収容する第二領域Ｂとで構成されている。上ケース１０１０４ａと下ケース１０１０４ｂとでパッケージ１０１２０ａ、１０１２０ｂおよび接続配線部１０１２０ｃを挟み込むことにより、パッケージ１０１２０ａおよびパッケージ１０１２０ｂの複数の端子だけがケース１０１０４の第一側面および第一側面に対向する第二側面から突出してその他の部材が収容ケース１０１０４内に収容された一体化パッケージ１０１２０を得ることができる。収容ケース１０１０４の短手方向の長さ（第一側面と第二側面との距離）に関し、第一領域Ａと第三領域Ｃはほぼ同じ長さであり、第二領域Ｂは第一領域Ａより短い長さを有している。このように収容ケース１０１０４でパッケージ１０１２０ａ、１０１２０ｂおよび接続配線部１０１２０ｃを覆うことにより、パッケージ１０１２０ａおよびパッケージ１０１２０ｂ、接続配線部１０１２０ｃが分離してしまうことを未然に防ぐことができる場合がある。

【２３８４】

また、一体化パッケージ１０１２０は２つのパッケージ１０１２０ａとパッケージ１０１２０ｂとを接続配線部１０１２０ｃで電気的に接続しているため、接続配線部１０１２０ｃを介して不正な電子部品を接続する不正行為が行われてしまうことが想定される。不正な電子部品は発見を困難にするため一体化パッケージ１０１２０の裏面側に装着される可能性が高い。このため、図２８４に示すような全体で直方体形状の収容ケース１０１０３よりも、図２８５に示すような中央部の幅が狭い収容ケース１０１０４の形状の方が一体化パッケージ１０１２０の裏面側を観察し易いので好適である。第二領域Ｂの短手方向の幅が第一及び第三領域Ａ、Ｃの短手方向の幅より狭いことにより収容ケース１０１０４中央部にできた凹部を利用して観察することにより、一体化パッケージ１０１２０の裏側や、一体化パッケージ１０１２０と基板（またはＩＣソケット）の隙間などに不正な回路を後付けするような不正行為を容易に発見することができ、不正行為を未然に防止できる場合がある。

【２３８５】

次に、以上説明した実施形態８によるパチンコ機１００の特徴的構成について説明する。

（１）本実施の形態によるパチンコ機１００は、

遊技制御を行うマイクロコンピュータを備えた遊技台であって、

前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２３８６】
前記マイクロコンピュータは、ＤＩＰ型のパッケージ（例えば、一体化パッケージ１０１２０）に収容され、
【２３８７】
前記パッケージは、第一領域（例えば、第一領域Ａ）、第二領域（例えば、第二領域Ｂ）、および第三領域（例えば、第三領域Ｃ）がこの順に一体的に設けられており、
【２３８８】
前記第一領域および前記第三領域の第一側面、および該第一側面に対向する第二側面の各々に複数の端子が設けられており、
前記第二領域の前記第一側面および前記第二側面には端子が設けられておらず、
【２３８９】
前記第二領域の前記第一側面および前記第二側面間の幅は、前記第一領域の前記第一側面および前記第二側面間の幅より短いこと
を特徴とする。
【２３９０】
当該構成を備えたパチンコ機１００によれば、不正な回路を後付けするような不正行為を容易に発見することができ、不正行為を未然に防止できる場合がある。
＜実施形態８＞
【２３９１】
以下、図面を用いて、本発明の実施形態９に係るパチンコ機（遊技台）について詳細に説明する。
【２３９２】
図２８６は、特図始動口ポートの状態と乱数取得との関係を示している。同図（ａ）、（ｂ）は、Ｉ／Ｏ３１０の特図始動口ポートに出力される特図始動口（ここでは例えば特図２始動口２３２とする）の球検出センサの検出信号を示している。横軸は時間の経過を示し、縦軸は信号レベルを示している。また、図中（１）～（４）に示す時点は、主制御部３００でのタイマ割込み処理の開始タイミングを示している。本例では、タイマ割込みの周期は４ｍｓであるものとする。また、図中破線の枠で示す領域は、乱数がラッチまたは取得される時期Ａ、Ｂ、Ｃを示している。時期Ａは、例えば１６ビット乱数回路９０００で生成された乱数が所定のソフトラッチ乱数値レジスタ（例えば、ＣＨ０ソフトラッチ乱数値レジスタ９０４０）にラッチされてタイマ割込み処理で乱数値（以下、ハード乱数（ソフトラッチ）と称する）が取得される時期を示している。時期Ｂは、ユーザプログラムで生成しているソフトウェア乱数（以下、ソフト乱数と称する）を取得する時期を示している。時期Ｃは、１６ビット乱数回路９０００の所定のハードラッチ乱数値レジスタ（例えば、ＣＨ０ハードラッチ乱数値レジスタ（０）９０３２ａ）に乱数値（以下、ハード乱数（ハードラッチ）と称する）がラッチされる時期を示している。これらの時期Ａ、Ｂ、Ｃはそれぞれラッチや取得の時期が変動したり不定であったりするので時間的に幅を持って示している。
【２３９３】
図２８６（ａ）に示す例では、時点（１）での特図始動口ポートの状態はオフ、続く時点（２）での特図始動口ポートの状態はオン、続く時点（３）での特図始動口ポートの状態もオンであるため（以下、オフ－オン－オンのように略称する場合がある）、入力ポート状態更新処理（ステップＳ２０５）において、過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致すると判定される。これにより、時点（３）で開始されたタイマ割込み処理の入賞受付処理（ステップＳ２１７）において、特図２始動口２３２への入賞があったと判定される。主制御部３００は、時点（３）を含む時期Ａで１６ビット乱数回路９０００の所定のソフトラッチ乱数値レジスタからハード乱数（ソフトラッチ）を取得するとともに、時点（３）を含む時期Ｂでソフト乱数を取得する。次いで、ハード乱数（ソフトラッチ）にソフト乱数を加算する等の乱数の加工処理を実行する。加工された乱

数値は当否判定用乱数として特図２関連抽選処理（ステップＳ２２９）で使用される。
【２３９４】
図２８６（ａ）の右方に示すテーブルは乱数取得タイミングをまとめたものであり、左から順に、時期、取得タイミング、乱数の種類を示している。図２８６（ａ）に示す例では、取得タイミングが時点（３）を含む時期Ａでハード乱数（ソフトラッチ）が取得され、取得タイミングが時点（３）を含む時期Ｂでソフト乱数が取得される。なお、厳密には、入賞受付処理（ステップＳ２１７）は時点（３）から所定期間後になる。また、入賞受付処理の前に種々の判定処理があるのでハード乱数（ソフトラッチ）のラッチ時期やソフト乱数の取得時期をランダムに変化させることができる場合がある。また、乱数取得は時期（４）で実行してもよい。この場合は、入賞判定パターン情報として、オン－オン－オフ（あるいは、オン－オン－オン－オフ）の情報を用い、時期（４）で開始されたタイマ割込み処理の入力ポート状態更新処理（ステップＳ２０５）で、過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致すると判定される。また、時点（４）で開始されたタイマ割込み処理の入賞受付処理（ステップＳ２１７）で特図２始動口２３２への入賞があったと判定されて乱数取得が実行される。こうすることにより、乱数取得の時期をさらに変動させることができる場合がある。また、入賞判定から乱数取得までの期間を乱数列が一巡する周期よりも確実に長くすることができる。なお、過去２回分の検出信号の有無の情報として例えばオフ－オンを入賞判定パターン情報とする場合には、時点（１）での特図始動口ポートの状態はオフ、続く時点（２）での特図始動口ポートの状態がオンなので時期（２）で開始されたタイマ割込み処理で乱数取得を実行することができる。
【２３９５】
次に、図２８６（ｂ）に示す例について説明する。例えば、図２７４に示す乱数回路９０００は、外部端子入力による乱数取込みができるようになっている。１６ビット乱数回路９０００では予め入力ポート制御レジスタで設定した期間以上のアクティブ信号が入力されると所定のハードラッチ乱数値レジスタに乱数値がラッチされるようになっている。このため、特図始動口ポートの状態を示す信号を乱数回路９０００の外部端子入力に入力することにより、ハード乱数（ハードラッチ）を取得することができる。
【２３９６】
図２８６（ｂ）に示すように時点（１）と時点（２）の間で特図始動口ポートの状態がオフからオンに変化すると、時期Ｃでハード乱数（ハードラッチ）がラッチされる。より具体的には、特図始動口ポートの状態がオフからオンに変化する波形の立ち上がりエッジから数μｓ後にハードラッチが実行される。つまり、球検出センサを通過してから所定期間後にハードラッチが行われる。
【２３９７】
次いで、時点（１）での特図始動口ポートの状態はオフ、続く時点（２）での特図始動口ポートの状態はオン、続く時点（３）での特図始動口ポートの状態はオンであるため、時点（３）での入力ポート状態更新処理（ステップＳ２０５）において、過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致すると判定される。これにより、時点（３）で開始されたタイマ割込み処理の入賞受付処理（ステップＳ２１７）において、特図２始動口２３２への入賞があったと判定される。主制御部３００は、時点（３）を含む時期Ａで１６ビット乱数回路９０００の所定のソフトラッチ乱数値レジスタからハード乱数（ソフトラッチ）を取得するとともに、予め時期Ｃでラッチされていたハード乱数（ハードラッチ）を取得する。次いで、ハード乱数（ソフトラッチ）にハード乱数（ハードラッチ）を加算する等の乱数の加工処理を実行する。加工された乱数値は当否判定用乱数として特図２関連抽選処理（ステップＳ２２９）で使用される。
【２３９８】
図２８６（ｂ）の右方に示すテーブルは乱数取得タイミングをまとめたものであり、左から順に、時期、取得タイミング、乱数の種類を示している。図２８６（ｂ）に示す例では、取得タイミングが時点（３）を含む時期Ａでハード乱数（ソフトラッチ）および時期Ｃでラッチされたハード乱数（ハードラッチ）が取得される。なお、厳密には、入賞受付

処理（ステップＳ２１７）は時点（３）から所定期間後になる。また、ハードラッチは入賞のタイミングに依存しており、主制御部３００のタイマ割込み処理とは無関係に発生する。つまりハード乱数（ハードラッチ）をラッチするタイミングは偶発的なものなので、ユーザプログラムの開始位置からラッチの時期を特定することはできない場合がある。また、入賞受付処理の前に種々の判定処理があるのでハード乱数（ソフトラッチ）のラッチ時期をランダムに変化させることができる場合がある。また、上述のように乱数取得を時期（４）で開始されるタイマ割込み処理で実行してもよい。こうすることにより、乱数取得の時期をさらに変動させることができる場合がある。また、入賞判定から乱数取得までの期間を乱数列が一巡する周期よりも確実に長くすることができる。なお、上述のように入賞判定パターン情報を変更して、時点（１）での特図始動口ポートの状態はオフ、続く時点（２）での特図始動口ポートの状態はオンで入賞と判定して時期（２）で開始されるタイマ割込み処理で乱数取得を実行することもできる。なお、過去複数回分の検出信号の有無の情報が入賞判定パターン情報と一致しないと判定された場合は、ハードラッチに係るハード乱数は取込まない。

【２３９９】

図２８７は、図２８６（ｂ）に示すものと同様だが、ハード乱数のハードラッチのタイミングがずれた場合について示している。ノイズフィルタ３１８５の設定や、特図２始動口２３２への入球のタイミングによっては、ハードラッチのタイミングは特図始動口ポートの波形の立ち上りエッジおよびタイマ割込み処理の開始時点（２）より後の時刻ｔになる場合がある。つまり、タイマ割込みタイミングが特図始動口ポートの波形の立ち上りエッジとハードラッチのタイミング（時刻ｔ）とで挟まれている。

【２４００】

また、図２８７は、時点（４）で開始されるタイマ割込み処理でハード乱数をソフトラッチする場合を示している。１６ビット乱数値（０～６５５３５）が一巡する周期は、例えば内部システムクロック（例えば、１０ＭＨｚ）を用いた場合、約６．６ｍｓとなる。一方、時点（２）近傍の時刻ｔでハード乱数（ハードラッチ）がラッチされ、それよりほぼ２割込み分の時間経過後の時点（４）以降でハード乱数（ソフトラッチ）がラッチされるので、ハードラッチとソフトラッチの間隔を最短でも２割込み分（約８ｍｓ）程度あけることができる。このため、ハードラッチによるハード乱数のラッチ後に確実に乱数列を一巡させた後にソフトラッチによるハード乱数をラッチすることができる。つまり、乱数取得の時期のランダム性を増大させることができる。時点（４）で開始されるタイマ割込み処理で入賞判定処理を可能にするには、入賞判定パターン情報を前々回がオン、前回がオン、今回がオフとすればよい。こうすることにより、時点（２）での特図始動口ポートの状態はオン、続く時点（３）での特図始動口ポートの状態はオン、続く時点（４）での特図始動口ポートの状態はオフであるため、時点（４）で開始されるタイマ割込み処理の入力ポート状態更新処理（ステップＳ２０５）において、過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致すると判定される。１６ビット乱数回路９０００に最大値設定をした場合には、確実に乱数列を一巡以上させることができるようになる場合がある。また、確実に乱数列を一巡させたい場合や、２割込みでソフトラッチをしたい場合等では、最大値を低く設定することにより実現できる。

【２４０１】

図２８６および図２８７に示した乱数取込みにおけるソフト乱数の取込みは、ソフトラッチに代えて実施形態６で図２５０等を用いて説明した第三の命令を用いた乱数値直接取込みを用いてもよい。また、上記実施形態では、ハードラッチの設定において、ラッチした乱数値をリードしなくても次のラッチを受け付けるようにしているが、ラッチした乱数値をリードしないと次のラッチを受け付ない設定にしてももちろんよい。この場合には、過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致しないと判定された場合であってもハードラッチに係るハード乱数を一旦取込み、次いで当該乱数を破棄するようにすればよい。

【２４０２】

また、上記実施形態では、ハードラッチとソフトラッチの組合せによる乱数値を用いるものとして当否判定用乱数を例に挙げたが、例えば、図柄決定用乱数にはハードラッチとソフトラッチの組合せによる乱数値は使わないようにしてもよい。

【２４０３】

また、上記実施形態では、１６ビット乱数回路９０００に最大値設定をしない場合で説明したが、最大値設定をしてもよい。また、８ビット乱数回路１００００に対し上記と同様にして８ビット乱数を取得するようにしてもよい。さらに、１６ビット乱数回路９０００と８ビット乱数回路１００００を組合わせて上記と同様にして乱数を取得するようにしてもよい。またさらに、ハードラッチとソフトラッチの組合せにさらにソフト乱数を組合わせたり、他の数値を組合わせたりしてももちろんよい。また、ハードラッチと別のハードラッチとを組合せてもよい。また、上記実施形態では、図２７４に示す１６ビット乱数回路９０００を用いた乱数値取得を例に挙げたが、図２８８に示すカウンタ回路３１２を用いた乱数値取得でハードラッチやソフトラッチを行わせるようにしてもよい。

【２４０４】

また、遊技球が球検出センサを通過するタイミングとハードラッチのタイミングが、別々の割込み周期になる場合がある。例えば上述のように１回目の割込みによる４ｍｓ間に遊技球が球検出センサを通過し、次の割込みによる４ｍｓ間にハードラッチが行われる場合がある。なお、ハードラッチによりハードラッチ乱数値レジスタに乱数値がラッチされるとラッチフラグレジスタに「１」がセットされる。このとき、すでに開始されている割込み処理での例えば特図関連抽選処理等でハード乱数（ハードラッチ）をＣＰＵコアレジスタやＲＡＭへ転送する場合があるが、次の割込み処理での特図関連抽選処理等でハード乱数（ハードラッチ）を転送する場合ももちろんある。ハード乱数（ハードラッチ）が取得されるとラッチフラグレジスタに「０」がセットされる。ハード乱数（ソフトラッチ）は、割込み処理での入力ポート状態更新処理等で実行され、ソフトラッチ選択レジスタに「１」がセットされると、所定のソフトラッチ乱数値レジスタに乱数値がラッチされるとともにソフトラッチフラグレジスタに「１」がセットされる。次いで、特図関連抽選処理等で、ハード乱数値（ソフトラッチ）がＣＰＵコアレジスタやＲＡＭの所定領域に書き込まれる。また、ソフトラッチフラグレジスタが「０」にセットされる（クリアされる）。

【２４０５】

なお、特図関連抽選処理において、取得した乱数値に基づいて特図停止図柄を決定し、例えば、大当たり遊技のラウンド数を決定したり、大当たり遊技後の遊技状態を確変状態や通常状態にするかを決定しているが、それらの決定において別々の乱数を用いてもよい。また、種々の組合せが可能であり、例えば、特図停止図柄が決まると遊技状態だけは決まるようにしてもよいし、特図停止図柄が決まるとラウンド数だけは決まるようにしてもよい。

【２４０６】

次に、以上説明した実施形態９によるパチンコ機１００の特徴的構成について説明する。

（１）本実施の形態によるパチンコ機１００は、

【２４０７】

所定の数値範囲内で更新される乱数を導出する乱数生成手段（例えば、１６ビット乱数回路９０００、８ビット乱数回路１００００）と、

【２４０８】

複数の遊技制御処理のそれぞれを、メイン制御（例えば、主制御部メイン処理）および割込み周期ごとに行われる割込み制御（例えば、主制御部タイマ割り込み処理）のうちの、少なくともいずれかの制御において実行可能な遊技制御手段（例えば、主制御部３００）と

を備えた遊技台であって、

前記乱数生成手段は、

【２４０９】

外部端子入力に入力された信号に基づいてラッチされた第一の乱数（例えば、ハード乱数（ハードラッチ））を生成可能であり、前記遊技制御手段の制御に基づいて第二の乱数（例えば、ハード乱数（ソフトラッチ）や、乱数値直接取込みにより取得されるハード乱数）を生成可能であり、

前記遊技制御手段は、

【２４１０】

前記第一の乱数がラッチされるタイミングと異なるタイミングで前記第二のハード乱数を取得可能であり、

【２４１１】

取得した前記第一の乱数と前記第二の乱数とを組み合わせて所定の乱数を生成することを特徴とする。

【２４１２】

従来はユーザプログラムでチャタリングの除去を制御できるソフトラッチで取得した乱数を使っていた。ラッチしたハード乱数を無駄にしないため、所定の入賞判定パターン情報を利用してハード乱数のラッチが行えるのが望ましい。しかしながら、回路内部にラッチ信号が出力されるので、このラッチ信号を手がかりに不正者に乱数の解析や当否判定のタイミングが把握されてしまうおそれがある。そこで、ハード乱数のラッチ後に、ユーザプログラムで更新するソフト乱数を組み合わせて使うことにより、少なくとも乱数の解析を困難にしていた。しかしながら、ソフト乱数を取得するタイミングはハード乱数のラッチのタイミングに近いのと、ソフト乱数の乱数更新周期が長いので解読されやすいという課題を有している。ハード乱数のラッチ時期とソフト乱数の取得時期とが近いのが問題であれば、ソフト乱数を取るタイミングを、例えば特図始動口ポートに入力される信号の立ち上がりエッジに同期させればよいとも考えられる。しかしながら、ソフト乱数の更新周期が長いので解読されやすいという課題は相変わらず残る。

【２４１３】

そこで、本実施形態では、ソフト乱数を組み合わせるのではなく、ハードラッチのハード乱数を取得するようにして、別の方法で取得したハード乱数を組み合わせて例えば当否判定用の乱数を生成するようにする。上記パチンコ機によれば、ハードラッチによるハード乱数とは異なるハード乱数を、ハードラッチのタイミングとは異なるタイミングで取得し、取得されたハード乱数（ハードラッチ）とハードラッチ以外で取得したハード乱数を組み合わせるようにした。これにより、ソフト乱数ではタイマ割込み基準で処理の実行タイミングが把握されるおそれがあったのに対し、ハードラッチでは偶発的でラッチのタイミングが不定なので特定され難くすることができる場合がある。

（２）上記パチンコ機１００であって、

前記遊技制御手段を少なくとも有するマイクロプロセッサを備え、

前記マイクロプロセッサは、

【２４１４】

少なくとも、セキュリティチェックを行うことが可能なものであり、該セキュリティチェックの後に前記遊技制御が行われるユーザモードへ移行するまでの時間をランダムに変動させるランダム延長処理が少なくとも行われる、セキュリティモードに滞在した後、該ユーザモードへ移行するものであることを特徴とする。

【２４１５】

当該構成を備えたパチンコ機１００によれば、ユーザモードに移行する前にランダム延長処理を実行するので、遊技制御プログラムの実行開始タイミングをずらすことが可能なため、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。

【２４１６】

（３）上記パチンコ機１００であって、前記ランダム延長処理の開始前に、前記マイクロプロセッサの所定の出力端子から所定の信号が出力されることを特徴とする。

【２４１７】
（４）上記パチンコ機１００であって、前記所定の端子は、前記マイクロプロセッサ以外の外部機器に対してリセット信号を出力可能なリセット端子であることを特徴とする。
【２４１８】
当該構成を備えたパチンコ機１００によれば、ランダム延長処理の前に外部機器に対してリセット信号を出力し、ランダム延長処理の後に遊技制御プログラムの実行を開始することができるので、遊技制御処理の特定の処理（例えばソフト乱数の更新処理、初期値更新処理等）の実行時期を判別困難にでき、これらの特定の処理の狙い撃ちを防止することができる場合がある。
【２４１９】
（５）上記パチンコ機１００であって、前記遊技制御手段から送出されるコマンドに基づいて演出制御を行う副制御手段を有することを特徴とする。
＜実施形態６の変形例＞
【２４２０】
次に、図２８８を用いて、実施形態６の変形例に係るパチンコ機（遊技台）に用いられるカウンタ回路３１２について説明する。図２８８は、カウンタ回路３１２を示すブロック図である。
【２４２１】
カウンタ回路３１２は、８ビットのプログラマブルカウンタを４チャネル内蔵している。すなわち、図２８８に示すように、４つのカウンタ回路（カウンタ回路０～３）が用意されている。各カウンタ回路は、アップカウンタ回路であって、それぞれ独立した動作モードの設定が可能である。これら４つのカウンタ回路の構成はいずれも同じであるため、ここではカウンタ回路０を用いて説明する。
【２４２２】
カウンタ回路は、制御レジスタ３１２１、８ビットカウンタ３１２２、カウンタ設定レジスタ３１２３、およびカウンタレジスタ３１２４を有する。制御レジスタ３１２１は、内部バスを流れる各種の信号を取得可能であり、図２８８には、制御レジスタ３１２１が、８種類の信号を取得可能であることが示されている。これら８種類の信号は、システムクロック信号（ＳＣＬＫ）、図１３２に示すタイマ回路０～２それぞれからのタイムアウト信号、ＣＰＵコアのメモリリクエスト信号（ＸＭＲＥＱ信号）、ＣＰＵコアのライト信号（ＸＷＲ信号）、ＣＰＵコアのＩＯリクエスト信号（ＸＩＯＲＱ信号）、およびＣＰＵコアの割込み要求応答信号（マスカブル割込みアクノリッジサイクル；ＸＩＮＴＡＣＫ信号）である。制御レジスタ３１２１は、８ビットカウンタ３１２２を動作させるためのクロック源を選択する８ビットのレジスタである。すなわち、８本の信号線から入力されるいずれの信号をクロック源にするかを選択するものである。また、制御レジスタ３１２１は、８ビットカウンタ３１２２の許可や禁止を設定するレジスタでもある。
【２４２３】
また、カウンタ回路３１２は、更新源としてＸＷＲ信号、ＸＭＲＥＱ信号、ＸＩＯＲＱ信号、タイマ回路ｎのタイムアウト信号のうちの少なくとも２以上の更新源を設定可能であってもよい。換言すると、カウンタ回路は、複数の更新源のうちの第一の更新源を除く第二の更新源と第三の更新源を共に設定可能であってもよい。
【２４２４】
制御レジスタ３１２１の詳細な構成については、図１３４に示す例と同じであるので説明を省略する。
【２４２５】
また、カウンタ設定レジスタ３１２３は、アップカウンタ回路である８ビットカウンタ３１２２のカウント値（最大値）を設定する８ビットのレジスタである。本実施形態では、０～２５５のカウント値を設定することができ、「２５５」を書き込んだ場合には、カウント値として最大値の２５５が設定される。この場合には０～２５５が所定の数値範囲になる。なお、設定値に「００」を設定した場合には、８ビットカウンタの動作を停止す

るようにしてもよい。なお、各カウンタ回路は、ダウンカウンタ回路であってもよく、ダウンカウンタ回路である場合には、カウンタ設定レジスタ３１２３は、最小値を設定するレジスタになる。

【２４２６】

カウンタレジスタ３１２４は、ＣＰＵレジスタリード信号の入力タイミングに合わせて８ビットカウンタ３１２２の値を読み出すためのレジスタである。

【２４２７】

以上説明した、各レジスタの設定値は、内蔵ＲＯＭ３０６のプログラムデータエリアに記憶されている。プログラム管理エリアに記憶されている各設定値は、図２７６に示す主制御部メイン処理における初期設定２（ステップＳ１５１０５）において、プログラムデータエリアから呼び出され、各レジスタに設定されるか、あるいは主制御部メイン処理や図２７８に示す主制御部割込処理において呼び出され、各レジスタに設定される。カウンタ設定レジスタ３１２３にカウント値が書き込まれると、８ビットカウンタ３１２２の値が「００Ｈ」にクリアされ、その後、制御レジスタ３１２１の４ビット目に「１」が書き込まれると、選択されたクロック源で８ビットカウンタ３１２２のアップカウントが開始される。

【２４２８】

カウンタ回路３１２には、カウンタ回路０、１用のハードラッチ選択レジスタとして、ＣＨ０，１ハードラッチ選択レジスタ９０２２、９０２４が設けられている。図２８８では、ＣＨ０，１ハードラッチ選択レジスタ９０２２、９０２４を１つにまとめて図示している。また、カウンタ回路２、３用のハードラッチ選択レジスタとして、ＣＨ２，３ハードラッチ選択レジスタ９０２６、９０２８が設けられている。図２８８では、ＣＨ２，３ハードラッチ選択レジスタ９０２６、９０２８を１つにまとめて図示している。これらのハードラッチ選択レジスタ９０２２、９０２４、９０２６、９０２８には、パラレル入力ポートを介してＰＩ０～ＰＩ５信号がそれぞれ入力される。各ハードラッチ選択レジスタは、ＰＩ０～ＰＩ５信号の入力に基づいて、対応するハードラッチ乱数値レジスタにラッチ信号を出力する。

【２４２９】

カウンタ回路０用のハードラッチ乱数値レジスタとして、ＣＨ０ハードラッチ乱数値レジスタ９０３２ａが設けられている。また、カウンタ回路１用のハードラッチ乱数値レジスタとして、ＣＨ１ハードラッチ乱数値レジスタ９０３４ａが設けられている。また、カウンタ回路２用のハードラッチ乱数値レジスタとして、ＣＨ２ハードラッチ乱数値レジスタ９０３６ａが設けられている。また、カウンタ回路３用のハードラッチ乱数値レジスタとして、ＣＨ３ハードラッチ乱数値レジスタ９０３８ａが設けられている。

【２４３０】

これらのハードラッチ乱数値レジスタ９０３２ａ、９０３４ａ、９０３６ａ、９０３８ａには、３つの信号が入力される。１つ目の信号は、対応するカウンタ回路０～３の８ビットカウンタにより生成された乱数を表す信号である。２つ目の信号は、ハードラッチ選択レジスタ９０２２、９０２４、９０２６、９０２８からそれぞれ出力された乱数ラッチ信号（ハードラッチ信号）である。３つ目の信号は、乱数の読み取りを示すリード信号である。

【２４３１】

ハードラッチ乱数値レジスタ９０３２ａ、９０３４ａ、９０３６ａ、９０３８ａには、対応するカウンタ回路０～３の８ビットカウンタにより生成された乱数を表す信号が常に入力されている。ここで、ラッチ信号が入力されると、この入力タイミングにおける乱数がハードラッチ乱数値レジスタ内にラッチ（保持）される。このとき、ハードラッチ乱数値レジスタからは、乱数がラッチされていることを示すセット信号が、ハードラッチフラグレジスタ９０４８ａ、９０４８ｂに出力される。このときＣＰＵ３０４は、ラッチされている乱数を取得することができる。なお、ＣＰＵ３０４により乱数が取得されると、ハードラッチ乱数値レジスタにリード信号が入力される。この信号により新たなラッチ信号

が入力された場合に乱数をラッチすることを許容する許容状態となる。換言すれば、一度乱数をラッチすると、リード信号が入力されるまで新たに乱数をラッチすることができない非許容状態となる。なお、リード信号が入力されてもラッチされている乱数は保持し続けるため、ＣＰＵ３０４はラッチされている同一のタイミングでラッチされた乱数を何度でも取得することができる。このように構成することで乱数ラッチ信号を出力するセンサ回路におけるチャタリングの影響を押さえることができる。なお、リード信号が入力されたことを示すクリア信号がハードラッチフラグレジスタ９０４８ａ、９０４８ｂに出力される。

【２４３２】

ハードラッチフラグレジスタ９０４８ａ、９０４８ｂには、ハードラッチ乱数値レジスタに乱数がラッチされているか否かを示す情報が記憶される。なお、ハードラッチフラグレジスタ９０４８ａ、９０４８ｂは、ハードラッチ乱数レジスタにラッチされた乱数（８ビット乱数の全てまたは一部）が読み出されたときに自動的にクリアされるように構成してもよいし、ＣＰＵ３０４によってクリアするように構成してもよい。

【２４３３】

本変形例によるカウンタ回路３１２のカウンタ回路０～３に設けられている８ビットカウンタの起動時期は、カウント値を設定しない場合と、カウンタ値を設定する場合とで異ならせることができる。カウンタ値を設定しない場合の８ビットカウンタは、主制御部メイン処理のプログラム起動設定処理中に起動される。また、カウンタ値を設定する場合の９ビットカウンタは、主制御部メイン処理の初期設定２（ステップＳ１５１０５）内でカウント値を設定した後に起動される。カウンタ回路０～３の８ビットカウンタの起動時期はそれぞれ個別に設定することができる。

以上説明したカウンタ回路３１２は、数値更新手段の一例に相当する。

【２４３４】

本変形例によるパチンコ機１００で用いられるカウンタ回路３１２の８ビットカウンタは、ハード乱数カウンタである。

【２４３５】

ハード乱数カウンタは、内部システムクロック（ＳＣＬＫ）または外部クロック（ＲＣＫ）で更新される。

ハード乱数カウンタの更新周期は、ソフト乱数の更新周期よりも短い。

ハード乱数カウンタの更新周期は、割込み処理の割込み周期よりも短い。

【２４３６】

ハード乱数カウンタの更新時期は、プログラム処理に依存しないが、最大値設定時は更新開始時期（起動時期）のみがプログラム処理に依存する

なお、ソフト乱数カウンタは、プログラム処理内の更新処理毎に更新される。

ソフト乱数の更新時期は、プログラム処理に依存する。

【２４３７】

次に、以上説明した実施形態７の変形例によるパチンコ機１００の特徴的構成について再度図２８８を参照しつつ説明する。

（１）本実施の形態によるパチンコ機１００は、

【２４３８】

乱数を少なくとも導出可能なハード乱数カウンタ（例えば、８ビットカウンタ３１２２）と、

【２４３９】

複数の遊技制御処理のそれぞれを、メイン制御（例えば、主制御部メイン処理）および割込み周期ごとに行われる割込み制御（例えば、主制御部タイマ割込処理）のうちの、少なくともいずれかの制御において実行可能な遊技制御手段（例えば、主制御部３００）と、を備えた遊技台であって、

【２４４０】

前記ハード乱数カウンタは、第一の数値範囲内で更新される第一の乱数（例えば、最大

値設定で起動される乱数生成回路が生成する乱数値）を導出可能なものであり、
【２４４１】
前記ハード乱数カウンタは、第二の数値範囲内で更新される第二の乱数（例えば、ユーザモード起動で起動される乱数生成回路が生成する乱数値）を導出可能なものであり、
【２４４２】
前記第一の乱数の起動時期と前記第二の乱数の起動時期（例えば、カウンタ回路０～３の８ビットカウンタの起動時期）は異なるものであること
を特徴とする
【２４４３】
当該構成を備えたパチンコ機１００によれば、２つのハード乱数カウンタの起動時期が異なるため、不正者による２つの乱数の解析を困難にでき、安定した遊技制御を行うことができる場合がある。
（２）上記パチンコ機１００であって、
【２４４４】
第一の処理（例えば、主制御部メイン処理のステップＳ１５１０３）を前記遊技制御処理は少なくとも含むものであり、
【２４４５】
前記第一の乱数の起動時期と前記第二の乱数の起動時期のうちの一方は、前記第一の処理よりも後であること
を特徴とする
【２４４６】
当該構成を備えたパチンコ機１００によれば、ハード乱数カウンタの起動時期が第一の処理後であるため、不正者による不正をより困難にでき、安定した遊技制御を行うことができる場合がある。
（３）上記パチンコ機１００であって、
前記第一の処理は、制御の進行を保留可能なものであり、
【２４４７】
前記第一の処理は、制御進行条件が成立した場合に（例えば、主制御部メイン処理のステップＳ１５１０３のＹｅｓ）、前記保留を解除可能なものであり、
【２４４８】
前記制御進行条件は、第一の信号が第一の状態から第二の状態に変化した場合に成立するものであること
を特徴とする。
【２４４９】
当該構成を備えたパチンコ機１００によれば、第一の信号の状態の変化時期に応じて起動時期が変化するため、不正者による不正をより困難にでき、安定した遊技制御を行うことができる場合がある。
（４）上記パチンコ機１００であって、
【２４５０】
前記ハード乱数カウンタに前記数値範囲の設定を指示可能な第二の処理（例えば、主制御部メイン処理のステップＳ１５１３３）と、
【２４５１】
前記ハード乱数カウンタによって導出された乱数を取得可能な第三の処理（例えば、主制御部タイマ割込処理のステップＳ１５２１７）と、
【２４５２】
前記第三の処理によって取得された乱数に基づく判定を実行可能な第四の処理（例えば、主制御部タイマ割込処理のステップＳ１５２２３、ステップＳ１５２２９、ステップＳ１５２３１）と、を前記遊技制御処理は少なくとも含むものであり、
前記第一の数値範囲は、前記第二の処理によって設定されるものであり、
前記第二の数値範囲は、前記第二の処理によらずに設定されるものであり、

【２４５３】
前記第一の数値範囲が設定された場合に、前記第一の乱数の起動が開始可能なものであること
を特徴とする。
【２４５４】
当該構成を備えたパチンコ機１００によれば、数値範囲設定後に更新するので数値範囲外の数値を更新することがなく、安定した遊技制御を行うことができる場合がある。
【２４５５】
以上説明した本願発明によるパチンコ機１００における上述の＜第４特殊命令／ＲＳＴ命令＞についての特徴的構成について以下に付記する。
（付記１）
ＣＰＵを内蔵するマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２４５６】
前記ＣＰＵは、特定のジャンプ命令を受け付けたことに基づいて、ジャンプ先アドレスに記憶されている命令を受け付けるように構成されており、
前記特定のジャンプ命令には、アドレス情報が含められているものであり、
【２４５７】
前記アドレス情報として特定のアドレス情報が含められている場合には、前記ジャンプ
【２４５８】
先アドレスは、当該アドレス情報と特定の値を乗算した場合に得られる値と一致しない所定の値により示される所定のアドレスとなるものであり、
【２４５９】
前記アドレス情報として前記特定のアドレス情報とは異なるアドレス情報が含められて
【２４６０】
いる場合には、前記ジャンプ先アドレスは、当該アドレス情報と前記特定の値を乗算した場合に得られる値と一致する値により示されるアドレスとなるものである、
ことを特徴とする遊技台。
（付記２）
付記１に記載の遊技台において、
【２４６１】
前記特定のアドレス情報が０であることから、前記ＣＰＵは、前記特定のジャンプ命令の次に０番地に記憶されている命令を受け付けることが禁止されているものである、
ことを特徴とする遊技台。
（付記３）
付記１または２に記載の遊技台であって、
前記ＣＰＵは、少なくとも特定のレジスタを備え、
【２４６２】
前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、ロード命令を受けた
【２４６３】
ことに基づいて行われるものとしては、直値により値をセットする機能のみを有することを特徴とする遊技台。
（付記４）
付記３に記載の遊技台であって、
【２４６４】
前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、前記ロード命令を受
【２４６５】
けたことに基づいて行われるもの以外のものとして、所定の値を初期値としてセットする機能を少なくとも有することを特徴とする遊技台。
（付記５）

付記１～４のいずれかに記載の遊技台であって、
遊技制御を行う遊技制御手段と、
演出制御を行う演出制御手段と、を備え、
【２４６６】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段にのみ搭載されることを特徴とする遊技台。
（付記６）
付記１～４のいずれかに記載の遊技台であって、
遊技制御を行う遊技制御手段と、
演出制御を行う演出制御手段と、
払出制御を行う払出制御手段と、を備え、
【２４６７】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、
【２４６８】
前記遊技制御手段および前記払出制御手段のうちの少なくとも一方に搭載されることを特徴とする遊技台。
（付記７）
ＣＰＵを少なくとも内蔵するマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２４６９】
前記ＣＰＵは、第一のジャンプ命令を受け付けたことに基づいて、第一のジャンプ先アドレスに記憶されている命令を受け付けることが可能なものであり、
【２４７０】
前記ＣＰＵは、第二のジャンプ命令を受け付けたことに基づいて、第二のジャンプ先アドレスに記憶されている命令を受け付けることが可能なものであり、
【２４７１】
前記第一のジャンプ命令には、３ビットの第一の識別情報が少なくとも含まれており、
【２４７２】
前記第二のジャンプ命令には、３ビットの第二の識別情報が少なくとも含まれており、
前記第一のジャンプ先アドレスは、第一の値により示されるアドレスであり、
前記第二のジャンプ先アドレスは、第二の値により示されるアドレスであり、
前記第一の値は、前記第一の識別情報の８倍の値であり、
【２４７３】
前記第二の値は、前記第二の識別情報の８倍の値とは異なり、３ビットで示すことが可能な最大値を１だけ超えた値の８倍の値である、
ことを特徴とする遊技台。
（付記８）
付記７に記載の遊技台であって、
前記第二の識別情報は０である、
ことを特徴とする遊技台。
（付記９）
付記７または８に記載の遊技台であって、
前記第一の識別情報は１から７のいずれかの値である、
ことを特徴とする遊技台。
（付記１０）
付記９に記載の遊技台であって、
【２４７４】
前記第二のジャンプ先アドレスは、前記第一の識別情報の最大値である７を１だけ超えた値である８の８倍の値である６４である、
ことを特徴とする遊技台。

（付記１１）
請求項７乃至１０のいずれかに記載の遊技台であって、
【２４７５】
前記ＣＰＵは、前記第一のジャンプ命令および前記第二のジャンプ命令とは異なるジャンプ命令を受け付けることも可能なものである、
ことを特徴とする遊技台。
【２４７６】
以下、図２８９および図２９０を用いて、本発明の実施形態に係るパチンコ機（遊技台）について説明する。図２８９は、ＣＰＵ３０４によって実行される処理Ａ～処理Ｄを示している。処理Ａ（例えば、定期割り込み処理、メインループ等）は、ＲＯＭ３０６のアドレスＡ～アドレスＢまでの間に記憶された処理であり、処理ａ１、先頭アドレスがアドレスＣである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ａ２、先頭アドレスがアドレスＥである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ａ３、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、および処理ａ４の順で各処理・各命令がＣＰＵ３０４によって実行されることを示している。
【２４７７】
処理Ｂ（例えば、データ処理１等）は、ＲＯＭ３０６のアドレスＣ～アドレスＤまでの間に記憶された処理であり、処理ｂ１、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、ＮＯＰ処理（例えば、一つのＮＯＰ命令）、処理ｂ２、および処理Ｃの順で各処理・各命令がＣＰＵ３０４によって実行されることを示している。
【２４７８】
処理Ｃ（例えば、データ処理２等）は、ＲＯＭ３０６のアドレスＥ～アドレスＤまでの間に記憶された処理である。
【２４７９】
処理Ｄ（例えば、データ処理３等）は、ＲＯＭ３０６のアドレスＦ～アドレスＧまでの間に記憶された処理である。
【２４８０】
図２８９および図２９０における"命令"は、一つの命令操作部（オペコード）と当該命令操作部に基づいてＣＰＵ３０４が動作する際に必要な数のオペランド部（オペランド）からなるＣＰＵ３０４が受け付け可能な単一セットの指示を指す用語である。
【２４８１】
図２８９および図２９０における"処理"は、データ処理を指す用語であり、一つの命令から構成されるものや複数の命令から構成されるもの、入力データ等によってＣＰＵによって実行される命令の数が変化するものを含むものである。
【２４８２】
ＣＰＵ３０４は、ＲＳＴ命令（図６５等参照）を受け付けた場合に、予め定められた複数のアドレス（例えば、０８Ｈ、１０Ｈ、１８Ｈ、２０Ｈ、２８Ｈ、３０Ｈ、３８Ｈ、４０Ｈの８つのアドレス等）のうちの当該ＲＳＴ命令のオペランド部で示されるアドレスを先頭アドレスとする処理を実行するものであり、ＣＰＵ３０４は、当該処理の実行を終了（例えばＲＥＴ命令により復帰）した場合は、当該ＲＳＴ命令の次に記憶されている命令を読み出して実行するように構成されている。
【２４８３】
ＣＰＵ３０４は、ＥＸＥＳＵＢ命令（図２５～図２８等を参照）を受け付けた場合に、予め定められたアドレス範囲（例えば０００００Ｈ～１１ＦＦＨの４キロバイト）のうちの当該ＥＸＥＳＵＢ命令のオペランド部で示されるアドレスを先頭アドレスとする処理を実行するものであり、ＣＰＵ３０４は、当該処理の実行を終了（例えばＲＥＴ命令により復帰）した場合は、当該ＥＸＥＳＵＢ命令の次に記憶されている命令を読み出して実行するように構成されている。

【２４８４】
これらの構成によりＣＰＵ３０４は、処理ａ１、先頭アドレスがアドレスＣである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ｂ１、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、ＮＯＰ処理、処理ｂ２、処理Ｃ、処理ａ２、先頭アドレスがアドレスＥである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理Ｃ、処理ａ３、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、処理Ｄ、および処理ａ４の順で各処理・各命令を実行する。
【２４８５】
ここでＮＯＰ処理は、ＮＯＰ命令を少なくとも含む処理であり、一つのＮＯＰ命令のみから構成されるもの、複数のＮＯＰ命令のみから構成されるもの、一または複数のＮＯＰ命令と一または複数の他の命令によって構成されたもの等を適用してもよい。
【２４８６】
ＣＰＵ３０４は、ＮＯＰ命令を受け付けた場合には、何もせずに、またはＮＯＰ命令を受け付けた場合特有の動作をせずにＮＯＰ命令時間の経過後に当該ＮＯＰ命令の次に記憶されている命令を読み出して実行するように構成されている。またＮＯＰ命令はオペランド部を必要とせず、所定のステート数（例えば４ステート）、所定の命令長（例えば１バイト）で構成されている。
【２４８７】
しかし図２８９で示される処理は、遊技機（スロットマシン、ぱちんこ機、遊技媒体封入式のスロットマシン、遊技媒体封入式のぱちんこ機等）にとっては、ＮＯＰ処理が不正者によって他の不正処理に置き換えられてしまうといった非常に大きな問題を有している。ＲＯＭ３０６に記憶されている情報が点検者にとって確認しがたい数値（命令を示す数値、すなわち命令操作部・オブジェクト部を構成する数値）情報で構成されていることも不正者に不正利用される要因になっている。
【２４８８】
例えばＲＯＭ３０６のアドレスＨから始まる領域に不正処理を記憶する改造が不正者によって行われ、かつＮＯＰ処理を特定の呼出処理（不正な処理）に置き換える改造が不正者によって行われてしまったとする。ここで特定の呼出処理は、当該アドレスＨから始まる処理を呼び出すための呼び出し処理だとする。このような改造が行われると、ＣＰＵ３０４は処理Ｂの実行時に不正者による改造によって記憶された不正処理を呼び出し、実行してしまうことになる。ここでは、正規の遊技機に取り付けられていたＲＯＭ３０６の記憶内容を記憶し直す改造を例示したが、不正者によっては、正規の遊技機に取り付けられていたＲＯＭ３０６を上述のような特定の呼出処理・不正処理が記憶された不正なＲＯＭに交換する手口や、正規の遊技機に取り付けられていたマイクロプロセッサ３０００（ＲＯＭ３０６を含む（例えば内蔵する）もの）を不正なマイクロプロセッサ（上述のような特定の呼出処理・不正処理が記憶された不正なＲＯＭを内蔵するもの）に交換する手口なども使われる。
【２４８９】
また不正処理は、不正な入力（例えばマイクロプロセッサに入力される所定の信号を監視し、当該信号の変化パターンが特定の変化パターンである場合にオンと判定される信号）があった場合に、所定の不正ＲＡＭ設定処理（例えばＲＡＭ３０８の遊技状態を示すフラグ（ぱちんこ機の場合の大当りフラグ、ぱちんこ機の場合の確変フラグ、スロットマシンの場合のＢＢ・ＲＢ中かどうかを示すフラグ等）に、不正者の都合のよい状態を示す値（ぱちんこ機の場合の大当り中であることを示す値、ぱちんこ機の場合の確変中であることを示す値、スロットマシンの場合のＢＢ・ＲＢ中であることを示す値等）を設定する）を行うような処理が一般的だが、これに限らず、単に時間を費やすだけの処理など不正者による様々な処理のうちの一つまたは複数である場合があり得る。
そこで、このＮＯＰ処理を使わずに遊技制御を実現したものを図２９０に示す。

【２４９０】
図２９０は、ＣＰＵ３０４によって実行される処理Ａ～処理Ｄを示している。図２９０における処理・命令のうち図２８９と同じ処理・命令は、同じ名称としている。
【２４９１】
図２９０の処理Ａ（例えば、定期割り込み処理、メインループ等）は、ＲＯＭ３０６のアドレスＡ～アドレスＢまでの間に記憶された処理であり、処理ａ１、先頭アドレスがアドレスＣである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ａ２、先頭アドレスがアドレスＥである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ａ３、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、および処理ａ４の順で各処理・各命令がＣＰＵ３０４によって実行されることを示している。
【２４９２】
処理Ｂ（例えば、データ処理１等）は、ＲＯＭ３０６のアドレスＣ～アドレスＤまでの間に記憶された処理であり、処理ｂ１、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｃ（例えば、ＣＡＬＬ命令等）、処理ｂ２、および処理Ｃの順で各処理・各命令がＣＰＵ３０４によって実行されることを示している。
【２４９３】
処理Ｃ（例えば、データ処理２等）は、ＲＯＭ３０６のアドレスＥ～アドレスＤまでの間に記憶された処理である。
【２４９４】
処理Ｄ（例えば、データ処理３等）は、ＲＯＭ３０６のアドレスＦ～アドレスＧまでの間に記憶された処理である。
【２４９５】
ＣＰＵ３０４は、ＣＡＬＬ命令を受け付けた場合に、当該ＣＡＬＬ命令のオペランド部で示されるアドレスを先頭アドレスとする処理を実行するものであり、ＣＰＵ３０４は、当該処理の実行を終了（例えばＲＥＴ命令により復帰）した場合は、当該ＣＡＬＬ命令の次に記憶されている命令を読み出して実行するように構成されている。
【２４９６】
これらの構成によりＣＰＵ３０４は、処理ａ１、先頭アドレスがアドレスＣである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理ｂ１、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｃ（例えば、ＣＡＬＬ命令等）、処理ｂ２、処理Ｃ、処理ａ２、先頭アドレスがアドレスＥである処理を呼び出すことが指定された呼出命令Ａ（例えば、ＲＳＴ命令等）、処理Ｃ、処理ａ３、先頭アドレスがアドレスＦである処理を呼び出すことが指定された呼出命令Ｂ（例えば、ＥＸＥＳＵＢ命令等）、処理Ｄ、および処理ａ４の順で各処理・各命令を実行する。
【２４９７】
ＥＸＥＳＵＢ命令およびＣＡＬＬ命令の両方の処理は、処理Ｄを呼び出すことが可能な処理であるが、ＥＸＥＳＵＢ命令のサイズは２バイト、ステート数は１３であり、一方ＣＡＬＬ命令のサイズは３バイト、ステート数は１６であり、処理Ｄの先頭アドレスであるアドレスＦが予め定められたアドレス範囲内であれば、ＣＡＬＬ命令を用いる場合よりもＥＸＥＳＵＢ命令を用いる場合の方が、サイズ的なメリット、ステート数（処理速度）的なメリットを有することになる。
【２４９８】
しかし、ＲＳＴ命令が上述のとおり予め定められた複数のアドレスのいずれかのアドレスしか呼び出せないことにより、第一の処理（ここではアドレスＣからアドレスＥに記憶されたＮＯＰ以外の複数の命令）のサイズが所定のサイズ（例えば、７バイト、７バイト以下等）である場合は、第二の処理（ここでは処理Ｃ）を単独で呼び出したり、当該第二の処理を含む第三の処理（ここでは処理Ｂ（第一の処理および第二の処理の両方からなる処理））を呼び出したりすることがＮＯＰ処理を含めなければできなくなってしまう。
【２４９９】

そこで第一の処理では呼出命令Ｂ（ここではＥＸＥＳＵＢ命令）を用いず、代わりに呼出命令Ｃ（ここではＣＡＬＬ命令）を用いることで、サイズ・ステート数の両面で不利（サイズ的に大きいことで不利、処理速度的に遅いことで不利）にはなるが、当該第一の処理をアドレスＣ（例えば２０Ｈ）からアドレスＥ（例えば２８Ｈ）の間に収めることができる、すなわち当該第一の処理のサイズをＮＯＰ処理を用いずに８バイトにすることができるので、不正者が不正な処理を当該ＮＯＰ処理と置き換えるようなことを防止でき、不正に強い遊技制御プログラムをＲＯＭ３０６に記憶することが可能となる。

【２５００】

ここでは図２８９と図２９０を用いて、呼出命令Ｂの代わりに、命令（処理）のサイズ・命令の処理時間は異なるが処理の結果が当該呼出命令Ｂと同じとなる呼出命令Ｃを用いることで、ＮＯＰ処理を使わない例を示したが、これに限定されず、第二の命令の代わりに、命令（処理）のサイズ・命令の処理時間は異なるが処理の結果が当該第二の命令と同じとなる第一の命令を用いることで、ＮＯＰ処理を使わないような処理であればよい。ここでは第二の命令と第一の命令の例として、ＥＸＥＳＵＢ命令とＣＡＬＬ命令を示したが、その他の例としては、ＪＲ命令とＪＰ命令、ＲＳＴ命令とＥＸＥＳＵＢ命令、ＲＳＴ命令とＣＡＬＬ命令などマイクロプロセッサ３０００が受け付け可能な命令のうちの「第二の命令」と「命令（処理）のサイズ・命令の処理時間は異なるが処理の結果が当該第二の命令と同じとなる第一の命令」を適用するようにすればよい。ここでは第一・第二の命令の例として分岐命令を示したが、第一・第二の命令の両方を転送命令、サーチ命令、算術演算処理命令、論理演算処理命令、汎用算術機能、ＭＰＵ制御命令、ローテイト命令、シフト命令、ビット処理命令、ジャンプ命令、コール命令、シフト命令、および入出力命令のうちのいずれかの命令としてもよい。また「第一の複数の命令のサイズの合計・処理時間の合計」と「複数の命令のサイズの合計・複数の命令の処理時間の合計は異なるが処理の結果が当該第一の複数の命令と同じとなる第二の複数の命令」に適用してもよいし、「第二の命令のサイズ・処理時間」と「複数の命令のサイズの合計・複数の命令の処理時間の合計は異なるが処理の結果が当該第二の命令と同じとなる第二の複数の命令」に適用してもよいし、「第一の複数の命令のサイズの合計・処理時間の合計」と「命令のサイズ・命令の処理時間は異なるが処理の結果が当該第一の複数の命令と同じとなる第一の命令」に適用してもよい。ここで第一の複数の命令に含まれる命令および第二の複数の命令に含まれる命令は、マイクロプロセッサ３０００が受け付け可能な命令であれば、どのような命令を適用してもよい。また「命令のサイズ・処理時間が異なる」または「命令のサイズの合計・処理時間の合計が異なる」と記載してきたが、少なくとも「命令のサイズ」または「命令のサイズの合計」と置き換えても同様の効果が得られる。第一の命令が実行された後のフラグレジスタの値と第二の命令のフラグレジスタの値については、同一であっても同様の効果が得られる場合がある。もちろん第一の命令が実行された後のフラグレジスタの値と第二の命令のフラグレジスタの値については、異なっていても同様の効果が得られる場合がある。

【２５０１】

なお、「処理Ｂを構成する複数の命令」のうち「処理Ｃを構成する複数の命令」以外の命令（図２９０の場合であれば、処理ｂ１を構成する一または複数の命令、ｂ２を構成する一または複数の命令、および呼出命令Ｃ）にＮＯＰ命令が含まれていてもよく、ＮＯＰ命令が含まれていたとしても呼出命令ＣによりＮＯＰ命令の数が減少しているので、不正がし難くなるという効果を奏する場合がある。

【２５０２】

ＮＯＰ命令は上述の「処理Ｂを構成する複数の命令」のうち「処理Ｃを構成する複数の命令」以外の命令に一切含まれていなくてもよく、またＲＯＭ３０６に記憶され、ＣＰＵ３０４によって実行される全ての命令をＮＯＰ以外の命令としてもよい。

【２５０３】

ここで不正者による不正行為に利用される命令としてＮＯＰ命令を例示してきたが、"ＬＤ　Ａ，Ａ"のようなＣＰＵによって受け付けられ実行されても、当該実行の前後で何

もかわらないような処理をＮＯＰ命令と同様に考えるようにしてもよい。
【２５０４】
　またアドレスＥからアドレスＣを差し引いた値は、処理Ｂのサイズから処理Ｃのサイズを差し引いた値としてもよい場合がある。アドレスＥからアドレスＣを差し引いた値よりも、処理Ｂのサイズから処理Ｃのサイズを差し引いた値の方が小さくてもよい場合がある。
【２５０５】
　図２９０について、処理ａ１、処理ａ２、処理ａ３、処理ａ４、処理ｂ１、処理ｂ２、および処理Ｄのうちの一または複数の処理を省略するようにしてもよい。また呼出命令Ｂについても省略してもよい。
【２５０６】
　同一の処理（サブルーチン）の複数の命令に、先頭アドレスがアドレスＣである処理Ｂを呼び出すことが指定された呼出命令Ａと、アドレスＥである処理Ｃを呼び出すことが指定された呼出命令Ａと、が含まれていなくても、処理Ａにおける複数の命令に先頭アドレスがアドレスＣである処理Ｂを呼び出すことが指定された呼出命令Ａが含まれ、処理Ａとは別の処理Ｅにおける複数の命令に先頭アドレスがアドレスＥである処理Ｃを呼び出すことが指定された呼出命令Ａが含まれていてもよい。
【２５０７】
　処理のサイズについては、当該処理から他の処理を呼び出す呼出命令のサイズは含むようにしてもよく、当該呼出命令によって呼び出された処理のサイズは含まないものとしてもよい。
【２５０８】
　処理のステート数（処理時間）については、当該処理から他の処理を呼び出す呼出命令のステート数（処理時間）は含むようにしてもよく、また当該呼出命令によって呼び出された処理のステート数（処理時間）も含むようにしてもよい。
【２５０９】
　第一の命令（例えばＣＡＬＬ命令）は、ＲＯＭ３０６に記憶された全ての遊技制御プログラムのうち、上述の呼出命令Ａから呼び出されるサブルーチン内にのみ用いられるように構成されていてもよい。もちろん上述の呼出命令Ａによって当該サブルーチンが呼び出されてから終了するまでの間にだけ用いられるように構成されていてもよく、例えば当該サブルーチンから呼び出されるサブルーチン内にのみ用いられているように構成されていてもよい。また上述の呼出命令Ａから呼び出されるサブルーチン以外で用いられていてもよい
【２５１０】
　第二の命令（例えばＥＸＥＳＵＢ命令）は、ＲＯＭ３０６に記憶された全ての遊技制御プログラムのうち、上述の呼出命令Ａから呼び出されるサブルーチン内にのみ用いられるように構成されていてもよい。もちろん上述の呼出命令Ａによって当該サブルーチンが呼び出されてから終了するまでの間にだけ用いられるように構成されていてもよく、例えば当該サブルーチンから呼び出されるサブルーチン内にのみ用いられているように構成されていてもよい。また上述の呼出命令Ａから呼び出されるサブルーチン以外で用いられていてもよい
【２５１１】
　なお、本実施例で例示した命令として他の実施例で例示した命令を適用してもよいし、逆に他の実施例で例示した命令の一形態として本実施例で例示した命令を適用してもよい。例えば第一、第二の呼出命令のうちの少なくとも一方の命令に、他の実施例で例示した"ＲＳＴ　４０Ｈ"を適用しても良いし、第一、第二の呼出命令のうちの少なくとも一方の命令に、他の実施例で例示した「"ＲＳＴ　４０Ｈ"以外の７つのＲＳＴ命令のいずれか」を適用してもよい。
　これらを包含するように記載すると、
　ＣＰＵを内蔵するマイクロプロセッサを備えた遊技台Ａであって、

上述の遊技台Ａは、ぱちんこ機またはスロットマシンであり、
【２５１２】
上述のＣＰＵは、第一の命令（例えばＣＡＬＬ命令）を受け付けた場合に第一の動作を少なくとも実行可能なものであり、
【２５１３】
上述のＣＰＵは、第二の命令（例えばＥＸＥＳＵＢ命令）を受け付けた場合に第二の動作を少なくとも実行可能なものであり、
【２５１４】
上述の第一の命令のサイズは、上述の第二の命令のサイズよりも大きいものであり、
【２５１５】
上述のＣＰＵは、第一の呼出命令（例えば、"ＲＳＴ　３８Ｈ"、図６４における命令コード"ＦＦＨ"の命令等）を受け付けた場合に、第一のサブルーチンに含まれる第一の複数の命令を少なくとも受付可能なものであり、
【２５１６】
上述のＣＰＵは、第二の呼出命令（例えば、"ＲＳＴ　４０Ｈ"、図６４における命令コード"Ｃ７Ｈ"の命令等）を受け付けた場合に、第二のサブルーチンに含まれる第二の複数の処理を少なくとも受付可能なものであり、
【２５１７】
上述の第一の複数の命令は、第三の複数の命令および上述の第二の複数の命令から構成されたものである、
【２５１８】
ことを特徴とする遊技台Ａ。なお、この記載の一部の構成を省略してもよいし、複数の構成を省略してもよい。また命令コードの値は一例であり、他の値であってもよい。
遊技台Ａについて、
【２５１９】
上述のＣＰＵは、ＮＯＰ命令を受け付けた場合に、当該ＮＯＰ命令の次の命令を受け付けるものであり、
【２５２０】
上述の第三の複数の命令は、ＮＯＰ命令を含まず、上述の第一の命令を少なくとも含むものであってもよい。
遊技台Ａについて、
【２５２１】
上述のＣＰＵは、ＮＯＰ命令を受け付けた場合に、当該ＮＯＰ命令を受け付けた場合にのみ実行される動作は行わず、上述の次の命令を受け付けるものであってもよい。
遊技台Ａについて、
【２５２２】
上述の第二のサブルーチンの先頭アドレス（例えば４０Ｈ等）から上述の第一のサブルーチンの先頭アドレス（例えば３８Ｈ等）を引いた値（ここでは８バイト）は、上述の第三の複数の命令のサイズを示す値と等しいものであってもよい。
遊技台Ａについて、
【２５２３】
上述のＣＰＵは、呼出命令を受け付けた場合に、当該呼出命令によって指定されたアドレスから始まるサブルーチンに含まれる複数の命令を少なくとも実行可能なものであり、当該複数の命令のうちの最後のＲＥＴ命令を受け付けた場合に、当該呼出命令の次の命令を受け付けて少なくとも実行可能なものであってもよい。
遊技台Ａについて、
【２５２４】
上述のＣＰＵは、呼出命令を受け付けた場合に、当該呼出命令によって指定されたアドレスから始まるサブルーチンに含まれる複数の命令を少なくとも実行可能なものであり、当該複数の命令のうちの最後のＲＥＴ命令を受け付けた場合に、当該呼出命令の次の命令

を受け付けて少なくとも実行可能なものであってもよい。
遊技台Ａについて、
上述の第二の複数の命令における最後の命令を、上述のＲＥＴ命令としてもよい、
遊技台Ａについて、
上述の第一の複数の命令における最後の命令を、上述のＲＥＴ命令としてもよい、
【２５２５】
上述の第一の複数の命令には、上述のＲＥＴ命令が一つのみ含まれているものとしてもよい。
遊技台Ａについて、
【２５２６】
上述の第二の複数の命令は、上述の第三の複数の命令に続いてＲＯＭに記憶されたものであり、
【２５２７】
上述の第三の複数の命令には、上述の第二のサブルーチンを呼び出す呼出命令が含まれていないものとしてもよい。
【２５２８】
第二のサブルーチンの先頭アドレスとして４０Ｈ、第一のサブルーチンの先頭アドレスとして３８Ｈ等、第二のサブルーチンの先頭アドレスから第一のサブルーチンの先頭アドレスを引いた値が０８Ｈ（８バイト）となる例を示したが、これに限定されず、第二のサブルーチンの先頭アドレスとして３８Ｈ、第一のサブルーチンの先頭アドレスとして０１８Ｈ等としてもよい。第一のサブルーチンの先頭アドレスをＲＳＴ命令で呼び出せるアドレスのうちのいずれかとしてもよいし、第二のサブルーチンの先頭アドレスをＲＳＴ命令で呼び出せるアドレスのうちのいずれかとしてもよい。
【２５２９】
なお、第一、第二の呼出命令のうちの少なくとも一方の命令に、他の実施例で例示した"ＲＳＴ ４０Ｈ"（第二のジャンプ命令）を適用しても良いし、第一、第二の呼出命令のうちの少なくとも一方の命令に、他の実施例で例示した「"ＲＳＴ ４０Ｈ"以外の７つのＲＳＴ命令のいずれか（第一のジャンプ命令）」を適用してもよい。例えば、第一の呼出命令に第二のジャンプ命令を適用し、第二の呼出命令に第一のジャンプ命令を適用してもよい。第一、第二の呼出命令やＲＳＴ命令に限らず、本実施例で例示した命令として他の実施例で例示した命令を適用してもよいし、逆に他の実施例で例示した命令の一形態として本実施例で例示した命令を適用してもよい。
【２５３０】
上記実施形態では、内蔵デバイスが出力する割込みベクタとＩレジスタとで作成したジャンプ先アドレスのデータとその次のアドレスのデータとを用いて割込み要求が発生した場合の処理の先頭アドレスを決めることを説明した。また、＜第４特殊命令／ＲＳＴ命令＞の項では、図６４および図６５を用いてＲＳＴ命令について説明した。さらに、ここではそれらに関連する事項について図２９１および図２９２を用いて説明する。
【２５３１】
まず、内蔵デバイスが出力する割込みベクタとＩレジスタとで作成される割込み要求発生時のジャンプ先アドレスの決め方について説明する。Ｉレジスタは電源投入後に操作していないので００Ｈになっている。つまりジャンプ先アドレスの上位バイトは「００Ｈ」になっている。
【２５３２】
図２９１は割込み初期設定レジスタの設定例を示している。割込み初期設定レジスタはプログラム管理エリア内の所定位置に設定される。図２９１に示すように、割込み初期設定レジスタのビット７～４には、割込みベクタの上位４ビットが設定される。割込みベクタの上位４ビットはユーザが任意に決められる値である。以下、割込みベクタの上位４ビットを「ＸＨ」と表記する。ビット３はノンマスカブル割込み中の多重受付の禁止・許可をするためにあり、多重受付禁止の場合は「０」をセットし、多重受付許可の場合は「１

」をセットする。ビット２～０はマスカブル割込み要因の優先度の組合せを設定する。割込み要因にはタイマ回路のチャネル０のタイムアウトによる割込み（ＰＴ０Ｉ）やその他種々の割込み要因（図示の通り７個の割込み要因）がある。本例では、タイマ回路のチャネル０（例えば、図１３２のタイマ回路０）による割込み（ＰＴ０Ｉ）のみを有効にするものとする。なお、他の割込みを無効にしていれば、いずれの設定値でも問題ないが設定ミスを考慮してタイマ回路が優先されている。タイマ回路のチャネル０のタイムアウトによる割込み（ＰＴ０Ｉ）は図示の通り、００Ｈ～０２Ｈのいずれかが選択可能である。タイマ回路以外の割込みを無効にしているのであれば、００Ｈ～０２Ｈのいずれでもよいが、デフォルトの００Ｈから他の値に変えるとコーディングミスにつながる可能性があるので００Ｈを設定することが好ましい。このため、多重受付禁止としてビット３に「０」を設定した場合は割込みベクタの下位４ビットは００００Ｂとなり、多重受付許可としてビット３に「１」を設定した場合は割込みベクタの下位４ビットは１０００Ｂとなる。これにより、割込みベクタの下位４ビットの設定値が１６進数で０Ｈまたは８Ｈとなるのでコーディングや、チェックがし易くなる場合がある。遊技制御を安定して行うためにも割込みベクタの下位４ビットは００００Ｂか１０００Ｂにするのが好ましい。こうすることにより、ジャンプ先アドレスの下位バイトは「Ｘ０Ｈ」または「Ｘ８Ｈ」になり、ジャンプ先アドレスは、「００Ｘ０Ｈ」または「００Ｘ８Ｈ」となる。なお、Ｉレジスタにデータを設定する場合には、「ＸＸＸ０Ｈ」や「ＸＸＸ８Ｈ」も設定可能である。

【２５３３】

ところで、ＲＳＴ命令では８種類のアドレス（０００８Ｈ、００１０Ｈ、００１８Ｈ、００２０Ｈ、００２８Ｈ、００３０Ｈ、００３８Ｈ、００４０Ｈ）だけにジャンプすることが可能となっている。つまり、（ＲＳＴ　４０Ｈ）命令以外のＲＳＴ命令で組み込めるモジュールの容量は８バイト未満であることが望ましい。仮に、ジャンプ先アドレスが０００８Ｈから８バイトを超える大きさのモジュールを組み込むと次のジャンプ先アドレスの００１０ＨのＲＳＴ命令が実質的に使えなくなる。そこで、８バイトを超える大きさのモジュールを（ＲＳＴ　４０Ｈ）命令により「００４０Ｈ」がジャンプ先アドレスとなる領域に配置する場合がある。なお、ＲＳＴ　４０Ｈで呼び出すモジュールのサイズが８バイトを超えるものを前提で説明するが、ＲＳＴ　４０Ｈで呼び出すモジュールのサイズが８バイト未満であってももちろんよい。また、ＲＳＴ命令の８種類の各アドレスで呼び出すモジュールは、全てが８バイト丁度であってもよいし、全てが８バイト未満であってもよいし、また、一部のみが８バイト丁度であってもよいし、一部のみ８バイト未満であってもよい。また、ＲＳＴ　４０Ｈで呼び出すモジュールのサイズのみが、８バイト丁度であってもよいし、８バイト未満であってもよい。このように、ＲＳＴ０８～４０で呼び出すモジュールは８バイトでなくてもよく、一部を８バイト超にして一部を８バイト未満にしてもよい。あるいは、８バイト超のモジュールは、アドレスが「００３８Ｈ」で用いてもよく、あるいは、「００４０Ｈ」を超えないようにしてもよい。

【２５３４】

図２９２は、ＲＯＭ領域内のアドレス００４０Ｈからの一部領域を示している。同図（ａ）は、アドレス「００４０Ｈ」をＲＳＴ命令のジャンプ先アドレスとし、「００５０Ｈ」を割込み要求発生時のジャンプ先アドレスとした場合を例示している。この場合には、８バイトを超える大きさのモジュールＡが配置でき、残りは余り領域Ｂとなっている。本例で余り領域は、図２８９に示すＮＯＰ処理に相当している。同図（ｂ）は、モジュールＡの次のアドレスから他のモジュールＢ（例えば、ＥＸＥＳＵＢ命令等によって呼び出されるモジュールである。なお、このモジュール内では、２バイトのジャンプ命令に代えてあえて３バイトのジャンプ命令を使用したりしてもよい）を組み込んで余り領域Ｄを余り領域Ｂより小さくしている。同図（ｃ）は、「００６０Ｈ」を割込み要求発生時のジャンプ先アドレスとした場合を例示している。この場合にはモジュールＡの次のアドレスからモジュールＡよりサイズの大きな他のモジュールＥを組み込むことができる。また、余り領域Ｆが生じている。このように、割込み要求発生時のジャンプ先アドレスを調整することにより、アドレス００４０Ｈから割込み要求発生時のジャンプ先アドレスまでのメモリ

領域を有効に使うことができる場合がある。
【２５３５】
　また、余り領域を現実的に０にするのは困難を伴うので、不正者による不正使用を極力排除するために、余り領域のサイズを例えば５バイトから１～３バイト程度に小さくすることで、実質的に不正プログラムの挿入を困難にしている。[0]また、割込みベクタテーブルのアドレス（本例では００５０Ｈ）よりも前に、ＲＳＴ命令で呼び出されるモジュールの他、複数のモジュールから読み出されるモジュールを配置することで、プログラムソースのチェックが容易に行えるようになる場合がある。いわゆる共通モジュールをチェックする場合は、０００８Ｈから割込みベクタテーブルのアドレス（本例では００５０Ｈ）の間をチェックすればよい。
【２５３６】
　次に、上記実施形態８の変形例について図２９３を用いて説明する。同図（ａ）は、上記実施形態８の一体化パッケージ１０１２０を示しており、同図（ｂ）、（ｃ）はその変形例を示している。同図（ａ）に示すように、一体化パッケージ１０１２０は、端子のない中央部の幅ｘ２が端子のある両側の幅ｘ１より狭くなっている。同図（ｂ）に示す一体化パッケージ１０１２０は、端子のない中央部の幅ｘ２が端子のある両側の幅ｘ１より狭くなっている点は同図（ａ）のものと同じだが、さらに、パッケージ１０１２０ａ側の角部に切欠き部が形成されており、幅ｘ１、ｘ２と同方向に測った切欠き部近傍を含む幅ｘ３は、幅ｘ１より短く、幅ｘ２より長くなっている。同図（ｃ）に示す一体化パッケージ１０１２０は、パッケージ１０１２０ａ側の角部に切欠き部が形成されており、幅ｘ１、ｘ２と同方向に測った切欠き部近傍の幅ｘ３は、幅ｘ１より短く、幅ｘ２より長くなっている点は同図（ｂ）のものと同じだが、さらに、パッケージ１０１２０ａ先端面に凹部が形成されており、幅ｘ１に直交する長手方向の幅に関して、凹部も切欠き部も含まない領域の幅ｙ１に対し、凹部を含む領域の幅ｙ２は幅ｙ１より短くなっている。また、切欠き部近傍を含む幅ｙ３も幅ｙ１より短くなっている。
【２５３７】
　なお、本発明に係る遊技台は、封入式パチンコ機やメダルレススロットマシンに適用することもできる。また、主制御部、第１副制御部、および第２副制御部をワンチップで構成してもよいし、主制御部と第１副制御部で双方向の通信が可能に構成してもよい。また、主制御部と第１副制御部で双方向の通信を可能とする一方で、第１副制御部から第２副制御部への通信は一方向の通信としてもよい。
【２５３８】
　また、本発明の実施の形態に記載された作用および効果は、本発明から生じる最も好適な作用および効果を列挙したに過ぎず、本発明による作用および効果は、本発明の実施の形態に記載されたものに限定されるものではない。また、実施形態に記載した複数の構成のうち、１つの構成に記載している内容を、他の構成に適用することでより遊技の幅を広げられる場合がある。したがって、例えば、ＷＤＴに基づくリセットに関する記載において、ＷＤＴタイムアウト信号（ＷＤＴ起動信号）を指定エリア外走行禁止信号に読み替えて適用してもよい。
　上記実施形態に基づく本発明は以下のように記述することもできる。
＜付記Ａ＞
＜付記Ａ１＞
　ＣＰＵと、
　１６ビットの乱数値を少なくとも発生可能な乱数回路と、
　前記ＣＰＵを少なくとも搭載したマイクロプロセッサと、
【２５３９】
　取り込み条件の成立があった場合に、前記乱数値を少なくとも取り込み可能な乱数値レジスタと、
を少なくとも備えた遊技台であって、
　前記遊技台は、ぱちんこ機またはスロットマシンであり、

前記マイクロプロセッサは、前記乱数回路を少なくとも内蔵するものであり
前記乱数回路は、複数のレジスタによって少なくとも制御されるものであり、
【２５４０】
前記乱数値レジスタは、前記複数のレジスタのうちの少なくとも一つのレジスタであり、
【２５４１】
前記ＣＰＵは、乱数値格納条件の成立があった場合に、前記乱数値レジスタに取り込まれている前記乱数値をレジスタペアに少なくとも格納可能なものであり、
【２５４２】
前記レジスタペアは、前記ＣＰＵの汎用レジスタである第一および第二のレジスタの組み合わせによって少なくとも構成されるものであり、
前記ＣＰＵは、１６ビットロード命令を少なくとも受け付け可能なものであり、
【２５４３】
前記乱数値格納条件は、前記ＣＰＵが前記１６ビットロード命令を受け付けたことを少なくとも含むものである、
ことを特徴とする遊技台。
【２５４４】
付記Ａ１に記載の遊技台において、「ＣＰＵ」は、「ＣＰＵコア」を示すものとしてもよい。「乱数回路」が発生する乱数は擬似乱数であってもよい（上記実施形態における８ビット乱数および１６ビット乱数は、８ビット擬似乱数、１６ビット擬似乱数としてもよい）。
＜付記Ａ２＞
付記Ａ１に記載の遊技台であって、
【２５４５】
前記マイクロプロセッサは、遊技制御プログラムが少なくとも記憶されているＲＯＭを少なくとも内蔵するものであり、
前記マイクロプロセッサは、少なくともランダム延長機能を有し、
【２５４６】
前記ランダム延長機能は、前記遊技制御プログラムの実行開始タイミングをランダムに変化させることが可能なものである、
ことを特徴とする遊技台。
＜付記Ａ３＞
付記Ａ２に記載の遊技台であって、
前記マイクロプロセッサは、信号出力端子を少なくとも備えるものであり、
【２５４７】
前記信号出力端子からの出力は、少なくとも特定のタイミングで第一のレベルから該第一のレベルよりも高い第二のレベルに変化するものであり、
前記特定のタイミングは、前記ランダム延長機能の実行前である、
ことを特徴とする遊技台。
＜付記Ａ４＞
付記Ａ２またはＡ３に記載の遊技台であって、
少なくとも、セキュリティモードおよびユーザモードを備え、
【２５４８】
前記遊技制御プログラムは、前記ユーザモードで実行されるユーザプログラムである、
ことを特徴とする遊技台。
＜付記Ａ５＞
付記Ａ２からＡ４のいずれか一項に記載の遊技台であって、
【２５４９】
前記遊技制御プログラムの実行開始は、システムリセットおよびユーザリセットのうちの少なくともいずれか一方を受け付けた後でおこなわれるものである、

ことを特徴とする遊技台。
＜付記Ｂ＞
＜付記Ｂ１＞
乱数値を用いた制御を少なくとも実行可能な遊技制御手段と、
前記乱数値を少なくとも発生可能な第一の乱数手段と、
前記乱数値を少なくとも発生可能な第二の乱数手段と、
を少なくとも備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２５５０】
前記第一の乱数手段は、第一の数値範囲から第一の乱数値を少なくとも発生可能なものであり、
【２５５１】
前記第二の乱数手段は、第二の数値範囲から第二の乱数値を少なくとも発生可能なものであり、
【２５５２】
前記第一の乱数手段の更新開始時期は、前記第二の乱数手段の更新開始時期とは異なるものである、
ことを特徴とする遊技台
＜付記Ｂ２＞
付記Ｂ１に記載の遊技台であって、
第一の処理を少なくとも前記遊技制御は含むものであり、
【２５５３】
前記第一の乱数手段の更新開始時期は、前記遊技制御手段による前記第一の処理の実行よりも後である、
ことを特徴とする遊技台。
＜付記Ｂ３＞
付記Ｂ２に記載の遊技台であって、
【２５５４】
前記第二の乱数手段の更新開始時期は、前記遊技制御手段による前記第一の処理の実行よりも前である、
ことを特徴とする遊技台。
＜付記Ｂ４＞
付記Ｂ２またはＢ３に記載の遊技台であって、
【２５５５】
前記第一の処理は、該第一の処理よりも後に実行される第二の処理の実行時期を変化させることが可能なものである、
ことを特徴とする遊技台。
＜付記Ｂ５＞
付記Ｂ１～Ｂ４の何れかに記載の遊技台であって、
【２５５６】
前記第一の乱数手段と前記第二の乱数手段の少なくとも何れかに前記数値範囲の設定を少なくとも指示可能な第三の処理と、
【２５５７】
前記第一の乱数手段と前記第二の乱数手段の少なくとも何れかによって導出された値を少なくとも取得可能な第四の処理と、
【２５５８】
前記第四の処理によって取得された値に基づく判定を少なくとも実行可能な第五の処理と、を少なくとも前記遊技制御は含むものであり、
前記第一の数値範囲は、前記第三の処理によって設定されるものであり、
前記第二の数値範囲は、前記第三の処理によらずに設定されるものであり、

【２５５９】
前記第一の数値範囲が設定された場合に、前記第一の乱数手段の更新が開始可能であることを特徴とする遊技台。
【２５６０】
なお、本件の「第一の乱数手段」は、ソフトウェアによる乱数カウンタにより構成されていてもよい。また、本件の「第二の乱数手段」は、ソフトウェアによる乱数カウンタにより構成されていてもよい。
＜付記Ｃ＞
＜付記Ｃ１＞
ＣＰＵと、
乱数値を少なくとも発生可能な乱数回路と、
前記乱数値を用いた制御を少なくとも実行可能な遊技制御手段と、
前記ＣＰＵを少なくとも搭載したマイクロプロセッサと、
を少なくとも備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記マイクロプロセッサは、前記乱数回路を少なくとも内蔵するものであり
【２５６１】
前記乱数回路の第一のチャネルは、第一の数値範囲から第一の乱数値を少なくとも発生可能なものであり、
【２５６２】
前記乱数回路の第二のチャネルは、第二の数値範囲から第二の乱数値を少なくとも発生可能なものであり、
【２５６３】
前記第一のチャネルの更新開始時期は、前記第二のチャネルの更新開始時期とは異なるものである、
ことを特徴とする遊技台。
＜付記Ｃ２＞
付記Ｃ１に記載の遊技台であって、
第一の処理を少なくとも前記遊技制御は含むものであり、
【２５６４】
前記第一のチャネルの更新開始時期は、前記遊技制御手段による前記第一の処理の実行よりも後である、
ことを特徴とする遊技台。
＜付記Ｃ３＞
付記Ｃ２に記載の遊技台であって、
【２５６５】
前記第二のチャネルの更新開始時期は、前記遊技制御手段による前記第一の処理の実行よりも前である、
ことを特徴とする遊技台。
＜付記Ｃ４＞
付記Ｃ２またはＣ３に記載の遊技台であって、
【２５６６】
前記第一の処理は、該第一の処理よりも後に実行される第二の処理の実行時期を変化させることが可能なものである、
ことを特徴とする遊技台。
＜付記Ｃ５＞
付記Ｃ１～Ｃ４の何れかに記載の遊技台であって、
前記乱数回路に前記数値範囲の設定を少なくとも指示可能な第三の処理と、
前記乱数回路によって導出された値を少なくとも取得可能な第四の処理と、
【２５６７】

前記第四の処理によって取得された値に基づく判定を少なくとも実行可能な第五の処理と、を少なくとも前記遊技制御は含むものであり、
前記第一の数値範囲は、前記第三の処理によって設定されるものであり、
前記第二の数値範囲は、前記第三の処理によらずに設定されるものであり、
【２５６８】
前記第一の数値範囲が設定された場合に、前記第一のチャネルの更新が開始可能であることを特徴とする遊技台。
＜付記Ｄ＞
＜付記Ｄ１＞
ウォッチドッグタイマが少なくとも内蔵されたマイクロプロセッサと、
【２５６９】
低電圧信号出力条件の成立があった場合に、低電圧信号を少なくとも出力可能な電圧監視手段と、
を備えた遊技台であって、
【２５７０】
前記低電圧信号出力条件は、監視している電源ラインの電圧が基準電圧よりも低いことを少なくとも含むものであり、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２５７１】
前記ウォッチドッグタイマは、起動条件の成立があった場合に、少なくとも起動可能なものであり、
【２５７２】
前記ウォッチドッグタイマは、前記電圧監視手段による前記低電圧信号の出力が停止された後で、起動されるものである、
ことを特徴とする遊技台。
＜付記Ｄ２＞
付記Ｄ１に記載の遊技台であって、
【２５７３】
前記マイクロプロセッサは、遊技制御プログラムが少なくとも記憶されているＲＯＭを少なくとも備え、
前記マイクロプロセッサは、少なくともランダム延長機能を有し、
【２５７４】
前記ランダム延長機能は、前記遊技制御プログラムの実行開始タイミングをランダムに変化させることが可能なものである、
ことを特徴とする遊技台。
＜付記Ｄ３＞
付記Ｄ２に記載の遊技台であって、
前記マイクロプロセッサは、信号出力端子を少なくとも備え、
【２５７５】
前記信号出力端子からの出力は、少なくとも特定のタイミングで第一のレベルから該第一のレベルよりも高い第二のレベルに変化するものであり、
前記特定のタイミングは、前記ランダム延長機能の実行前である、
ことを特徴とする遊技台。
＜付記Ｄ４＞
付記Ｄ２またはＤ３に記載の遊技台であって、
少なくとも、セキュリティモードおよびユーザモードを備え、
【２５７６】
前記遊技制御プログラムは、前記ユーザモードで実行されるユーザプログラムである、
ことを特徴とする遊技台。
＜付記Ｄ５＞

付記Ｄ２からＤ４のいずれか一項に記載の遊技台であって、
【２５７７】
前記遊技制御プログラムの実行開始は、システムリセットおよびユーザリセットのうちの少なくともいずれか一方を受け付けた後でおこなわれるものである、
ことを特徴とする遊技台。
＜付記Ｅ＞
＜付記Ｅ１＞
マイクロプロセッサを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記マイクロプロセッサのパッケージは、ＤＩＰパッケージであり、
【２５７８】
前記パッケージは、第一の領域と第二の領域を少なくとも含んで構成されたものであり、
前記第二の領域の幅は、前記第一の領域の幅より狭いこと
を特徴とする遊技台。
＜付記Ｅ２＞
付記Ｅ１に記載の遊技台であって、
【２５７９】
前記第一の領域の幅（ｘ１）と前記第二の領域の幅（ｘ２）は、前記第一の領域から前記第二の領域に続く方向に直交する方向の幅であること
を特徴とする遊技台。
＜付記Ｅ３＞
付記Ｅ１またはＥ２に記載の遊技台であって、
【２５８０】
前記第一の領域の第一の側面、および該第一の側面に対向する第二の側面の各々に複数の端子が設けられており、
【２５８１】
前記第二の領域の前記第一の側面および前記第二の側面には端子が設けられていないこと
を特徴とする遊技台。
＜付記Ｅ４＞
付記Ｅ１からＥ３のいずれか一項に記載の遊技台であって、
【２５８２】
前記パッケージは、前記第一の領域、前記第二の領域および第三の領域を少なくとも含んで構成されたものであり、
前記第二の領域の幅は、前記第三の領域の幅より狭いこと
を特徴とする遊技台。
＜付記Ｅ５＞
付記Ｅ４に記載の遊技台であって、
【２５８３】
前記第二の領域は、前記第一の領域および前記第二の領域の間に設けられていること
を特徴とする遊技台。
＜付記Ｆ＞
＜付記Ｆ１＞
遊技制御を少なくとも実行可能な遊技制御手段と、
を備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２５８４】
前記遊技制御手段は、第一の数値取得条件の成立があった場合に、前記第一の数値を少なくとも取得可能なものであり、

【２５８５】
前記遊技制御手段は、第二の数値取得条件の成立があった場合に、前記第二の数値を少なくとも取得可能なものである、
ことを特徴とする遊技台。
＜付記Ｆ２＞
付記Ｆ１に記載の遊技台であって、
【２５８６】
前記遊技制御手段は、当否判定条件の成立があった場合に、当否判定処理を少なくとも実行可能なものであり、
【２５８７】
前記当否判定処理は、前記第一の数値および前記第二の数値を少なくとも用いて実行されるものである、
ことを特徴とする遊技台。
＜付記Ｆ３＞
付記Ｆ１またはＦ２に記載の遊技台であって、
クロックを少なくとも生成可能なクロック生成回路と、
前記クロックの入力に応じて乱数値を少なくとも更新可能な乱数値更新回路と、
【２５８８】
取り込み条件の成立があった場合に、前記乱数値を少なくとも取り込み可能な乱数値レジスタと、
を備え、
【２５８９】
前記第一の数値および前記第二の数値のうちの少なくとも一方は、前記乱数値レジスタに取り込まれた前記乱数値である、
ことを特徴とする遊技台。
＜付記Ｆ４＞
付記Ｆ３に記載の遊技台であって、
前記乱数値は、１６ビット乱数である、
ことを特徴とする遊技台。
＜付記Ｆ５＞
付記Ｆ１からＦ４のいずれか一項に記載の遊技台であって、
【２５９０】
前記遊技制御手段は、遊技制御処理を少なくとも実行可能な主制御マイクロプロセッサを少なくとも含むものである、
ことを特徴とする遊技台。
＜付記Ｇ＞
＜付記Ｇ１＞
所定のセンサと、
【２５９１】
制御プログラムデータで示される命令に基づいて複数の遊技制御処理を実行するＣＰＵと、
【２５９２】
所定の数値範囲内で数値を更新するとともに、該数値を前記ＣＰＵへ送信可能に構成された乱数回路と、
制御プログラムデータを記憶したＲＯＭと、を備え、
前記乱数回路は、
保持指示を受けたことに基づいて更新されている前記数値を保持し、
送信指示を受けたことに基づいて保持されている該数値を送信するものであり、
前記ＣＰＵは、
【２５９３】

前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、

【２５９４】

前記所定のセンサから出力される信号を監視する処理、該所定のセンサの監視結果の履歴が予め定められた所定のパターンと一致した否かを判定する第一の判定処理、および該第一の判定処理によって該所定のセンサの監視結果の履歴が該所定のパターンと一致したことに基づいて前記乱数回路に対して前記保持指示を行う処理を該割込み制御において実行し、

【２５９５】

該乱数回路に対して前記送信指示を行う処理を該メイン制御または該割込み制御において実行し、

【２５９６】

該乱数回路から送信された前記数値を用いた当否判定処理を該メイン制御または該割込み制御において実行し、

【２５９７】

演算処理、該演算処理の結果を用いて所定の条件が成立したか否かを判定する第二の判定処理、該第二の判定処理の判定結果に応じた処理に分岐させる分岐処理、および該分岐処理によって分岐された先の処理である分岐先処理を、少なくとも該割込み制御において実行し、

【２５９８】

前記制御プログラムデータで示される単一の命令である特定の命令に基づいて、該演算処理、該第二の判定処理および該分岐処理を実行し、

【２５９９】

該特定の命令に基づく処理に要する時間を同一にすることで、該第二の判定処理によって該所定の条件が成立したと判定された場合、および該判定処理によって該所定の条件が成立したと判定されなかった場合のいずれの場合であっても、同一のタイミングで該分岐先処理の実行を開始するものであることを特徴とする遊技台。

＜付記Ｇ２＞

所定のセンサと、

【２６００】

制御プログラムデータで示される命令に基づいて複数の遊技制御処理を実行するＣＰＵと

【２６０１】

所定の数値範囲内で数値を更新するとともに、該数値を前記ＣＰＵへ送信可能に構成された乱数回路と、

前記制御プログラムデータを記憶したＲＯＭと、を備え、

前記乱数回路は、

送信指示を受けたことに基づいて更新されている前記数値を送信するものであり、

前記ＣＰＵは、

【２６０２】

前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、

【２６０３】

前記所定のセンサから出力される信号を監視する処理、該所定のセンサの監視結果の履歴が予め定められた所定のパターンと一致した否かを判定する第一の判定処理、該第一の判定処理によって該所定のセンサの監視結果の履歴が該所定のパターンと一致したことに基づいて前記乱数回路に対して前記送信指示を行う処理を、該割込み制御において実行し、

【２６０４】

該乱数回路から送信された前記数値を用いた当否判定処理を該メイン制御または該割込

み制御において実行し、
【２６０５】
演算処理、該演算処理の結果を用いて所定の条件が成立したか否かを判定する第二の判定処理、該第二の判定処理の判定結果に応じた処理に分岐させる分岐処理、および該分岐処理によって分岐された先の処理である分岐先処理を、少なくとも該割込み制御において実行し、
【２６０６】
前記制御プログラムデータで示される単一の命令である特定の命令に基づいて、該演算処理、該第二の判定処理および該分岐処理を実行し、
【２６０７】
該特定の命令に基づく処理に要する時間を同一にすることで、該第二の判定処理によって該所定の条件が成立したと判定された場合、および該判定処理によって該所定の条件が成立したと判定されなかった場合のいずれの場合であっても、同一のタイミングで該分岐先処理の実行を開始するものであることを特徴とする遊技台。
＜付記Ｈ＞
＜付記Ｈ１＞
複数の遊技制御処理を実行するＣＰＵと、
【２６０８】
所定の数値範囲内で数値を更新するとともに、該数値を前記ＣＰＵへ送信可能に構成された乱数回路と、を備え、
前記乱数回路は、
前記所定の数値範囲を設定可能に構成され、
更新範囲設定指示を受けたことに基づいて該所定の数値範囲を設定し、
保持指示を受けたことに基づいて更新されている前記数値を保持し、
送信指示を受けたことに基づいて保持されている該数値を送信するものであり、
前記ＣＰＵは、
【２６０９】
前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、
前記乱数回路に対して前記保持指示を行う処理を該割込み制御において実行し、
【２６１０】
該乱数回路に対して前記送信指示を行う処理を該メイン制御または該割込み制御において実行し、
【２６１１】
該乱数回路から送信された前記数値を用いた当否判定処理を該メイン制御または該割込み制御において実行し、
【２６１２】
該複数の遊技制御処理が最初から実行される場合において、該乱数回路に対して前記更新範囲設定指示を行う処理、および該割込み制御を許可する処理それぞれを、該メイン制御において実行し、
【２６１３】
該割込み制御が禁止されている状態において該乱数回路に対して該更新範囲設定指示を行う処理を実行し、
【２６１４】
該乱数回路に対して該更新範囲設定指示を行う処理を実行した後に該割込み制御を許可する処理を実行するものであることを特徴とする遊技台。
＜付記Ｈ２＞
複数の遊技制御処理を実行するＣＰＵと、
【２６１５】
所定の数値範囲内で数値を更新するとともに、該数値を前記ＣＰＵへ送信可能に構成さ

れた乱数回路と、を備え、
前記乱数回路は、
前記所定の数値範囲を設定可能に構成され、
更新範囲設定指示を受けたことに基づいて該所定の数値範囲を設定し、
送信指示を受けたことに基づいて更新されている前記数値を送信するものであり、
前記ＣＰＵは、
【２６１６】
前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、
前記乱数回路に対して前記送信指示を行う処理を該割込み制御において実行し、
【２６１７】
該乱数回路から送信された前記数値を用いた当否判定処理を該メイン制御または該割込み制御において実行し、
【２６１８】
該複数の遊技制御処理が最初から実行される場合において、該乱数回路に対して前記更新範囲設定指示を行う処理、および該割込み制御を許可する処理それぞれを、該メイン制御において実行し、
【２６１９】
該割込み制御が禁止されている状態において該乱数回路に対して該更新範囲設定指示を行う処理を実行し、
【２６２０】
該乱数回路に対して該更新範囲設定指示を行う処理を実行した後に該割込み制御を許可する処理を実行するものであることを特徴とする遊技台。
＜付記Ｈ３＞
付記Ｈ１またはＨ２に記載の遊技台であって、
前記複数の遊技制御処理を正常に復帰させるためのリセット回路を備え、
前記リセット回路は、
【２６２１】
前記複数の遊技制御処理の進行に関する異常が発生したか否かを判定するとともに、該判定によって該異常が発生したと判定されたことに基づいて復帰指示を前記ＣＰＵに対して行うものであり、
前記ＣＰＵは、
【２６２２】
前記復帰指示を受けた場合において前記複数の遊技制御処理を最初から実行するものであることを特徴とする遊技台。
＜付記Ｈ４＞
付記Ｈ３に記載の遊技台であって、
【２６２３】
前記ＣＰＵ、前記乱数回路および前記リセット回路を少なくとも有するマイクロプロセッサを備え、
前記マイクロプロセッサは、
【２６２４】
少なくとも前記リセット回路によって前記異常が発生したと判定されたことに基づいて、セキュリティチェックが行われるセキュリティモードに所定の期間に亘り滞在した後、前記ＣＰＵによって前記複数の遊技制御処理が実行されるユーザモードへ移行するものであることを特徴とする遊技台。
＜付記Ｉ＞
＜付記Ｉ１＞
複数の遊技制御処理を実行するＣＰＵと、
前記複数の遊技制御処理を正常に復帰させるためのリセット回路と、

遊技に関するデータを記憶するＲＷＭと、備え、
前記ＲＷＭは、
前記複数の遊技制御処理を正常に復帰させるための復帰データを記憶し、
電源ステータスの情報を記憶する所定の記憶領域を有するものであり、
前記リセット回路は、
開始指示を受けたことに基づいて経過時間の計測を開始し、
【２６２５】
再開始指示を受けたことに基づいて計測している該経過時間を初期化するとともに、初期化された該経過時間の計測を再び開始し、
該経過時間が予め定められた所定の時間となったか否かを判定し、
【２６２６】
該経過時間が該所定の時間となったと判定したことに基づいて前記ＣＰＵに対して復帰指示を行うものであり、
前記ＣＰＵは、
【２６２７】
前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、
【２６２８】
電源が遮断される場合において該電源が遮断されることを示す所定のデータを前記所定の記憶領域に記憶させる処理を実行し、
【２６２９】
前記復帰指示を受けた場合には該所定のデータを該所定の記憶領域に記憶させる処理を実行せず、
【２６３０】
該電源が投入された場合または前記復帰指示を受けた場合において該複数の遊技制御処理を最初から実行し、
【２６３１】
該複数の遊技制御処理を最初から実行する場合において該所定の記憶領域に該所定のデータが記憶されているか否かを判定する判定処理を実行し、
【２６３２】
該判定処理によって該所定の記憶領域に該所定のデータが記憶されていると判定された場合には、前記復帰データを用いた復帰処理を実行することが可能であり
【２６３３】
該判定処理によって該所定の記憶領域に該所定のデータが記憶されていないと判定された場合には、該復帰処理を実行することが不可能であり、
前記再開始指示を行う処理を前記割込み制御において実行し、
【２６３４】
少なくとも該復帰処理を実行した後であり、かつ最初の該割込み制御が実行される前に、前記リセット回路に対して前記開始指示を行う処理を実行するものであることを特徴とする遊技台。
＜付記Ｉ２＞
付記Ｉ１に記載の遊技台であって、
【２６３５】
前記ＣＰＵ、前記リセット回路および前記ＲＷＭを少なくとも有するマイクロプロセッサを備え、
前記マイクロプロセッサは、
【２６３６】
少なくとも前記リセット回路によって前記経過時間が前記所定の時間となったと判定されたことに基づいて、セキュリティチェックが行われるセキュリティモードに所定の期間に亘り滞在した後、前記ＣＰＵによって前記複数の遊技制御処理が実行されるユーザモー

ドへ移行するものであることを特徴とする遊技台。
＜付記Ｉ３＞
複数の遊技制御処理を実行するＣＰＵと、
前記複数の遊技制御処理を正常に復帰させるためのリセット回路と、
遊技に関するデータを記憶するＲＷＭと、備え、
前記ＲＷＭは、
前記複数の遊技制御処理を正常に復帰させるための復帰データを記憶し、
電源ステータスの情報を記憶する所定の記憶領域を有するものであり、
前記リセット回路は、開始指示を受けたことに基づいて経過時間の計測を開始し、
【２６３７】
再開始指示を受けたことに基づいて計測している該経過時間を初期化するとともに、初期化された該経過時間の計測を再び開始し、
該経過時間が予め定められた所定の時間となったか否かを判定し、
【２６３８】
該経過時間が該所定の時間となったと判定したことに基づいて前記ＣＰＵに対して復帰指示を行うものであり、
前記ＣＰＵは、
【２６３９】
前記複数の遊技制御処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御のうちの少なくともいずれか一方の制御において実行し、
【２６４０】
電源が遮断される場合において該電源が遮断されることを示す所定のデータを前記所定の記憶領域に記憶させる処理を実行し、
【２６４１】
前記復帰指示を受けた場合には該所定のデータを該所定の記憶領域に記憶させる処理を実行せず、
【２６４２】
該電源が投入された場合または前記復帰指示を受けた場合において該複数の遊技制御処理を最初から実行し、
【２６４３】
該複数の遊技制御処理を最初から実行する場合において該所定の記憶領域に該所定のデータが記憶されているか否かを判定する判定処理を実行し、
【２６４４】
該判定処理によって該所定の記憶領域に該所定のデータが記憶されていると判定された場合には、前記復帰データを用いた復帰処理を実行することが可能であり、
【２６４５】
該判定処理によって該所定の記憶領域に該所定のデータが記憶されていないと判定された場合には、前記復帰データを初期化する初期化処理を実行し、
前記再開始指示を行う処理を前記割込み制御において実行し、
【２６４６】
少なくとも該初期化処理を実行した後であり、かつ最初の該割込み制御が実行される前に、前記リセット回路に対して前記開始指示を行う処理を実行するものであることを特徴とする遊技台。
＜付記Ｊ＞
＜付記Ｊ１＞
ＣＰＵを有し、遊技制御を行う遊技制御手段を備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記ＣＰＵは、マイクロコンピュータに内蔵され、
前記ＣＰＵは、少なくとも特定レジスタを備え、
【２６４７】

前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有することを特徴とする遊技台。
＜付記Ｊ２＞
付記Ｊ１に記載の遊技台であって、
【２６４８】
前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるもの以外のものとして、所定の値を初期値としてセットする機能を少なくとも有することを特徴とする遊技台。
＜付記Ｊ３＞
付記Ｊ１またはＪ２に記載の遊技台であって、
演出制御を行う演出制御手段を備え、
【２６４９】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段にのみ搭載されることを特徴とする遊技台。
＜付記Ｊ４＞
付記Ｊ１またはＪ２に記載の遊技台であって、
演出制御を行う演出制御手段と、
払出制御を行う払出制御手段と、を備え、
【２６５０】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段および前記払出制御手段のうちの少なくとも一方に搭載されることを特徴とする遊技台。
＜付記Ｋ＞
＜付記Ｋ１＞
ＣＰＵと、
遊技制御プログラムが記憶されたＲＯＭと、
データを一時記憶可能なＲＡＭと、
を内蔵するマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記ＣＰＵは、少なくとも特定のレジスタを有し、
【２６５１】
前記ＲＡＭの先頭アドレスの上位バイトは、前記ＲＯＭの先頭アドレスの上位バイトよりも大きく、
【２６５２】
前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有し、
【２６５３】
前記ＣＰＵは、前記特定のレジスタに値をセットする機能のうち、前記ロード命令を受けたことに基づいて行われるもの以外のものとしては、前記ＲＡＭの先頭アドレスの上位バイトと同じ値を初期値としてセットする機能を少なくとも有する、
ことを特徴とする遊技台。
＜付記Ｋ２＞
付記Ｋ１に記載の遊技台であって、
【２６５４】
前記マイクロコンピュータは、リセット信号を入力してから、前記ＣＰＵによる前記遊技制御プログラムの実行が開始されるまでの間に、該遊技制御プログラムの認証を行うセキュリティチェックを少なくとも実行するセキュリティモードに移行可能であり、
該セキュリティモードの時間は、ランダムな時間分の延長が可能である、
ことを特徴とする遊技台。

＜付記Ｋ３＞
付記Ｋ２に記載の遊技台であって、
【２６５５】
前記初期値のセットは、前記ＣＰＵが前記遊技制御プログラムの実行開始前に該遊技制御プログラムによらずに行うものであることを特徴とする遊技台。
＜付記Ｋ４＞
付記Ｋ２またはＫ３に記載の遊技台であって、
【２６５６】
前記遊技制御プログラムの実行開始は、前記リセット信号の入力によるシステムリセットおよびユーザーリセットのうちの少なくともいずれか一方を受け付けた後で行われることを特徴とする遊技台。
＜付記Ｋ５＞
付記Ｋ２～Ｋ４のいずれかに記載の遊技台であって、
少なくとも、前記セキュリティモードと、ユーザーモードを備え、
【２６５７】
前記遊技制御プログラムは、前記ユーザーモードで実行されるユーザープログラムであることを特徴とする遊技台。
＜付記Ｋ６＞
付記Ｋ１～Ｋ５のいずれかに記載の遊技台であって、
遊技制御を行う遊技制御手段と、
演出制御を行う演出制御手段と、を備え、
【２６５８】
前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段にのみ搭載されることを特徴とする遊技台。
＜付記Ｋ７＞
付記Ｋ１～Ｋ５のいずれかに記載の遊技台であって、
遊技制御を行う遊技制御手段と、
演出制御を行う演出制御手段と、
払出制御を行う払出制御手段と、を備え、
【２６５９】
前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段および前記払出制御手段のうちの少なくとも一方に搭載されることを特徴とする遊技台。
＜付記Ｌ＞
＜付記Ｌ１＞
【２６６０】
複数のアドレスそれぞれで示される記憶領域に制御プログラムデータおよび該制御プログラムデータに基づいて参照される参照データを含む複数種類のデータを記憶したＲＯＭと、
【２６６１】
前記ＲＯＭに記憶された前記制御プログラムデータおよび前記参照データに基づいて所定の周期毎に実行される割込み処理を含む複数種類の遊技制御処理を実行するＣＰＵと、を備え、
前記ＲＯＭは、
【２６６２】
１又は複数の前記制御プログラムデータであって、前記ＣＰＵが実行する複数種類の命令それぞれに対応した命令データと、
【２６６３】
１又は複数の前記制御プログラムデータであって、前記ＣＰＵが該命令を実行するために必要な補足データと、を記憶し、
【２６６４】

前記命令データであって、特定のアドレスを識別可能にする特定識別情報の一部である第１の識別情報を示す第１のアドレスデータおよび該第１のアドレスデータと異なる別データで構成され、該特定のアドレスで示される記憶領域に記憶されたデータを前記ＣＰＵに読み込ませる特定命令に対応した特定命令データと、

【２６６５】

前記補足データであって、前記特定識別情報から前記第１の識別情報を除いた情報である第２の識別情報を示す第２のアドレスデータで構成され、前記ＣＰＵが該特定命令を実行するために必要な特定補足データと、を前記割込み処理で実行される命令に対応するように記憶し、

【２６６６】

前記特定命令の実行により前記ＣＰＵが読み込み可能な特定の記憶領域に全ての前記制御プログラムデータを記憶し、

【２６６７】

全ての制御プログラムデータが記憶された前記特定の記憶領域とは異なる記憶領域に、前記参照データを記憶していることを特徴とする遊技台。

＜付記Ｍ＞

＜付記Ｍ１＞

【２６６８】

少なくとも第一から第四のレジスタを備え、上位レジスタおよび下位レジスタからなるレジスタペアを用いた処理を実行可能であるＣＰＵと、

【２６６９】

遊技制御プログラムを記憶するＲＯＭと、を内蔵するマイクロコンピュータを備えた遊技台であって、

前記遊技台は、ぱちんこ機またはスロットマシンであり、

前記ＣＰＵは、第一の命令と第二の命令を含む複数の命令を実行可能であり、

【２６７０】

少なくとも前記第一のレジスタと前記第二のレジスタの二つのレジスタの組み合わせは、前記レジスタペアのうちの所定のレジスタペアであり、

【２６７１】

前記第三のレジスタと前記第四のレジスタの少なくともいずれかは、前記上位レジスタであり、

【２６７２】

前記第一の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスが示す領域に格納された第一の値が前記第四のレジスタにセットされ、該第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第二のアドレスと連続するアドレスを示す値になり、

【２６７３】

前記第二の命令が実行されたことに基づいて、前記所定のレジスタペアに格納された値によって示される第一のアドレスと連続する第二のアドレスが示す領域に格納された第二の値が前記第四のレジスタにセットされ、該第二のアドレスと連続する第三のアドレスが示す領域に格納された第三の値が前記第三のレジスタにセットされ、該所定のレジスタペアの値が該第三のアドレスを示す値になり、

【２６７４】

前記ＣＰＵは、前記レジスタペアとは異なる前記第三のレジスタと前記第四のレジスタの二つのレジスタの組み合わせに前記ＲＯＭに格納された値を一命令でセットすることが可能であるとともに、前記所定のレジスタペアの値を変化させる所定の機能としては、前記第一の命令を受けたことに基づいて値をセットする第一の機能と前記第二の命令を受けたことに基づいて値をセットする第二の機能の二つを少なくとも有し、

前記ＣＰＵは、少なくとも特定レジスタを備え、

【２６７５】
前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有する、
ことを特徴とする遊技台。
＜付記Ｍ２＞
付記Ｍ１に記載の遊技台であって、
【２６７６】
前記レジスタペアは、スタック領域に１６ビットの値をセットするプッシュ命令において用いられることが可能な二つのレジスタの組み合わせであることを特徴とする遊技台。
＜付記Ｍ３＞
付記Ｍ１またはＭ２に記載の遊技台であって、
【２６７７】
前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、前記ロード命令を受けたことに基づいて行われるもの以外のものとして、所定の値を初期値としてセットする機能を少なくとも有することを特徴とする遊技台。
＜付記Ｍ４＞
付記Ｍ１～Ｍ３のいずれかに記載の遊技台であって、
演出制御を行う演出制御手段を備え、
【２６７８】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段にのみ搭載されることを特徴とする遊技台。
＜付記Ｍ５＞
付記Ｍ１～Ｍ３のいずれかに記載の遊技台であって、
演出制御を行う演出制御手段と、
払出制御を行う払出制御手段と、を備え、
【２６７９】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段および前記払出制御手段のうちの少なくとも一方に搭載されることを特徴とする遊技台。
＜付記Ｎ＞
＜付記Ｎ１＞
【２６８０】
８ビット長の値を記憶可能な第一から第三のレジスタを少なくとも備えるＣＰＵを備え、
前記ＣＰＵは、１６ビット長の値を記憶可能な第四のレジスタを少なくとも備え、
【２６８１】
前記ＣＰＵは、前記第一のレジスタおよび前記第二のレジスタからなるレジスタペアを用いた処理を実行可能であり、
前記ＣＰＵを内蔵するマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２６８２】
前記ＣＰＵは、前記第四のレジスタの値に前記第三のレジスタの値を加算して該第四のレジスタに加算結果をセットすることが可能な第一の命令を実行可能であり、
【２６８３】
前記第一の命令は、前記レジスタペアの値に前記第三のレジスタの値を加算して該レジスタペアに加算結果をセットすることが可能であり、
【２６８４】
前記ＣＰＵは、前記レジスタペアの値から前記第三のレジスタの値を減算して該レジスタペアに減算結果をセットする第二の命令を実行可能であり、
【２６８５】

前記ＣＰＵにおける前記１６ビット長の前記レジスタペアに対して前記８ビット長の値を加減算する機能は、前記第一の命令および前記第二の命令の両方によって実現されるが、前記ＣＰＵにおける前記１６ビット長の前記第四のレジスタに対して前記８ビット長の値を加算する機能は、前記第一の命令によって少なくとも実現され、
前記ＣＰＵは、少なくとも特定レジスタを備え、
【２６８６】
前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、ロード命令を受けたことに基づいて行われるものとしては、直値により値をセットする機能のみを有する、
ことを特徴とする遊技台。
＜付記Ｎ２＞
付記Ｎ１に記載の遊技台であって、
【２６８７】
前記レジスタペアは、スタック領域に１６ビットの値をセットするプッシュ命令において用いられることが可能な二つのレジスタの組み合わせであることを特徴とする遊技台。
＜付記Ｎ３＞
付記Ｎ１またはＮ２に記載の遊技台であって、
【２６８８】
前記ＣＰＵは、前記特定レジスタに値をセットする機能のうち、前記ロード命令を受けたことに基づいて行われるもの以外のものとして、所定の値を初期値としてセットする機能を少なくとも有することを特徴とする遊技台。
＜付記Ｎ４＞
付記Ｎ１～Ｎ３のいずれかに記載の遊技台であって、
演出制御を行う演出制御手段を備え、
【２６８９】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段にのみ搭載されることを特徴とする遊技台。
＜付記Ｎ５＞
付記Ｎ１～Ｎ３のいずれかに記載の遊技台であって、
演出制御を行う演出制御手段と、
払出制御を行う払出制御手段と、を備え、
【２６９０】
前記ＣＰＵを内蔵した前記マイクロコンピュータは、前記演出制御手段に搭載されず、前記遊技制御手段および前記払出制御手段のうちの少なくとも一方に搭載されることを特徴とする遊技台。
＜付記Ｏ＞
＜付記Ｏ１＞
制御プログラムデータを記憶したＲＯＭと、
【２６９１】
前記制御プログラムデータで示される命令に基づいて、遊技に関する複数の処理それぞれをメイン制御および所定の周期ごとに実行される割込み制御の少なくともいずれか一方で実行するＣＰＵと、を備えた遊技台であって、
前記ＣＰＵは、
【２６９２】
少なくとも前記割込み制御において、演算処理、該演算処理の結果を用いて所定条件の成立を判定する判定処理、該判定処理の判定結果に応じた処理に分岐させる分岐処理、該分岐処理によって分岐された先の処理である分岐先処理、の順に処理を実行し、前記制御プログラムデータで示される単一の命令である特定命令に基づいて、前記演算処理、前記判定処理および前記分岐処理を実行し、
【２６９３】
前記特定命令に基づく処理に要する時間を同一にすることで、前記判定処理によって前

記所定条件が成立したと判定された場合、および前記判定手段によって前記所定条件が成立したと判定されなかった場合のいずれの場合であっても、同一のタイミングで前記分岐先処理の実行を開始する、
ことを特徴とする遊技台。
＜付記Ｏ２＞
付記Ｏ１に記載の遊技台であって、
遊技媒体を検出する検出センサを備え、
前記ＣＰＵは、
【２６９４】
前記割込み制御において、前記検出センサの状態を監視する検出センサ監視処理、該検出センサ監視処理の監視結果に基づく所定の処理、の順に処理を実行する、
ことを特徴とする遊技台。
＜付記Ｐ＞
＜付記Ｐ１＞
遊技制御を行うマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２６９５】
前記マイクロコンピュータは、第一の側面、および該第一の側面に対向する第二の側面の各々に複数の端子が設けられたＤＩＰ型のパッケージに収容され、
前記パッケージは、非透明部材からなり、
【２６９６】
前記パッケージは、二本の端子が第一の隙間を空けて設けられた第一の部位を有し、
【２６９７】
前記パッケージは、二本の端子を前記第一の隙間よりも広い第二の隙間を空けて設け、該第二の隙間に前記端子が設けられていないことによって前記第一の部位よりも特定の領域を視認容易にする第二の部位を有し、
【２６９８】
前記特定の領域には、前記パッケージの裏面における第一の領域、該裏面に対向する基板の表面における第二の領域、および前記裏面と前記表面との間の空間における第三の領域のうちの少なくとも一つが含まれ、
【２６９９】
前記パッケージにおける前記第一の側面および前記第二の側面の少なくとも一方に、前記第二の部位が配置されるとともに、
【２７００】
前記パッケージにおける前記第一の側面の端部または前記第二の側面の端部の一方に、前記端子を設けない切欠き部を形成することによって、前記第一の部位よりも前記特定の領域を視認容易にする第三の部位が配置されている、
ことを特徴とする遊技台。
＜付記Ｐ２＞
付記Ｐ１に記載の遊技台であって、
【２７０１】
前記第一の側面の長手方向中央部または／および前記第二の側面の長手方向中央部に、前記第二の部位が配置されている、
ことを特徴とする遊技台。
＜付記Ｐ３＞
付記Ｐ１またはＰ２に記載の遊技台であって、
前記第一の側面と前記第二の側面の両方に、前記第二の部位が配置されている、
ことを特徴とする遊技台。
＜付記Ｐ４＞
付記Ｐ３に記載の遊技台であって、

【２７０２】
前記第一の側面と前記第二の側面の両方に、前記第二の部位が対向して配置されている、
ことを特徴とする遊技台。
＜付記Ｑ＞
＜付記Ｑ１＞
【２７０３】
所定の数値範囲内で更新される数値を導出するものであって、該所定の数値範囲を設定可能な乱数生成手段と、
【２７０４】
前記所定の数値範囲を設定するための指示を前記乱数生成手段に対して行う数値範囲設定処理、前記乱数生成手段によって導出された数値を取得する数値取得処理、および該数値取得処理によって取得された数値に基づく抽選処理を少なくとも含む、遊技制御処理それぞれを、メイン制御および所定の割込み周期ごとに行われる割込み制御のうちの、少なくともいずれか一方の制御において行う遊技制御手段と、
【２７０５】
前記遊技制御処理の進行に関する異常を検出する処理を実行するとともに、該異常を検出した場合には、前記遊技制御手段に前記遊技制御処理を最初から行わせて前記遊技制御処理を正常に復帰させるための復帰指示を行う、異常検出手段と、を備え、
前記遊技制御手段は、
【２７０６】
前記数値範囲設定処理、および前記遊技制御処理であって前記割込み制御を許可する割込み許可処理を、前記メイン制御において行い、
前記数値取得処理を、前記割込み制御において行い、
【２７０７】
前記メイン制御おいて、前記数値範囲設定処理が行われた後に、前記割込み許可処理を行い、
【２７０８】
少なくとも前記復帰指示を受けた場合には、前記割込み制御が禁止されている割込み禁止状態において前記数値範囲設定処理を行うものであることを特徴とする遊技台。
＜付記Ｑ２＞
付記Ｑ１に記載の遊技台であって、
【２７０９】
前記乱数生成手段、前記遊技制御手段、および前記異常検出手段を少なくとも有する、マイクロプロセッサを備え、
前記マイクロプロセッサは、
【２７１０】
少なくとも前記異常検出手段によって前記異常が検出された場合には、セキュリティチェックが行われるセキュリティモードに所定期間に亘り滞在した後、前記遊技制御手段によって前記遊技制御処理が行われるユーザモードへ移行するものであることを特徴とする遊技台。
＜付記Ｑ３＞
付記Ｑ１またはＱ２に記載の遊技台であって、
前記マイクロプロセッサは、
遊技に関する情報を一時的に記憶するＲＡＭと、
【２７１１】
電源が投入されたことに基づいて、前記遊技制御手段に前記遊技制御処理を最初から行わせるための起動指示を行う起動指示手段と、を備え、
前記遊技制御手段は、
【２７１２】

前記遊技制御処理であり、かつ電源が遮断される場合に実行される処理であって、前記ＲＡＭの所定領域に当該処理が行われたことを示す所定のデータを記憶させる処理を含む電断時処理を行い、

【２７１３】

前記遊技制御処理を最初から行う場合において、前記所定のデータが記憶されている場合には、前記遊技制御処理であり、かつ前記ＲＡＭの領域であって前記乱数生成手段によって導出された数値を記憶する領域が少なくとも初期化される初期化処理を行うことなく前記遊技制御処理を復帰させることが可能なものである一方、前記遊技制御処理を最初から行う場合において、前記所定のデータが記憶されていない場合には、該初期化処理を行うことなく前記遊技制御処理を復帰させることが不可能なものであり、

【２７１４】

前記復帰指示を受けた場合には、前記電断時処理を行わないものであることを特徴とする遊技台。

＜付記Ｒ＞

＜付記Ｒ１＞

ＣＰＵと、

遊技制御プログラムを少なくとも記憶するＲＯＭと、

を少なくとも内蔵するマイクロコンピュータを備えた遊技台であって、

前記遊技台は、ぱちんこ機またはスロットマシンであり、

【２７１５】

前記ＣＰＵは、所定のフラグを少なくとも有するフラグレジスタを少なくとも有し、

前記ＣＰＵは、所定の命令を少なくとも実行可能であり、

【２７１６】

前記遊技制御プログラムは、メイン処理と、タイマ割込によって起動される割込処理と、該割込処理の実行中に自身以外の処理から少なくとも呼び出される複数のサブ処理を少なくとも含み、

前記複数のサブ処理は、第一のサブ処理と第二のサブ処理を少なくとも含み、

前記所定の命令は、前記第二のサブ処理で少なくとも実行され、

【２７１７】

前記所定の命令は、所定の移行条件が成立した場合には、該命令を実行した前記第二のサブ処理から前記第一のサブ処理に移行させることが可能で、かつ、所定の変化条件が成立した場合には、該命令の実行に基づいて前記所定のフラグをセットまたはクリアすることが少なくとも可能な命令であり、

【２７１８】

前記ＣＰＵは、前記所定の命令の実行後の前記第一のサブ処理または前記第二のサブ処理において、前記所定の命令の実行に基づいてセットまたはクリアされた前記所定のフラグを参照しない処理と、前記所定の命令以外の命令の実行に基づいてセットまたはクリアされた前記所定のフラグを参照する処理を実行する、

ことを特徴とする遊技台。

＜付記Ｒ２＞

付記Ｒ１に記載の遊技台であって、

前記ＣＰＵは、前記フラグレジスタと所定のレジスタを少なくとも有し、

【２７１９】

前記所定の移行条件が成立した場合とは、前記所定のレジスタが所定の条件を満たす場合である、

ことを特徴とする遊技台。

＜付記Ｒ３＞

付記Ｒ２に記載の遊技台であって、

前記所定の命令以外の命令には、算術論理演算命令が少なくとも含まれ、

【２７２０】

前記所定の変化条件が成立した場合とは、前記所定のレジスタを用いた前記算術論理演算命令が実行されたときに、該算術論理演算命令の実行後の前記所定のレジスタが前記所定の条件を満たす場合であり、
【２７２１】
前記所定の移行条件が成立した場合とは、前記所定のレジスタを用いた算術論理演算命令が実行されたときに、該算術論理演算命令の実行後の前記所定のレジスタが前記所定の条件を満たした結果、前記所定のフラグがセットまたはクリアされた場合である、
ことを特徴とする遊技台。
＜付記Ｒ４＞
付記Ｒ１～Ｒ３のいずれかに記載の遊技台であって、
【２７２２】
前記ＣＰＵは、前記所定の命令の実行に基づいてセットまたはクリアされた前記所定のフラグを参照しないで分岐先を決定する分岐処理と、前記所定の命令以外の命令の実行に基づいてセットまたはクリアされた前記所定のフラグを参照して分岐先を決定する分岐処理を実行する、
ことを特徴とする遊技台。
＜付記Ｒ５＞
付記Ｒ１～Ｒ４のいずれかに記載の遊技台であって、
【２７２３】
前記ＣＰＵは、前記所定の命令の実行に基づいてセットまたはクリアされた前記所定のフラグを参照しない処理を行った後に、前記所定の命令以外の命令の実行に基づいて変化した前記所定のフラグを参照する処理を続けて行う、
ことを特徴とする遊技台。
＜付記Ｒ６＞
付記Ｒ１～Ｒ５のいずれかに記載の遊技台であって、
前記第二のサブ処理は、前記第一のサブ処理から呼び出される処理である、
ことを特徴とする遊技台。
＜付記Ｒ７＞
付記Ｒ１～Ｒ６のいずれかに記載の遊技台であって、
前記所定のフラグは、ゼロフラグである、
ことを特徴とする遊技台。
＜付記Ｓ＞
＜付記Ｓ１＞
ＣＰＵを少なくとも内蔵するマイクロコンピュータを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２７２４】
前記ＣＰＵは、第一のジャンプ命令を受け付けたことに基づいて、第一のジャンプ先アドレスに記憶されている命令を受け付けることが可能なものであり、
【２７２５】
前記ＣＰＵは、第二のジャンプ命令を受け付けたことに基づいて、第二のジャンプ先アドレスに記憶されている命令を受け付けることが可能なものであり、
【２７２６】
前記第一のジャンプ命令には、３ビットの第一の識別情報が少なくとも含まれており、
【２７２７】
前記第二のジャンプ命令には、３ビットの第二の識別情報が少なくとも含まれており、
前記第一のジャンプ先アドレスは、第一の値により示されるアドレスであり、
前記第二のジャンプ先アドレスは、第二の値により示されるアドレスであり、
前記第一の値は、前記第一の識別情報の８倍の値であり、
【２７２８】
前記第二の値は、前記第二の識別情報の８倍の値とは異なり、３ビットで示すことが可

能な最大値を１だけ超えた値の８倍の値である、
ことを特徴とする遊技台。
＜付記Ｓ２＞
付記Ｓ１に記載の遊技台であって、
前記第二の識別情報は０である、
ことを特徴とする遊技台。
＜付記Ｓ３＞
付記Ｓ１またはＳ２に記載の遊技台であって、
前記第一の識別情報は１から７のいずれかの値である、
ことを特徴とする遊技台。
＜付記Ｓ４＞
付記Ｓ３に記載の遊技台であって、
【２７２９】
前記第二のジャンプ先アドレスは、前記第一の識別情報の最大値である７を１だけ超えた値である８の８倍の値である６４である、
ことを特徴とする遊技台。
＜付記Ｓ５＞
付記Ｓ１乃至Ｓ４のいずれかに記載の遊技台であって、
【２７３０】
前記ＣＰＵは、前記第一のジャンプ命令および前記第二のジャンプ命令とは異なるジャンプ命令を受け付けることも可能なものである、
ことを特徴とする遊技台。
＜付記Ｔ＞
＜付記Ｔ１＞
【２７３１】
遊技に関する複数種類の遊技制御処理それぞれを、メイン制御および所定の割込み周期ごとに行われる割込み制御のうちの、少なくともいずれか一方の制御において実行する遊技制御手段と、
遊技を復帰させるための復帰情報を含む遊技に関する情報を記憶する記憶手段と、
【２７３２】
開始指示を受けたことに基づいて経過時間の計測を開始し、該経過時間が特定時間を超えたか否かを判定するとともに、該経過時間が特定時間を超えたと判定したことに基づいて前記遊技制御手段に対して復帰指示を行い、前記遊技制御手段から初期化指示を受けたことに基づいて該経過時間を初期化する復帰指示手段と、を備えた遊技台であって、
前記記憶手段は、
電源ステータスの情報を記憶する電源ステータス記憶領域を有し、
前記遊技制御手段は、
【２７３３】
前記メイン制御において、第一の処理を実行するとともに、該第一の処理の後に、繰り返し実行される第二の処理を実行し、
前記割込み制御において、第三の処理を実行し、
【２７３４】
電源が投入された場合、および前記復帰指示手段から前記復帰指示を受けた場合に、前記第一の処理の実行を開始し、
【２７３５】
前記第三の処理において、電源が遮断される場合に、電源の遮断に関する所定のデータを前記電源ステータス記憶領域に記憶させる処理を含む電断時処理を実行し、
【２７３６】
前記第一の処理において、前記電源ステータス記憶領域に前記所定のデータが記憶されている場合には、前記復帰情報に基づいて前記第二の処理へ復帰させるための復帰処理を

実行することが可能であり、
【２７３７】
前記第一の処理において、前記電源ステータス記憶領域に前記所定のデータが記憶されていない場合には、前記復帰処理を実行することが不可能なものであり、
【２７３８】
この遊技台は、前記復帰指示手段から前記復帰指示を受けた場合には、前記電断時処理が行われないことで、前記電源ステータス記憶領域に前記所定のデータが記憶されず、
前記遊技制御手段は、
【２７３９】
前記第一処理において、前記復帰処理を実行した後に、前記開始指示を前記復帰指示手段に対して行う処理を実行するものであることを特徴とする遊技台。
＜付記Ｔ２＞
付記Ｔ１に記載の遊技台であって、
【２７４０】
前記遊技制御手段、前記記憶手段、および前記復帰指示手段を、少なくとも有する、マイクロプロセッサを備え、
前記マイクロプロセッサは、
【２７４１】
少なくとも、前記復帰指示手段によって、前記経過時間が前記特定時間を超えたと判定された場合には、セキュリティチェックが行われるとともに、該セキュリティチェックの後に前記遊技制御が行われるユーザモードへ移行するまでの時間をランダムに変動させるランダム延長が少なくとも行われる、セキュリティモードに滞在した後、該ユーザモードへ移行するものであることを特徴とする遊技台。
＜付記Ｕ＞
＜付記Ｕ１＞
ＣＰＵを内蔵するマイクロプロセッサと、
ＲＯＭと、
を備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２７４２】
前記ＣＰＵは、第一の命令を受け付けた場合に、第一の動作を少なくとも実行可能なものであり、
【２７４３】
前記ＣＰＵは、第二の命令を受け付けた場合に、第二の動作を少なくとも実行可能なものであり、
【２７４４】
前記ＣＰＵは、第三の命令を受け付けた場合に、第三の動作を少なくとも実行可能なものであり、
【２７４５】
前記ＣＰＵのフラグレジスタにおける第一のビットは、前記第一の動作の結果に応じて変化可能なものであり、
【２７４６】
前記第二の動作は、前記第一のビットの状態に応じた動作を少なくとも実行可能なものであり、
前記ＲＯＭは、プログラムが少なくとも記憶されたものであり、
前記プログラムの少なくとも一部は、第一のプログラムであり、
【２７４７】
前記第一のプログラムは、前記ＣＰＵに第一の命令群を少なくとも受け付けさせるプログラムであり、
前記第一の命令群の一番目の命令は、前記第一の命令であり、

前記第一の命令群の二番目の命令は、前記第三の命令であり、
前記第一の命令群の三番目の命令は、前記第二の命令である、
ことを特徴とする遊技台。
＜付記Ｕ２＞
付記Ｕ１に記載の遊技台であって、
【２７４８】
前記第一のプログラムは、前記第一の命令群の一番目の命令よりも前に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ３＞
付記Ｕ１または付記Ｕ２に記載の遊技台であって、
【２７４９】
前記第一のプログラムは、前記第一の命令群の一番目の命令と二番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ４＞
付記Ｕ１～Ｕ３のいずれかに記載の遊技台であって、
【２７５０】
前記第一のプログラムは、前記第一の命令群の二番目の命令と三番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ５＞
付記Ｕ１～Ｕ４のいずれかに記載の遊技台であって、
【２７５１】
前記第一のプログラムは、前記第一の命令群の三番目の命令の後で、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ６＞
付記Ｕ１～Ｕ５のいずれかに記載の遊技台であって、
【２７５２】
前記第二のプログラムは、前記第二の命令群の一番目の命令よりも前に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ７＞
付記Ｕ１～Ｖ６のいずれかに記載の遊技台であって、
【２７５３】
前記第二のプログラムは、前記第二の命令群の一番目の命令と二番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｕ８＞
付記Ｕ１～Ｖ７のいずれかに記載の遊技台であって、
【２７５４】
前記第二のプログラムは、前記第二の命令群の二番目の命令の後で、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ＞
＜付記Ｖ１＞
ＣＰＵを内蔵するマイクロプロセッサと、
ＲＯＭと、
を備えた遊技台であって、

前記遊技台は、ぱちんこ機またはスロットマシンであり、
【２７５５】
前記ＣＰＵは、第一の命令を受け付けた場合に、第一の動作を少なくとも実行可能なものであり、
【２７５６】
前記ＣＰＵは、第二の命令を受け付けた場合に、第二の動作を少なくとも実行可能なものであり、
【２７５７】
前記ＣＰＵは、第三の命令を受け付けた場合に、第三の動作を少なくとも実行可能なものであり、
【２７５８】
前記ＣＰＵのフラグレジスタにおける第一のビットは、前記第一の動作の結果に応じて変化可能なものであり、
【２７５９】
前記第二の動作は、前記第一のビットの状態に応じた動作を少なくとも実行可能なものであり、
前記ＲＯＭは、プログラムが少なくとも記憶されたものであり、
前記プログラムの少なくとも一部は、第一のプログラムであり、
前記プログラムの少なくとも一部は、第二のプログラムであり、
【２７６０】
前記第一のプログラムは、前記ＣＰＵに第一の命令群を少なくとも受け付けさせるプログラムであり、
前記第一の命令群の一番目の命令は、前記第一の命令であり、
前記第一の命令群の二番目の命令は、前記第三の命令であり、
前記第一の命令群の三番目の命令は、前記第二の命令であり、
【２７６１】
前記第二のプログラムは、前記ＣＰＵに第二の命令群を少なくとも受け付けさせるプログラムであり、
前記第二の命令群の一番目の命令は、前記第一の命令であり、
前記第二の命令群の二番目の命令は、前記第二の命令である、
ことを特徴とする遊技台。
＜付記Ｖ２＞
付記Ｖ１に記載の遊技台であって、
【２７６２】
前記第一のプログラムは、前記第一の命令群の一番目の命令よりも前に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ３＞
付記Ｖ１または付記Ｖ２に記載の遊技台であって、
【２７６３】
前記第一のプログラムは、前記第一の命令群の一番目の命令と二番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ４＞
付記Ｖ１～Ｖ３のいずれかに記載の遊技台であって、
【２７６４】
前記第一のプログラムは、前記第一の命令群の二番目の命令と三番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ５＞

付記Ｖ１～Ｖ４のいずれかに記載の遊技台であって、
【２７６５】
前記第一のプログラムは、前記第一の命令群の三番目の命令の後で、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ６＞
付記Ｖ１～Ｖ５のいずれかに記載の遊技台であって、
【２７６６】
前記第二のプログラムは、前記第二の命令群の一番目の命令よりも前に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ７＞
付記Ｖ１～Ｖ６のいずれかに記載の遊技台であって、
【２７６７】
前記第二のプログラムは、前記第二の命令群の一番目の命令と二番目の命令の間に、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜付記Ｖ８＞
付記Ｖ１～Ｖ７のいずれかに記載の遊技台であって、
【２７６８】
前記第二のプログラムは、前記第二の命令群の二番目の命令の後で、他の命令を前記ＣＰＵに受け付けさせるプログラムである、
ことを特徴とする遊技台。
＜実施形態９＞
【２７６９】
以下、図２９４から図３６４を用いて、本発明の実施形態９に係る遊技台（例えば、パチンコ機１００等の弾球遊技機やスロット機等の回胴遊技機）について詳細に説明する。尚、以下の説明において、符号は本実施形態について用いるものとする。
＜全体構成＞
【２７７０】
まず、図２９４から図２９８を用いて、本発明の実施形態に係るパチンコ機１００の全体構成について説明する。図２９４は、パチンコ機１００および管理装置６２０を正面側（遊技者側）から見た外観斜視図であり、図２９５は、パチンコ機１００および管理装置６２０の正面図である。
【２７７１】
図２９４および図２９５を参照して、本実施形態のパチンコ機１００は、遊技台内に封入された一定数の遊技媒体（例えば遊技球）をパチンコ機１００に設けた遊技媒体経路で循環させるものであり、循環する遊技球を球発射ハンドルの操作によって発射し、各入賞口または始動口に入球させて遊技を行ういわゆる封入式遊技台である。この場合、遊技者に直接払い出される遊技球はなく、循環する遊技球の状態によって、電子情報上、遊技可能な遊技球の数量を増減させる。以下、電子情報上の遊技球の数量と区別するために、パチンコ機１００内で循環する遊技球を機内球（または、単に「球」）と称する。つまりパチンコ機１００は、遊技者が操作するのは封入され循環する一定数の機内球であり、当該機内球の状態（発射および、入賞または非入賞）によって遊技者が遊技可能な電子情報上の遊技球数の情報（遊技球数情報）が変化（増減）する。
【２７７２】
以下の説明において遊技球数情報として管理される、遊技者が遊技に使用できる上限の球数（機内球の発射可能球数）を遊技球数という。遊技球数は、パチンコ機１００の記憶領域に記憶されており、遊技の状態（例えば機内球の発射や、獲得遊技球があった場合など）により増減し、パチンコ機１００によって定期的に更新される（これについては後述

する）。つまり遊技球数を増減させる（遊技球数に加算または減算される）球数も、電子情報上の球数情報であるが、以下の説明では単に、球数という。

【２７７３】

獲得遊技球とは、賞球ともいい、獲得遊技球数（賞球数）は、入賞口または始動口に機内球が進入したことに基づいて遊技球数に加算される球数である。なお、賞球は実際の払い出しはないが、賞球を遊技球数に加算することを賞球の「払い出し」という場合もある。遊技球数に加算された場合、賞球数は０（ゼロ）になる。

【２７７４】

このパチンコ機１００は、インタフェース部（ここでは不図示）を介してパチンコ機１００と別体で例えばその近傍に設けられたと管理装置６２０と接続する。

【２７７５】

管理装置６２０は、ＩＣカードの管理を行うＩＣカードユニット（以下、ＩＵともいう）である。管理装置６２０は例えば、その前面側（遊技者側）にカード差込口６２６、管理装置表示部６２８を備える。

【２７７６】

管理装置６２０は、カード差込口６２６に差し込まれたＩＣカードにアクセスして所定の情報の読み出しおよび書き込みを行う。ＩＣカードには、遊技者が遊技前に予めチャージした、遊技球に交換可能な金額（電子マネー）の情報などが記憶されており、遊技者がＩＣカードをカード差込口６２６に挿入することで遊技が可能となる。つまり、遊技者が遊技開始時にカード挿入口６２６にＩＣカードを差し込むと、電子マネーの金額（以下、残金ともいう）と交換可能な遊技球数（の上限）が管理装置表示部６２８等に表示されるなどし、遊技者はこの遊技球数を借りて（パチンコ機１００に記憶する遊技球数に加算して）この遊技球数の範囲内で遊技することができる。

【２７７７】

以下の説明では、ＩＣカード内の金額の少なくとも一部を遊技球数に交換することを貸球といい、貸球数とは、遊技者の球貸を要求する操作に基づいて、遊技球数に加算される球数をいう。

【２７７８】

また、パチンコ機１００に記憶されている遊技球数の少なくとも一部は、管理装置６２０に送信し、ＩＣカードに記憶することができる。遊技者の計数を要求する操作によって、遊技球数の少なくとも一部をＩＣカードに記憶することを計数といい、その球数を計数球数という。また、ＩＣカードに記憶された計数球数の合計（総計数球数）を貯球という。遊技者は、再プレイを要求する操作により、貯球の少なくとも一部を遊技球数に加算することができる。つまり、ＩＣカード内の残高を遊技球に交換して遊技球に加算する場合が貸球であり、貯球を遊技球に加算する場合が再プレイである。

【２７７９】

また、ＩＣカードに記憶されている計数球数の合計（貯球）と、ＩＣカード内の残高で交換可能な遊技球数の和を記憶球数といい、パチンコ機１００に記憶されている遊技球数とＩＣカード内の記憶球数の和を持ち球数という。持ち球数は、遊技者の持つ全球数である。

【２７８０】

パチンコ機１００と管理装置６２０は、双方向通信を行い、遊技球の量に関する情報を含む所定の情報を送受信する。

【２７８１】

管理装置表示部６２８は、管理装置６２０からの表示信号（表示データ）に基づいて、管理装置６２０に挿入されたＩＣカード内の残高で交換（貸出）可能な遊技球数を示す情報を表示する。また、管理装置表示部６２８は、パチンコ機１００や管理装置６２０において球の貸出に関するエラーが発生した場合には、エラーの情報を表示する。

【２７８２】

パチンコ機１００は、外部的構造として、外枠１０２と、内枠１０４と、前面枠扉１０

６と、球発射ハンドル１３４と、遊技盤２００と、球数ユーザインターフェース部（以下、球数ＵＩ部）６８０と、をその前面に備える。

【２７８３】

外枠１０２は、遊技機設置営業店に設けられた設置場所へと固定させるための縦長方形状から成る木製の枠部材である。

【２７８４】

内枠１０４は、ヒンジ部１１２を介して外枠１０２に回動自在に装着された縦長方形状の遊技機基軸体となる部材である。また、内枠１０４が開放された場合、内枠１０４の開放を検出する不図示の内枠開放センサを備える。

【２７８５】

前面枠扉１０６は、ロック機能付きで且つ開閉自在となるようにパチンコ機１００の前面側となる内枠１０４の前面に対しヒンジ部１１２を介して装着され、枠状に構成されることでその内側を開口部とした扉部材である。前面枠扉１０６には、開口部にガラス製又は樹脂製の透明板部材１１８が設けられており、この構成によりガラス枠と呼ばれる場合もある。前面枠扉１０６の前面側には、スピーカ１２０や枠ランプ１２２が取り付けられている。前面枠扉１０６下方には、球数ＵＩ部６８０が設けられる。球数ＵＩ部６８０の外側（例えば、右側）には、遊技者の操作によって発射装置（ここでは不図示）へと案内された機内球を遊技盤２００の遊技領域１２４へと打ち出す球発射ハンドル１３４が設けられる。

【２７８６】

球数ＵＩ部６８０は、ユーザインターフェース表示部（以下、ＵＩ表示部）６５８と、操作部６５０を少なくとも備える操作部装置である。ＵＩ表示部６５８は、例えば、パチンコ機１００が生成した画像および、管理装置６２０が生成した画像の少なくとも一方を表示可能なものであるが、ＵＩ表示部６５８は、管理装置６２０が生成した画像のみを表示可能なものであってもよい。さらに球数ＵＩ部６５８には、他の表示部（ここでは、球数表示部６４０）が含まれていてもよい。

【２７８７】

操作部６５０は、例えば、タッチパネル式の入力部である。タッチパネル式の入力部は、ＵＩ表示部６５８の一部であってもよいし、これとは別体に設けられたものであってもよい。また操作部６５０は、スイッチ式の入力部であってもよく、タッチパネル式およびスイッチ式など複数の入力部を含んだものであってもよい。

【２７８８】

本実施形態の球数ＵＩ部６８０は、一例として、タッチパネル式の入力操作部６５４と計数ボタン６５２を有する操作部６５０と、画像表示部６５６と球数表示部６４０を有するＵＩ表示部６５８と、を含んで構成されるが、これについては後述する。

【２７８９】

球数ＵＩ部６８０にはまた、遊技者の操作によって各種演出装置（ここでは不図示）の演出態様に変化を与えるチャンスボタン１３６と、チャンスボタン１３６を発光させるチャンスボタンランプ１３８が設けられる。

【２７９０】

前面枠扉１０６には、また、機内球の入賞によって獲得した賞球数を表示するための賞球数表示部（獲得遊技球数表示部）６９０が設けられている。ここでは賞球数表示部６９０は、球数ＵＩ部６８０と別体に設けられた、例えば、７セグメント表示装置またはドットマトリクス表示装置などにより構成されるが、賞球数表示部６９０を設けず、賞球数等は球数ＵＩ部６８０の画像表示部６５６に表示する構成としてもよい。

【２７９１】

図２９６および図２９７は、前面枠扉１０６を開放した状態のパチンコ機１００を示す図であって、図２９６がパチンコ機１００を正面側（遊技者側）から見た外観斜視図であり、図２９７は、パチンコ機１００の正面図である。なお、これらの図において管理装置６２０の図示は省略する。

【２７９２】
内枠１０４は、枠状に形成され、内側に空間部１１４を有している。前面枠扉１０６の後面と内枠１０４に取り付けられた遊技盤２００の前面とで遊技領域１２４を区画形成する。また、前面枠扉１０６が開放された場合、前面枠扉１０６の開放を検出する不図示の前面枠扉開放センサを備える。
【２７９３】
遊技盤２００は、前面に遊技領域１２４を有し、内枠１０４の空間部１１４に臨むように、所定の固定部材を用いて内枠１０４に着脱自在に装着されている。なお、遊技領域１２４は、遊技盤２００を内枠１０４に装着した後、開口部から観察することができる。
【２７９４】
遊技盤２００の左上方には、発射杆６２２ａを有する発射装置６２２と発射レール６２４が設けられる。発射レール６２４にはパチンコ機１００内部の遊技媒体経路（ここでは不図示）を経由して機内球が搬送されており、球発射ハンドル１３４が遊技者によって操作されると、発射装置６２２によって機内球が遊技領域１２４に打ち出される。
【２７９５】
なお、図示は省略するが、パチンコ機１００は、例えば外枠１０２等に夜間監視装置を備え、夜間に内枠が開放されたことを電源投入時に通知する。また、電源切断時には、内枠開放センサ（不図示）によって内枠の開放を検知できる。
【２７９６】
図２９８は、図２９４のパチンコ機１００を背面側から見た外観図である。本図においても、管理装置６２０の図示は省略する。
【２７９７】
パチンコ機１００の背面には、遊技全般の制御処理を行う主制御部３００を構成する主基板１５６を収納する主基板ケース１５８、主制御部３００が生成した処理情報に基づいて演出に関する制御処理を行う第１副制御部４００を構成する第１副基板１６０を収納する第１副基板ケース１６２、第１副制御部４００が生成した処理情報に基づいて演出に関する制御処理を行う第２副制御部５００を構成する第２副基板１６４を収納する第２副基板ケース１６６が設けられる。
【２７９８】
また、発射装置６２２および後述する遊技媒体経路６１０の制御処理を行う球数制御部６００を構成するとともに遊技店員の操作によってエラーを解除するエラー解除スイッチ１６８を備える球数制御基板（払出制御基板）１７０を収納する球数基板ケース１７２、各種電気的遊技機器に電源を供給する電源制御部６６０を構成するとともに遊技店員の操作によって電源をオンオフする電源スイッチ１７８と電源投入時に操作されることによってＲＷＭクリア信号を主制御部３００に出力するＲＷＭクリアスイッチ１８０とを備える電源基板１８２を収納する電源基板ケース１８４、およびパチンコ機１００と管理装置６２０との信号の送受信や球数ＵＩ部６８０と球数制御部６００との信号の送受信を行うインターフェース部６０６を配設している。
【２７９９】
パチンコ機１００は、また、一定個数（例えば、５０個）の機内球を循環させる遊技媒体経路６１０を備える。これにより、遊技者が循環する機内球に直接触れることができない構造となるとともに、パチンコ機１００から貯留皿を省くことが可能となる。
【２８００】
遊技媒体経路６１０は、遊技領域１２４からパチンコ機１００下方に排出された機内球を１個ずつ発射レール６２４に搬送する機能を有する遊技球循環装置である。詳細には、遊技媒体経路６１０は、球磨き装置６１２と、揚上装置６１４と、球送り装置６１６を有し、パチンコ機１００の背面下部に設けられた球磨き装置６１２から排出された機内球は背面右側の端部に設けられた揚上装置６１４により１個ずつ搬送され、背面上部に設けられた球送り装置６１６に受け渡される。球磨き装置６１２、揚上装置６１４、球送り装置６１６および発射装置６２２は、球数制御部６００によって制御される。

【２８０１】
球磨き装置６１２は、パチンコ機１００の下部に設けられてパチンコ機１００内部を循環する機内球の汚れを自動的に磨くものである。遊技領域１２４から排出された機内球はまず球磨き装置６１２に誘導される。球磨き装置６１２は、球入口と、球出口と、球磨き装置入口センサと、球磨きモータと、球磨きモータセンサと、スクリューと、研磨布と、布送りモータを有し、研磨布で機内球を磨くと同時に研磨布を布送りギアと布送りモータで自動に巻き取ることができる。機内球が球入口に進入したことを球磨き装置入口センサが検知すると、球磨きモータが駆動する。球磨きモータはギアを介してスクリューと接続しており、スクリューの回転によって機内球を１球ずつ搬送する。機内球は球磨き装置６１２の内部に設けられた研磨布に擦られながら球出口まで搬送され、これにより研磨される。球出口から排出された機内球は揚上装置６１４に受け渡される。
【２８０２】
揚上装置６１４は、球磨き装置６１２からパチンコ機１００の上部まで機内球を搬送する装置であり、球入口と、球出口と、揚上装置入口センサと、揚上モータと、揚上モータセンサと、スクリューとを有する。球磨き装置６１２から排出された機内球が球入口に進入したことを揚上装置入口センサが検知すると、揚上モータが駆動する。揚上モータはギアを介してスクリューと接続しており、スクリューの回転によって機内球が１球ずつ、パチンコ機１００の上部に搬送される。球出口から排出された機内球は、球送り装置６１６に受け渡される。
【２８０３】
球送り装置６１６は、揚上装置６１４から排出された機内球を発射レール６２４まで搬送する装置であり、例えば球送ソレノイドと、これに回動可能に接続する機内球の通路（球通路）を含む。球数制御部６００が球発射ハンドル１３４の操作されたことを検出すると球送ソレノイドを駆動する。球送ソレノイドが球通路を吸引することで球通路に沿って機内球が１個ずつ発射レール６２４へ搬送される。発射レール６２４に送られた機内球は、上述の如く発射装置６２２によって遊技領域１２４に打ち出される。なお、球送り装置６１６の球入口にも球送り装置入口センサが設けられている。
【２８０４】
発射装置６２２は、発射杆６２２ａと不図示の発射ソレノイドなどを含み、発射杆６２２ａは、発射ソレノイドによって回動可能に取り付けられる。発射装置６２２の近傍には、発射レール６２４が設けられる。球発射ハンドル１３４が遊技者に操作されると、発射杆６２２ａが例えば発射ソレノイドによって吸引されるなどして回動する。遊技媒体経路６１０を経由して発射レール６２４に搬送された機内球は、回動する発射杆６２２ａの先端で打突されることで、発射レール６２４から遊技領域１２４に発射される。この場合、発射の強弱は、球発射ハンドル１３４の発射強度センサの値によって、発射ソレノイドの吸引力を変化させて制御する。
＜遊技盤＞
【２８０５】
図２９９を参照して遊技盤２００について説明する。同図は、遊技盤２００の構成の一例を示す略示正面図である。
【２８０６】
遊技盤２００には、機内球が転動可能な遊技領域１２４が形成される。遊技領域１２４には、例えば左上方に設けられた発射レール（ここでは不図示）から機内球が発射される。
【２８０７】
遊技領域１２４の略中央には、演出装置２０６を配設している。演出装置２０６は、演出可動体２２４を動作して演出を行うものである。この演出装置２０６には、略中央に装飾図柄表示装置２０８を配設し、その周囲に、普通図柄表示装置２１０と、第１特別図柄表示装置２１２と、第２特別図柄表示装置２１４と、普通図柄保留ランプ２１６と、第１特別図柄保留ランプ２１８と、第２特別図柄保留ランプ２２０と、高確中ランプ２２２を

配設している。なお、以下、普通図柄を「普図」、特別図柄を「特図」と称する場合がある。

【２８０８】

装飾図柄表示装置２０８は、装飾図柄ならびに演出に用いる様々な表示を行うための表示装置であり、本実施形態では液晶表示装置（Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙ）によって構成する。この装飾図柄表示装置２０８は、左図柄表示領域２０８ａ、中図柄表示領域２０８ｂ、右図柄表示領域２０８ｃおよび演出表示領域２０８ｄの４つの表示領域に分割し、左図柄表示領域２０８ａ、中図柄表示領域２０８ｂおよび右図柄表示領域２０８ｃはそれぞれ異なった装飾図柄を表示し、演出表示領域２０８ｄは演出に用いる画像を表示する。さらに、各表示領域２０８ａ、２０８ｂ、２０８ｃ、２０８ｄの位置や大きさは、装飾図柄表示装置２０８の表示画面内で自由に変更することを可能としている。なお、装飾図柄表示装置２０８として液晶表示装置を採用しているが、液晶表示装置でなくとも、種々の演出や種々の遊技情報を表示可能に構成されていればよく、例えば、ドットマトリクス表示装置、７セグメント表示装置、有機ＥＬ（ＥｌｅｃｔｒｏＬｕｍｉｎｅｓｃｅｎｃｅ）表示装置、リール（ドラム）式表示装置、リーフ式表示装置、プラズマディスプレイ、プロジェクタを含む他の表示デバイスを採用してもよい。また、遊技者が装飾図柄表示装置２０８を視認し難いように遮蔽する遮蔽装置２４６が設けられてもよい。

【２８０９】

普図表示装置２１０は、普図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。第１特図表示装置２１２および第２特図表示装置２１４は、特図の表示を行うための表示装置であり、本実施例では７セグメントＬＥＤによって構成する。

【２８１０】

普図保留ランプ２１６は、保留している普図変動遊技（詳細は後述）の数を示すためのランプであり、本実施例では、普図変動遊技を所定数（例えば、２つ）まで保留することを可能としている。第１特図保留ランプ２１８および第２特図保留ランプ２２０は、保留している特図変動遊技（詳細は後述）の数を示すためのランプであり、本実施例では、特図変動遊技を所定数（例えば、４つ）まで保留することを可能としている。高確中ランプ２２２は、遊技状態が大当りが発生し易い高確率状態であること、または高確率状態になることを示すためのランプであり、遊技状態を大当りが発生し難い低確率状態から高確率状態にする場合に点灯し、高確率状態から低確率状態にする場合に消灯する。

【２８１１】

また、この演出装置２０６の周囲には、所定の球進入口、例えば、一般入賞口２２６（２２６Ｃ、２２６Ｄ）と、普図始動口２２８と、第１特図始動口２３０と、第２特図始動口２３２と、可変入賞口２３４を配設している。

【２８１２】

一般入賞口２２６（２２６Ｃ、２２６Ｄ）は、本実施例では遊技盤２００に複数配設しており、この一般入賞口２２６への機内球の入球を所定の球検出センサ（ここでの図示は省略するが、後に詳述する）が検出した場合（一般入賞口２２６に入賞した場合）、所定の個数（例えば、１０個）の賞球を遊技者に与える。既述の通り賞球は、実際の循環する機内球の払い出しではなく、遊技者が保持する電子情報上の遊技球数（パチンコ機１００の記憶領域に記憶されている遊技球数）に加算される（以下同様）。なお、一般入賞口２２６に入球した機内球は、パチンコ機１００の裏側に誘導され、遊技媒体経路６１０内を循環して発射レール６２４に搬送されて再び遊技に利用される。

【２８１３】

普図始動口２２８は、ゲートやスルーチャッカーと呼ばれる、遊技領域１２４の所定の領域を球が通過したか否かを判定するための装置で構成しており、本実施例では遊技盤２００の右側に１つ配設している。普図始動口２２８を通過した機内球は、パチンコ機１００の裏側に誘導され、遊技媒体経路６１０内を循環して発射レール６２４に搬送されて再

び遊技に利用される。機内球が普図始動口２２８を通過したことを所定の球検出センサが検出した場合、パチンコ機１００は、普図表示装置２１０による普図変動遊技を開始する。

【２８１４】

第１特図始動口２３０は、本実施例では遊技盤２００の中央に１つだけ配設している。この第１特図始動口２３０への入球を所定の球検出センサが検出した場合、所定の個数（例えば、３個）の賞球を遊技者に与えるため、パチンコ機１００の記憶領域に保持されている遊技球数に賞球数を加算するとともに、第１特図表示装置２１２による特図変動遊技を開始する。

【２８１５】

第２特図始動口２３２は、電動チューリップ（電チュー）と呼ばれ、本実施例では第１特図始動口２３０の真下に１つだけ配設している。この第２特図始動口２３２は、左右に開閉自在な羽根部材２３２ａを備え、羽根部材２３２ａの閉鎖中は球の入球が不可能であり、普図変動遊技に当選し、普図表示装置２１０が当たり図柄を停止表示した場合に羽根部材２３２ａが所定の時間間隔、所定の回数で開閉する。第２特図始動口２３２への入球を所定の球検出センサが検出した場合、所定の個数（例えば、４個）の賞球を遊技者に与えるため、遊技球数に賞球数を加算するとともに、第２特図表示装置２１４による特図変動遊技を開始する。

【２８１６】

可変入賞口２３４は、大入賞口またはアタッカーと呼ばれ、本実施例では遊技盤２００の中央部下方に１つだけ配設している。この可変入賞口２３４は、開閉自在な扉部材２３４ａを備え、扉部材２３４ａの閉鎖中は球の入球が不可能であり、特図変動遊技に当選して特図表示装置が大当たり図柄を停止表示した場合に扉部材２３４ａが所定の時間間隔（例えば、開放時間２９秒、閉鎖時間１．５秒）、所定の回数（例えば１５回）で開閉する。可変入賞口２３４への入球を所定の球検出センサが検出した場合、所定の個数（例えば、１５個）の賞球を遊技者に与えるため、遊技球数に賞球数を加算する。

【２８１７】

第１特図始動口２３０、第２特図始動口２３２および可変入賞口２３４に入球した機内球は、いずれもパチンコ機１００の裏側に誘導され、遊技媒体経路６１０内を循環して発射レール６２４に搬送されて再び遊技に利用される。

【２８１８】

さらに、これらの入賞口や始動口の近傍には、風車と呼ばれる円盤状の打球方向変換部材２３６や、遊技釘２３８を複数個、配設していると共に、遊技領域１２４の最下部には、いずれの入賞口や始動口にも入賞しなかった機内球をパチンコ機１００の裏側に誘導した後、遊技媒体経路６１０の入口に搬送するためのアウト口２４０を設けている。

【２８１９】

このパチンコ機１００は、遊技者の球発射ハンドル１３４の操作量に応じた強度で発射装置６２２の発射ソレノイドを駆動し、１個ずつ発射レール６２４に供給される機内球を、発射装置６２２（発射杆６２２ａ）によって遊技領域１２４に打ち出す。そして、遊技領域１２４の上部に打ち出された球は、打球方向変換部材２３６や遊技釘２３８等によって進行方向を変えながら下方に落下し、入賞口（一般入賞口２２６、可変入賞口２３４）や始動口（第１特図始動口２３０、第２特図始動口２３２）に入賞するか、いずれの入賞口や始動口にも入賞することなく、または普図始動口２２８を通過するのみでアウト口２４０に到達する。

【２８２０】

このように本実施形態では、入賞口および始動口に進入した機内球および、これらに入賞せずにアウト口から排出された機内球のいずれも、パチンコ機１００の裏側に誘導され、再び遊技に使用される。従って、機内球の発射による遊技者の遊技球の消費量は、遊技領域１２４に発射される機内球の数量を遊技球数から減算することで管理する。

【２８２１】

以下の説明において、遊技開始から遊技終了までの間に、遊技領域１２４に発射される機内球の数量をイン球数（投入球数）という。イン球数は、球発射ハンドル１３４の操作で遊技領域１２４に発射（投入）される機内球を検出する毎に、遊技球数から減算される。つまり１回の機内球の発射によって遊技球数から球数「１」が減算される。

【２８２２】

また、遊技開始から遊技終了までの間に、遊技領域１２４から遊技盤２００の背面側に排出される機内球の数量をアウト球数（排出球数）という。アウト球数は、遊技領域１２４から排出される機内球の数を検出し、これをカウントした球数である。パチンコ機１００は、イン球数とアウト球数を管理することで、機内球数の監視を行うが、これについては後述する。

【２８２３】

図３００は、本実施形態のパチンコ機１００の内部を循環する機内球７１０の経路を説明するための図であり、遊技盤２００を正面から見た略示正面図である。同図においては、主に、遊技盤２００の各入賞口または各始動口を図示するとともに、パチンコ機１００背面側に設けられる遊技媒体経路６１０を遊技領域１２４の外側に図示し、また遊技盤２００の背面側に設けられる遊技媒体内部経路７００（７００Ａ～７００Ｊ）を破線で示し、遊技媒体内部経路７００（７００Ａ～７００Ｊ）に設けられた各球検出センサ３２０Ｂ、６０４Ｂを太線で示している。また、図３００（ａ）は減算センサ６０４Ｚが発射レール６２４の後にある場合を示し、図（ｂ）は減算センサ６０４Ｚが球送り装置６１６と発射装置６２２の間にある場合を示している。

【２８２４】

遊技者が球発射ハンドル（ここでは不図示）を操作すると、発射装置６２２から機内球７１０が遊技領域１２４に発射される。遊技領域１２４を落下し、第１特図始動口２３０を通過した機内球７１０は、遊技盤２００の背面側に設けられた遊技媒体内部経路７００Ａに誘導され、第２特図始動口２３２を通過した機内球７１０は、遊技媒体内部経路７００Ｂに誘導される。一般入賞口２２６Ｃを通過した機内球７１０は遊技媒体内部経路７００Ｃに、一般入賞口２２６Ｄを通過した機内球７１０は、遊技媒体内部経路７００Ｄに誘導される。遊技媒体内部経路７００Ｃ、７００Ｄは１つの遊技媒体内部経路７００Ｅに合流する。また可変入賞口２３４を通過した機内球７１０は、遊技媒体内部経路７００Ｆに誘導され、普図始動口２２８を通過した機内球７１０は、遊技媒体内部経路７００Ｇに誘導される。複数の遊技媒体内部経路７００Ａ、７００Ｂ、７００Ｅ、７００Ｆ、７００Ｇは、１つの遊技媒体内部経路７００Ｈに合流する。

【２８２５】

また、アウト口２４０から排出され機内球７１０は、遊技媒体内部経路７００Ｉに誘導される。遊技媒体内部経路７００Ｈおよび７００Ｉは、１つの遊技媒体内部経路７００Ｊに合流し、球磨き装置６１２の入口に達する。

【２８２６】

遊技媒体内部経路７００Ａ、７００Ｂ、７００Ｅ、７００Ｆ、７００Ｇには、入賞口または始動口（以下、入賞口等という）に対応してそれぞれ、球検出センサ３２０Ｂが設けられる。球検出センサ３２０Ｂは、入賞口等に入球したことを検出するセンサであり、一般入賞口用センサ３２０Ｅ、第１特図始動口用センサ３２０Ｊ、第２特図始動口用センサ３２０Ｈ、可変入賞口用センサ３２０Ｇ、普図始動口用センサ３２０Ｔの総称である。

【２８２７】

すなわち、一般入賞口２２６（２２６Ｃ、２２６Ｄ）が接続する合流後の遊技媒体内部経路７００Ｅには一般入賞口用センサ３２０Ｅが設けられ、第１特図始動口２３０が接続する遊技媒体内部経路７００Ａには第１特図始動口用センサ３２０Ｊが設けられ、第２特図始動口２３２が接続する遊技媒体内部経路７００Ｂには第２特図始動口用センサ３２０Ｈが設けられ、可変入賞口２３４が接続する遊技媒体内部経路７００Ｆには可変入賞口用センサ３２０Ｇが設けられ、普図始動口２２８が接続する遊技媒体内部経路７００Ｇには、普図始動口用センサ３２０Ｔが設けられる。なお、複数の入賞口等で共通の球検出セン

サ３２０Ｂを使用することができる。例えば、賞球数が同じ一般入賞口２２６Ｃ、２２６Ｄには、共通の一般入賞口用センサ３２０Ｅが設けられている。また、賞球数が同じ一般入賞口２２６Ｃ、２２６Ｄであってもそれぞれに、球検出センサ３２０Ｂを設ける構成であってもよい。

【２８２８】

更にパチンコ機１００には、球検出センサ６０４Ｂが設けられる。球検出センサ６０４Ｂは、遊技領域１２４に発射された機内球７１０と遊技領域１２４から排出された機内球７１０をそれぞれ検出する投入検出センサおよび排出検出センサである。

【２８２９】

投入検出センサは、発射レール６２４から遊技領域１２４に発射される機内球７１０（遊技に供される、または遊技に供された機内球７１０）の通過を検出する。投入検出センサは例えば、減算センサ６０４Ｚである。減算センサ６０４Ｚで機内球７１０の通過を検出すると、遊技者が遊技球を１個消費（遊技者の遊技球数が１個減少）したと判定される。減算センサ６０４Ｚは例えば、球送り装置６１６の球送り装置入口センサ（不図示）と遊技領域１２４の間に配置される。減算センサ６０４Ｚは、発射待機中の機内球７１０の通過を検出可能な位置であればこの位置に限ることはなく、例えば、球磨き装置６１２の球入口から発射レール６２４までの遊技媒体経路６１０のいずれかの位置に設けることができる。具体的には、球磨き装置６１２（球磨き装置入口センサ）と発射レール６２４の間、揚上装置６１４（揚上装置入口センサ）と発射レール６２４の間、球送り装置６１６（球送り装置入口センサ）と発射レール６２４の間、球磨き装置６１２（球磨き装置入口センサ）と揚上装置６１４（揚上装置入口センサ）の間、あるいは揚上装置６１４（揚上装置入口センサ）と球送り装置６１６（球送り装置入口センサ）の間、などである。

【２８３０】

排出検出センサは、遊技領域１２４から排出された機内球７１０の通過を検出する。排出検出センサには、入賞口等に入賞した機内球７１０を検出する入賞検出センサ６０４Ｓと、入賞口等のいずれにも入賞しなかった（非入賞であった）機内球７１０を検出する非入賞検出センサ６０４Ｋが含まれる。

【２８３１】

例えば、入賞検出センサ６０４Ｓは、遊技媒体内部経路７００Ｈの途中に設けられ、これを通過する機内球７１０を検出することで、いずれかの入賞口等への入球があったこと、および遊技領域１２４から機内球７１０が１個排出されたことを検出する。

【２８３２】

一方、遊技領域１２４内を落下し、いずれの入賞口等にも入賞しなかった機内球７１０はアウト口２４０から排出され遊技媒体内部経路７００Ｉに誘導され、球磨き装置６１２の入口に達する。非入賞検出センサ６０４Ｋは例えば、遊技媒体内部経路７００Ｉの途中に設けられ、これを通過する機内球７１０を検出することで、いずれかの入賞もなかったこと、および遊技領域１２４から１個の機内球７１０が排出されたことを検出する。

【２８３３】

なお、本実施形態では、遊技領域１２４から排出される機内球７１０を入賞したものと非入賞のもので区別するために、入賞検出センサ６０４Ｓを遊技媒体内部経路７００Ｈに、非入賞検出センサ６０４Ｋを遊技媒体内部経路７００Ｉにそれぞれ設けたが、入賞、非入賞の区別なく遊技領域１２４から排出される機内球７１０を検出するのみであれば、合流後の遊技媒体内部経路７００Ｊの途中に１つの排出検出センサ（排出検出センサ）を設ける構成としてもよい。

【２８３４】

なお、同図（ａ）では、減算センサ６０４Ｚが発射レール６２４から発射された機内球７１０を検出する場合を示したが減算センサ６０４Ｚの位置はこれに限らない。

【２８３５】

同図（ｂ）は、減算センサ６０４Ｚ付近の他の位置を示す図であり、の球送り装置６１６および発射装置６２２付近を抜粋して示す図である。同図（ｂ）のように、減算センサ

６０４Ｚが球送り装置６１６と発射装置６２２の間に設けてもよい。この場合、減算センサ６０４Ｚは、球送り装置６１６から発射装置６２２に送り出された機内球７１０を検出する。

【２８３６】

このように、封入式のパチンコ機１００では、機内球７１０をパチンコ機１００の内枠内部で循環させることにより、遊技者が直接、機内球７１０に触れることができないので、機内球７１０に対する不正の防止に効果的である。また、発射装置６２２は、遊技領域１２４の上方に設けられており（下方から機内球７１０をレールに沿って打ち上げる構成ではないため）、発射装置６２２への戻り球を生じない。更に、機内球７１０の上皿および下皿への払出が行われないため、騒音レベルが抑えられる上、遊技機への球の補給が不要なため、島設備が不要となる。

＜パチンコ機と管理装置の接続例＞

【２８３７】

図３０１は、パチンコ機１００と管理装置６２０の接続の一例を示すブロック図である。上述のとおり、パチンコ機１００は、主制御部３００、第１副制御部４００、第２副制御部５００、球数制御部６００などの制御部と、第１特図表示装置２１２、第２特図表示装置２１４、普図表示装置２１０、装飾図柄表示装置２０８などの表示部と、球数ＵＩ部６８０と、チャンスボタン１３６、エラー解除スイッチ１６８などの操作部と、ＲＯＭ３０６、ＲＡＭ３０８などの記憶部と、インターフェース部６０６と、を有して構成されている。一方、管理装置６２０は、全体の制御を行う制御部６２０ａと、各種ボタンなどの操作部６２０ｂと、ＲＯＭやＲＡＭなどの記憶部６２０ｃと、ＩＣカードを挿入するためのカード差込口６２６と、管理装置表示部６２８と、パチンコ機１００との通信インタフェースであるインターフェース部６２０ｄなどを有して構成される。

【２８３８】

パチンコ機１００の球数制御部６００は、インタフェース部６０６を介して、管理装置６２０と接続してこれと双方向の通信を行い、遊技球の量に関する情報を含む各種遊技情報を送受信する。球数制御部６００は例えば、球数ＵＩ部６８０からの入力操作等に基づいて管理装置６２０と遊技球の量に関する情報の送受信を行い、貸球制御、計数制御、ＩＣカード返却制御、画面表示の切替制御などを行う。

【２８３９】

遊技球の量に関する情報とは、例えば、遊技球数に関する情報または持ち球数に関する情報、各入賞口等に対応した賞球数含む入賞情報、総賞球数、計数球数、金額（残高）、イン球数およびアウト球数などに関する情報、ＩＣカードに記憶される遊技球の量に関する情報、ＩＣカードの受付又は返却指令などである。

【２８４０】

またこれらの他に、遊技状態の情報、不正やエラーを検出したときに出力する情報なども含まれる。管理装置６２０は、遊技球数に関する情報を、外部に接続されたホールコンピュータに少なくとも送信する。また、管理装置６２０は、持ち球数に関する情報を、外部に接続されたホールコンピュータに少なくとも送信するものとしてもよい。

【２８４１】

球数制御部６０と管理装置６２０は双方向通信を行うことにより、暗号化処理などによって球数制御部６００と管理装置６２０間の通信データの整合性を確認することができ、これらのインターフェース部６０６を狙った不正アクセスを防ぐことができる。また、例えば球数制御部６００から取得したパチンコ機１００の固有の情報（例えば、固有ＩＤなど）を管理装置６２０の通信網を経由して外部の管理センタなどに登録されたパチンコ機１００の固有の情報と照合することでパチンコ機１００の認証を行うことが可能となり、電源投入時などに判定を行うことで不正改造の発見が容易となる。

【２８４２】

再び図３００も参照して、各入賞口および各始動口に設けられた球検出センサ３２０Ｂは主制御部３００と接続する。主制御部３００は、一般入賞口用センサ３２０Ｅにおいて

機内球７１０の通過を検出すると、一般入賞口２２６に入賞したと判定し、当該入賞に対応する賞球数、または当該賞球数に個々に対応する情報を含む賞球数情報（賞球コマンド）を、球数制御部６００に送信する。また、第１特図始動口用センサ３２０Ｊにおいて機内球７１０の通過を検出すると、第１特図始動口２３０に入賞したと判定し、当該入賞に対応する賞球コマンドを、球数制御部６００に送信する。また、第２特図始動口用センサ３２０Ｈにおいて機内球７１０の通過を検出すると、第２特図始動口２３２に入賞したと判定し、当該入賞に対応する賞球コマンドを、球数制御部６００に送信する。また、可変入賞口用センサ３２０Ｇにおいて機内球７１０の通過を検出すると、可変入賞口２３４に入賞したと判定し、当該入賞に対応する賞球コマンドを、球数制御部６００に送信する。また、主制御部３００は、普図始動口用センサ３２０Ｔにおいて機内球７１０の通過を検出すると、普図始動口２２８に入賞したと判定し、当該入賞に対応する賞球コマンドを、球数制御部６００に送信する。

【２８４３】

減算センサ６０４Ｚ、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋは、球数制御部６００と接続する。

【２８４４】

遊技者の遊技球数は、球数制御部６００のＲＡＭ等に設けられた遊技球数記憶領域に記憶されており、球数制御部６００は、減算センサ６０４Ｚで機内球７１０の通過を検出した場合、遊技球数記憶領域に記憶されている遊技球数を１つ減じる。

【２８４５】

球数制御部６００は、減算センサ６０４Ｚで機内球７１０の通過を検出し、且つ入賞検出センサ６０４Ｓのいずれかで１個の機内球７１０の通過を検出した場合に、遊技球数の１個の消費による入賞があったと判定し、主制御部３００から球数制御部６００に送信される賞球数情報（賞球コマンド）に基づいて当該入賞に対応する賞球数を、遊技球数記憶領域に記憶されている遊技球数に加算する。また球数制御部６００は、減算センサ６０４Ｚで機内球７１０の通過を検出し、且つ非入賞検出センサ６０４Ｋで１個の機内球７１０の通過を検出した場合に、遊技球数の１個の消費と判定する。

＜球数ＵＩ部＞

【２８４６】

図３０２を参照して、球数ＵＩ部６８０について説明する。図３０２は、球数ＵＩ部６８０の一例を示す上面（正面）図である。本実施形態の球数ＵＩ部６８０は、入力操作部６５４と計数ボタン６５２を有する操作部６５０と、画像表示部６５６と球数表示部６４０を有するＵＩ表示部６５８と、を含んで構成される。

【２８４７】

画像表示部６５６は、例えば液晶表示装置であり、管理装置６２０から受信したＩＣカード内に記憶された残高、貯球数などの情報を表示する。また後述するが、画像表示部６５６には、第１副制御部４００が生成し、遊技盤２００に設けられた表示装置（装飾図柄表示装置２０８）に表示する画像、および管理装置６２０が生成した画像のうち、一方を切り替えて表示可能である。

【２８４８】

入力操作部６５４は、複数のボタンであり、ここでは一例として、ＵＩ表示部６５８の一部に設けられた遊技者の指を接触させることで当該ボタンの操作（入力）を可能にしたタッチパネル方式が採用される。指による入力の一例として、抵抗膜方式（アナログ抵抗膜方式、マトリクス型抵抗膜方式）、静電容量方式、赤外線方式、超音波方式などが挙げられる。以下、遊技者による指入力を「タッチする」という場合がある。また、所定のペンの先端を接触させることにより入力させるものであってもよく、この場合の一例としてアナログ抵抗膜方式、電磁誘導方式、静電結合方式などが挙げられる。なお本実施形態では、画像表示部６５６と入力操作部６５４が一体的に設けられたタッチパネル型液晶表示装置６６２を採用している。しかしこれに限らず、入力操作部６５４は、画像表示部６５６と別体に設けられたタッチパネルでもよいし、計数ボタン６５２と同様に画像表示部６

５６と別体に設けられた押しボタン（スイッチ式）で入力操作を行うものであってもよい。また、タッチパネルには、有機ＥＬ表示装置や、プラズマディスプレイを用いてもよい。さらに画像表示部６５６は、入力操作部６５４を別体の構成とする場合には、種々の演出や種々の遊技情報を表示可能に構成されていればよく、例えば、ドットマトリクス表示装置、７セグメント表示装置、有機ＥＬ表示装置、リール（ドラム）式表示装置、リーフ式表示装置、プラズマディスプレイ、プロジェクタを含む他の表示デバイスを採用してもよい。

【２８４９】

入力操作部６５４の複数のボタンは例えば、管理装置６２０に対して球貸し指示を行う球貸ボタン１４０、管理装置６２０に対して挿入されたＩＣカードの返却の指示を行う返却ボタン１４２および、画面表示の切り替えを指示する切替ボタン１４４、管理装置６２０に対して再プレイ指示を行う再プレイボタン１４６などである。また、入力操作部６５４には、これ以外の操作ボタンが含まれてもよい。更に、入力操作部６５４は、例えば初期状態では１つのボタンのみ表示され、当該ボタンをタッチすることで複数の階層に分かれた操作メニューが表示されるように構成されていてもよい。これらのボタンは例えば、操作（入力）可能の場合は明るく（光って）表示されており、操作（入力）不可の場合は暗く表示されている。

【２８５０】

計数ボタン６５２は、球数制御部６００の遊技球数記憶領域に保持された遊技球数の少なくとも一部をＩＣカードに記憶（貯球）する場合に押下するボタンである。また、計数球数は、遊技者の計数ボタン６５２の操作に基づいて、遊技球数から減算されるとともに、パチンコ機１００から管理装置６２０に送信され、ＩＣカードに記憶される球数をいう。例えば、計数ボタン６５２の所定時間内（例えば１０秒以内）の１回の押下に対して所定数（例えば１０個）の計数球数が対応づけられており、これが押下されたことを球数制御部６００が検知すると、は遊技球数から計数球数（例えば１０個）を減算し、計数球数を計数情報として管理装置６２０に送信するとともに、減算後の遊技球数を球数表示部６４０に表示する。計数情報には、減算後の遊技球数や、それまでの計数球数を累積した総計数球数（貯球数）が含まれ、計数情報を受信した管理装置６２０は、貯球数等をＩＣカードに記憶するとともに、球数表示部６４０に更新された遊技球数を表示させる。

【２８５１】

計数ボタン６５２は、複数回連続して押下することで、１回の押下に相当する一定量に、押下した回数を乗じた計数球数（例えば１０個×２回押下＝２０個など）を送信することもできる。また、所定時間（例えば、１０秒）を超えて押下を続けるとその押下時間の長さに応じて、加速的に計数球数が増加し（２０個、５０個、１００個など）、押下終了した時点の計数球数を管理装置６２０に送信するものであってもよい。また、ＩＣカードの返却ボタン１４２が遊技者によってタッチされ、その後所定時間（例えば、１０秒以内）に計数ボタン６５２が押下された場合は、パチンコ機１００で記憶する全ての遊技球数を計数球数とした計数情報を管理装置６２０に送信し、球数表示部６４０には「０」を表示するものであってもよい。更に、入力操作部６５４に数字キー（テンキー）を配置したり、数字キーボタンを配置するなどし、計数ボタン６５２を押下した後に数字キー入力で計数球数を直接入力させるものであってもよい。

【２８５２】

球貸ボタン１４０は、遊技者が残高から所定数の遊技球を借りる（残高から貸球を受ける）場合にタッチするボタンである。ＩＣカードが管理装置６２０に挿入されると、ＩＣカード内の電子マネーの残高を管理装置表示部６２８に表示するとともにＩＣカード内の貯球と残高などの情報（球数更新指令）が、球数ＵＩ部６８０に送信される。球数ＵＩ部６８０はこれに基づき、画像表示部６５６にこれらの情報を含む画像を表示する。当該表示に基づき、遊技者が球貸ボタン１４０をタッチした場合、その情報（球貸操作情報）が球数ＵＩ部６８０から管理装置６２０に送信される。球貸ボタン１４０は、計数ボタン６５２と同様に所定期間の１回のタッチで一定量の貸球数が球貸操作情報として送信される

ものであってもよいし、複数回のタッチで貸球数の整数倍の入力が可能となったり、所定期間を超えるタッチで貸球数が加速度的に増加する入力が可能となるものであってもよい。

【２８５３】

球貸操作情報を受信した管理装置６２０は、指示のあった貸球数（球貸要求情報）を球数制御部６００に送信する。球数制御部６００は、貸球数を遊技球数に加算して球数表示部６４０に表示するとともに遊技球数記憶領域に記憶し、遊技者は増加した遊技球数で遊技を行うことができる。また貸球後の残高が画像表示部６５６に表示される。

【２８５４】

再プレイボタン１４６は、遊技者が貯球から所定数の遊技球を借りる（貯球から貸球を受ける）場合にタッチするボタンである。ＩＣカードが管理装置６２０に挿入されると、ＩＣカード内の電子マネーの残高を管理装置表示部６２８に表示するとともにＩＣカード内の貯球と残高などの情報（球数更新指令）が、球数ＵＩ部６８０に送信される。球数ＵＩ部６８０はこれに基づき、画像表示部６５６にこれらの情報を含む画像を表示する。例えば、再プレイは、所定量（例えば、１００個）の貯球がある場合に有効であり、球数更新指令には再プレイ可否の情報も含まれる。再プレイ可能な場合は、球数ＵＩ部６８０は再プレイボタン１４６を明るく表示するなどし、再プレイ可能であることを報知する。当該表示に基づき、遊技者が再プレイボタン１４６をタッチした場合、その情報（再プレイ操作情報）が球数ＵＩ部６８０から管理装置６２０に送信される。再プレイボタン１４６は、計数ボタン６５２と同様に所定期間の１回のタッチで一定量の再プレイ球数（貸球数と同様）が再プレイ操作情報として送信されるものであってもよいし、複数回のタッチで再プレイ球数の整数倍の入力が可能となったり、所定期間を超えるタッチで再プレイ球数が加速度的に増加する入力が可能となるものであってもよい。

【２８５５】

再プレイ操作情報を受信した管理装置６２０は、指示のあった再プレイ球数の要求情報を球数制御部６００に送信する。球数制御部６００は、再プレイ球数を遊技球数に加算して球数表示部６４０に表示するとともに遊技球数記憶領域に記憶し、遊技者は増加した遊技球数で遊技を行うことができる。また再プレイによる貸球後の貯球が画像表示部６５６に表示される。

【２８５６】

返却ボタン１４２は、管理装置６２０にＩＣカードが挿入されている場合にタッチすると、ＩＣカードが返却されるボタンである。返却ボタン１４２のタッチがあった情報（返却操作情報）が球数ＵＩ部６８０から管理装置６２０に送信されると、管理装置６２０から球数制御部６００に球数要求情報を送信する。球数要求情報を受信した球数制御部６００は、最新の遊技球数を含む遊技球数情報を管理装置６２０に送信する。遊技球数情報には残高、賞球数の累積である総賞球数、貯球数（総計数球数）などが含まれる。遊技球数情報を受信した管理装置６２０は貯球数等をＩＣカードに記憶し、カード挿入口６２６から排出する。

【２８５７】

球数表示部６４０は、例えば、７セグメント表示装置またはドットマトリクス表示装置などにより構成された遊技球数表示装置であり、パチンコ機１００または管理装置６２０から送信される情報（遊技球数やエラー情報など）を表示する。球数表示部６４０は、遊技球数等を１個単位で、例えば６桁まで表示可能である。また例えば「ＥＲＲｘｘ」などの文字によるエラー情報も表示可能である。

【２８５８】

例えば、遊技球数が１００個の場合、球数表示部６４０には「１００」と表示される。遊技中に入賞により１５個の賞球があると、まずガラス枠（前面枠扉）１０６の賞球数表示部６９０に「１５」と表示され、その賞球が遊技者に付与される（払い出される）と球数制御部６００の表示が「１１５」となるとともに賞球数表示部６９０の表示が「０」になる。

＜図柄の種類＞

【２８５９】

次に、図３０３（ａ）～（ｃ）を用いて、パチンコ機１００の第１特別図柄表示装置２１２、第２特別図柄表示装置２１４、装飾図柄表示装置２０８、普通図柄表示装置２１０が停止表示する特図および普図の種類について説明する。図３０３（ａ）は特図の停止図柄態様の一例を示したものである。

【２８６０】

第１特図始動口２３０に球が入球したことを第１特図始動口用センサ３２０Ｊが検出したことを条件として特図２９４変動遊技が開始され、第２特図始動口２３２に球が入球したことを第２特図始動口用センサ３２０Ｈが検出したことを条件として特図２９５変動遊技が開始される。特図２９４変動遊技が開始されると、第１特別図柄表示装置２１２は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「特図２９４の変動表示」を行う。また、特図２９５変動遊技が開始されると、第２特別図柄表示装置２１４は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「特図２９５の変動表示」を行う。これらの「特図２９４の変動表示」および「特図２９５の変動表示」が本発明にいう図柄の変動表示の一例に相当する。そして、特図２９４の変動開始前に決定した変動時間（本発明にいう変動時間が相当）が経過すると、第１特別図柄表示装置２１２は特図２９４の停止図柄態様を停止表示し、特図２９５の変動開始前に決定した変動時間（これも本発明にいう変動時間が相当）が経過すると、第２特別図柄表示装置２１４は特図２９５の停止図柄態様を停止表示する。したがって、「特図２９４の変動表示」を開始してから特図２９４の停止図柄態様を停止表示するまで、あるいは「特図２９５の変動表示」を開始してから特図２９５の停止図柄態様を停止表示するまでが本発明にいう図柄変動停止表示の一例に相当し、以下、この「特図２９４又は２の変動表示」を開始してから特図２９４又は２の停止図柄態様を停止表示するまでの一連の表示を図柄変動停止表示と称する。後述するように、図柄変動停止表示は複数回、連続して行われることがある。図３０３（ａ）には、図柄変動停止表示における停止図柄態様として「特図Ａ」から「特図Ｊ」までの１０種類の特図が示されている。図３０３（ａ）においては、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を示している。

【２８６１】

「特図Ａ」は１５ラウンド（１５Ｒ）特別大当たり図柄であり、「特図Ｂ」は１５Ｒ大当たり図柄である。本実施形態のパチンコ機１００では、後述するように、特図変動遊技における大当りか否かの決定はハードウェア乱数の抽選によって行い、特別大当りか否かの決定はソフトウェア乱数の抽選によって行う。大当りと特別大当りの違いは、次回の特図変動遊技で、大当りに当選する確率が高い（特別大当り）か低い（大当り）かの違いである。以下、この大当りに当選する確率が高い状態のことを特図高確率状態と称し、その確率が低い状態のことを特図低確率状態と称する。また、１５Ｒ特別大当たり遊技終了後および１５Ｒ大当たり遊技終了後はいずれも時短状態に移行する。時短については詳しくは後述するが、時短状態に移行する状態のことを普図高確率状態と称し、時短状態に移行しない状態のことを普図低確率状態と称する。１５Ｒ特別大当たり図柄である「特図Ａ」は、特図高確率普図高確率状態であり、１５Ｒ大当たり図柄である「特図Ｂ」は、特図低確率普図高確率状態である。これらの「特図Ａ」および「特図Ｂ」は、遊技者に付与する利益量が相対的に大きな利益量になる図柄である。

【２８６２】

「特図Ｃ」は突然確変と称される２Ｒ大当たり図柄であり、特図高確率普図高確率状態である。すなわち、１５Ｒである「特図Ａ」と比べて、「特図Ｃ」は２Ｒである点が異なる。「特図Ｄ」は突然時短と称される２Ｒ大当たり図柄であり、特図低確率普図高確率状態である。すなわち、１５Ｒである「特図Ｂ」と比べて、「特図Ｄ」は２Ｒである点が異なる。

【２８６３】

「特図Ｅ」は隠れ確変と称される２Ｒ大当たり図柄であり、特図高確率普図低確率状態である。「特図Ｆ」は突然通常と称される２Ｒ大当たり図柄であり、特図低確率普図低確率状態である。これら「特図Ｅ」および「特図Ｆ」はいずれも、２Ｒであるとともに、時短状態に移行しない状態である。

【２８６４】

「特図Ｇ」は第１小当たり図柄であり、「特図Ｈ」は第２小当たり図柄であり、何れも特図低確率普図低確率状態である。ここにいう小当たりは、２Ｒ時短無し大当たりと同じものに相当する。すなわち、この「特図Ｇ」、「特図Ｈ」は「特図Ｆ」と同じ状態であるが、両者では装飾図柄表示装置２０８に表示される演出が異なり、あえて、同じ状態でも「特図Ｇ」、「特図Ｈ」と「特図Ｆ」を設けておくことで、遊技の興趣を高めている。

【２８６５】

また、「特図Ｉ」は第１はずれ図柄であり、「特図Ｊ」は第２はずれ図柄であり、遊技者に付与する利益量が相対的に小さな利益量になる図柄である。

【２８６６】

なお、本実施形態のパチンコ機１００には、１５Ｒ特別大当たり図柄として「特図Ａ」以外の図柄も用意されており、１５Ｒ大当たり図柄等の他の図柄についても同様である。

【２８６７】

図３０３（ｂ）は装飾図柄の一例を示したものである。本実施形態の装飾図柄には、「装飾１」～「装飾１０」の１０種類がある。第１特図始動口２３０または第２特図始動口２３２に球が入賞したこと、すなわち、第１特図始動口２３０に球が入球したことを第１特図始動口用センサ３２０Ｊが検出したこと、あるいは第２特図始動口２３２に球が入球したことを第２特図始動口用センサ３２０Ｈが検出したことを条件にして、装飾図柄表示装置２０８の左図柄表示領域２０８ａ、中図柄表示領域２０８ｂ、右図柄表示領域２０８ｃの各図柄表示領域に、「装飾１」→「装飾２」→「装飾３」→・・・・「装飾９」→「装飾１０」→「装飾１」→・・・の順番で表示を切り替える「装飾図柄の変動表示」を行う。そして、「特図Ｂ」の１５Ｒ大当たりを報知する場合には、図柄表示領域２０８ａ～２０８ｃに１５Ｒ大当たりに対応する、同じ装飾図柄が３つ並んだ図柄組合せ（例えば「装飾１－装飾１－装飾１」や「装飾２－装飾２－装飾２」等）を停止表示する。「特図Ａ」の１５Ｒ特別大当たりを報知する場合には、同じ奇数の装飾図柄が３つ並んだ図柄組合せ（例えば「装飾３－装飾３－装飾３」や「装飾７－装飾７－装飾７」等）を停止表示する。

【２８６８】

また、「特図Ｅ」の隠れ確変と称される２Ｒ大当たり、「特図Ｆ」の突然通常と称される２Ｒ大当たり、あるいは「特図Ｇ」の第１小当たり、「特図Ｈ」の第２小当たりを報知する場合には、「装飾１－装飾２－装飾３」を停止表示する。さらに、「特図Ｃ」の突然確変と称される２Ｒ大当たり、あるいは「特図Ｄ」の突然時短と称される２Ｒ大当たりを報知する場合には、「装飾１－装飾３－装飾５」を停止表示する。

【２８６９】

一方、「特図Ｉ」の第１はずれ、「特図Ｊ」の第２はずれを報知する場合には、図柄表示領域２０８ａ～２０８ｃに図３０３（ｂ）に示す図柄組合せ以外の図柄組合せを停止表示する。

【２８７０】

図３０３（ｃ）は普図の停止表示図柄の一例を示したものである。本実施形態の普図の停止表示態様には、当たり図柄である「普図Ａ」と、外れ図柄である「普図Ｂ」の２種類がある。普図始動口２２８を球が通過したことを上述の球検出センサ（普図始動口用センサ）が検出したことに基づいて、普通図柄表示装置２１０は、７個のセグメントの全点灯と、中央の１個のセグメントの点灯を繰り返す「普図の変動表示」を行う。そして、普図変動遊技の当選を報知する場合には「普図Ａ」を停止表示し、普図変動遊技の外れを報知する場合には「普図Ｂ」を停止表示する。この図３０３（ｃ）においても、図中の白抜きの部分が消灯するセグメントの場所を示し、黒塗りの部分が点灯するセグメントの場所を

示している。
＜制御部＞
【２８７１】
次に、図３０４を用いて、このパチンコ機１００の制御部の回路構成について詳細に説明する。なお、同図は制御部の回路ブロック図を示したものである。
【２８７２】
パチンコ機１００の制御部は、大別すると、遊技の中枢部分を制御する主制御部３００と、主制御部３００が送信するコマンド信号（以下、単に「コマンド」と呼ぶ）に応じて主に演出の制御を行う第１副制御部４００と、第１副制御部４００より送信されたコマンドに基づいて各種機器を制御する第２副制御部５００と、主制御部３００が送信するコマンドおよび循環する機内球７１０の状態に応じて、主に遊技者が保持する遊技球数の増減に関する制御を行うとともに機内球７１０の循環の制御を行う球数制御部６００と、パチンコ機１００に供給される電源を制御する電源制御部６６０と、によって構成している。
＜主制御部＞
まず、パチンコ機１００の主制御部３００について説明する。
【２８７３】
主制御部３００は、主制御部３００の全体を制御する基本回路３０２を備えており、この基本回路３０２には、ＣＰＵ３０４と、制御プログラムや各種データを記憶するためのＲＯＭ３０６と、一時的にデータを記憶するためのＲＡＭ３０８と、各種デバイスの入出力を制御するためのＩ／Ｏ３１０と、時間や回数等を計測するためのカウンタタイマ３１２と、プログラム処理の異常を監視するＷＤＴ３１４を搭載している。なお、ＲＯＭ３０６やＲＡＭ３０８については他の記憶装置を用いてもよく、この点は後述する第１副制御部４００についても同様である。この基本回路３０２のＣＰＵ３０４は、水晶発振器３１６ｂが出力する所定周期のクロック信号をシステムクロックとして入力して動作する。
【２８７４】
また、基本回路３０２には、水晶発振器３１６ａが出力するクロック信号を受信する度に０～６５５３５の範囲で数値を導出する乱数値生成回路３１８（この回路には２つの乱数値生成回路を内蔵しているものとする）と、所定の球検出センサ３２０Ｂ（第１特図始動口用センサ３２０Ｊ、第２特図始動口用センサ３２０Ｈ、一般入賞口用センサ３２０Ｅ、可変入賞口用センサ３２０Ｇ、普図始動口用センサ３２０Ｔ）を含む各種センサ３２０が出力する信号を受信し、増幅結果や基準電圧との比較結果を乱数値生成回路３１８および基本回路３０２に出力するためのセンサ回路３２２と、所定の図柄表示装置、例えば第１特図表示装置２１２や第２特図表示装置２１４の表示制御を行うための駆動回路３２４と、所定の図柄表示装置、例えば普図表示装置２１０の表示制御を行うための駆動回路３２６と、各種状態表示部３２８（例えば、普図保留ランプ２１６、第１特図保留ランプ２１８、第２特図保留ランプ２２０、高確中ランプ２２２等）の表示制御を行うための駆動回路３３０と、所定の可動部材、例えば第２特図始動口２３２の羽根部材２３２ａや可変入賞口２３４の扉部材２３４ａ等を開閉駆動する各種ソレノイド３３２を制御するための駆動回路３３４と、賞球数表示部６９０の表示制御を行うための駆動回路３４２とを接続している。
【２８７５】
乱数値生成回路３１８は、基本回路３０２で使用する乱数値を生成する。この乱数値生成回路３１８における乱数の生成には、大別するとカウンタモードと乱数モードとの２種類の方法がある。カウンタモードでは、所定の時間間隔でカウントアップ（ダウン）する数値を取得して、その数値を乱数として導出する。乱数モードには、さらに２つの方法がある。乱数モードにおける一つ目の方法は、乱数の種を用いて所定関数（例えばモジュラス関数）による演算を行い、この演算結果を乱数として導出する。二つ目の方法は、０～６５５３５の範囲の数値がランダムに配列された乱数テーブルから数値を読み出し、その読み出した数値を乱数として導出する。乱数値生成回路３１８では、各種センサ３２０からセンサ回路３２２に入力される信号に重畳しているホワイトノイズを利用して不規則な

値を取得する。乱数値生成回路３１８は、こうして取得した値を、カウンタモードでカウントアップ（ダウン）させるカウンタの初期値として用いたり、乱数の種として用いたり、あるいは乱数テーブルの読み出し開始位置を決定する際に用いる。

【２８７６】

なお、第１特図始動口２３０に球が入賞したことを第１特図始動口用センサ３２０Ｊが検出した場合には、センサ回路３２２は球を検出したことを示す信号を乱数値生成回路３１８に出力する。この信号を受信した乱数値生成回路３１８は、第１特図始動口２３０に対応する乱数値生成回路のそのタイミングにおける値をラッチし、ラッチした値を、乱数値生成回路３１８に内蔵された、第１特図始動口２３０に対応する乱数値記憶用レジスタに記憶する。また、乱数値生成回路３１８は、第２特図始動口２３２に球が入賞したことを示す信号を受信した場合も同様に、第２特図始動口２３２に対応する乱数値生成回路のそのタイミングにおける値をラッチし、ラッチした値を、乱数値生成回路３１８に内蔵された、第２特図始動口２３２に対応する乱数値記憶用レジスタに記憶する。

【２８７７】

さらに、基本回路３０２には、情報出力回路３３６を接続しており、主制御部３００は、この情報出力回路３３６を介して、外部のホールコンピュータ（図示省略）等が備える情報入力回路３５０にパチンコ機１００の遊技情報（例えば、遊技状態、遊技球数情報、持ち球数情報など）を出力する。情報入力回路３５０は、管理装置６２０と双方向の通信が可能なように接続しており、これにより遊技情報が管理装置６２０に送信される。なお、情報入力回路３５０と管理装置６２０は双方向の通信ではなく、管理装置６２０から情報入力回路３５０への一方向の通信としてもよい。

【２８７８】

また、主制御部３００には、電源制御部６６０から主制御部３００に供給している電源の電圧値を監視する電圧監視回路３３８を設けており、この電圧監視回路３３８は、電源の電圧値が所定の値（本実施例では９ｖ）未満である場合に電圧が低下したことを示す低電圧信号を基本回路３０２に出力する。

【２８７９】

また、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けており、ＣＰＵ３０４は、この起動信号出力回路３４０から起動信号を入力した場合に、遊技制御を開始する（後述する主制御部メイン処理を開始する）。

【２８８０】

また、主制御部３００は、第１副制御部４００にコマンドを送信するための出力インタフェースと、球数制御部６００にコマンドを送信するためのインタフェースをそれぞれ備えており、この構成により、第１副制御部４００および球数制御部６００との通信を可能としている。なお、主制御部３００と球数制御部６６０との情報通信は、パラレル通信またはシリアル通信による双方向の通信である。主制御部３００と球数制御部６００は双方向通信を行うことにより、暗号化処理などによって主制御部３００と球数制御部６００との間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる。

【２８８１】

これに対し、主制御部３００と第１副制御部４００との情報通信は一方向の通信であり、主制御部３００は第１副制御部４００にコマンド等の信号を送信できるように構成しているが、第１副制御部４００からは主制御部３００にコマンド等の信号を送信できないように構成している。また第１副制御部４００と第２副制御部５００も双方向の通信を可能に構成している。

【２８８２】

また、主制御部３００は各入賞口等に入賞した機内球７１０を球検出センサ３２０Ｂで検出した場合、入賞口等毎に設定された賞球数を賞球数表示部６９０に表示する。また球数制御部６００に対し、当該賞球数、または賞球数に対応する情報を含む賞球数情報を一

定間隔毎にシリアル信号（コマンド形式）として送信する。つまり、主制御部３００が入賞を判定し、賞球数を賞球数表示部６９０に表示するとともに、遊技者に付与する賞球数を賞球数情報（賞球コマンド）として球数制御部６００に送信する。これにより球数制御部６００が遊技球数に賞球数を加算し、球数表示部６４０に表示する。このように、入賞口等に入賞があった場合、当該入賞に対する賞球数は、入賞表示装部６９０で（わずかな時間となる場合もあるが）表示された後、球数制御部６４０に反映（遊技球数に加算して表示）される。

【２８８３】

後述するが、主制御部３００から球制御部６００に送信する賞球コマンドは、１つのコマンドに１つの入賞における賞球数が対応している。主制御部３００と球数制御部６００は、１回の賞球の払い出し（付与）に関して双方向の通信（コマンドの送受信）を行うが、その間に複数回の入賞があった場合であっても、主制御部３００から球数制御部６００に送信する１つの賞球コマンドには、１回の入賞による賞球数情報のみが含まれる。つまり、このような場合賞球数表示部６９０は、球数制御部６４０に賞球コマンドを送信するまでは、賞球数を累積して表示する。例えば、遊技球数が１００個の状態（球数表示部６４０に「１００」が表示されている状態）で可変入賞口２３４（例えば賞球数は「１５」）に連続して３回の入賞があった場合、賞球数表示部６９０の表示は、わずかな時間に１５→３０→４５と遷移する。この間に、１回目の入賞による賞球コマンド（賞球数「１５」）が主制御部３００から球数制御部６００に送信されると、賞球数表示部６９０の表示は４５→３０に遷移し、球数表示部６４０の表示は１００→１１５に遷移する。２回目の入賞による賞球コマンド（賞球数「１５」）が主制御部３００から球数制御部６００に送信されると、賞球数表示部６９０の表示は３０→１５に遷移し、球数表示部６４０の表示は１１５→１３０に遷移し、３回目の入賞による賞球コマンド（賞球数「１５」）が主制御部３００から球数制御部６００に送信されると、賞球数表示部６９０の表示は１５→０に遷移し、球数表示部６４０の表示は１３０→１４５に遷移する。

【２８８４】

なお、上記の例に限らず、主制御部３００から球数制御部６００に送信する１つの賞球コマンドは、複数の賞球数情報（例えば、複数回の入賞の賞球数を加算した合計値）を含むものであってもよい。

【２８８５】

主制御部３００は、遊技領域１２４に残存する機内球７１０の有無に関わらず、始動口また入賞口の入賞があれば、当否判定を行うことが可能である。ここでの当否判定とは、賞球の付与、大当り動作の開始等、遊技者に与える他の利益であってもよい。

【２８８６】

また、主制御部３００では、不正を検出した場合にその情報をコマンドとして球数制御部６００に送信する。主制御部３００で検出する不正は、異常な磁気を検出した場合の磁石エラー、異常な電波を検出した場合の電波エラー、振動を検知した場合の振動エラー、大当たり時以外に機内球７１０が可変入賞口２３４に入賞した場合の不正入賞エラー等である。

【２８８７】

また、主制御部３００では、ＩＣカードが管理装置６２０に挿入されているか否かに関わらず遊技の制御を可能とする。例えば、ＩＣカードを管理装置６２０に挿入した状態で遊技を開始し、遊技中にＩＣカードを返却した場合であっても、遊技を継続することができる。

【２８８８】

なお、賞球数表示部６９０の接続例は上記の例に限らない。例えば、賞球数表示部６９０を情報出力回路３３６に接続し、主制御部３００が情報出力回路３６６に設定するデータ（賞球数）に基づき賞球数表示部６９０に表示するものであってもよい。また、下記で説明する副制御部（第１副制御部４００または第２副制御部５００）と接続し、副制御部が出力するコマンドに基づき賞球数を表示するものとしてもよい。

＜副制御部＞

【２８８９】

次に、パチンコ機１００の第１副制御部４００について説明する。第１副制御部４００は、主に主制御部３００が送信したコマンド等に基づいて第１副制御部４００の全体を制御する基本回路４０２を備えており、この基本回路４０２には、ＣＰＵ４０４と、一時的にデータを記憶するためのＲＡＭ４０８と、各種デバイスの入出力を制御するためのＩ／Ｏ４１０と、時間や回数等を計測するためのカウンタタイマ４１２を搭載している。基本回路４０２のＣＰＵ４０４は、水晶発振器４１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作し、第１副制御部４００の全体を制御するための制御プログラム及びデータ、各種演出データ等が記憶されたＲＯＭ４０６が接続されている。

【２８９０】

また、基本回路４０２には、スピーカ１２０（およびアンプ）の制御を行うための音源ＩＣ４１６と、各種ランプ４１８（例えば、チャンスボタンランプ１３８）の制御を行うための駆動回路４２０と、遮蔽装置２４６の駆動制御を行うための駆動回路４３２と、遮蔽装置２４６の現在位置を検出する遮蔽装置センサ４３０と、チャンスボタン１３６の押下を検出するチャンスボタン検出センサ４２６と、遮蔽装置センサ４３０やチャンスボタン検出センサ４２６からの検出信号を基本回路４０２に出力するセンサ回路４２８と、ＣＰＵ４０４からの信号に基づいてＲＯＭ４０６に記憶された画像データ等を読み出してＶＲＡＭ４３６のワークエリアを使用して表示画像を生成して装飾図柄表示装置２０８に画像を表示するＶＤＰ４３４（ビデオ・ディスプレイ・プロセッサー）と、各種センサ４４０と、を接続している。各種センサ４４０には、例えば、前面枠扉開放センサや内枠開放センサが含まれる。

【２８９１】

次に、パチンコ機１００の第２副制御部５００について説明する。第２副制御部５００は、第１副制御部４００が送信した制御コマンドを入力インタフェースを介して受信し、この制御コマンドに基づいて第２副制御部５００の全体を制御する基本回路５０２を備えており、この基本回路５０２は、ＣＰＵ５０４と、一時的にデータを記憶するためのＲＡＭ５０８と、各種デバイスの入出力を制御するためのＩ／Ｏ５１０と、時間や回数等を計測するためのカウンタタイマ５１２を搭載している。基本回路５０２のＣＰＵ５０４は、水晶発振器５１４が出力する所定周期のクロック信号をシステムクロックとして入力して動作し、第２副制御部５００の全体を制御するための制御プログラム及びデータ、画像表示用のデータ等が記憶されたＲＯＭ５０６が設けられている。

【２８９２】

また、基本回路５０２には、演出可動体２２４の駆動制御を行うための駆動回路５１６と、演出可動体２２４の現在位置を検出する演出可動体センサ４２４と、演出可動体センサ４２４からの検出信号を基本回路５０２に出力するセンサ回路５１８と、遊技盤用ランプ５３２の制御を行うための遊技盤用ランプ駆動回路５３０と、遊技台枠用ランプ５４２の制御を行うための遊技台枠用ランプ駆動回路５４０と、遊技盤用ランプ駆動回路５３０と遊技台枠用ランプ駆動回路５４０との間でシリアル通信による点灯制御を行うシリアル通信制御回路５２０と、ＣＰＵ５０４からの信号に基づいてＲＯＭ５０６に記憶された画像データ等を読み出してＶＲＡＭ５３６のワークエリアを使用して表示画像を生成して球数ＵＩ部６８０に画像を表示するＶＤＰ５３４と、を接続している。なお、ＶＲＡＭ５３６およびＶＤＰ５３４などの画像制御手段は、第１副制御部４００に備えるものを共用してもよい。

＜表示装置切替部＞

【２８９３】

表示装置切替部６７０は、球数ＵＩ部６８０と双方向の通信が可能に接続されている。また表示装置切替部６７０は、インターフェース部６０６を介して、球数制御部６００と接続する。表示装置切替部６７０は、表示画像の切替回路等を有し、球数ＵＩ部６８０の画像表示部５６５に表示する画像を、第１副制御部４００で生成された第１の画像、およ

び第１副制御部４００以外で生成された第２の画像のうち、少なくともいずれか一方に切り替えて表示可能な構成となっている。

【２８９４】

表示装置切替部６７０は、第１の画像と第２の画像のいずれか一方を切り替えて表示可能としてもよいし、第１の画像と、第１の画像と第２の画像を含む画像とを切り替えて表示可能としてもよい。第２の画像は、例えば、管理装置６２０で生成された画像、または、第２副制御部５００で生成された画像である。

＜球数制御部＞

【２８９５】

次に、図３０４を参照してパチンコ機１００の球数制御部６００について説明する。

【２８９６】

球数制御部６００は、内枠中継基板（不図示）を介して入賞検出センサ６０４Ｓと非入賞検出センサ６０４Ｋに接続し、発射中継基板（不図示）を介して減算センサ６０４Ｚに接続して機内球７１０の通過を検出し、循環する機内球７１０の監視制御（イン球およびアウト球の監視制御）、および賞球制御を行う。また球数制御部６００は、球数ＵＩ部６８０に接続し、球貸制御やＩＣカードの返却制御を行う。更に、球磨き装置６１２、揚上装置６１４、球送り装置６１６、発射装置６２２、発射レール６２４に接続し、遊技媒体経路６１０の制御を行う。さらに球数制御部６００は、基板表示部６３０と接続し、球数制御部６００が検出したエラーの報知を行う。以下これらについて詳細に説明する。

＜＜イン球およびアウト球の監視制御＞＞

【２８９７】

球数制御部６００は、球検出センサ６０４Ｂでパチンコ機１００内部を循環する機内球７１０を検出することにより、イン球およびアウト球の監視を行う。すなわち、減算センサ６０４Ｚが機内球７１０の発射を検出した場合、遊技者の遊技球数の消費と判断し、遊技球数から１を減算するとともに、減算後の遊技球数を球数表示部６４０に表示する。一方、入賞検出センサ６０４Ｓまたは非入賞検出センサ６０４Ｋが機内球７１０の通過を検出した場合、遊技領域１２４から機内球７１０が排出したものと判断する。本実施形態では、入賞による実際の機内球７１０の払い出しはないため、発射される機内球７１０と遊技領域１２４から排出される機内球７１０は同数（遊技球１個の消費で１個の排出）であり、これによって、循環する機内球７１０のエラーを検出する。なお、機内球７１０の遊技領域１２４への１個の投入と遊技領域１２４からの１個の排出は同じタイミングであるとは限らないため、遊技領域１２４に複数の機内球７１０が存在する場合がある。

【２８９８】

球数制御部６００は、例えば、遊技領域１２４に残存する機内球７１０の数によってイン球およびアウト球の監視し、異常な場合はエラーを報知する球数管理制御を行う。ここで遊技領域１２４に残存する機内球７１０の数、すなわちイン球数とアウト球数の差を領域内球数という。例えば、遊技開始から遊技終了までの期間において、減算センサ６０４Ｚで通過が検出された機内球７１０の数を、球数制御部６００のＲＡＭ等に設けられた投入数（イン球数）記憶領域に累積的に記憶する。また遊技開始から遊技終了までの期間において、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋで通過が検出された機内球７１０の数を、球数制御部６００のＲＡＭ等に設けられた排出数（アウト球数）記憶領域に累積的に記憶する。球数制御部６００は所定のタイミングで、これらの差分（イン球数－アウト球数＝領域内球数）を求め、球数制御部６００のＲＡＭ等に設けられた領域内球数記憶領域に記憶する。そして球数制御部６００は、領域内球数記憶領域に記憶された値を異常判定の条件と比較し、異常の場合は、エラーとして報知する。

【２８９９】

一例を挙げて具体的に説明すると、球数制御部６００は例えば、主制御部３００または球数制御部６００の定期的な割込み処理において、領域内球数を算出して領域内球数記憶領域に記憶し、その値を用いて異常判定を行い、第１の異常判定条件が成立した場合は、第１の異常と判定し、第２の異常判定条件が成立した場合は、第２の異常と判定する。

【２９００】
第１の異常判定条件は例えば、領域内球数がマイナスになった場合である。第１の異常判定条件はまた、領域内球数が第１の異常判定数を下回った場合としてもよく、第１の異常判定数は例えば、ゼロや、負の数（例えば－１９）、あるいは二つ以上の定められた数の和（例えば数Ａ（例えば－５）と数Ｂ（例えば－７）の和（この場合－１２））などであってもよい。
【２９０１】
第２の異常判定条件は例えば、領域内球数が機内球７１０の数を超えた場合である。第２の異常判定条件はまた、領域内球数が第２の異常判定数を上回った場合としてもよく、第２の異常判定数は例えば、正の数（例えば１９）や、二つ以上の定められた数の和（例えば数Ａ（例えば５）と数Ｂ（例えば７）の和（この場合１２））などであってもよく、これらの場合にエラーを報知する。
【２９０２】
領域内球数が第１の異常判定条件（例えば－１９）を下回る場合とは、投入される機内球７１０は無いが排出される機内球７１０が増加している状態であり、例えば前面枠扉１０６が開放されるなどして循環する機内球７１０が追加（入賞口等へ入球）される不正などが疑われる場合である。
【２９０３】
領域内球数が第２の異常判定条件（例えば１９）を上回る場合とは、投入される機内球７１０が増加している状況でありながら排出される機内球７１０が無く、遊技領域１２４に許容範囲を超えた機内球７１０が存在している状態であり、例えば各入賞口等、打球方向変換部材２３６や、遊技釘２３８などで機内球７１０の詰まりが生じていることが疑われる場合である。
【２９０４】
また上記の例において、不正行為以外で第１の異常状態となるのは、以下の原因があげられる。例えば、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋのうち少なくとも一方が、チャタリング等により１個の機内球７１０の通過を２個の通過と検出した場合である。あるいは、減算センサ６０４Ｓが、機内球７１０の通過の検出に失敗した場合である。あるいは、遊技領域１２４に機内球７１０が存在する状態で、電源が投入された場合である。一方、不正行為以外で第２の異常状態となるのは、以下の原因があげられる。例えば、減算センサ６０４Ｚが、チャタリング等により１個の機内球７１０の通過を２個の通過と検出した場合である。あるいは、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋのうち少なくとも一方が、機内球７１０の通過の検出に失敗した場合である。これらの場合（不正以外の異常）であっても、球数制御部８００は異常としてエラーを報知する。
【２９０５】
排出球の数を検出する場合、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋに変えて、例えば、遊技媒体内部経路７００Ｊに一つの排出検出センサを設け、ここを通過した場合に１球の排出があったと判定する構成であってもよい。また、投入球の検出は、減算センサ６０４Ｓに限らず、遊技媒体経路６１０のセンサ（例えば、球磨き装置６１２の球磨き装置入口センサ、揚上装置６１４の揚上装置入口センサ、球送り装置６１６の球送り装置入口センサ等であってもよい。なお異常判定条件の数値は一例であり、上記の値に限らない。
【２９０６】
尚、球数制御部６００は、入賞検出センサ６０４Ｓまたは非入賞検出センサ６０４Ｋの検出結果と、主制御部３００から送信される入賞判定の結果（賞球コマンド）を比較してイン球およびアウト球を監視してもよい。これにより、遊技領域１２４への機内球７１０の投入数および排出数の異常だけでなく、入賞している場合に入賞検出センサ６０４Ｓを通過しているか（非入賞の場合に、非入賞検出センサ６０４Ｋを通過しているか）を判定することも可能となる。

【２９０７】
さらに、球数制御部６００は、各種センサ６０４に含まれる適正量センサ、満タンセンサなどによって、循環に必要な機内球７１０の数を管理し、過不足時にはエラーとして報知する構成としてもよい。
＜＜賞球制御＞＞
【２９０８】
パチンコ機１００は、主制御部３００の球検出センサ３２０Ｂによって各入賞口等への入賞判定と入賞の場合の賞球数を決定し、球数制御部６００の球検出センサ６０４Ｂでは遊技領域１２４への機内球７１０の投入（発射）および排出の判定を行う。なお、以下の賞球制御に関する説明では、遊技領域１２４に１つの機内球７１０が投入されること、すなわち機内球７１０の通過が減算センサ６０４Ｚで検出され、遊技球数記憶領域に記憶されている遊技球数から「１」が減算されていることを前提とする。
【２９０９】
球数制御部６００では、機内球７１０が遊技領域１２４から排出されたことを入賞検出センサ６０４Ｓで検出した場合、遊技球１個の消費により入賞があったとして賞球の付与を行う。すなわちこの場合には、主制御部３００が送信する賞球数情報（賞球コマンド）に基づき、当該賞球コマンドに含まれる賞球数を遊技球数に加算する。
【２９１０】
主制御部３００が送信する賞球コマンドは、球数制御部６００における入賞検出センサ６０４Ｓの検出以前に、球数制御部６００に送信されているものであってもよいし、球数制御部６００における入賞検出センサ６０４Ｓの検出後に送信されるものであってもよい。例えば、後者の場合は、球数制御部６００において入賞検出センサ６０４Ｓで機内球７１０の通過が検出されたことを契機として、球数制御部６００から主制御部３００に対して賞球数情報（賞球コマンド）を要求する信号を送信する構成とすることができる。また球数制御部６００は、主制御部３００から賞球コマンドを受信した場合には、賞球数加算後の遊技球数を球数表示部６４０に表示する。
【２９１１】
一方、各入賞口等に機内球７１０が入賞しなかった場合（非入賞検出センサ６０４Ｋで機内球７１０の通過が検出された場合）は、遊技球数の１個の消費と判定し、遊技球数を維持する（賞球数の加算は行わない）。
【２９１２】
球数制御部６００は、例えば、主制御部３００または球数制御部６００の定期的な割込み処理において入賞による賞球がある場合は、遊技球数に賞球数を加算し、遊技球数を更新する。
【２９１３】
球数制御部６００は、主制御部３００での入賞判定の結果と、球数制御部６００での球検出センサ６０４Ｂの結果が不一致の場合、入賞数異常のエラーを報知する。入賞数異常になるのは、例えば、所定期間において、主制御部３００で判定された入賞の数と、入賞検出センサ６０４Ｓで通過が検出された数が異なる場合、などである。
【２９１４】
球数制御部６００ではこのほかにも、機内球７１０のエラーとしては例えば、遊技球数が異常な値となる（想定した範囲を超える数量となる）遊技球数オーバーフローエラー、減算センサ６０４Ｚが球詰まりを検出している場合の減算センサエラー、入賞検出センサ６０４Ｓまたは非入賞検出センサ６０４Ｋが球詰まりを検出している場合の入賞センサエラーなどを検出し、報知する。
＜＜球貸制御＞＞
【２９１５】
ＩＣカードが管理装置６２０のカード差込口６２６に挿入されると、管理装置６２０は、ＩＣカード内に記憶された残高に基づき貸出可能な遊技球数の情報（球数更新指令）を球数ＵＩ部６８０に送信する。球数ＵＩ部６８０が球貸ボタン１４０を光らせる等し、こ

れに基づき入力操作部６５４の球貸ボタン１４０が遊技者によりタッチされると、球数ＵＩ部６８０から球貸操作情報が管理装置６２０に送信される。球貸操作情報に基づいて管理装置６２０から送信される貸球数の個数情報（球貸要求情報）を受信した球数制御部６００は、その貸球数を遊技球数に加算する。遊技球数は例えば、以下のようにして更新される。球数制御部６００は、球貸ボタン１４０の操作を検知した場合、貸球数をＲＡＭに設けた貸球数記憶領域に記憶（複数回の操作がある場合は、累積加算）する。主制御部３００または球数制御部６００の定期的な割込み処理において、球数制御部６００は、貸球数記憶領域に記憶された貸球数を遊技球数に加算し、遊技球数を更新する。

【２９１６】

球数制御部６００は、更新された遊技球数を球数表示部６４０に表示する。また貸球により変更された残高の情報を管理装置６２０から受信し、画像表示部６５６に表示する。更に、管理装置６２０にＩＣカードを挿入中以外に、貸球数の加算要求を受信した場合には、不正加算エラーとして検出する。

＜＜再プレイ制御＞＞

【２９１７】

ＩＣカードが管理装置６２０のカード差込口６２６に挿入されると、管理装置６２０は、ＩＣカード内に記憶された貯球の情報（球数更新指令）を球数ＵＩ部６８０に送信する。球数更新指令には例えば、所定量の貯球があることによる再プレイ許可の情報が含まれ、これを受信した球数ＵＩ部６８０は再プレイボタン１４６を例えば、明るく表示する。これに基づき、入力操作部６５４の再プレイボタン１４６が遊技者によりタッチされると、球数ＵＩ部６８０から再プレイ操作情報が管理装置６２０に送信される。再プレイ操作情報に基づいて管理装置６２０から送信される再プレイ球数の個数情報を受信した球数制御部６００は、その再プレイ球数を遊技球数に加算する。遊技球数は例えば、以下のようにして更新される。球数制御部６００は、再プレイボタン１４６の操作を検知した場合、再プレイ球数をＲＡＭに設けた再プレイ球数記憶領域に記憶（複数回の操作がある場合は、累積加算）する。主制御部３００または球数制御部６００の定期的な割込み処理において、球数制御部６００は、再プレイ球数記憶領域に記憶された再プレイ球数を遊技球数に加算し、遊技球数を更新する。

【２９１８】

球数制御部６００は、更新された遊技球数を球数表示部６４０に表示する。また再プレイ操作により変更された貯球の情報を管理装置６２０から受信し、画像表示部６５６に表示する。更に、管理装置６２０にＩＣカードを挿入中以外に、再プレイ球数の加算要求を受信した場合には、不正加算エラーとして検出する。

＜＜計数制御＞＞

【２９１９】

球数制御部６００は、計数ボタン６５２が押下された場合はこれを検出し、１回の計数ボタン６５２押下に対応した所定の計数球数を遊技球数記憶領域の遊技球数から減算する。遊技球数は例えば、以下のようにして更新される。球数制御部６００は、計数ボタン６５２の操作を検出した場合、計数球数をＲＡＭに設けた計数球数記憶領域に記憶（複数回の操作がある場合は、累積加算）する。主制御部３００または球数制御部６００の定期的な割込み処理において、球数制御部６００は、計数球数記憶領域に記憶された計数球数を遊技球数から減算し、遊技球数を更新する。また球数制御部６００は、管理装置６２０へ計数情報を送信する。管理装置６２０は受信した計数情報に基づき、貯球数をＩＣカードに記憶する。また、球数制御部６００は、減算後の遊技球数を球数表示部６４０に表示する。

【２９２０】

球数制御部６００は、計数ボタン６５２の操作状況として、計数ボタン６５２の押下開始および押下終了を管理装置６２０に通知する。また球数制御部６００は、計数ボタン６５２の操作状況として、押下時間（押下開始から押下終了までの時間）に応じて、複数種類の押下情報を管理装置６２０に通知する。複数種類の押下情報とは、例えば、計数ボタ

ン６５２の１回の押下に対応する計数球数が、例えば１０個等と定められている場合、押下回数が２回の場合は２０個、３回の場合は３０個・・・の遊技球を計数球数として管理装置６２０に送信することをいう。あるいはまた、押下時間が所定時間内の場合は１０個の計数球数とし、所定時間以上の場合は、２０個、あるいは全数を計数球数として管理装置６２０に送信することをいう。

＜＜返却制御＞＞

【２９２１】

ＩＣカードが管理装置６２０のカード差込口６２６に挿入されていた場合に、入力操作部６５４の返却ボタン１４２が遊技者によりタッチされると、球数ＵＩ部６８０からその情報（返却操作情報）が管理装置６２０に送信される。これを受信した管理装置６２０は遊技球数の報知を要求する球数要求情報（または遊技の終了を要求する遊技終了要求情報、以下同様）を球数制御部６００に送信する。球数制御部６００はこれにより、返却ボタン１４２のタッチがあったこと検知する。球数制御部６００は、遊技球数記憶領域に記憶された遊技球数を含む遊技球数情報を管理装置６２０に送信する。遊技球数情報を受信した管理装置６２０は、貯球数等をＩＣカードに記憶しこれを返却する。返却ボタン１４２の操作後所定期間内に、計数ボタン６５２が押下された場合は、球数制御部６００は、全ての遊技球数を計数球数として（計数球数情報を、または計数球数および貯球数を含む遊技数情報を）管理装置６２０に送信する。この場合、管理装置６２０は貯球数等をＩＣカードに記憶する。また、球数制御部６００は、ＩＣカード内の残高の情報および貯球数等の情報を受信し、画像表示部６４０に表示する。

＜＜遊技媒体経路の制御＞＞

【２９２２】

球数制御部６００は、遊技媒体経路６１０（球磨き装置６１２、揚上装置６１４、球送り装置６１６）および発射装置６２２の制御を行う。

【２９２３】

球数制御部６００は、例えば、パチンコ機１００の背面に設けられた研磨中継基板（不図示）と接続された球磨きモータを制御し、球磨きモータセンサを検知する。球磨き装置６１２の筐体（カセット）の球入口から機内球７１０が進入すると、研磨き装置入口センサにより機内球７１０を検知し、球磨きモータを駆動する。球磨きモータはギアを介してスクリューと接続し、スクリューの回転に伴い、機内球７１０を搬送する。またカセットには研磨布が封入されており、カセットモータを駆動することで研磨布を循環させる。機内球７１０はスクリューにて搬送されながら研磨布に擦られ、研磨される。球磨きモータセンサは、球磨きモータの駆動を検知する。またカセットセンサを有し、カセットの取り付けの有無を検出する。

【２９２４】

また球数制御部６００は、例えば、パチンコ機１００の背面に設けられた揚上中継基板（不図示）と接続された揚上モータを制御し、揚上モータセンサ、および揚上装置入口センサを検知する。球入口から機内球７１０が進入すると、揚上装置入口センサによってこれを検知し、揚上モータを駆動する。揚上モータが駆動すると、ギアを介してスクリューが回転し、これにより機内球７１０が搬送され、排出口から球送り装置６１６に受け渡される。

【２９２５】

また球数制御部６００は、機内球７１０の発射を制御する。例えば球発射ハンドル１３４にはいずれも不図示のタッチセンサ、発射停止スイッチ、発射強度センサなどが設けられている。球数制御部６００は、タッチセンサにより、遊技者が球発射ハンドル１３４に接触しているか否かの検出を行う。タッチ状態を非検出の場合、発射停止スイッチ（不図示）が押下されている場合（押下を発射停止センサで検知している場合）、球発射ハンドル１３４が一定角以上回転されていない場合、管理装置６２０が未接続の場合などには、発射を停止する。球数制御部６００は、発射強度センサにて発射強度（球発射ハンドル１３４の操作量）を検出する。球数制御部６００はタッチセンサおよび発射強度センサを検

出すると、球送り装置（球送りソレノイド）６１６を駆動させ、機内球７１０を１球発射レール６２４に送り出す。球数制御部６００が発射ソレノイドを駆動すると、発射杵６２２ａは吸引されて回動し、その先端で機内球７１０を打突する。球数制御部６００は、球発射ハンドル１３４の発射強度の値によって、発射ソレノイドの吸引力を変化させて発射の強弱を制御する。球数制御部６００は、発射レール６２４から機内球７１０が発射したことを減算センサ６０４Ｚで検出し、遊技球数記憶領域の遊技球数を１個減算し、新たな遊技球数として記憶する。

【２９２６】

このように、球数制御部６００に接続する各種センサ６０４には、上述の球磨きモータセンサ、球磨き装置入口センサ、カセットセンサ、布送りモータセンサ、揚上モータセンサ、揚上装置入口センサ、球送り装置入口センサ、球発射ハンドル１３４の操作結果に関する情報（発射強度センサ、タッチセンサ、発射停止センサ）、や、減算センサ６０４Ｚ、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋ、球数ＵＩ部６８０の計数ボタン６５２、適正量センサ、満タンセンサなどが含まれる。

【２９２７】

球数制御部６００は、上記の他、主制御部３００との通信エラーや、遊技媒体経路６１０の各センサのエラー等も検出し、基板表示部６３０に報知する。基板表示部６３０は、遊技盤２００背面側の球数制御基板の一部に設けられたＬＥＤ等により構成され、ＬＥＤを所定のパターンで点灯、点滅等することにより、店員に各種エラーを報知する。

【２９２８】

なお、球数ＵＩ部６８０に関する入出力信号は、球数制御部６００を介してインターフェース部６０６に入出力され、情報入力回路３５０に入出力されるようにしてもよい。なお、管理装置６２０と情報入力回路３５０は、双方向通信ではなく、管理装置６２０から情報入力回路３５０への一方向通信としてもよい。

【２９２９】

また、球数制御部６００は、情報入力回路３５０に対して情報を直接出力せず、全て管理装置６２０を介して情報を出力するようにしてもよい。また球数制御部６００は、夜間監視スイッチ６９２に接続する。夜間監視スイッチ６９２については後述する。

＜制御部の変形例＞

【２９３０】

上記の制御部に加えて以下の制御部を備えてもよい。例えば、発射装置６２２を制御する発射制御部を備え、球数制御部６００は発射制御部を介して発射装置６２２を制御するようにしてもよい。この場合、発射制御部は、発射ソレノイドや、発射用モータ等を駆動して発射装置６２２の制御を行う。

【２９３１】

また、遊技媒体経路６１０の少なくとも一部を構成する装置（遊技媒体経路ユニット）を制御する遊技媒体経路制御部を備え、球数制御部６００は、遊技媒体経路制御部を介して、遊技媒体経路ユニットを構成する装置を制御してもよい。この場合の遊技媒体経路ユニットとは、球磨き装置６１２、揚上装置６１４、球送り装置６１６および発射装置６２２のうちの一または複数または全部である。

【２９３２】

さらに、発射装置６２２は、発射ソレノイド、発射杵、減算センサ６０４Ｓ、球送りソレノイド、発射中継基板、発射強度センサ、発射停止スイッチ、タッチセンサ、などを含んで構成されてもよく、その場合、揚上装置６１４の球出口に発射装置６２２を接続し、球送り装置６１６を省略できる。

＜電源制御部＞

【２９３３】

電源制御部６６０は、パチンコ機１００に外部から供給される交流電源を直流化し、所定の電圧に変換して主制御部３００、第１副制御部４００等の各制御部等の各装置に供給する。さらに、電源制御部６６０は、外部からの電源が断たれた後も所定の部品（例えば

主制御部３００のＲＡＭ３０８等）に所定の期間（例えば１０日間）電源を供給するための蓄電回路（例えば、コンデンサ）を備えている。なお、本実施形態では、電源制御部６６０から球数制御部６００と第１副制御部４００に所定電圧を供給し、球数制御部６００から主制御部３００と夜間監視スイッチに所定電圧を供給し、第１副制御部４００から第２副制御部５００に所定電圧を供給しているが、各制御部や各装置に他の電源経路で所定電圧を供給してもよい。なお、電源制御部６６０については後に詳述する。

＜主制御部メイン処理＞

【２９３４】

次に、図３０５を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部メイン処理について説明する。なお、同図は主制御部メイン処理の流れを示すフローチャートである。

【２９３５】

上述したように、主制御部３００には、電源が投入されると起動信号（リセット信号）を出力する起動信号出力回路（リセット信号出力回路）３４０を設けている。この起動信号を入力した基本回路３０２のＣＰＵ３０４は、リセット割込によりリセットスタートしてＲＯＭ３０６に予め記憶している制御プログラムに従って図３０５に示す主制御部メイン処理を実行する。

【２９３６】

ステップＳ１０１では、初期設定１を行う。この初期設定１では、ＣＰＵ３０４のスタックポインタ（ＳＰ）へのスタック初期値の設定（仮設定）、割込マスクの設定、Ｉ／Ｏ３１０の初期設定、ＲＡＭ３０８に記憶する各種変数の初期設定、ＷＤＴ３１４への動作許可及び初期値の設定等を行う。なお、本実施形態では、ＷＤＴ３１４に、初期値として３２．８ｍｓに相当する数値を設定する。

【２９３７】

ステップＳ１０３では、ＷＤＴ３１４のカウンタの値をクリアし、ＷＤＴ３１４による時間計測を再始動する。

【２９３８】

ステップＳ１０５では、低電圧信号がオンであるか否か、すなわち、電圧監視回路３３８が、電源制御部６６０から主制御部３００に供給している電源の電圧値が所定の値（本実施形態では９ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（ＣＰＵ３０４が電源の遮断を検知した場合）にはステップＳ１０３に戻り、低電圧信号がオフの場合（ＣＰＵ３０４が電源の遮断を検知していない場合）にはステップＳ１０７に進む。なお、電源が投入された直後で未だ上記所定の値（９Ｖ）に達しない場合にもステップＳ１０３に戻り、供給電圧がその所定の値以上になるまで、ステップＳ１０５は繰り返し実行される。

【２９３９】

ステップＳ１０７では、初期設定２を行う。この初期設定２では、後述する主制御部タイマ割込処理を定期毎に実行するための周期を決める数値をカウンタタイマ３１２に設定する処理、Ｉ／Ｏ３１０の所定のポート（例えば試験用出力ポート、第１副制御部４００への出力ポート）からクリア信号を出力する処理、ＲＡＭ３０８への書き込みを許可する設定等を行う。

【２９４０】

ステップＳ１０９では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（主制御部３００の基本回路３０２を初期状態にする場合）には初期化処理（ステップＳ１１３）に進む。

【２９４１】

具体的には、最初に、電源基板に設けたＲＷＭクリアスイッチ１８０を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、基本回路３０２を初期状態にすべくステップ

Ｓ１１３に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）には、ＲＡＭ３０８に設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、基本回路３０２を初期状態にすべくステップＳ１１３に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭ３０８の所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が特定の値（例えば０）の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ１１１に進み、チェックサムの結果が特定の値（例えば０）以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ１１３に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１１３に進む。

【２９４２】

ステップＳ１１１では、復電時処理を行う。この復電時処理では、電断時にＲＡＭ３０８に設けられたスタックポインタ退避領域に記憶しておいたスタックポインタの値を読み出し、スタックポインタに再設定（本設定）する。また、電断時にＲＡＭ３０８に設けられたレジスタ退避領域に記憶しておいた各レジスタの値を読み出し、各レジスタに再設定した後、割込許可の設定を行う。以降、ＣＰＵ３０４が、再設定後のスタックポインタやレジスタに基づいて制御プログラムを実行する結果、パチンコ機１００は電源断時の状態に復帰する。すなわち、電断直前にタイマ割込処理（後述）に分岐する直前に行った（ステップＳ１１５内の所定の）命令の次の命令から処理を再開する。また、図３０４に示す主制御部３００における基本回路３０２に搭載されているＲＡＭ３０８には、送信情報記憶領域が設けられている。このステップＳ１１１では、その送信情報記憶領域に、復電コマンドをセットする。この復電コマンドは、電源断時の状態に復帰したことを表すコマンドであり、後述する、主制御部３００のタイマ割込処理におけるステップＳ２３３において、第１副制御部４００へ送信される。

【２９４３】

ステップＳ１１３では、初期化処理を行う。この初期化処理では、割込禁止の設定、スタックポインタへのスタック初期値の設定（本設定）、ＲＡＭ３０８の全ての記憶領域の初期化などを行う。さらにここで、主制御部３００のＲＡＭ３０８に設けられた送信情報記憶領域に正常復帰コマンドをセットする。この正常復帰コマンドは、主制御部３００の初期化処理（ステップＳ１１３）が行われたことを表すコマンドであり、復電コマンドと同じく、主制御部３００のタイマ割込処理におけるステップＳ２３３において、第１副制御部４００へ送信される。

【２９４４】

ステップＳ１１５では、割込禁止の設定を行った後、基本乱数初期値更新処理を行う。この基本乱数初期値更新処理では、普図当選乱数カウンタ、および特図乱数値カウンタの初期値をそれぞれ生成するための２つの初期値生成用乱数カウンタと、普図タイマ乱数値、および特図タイマ乱数値それぞれを生成するための２つの乱数カウンタを更新する。例えば、普図タイマ乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図タイマ乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。他の初期値生成用乱数カウンタ、乱数カウンタもそれぞれ同様に更新する。なお、初期値生成用乱数カウンタは、後述するステップＳ２０７でも更新する。

【２９４５】

ステップＳ１１７では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【２９４６】
主制御部３００は、所定の周期ごとに開始するタイマ割込処理を行っている間を除いて、ステップＳ１１５の処理を繰り返し実行する。
＜主制御部タイマ割込処理＞
【２９４７】
次に、図３０６を用いて、主制御部３００のＣＰＵ３０４が実行する主制御部タイマ割込処理について説明する。なお、同図は主制御部タイマ割込処理の流れを示すフローチャートである。
【２９４８】
主制御部３００は、所定の周期（本実施形態では約４ｍｓに１回）でタイマ割込信号を発生するカウンタタイマ３１２を備えており、このタイマ割込信号を契機として主制御部タイマ割込処理を所定の周期で開始する。
【２９４９】
ステップＳ２０１では、タイマ割込開始処理を行う。このタイマ割込開始処理では、ＣＰＵ３０４の各レジスタの値をスタック領域に一時的に退避する処理などを行う。
【２９５０】
ステップＳ２０３では、ＷＤＴ３１４のカウント値が初期設定値（本実施形態では３２．８ｍｓ）を超えてＷＤＴ割込が発生しないように（処理の異常を検出しないように）、ＷＤＴを定期的に（本実施形態では、主制御部タイマ割込の周期である約４ｍｓに１回）リスタートを行う。
【２９５１】
ステップＳ２０５では、入力ポート状態更新処理を行う。この入力ポート状態更新処理では、Ｉ／Ｏ３１０の入力ポートを介して、上述の各種の球検出センサを含む各種センサ３２０の検出信号を入力して検出信号の有無を監視し、ＲＡＭ３０８に各種センサ３２０ごとに区画して設けた信号状態記憶領域に記憶する。球検出センサの検出信号を例にして説明すれば、前々回のタイマ割込処理（約８ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭ３０８に各々の球検出センサごとに区画して設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭ３０８に各々の球検出センサごとに区画して設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した各々の球検出センサの検出信号を、上述の今回検出信号記憶領域に記憶する。
【２９５２】
また、ステップＳ２０５では、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した各々の球検出センサの検出信号の有無の情報を比較し、各々の球検出センサにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定する。一個の機内球７１０が一つの球検出センサを通過する間に、約４ｍｓという非常に短い間隔で起動を繰り返すこの主制御部タイマ割込処理は何回か起動する。このため、主制御部タイマ割込処理が起動する度に、上述のステップＳ２０５では、同じ機内球７１０が同じ球検出センサを通過したことを表す検出信号を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ機内球７１０が同じ球検出センサを通過したことを表す検出信号が記憶される。すなわち、機内球７１０が球検出センサを通過し始めたときには、前々回検出信号無し、前回検出信号有り、今回検出信号有りになる。本実施形態では、球検出センサの誤検出やノイズを考慮して、検出信号無しの後に検出信号が連続して２回記憶されている場合には、入賞があったと判定する。図３０４に示す主制御部３００のＲＯＭ３０６には、入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）が記憶されている。このステップＳ２０５では、各々の球検出センサ３２０Ｂ（一般入賞口用センサ

３２０Ｅ、可変入賞口用センサ３２０Ｇ、第１特図始動口用センサ３２０Ｊ、第２特図始動口用センサ３２０Ｈ、普図始動口用センサ３２０Ｔ）において過去３回分の検出信号の有無の情報が、予め定めた入賞判定パターン情報（本実施形態では、前々回検出信号無し、前回検出信号有り、今回検出信号有りであることを示す情報）と一致した場合に、一般入賞口２２６、可変入賞口２３４、第１特図始動口２３０、および第２特図始動口２３２への入球、または普図始動口２２８の通過があったと判定する。すなわち、これらの入賞口２２６、２３４やこれらの始動口２３０、２３２、２２８への入賞があったと判定する。例えば、一般入賞口２２６への入球を検出する一般入賞口用センサ３２０Ｅにおいて過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致した場合には、一般入賞口２２６へ入賞があったと判定し、以降の一般入賞口２２６への入賞に伴う処理を行うが、過去３回分の検出信号の有無の情報が上述の入賞判定パターン情報と一致しなかった場合には、以降の一般入賞口２２６への入賞に伴う処理を行わずに後続の処理に分岐する。なお、主制御部３００のＲＯＭ３０６には、入賞判定クリアパターン情報（本実施形態では、前々回検出信号有り、前回検出信号無し、今回検出信号無しであることを示す情報）が記憶されている。入賞が一度あったと判定した後は、各々の球検出センサにおいて過去３回分の検出信号の有無の情報が、その入賞判定クリアパターン情報に一致するまで入賞があったとは判定せず、入賞判定クリアパターン情報に一致すれば、次からは上記入賞判定パターン情報に一致するか否かの判定を行う。なお、入賞判定パターン情報は、それぞれの入賞で同じである必要はなく、入賞判定の重要度に応じて異ならせてもよい。例えば、第１特図始動口２３０、および第２特図始動口２３２の入賞判定パターンは過去３回分の検出信号の有無の情報で構成するが、一般入賞口２２６の入賞判定パターンは過去２回分の検出信号の有無の情報で構成してもよい。

【２９５３】

ステップＳ２０７およびステップＳ２０９では、基本乱数初期値更新処理および基本乱数更新処理を行う。これらの基本乱数初期値更新処理および基本乱数更新処理では、上記ステップＳ１１５で行った初期値生成用乱数カウンタの値の更新を行い、次に主制御部３００で使用する、普図当選乱数値、特図２９４乱数値、および特図２９５乱数値をそれぞれ生成するための２つの乱数カウンタを更新する。例えば、普図当選乱数値として取り得る数値範囲が０～１００とすると、ＲＡＭ３０８に設けた普図当選乱数値を生成するための乱数カウンタ記憶領域から値を取得し、取得した値に１を加算してから元の乱数カウンタ記憶領域に記憶する。このとき、取得した値に１を加算した結果が１０１であれば０を元の乱数カウンタ記憶領域に記憶する。また、取得した値に１を加算した結果、乱数カウンタが一周していると判定した場合にはそれぞれの乱数カウンタに対応する初期値生成用乱数カウンタの値を取得し、乱数カウンタの記憶領域にセットする。例えば、０～１００の数値範囲で変動する普図当選乱数値生成用の乱数カウンタから値を取得し、取得した値に１を加算した結果が、ＲＡＭ３０８に設けた所定の初期値記憶領域に記憶している前回設定した初期値と等しい値（例えば７）である場合に、普図当選乱数値生成用の乱数カウンタに対応する初期値生成用乱数カウンタから値を初期値として取得し、普図当選乱数値生成用の乱数カウンタにセットすると共に、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するために、今回設定した初期値を上述の初期値記憶領域に記憶しておく。また、普図当選乱数値生成用の乱数カウンタが次に１周したことを判定するための上述の初期値記憶領域とは別に、特図乱数生成用の乱数カウンタが１周したことを判定するための初期値記憶領域をＲＡＭ３０８に設けている。なお、本実施形態では特図２９４の乱数値を取得するためのカウンタと特図２９５の乱数値を取得するためのカウンタとを別に設けたが、同一のカウンタを用いてもよい。

【２９５４】

ステップＳ２１１では、演出乱数更新処理を行う。この演出乱数更新処理では、主制御部３００で使用する演出用乱数値を生成するための乱数カウンタを更新する。

【２９５５】

ステップＳ２１３では、タイマ更新処理を行う。このタイマ更新処理では、普通図柄表

示装置２１０に図柄を変動・停止表示する時間を計時するための普図表示図柄更新タイマ、第１特別図柄表示装置２１２に図柄を変動・停止表示する時間を計時するための特図２９４表示図柄更新タイマ、第２特図表示装置２１４に図柄を変動・停止表示する時間を計時するための特図２９５表示図柄更新タイマ、所定の入賞演出時間、所定の開放時間、所定の閉鎖時間、所定の終了演出期間などを計時するためのタイマなどを含む各種タイマを更新する。

【２９５６】

ステップＳ２１５では、入賞口カウンタ更新処理を行う。この入賞口カウンタ更新処理では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、その回数を記録する。

【２９５７】

ステップＳ２１６では、賞球数表示処理を行う。この賞球数表示処理では、主制御部３００において、球数制御部６００に送信前の賞球コマンドがある場合（ステップＳ２１９にて後述する）、その賞球コマンドで送信する予定の賞球数（複数ある場合はそれらの合計値）を賞球数表示部６９０に表示する（これについては後述する）。

【２９５８】

また、ステップＳ２１７では、入賞受付処理を行う。この入賞受付処理では、第１特図始動口２３０、第２特図始動口２３２、普図始動口２２８および可変入賞口２３４への入賞があったか否かを判定する。ここでは、ステップＳ２０５における入賞判定パターン情報と一致するか否かの判定結果を用いて判定する。第１特図始動口２３０へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、乱数値生成回路３１８の、第１特図始動口２３０に対応した乱数値記憶用レジスタから値を取得し、加工した値（例えば、取得した値＋Ｒレジスタの値＋１）を特図２９４当選乱数値として取得するとともに特図２９４乱数値生成用の乱数カウンタから値を取得し、加工した値（例えば、取得した値＋Ｒレジスタの値＋１）を特図２９４乱数値として取得して対応する乱数値記憶領域に格納する。第２特図始動口２３２へ入賞があった場合且つＲＡＭ３０８に設けた対応する保留数記憶領域が満タンでない場合、乱数値生成回路３１８の、第１特図始動口２３０に対応した乱数値カウンタ値記憶用レジスタから値を取得し、加工した値（例えば、取得した値＋Ｒレジスタの値＋１）を特図２９５当選乱数値として取得するとともに特図２９５乱数値生成用の乱数カウンタから値を取得し、加工した値（例えば、取得した値＋Ｒレジスタの値＋１）を特図２９５乱数値として取得して対応する乱数値記憶領域に格納する。

【２９５９】

ステップＳ２１９では、賞球コマンド送信処理を行う。ステップＳ２１７で各入賞口等のいずれかに入賞があったと判定された場合、各入賞口等に対応する賞球を遊技者に付与するため、賞球数の情報を含む出力予定情報（例えば、賞球コマンド）を送信する。なお、球数制御部６００に出力する出力予定情報は、例えば１バイトで構成しており、ビット７にストローブ情報（オンの場合、データをセットしていることを示す）、ビット６に電源投入情報（オンの場合、電源投入後一回目のコマンド送信であることを示す）、ビット４～５に暗号化のための今回加工種別（０～３）、およびビット０～３に暗号化加工後の賞球数を示すようにしている。尚、データサイズはこれに限らず、例えば２バイトでもよい。また、シリアル通信の一例を後述する。

【２９６０】

後述するが主制御部３００は、定期の割込み処理によって、球数制御部６００に賞球コマンドを送信する。またその際、主制御部３００と球数制御部６００は、双方向の通信確認（通信確認の問い合わせと通信確認の返信）を行い、例えば、主制御部３００の１回の割込み処理につき、１つの賞球コマンドが送信される。つまり、これらの期間に複数の入賞がある場合には、主制御部３００に送信すべき複数の賞球数の情報が蓄積されることになる。

【２９６１】

ステップＳ２２０では、賞球数表示処理を行う。この賞球数表示処理は、ステップＳ２１６の処理と同様であるが、賞球表示部６９０に表示される内容が更新される場合がある。詳細は後述するが、例えば、ステップＳ２１６から本ステップまでの間に新たな入賞が無い場合には、ステップＳ２１９で少なくとも１つの賞球コマンド（賞球数）が送信されているので、本ステップで賞球数表示部６９０に表示される賞球数は、ステップＳ２１６で賞球数表示部６９０に表示される賞球数から、球数制御部６００に送信された賞球コマンドの賞球数の分を減じた数値となる。これにより、遊技者に賞球の払い出しがあったことを報知できる場合がある。なお、賞球数表示処理は、例えば、ステップＳ２１６のみで行ってもよいし、本ステップのみで行ってもよい。

【２９６２】

ステップＳ２２１では、普図状態更新処理を行う。この普図状態更新処理は、普図の状態に対応する複数の処理のうちの１つの処理を行う。例えば、普図変動表示の途中（上述する普図表示図柄更新タイマの値が１以上）における普図状態更新処理では、普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、普通図柄表示装置２１０は普図の変動表示（普図変動遊技）を行う。

【２９６３】

また、普図変動表示時間が経過したタイミング（普図表示図柄更新タイマの値が１から０になったタイミング）における普図状態更新処理では、当りフラグがオン（当たりを示す、例えば「１」のセットなど、以下同様）の場合には、当たり図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、当りフラグがオフの場合には、外れ図柄の表示態様となるように普通図柄表示装置２１０を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行う。また、主制御部３００のＲＡＭ３０８には、普図状態更新処理に限らず各種の処理において各種の設定を行う設定領域が用意されている。ここでは、上記点灯・消灯駆動制御を行うとともに、その設定領域に普図停止表示中であることを示す設定を行う。この制御を行うことで、普通図柄表示装置２１０は、当り図柄（図３０３（ｃ）に示す普図Ａ）および外れ図柄（図３０３（ｃ）に示す普図Ｂ）いずれか一方の図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）、その表示を維持するためにＲＡＭ３０８に設けた普図停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された図柄が所定期間停止表示され、普図変動遊技の結果が遊技者に報知される。

【２９６４】

また、普図変動遊技の結果が当りであれば、後述するように、普図当りフラグがオンされる。この普図当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理では、ＲＡＭ３０８の設定領域に普図作動中を設定するとともに、所定の開放期間（例えば２秒間）、第２特図始動口２３２の羽根部材２３２ａの開閉駆動用のソレノイド（３３２）に、羽根部材２３２ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。

【２９６５】

また、所定の開放期間が終了したタイミング（羽根開放時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、所定の閉鎖期間（例えば５００ｍ秒間）、羽根部材の開閉駆動用のソレノイド３３２に、羽根部材を閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた羽根閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。

【２９６６】

また、所定の閉鎖期間が終了したタイミング（羽根閉鎖時間管理用タイマの値が１から０になったタイミング）で開始する普図状態更新処理では、ＲＡＭ３０８の設定領域に普図非作動中を設定する。さらに、普図変動遊技の結果が外れであれば、後述するように、普図外れフラグがオン（外れを示す、例えば「１」をセットなど、以下同様）される。こ

の普図外れフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（普図停止時間管理用タイマの値が１から０になったタイミング）における普図状態更新処理でも、ＲＡＭ３０８の設定領域に普図非作動中を設定する。普図非作動中の場合における普図状態更新処理では、何もせずに次のステップＳ２２３に移行するようにしている。

【２９６７】

ステップＳ２２３では、普図関連抽選処理を行う。この普図関連抽選処理では、普図変動遊技および第２特図始動口２３２の開閉制御を行っておらず（普図の状態が非作動中）、且つ、保留している普図変動遊技の数が１以上である場合に、上述の乱数値記憶領域に記憶している普図当選乱数値に基づいた乱数抽選により普図変動遊技の結果を当選とするか、不当選とするかを決定する当り判定をおこない、当選とする場合にはＲＡＭ３０８に設けた当りフラグにオンを設定する。不当選の場合には、当りフラグにオフを設定する。また、当り判定の結果に関わらず、次に上述の普図タイマ乱数値生成用の乱数カウンタの値を普図タイマ乱数値として取得し、取得した普図タイマ乱数値に基づいて複数の変動時間のうちから普図表示装置２１０に普図を変動表示する時間を１つ選択し、この変動表示時間を、普図変動表示時間として、ＲＡＭ３０８に設けた普図変動時間記憶領域に記憶する。なお、保留している普図変動遊技の数は、ＲＡＭ３０８に設けた普図保留数記憶領域に記憶するようにしており、当り判定をするたびに、保留している普図変動遊技の数から１を減算した値を、この普図保留数記憶領域に記憶し直すようにしている。また当り判定に使用した乱数値を消去する。

【２９６８】

次いで、ステップＳ２２５では、特図２９４および特図２９５それぞれについての特図状態更新処理を行うが、最初に、特図２９５についての特図状態更新処理（特図２９５状態更新処理）を行う。この特図２９５状態更新処理は、特図２９５の状態に応じて、次の８つの処理のうちの１つの処理を行う。例えば、特図２９５変動表示の途中（上述の特図２９５表示図柄更新タイマの値が１以上）における特図２９５状態更新処理では、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯と消灯を繰り返す点灯・消灯駆動制御を行う。この制御を行うことで、第２特別図柄表示装置２１４は特図２９５の変動表示（特図２９５変動遊技）を行う。

【２９６９】

また、コマンド設定送信処理（ステップＳ２２９）で回転開始設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶してから処理を終了する。

【２９７０】

また、主制御部３００のＲＡＭ３０８には、１５Ｒ大当りフラグ、２Ｒ大当たりフラグ、第１小当たりフラグ、第２小当たりフラグ、第１はずれフラグ、第２はずれフラグ、特図確率変動フラグ、および普図確率変動フラグそれぞれのフラグが用意されている。特図２９５変動表示時間が経過したタイミング（特図２９５表示図柄更新タイマの値が１から０になったタイミング）で開始する特図２９５状態更新処理では、１５Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には図３０３（ａ）に示す特図Ａ、１５Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｂ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグもオンの場合には特図Ｃ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグはオンの場合には特図Ｄ、２Ｒ大当りフラグはオン、特図確率変動フラグもオン、普図確率変動フラグはオンの場合には特図Ｅ、２Ｒ大当りフラグはオン、特図確率変動フラグはオフ、普図確率変動フラグもオフの場合には特図Ｆ、第１小当たりフラグがオンの場合には特図Ｇ、第２小当たりフラグがオンの場合には特図Ｈ、第１はずれフラグがオンの場合には特図Ｉ、第２はずれフラグがオンの場合には特図Ｉそれぞれの態様となるように、第２特別図柄表示装置２１４を構成する７セグメントＬＥＤの点灯・消灯駆動制御を行い、ＲＡＭ３０８の設定領域に特図２９５停止表示中であるこ

とを表す設定を行う。なお各フラグのオンは例えば各フラグに「１」のセットすることをいう。この制御を行うことで、第２特別図柄表示装置２１４は、１５Ｒ特別大当たり図柄（特図Ａ）、１５Ｒ大当たり図柄（特図Ｂ）、突然確変図柄（特図Ｃ）、突然時短図柄（特図Ｄ）、隠れ確変図柄（特図Ｅ）、突然通常図柄（特図Ｆ）、第１小当たり図柄（特図Ｇ）、第２小当たり図柄（特図Ｈ）、第１はずれ図柄（特図Ｉ）、および第２はずれ図柄（特図Ｊ）のいずれか一つの図柄の確定表示を行う。さらにその後、所定の停止表示期間（例えば５００ｍ秒間）その表示を維持するためにＲＡＭ３０８に設けた特図２９５停止時間管理用タイマの記憶領域に停止期間を示す情報を設定する。この設定により、確定表示された特図２９５が所定期間停止表示され、特図２９５変動遊技の結果が遊技者に報知される。また、ＲＡＭ３０８に設けられた時短回数記憶部に記憶された時短回数が１以上であれば、その時短回数から１を減算し、減算結果が１から０となった場合は、特図確率変動中（詳細は後述）でなければ、時短フラグをオフする。さらに、大当り遊技中（特別遊技状態中）にも、時短フラグをオフする。

【２９７１】

また、コマンド設定送信処理（ステップＳ２２９）で回転停止設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶するとともに、変動表示を停止する図柄が特図２９５であることを示す特図２９５識別情報を、後述するコマンドデータに含める情報としてＲＡＭ３０８に追加記憶してから処理を終了する。

【２９７２】

また、特図２９５変動遊技の結果が大当りであれば、後述するように、大当りフラグがオンされる。この大当りフラグがオンの場合には、所定の停止表示期間が終了したタイミング（特図２９５停止時間管理用タイマの値が１から０になったタイミング）における特図２９５状態更新処理では、ＲＡＭ３０８の設定領域に特図２９５作動中を設定するとともに、所定の入賞演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを開始することを遊技者に報知する画像を表示している期間待機するためにＲＡＭ３０８に設けた特図２９５待機時間管理用タイマの記憶領域に入賞演出期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２２９）で入賞演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２９７３】

また、所定の入賞演出期間が終了したタイミング（特図２９５待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２９５状態更新処理では、所定の開放期間（例えば２９秒間、または可変入賞口２３４に所定球数（例えば１０球）の機内球７１０の入賞を検出するまで）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド３３２に、扉部材２３４ａを開放状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉開放時間管理用タイマの記憶領域に開放期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２２９）で大入賞口開放設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２９７４】

また、所定の開放期間が終了したタイミング（扉開放時間管理用タイマの値が１から０になったタイミング）で開始する特図２９５状態更新処理では、所定の閉鎖期間（例えば１．５秒間）可変入賞口２３４の扉部材２３４ａの開閉駆動用のソレノイド３３２に、扉部材２３４ａを閉鎖状態に保持する信号を出力するとともに、ＲＡＭ３０８に設けた扉閉鎖時間管理用タイマの記憶領域に閉鎖期間を示す情報を設定する。また、コマンド設定送信処理（ステップＳ２２９）で大入賞口閉鎖設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２９７５】

また、この扉部材の開放・閉鎖制御を所定回数（本実施例では１５ラウンドか２ラウンド）繰り返し、終了したタイミングで開始する特図２９５状態更新処理では、所定の終了演出期間（例えば３秒間）すなわち装飾図柄表示装置２０８による大当りを終了することを遊技者に報知する画像を表示している期間待機するように設定するためにＲＡＭ３０８

に設けた演出待機時間管理用タイマの記憶領域に演出待機期間を示す情報を設定する。また、普図確率変動フラグがオンに設定されていれば、この大当たり遊技の終了と同時に、ＲＡＭ３０８に設けられた時短回数記憶部に時短回数１００回をセットするとともに、ＲＡＭ３０８に設けられた時短フラグをオンする。なお、その普図確率変動フラグがオフに設定されていれば、時短回数記憶部に時短回数をセットすることもなく、また時短フラグをオンすることもない。ここにいう時短とは、特図変動遊技における大当りを終了してから、次の大当りを開始するまでの時間を短くするため、パチンコ機が遊技者にとって有利な状態になることをいう。この時短フラグがオンに設定されていると、普図高確率状態である。普図高確率状態では普図低確率状態に比べて、普図変動遊技に大当りする可能性が高い。また、普図高確率状態の方が、普図低確率状態に比べて普図変動遊技の変動時間および特図変動遊技の変動時間は短くなる。さらに、普図高確率状態では普図低確率状態に比べて、第２特別始動口２３２の一対の羽根部材２３２ａの１回の開放における開放時間が長くなりやすい。加えて、普図高確率状態では普図低確率状態に比べて、一対の羽根部材２３２ａは多く開きやすい。また、上述のごとく、時短フラグは、大当り遊技中（特別遊技状態中）にはオフに設定される。したがって、大当たり遊技中には、普図低確率状態が維持される。これは、大当たり遊技中に普図高確率状態であると、大当たり遊技中に可変入賞口２３４に所定の個数、機内球７１０が入球するまでの間に第２特図始動口２３２に多くの機内球７１０が入球し、大当たり中に獲得することができる機内球７１０の数が多くなってしまい射幸性が高まってしまうという問題があり、これを解決するためのものである。

【２９７６】

さらに、コマンド設定送信処理（ステップＳ２２９）で終了演出設定送信処理を実行させることを示す所定の送信情報を上述の送信情報記憶領域に追加記憶する。

【２９７７】

また、所定の終了演出期間が終了したタイミング（演出待機時間管理用タイマの値が１から０になったタイミング）で開始する特図２９５状態更新処理では、ＲＡＭ３０８の設定領域に特図２９５非作動中を設定する。さらに、特図２９５変動遊技の結果が外れであれば、後述するように、はずれフラグがオン（「１」をセット）される。このはずれフラグがオンの場合には、上述した所定の停止表示期間が終了したタイミング（特図２９５停止時間管理用タイマの値が１から０になったタイミング）における特図２９５状態更新処理でも、ＲＡＭ３０８の設定領域に特図２９５非作動中を設定する。特図２９５非作動中の場合における特図２９５状態更新処理では、何もせずに次のステップＳ２２７に移行するようにしている。

【２９７８】

続いて、特図２９４についての特図状態更新処理（特図２９４状態更新処理）を行う。この特図２９４状態更新処理では、特図２９４の状態に応じて、上述の特図２９５状態更新処理で説明した各処理を行う。この特図２９４状態更新処理で行う各処理は、上述の特図２９５状態更新処理で説明した内容の「特図２９５」を「特図２９４」と読み替えた処理と同一であるため、その説明は省略する。なお、特図２９５状態更新処理と特図２９４状態更新処理の順番は逆でもよい。

【２９７９】

ステップＳ２２５における特図状態更新処理が終了すると、ステップＳ２２７において、特図２９４および特図２９５それぞれについての特図関連抽選処理を行う。ここでも先に、特図２９５についての特図関連抽選処理（特図２９５関連抽選処理）を行い、その後で、特図２９４についての特図関連抽選処理（特図２９４関連抽選処理）を行う。これらの特図関連抽選処理についても、主制御部３００が特図２９５関連抽選処理を特図２９４関連抽選処理よりも先に行うことで、特図２９５変動遊技の開始条件と、特図２９４変動遊技の開始条件が同時に成立した場合でも、特図２９５変動遊技が先に変動中となるため、特図２９４変動遊技は変動を開始しない。また、装飾図柄表示装置２０８による、特図変動遊技の大当り判定の結果の報知は、第１副制御部４００によって行われ、第２特図始

動口２３２への入賞に基づく抽選の抽選結果の報知が、第１特図始動口２３０への入賞に基づく抽選の抽選結果の報知よりも優先して行われる。

【２９８０】

ステップＳ２２９では、コマンド設定送信処理を行い、各種のコマンドが第１副制御部４００に送信される。なお、第１副制御部４００に送信する出力予定情報は例えば１６ビットで構成しており、ビット１５はストローブ情報（オンの場合、データをセットしていることを示す）、ビット１１～１４はコマンド種別（本実施形態では、基本コマンド、図柄変動開始コマンド、図柄変動停止コマンド、入賞演出開始コマンド、終了演出開始コマンド、大当りラウンド数指定コマンド、復電コマンド、ＲＡＭクリアコマンドなどコマンドの種類を特定可能な情報）、ビット０～１０はコマンドデータ（コマンド種別に対応する所定の情報）で構成している。

【２９８１】

具体的には、ストローブ情報は上述のコマンド送信処理でオン、オフするようにしている。また、コマンド種別が図柄変動開始コマンドの場合であればコマンドデータに、１５Ｒ大当りフラグや２Ｒ大当たりフラグの値、特図確率変動フラグの値、特図関連抽選処理で選択したタイマ番号などを示す情報を含み、図柄変動停止コマンドの場合であれば、１５Ｒ大当りフラグや２Ｒ大当たりフラグの値、特図確率変動フラグの値などを含み、入賞演出コマンドおよび終了演出開始コマンドの場合であれば、特図確率変動フラグの値などを含み、大当りラウンド数指定コマンドの場合であれば特図確率変動フラグの値、大当りラウンド数などを含むようにしている。コマンド種別が基本コマンドを示す場合は、コマンドデータにデバイス情報、第１特図始動口２３０への入賞の有無、第２特図始動口２３２への入賞の有無、可変入賞口２３４への入賞の有無などが含まれる。

【２９８２】

また、上述の回転開始設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当たりフラグの値、特図確率変動フラグの値、特図２９４関連抽選処理および特図２９５関連抽選処理で選択したタイマ番号、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の回転停止設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している、１５Ｒ大当りフラグや２Ｒ大当たりフラグの値、特図確率変動フラグの値などを示す情報を設定する。上述の入賞演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、入賞演出期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の終了演出設定送信処理では、コマンドデータに、ＲＡＭ３０８に記憶している、演出待機期間中に装飾図柄表示装置２０８・各種ランプ４１８・スピーカ１２０に出力する演出制御情報、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口開放設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。上述の大入賞口閉鎖設定送信処理では、コマンドデータにＲＡＭ３０８に記憶している大当りラウンド数、特図確率変動フラグの値、保留している第１特図変動遊技または第２特図変動遊技の数などを示す情報を設定する。また、このステップＳ２３３では一般コマンド特図保留増加処理も行われる。この一般コマンド特図保留増加処理では、コマンドデータにＲＡＭ３０８の送信用情報記憶領域に記憶している特図識別情報（特図２９４または特図２９５を示す情報）、予告情報（事前予告情報、偽事前予告情報、または事前予告無情報のいずれか）を設定する。

【２９８３】

更に、主制御部３００が送信するコマンドには、入賞口等に入賞した場合の賞球数や、不正を検出した場合の情報が含まれる。主制御部３００で検出する不正は、異常な磁気を検出した場合の磁石エラー、異常な電波を検出した場合の電波エラー、大当たり時以外に機内球７１０が可変入賞口２３４に入賞した場合の不正入賞エラー等である。なお、主制

御部３００のコマンド送信は、一定期間ごとに実行される。
【２９８４】
第１副制御部４００では、受信した出力予定情報に含まれるコマンド種別により、主制御部３００における遊技制御の変化に応じた演出制御の決定が可能になるとともに、出力予定情報に含まれているコマンドデータの情報に基づいて、演出制御内容を決定することができるようになる。
【２９８５】
ステップＳ２３１では、外部出力信号設定処理を行う。この外部出力信号設定処理では、ＲＡＭ３０８に記憶している遊技情報を、情報出力回路３３６を介してパチンコ機１００とは別体の情報入力回路３５０に出力する。
【２９８６】
ステップＳ２３３では、デバイス監視処理を行う。このデバイス監視処理では、ステップＳ２０５において信号状態記憶領域に記憶した各種センサの信号状態を読み出して、所定のエラーの有無を監視し、エラーを検出した場合に、第１副制御部４００に送信すべき送信情報に、当該エラーの有無を示すデバイス情報を設定する。また、各種ソレノイド３３２を駆動して第２特図始動口２３２や、可変入賞口２３４の開閉を制御したり、表示回路３２４、３２６、３３０を介して普通図柄表示装置２１０、第１特別図柄表示装置２１２、第２特別図柄表示装置２１４、各種状態表示部３２８などに出力する表示データを、Ｉ／Ｏ３１０の出力ポートに設定する。また、賞球コマンド送信処理（ステップＳ２１９）で設定した出力予定情報（賞球コマンド）を出力ポート（Ｉ／Ｏ３１０）を介して第１副制御部４００に出力する。
【２９８７】
ステップＳ２３５では、低電圧信号がオンであるか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ２４１に進み、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ２３９に進む。
【２９８８】
ステップＳ２３９では、タイマ割込終了処理を行う。このタイマ割込終了処理では、ステップＳ２０１で一時的に退避した各レジスタの値を元の各レジスタに設定したり、割込許可の設定などを行い、その後、図３０５に示す主制御部メイン処理に復帰する。
【２９８９】
一方、ステップＳ２４１では、復電時に電断時の状態に復帰するための特定の変数やスタックポインタを復帰データとしてＲＡＭ３０８の所定の領域に退避し、入出力ポートの初期化等の電断処理を行い、その後、上述の示す主制御部メイン処理に復帰する。
＜第１副制御部の処理＞
【２９９０】
次に、図３０７を用いて、第１副制御部４００の処理について説明する。なお、同図（ａ）は、第１副制御部４００のＣＰＵ４０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第１副制御部４００のコマンド受信割込処理のフローチャートである。同図（ｃ）は、第１副制御部４００のタイマ割込処理のフローチャートである。同図（ｄ）は、第１副制御部４００の画像制御処理のフローチャートである。
【２９９１】
まず、同図（ａ）のステップＳ３０１では、各種の初期設定を行う。電源投入が行われると、まずステップＳ３０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ４０８内の記憶領域の初期化処理等を行う。
【２９９２】
ステップＳ３０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ３０５の処理に移行する。
ステップＳ３０５では、タイマ変数に０を代入する。
【２９９３】

ステップＳ３０７では、コマンド処理を行う。第１副制御部４００のＣＰＵ４０４は、主制御部３００からコマンドを受信したか否かを判別する。

【２９９４】

ステップＳ３０９では、演出制御処理を行う。例えば、ステップＳ３０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ４０６から読み出す等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。

【２９９５】

ステップＳ３１１では、チャンスボタンの押下を検出していた場合、ステップＳ３０９で更新した演出データをチャンスボタンの押下に応じた演出データに変更する処理を行う。

【２９９６】

ステップＳ３１３では、ステップＳ３０９で読み出した演出データの中にＶＤＰ４３４への命令がある場合には、この命令をＶＤＰ４３４に出力する。

【２９９７】

ステップＳ３１５では、ステップＳ３０９で読み出した演出データの中に音源ＩＣ４１６への命令がある場合には、この命令を音源ＩＣ４１６に出力する。

【２９９８】

ステップＳ３１７では、ステップＳ３０９で読み出した演出データの中に各種ランプ４１８への命令がある場合には、この命令を駆動回路４２０に出力する。

【２９９９】

ステップＳ３１９では、ステップＳ３０９で読み出した演出データの中に可動体（例えば、遮蔽装置２４６）への命令がある場合には、この命令を駆動回路４３２に出力する。

【３０００】

ステップＳ３２１では、ステップＳ３０９で読み出した演出データの中に第２副制御部５００に送信する制御コマンドがある場合には、この制御コマンドを出力する設定を行い、ステップＳ３０３へ戻る。

【３００１】

次に、同図（ｂ）を用いて、第１副制御部４００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第１副制御部４００が、主制御部３００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ４０１では、主制御部３００が出力したコマンドを未処理コマンドとしてＲＡＭ４０８に設けたコマンド記憶領域に記憶する。

【３００２】

次に、同図（ｃ）を用いて、第１副制御部４００のＣＰＵ４０４によって実行する第１副制御部タイマ割込処理について説明する。第１副制御部４００は、所定の周期（本実施形態では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。

【３００３】

第１副制御部タイマ割込処理のステップＳ５０１では、第１副制御部メイン処理におけるステップＳ３０３において説明したＲＡＭ４０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳ３０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。

【３００４】

第１副制御部タイマ割込処理のステップＳ５０３では、ステップＳ３２１で設定された第２副制御部５００への制御コマンドの送信や、演出用乱数値の更新処理等を行う。

【３００５】

次に、同図（ｄ）を用いて、第１副制御部４００のメイン処理におけるステップＳ３１３の画像制御処理について説明する。同図は、画像制御処理の流れを示すフローチャートを示した図である。

【３００６】

ステップＳ６０１では、画像データの転送指示を行う。ここでは、ＣＰＵ４０４は、ま

ず、ＶＲＡＭ４３６の表示領域Ａと表示領域Ｂの描画領域の指定をスワップする。これにより、描画領域に指定されていない表示領域に記憶された１フレームの画像が装飾図柄表示装置２０８に表示される。次に、ＣＰＵ４０４は、ＶＤＰ４３４のアトリビュートレジスタに、位置情報等テーブルに基づいてＲＯＭ座標（ＲＯＭ４０６の転送元アドレス）、ＶＲＡＭ座標（ＶＲＡＭ４３６の転送先アドレス）などを設定した後、ＲＯＭ４０６からＶＲＡＭ４３６への画像データの転送開始を指示する命令を設定する。ＶＤＰ４３４は、アトリビュートレジスタに設定された命令に基づいて画像データをＲＯＭ４０６からＶＲＡＭ４３６に転送する。その後、ＶＤＰ４３６は、転送終了割込信号をＣＰＵ４０４に対して出力する。

【３００７】

ステップＳ６０３では、ＶＤＰ４３４からの転送終了割込信号が入力されたか否かを判定し、転送終了割込信号が入力された場合はステップＳ６０５に進み、そうでない場合は転送終了割込信号が入力されるのを待つ。ステップＳ６０５では、演出シナリオ構成テーブルおよびアトリビュートデータなどに基づいて、パラメータ設定を行う。ここでは、ＣＰＵ４０４は、ステップＳ６０１でＶＲＡＭ４３６に転送した画像データに基づいてＶＲＡＭ４３６の表示領域ＡまたはＢに表示画像を形成するために、表示画像を構成する画像データの情報（ＶＲＡＭ４３６の座標軸、画像サイズ、ＶＲＡＭ座標（配置座標）など）をＶＤＰ４３４に指示する。ＶＤＰ４３４はアトリビュートレジスタに格納された命令に基づいてアトリビュートに従ったパラメータ設定を行う。

【３００８】

ステップＳ６０７では、描画指示を行う。この描画指示では、ＣＰＵ４０４は、ＶＤＰ４３４に画像の描画開始を指示する。ＶＤＰ４３４は、ＣＰＵ４０４の指示に従ってフレームバッファにおける画像描画を開始する。

【３００９】

ステップＳ６０９では、画像の描画終了に基づくＶＤＰ４３４からの生成終了割込み信号が入力されたか否かを判定し、生成終了割込み信号が入力された場合はステップＳ６１１に進み、そうでない場合は生成終了割込み信号が入力されるのを待つ。ステップＳ６１１では、ＲＡＭ４０８の所定の領域に設定され、何シーンの画像を生成したかをカウントするシーン表示カウンタをインクリメント（＋１）して処理を終了する。

＜第２副制御部の処理＞

【３０１０】

次に、図３０８を用いて、第２副制御部５００の処理について説明する。なお、同図（ａ）は、第２副制御部５００のＣＰＵ５０４が実行するメイン処理のフローチャートである。同図（ｂ）は、第２副制御部５００のコマンド受信割込処理のフローチャートである。同図（ｃ）は、第２副制御部５００のタイマ割込処理のフローチャートである。

【３０１１】

まず、同図（ａ）のステップＳ７０１では、各種の初期設定を行う。電源投入が行われると、まずステップＳ７０１で初期化処理が実行される。この初期化処理では、入出力ポートの初期設定や、ＲＡＭ５０８内の記憶領域の初期化処理等を行う。

【３０１２】

ステップＳ７０３では、タイマ変数が１０以上か否かを判定し、タイマ変数が１０となるまでこの処理を繰り返し、タイマ変数が１０以上となったときには、ステップＳ７０５の処理に移行する。

ステップＳ７０５では、タイマ変数に０を代入する。

【３０１３】

ステップＳ７０７では、コマンド処理を行う。第２副制御部５００のＣＰＵ５０４は、第１副制御部４００のＣＰＵ４０４からコマンドを受信したか否かを判別する。

【３０１４】

ステップＳ７０９では、演出制御処理を行う。例えば、ステップＳ７０７で新たなコマンドがあった場合には、このコマンドに対応する演出データをＲＯＭ５０６から読み出す

等の処理を行い、演出データの更新が必要な場合には演出データの更新処理を行う。
【３０１５】
ステップＳ７１１では、第１副制御部４００からの遊技盤用ランプ５３２や遊技台枠用ランプ５４２への命令がある場合には、この命令をシリアル通信制御回路５２０に出力する。
【３０１６】
ステップＳ７１３では、第１副制御部４００からの演出可動体２２４への命令がある場合には、この命令を駆動回路５１６に出力し、ステップＳ７０３に戻る。
【３０１７】
次に、同図（ｂ）を用いて、第２副制御部５００のコマンド受信割込処理について説明する。このコマンド受信割込処理は、第２副制御部５００が、第１副制御部４００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ８０１では、第１副制御部４００が出力したコマンドを未処理コマンドとしてＲＡＭ５０８に設けたコマンド記憶領域に記憶する。
【３０１８】
次に、同図（ｃ）を用いて、第２副制御部５００のＣＰＵ５０４によって実行する第２副制御部タイマ割込処理について説明する。第２副制御部５００は、所定の周期（本実施例では２ｍｓに１回）でタイマ割込を発生するハードウェアタイマを備えており、このタイマ割込を契機として、タイマ割込処理を所定の周期で実行する。
【３０１９】
第２副制御部タイマ割込処理のステップＳ９０１では、図３０８（ａ）に示す第２副制御部メイン処理におけるステップＳＧ０３において説明したＲＡＭ５０８のタイマ変数記憶領域の値に、１を加算して元のタイマ変数記憶領域に記憶する。従って、ステップＳＧ０３において、タイマ変数の値が１０以上と判定されるのは２０ｍｓ毎（２ｍｓ×１０）となる。
【３０２０】
第２副制御部タイマ割込処理のステップＳ９０３では、演出用乱数値の更新処理等を行う。
＜球数制御部の処理＞
【３０２１】
次に、図３０９を用いて、球数制御部６００のＣＰＵが実行する処理について説明する。なお、同図（ａ）は、球数制御部６００のメイン処理の流れを示すフローチャートであり、同図（ｂ）は、球数制御部６００のコマンド受信割込みのフローチャートである。
【３０２２】
球数制御部６００には、電源が投入されるとリセット信号を出力するリセット信号出力回路を設けている。このリセット信号を入力した球数制御部６００のＣＰＵは、リセット割込みによりリセットスタートしてＲＯＭに予め記憶している制御プログラムに従って処理を実行する。
【３０２３】
ステップＳ１００１では、初期設定１を行う。この初期設定１では、ＣＰＵのスタックポインタ（ＳＰ）へのスタック初期値の設定等を行う。
【３０２４】
ステップＳ１００３では、低電圧信号がオンであるか否か、すなわち、電圧監視回路が、電源管理部６５０から球数制御部６００に供給している電源の電圧値が所定の値（本実施例では９ｖ）未満である場合に電圧が低下したことを示す低電圧信号を出力しているか否かを監視する。そして、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１００３の処理を繰り返し実行し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１００５に進む。
【３０２５】
ステップＳ１００５では、初期設定２を行う。この初期設定２では、ＲＡＭへの書き込

みを許可する設定、Ｉ／Ｏポートの初期設定等を行う。
【３０２６】
ステップＳ１００７では、電源の遮断前（電断前）の状態に復帰するか否かの判定を行い、電断前の状態に復帰しない場合（パチンコ機１００を初期状態にする場合）にはステップＳ１０１１に進み、電断前の状態に復帰する場合にはステップＳ１００９に進む。
【３０２７】
具体的には、最初に、電源基板に設けた操作部を遊技店の店員などが操作した場合に送信されるＲＡＭクリア信号がオン（操作があったことを示す）であるか否か、すなわちＲＡＭクリアが必要であるか否かを判定し、ＲＡＭクリア信号がオンの場合（ＲＡＭクリアが必要な場合）には、パチンコ機１００を初期状態にすべくステップＳ１０１１に進む。一方、ＲＡＭクリア信号がオフの場合（ＲＡＭクリアが必要でない場合）は、ＲＡＭに設けた電源ステータス記憶領域に記憶した電源ステータスの情報を読み出し、この電源ステータスの情報がサスペンドを示す情報であるか否かを判定する。そして、電源ステータスの情報がサスペンドを示す情報でない場合には、パチンコ機１００を初期状態にすべくステップＳ１０１１に進み、電源ステータスの情報がサスペンドを示す情報である場合には、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出し、算出したチェックサムの結果が特定の値（例えば０）であるか否か（チェックサムの結果が正常であるか否か）を判定する。そして、チェックサムの結果が０の場合（チェックサムの結果が正常である場合）には電断前の状態に復帰すべくステップＳ１００９に進み、チェックサムの結果が０以外である場合（チェックサムの結果が異常である場合）には、パチンコ機１００を初期状態にすべくステップＳ１０１１に進む。同様に電源ステータスの情報が「サスペンド」以外の情報を示している場合にもステップＳ１０１１に進む。
【３０２８】
ステップＳ１００９では、復電時処理を行う。この復電時処理では、ＲＡＭの記憶領域のうち、復電時にクリアすべき記憶領域（コマンドを格納するためのコマンドバッファ、エラー状態を記憶するためのエラーステータスなどを除く記憶領域）の初期化などを行う。
【３０２９】
ステップＳ１０１１では、初期化処理を行う。この初期化処理では、割込み禁止の設定、スタックポインタへのスタック初期値の設定、ＲＡＭの所定の領域（例えば、全ての記憶領域）の初期化などを行う。
【３０３０】
ステップＳ１０１３では、初期設定３を行う。この初期設定３では、割込み許可の設定などを行う。
【３０３１】
ステップＳ１０１５では、主制御部３００から入力したデータの中に未解析データがあるか無いかを判定し、未解析データがある場合にはステップＳ１０１７でコマンド解析処理を行い、未解析データがない場合にはステップＳ１０１９に進む。
【３０３２】
ステップＳ１０１９では、低電圧信号がオフであるか否かを監視し、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１０１５に戻り、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１０２１に進む。
【３０３３】
ステップＳ１０２１では、電断時処理を行う。この電断時処理では、ＲＡＭに設けたスタックポインタ退避領域に現在のスタックポインタの値を記憶し、上述の電源ステータス記憶領域にサスペンドを示す情報を設定する。また、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算し、チェックサム算出用数値記憶領域に記憶している値からその加算した結果を減算した値をチェックサム（電断時チェックサム）として算出し、算出した電断時チェックサ

ムを上述のチェックサム算出用数値記憶領域に記憶し、ＲＡＭへの書き込みを禁止する設定などを行う。

【３０３４】

ステップＳ１０２３では、低電圧信号がオンであるか否かを監視し、低電圧信号がオンの場合（電源の遮断を検知した場合）にはステップＳ１０２３の処理を繰返し実行して低電圧信号がオフになるのを待ち、低電圧信号がオフの場合（電源の遮断を検知していない場合）にはステップＳ１００１に戻り、メイン処理を最初から開始する。

【３０３５】

次に、同図（ｂ）を用いて、球数制御部６００のコマンド受信割込みについて説明する。このコマンド受信割込みは、球数制御部６００が、主制御部３００が出力するストローブ信号を検出した場合に実行する処理である。コマンド受信割込処理のステップＳ１１０１では、主制御部３００が出力したコマンドを未処理コマンドとしてＲＡＭに設けたコマンド記憶領域に記憶する。

＜球数制御部割込み処理＞

【３０３６】

次に、図３１０を用いて、球数制御部６００のＣＰＵが実行する球数制御部割込み処理について説明する。なお、同図は、球数制御部割込みの流れを示すフローチャートである。

【３０３７】

球数制御部６００は、所定の周期（本実施形態では２ｍｓに１回）でタイマ割込みを発生するカウンタタイマを備えており、このタイマ割込みを契機として球数制御部割込み処理を所定の周期で開始する。

【３０３８】

ステップＳ１２０１では、ポート入力処理を行う。このポート入力処理では、Ｉ／Ｏポートの値を取得して、入力ポートの状態（信号レベルやエッジ状態）を更新し、各種センサ６０４の状態などを検出する。具体的には、管理装置６２０からインターフェース部６０６を介して入力する各種信号の状態、球磨き装置６１２、揚上装置６１４、球送り装置６１６などから入力する信号（各種センサ６０４の状態）、減算センサ６０４Ｚ、入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋなどから入力する信号、ＲＷＭクリアスイッチ１８０から入力する信号、エラー解除スイッチ１６８から入力する信号、主制御部３００と球数制御部６００を接続する主制御接続確認信号の状態などを取得して、例えば、信号を検出した場合は「１」、非検出の場合は「０」などのフラグを、ＲＡＭに各信号に対応して設けた入力信号情報記憶領域に記憶する。

【３０３９】

また、計数ボタン６５２の押下によって入力する信号も取得し、当該信号を検出した場合は計数ボタン６５２用の入力信号情報記憶領域に「１」が設定されるとともに、計数球数を記憶する。

【３０４０】

なお、本ステップにおいて、遊技領域１２４への投入および排出の球検出センサ６０４Ｂ（減算センサ６０４Ｚ、入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋ）に機内球７１０が通過したことが検出される。この場合の球検出センサ６０４Ｂの信号検出も、主制御部タイマ割込処理（図３０６）の、ステップＳ２０５で説明した方法により行う。すなわち、各々の球検出センサ６０４Ｂにおける過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定し、一致した場合に対応する入力信号情報記憶領域に「１」を設定する。なお、入賞判定パターン情報は、過去２回分の検出信号の有無の情報で構成してもよいし、球検出センサ６０４Ｂごとに（判定の重要度に応じて）異ならせてもよい。

【３０４１】

ステップＳ１２０３では、タイマ更新処理を行う。このタイマ更新処理では、賞球付与の報知用ＬＥＤの点灯／消灯時間、モータ駆動／非駆動時間などを計時するためのタイマ

などを含む各種タイマを更新する。
【３０４２】
ステップＳ１２０４では、シリアルコマンド管理処理を行う。これについては後述する。
【３０４３】
ステップＳ１２０５では、エラー管理処理を行う。このエラー管理処理では、各種エラーが発生しているか否かを判定し、ＲＡＭに設けたエラーステータス記憶領域にエラーに関する情報を記憶する。
【３０４４】
ステップＳ１２０７では、エラー解除スイッチ監視処理を行う。すなわち、上記ステップＳ１２０１のポート入力処理で取得したエラー解除スイッチ１６８の状態に基づいて、エラー解除スイッチ１６８が押下され、エラーフラグがセットされている場合は、エラーフラグをクリアする。
【３０４５】
ステップＳ１２０９では、管理装置通信処理を行う。この管理装置通信処理では、管理装置６２０からインターフェース部６０６を介して入力する各種信号の状態に基づいて、管理装置６２０と双方向の通信を行い、例えば、球数制御部６００から管理装置６２０へ遊技球数情報を送信や、管理装置６２０から球数制御部６００に球貸要求情報の送信を行う。球数制御部６００は、管理装置６２０から球貸要求情報を受信した場合、ＲＡＭの貸球球数記憶領域に記憶されている数値に貸球数を加算する。
【３０４６】
ステップＳ１２１１では、遊技球数設定処理を行う。この遊技球数設定処理では、上述のエラーステータス記憶領域から、乱数クロック異常を示す情報等を読み出し、いずれのエラーも発生していない場合に、遊技球数設定処理を行う。いずれかのエラーが発生している場合には、主制御部３００からの賞球数の情報（賞球コマンド）、管理装置６２０からの球貸要求情報、球数要求情報を受付けないようにしている。
【３０４７】
遊技球数設定処理では、上述のポート入力処理（ステップＳ１２０１）で検出した球検出センサ６０４Ｂ（減算センサ６０４Ｚ、入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋ）と、主制御部タイマ割込みの賞球コマンド送信処理ステップ（図３０６のステップＳ２１９）によって主制御部３００から送信される賞球コマンド、計数球数記憶領域に記憶されている計数球数、貸球数記憶領域に記憶されている貸球数、再プレイ球数記憶領域に記憶されている再プレイ球数、イン球数記憶領域に記憶されているイン球数などに応じて、遊技球数を更新するが、これについては後述する。
【３０４８】
ステップＳ１２１３では、ＬＥＤ処理を行う。このＬＥＤ処理では、パチンコ機１００がエラー状態になった場合に、エラーが発生していることを遊技者に報知するためのＬＥＤ（例えば、パチンコ機１００の上部に配設されたＬＥＤや、遊技盤２００の背面側に設けられた基板表示部６３０）を点灯させるとともに、エラーが解消した場合には、そのＬＥＤを消灯させる。例えば、入賞数異常エラーフラグがセットされている場合には、入賞数異常エラーが発生していることを遊技者に報知するためのＬＥＤを点灯させるとともに、入賞数異常エラーフラグがクリアされた場合には、そのＬＥＤを消灯させる。
【３０４９】
ステップＳ１２１５では、信号出力管理処理を行う。この信号出力管理処理では、例えば、後述する出力信号記憶領域に記憶されている出力情報に基づいて、管理装置６２０に向けてＥＸＳ信号を出力する。具体的には、出力信号記憶領域に「要求了解」の出力情報が記憶されている場合には、ＥＸＳ信号としてＬｏｗの信号を出力し、出力信号記憶領域に「貸出完了」の出力情報が記憶されている場合には、ＥＸＳ信号としてＨｉの信号を出力する。また、ＲＡＭに記憶している遊技情報を、情報出力回路３３４を介してパチンコ機１００とは別体の情報入力回路６５２に出力する。

＜遊技球数設定処理＞
【３０５０】
次に、遊技球数設定処理について説明する。遊技球数は、例えば以下の式１により算出される。
【３０５１】
更新後遊技球数＝更新前遊技球数＋貸球数＋賞球数＋再プレイ球数－イン球数－計数球数　（式１）
【３０５２】
遊技球数制御部６００は、数球数制御部６００のＲＡＭに、貸球数記憶領域、賞球数記憶領域、イン球数記憶領域、計数球数記憶領域、再プレイ球数記憶領域、を設けている。更新前遊技球数は、更新前に遊技球数記憶領域に記憶されている数値（遊技球数）である。
【３０５３】
例えば、上記のステップＳ１２０１において、減算センサ６０４Ｚで機内球７１０の通過が検出された場合には、減算センサ６０４Ｚ用の入力信号情報記憶領域にフラグ「１（オン）」が設定される。遊技球数設定処理ではこのフラグを判定し、オンの場合は、イン球数記憶領域に記憶されている値を読出し１を加算して元のイン球数記憶領域に記憶する。
【３０５４】
また、例えばステップＳ１２０１において、入賞検出センサ６０４Ｓで機内球７１０の通過が検出された場合、入賞検出センサ６０４Ｓ用の入力信号情報記憶領域にフラグ「１（オン）」が設定される。遊技球数設定処理ではこのフラグを判定しオンの場合には、賞球数記憶領域に記憶されている値を読出し、主制御部３００から受信した賞球コマンドの賞球数を加算して元の賞球数記憶領域に記憶する。
【３０５５】
また、例えばステップＳ１２０１において、計数ボタン６５２の押下が検出された場合、計数ボタン６５２用の入力信号情報記憶領域に「１（オン）」が設定されるとともに、計数球数が記憶される。遊技球数設定処理ではこのフラグを判定しオンの場合には、計数球数記憶領域に記憶されている数値を読出し、計数球数を加算して元の計数球数記憶領域に記憶する。
【３０５６】
尚、球貸ボタン１４０が押下された場合には、例えばステップＳ１２０９のＩＵ通信処理において、貸球球数記憶領域に貸球数が加算される。また、再プレイボタン１４６が押下された場合には、例えばステップＳ１２０９のＩＵ通信処理において、再プレイ数球数記憶領域に記憶されている数値を読出し、再プレイ球数を加算して元の再プレイ球数記憶領域に記憶されている。
【３０５７】
そして、貸球数記憶領域、賞球数記憶領域、イン球数記憶領域、計数球数記憶領域、再プレイ球数記憶領域および遊技球数記憶領域に記憶されている数値を用いて式１により更新後遊技球数を算出し、元の遊技球数記憶領域に記憶することで、遊技球数を更新する。また、遊技球数記憶領域の（更新後の）遊技球数を、球数表示部６４０に表示する。
【３０５８】
例えば、機内球７１０の発射直後で、球数ＵＩ部６８０の操作がされておらず、またいずれの入賞口等にも入賞していない状態では、イン球数記憶領域のみに「１」が記憶され、貸球数記憶領域、賞球数記憶領域、計数球数記憶領域、再プレイ球数記憶領域に記憶されている値は「０」である。その状態で遊技球数が更新されると、更新前遊技球数から１が減算され、その更新後遊技球数が遊技球数記憶領域に設定されるとともに球数表示部６４０に表示される。これにより、機内球７１０の１個の発射で、発射可能な遊技球数が１つ減ったことを遊技者に報知できる。
【３０５９】

遊技球数の更新後は、貸球数記憶領域、賞球数記憶領域、イン球数記憶領域、計数球数記憶領域、最プレイ球数記憶領域の数値および、ステップＳ１２０１で設定する減算センサ６０４Ｚ用の入力信号情報記憶領域、入賞検出センサ６０４Ｓ用および非入賞検出センサ６０４Ｋ用の入力信号情報記憶領域、計数ボタン６５２用の入力信号情報記憶領域にそれぞれ「０」を設定（フラグをオフに）する。

【３０６０】

なお、賞球数については、例えば賞球数記憶領域を複数準備し、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋ用の入力信号情報記憶領域を複数準備してもよい。１つの賞球数記憶領域には主制御部３００から受信した１つの賞球コマンドに基づく賞球数を記憶し、複数の賞球数を蓄積的に記憶する。また、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋで検出する毎に、入力信号情報記憶領域にフラグを設定する。フラグは例えば、入賞検出センサ６０４Ｓで検出した場合は「オン」、非入賞検出センサ６０４Ｋで検出した場合は「オフ」というように、これらを蓄積的に記憶する。そして、遊技球数設定処理において、これらを順次比較し、入力信号情報記憶領域のフラグが「オン」の場合に賞球数記憶領域の賞球数を取得して、式１にて算出するものであってもよい。

【３０６１】

尚、球数制御部６００は、領域内球数がゼロの場合でも、主制御部３００から球数制御部６００に賞球コマンドが送信されている場合には、球数制御部６００は遊技球数を更新するものとしてもよい。

【３０６２】

また、主制御部３００から球数制御部６００に賞球コマンドが送信された後、非入賞検出センサ６０４Ｋにおいて機内球７１０が検出され、その結果、領域内球数がゼロになった場合でも、球数制御部６００は、遊技球数を更新するものとしてもよい。

【３０６３】

また、主制御部３００から球数制御部６００に賞球コマンドが送信された後、入賞検出センサ６０４Ｓにおいて機内球７１０が検出される以前であっても、球数制御部６００は、遊技球数を更新するものとしてもよい。

【３０６４】

また球数制御部６００は、主制御部３００から始動口（第１特図始動口２３０、第２特図始動口２３２）への入賞を報知する賞球コマンドを受信した場合は、領域内球数がゼロであっても、主制御部３００にそれぞれの始動口に対応した図柄変動遊技を開始させるように構成されてもよい。

【３０６５】

また球数制御部６００は、主制御部３００から始動口（第１特図始動口２３０、第２特図始動口２３２）への入賞を報知する賞球コマンドを受信した後に、非入賞検出センサ６０４Ｋにおいて機内球７１０が検出され、その結果、領域内球数がゼロになった場合でも、主制御部３００にそれぞれの始動口に対応した図柄変動遊技を開始させるように構成されてもよい。

【３０６６】

また、球数制御部６００は、主制御部３００から始動口（第１特図始動口２３０、第２特図始動口２３２）への入賞を報知する賞球コマンドを受信した後、入賞検出センサ６０４Ｓにおいて機内球７１０が検出される以前であっても、主制御部３００にそれぞれの始動口に対応した図柄変動遊技を開始させるように構成されてもよい。

【３０６７】

また、球数制御部６００は、主制御部３００から普図始動口２２８への入賞を報知する賞球コマンドを受信した場合は、領域内球数がゼロであっても、主制御部３００に普図変動遊技を開始させるように構成されてもよい。

【３０６８】

また球数制御部６００は、主制御部３００から普図始動口２２８への入賞を報知する賞球コマンドを受信した後に、非入賞検出センサ６０４Ｋにおいて機内球７１０が検出され

、その結果、領域内球数がゼロになった場合でも、主制御部３００に普図変動遊技を開始させるように構成されてもよい。
【３０６９】
また、球数制御部６００は、主制御部３００から普図始動口２２８への入賞を報知する賞球コマンドを受信した後、入賞検出センサ６０４Ｓにおいて機内球７１０が検出される以前であっても、主制御部３００に普図変動遊技を開始させるように構成されてもよい。
【３０７０】
さらに、ここでは遊技球数の更新処理を、球数制御部割込み処理で行う場合を例に説明したが、主制御部割込み処理で行うものであってもよい。
＜パチンコ機と管理装置の通信手順＞
【３０７１】
本実施形態の球数制御部６００は、例えば遊技者の計数ボタンの押下や、返却ボタン１４２のタッチなどによって、遊技球の量（遊技球数、計数球数など）に関する情報を管理装置６２０に送信することを指令された場合、遊技領域１２４に機内球７１０が存在しており、遊技領域１２４の機内球７１０が全て排出される以前であっても（領域内球数が存在する場合であっても）、遊技球の量に関する情報を管理装置６２０に送信することが可能である。
【３０７２】
また、遊技球の量に関する情報とは、遊技球数情報、計数情報が含まれ、より具体的には、遊技球数、計数球数、持ち球数、ＩＣカードに記憶されている貯球あるいは、ＩＣカードに記憶されて遊技球に交換可能な電子マネーの残高などである。この残高は、ＩＣカードから読み出した残高またはＩＣカードに記憶させる残高等でもよい。また貯球とは、ＩＣカードから読み出した貯球またはＩＣカードに記憶させる貯球でもよい。ＩＣカードは、例えば、会員カードとして遊技者の個人情報が登録できるものであってもよい。
【３０７３】
また、球数制御部６００は、例えば遊技者の計数ボタン６５２の押下や、返却ボタン１４２のタッチによって、遊技球の量に関する情報を管理装置６２０に送信することを指令された場合、その時点で発射レール６２４に搬送されている機内球７１０の発射装置６２２による発射を待機し、発射後に遊技球の量に関する情報を管理装置６２０に送信することが可能である。
【３０７４】
また、球数制御部６００は、遊技者からＩＣカードの返却指定を管理装置６２０に送信することを指令された場合（返却ボタン１４２がタッチされた場合）、遊技領域１２４に機内球７１０が存在していても、遊技球の量に関する情報を管理装置６２０に送信することが可能である。
【３０７５】
具体的に例を挙げて説明すると、例えば計数ボタン６５２が押下されたことを球数制御部６００が検出した場合、その時点で、発射準備中の機内球７１０の有無によらず、また、遊技領域１２４に機内球７１０が存在していても（発射した機内球７１０の入賞が確定する以前であっても）、遊技球数から計数球数を減算し、更新後の遊技球数、計数球数などを含む情報（計数情報）を管理装置６２０に送信する。
【３０７６】
遊技領域１２４を落下する機内球７１０が全て排出されるまでは所定の時間がかかるが、このようにすることで、速やかに当該情報をＩＣカードに記録することができるので、例えばＩＣカードの返却指示があった場合等に、速やかに返却することが可能となる。
【３０７７】
また、球数制御部６００が例えば計数ボタン６５２が押下されたこと検出した場合、その時点で（あるいは押下を検出後、最初に）発射レール６２４に準備されている機内球７１０の発射が完了するまで待機し、発射完了後に遊技球数から１を減算し、更に計数球数を減算する。そして減算後の遊技球数、計数球数などを含む情報（計数情報）を管理装置

６２０に送信するものとしてもよい。この場合も、球数制御部６００は、遊技領域１２４に機内球７１０が存在していても（発射した機内球７１０の入賞が確定する以前であっても）、計数情報を管理装置６２０に送信することができる。

【３０７８】

このようにすることで、速やかに当該情報のＩＣカードへの記録は可能としつつ、操作検出時に準備されている機内球７１０は消費したものとして遊技球数に反映されるので、正確な遊技球数を送信できる。

【３０７９】

しかしこれに限らず、球数制御部６００は計数ボタン６５２の操作があったこと検知した場合、機内球７１０が遊技領域１２４から全て排出された後（入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋによる機内球７１０の通過の検出があった後）、計数情報を管理装置６２０に送信するものであってもよい。この場合、その時点の遊技球数から操作検出時（あるいはその直後の）機内球７１０の発射分と、計数球数の減算は行って遊技球数を更新するが、遊技領域１２４に残存する機内球７１０がある場合には、それらの入賞判定を待たずに（賞球数を加算せずに）計数情報を送信するものとしてもよい。発射した機内球７１０の数とその排出の数を検出することで、循環する機内球７１０が正常であることを確認した上で、計数情報を管理装置６２０に送信できる。

【３０８０】

また、球数制御部６００は、計数ボタン６５２の操作があったこと検知した場合、機内球７１０が遊技領域１２４から全て排出され、これらのうちで入賞したものがあれば、操作検出時の遊技球数から発射された機内球７１０分（１個）と計数球数の減算を行い、且つすべての入賞口等に対応する賞球の付与（賞球数の加算）がされた後に、計数情報を管理装置６２０に送信するものとしてもよい。このようにすることで、正確な遊技球数を管理装置６２０に送信することができる。

【３０８１】

また、球数ＵＩ部６８０は、返却ボタン１４２のタッチがあった時点で遊技領域１２４に機内球７１０が残っていても、返却操作情報を管理装置６２０に送信可能とする。また当該返却操作情報を受信した管理装置６２０が球数要求情報を球数制御部６００に送信した場合、球数制御部６００では、その時点で、発射準備中の機内球７１０があっても、また、遊技領域１２４に機内球７１０が残っていても、その時に主制御部３００から受信している賞球コマンドがあればその賞球数を遊技球数に加算し、遊技球数情報を管理装置６２０に送信可能とする。遊技領域１２４に機内球７１０が存在している場合、全ての機内球７１０が排出されるまでは所定の時間がかかるが、これにより、速やかにＩＣカードの返却が可能となる。

【３０８２】

あるいは、返却操作情報を受信した管理装置６２０が球数要求情報を球数制御部６００に送信した場合、球数制御部６００は、その時点で（あるいは操作を検知後、最初に）発射レール６２４に準備されている機内球７１０の発射が完了するまで待機し、発射完了後に遊技球数から１を減算し、その時に主制御部３００から受信している賞球コマンドがあればその賞球数を遊技球数に加算し、遊技球数情報を管理装置６２０に送信するものとしてもよい。この場合、遊技領域１２４に機内球７１０が残存していても（発射した機内球７１０の入賞が確定する以前であっても）、遊技球数情報を管理装置６２０に送信することができる。このようにすることで、ＩＣカードの速やかな返却が可能となる上、正確な遊技球数を送信できる。

【３０８３】

しかしこれに限らず、球数制御部６００は球数ＵＩ部６８０の操作があったこと検知した場合、機内球７１０が遊技領域１２４から全て排出された後（入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋによる機内球７１０の通過の検出があった後）、遊技球数を管理装置６２０に送信するものであってもよく、この場合、遊技球数から最後に発射された機内球７１０の減算とその時に主制御部３００から受信している賞球コマンドがあれば

その賞球数の加算は行って遊技球数を更新するが、遊技領域１２４に残存する機内球７１０がある場合には、それらの入賞判定を待たずに（賞球数を加算せずに）遊技球数を送信するものとしてもよい。発射した機内球７１０の数とその排出した数を検出することで、循環する機内球７１０が正常であることを確認した上で、遊技球数情報を管理装置６２０に送信できる。

【３０８４】

また、球数制御部６００は、球数ＵＩ部６８０の操作があったこと検知した場合、操作検出時の遊技球数から発射された機内球７１０の減算を行い、機内球７１０が遊技領域１２４から全て排出され、これらのうちで入賞したものがあれば、すべての入賞口等に対応する賞球の付与がされた後に、遊技球数情報を管理装置６２０に送信するものとしてもよい。このようにすることで、正確な遊技球数を管理装置６２０に送信することができる。

【３０８５】

また、球数制御部６００は、返却ボタン１４２が操作されてから、所定時間以内に計数ボタン６５２の操作があった場合、遊技球数記憶領域の遊技球数のすべてを計数球数とした計数情報（または計数情報を含む遊技球数情報）を管理装置６２０に通知し（遊技球数記憶領域の遊技球数は０）、管理装置６２０は、貯球数等をＩＣカードに記憶した後、ＩＣカードを返却する構成としてもよい。

【３０８６】

また、球数制御部６００は、計数ボタン６５４操作後に返却ボタン１４２が操作された場合は、その時点の遊技球数から計数球数を減算した新たな遊技球数と計数球数を遊技球数情報として管理装置６２０に送信してもよい。管理装置６２０は、遊技球数情報のうち、計数球数（貯球数）をＩＣカードに記憶した後、ＩＣカードを返却する。

【３０８７】

また、遊技者が挿入したＩＣカードとは異なる他のＩＣカードを返却する構成としてもよい。例えば、所定の記憶球数が記憶された第１のＩＣカードが遊技者によって管理装置６２０に挿入され、遊技が行われることで球数制御部６００の遊技球数記憶領域に所定の遊技球数が記憶された状態で、計数ボタン６５４を押下することなくＩＣカードの返却が指定された場合には、これとは別の第２のＩＣカードを返却する構成としてもよい。第２のＩＣカードは、例えば管理装置６２０に備える新たなＩＣカードでもよいし、第１のＩＣカードとは別に（第１のＩＣカードの挿入後に）管理装置６２０に挿入されたＩＣカードでもよい。この場合の第２のＩＣカードは、遊技者が所持するＩＣカードでもよいし、第三者の所持するＩＣカードでもよい。

【３０８８】

一例を挙げると以下の通りである。遊技開始時に管理装置６２０内の第１のＩＣカードに記憶されている記憶球数は１５個である。遊技者が球貸ボタン１４０をタッチし、例えば１０個の球貸しを受ける。パチンコ機１００の球数制御部６００の遊技球数記憶領域に記憶されている遊技球数が１０個（遊技開始時には０個）となり、ＩＣカード内の記憶球数は５個となる。遊技者が計数ボタン６５２を押下することなく、返却ボタン１４２をタッチすると、５個の記憶球数が記憶された第１のＩＣカードが返却される。遊技者は第１のＩＣカードとは別に、２０個の記憶球数が記憶されて第２のＩＣカードを有しており、これを管理装置６２０に挿入し、計数ボタン６５２を押下し、例えば１０個の計数操作を行う。これにより、管理装置６２０に挿入されている第２のＩＣカードの記憶球数は、３０個となる。遊技者が返却ボタン１４２をタッチすると、第２のＩＣカードが返却される。

【３０８９】

また、例えば、所定の持ち球数が記憶された第１のＩＣカードが遊技者によって管理装置６２０に挿入され、遊技が行われ、球数制御部６００の遊技球数記憶領域に所定の遊技球数が記憶された状態で、計数ボタン６５４を押下することなく、ＩＣカードの返却が指定された場合には、第１のＩＣカードを返却するとともに、これとは別の第２のＩＣカードに現在の遊技球数を記憶して返却する構成としてもよい。第２のＩＣカードは、例えば

管理装置６２０に備える新たなＩＣカードでもよいし、第１のＩＣカードとは別に（第１のＩＣカードの挿入後に）管理装置６２０に挿入されたＩＣカードでもよい。この場合の第２のＩＣカードは、遊技者が所持するＩＣカードでもよいし、第三者の所持するＩＣカードでもよい。

【３０９０】

一例を挙げると以下の通りである。遊技開始時に管理装置６２０内の第１のＩＣカードに記憶されている記憶球数は１５個である。遊技者が球貸ボタン１４０をタッチし、例えば１０個の球貸しを受ける。パチンコ機１００の球数制御部６００の遊技球数記憶領域に記憶されている遊技球数が１０個（遊技開始時には０個）となり、ＩＣカード内の記憶球数は５個となる。遊技者が計数ボタン６５２を押下することなく、返却ボタン１４２をタッチすると、５個の記憶球数が記憶された第１のＩＣカードが返却される。遊技者は管理装置６２０にＩＣカードを挿入することなく、計数ボタン６５２を押下し、例えば１０個の計数操作を行う。これにより、管理装置６２０が備える新品の第２のＩＣカードに１０個の記憶球数が記憶され、当該第２のＩＣカードが返却される。

＜パチンコ機と管理装置の通信手順の具体例＞

【３０９１】

図３１１から図３１５を参照して、パチンコ機１００の球数制御部６００および球数ＵＩ部６８０と、管理装置６２０との通信手順の具体例について説明する。

【３０９２】

まず図３１１は、遊技開始時など、ＩＣカードが管理装置６２０に挿入され、球貸操作が行われる場合のパチンコ機１００と管理装置６２０の通信手順を示すシーケンスチャートである。

【３０９３】

管理装置６２０に電子マネーがチャージされたＩＣカードが挿入されると（１）、管理装置６２０はチャージ金額（残高）と交換可能な遊技球数（貸球数の上限、例えば５００個）を算出し、当該遊技球数を球数ＵＩ部６８０に球数更新指令として送信する（２）。球数更新指令に基づき球数ＵＩ部６８０は、画像表示部６５６に、貯球数および残高を報知する画像を表示するとともに、操作可能なボタン（球貸ボタン１４０、返却ボタン１４２等）を明るく表示するなどして、遊技者に入力を促す。球数ＵＩ部６８０は、遊技者が例えば入力操作部６５４の球貸ボタン１４０をタッチしたことを検出した場合（３）、球貸ボタン１４０の押下回数や押下時間などに応じた貸球の情報（球貸操作情報）を管理装置６２０に送信する（４）。球貸操作情報を受信した管理装置６２０は、要求された貸球数（例えば、１００個）をＩＣカードに記憶された貯球数または残高から貸し出すこと（球貸要求情報）を球数制御部６００に送信する（５）。球貸要求情報を受信した球数制御部６００は、要求された貸球数を遊技球数に加算し、球数表示部６４０に表示する。遊技開始時には球数制御部６００の遊技球数記憶領域の遊技球数は初期化されており、最初の球貸操作で要求された貸球数が遊技球数として球数制御部６００の遊技球数記憶領域に記憶される。管理装置６２０は、球貸操作によって変更が生じた、遊技球数に関する各種情報（例えば、貯球数や残高）を球数更新指令として、球数ＵＩ部６８０に送信する（６）。球数ＵＩ部６８０は、球数更新指令に基づき、画像表示部６５６にそれぞれの情報を表示する。

【３０９４】

図３１２は、ＩＣカードが管理装置６２０に挿入された状態において、遊技者から遊技球数に関する情報を管理装置６２０に送信する指令を受付けた場合のパチンコ機１００と管理装置６２０の通信手順を示すシーケンスチャートであって、遊技球数に関する情報が、ＩＣカードの返却指示である場合を示す。

【３０９５】

パチンコ機１００は、遊技者から、ＩＣカードの返却の指示を受付けた場合、すなわち、ＩＣカードの返却に際し、球数制御部６００の遊技球数記憶領域の遊技球数（遊技球数情報）を管理装置６２０に送信する指示（球数要求情報）を受付けた場合、遊技領域１２

４に残存する機内球７１０の有無にかかわらず、遊技球数情報を管理装置６２０に送信し、ＩＣカードの返却を可能とする。ここでは一例として、遊技球数情報は、返却操作があった時点で（あるいはその直後に）発射レール６２４に準備されている機内球７１０の発射が完了するに十分な時間を待機する遅延処理を行った後、管理装置６２０に送信する場合のタイミングチャートを示している。

【３０９６】

球数ＵＩ部６８０は、ＩＣカードが管理装置６２０に挿入され（図示省略）、管理装置６２０が球数更新指令を球数ＵＩ部６８０に送信している状態（図示省略）で、球数ＵＩ部６８０が返却ボタン１４２のタッチがあったことを検出すると（１）、返却操作情報を管理装置６２０に送信し（２）、管理装置６２０は、最新の遊技球数の情報を得るため、球数要求情報を球数制御部６００に送信する（３）。ここで、球数要求情報は、遊技終了要求情報としてもよく、以下の説明においても同様である。球数制御部６００は、タイマなどを用いた遅延処理などによって、球数要求情報を受信した時点で（あるいは受信後最初に）発射レール６２４に準備されている機内球７１０の発射が完了するまでの十分な時間（例えば発射された機内球７１０が遊技領域１２４から排出されるまでの最長時間）が経過したと判断した後に、遊技球数から発射した１個を減算して、更新された遊技球数を遊技球数情報（５）として管理装置６２０に送信する。

【３０９７】

一方で、球数制御部６００は、遊技領域１２４の領域内球数の有無によらず、遊技球数情報を管理装置６２０に送信可能である（４）（５）。遊技球数情報を受信した管理装置６２０は、貯球数等をＩＣカードに記憶してこれを返却する（６）。また管理装置６２０は、更新された遊技球数に関する情報を球数更新指令として球数ＵＩ部６８０に送信する（７）。球数ＵＩ部６８０は、画像表示部６５６に更新された遊技球数に関する情報を表示する。

【３０９８】

たとえば、返却ボタン１４２の操作があった場合、発射レールに準備されている機内球７１０の発射を完了してから遊技球数情報を管理装置６２０に送信し、ＩＣカードを返却する仕様となっている場合、返却ボタン１４２をタッチしたにもかかわらず、遊技者が球発射ハンドル１３４を操作しないでいると、ＩＣカードが返却されない場合がある。このような場合、機内球７１０が発射され遊技領域１２４から排出される最長時間の経過後には、実際の発射がなくても発射されたとみなして、遊技球数を１個減算して遊技球数情報を管理装置６２０に送信することで、ＩＣカードを返却することができる。

【３０９９】

図３１３は、図３１２と同様に、ＩＣカードが管理装置６２０に挿入された状態において、遊技者から遊技球数に関する情報を管理装置６２０に送信する指令を受付けた場合のパチンコ機１００と管理装置６２０の通信手順を示すシーケンスチャートであって、遊技球数に関する情報が、球貸し操作指示および、ＩＣカードの返却指示である場合を示す。

【３１００】

この場合も、球数要求情報を受信した球数制御部６００は、発射準備されている遊技球の発射が完了した後、遊技球数情報を管理装置６２０に送信する例を示すが、発射の完了は、図３１２で示した遅延処理に替えて、減算センサ６０４Ｚにて検出する場合について説明する。

【３１０１】

例えば、ＩＣカードが管理装置６２０に挿入されると（１）、管理装置６２０が貸出可能な遊技球数の情報を含む球数更新指令を球数ＵＩ部６８０に送信する（２）。球数更新指令に基づき、画像表示部６５６に貯球数等が表示されるとともに、球数更新指令を受信した球数ＵＩ部６８０は、操作可能なボタンを明るく表示するなどして、遊技者に入力を促す。球数ＵＩ部６８０は、遊技者が例えば入力操作部６５４の球貸ボタン１４０をタッチしたことを検出した場合（３）、球貸ボタン１４０に対応する貸球数の情報を含む球貸操作情報を管理装置６２０に送信する（４）。球貸操作情報を受信した管理装置６２０は

、球数制御部６００に、貸球数の情報を含む球貸要求情報を送信する（５）。球貸要求情報を受信した球数制御部６００は、貸球数を遊技球数に加算する。また、管理装置６２０は、貸球によって更新された遊技球数に関する情報を、球数更新指令として球数ＵＩ部６８０に送信する（６）。

【３１０２】

球貸しを受けた遊技者は、例えば、遊技の開始に際して球数ＵＩ部６８０（画像表示部６５８）の表示画像を遊技領域１２４の装飾図柄表示装置２０８に表示される画像に切り替えたい場合、球数ＵＩ部６８０の切替ボタン１４４をタッチする。球数制御部６００がこれを検出すると（７）、例えば、第２副制御部５００がおよび管理装置６２０が表示装置切替部６７０を制御して、画像表示部６５８の画像を切り替える。

【３１０３】

遊技者が遊技を開始し、球発射ハンドル１３４が操作されると、機内球７１０が遊技領域に発射される。これが減算センサ６０４Ｚで検出され（８）、以降遊技が続けられる。遊技中に、遊技者が返却ボタン１４２をタッチしたことを球数ＵＩ部６８０が検出した場合（９）、球数ＵＩ部６８０は、ＩＣカードを返却する指示（返却操作情報）を管理装置６２０に送信する（１０）。返却操作情報を受信した管理装置６２０は、球数制御部６００に球数要求情報を送信する（１１）。球数要求情報を受信した球数制御部６００は、その時点で発射レール６２４に準備された（あるいはその後最初に発射レール６２４に準備される）機内球７１０の発射を待機する。すなわち、球数制御部６００は、発射の準備がされている１個の機内球７１０の発射を検出した（減算センサ６０４Ｚで機内球７１０の通過を検出した）後（１２）遊技球数から１個を減算し、更新した遊技球数を遊技球数情報として管理装置６２０に送信する（１３）。一方で、球数制御部６００は、領域内球数の有無によらず、遊技球数情報を管理装置６２０に送信可能である。遊技球数情報を受信した管理装置６２０は、貯球数等をＩＣカードに記憶し、これを返却する（１４）。また管理装置６２０は、更新された遊技球数に関する情報を球数更新指令として球数ＵＩ部６８０に送信する（１５）。球数ＵＩ部６８０は、更新された遊技球数に関する情報を画像表示部６５６に表示する。

【３１０４】

図３１４は、ＩＣカードが管理装置６２０に挿入され、遊技者から遊技球数に関する情報を管理装置６２０に送信する指令（例えば計数ボタン６５２の押下）を受付けた場合のパチンコ機１００と管理装置６２０の通信手順を示すシーケンスチャートである。

【３１０５】

パチンコ機１００は、遊技者から管理装置６２０に送信する遊技球数に関する指令として、計数ボタン６５２の押下を受付けた場合も、領域内球数の有無や発射を待機する機内球７１０の有無にかかわらず、遊技球数に関する情報を管理装置６２０に送信可能とする。

【３１０６】

具体的に説明すると、管理装置６２０にＩＣカードが挿入され、例えば遊技が開始されている状態で、球数制御部６００が計数ボタン６５２の押下を検出すると（１）、計数ボタン６５２の押下回数や押下時間に応じた計数球数を計数情報として管理装置６２０に送信する（２）。この時、球数制御部６００は、遊技領域１２４の残存する機内球７１０の有無にかかわらず、遊技球数から計数球数を減じ、計数球数と減算後の遊技球数を含む計数情報を管理装置６２０に送信する。計数情報を受信した管理装置６２０は、ＩＣカードに貯球数および残高などを記憶するとともに更新された遊技球数に関する情報を球数更新指令として球数ＵＩ部６８０に送信する（３）。球数ＵＩ部６８０は、画像表示部６５６に更新された遊技球数に関する情報を表示する。

【３１０７】

図３１５は、計数ボタン６５２が押下された場合の他の形態を説明するための、パチンコ機１００と管理装置６２０の通信手順を示すシーケンスチャートである。

【３１０８】

球数制御部６００は、管理装置６２０への計数情報を送信する場合に、計数ボタン６５２操作時に（操作後最初に）発射レール６２４に準備されていた機内球７１０が発射完了となるまで待機した後に送信するものとしてもよい。

【３１０９】

例えば、ＩＣカードが管理装置６２０に挿入されると（１）、管理装置６２０が球数更新指令を球数ＵＩ部６８０に送信する（２）。球数更新指令に基づき画像表示部６５６に貯球数などを表示するとともに、球数更新指令を受信した球数ＵＩ部６８０は、操作可能なボタンを明るく表示するなどして、遊技者に入力を促す。球数ＵＩ部６８０は、遊技者が例えば入力操作部６５４の球貸ボタン１４０をタッチしたことを検出した場合（３）、球貸操作情報を管理装置６２０に送信する（４）。球貸操作情報を受信した管理装置６２０は、球数制御部６００に、球貸要求情報を送信する（５）。これを受信した球数制御部６００は、遊技球数に貸球数を加算する。管理装置６２０は、加算後の遊技球数に関する情報を、球数更新指令を球数ＵＩ部６８０に送信する（６）。貸球を受けた遊技者は、遊技開始にともない、例えば、入力操作部６５４の切替ボタン１４４を押下して（７）、画像表示部６５６に表示させる画像を、装飾図柄表示装置２０８の表示画像と同じ画像に切り替える。遊技者が球発射ボタン１３４を操作すると、機内球７１０が遊技領域１２４に発射され、これを減算センサ６０４Ｚが検出し（８）、以後遊技が行われる。

【３１１０】

遊技中に、計数ボタン６５２の操作があったことを球数制御部６００が検出した場合（９）、球数制御部６００は、計数球数を遊技球数から減算しこの情報を管理装置６２０に送信するが、ここでは、計数ボタン６５２の操作があった後に機内球７１０の発射を待機して、計数球数等の情報を管理装置６２０に送信する。

【３１１１】

つまり、計数ボタン６５２の操作があったこと検出した時点で発射レール６２４に準備されている、あるいは操作があったこと検出した後最初に発射レール６２４に準備される機内球７１０の発射を、減算センサ６０４Ｚによって検出した後、遊技球数から発射した遊技球数分（１個）と計数球数とを減算し、減算後の遊技球数および計数球数などを遊技球数情報として管理装置６２０に送信（１１）する。管理装置６２０は、貯球数をＩＣカードに記憶する。

【３１１２】

あるいは、計数ボタン６５２の操作があったことを検出した時に、発射レール６２４に準備されている機内球７１０の発射が完了するまでの十分な時間（例えば発射された機内球７１０が遊技領域１２４から排出されるまでの最長時間）が経過したと判断した後（タイマ等による遅延処理を行った後）に、遊技球数記憶領域の遊技球数から発射した機内球７１０数分（１個）と計数球数とを減算し、減算後の遊技球数と計数球数を含む遊技球数情報を管理装置６２０に送信（１１）するようにしてもよい。

【３１１３】

遊技球数情報を受信した管理装置６２０は、更新された遊技球数に関する情報を球数更新指令として球数ＵＩ部６８０に送信する。一方で、球数制御部６００は、遊技領域１２４の残存球の有無によらず、遊技球数情報を管理装置６２０に送信可能である（１０）。

【３１１４】

尚、図示は省略するが、図３１３または図３１５において、機内球７１０が遊技領域１２４から全て排出された（入賞検出センサ６０４Ｓ，非入賞検出センサ６０４Ｋで検出した後）ことを球数制御部６００が検出した後に、計数情報を管理装置６２０に送信してもよい。更に、遊技領域１２４から機内球７１０が全て排出されたことを検出し、入賞があった場合には、すべての入賞口等に対応する賞球の付与（遊技球数への賞球数の加算）があった後に、当該遊技球数から計数球数を減算し、計数情報を管理装置６２０に送信するものとしてもよい。

＜表示画像の切替処理＞

【３１１５】

次に、図３１６から図３１８を参照して、球数ＵＩ部６８０の画像表示部６５６に表示される画像の切替について説明する。

【３１１６】

図３１６は、画像表示部６５６にＩＣカード内の情報が表示されている通常状態のパチンコ機１００の概要を示す図であり、図３１６（ａ）が正面図であり、図３１６（ｂ）が画像表示部６５６の表示画像の一例である。

【３１１７】

同図（ａ）を参照して、遊技中のパチンコ機１００の装飾図柄表示装置２０８の例えば、演出表示領域２０８ｄには、遊技の状態に応じて、第１副制御部４００が生成した第１の画像（例えば背景画像や演出画像）８２２が表示されている。

【３１１８】

一方、球数ＵＩ部６８０では、タッチパネル（入力操作部６５４）に切替ボタン１４４、返却ボタン１４２、球貸ボタン１４０などが表示されるとともに、画像表示部６５６には、管理装置６２０が生成した第２の画像８２０ａ、８２０ｂが表示される。第２の画像８２０ａ、８２０ｂは例えば、貯球や残高などの遊技球に関する情報を報知するための画像（情報報知画像）である。この状態で切替ボタン１４４を押下すると、画像表示部６５６に表示する画像を、第１の画像８２２に切り替えることができる。

【３１１９】

図３１７は、切替後のパチンコ機１００の概要を示す図であり、図３１７（ａ）が正面図であり、図３１７（ｂ）が球数ＵＩ部６８０の表示画像の一例である。

【３１２０】

切替ボタン１４４を押下すると、例えば管理装置６２０および第２副制御部５００は、表示装置切替部６７０の切替回路を制御し、管理装置６２０で生成され、管理装置６２０から受信していた第２の画像８２０ａ、８２０ｂに替えて、第１副制御部４００で生成され第１副制御部４００から受信する第１の画像に切り替える。なおこの例では、第１の画像に第２の画像も合わせて表示している。

【３１２１】

さらに詳しく説明すると、球数ＵＩ部６８０の画像表示部６５６には、図３０７（ｄ）に示す第１副制御部４００の画像制御処理と同様の処理によって、通常（遊技開始直後）は、管理装置６２０から送信される貯球や残高の情報を報知するための第２の画像８２０ａ、８２０ｂが、例えば、管理装置６２０の画像制御部で生成され、画像表示部６５６に表示されている。

【３１２２】

この場合に切替ボタン１４４が押下されると、表示装置切替部６７０の切替回路は、図３０７（ｄ）のステップＳ６０１（画像転送指示）の処理において転送（生成）される画像データを、貯球や残高を報知する第２の画像８２０ａ、８２０ｂのデータから、第１副制御部４００が装飾図柄表示装置２０８に表示するために生成している第１の画像８２２のデータ（例えば、背景画像や演出画像のデータ）に切り替える。これにより、画像表示部６５６には、装飾図柄表示装置２０８に表示される画像と同じ第１画像８２２が表示される。このようにすることで、多彩な演出が可能となり、遊技者の興趣を高めることができる。

【３１２３】

尚、上記の例に限らず、管理装置６２０が表示装置切替部６７０の切替回路を制御して、画像を切り替えるものであってもよいし、管理装置６２０および表示装置切替部６７０が画像を切り替えるものであってもよいし、表示装置切替部６７０が画像を切り替えるものであってもよい。また、第２の画像は、第２副制御部５００が生成する画像であってもよい。

【３１２４】

また、この場合であっても同図（ｂ）の如く、入力操作部６５４や貯球や残高などの情報報知画像は配置を変更するなどして表示してもよい。

【３１２５】
図３１８は切替後の画像表示部６５６の他の形態を示す図である。切替後の画像表示部６５６は、装飾図柄表示装置２０８の表示領域（例えば、演出表示領域２０８ｄ）より大きく、広範囲に表示するものとしてもよい。また、情報報知画像である第２の画像２８０ａ、２８０ｂや入力操作部６５４の一部が、装飾図柄表示装置２０８に表示される画像と同時に表示され、切替ボタン１４４をタッチする毎に、表示される情報報知画像や入力操作部６５４が切り替わる構成としてもよい。
【３１２６】
また、装飾図柄表示装置２０８と同じ画像ではなく、関連する他の画像を表示してもよい。さらに図示は省略するが、装飾図柄表示装置２０８に表示される画像ではなく、別途、切替画像用に準備された画像を表示するものとしてもよい。
【３１２７】
表示装置切替部６７０は、例えば、入力操作部６５４から入力された情報Ａ（例えば、再プレイボタン１４６の操作）を、パチンコ機１００の制御部および管理装置６２０の制御部６２０ａのいずれにも送信する。制御部は、表示装置切替部６７０が第１副制御部４００によって生成された第１の画像８２２（例えば、演出画像）を球数ＵＩ部６８０の画像表示装置５６５に表示している場合は、情報Ａを用いた処理（例えば、遊技画像の表示）を行う。一方で、表示装置切替部６７０が管理装置６２０によって生成された第２の画像８２０ａ、８２０ｂ（例えば、情報報知画像）を、画像表示装置５６５に表示している場合は、情報Ａを用いた処理を無視する構成としてもよい。
【３１２８】
また、表示装置切替部６７０が、情報Ａ（例えば、計数ボタン６５２の操作）を、パチンコ機１００の制御部および管理装置６２０の制御部６２０ａのいずれにも送信するものである場合、表示装置切替部６７０が第１副制御部４００によって生成された第１の画像８２２（例えば、演出画像）および管理装置６２０によって生成された第２の画像８２０ａ、８２０ｂ（例えば、情報報知画像）のいずれを球数ＵＩ部６８０の画像表示装置５６５に表示しているかに関わらず、制御部、情報Ａを用いた処理を行うものとしてもよい。
【３１２９】
あるいは、表示装置切替部６７０は入力操作部６５４から入力された情報Ａ（例えば、切替ボタン１４４の操作）を、パチンコ機１００または管理装置６２０のいずれか一方に送信するものであってもよい。このような構成において、表示装置切替部６７０は、パチンコ機１００の第１副制御部４００によって生成された第１の画像８２０（例えば、演出画像）を球数ＵＩ部６８０の画像表示装置５６５に表示している場合は、情報Ａを制御部に送信する。一方で、表示装置切替部６７０が管理装置６２０によって生成された第２の画像８２０ａ、８２０ｂ（例えば、情報報知画像）を、画像表示装置５６５に表示している場合は、情報Ａを管理装置６２０に送信するものとしてもよい。
【３１３０】
さらに、表示装置切替部６７０は、球数ＵＩ部６８０の画像表示部５６５に表示する画像を、例えば、第１副制御部４００で生成された画像、および管理装置６２０が生成した画像のうちいずれか一方を表示する状態と、いずれの画像も表示する状態とに切り替えて表示可能としてもよい。
＜表示切替の変形例＞
【３１３１】
図３１９を参照して、表示切替の他の実施形態について説明する。図３１９は、表示切替の他の実施形態のパチンコ機１００および管理装置６２０を説明するための回路ブロック図である。
【３１３２】
このパチンコ機１００では、球数ＵＩ部６８０は、インターフェース部６０６を介して球数制御部６００と双方向に接続し、パチンコ機１００は、例えば、前面枠扉１０６の一部に枠側表示装置６８２を備えており、枠側表示装置６８２は、第２副制御部５００の画

像制御部（ＶＤＰ５３４、ＶＲＡＭ５３６など）と接続する。これ以外の構成は、実施形態９と同様であるので、説明は省略する。

【３１３３】

また、このパチンコ機１００では、球数ＵＩ部６８０は、パチンコ機１００の第１副制御部４００が生成した画像（例えば背景画像や演出画像）を表示することはできず、例えば管理装置６２０に設けられた画像制御部（ＶＤＰ、ＶＲＡＭなど）から送信される画像データを含む情報（管理装置６２０が生成した報知情報画像など）を表示することが可能である。一方、パチンコ機１００の第２副制御部５００は、枠側表示装置６８２に、第１副制御部４００が生成した画像（例えば、背景画像や演出画像など）を表示することができる。

【３１３４】

この場合、球数ＵＩ部６８０の入力操作部６５４から入力された情報Ａ（例えば計数ボタン６５２の操作）は、パチンコ機１００には送信されず、管理装置６２０に送信される。

＜主制御部と球数制御部のシリアル通信＞

【３１３５】

以下、図３２０から図３３３を参照して、パチンコ機１００の主制御部３００と球数制御部６００のシリアル通信について詳細に説明する。なおこれ以降は、図３００（ｂ）に示すように減算センサ６０４Ｚの位置が、球送り装置６１６と発射装置６２２の間にある場合を例に説明する。

【３１３６】

図３２０は、パチンコ機１００の主制御部３００と球数制御部６００のシリアル通信を説明するブロック図であり、図３２０（ａ）は、シリアル通信回路の概略ブロック図であり、図３２０（ｂ）は、主制御部３００と球数制御部６００シリアル通信に関するレジスタを説明するブロック図である。また図３２０（ｃ）は、主制御部３００と球数制御部６００シリアル通信の流れを説明するブロック図である。

【３１３７】

同図（ａ）を参照して説明すると、パチンコ機１００は、主制御部３００を構成する主基板１５６に実装されるなどした主制御部用マイクロコンピュータ７６０と、球数制御部６００を構成する球数制御基板１７０に実装されるなどした球数制御部用マイクロコンピュータ７７０を有する。主制御部用マイクロコンピュータ７６０と、球数制御部用マイクロコンピュータ７７０は、それぞれシリアル通信回路７５０、７５２を内蔵し、信号（例えば、賞球コマンド）をシリアル通信で送受信することができる。

【３１３８】

同図（ｂ）の如く、シリアル通信回路７５０，７５２は、４チャンネル（Ｃｈ０、Ｃｈ１、Ｃｈ２、Ｃｈ３）の回路を内蔵している。すべてのチャンネルは機能的に独立しており、送信部と受信部を有して送受信が可能なチャンネルと、送信部のみを有し送信のみが可能なチャンネルがある。主制御部用マイクロコンピュータ７６０と球数制御部用マイクロコンピュータ７７０のシリアル通信には、送受信が可能なチャンネル（Ｃｈ０）を使用する。また、シリアル通信回路７５０、７５２は、ＦＩＦＯモードで動作する。送信は６４バイト、受信は８バイトがＦＩＦＯとして使用できる。

【３１３９】

再び同図（ａ）を参照し、主制御部用マイクロコンピュータ７６０は、シリアル通信用のレジスタとして例えば、ステータスレジスタ７６２、受信データレジスタ７６４、送信データレジスタ７６６、その他のレジスタ７６８を有する。また、球数御部用マイクロコンピュータ７７０は、シリアル通信用のレジスタとして例えば、ステータスレジスタ７７２、受信データレジスタ７７４、送信データレジスタ７７６、その他のレジスタ７７８を有する。

【３１４０】

例えば、主制御部用マイクロコンピュータ７６０がデータ送信を行う場合、主制御部３

００のＣＰＵ３０４が主制御部用マイクロコンピュータ７６０に内蔵されたシリアル通信回路７５０のステータスレジスタを参照して「送信可能」の場合に送信データレジスタ７６６にデータをセットする。シリアル通信回路７５０は送信データレジスタ７６６にセットされたデータを送信する。

【３１４１】

例えば、球数制御部用マイクロコンピュータ７７０がデータ受信を行う場合、受信データが球数制御部用マイクロコンピュータ７７０に内蔵されたシリアル通信回路７５２の受信データレジスタ７７４に書き込まれる。球数制御部６００のＣＰＵはステータスレジスタを参照して「受信完了」になった場合に受信データレジスタ７７４から受信データを読み込む。

【３１４２】

例えば、球数制御部用マイクロコンピュータ７７０がデータ送信を行う場合、球数制御部６００のＣＰＵが球数制御部用マイクロコンピュータ７７０に内蔵されたシリアル通信回路７５２のステータスレジスタを参照して「送信可能」の場合に送信データレジスタ７７６にデータをセットする。シリアル通信回路７５２は送信データレジスタ７７６にセットされたデータを送信する。

【３１４３】

例えば、主制御部用マイクロコンピュータ７６０がデータ受信を行う場合、受信データが主制御部用マイクロコンピュータ７６０に内蔵されたシリアル通信回路７５０の受信データレジスタ７６４に書き込まれる。主制御部３００のＣＰＵはステータスレジスタを参照して「受信完了」になった場合に受信データレジスタ７６４から受信データを読み込む。

【３１４４】

また、シリアル通信回路７５０、７５２はデータを送信する場合、シリアル通信回路７５０、７５２のステータスレジスタ７６２、７７２を参照し送信状態（データ送信完了など）を検出できる。また、シリアル通信回路７５０、７５２はデータを受信する場合、ステータスレジスタ７６２、７７２を参照し、所定条件が成立している場合に受信データレジスタ７６４、７７４からデータを読み込む。具体的には、ステータスレジスタ７６２、７７２を参照することで、受信データにノイズ検出されたデータがあるか否か、ブレークコード、フレーミングエラーおよびパリティエラーを含むデータの有無、またはオーバーランの検出の有無などを確認することができる。

【３１４５】

図３２０（ｃ）を参照して主制御部３００と球数制御部６００のシリアル通信処理の流れについて説明する。まず主制御部３００から球数制御部６００に、第一の通信確認コマンドを送信する（１）。球数制御部６００は、主制御部３００から第一の通信確認コマンドを受信する（２）。球数制御部６００は、第一の通信確認コマンドを受信すると、第二の通信確認コマンド（第一の通信確認コマンドに対する返信のコマンド）を主制御部３００に送信する（３）。第二の通信確認コマンドを受信した主制御部３００は、球数制御部６００に賞球コマンドを送信する（４）。

【３１４６】

処理（１）～（３）は通信確認中の状態であり、この状態では主制御部３００は球数制御部６００に対して賞球コマンドを送信しない。処理（３）が完了すると、通信確認が完了となり、この状態で主制御部３００は球数制御部６００に賞球コマンドを送信する。例えば、ノイズなどの影響も考慮し、処理（１）は複数回行い、処理（３）の通信確認の完了を示すコマンドが所定回数得られない場合に通信エラー状態とする。この通信エラーの状態となった場合も、主制御部３００は球数制御部６００に賞球コマンドを送信しない。また、エラーを報知するため、外部に接続する装置に信号を出力する。なお、外部に接続する装置への信号出力は行わなくてもよい。

【３１４７】

処理（１）は、例えば所定回数の割込み処理毎に１回、例えば、主制御部のタイマ割込

み処理を２５回（５０回、・・など）実行するうちに１回、実行する。処理（２）および処理（３）は同一の割込み処理で実行してもよいし、別の割込み処理で実行してもよい。また、処理（３）と同一の割込み処理で、球数制御部６００の制御状態を送信してもよい。球数制御部６００の制御状態は、変化のある場合のみ（例えば、正常な状態から異常な状態に変化した場合（エラーの場合）など）送信するものとしてもよい。以下、これらの処理の流れについて主制御部３００側および球数制御部６００側についてそれぞれ説明する。

＜主制御部における通信処理＞

【３１４８】

図３２１を参照して、主制御部３００における通信処理の概要を説明する。同図は、図３０６に示した主制御部タイマ割込み処理で行う処理のうち、主に球数制御部６００との通信に関連する処理を抽出したフローチャートである。図３２１（ａ）は、入賞口カウンタ更新処理（図３０６のステップＳ２１５）で行う主な処理の流れを示すフローチャートである。図３２１（ｂ）は、賞球コマンド送信処理（図３０６のステップＳ２１９）内で行うシリアルコマンド管理処理の流れを示すフローチャートであって、図３２１（ｃ）が、シリアルコマンド受信処理の流れを示すフローチャートであり、図３２１（ｄ）がシリアルコマンド送信処理の流れを示すフローチャートである。また図３２１（ｅ）は、賞球数表示処理（図３０６のステップＳ２１６またはステップＳ２２０）の流れを示すフローチャートである。

＜入賞口カウンタ更新処理＞

【３１４９】

図３２１（ａ）を参照して、入賞口カウンタ更新処理の主要な処理の流れを説明する。

【３１５０】

ステップＳ１３０１では、球検出センサ３２０Ｂの検出結果に基づき、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があったか否かを判定する。入賞がある場合は、ステップＳ１６０３に進み、そうでない場合は処理を終了する。

【３１５１】

ステップＳ１３０３では、入賞口２２６、２３４や始動口２３０、２３２、２２８に入賞があった場合に、その回数（球数制御部６００に賞球を要求する回数）を記憶する。すなわち、ＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた入賞数記憶領域の値を読み出し、１を加算して、元の入賞数記憶領域に設定する。なお、複数の入賞口等で共通の球検出センサ３２０Ｂを使用している場合（例えば、賞球数が同じ入賞口等に共通の球検出センサ３２０Ｂを設けるような場合）には、各球検出センサ３２０毎に設けられた入賞数記憶領域の値を読み出し、１を加算して、元の入賞数記憶領域に設定する。

＜シリアルコマンド管理処理＞

【３１５２】

図３２１（ｂ）～（ｄ）を参照して、賞球コマンド送信処理で行うシリアルコマンド管理処理について説明する。

図３２１（ｂ）を参照して、シリアルコマンド管理処理の概要について説明する。

【３１５３】

ステップＳ１４０１では、シリアルコマンド受信処理を行う。ステップＳ１４０３ではシリアルコマンド送信処理を行う。既述の如く、シリアル通信回路７５０の内蔵レジスタ（受信データレジスタ７６４、送信データレジスタ７６６）にデータをセットすることによりデータが送受信される。

図３２１（ｃ）を参照して、シリアルコマンド受信処理の概要について説明する。

【３１５４】

ステップＳ１５０１では、球数制御部６００から通信確認コマンドを受信しているか否かを判定する。通信確認コマンドを受信している場合は、ステップＳ１５０３に進み、そうでない場合は、処理を終了する。ステップＳ１５０３では、通信確認を完了する設定を行い、ステップＳ１５０５では通信エラーを解除する。

図３２１（ｄ）を参照して、シリアルコマンド送信処理の概要について説明する。
【３１５５】
ステップＳ１６０１では、通信確認コマンドの送信条件が成立しているか否かを判定する。送信条件が成立している場合は、ステップＳ１６０３に進み、そうでない場合は、ステップＳ１６１１に進む。
【３１５６】
ステップＳ１６０３では、通信確認コマンドをセットする。ステップＳ１６０５では、通信確認中の設定を行う。
【３１５７】
ステップＳ１６０７では、通信エラー条件が成立しているか否か判定し、条件が成立している場合は、ステップＳ１６０９に進み、そうでない場合は処理を終了する。ステップＳ１６０９では、通信エラーをセットする。
【３１５８】
ステップＳ１６１１では、賞球コマンドの送信条件が成立しているか否かを判定し、成立している場合はステップＳ１６１３に進み、そうでない場合は処理を終了する。
【３１５９】
ステップＳ１６１３では、所定の入賞口カウンタのデータ更新を行い、ステップＳ１６１５では賞球コマンドのセットを行う。
図３２１（ｅ）を参照して、賞球数表示処理の概要について説明する。
【３１６０】
賞球数表示処理は、各入賞口等に入賞した場合に、その賞球数を賞球数表示部６９０に表示する。すなわち、ステップＳ１７１０では、所定の入賞口カウンタに基づき、当該入賞口等に対応する賞球数を表示する。賞球数表示部６９０には、主制御部３００から球数制御部６００に賞球コマンドを送信する以前の賞球数が表示される。
【３１６１】
図３２２から図３２６を参照して、図３２１に示した各処理について詳細に説明する。
【３１６２】
まず図３２２は、図３２１（ａ）の入賞口カウンタ更新処理の詳細について説明する図であり、図３２２（ａ）は、図３２１（ａ）のフローチャートの再掲であり、図３２２（ｂ）は主制御部３００のＲＡＭに設けられた入賞口カウンタの概略図である。
【３１６３】
図３２２（ａ）を参照して、入賞口カウンタ更新処理のステップＳ１３０１において、入賞口等の入賞がありと判定された場合、ステップＳ１３０３において、所定の入賞口カウンタにデータがセットされる。入賞口カウンタは、例えば図３２２（ｂ）の如く、主制御部３００のＲＡＭ３０８に各入賞口ごと、あるいは各始動口ごとに設けた例えば１バイトの入賞数記憶領域である。これにより０～２５５までの入賞数（入賞があった回数）を記憶することができる。なお、以下の説明で参照する図面において、入賞数記憶領域に記憶される入賞数を示す場合、これらは２進数表示である。
【３１６４】
複数の入賞口等で共通の球検出センサ３２０Ｂを使用している場合には、入賞数記憶領域は、各球検出センサ３２０毎に設けられてもよい。例えば本実施形態では、賞球数が同じ一般入賞口２２６Ｃ、２２６Ｄを１つの球検出センサ３２０Ｅで検出している。したがってここでは、これらの入賞口カウンタとして１つの入賞数記憶領域を使用する場合を例に説明する。具体的には、ＲＡＭ３０８には、可変入賞口用入賞数記憶領域７８０、第１特図始動口用入賞数記憶領域７８２、第２特図始動口用入賞数記憶領域７８４、一般入賞口用入賞数記憶領域７８６が設けられている。そして、図３２２（ａ）のステップＳ１３０１で可変入賞口２３４に入賞があったと判定された場合（球検出センサ３２０Ｇで入賞が検出された場合）に、可変入賞口用入賞数記憶領域の値に１が加算される。同様に、第１特図始動口２３０に入賞があった場合（球検出センサ３２０Ｊで入賞検出された場合）に第１特図始動口用入賞数記憶領域７８２に１が加算され、第２特図始動口２３２に入賞

があった場合（球検出センサ３２０Ｈで入賞検出された場合）に第２特図始動口用入賞数記憶領域７８４の値に１が加算され、一般入賞口２２６（２２６Ｃ，２２６Ｄのいずれか）に入賞があった場合（球検出センサ３２０Ｅで入賞検出された場合）に一般入賞口用入賞数記憶領域７８６に１が加算される。

【３１６５】

後に詳述するが、これらの入賞口カウンタは、入賞と判定される毎にそれぞれの領域に加算されていくが、主制御部３００から球数制御部６００に賞球コマンドの送信があった場合は、減算される。例えば可変入賞口２３４に入賞があり、可変入賞口用入賞数記憶領域７８０に「１」が記憶されていた場合、更に可変入賞口２３４に入賞があった場合は、可変入賞口用入賞数記憶領域７８０の値「１」に１が加算されて「２」が記憶される。一方、可変入賞口用入賞数記憶領域７８０に「１」が記憶されていた場合に、これに対応する賞球コマンドを送信した場合は、可変入賞口用入賞数記憶領域７８０は「０」に更新される。

【３１６６】

例えば、可変入賞口２３４の入賞を検出する球検出センサ３２０Ｇと、第１特図始動口２３０の入賞を検出する球検出センサ３２０Ｊが個別に設けられているため、これらが（ほぼ）同時に入賞を検出した場合は、複数の入賞数記憶領域（可変入賞口用入賞数記憶領域７８０および第１特図始動口用入賞数記憶領域７８２）のデータが一度に更新される場合がある。

【３１６７】

また上述したように、各々の球検出センサ３２０Ｂにおいて過去３回分の検出信号の有無の情報が入賞判定パターン情報と一致するか否かを判定して入賞と判定する場合、同一の入賞口等の入賞数記憶領域（例えば、第１特図始動口用入賞数記憶領域７８２）の値は１ずつ加算され、例えば１回の更新で入賞数が「０」→「２」になることはない。

【３１６８】

一方で、例えば賞球数が同数の入賞口が複数あり（例えば、本実施形態の一般入賞口２２６（２２６Ｃ、２２６Ｄ）や、遊技盤２００の背面側に設けられるなどして第２特図始動口２３２が複数存在する場合など）、それぞれに球検出センサ３２０Ｂが設けられているが、入賞数記憶領域としては共通の場合、それらの入賞口にほぼ同時に入賞があった場合は、その共通の入賞数記憶領域の値が一度に入賞数の合計値（例えば入賞数「０」→「２」）に更新される場合がある。

【３１６９】

図３２３は、図３２１（ｂ）（ｃ）に示すシリアルコマンド管理処理のシリアルコマンド受信処理の詳細について説明する図であり、図３２３（ａ）は、図３２１（ｂ）のフローチャートの再掲であり、図３２３（ｂ）はシリアルコマンド受信処理の主要な処理を示す詳細なフローチャートである。

【３１７０】

シリアル通信回路７５０、７５２は既述の如くＦＩＦＯモードで動作可能であり、図３２３（ａ）に示すシリアルコマンド管理処理において、通信設定レジスタを所定の値（例えば「１」）に設定することで、ＦＩＦＯモードが選択される。

【３１７１】

図３２３（ｂ）を参照して、シリアルコマンド受信処理では、まずステップＳ１５００１において、球数制御部６００から通信確認コマンドの受信の有無を判定する。受信がある場合は、ステップＳ１５００３に進み、そうでない場合は、ステップＳ１５００９に進む。

【３１７２】

ステップＳ１５００３では、球数制御部６００から通信確認コマンドを受信した場合に各種データを初期化する。賞球コマンドの送信の可否を示すシリアルコマンドステータスフラグは例えば「０」の場合は賞球コマンドの送信可能状態を示し、「１」の場合は、賞球コマンドの送信不可状態を示す。ここでは、シリアルコマンドステータスフラグに「０

」をセットする。
【３１７３】
ステップＳ１５００５では、通信確認コマンド送信カウンタを初期化する。通信確認コマンド送信カウンタは、主制御部３００から球数制御部６００に通信確認コマンド（第一の通信確認コマンド（図３２０（ｃ）参照））を送信する場合、例えば、複数回連続で当該コマンドを送信しても球数制御部６００から通信確認コマンド（第二の通信確認コマンド）が送信されない場合に、通信エラーとするためのカウンタである。ここでは一例として１０回連続で球数制御部６００から通信確認コマンドが送信されなかった場合に通信エラーとするため、通信確認コマンド送信カウンタに「１０」をセットする。
【３１７４】
ステップＳ１５００７では、シリアルコマンド通信エラーフラグを初期化（解除）する。シリアルコマンド通信エラーフラグは、球数制御部６００から通信確認の返信（第二の通信確認コマンド）が無い通信エラー状態であることを示すものであり、例えば「１」の場合は通信エラー状態であり、「０」の場合は正常であることを示す。ここでは、シリアルコマンド通信エラーフラグに「０」をセットする。なお、本ステップにおいて、球数制御部６００からの通信確認コマンド（第二の通信確認コマンド）を受信した場合は、エラー状態の解除（シリアルコマンド通信エラーフラグの初期化）としているが、エラー状態の解除方法は、これに限らない。例えば、パチンコ機１００の電源がオフされた場合や、数制御部６００からの通信確認コマンド（第二の通信確認コマンド）を受信し、且つ所定時間（例えば３０秒）が経過した後に解除、などとしてもよい。
ステップＳ１５００９では、その他のシリアルコマンド受信処理を行う。
【３１７５】
図３２４は、シリアルコマンド送信処理について説明する図であり、図３２４（ａ）は、図３２１（ｄ）に示すシリアルコマンド管理処理のシリアルコマンド送信処理の主要な処理を示す詳細なフローチャートであり、図３２４（ｂ）（ｃ）は入賞口カウンタの概略図である。
【３１７６】
ステップＳ１６００１では、通信確認コマンド送信タイマを更新する。通信確認コマンド送信タイマは、主制御部３００から球数制御部６００に出力する通信確認コマンドの送信タイミングを管理するタイマであり、ここではすなわち、通信確認コマンド送信タイマから１を減算する。後述するが、通信確認コマンド送信タイマには初期値として例えば「２５」がセットされており、主制御部３００のタイマ割込み処理が実行される毎に、通信確認コマンド送信タイマが本ステップにより減算され、当該タイマが「０」になった場合に主制御部３００から球数制御部６００に通信確認コマンドが送信される。
【３１７７】
ステップＳ１６００３では、通信確認コマンド送信タイマの値を判定する。通信確認コマンド送信タイマが「０」の場合はステップＳ１６００５へ進み、そうでない場合は、ステップＳ１６０１９へ進む。
【３１７８】
ステップＳ１６００５は、通信確認コマンド送信タイマに初期値を設定する。本実施形態では一例として、１００ｍｓに１回のタイミングで、主制御部３００から球数制御部６００に通信確認コマンドを送信している。また、主制御部３００のタイマ割込み処理は例えば４ｍｓ毎に実行されるものとすると、２５回の割込み処理に１回のタイミングで通信確認コマンドの送信を行うことになる。したがって、本ステップでは、通信確認コマンド送信タイマの初期値として「２５」をセットする。通信確認コマンド送信タイマは上述のステップＳ１６００１において、主制御部３００のタイマ割込み処理毎に「１」が減算され、通信確認コマンド送信タイマが「０」になると（１００ｍｓに１回のタイミングで）通信確認コマンドを送信する状態となる。
【３１７９】
ステップＳ１６００７では、シリアルコマンドステータスフラグに「１」をセットする

。シリアルコマンドステータスは、賞球コマンドの送信可能状態であるか否かを示すものであり、シリアルコマンドステータスフラグに「１」がセットされている場合は、賞球コマンドを送信しない状態であり、「０」がセットされている場合は、賞球コマンド送信可能状態である。

【３１８０】

ステップＳ１６００９では、通信確認コマンド（第一の通信確認コマンド）をセットする。主制御部３００のＣＰＵ３０４が主制御部用マイクロコンピュータ７６０に内蔵されたシリアル通信回路７５０の送信データレジスタ７６６に通信確認コマンド（第一の通信確認コマンド）をセットすると、シリアル通信回路７５０は送信データレジスタ７６６にセットされた通信確認コマンドを球数制御部６００（球数制御部用マイクロコンピュータ７７０）に送信する。

【３１８１】

ステップＳ１６０１１では、通信確認コマンド送信カウンタを更新する。本ステップにおいて通信確認コマンド送信カウンタから「１」を減ずる。

【３１８２】

ステップＳ１６０１３では、通信確認コマンド送信カウンタの値を判定する。通信確認コマンド送信カウンタの値が「０」の場合は、ステップＳ１６０１５へ進み、そうでない場合は、ステップＳ１６０２５へ進む。本ステップは、主制御部３００から球数制御部６００に通信確認コマンドを１０回連続で送信し、球数制御部６００から返信の通信確認コマンドが送信されない場合、通信エラーとするための判定処理である。

【３１８３】

ステップＳ１６０１５では、通信確認コマンド送信カウンタを初期化する。すなわち通信確認コマンド送信カウンタにここでは「１０」をセットする。

【３１８４】

ステップＳ１６０１７では、シリアルコマンド通信エラーフラグを設定する。シリアルコマンド通信エラーフラグは、球数制御部６００からの通信コマンドの返信が無い通信エラーの状態であることを示すフラグであり、この場合「１」をセットする。

【３１８５】

ステップＳ１６０１９では、賞球コマンドの送信条件が成立しているか否かを判定する。条件が成立している場合はステップＳ１６０２１に進み、そうでない場合は、ステップＳ１６０２５に進む。ここでの賞球コマンドの送信条件は、ステップＳ１６００３の判定の結果通信確認コマンド送信タイマが「０」以外、すなわち、通信確認コマンドを送信するタイミングではなく、且つ、各入賞口等に対応して設けられた球検出センサ３２０Ｂで、機内球７１０が通過したと判定された場合である。あるいは送信条件は、入賞数記憶領域の値を上から順に判定し、この領域にデータがセットされている場合（「０」以外の値の場合）に成立するとしてもよい。

【３１８６】

ステップＳ１６０２１では、所定の入賞口カウンタのデータを更新する。入賞記憶領域の値を上から順に判定し、ステップＳ１６０１９において、各入賞口等のいずれかに入賞があった場合（当該入賞に対応する入賞数記憶領域に記憶されている値が「０」以外の場合）、その値から「１」を減算し、元の入賞数記憶領域に記憶する。

【３１８７】

ステップＳ１６０２３では、減算した入賞数記憶領域に対応する賞球コマンドセットする。主制御部３００のＣＰＵ３０４が主制御部用マイクロコンピュータ７６０に内蔵されたシリアル通信回路７５０の送信データレジスタ７６６に賞球コマンドをセットすると、シリアル通信回路７５０は送信データレジスタ７６６にセットされた通信確認コマンドを球数制御部６００（球数制御部用マイクロコンピュータ７７０）に送信する。

ステップＳ１６０２５では、その他のシリアルコマンド送信処理を行う。

【３１８８】

図３２４（ｂ）（ｃ）を参照して、具体的に説明する。図３２４（ｂ）は、ステップＳ

１６０１９の判定後の各入賞数記憶領域に記憶される値の一例であり、図３２４（ｃ）がステップＳ１６０２１のデータ更新後の各入賞数記憶領域に記憶される値の一例である。

【３１８９】

まず、Ｓ１６０１９の判定後では、一般入賞口用入賞数記憶領域７８６と、第１特図始動口用入賞数記憶領域７８２の最下位ビットの値がそれぞれ「１」であり、それ以外の領域がすべて「０」である（同図（ｂ））。この場合、例えば、第１特図始動口２３０の入賞によりステップＳ１６０１９で賞球コマンド送信条件が成立した場合、第１特図始動口用入賞数記憶領域７８２の値から「１」を減算する。すなわち、第１特図始動口２３０の入賞数は「０」となり、第１特図始動口用入賞数記憶領域７８２の最下位ビットに「０」（同図（ｃ））。

【３１９０】

主制御部３００は球数制御部６００と通信確認を行った後に賞球コマンドを送信しており、その間にも各入賞口等に入賞が発生する場合がある。特に、主制御部３００の１回の割込みで１つの賞球コマンドを送信する場合には、各入賞口等に対応する入賞数記憶領域には、主制御部３００にて入賞と判定され、球数制御部６００へ賞球コマンドとして送信する前の入賞数が蓄積されていく。

【３１９１】

ステップＳ１６０２３では、賞球コマンドをセットする。主制御部３００のＣＰＵ３０４が主制御部用マイクロコンピュータ７６０に内蔵されたシリアル通信回路７５０の送信データレジスタ７６６に賞球コマンドをセットすると、シリアル通信回路７５０は送信データレジスタ７６６にセットされた賞球コマンドを球数制御部６００（球数制御部用マイクロコンピュータ７７０）に送信する。

【３１９２】

このように、本実施形態のシリアルコマンド送信処理では、主制御部３００から通信確認コマンドを送信する場合は賞球コマンドを送信せず、主制御部３００から賞球コマンドを送信する場合は通信確認コマンドを送信しない構成である。この構成により、所定の場合には、遊技者が球発射ハンドル１３４を操作した場合であっても、機内球７１０の発射のタイミングを遅らせることが可能となるが、これについては後述する。

【３１９３】

図３２５を参照して、図３２４のステップＳ１６０２１およびステップＳ１６０２３で示した、入賞数記憶領域の更新処理と、賞球コマンドセット処理の具体例について説明する。

【３１９４】

図３２５（ａ）～（ｃ）は、各入賞数記憶領域の一例を示す概要図であり、同図（ａ）が、図３２４（ｃ）に続く主制御部３００のタイマ割込み処理の１割込み目の各入賞数記憶領域の状態を示し、同図（ｂ）が主制御部３００のタイマ割込み処理の２割込み目の各入賞数記憶領域の状態を示し、同図（ｃ）が主制御部３００のタイマ割込み処理の３割込み目の各入賞数記憶領域の状態を示す。また同図（ｄ）は、セットされる賞球コマンドの一例を示す図である。なお、以下の説明においては、１０進数の数値はかぎ括弧「Ｎ」で表記し、図面において各入賞数記憶領域に２進数で示される数値は大括弧［ｎ］で表記する。

【３１９５】

図３２４（ｃ）において、第１特図始動口用入賞数記憶領域の下位２ビットに［１０］（入賞数「２」）が記憶され、一般入賞口用入賞数記憶領域の最下位ビットに［１］（入賞数「１」）が記憶されている状態の後の１割込み目で、ステップＳ１６０２３の賞球コマンドセット処理が実行されると、主制御部３００は例えば、入賞数記憶領域のアドレスの小さい番地から昇順に（図では上から下に）移動して値を読出し、「０」以外の入賞数記憶領域のデータを更新（減算）するとともに、当該入賞口に対応する賞球コマンドを送信データレジスタにセットする。つまり図３２５（ａ）の場合、可変入賞口用入賞数記憶領域の値は「０」であり、第１特図始動口用入賞数記憶領域の値「２」（下位２ビットは

「１０」）であるので、これから１を減算し、入賞数記憶領域の値を「１」（下位２ビットは「０１」）に更新する。そして、同図（ｄ）の第１特図始動口に対応する賞球コマンド（０３Ｈ）を、送信データレジスタにセットする。これにより、球数制御部６００に賞球コマンド（０３Ｈ）が送信される。

【３１９６】

引き続き、２割込み目でステップＳ１６０２３の賞球コマンドセット処理が実行されると、主制御部３００は例えば、入賞数記憶領域のアドレスを昇順に移動して、「０」以外の入賞数記憶領域、すなわち第１特図始動口用入賞数記憶領域の値「１」（下位２ビットは「０１」）から１を減算し、入賞数記憶領域の値を「０」（下位２ビットは「００」）に更新する。そして、同図（ｄ）の第１特図始動口に対応する賞球コマンド（０３Ｈ）を、送信データレジスタにセットする。これにより、球数制御部６００に賞球コマンド（０３Ｈ）が送信される。

【３１９７】

更に引き続き、３割込み目でステップＳ１６０２３の賞球コマンドセット処理が実行されると、主制御部３００は例えば、入賞数記憶領域のアドレスを昇順に移動して、「０」以外の入賞数記憶領域、すなわち一般入賞口用入賞数記憶領域の値「１」（下位２ビットは「０１」）から「１」を減算し、入賞数記憶領域の値を「０」（下位２ビットは「００」）に更新する。そして、同図（ｄ）の一般入賞口に対応する賞球コマンド（０ＡＨ）を、送信データレジスタにセットする。これにより、球数制御部６００に賞球コマンド（０ＡＨ）が送信される。

【３１９８】

このように、１つの賞球コマンドを送信することによって、入賞数記憶領域の入賞数が減算されていく。

【３１９９】

尚、ここでは主制御部３００の１回のタイマ割込み処理で１つの賞球コマンドを送信している。しかし、これに限らず、同一のタイマ割込み処理で複数の（全ての）入賞数記憶領域に対応する賞球コマンドを送信するようにしてもよいし、入賞数が「２」以上の場合、値が所定数（例えば２５５）になるまで繰り返し合算し、１回の賞球コマンドとして送信してもよい。合算する場合は、各入賞口毎に行うものであってもよいし、全ての入賞口の入賞数を合算するものであってもよい。また一方で、主制御部３００の１回のタイマ割込み処理で１つの賞球コマンドのみを送信するものとしてもよい。

【３２００】

また、入賞数記憶領域の配置は、賞球数が大きい入賞口に対応するものが小さい番地のアドレス（図では上）になるように配置してもよいし、抽選にかかるもの（例えば第１または第２特図始動口など）が小さい番地になるように配置してもよい。

【３２０１】

なお、ここでは主制御部３００から球数制御部６００に送信する賞球コマンドの形式は、賞球数の個数情報そのものを送信する個数形式でもよいし、個数情報とは異なる識別子を送信するコマンド形式のいずれであってもよい。また、１回の割り込み処理で送信する方法として、賞球コマンドを１つずつ送信する方法の他、送信のタイミングで蓄積されているすべての賞球コマンドを送信する方法、あるいは入賞に対応する賞球数を（個数情報に変換した上で）合算値を送信する方法などがある。この場合の合算値は入賞数記憶領域の大きさに応じて決定され、ここでは例えば２５５以内である。また、賞球コマンドの形式と送信方法の組合せは種々に組合せ可能である。

【３２０２】

図３２６を参照して、主制御部タイマ割込み処理における賞球数表示処理（図３０６のステップＳ２１６、Ｓ２２０）について説明する。同図（ａ）は、図３２１（ｅ）の再掲であり、同図（ｂ）は、賞球コマンド送信前の各入賞数記憶領域の状態を示し、同図（ｃ）は、１つの賞球コマンド送信後の各入賞数記憶領域の状態を示す。

【３２０３】

賞球数表示処理では、主制御部３００において、球数制御部６００に賞球コマンド送信前の賞球がある場合、その賞球数（複数ある場合はそれらの合計値）を賞球数表示部６９０に表示する。

【３２０４】

ここでは一例として、図３０６に示す主制御部タイマ割込み処理の賞球コマンド送信処理（ステップＳ２１９）の前後で２回の賞球数表示処理を行っている。すなわち第１の賞球数表示処理（ステップＳ２１６）は入賞口カウンタ更新処理（ステップＳ２１５）と賞球コマンド送信処理（ステップＳ２１９）の間で行い、第２の賞球数表示処理（ステップＳ２２０）は賞球コマンド送信処理（ステップＳ２１９）以降に行う。賞球数表示処理の処理内容は同様であって、図３２６（ａ）の如く、所定の入賞カウンタに基づいて、賞球数を表示する。

【３２０５】

図３２６（ｂ）（ｃ）を参照して具体的な入賞カウンタ（入賞数記憶領域）の一例を用いて説明する。

【３２０６】

同図（ｂ）では、第１特図始動口用入賞数記憶領域７８２の下位２ビットに［１０］（入賞数「２」）が記憶され、一般入賞口用入賞数記憶領域７８６の最下位ビットに［１］（入賞数「１」）が記憶されている。これらは球数制御部６００に賞球の払い出しを要求する前（すなわち賞球コマンド送信前）の入賞数が記憶であり、遊技球数には加算されていない賞球数である。

【３２０７】

例えば、第１の賞球数表示処理（図３０６、ステップＳ２１６）において、主制御部３００は例えば、入賞数記憶領域のアドレスの小さい番地から昇順に（図では上から下に）移動して値を読出し、「０」以外の入賞数記憶領域の値を読出し、入賞数記憶領域に対応する賞球数を例えば、図３２５（ｄ）の賞球コマンドに対応付けられた賞球数に基づき合算し、賞球数表示部６９０に表示する。

【３２０８】

この場合は、第１特図始動口用入賞数記憶領域７８２に入賞数「２」が記憶されているので、主制御部３００は、第１特図始動口２３０の入賞による賞球数「６」（＝賞球数「３」×入賞数「２」）と、一般入賞口２２６の入賞による賞球数「１０」（＝賞球数「１０」×入賞数「１」）の合算、すなわち賞球数「１６」を賞球数表示部６９０に表示する。またこの場合遊技球数が「１００」であるとすると球数制御部６００は、球数表示部６４０に「１００」を表示する。

【３２０９】

その後、賞球コマンド送信処理（図３０６、ステップＳ２１９）において、主制御部３００は球数制御部６００に賞球コマンドを送信する。図３２６（ｃ）を参照して、この場合主制御部３００は、各入賞数記憶領域の値に基づき、第１特図始動口２３０入賞による賞球コマンドを送信し、第１特図始動口用入賞数記憶領域の入賞数を「１」に更新する。

【３２１０】

その後、第２の賞球数表示処理（図３０６、ステップＳ２２０）において、主制御部３００は、第１特図始動口用入賞数記憶領域７８２に入賞数「１」が記憶されているので、第１特図始動口２３０の入賞による賞球数「３」（＝賞球数「３」×入賞数「１」）と、一般入賞口２２６の入賞による賞球数「１０」（＝賞球数「１０」×入賞数「１」）の合算、すなわち賞球数「１３」を賞球数表示部６９０に表示する。またこの場合、第１特図始動口２３０入賞の賞球コマンドを受信した球数制御部６００は、遊技球数「１００」に賞球数「３」を加算し、球数表示部６４０に「１０３」を表示する。

【３２１１】

このように、例えば主制御部タイマ割込み処理のステップＳ２１６からステップＳ２２０までの間に新たな入賞が無い場合には、賞球コマンド送信処理（ステップＳ２１９）後に賞球数表示部６９０に表示される賞球数は、第１の賞球数表示処理で賞球数表示部６９

０に表示される賞球数から、球数制御部６００に送信された賞球コマンドの賞球数の分を減じた値となる。これにより、賞球コマンドの送信によって賞球数表示部６９０の数値が減少したことを遊技者に視認させることができる場合がある。

【３２１２】

なお、賞球数表示処理（ステップＳ２１６およびステップ２２０）を実行する前に各入賞口等に入賞があり、それに対応する入賞数記憶領域の値が更新されていた場合は、主制御部３００は、賞球数表示処理（ステップＳ２１６およびステップ２２０）において各入賞口等の賞球数を合算し、それを賞球表示部６９０に表示する。

【３２１３】

ここでは、入賞口カウンタ更新処理（ステップＳ２１５）と入賞受付処理（ステップＳ２１７）の間に第１の賞球数表示処理（ステップＳ２１６）を行い、賞球コマンド送信処理（ステップＳ２１９）と普図状態更新処理（ステップＳ２２１）の間に第２の賞球数表示処理（ステップＳ２２０）を行う場合を例に説明したが、第１および第２の賞球数表示処理の実行手順はこの位置に限らない。すなわち、第１の賞球数表示処理（ステップＳ２１６）は、入賞口カウンタ更新処理（ステップＳ２１５）と賞球コマンド送信処理（ステップＳ２１９）の間であればよく、入賞受付処理（ステップＳ２１７）を先に実行するものであってもよい。

【３２１４】

また、第２の賞球数表示処理（ステップＳ２２０）は、賞球コマンド送信処理（ステップＳ２１９）の後であれば、例えば普図状態更新処理（ステップＳ２２１）以降に実行するものであってもよい。

【３２１５】

また賞球表示処理は、ステップＳ２１６またはステップ２２０のいずれか一方で実行するものとしてもよい。例えば、ステップＳ２１６のみで行った場合は、賞球表示部６９０と球数表示部６４０の表示態様は以下の通りとなる。賞球数表示処理実行前に各入賞記憶領域の状態が図３２６（ｂ）の状態であったとすると、賞球表示部６９０には「１６」が表示され、球数表示部６４０に例えば「１００」が表示される。そして賞球コマンド送信処理（ステップＳ２１９）が実行されると、球数表示部６４０のみ表示が「１０３」に更新され、賞球表示部６９０の表示は「１６」が維持される。そして次回の割込み処理までに入賞が無い場合には、各入賞記憶領域の状態が図３２６（ｃ）の状態となり、ステップＳ２１６において賞球表示部６９０は「１３」に表示が更新される。この時球数表示部６４０は「１０３」の表示が維持される。

【３２１６】

また例えば、ステップＳ２２０のみで行った場合は、賞球表示部６９０と球数表示部６４０の表示態様は以下の通りとなる。賞球コマンド送信処理（ステップＳ２１９）実行時に各入賞記憶領域の状態が図３２６（ｂ）の状態であったとすると、賞球表示部６９０には「１６」が表示され、球数表示部６４０に例えば「１００」が表示される。そして賞球コマンド送信処理（ステップＳ２１９）が実行され、賞球表示処理が実行されると、賞球表示部６９０は「１３」に表示が更新され、球数表示部６４０の表示が「１０３」に更新される（同図（ｃ））。その間に例えば、可変入賞口２３４に入賞があった場合、入賞口カウンタ更新処理（ステップＳ２１５）において可変入賞口用入賞数記憶領域７８０の値は「１」に更新される。例えばこれが賞球コマンド送信処理で送信できるタイミングであった場合、賞球数表示処理では、一般入賞口用入賞数記憶領域７８６の値に基づき、賞球表示部６９０に「１０」を表示する。球数表示部６４０の表示は、可変入賞口２３４の賞球数が加算され、「１１８」となる。つまりこのようなタイミングの場合には、可変入賞口２３４の賞球数は、賞球表示部６９０に反映されない。なお、可変入賞口２３４に入賞したことによる賞球コマンドが賞球コマンド送信処理で送信できるタイミングでない場合には、賞球数表示処理では、可変入賞口２３４の賞球数も合算し、賞球表示部６９０に「２５」を表示する。

【３２１７】

また、同図（ｂ）から同図（ｃ）に状態が変化する場合において、賞球コマンドを送信した割込み処理と同一の割込み処理内で減算センサ６０４Ｚで機内球７１０の通過を検出した場合に、賞球表示処理が実行されると、賞球表示部６９０は「１３」に表示が更新され、遊技球数が「１」減算されて球数表示部６４０の表示は「１０２」に更新される。

【３２１８】

尚、上記の説明では入賞数記憶領域は１バイトで構成する場合を例に説明したが、２バイトの領域で構成してもよい。

＜球数制御部における通信処理＞

【３２１９】

図３２７を参照して、球数制御部６００における通信処理の概要を説明する。同図は、図３１０に示した球数制御部割込み処理で行う処理のうち、主に主制御部３００との通信に関連する処理を抽出したフローチャートである。図３２７（ａ）は、エラー管理処理（図３１０のステップＳ１２０５）で行う主制御通信エラー管理処理の流れを示すフローチャートである。同図（ｂ）は、遊技球数設定処理（図３１０のステップＳ１２１１）内で行う遊技球数減算処理の流れを示すフローチャートであり、同図（ｃ）が、遊技球数設定処理（図３１０のステップＳ１２１１）内で行う遊技球数表示処理の流れを示すフローチャートである。

【３２２０】

図３２７（ａ）を参照して、主制御通信エラー管理処理では、主制御部３００から送信される通信確認コマンドを、球数制御部６００で所定期間受信しない場合に通信エラーと判定する。

【３２２１】

ステップＳ１７０１では、主制御通信監視タイマから１を減算する。主制御通信監視タイマは、主制御部３００から通信コマンドを受信していない期間を監視するタイマである。本実施形態は一例として球数制御部割込み処理（図３１０）を２ｍｓ周期で実行するものとし、主制御部３００からの通信コマンドを受信していない場合にエラーにする所定の期間を例えば１０００ｍｓとする。主制御通信監視タイマには後述する他の処理で初期値として「５００（１０００ｍｓ／２ｍｓ）」がセットされている。

【３２２２】

ステップＳ１７０３では、主制御通信監視タイマの値を判定し、「０」の場合はステップＳ１７０５に進み、そうでない場合は処理を終了する。主制御通信監視タイマが「０」とは、主制御部３００から通信コマンドを受信していない期間が１０００ｍｓ経過した場合である。

【３２２３】

ステップＳ１７０５では、主制御通信エラーフラグに「１」をセットする。主制御通信エラーフラグは、主制御通信エラー状態を設定するフラグであり、例えば「１」の場合が異常であり、「０」の場合が正常である。

【３２２４】

図３２７（ｂ）を参照して、遊技球数減算処理の流れについて説明する。遊技球数減算処理は、機内球７１０の発射に対応して、遊技者の遊技球数（機内球７１０の電子情報上の発射可能球数）を減算する処理であり、上述した遊技球数設定処理（図３１０のステップＳ１２１１）の一部として実行される処理である。

【３２２５】

ステップＳ１８０１では、減算条件が成立しているか否を判断し、減算条件が成立している場合はステップＳ１８０３に進み、減算条件が成立していない場合は処理を終了する。減算条件は例えば、減算センサ６０４Ｚで機内球７１０の通過を検出した場合である。また、減算センサ６０４Ｚに限らず、遊技媒体経路６１０の各種センサ（例えば、球磨き装置６１２の球磨き装置入口センサ、揚上装置６１４の揚上装置入口センサ、球送り装置６１６の球送り装置入口センサなど）で機内球７１０の通過を検出した場合としてもよい。

【３２２６】
ステップＳ１８０３では、機内球７１０の１個の発射により遊技球数を１個消費したとして、遊技球数から「１」を減算する。同図（ｂ）では、機内球７１０の発射による遊技球数の減算のフローを抽出しているが、本実施形態では、上述したように遊技球数設定処理において賞球数、貸球数および再プレイ球数の加算と、計数球数の減算と併せて、機内球７１０の発射による遊技球数の消費数（遊技領域１２４への機内球７１０の投入数＝イン球数）を減算している。このため、本ステップでは、遊技領域１２４に投入された球数が記憶されているＲＡＭのイン球数記憶領域の値を読出し、これに「１」を加算して元のイン球数記憶領域に記憶する。これにより、機内球７１０の１個の発射に対応して遊技球数の１個の減算を行うものとする。
【３２２７】
図３２７（ｃ）は、遊技球数表示処理を行う。遊技球数表示処理は、遊技球数減算処理において減算（更新）された遊技球数を球数表示部６４０に表示する処理であり、上述した遊技球数設定処理（図３１０のステップＳ１２１１）の一部として実行される処理である。
【３２２８】
ステップＳ１９０１では、同図（ｂ）の遊技球数減算処理、および遊技球数設定処理の他の処理に基づき、更新後の遊技球数を球数表示部６４０に表示する。すなわち、遊技球数から、遊技球数減算処理におけるイン球数を減算するだけでなく、貸球数、賞球数および再プレイ球数の加算と計数球数の減算を行い、更新後の遊技球数を球数表示部６４０に表示する。
【３２２９】
図３２８を参照して、球数制御部割込み処理（図３１０）にて実行されるシリアルコマンド管理処理（ステップＳ１２０４）について説明する。図３２８（ａ）は、シリアルコマンド管理処理の概要を示すフローチャートであり、同図（ｂ）はシリアルコマンド受信処理における主な処理の流れを示すフローチャートであり、同図（ｃ）はシリアルコマンド送信処理における主な処理の流れを説明するフローチャートである。
図３２８（ａ）を参照して、シリアルコマンド管理処理の概要について説明する。
【３２３０】
ステップＳ２００１では、シリアルコマンド受信処理を行う。ステップＳ２００３ではシリアルコマンド送信処理を行う。既述の如く、シリアル通信回路７５２の内蔵レジスタ（受信データレジスタ７７４、送信データレジスタ７７６）にデータをセットすることによりデータが送受信される。
図３２８（ｂ）を参照して、シリアルコマンド受信処理の概要について説明する。
【３２３１】
ステップＳ２１０１では、主制御部３００から通信確認コマンドを受信しているか否かを判定する。通信確認コマンドを受信している場合は、ステップＳ２１０３に進み、そうでない場合は、ステップＳ２１０９に進む。
【３２３２】
ステップＳ２１０３では、主制御通信監視タイマを初期化する。主制御通信監視タイマは図３２７（ａ）の主制御通信エラー管理処理で説明したとおり、今回、主制御部３００から通信確認コマンドを受信してから次回の通信確認コマンドを受信するまでの期間が所定期間（例えば１０００ｍｓ）を超えた場合に主制御通信エラーを設定するためのタイマであり、球数制御部割込み処理が例えば２ｍｓ周期で行われている場合には、当該タイマに初期値として「５００」をセットする。
【３２３３】
ステップＳ２１０５では、主制御通信エラーフラグを初期化する。ここでは当該エラーフラグに「０」をセットする。
【３２３４】
ステップＳ２１０７では、通信確認コマンド受信フラグを設定する。通信確認コマンド

受信フラグは、主制御部３００に通信確認コマンドを受信したことを通知（返信）するフラグであり、例えば「１」（またはオン）が主制御部３００に返信することを意味し、「０」（またはオフ）が返信しないことを意味する。ここでは、通信確認コマンド受信フラグに「１」をセットする。

【３２３５】

ステップＳ２１０９では、主制御部３００から賞球コマンドを受信しているか否かを判定する。受信している場合は、ステップＳ２１１１に進み、そうでない場合はステップＳ２１１３に進む。

【３２３６】

ステップＳ２１１１では、受信した賞球コマンドに基づき、賞球数をＲＡＭの賞球数記憶領域の値に加算する。つまり賞球数記憶領域に記憶されている値を読出し、賞球数を加算し元の賞球数記憶領域に記憶する。これにより、球数制御部割込み処理（図３１０）の遊技球数設定処理（ステップＳ１２１１）において、貸球数および再プレイ球数の加算、イン球数および計数球数の減算と併せて賞球数が加算され、遊技球数が更新される。

ステップＳ２１１３では、その他シリアルコマンドの受信処理を行う。

【３２３７】

なお、主制御部３００から賞球コマンドが球数制御部６００に送信され、球数制御部６００がこれを受信した場合に、球数制御部６００は賞球コマンドを受信したことを報知するコマンド（賞球コマンドに対する返信コマンド）を主制御部３００に送信してもよい。その場合、同図（ｂ）のステップＳ２１１３において、当該返信コマンドを送信する。あるいは当該返信コマンドを送信するためのフラグを設定し、シリアルコマンド送信処理の通信確認コマンドと共に、当該返信コマンドを主制御部３００に送信してもよい。

【３２３８】

この場合、主制御部タイマ割込み処理で行う賞球数表示処理は、球数制御部６００から賞球コマンド受信の返信コマンドが主制御部３００に送信された場合に表示を更新するものであってもよい。

図３２８（ｃ）を参照して、シリアルコマンド送信処理の概要について説明する。

【３２３９】

ステップＳ２２０１では、通信確認コマンド受信フラグを判定する。通信確認コマンド受信フラグが「１」（オン）の場合は、ステップＳ２２０３に進み、そうでない場合は、処理を終了する。

【３２４０】

ステップＳ２２０３では、通信確認コマンド（第二の通信確認コマンド）をセットする。球数制御部６００のＣＰＵが球数制御部用マイクロコンピュータ７７０に内蔵されたシリアル通信回路７５２の送信データレジスタ７７６に賞球コマンドをセットすると、シリアル通信回路７５２は送信データレジスタ７７６にセットされた通信確認コマンドを主制御部３００（主制御部用マイクロコンピュータ７６０）に送信する。これにより、主制御部３００からの通信確認コマンドの受信の報知（返信）を行う。

【３２４１】

ステップＳ２２０５では、通信確認コマンド受信フラグに「０」（またはオフ）をセットする。

【３２４２】

ステップＳ２２０７では、その他シリアルコマンド送信処理を行う。その他シリアルコマンド送信処理では、通信確認コマンド以外の情報（たとえばエラー情報）などを送信する。ここでは、通信確認コマンド受信の返信（第二の通信確認コマンド）を球数制御部６００から主制御部３００に送信する場合、これと合わせて、それ以外のエラー情報を送信する。このような処理が可能となるのは、主制御部３００から通信の主導となるコマンド（第一の通信確認コマンドまたは賞球コマンド）を球数制御部６００に送信する構成に限る。

【３２４３】

同図（ｄ）は、シリアルコマンド送信処理の他の形態を示すフローチャートである。この場合、ステップＳ２２０１で通信確認コマンド受信フラグを判定し、当該フラグが「０」（またはオフ）、すなわち、通信確認コマンド受信の返信を主制御部３００に送信しない場合、通信確認コマンド以外のエラー情報などをステップＳ２２０７のその他シリアルコマンド送信処理にて送信する。例えば主制御通信エラーなどは、この送信処理によって送信できる。これ以外は、同図（ｃ）と同様であるので説明は省略する。

【３２４４】

また、図３２８では、シリアルコマンド受信処理とシリアルコマンド送信処理のフローチャートを分けて記載している。このため通信確認コマンド受信フラグを使用し、シリアルコマンド受信処理（同図（ｂ））のステップＳ２１０７において当該フラグに「１」（オン）をセットし、シリアルコマンド送信処理（同図（ｃ））のステップＳ２２０１でこのフラグを判定し、続くステップＳ２２０３にて通信確認コマンドを送信データレジスタセット（送信）するものとした。しかし、通信確認コマンド受信フラグを使用せず、シリアルコマンド受信処理（同図（ｂ））のステップＳ２１０５において、主制御通信エラーフラグが「０」（正常である）場合には、続くステップＳ２１０７で通信確認コマンドを送信データレジスタにセット（送信）するものとしてもよい。

【３２４５】

また上記の例では、球数制御部６００のシリアルコマンド管理処理は、球数制御部割込み処理のタイマ更新処理（ステップＳ１２０３）とエラー管理処理（ステップＳ１２０５）の間で実行する場合を例に説明したが、例えば、エラー管理処理（ステップＳ１２０５）とエラー解除スイッチ監視処理（ステップＳ１２０７）の間で実行するものとしてもよい。

【３２４６】

図３２９から図３３３は、主制御部３００と球数制御部６００の間の通信処理のタイミングチャートの一例を示す。

【３２４７】

図３２９から図３３３において、主制御部３００と球数制御部６００の時間軸（横軸）上の目盛は、それぞれの定期的な割込み処理の周期を示す。時間軸は左から右に時間の経過を表す。既述の如く、主制御部３００のタイマ割込み処理は例えば４ｍｓの周期で発生し、球数制御部６００のタイマ割込み処理は例えば２ｍｓの周期で発生する。また主制御部３００の割込み処理のタイミングに合わせて、シリアルコマンド通信エラーフラグ、シリアルコマンドステータスフラグ、通信確認コマンド送信カウンタ、通信確認コマンド送信タイマの内容を併記した。また、各図において、実線矢印が通信確認コマンドであり、破線が賞球コマンドである。

【３２４８】

図３２９（ａ）は、正常動作の場合に起こりうる通信処理の一例を示すタイミングチャートであり、図３２９（ｂ）は、主制御通信エラーの場合の通信処理の一例を示すタイミングチャートである。

【３２４９】

図３２９（ａ）を参照して、まず、１ブロック目（１）において、通信確認コマンド送信タイマ（以下、ＴＭ）が「１」から「０」に変わり、１００ｍｓ毎に主制御部３００から球数制御部６００に通信確認コマンドを送信するタイミングになった場合、主制御部３００は、球数制御部６００に通信確認コマンド（第一の通信確認コマンド）を送信する。この場合、ＴＭは初期値の「２５」がセットされ、以降主制御部３００の割込み処理毎に減算され、「０」になると初期値「２５」が設定される（以下同様）。通信確認コマンド送信カウンタ（以下、ＣＴ）は「１０」から「９」に更新される。この場合賞球コマンドは同時に送信できないため（図３２４（ａ）参照）、シリアルコマンドステータスフラグ（以下、ＳＴ）は「１」がセットされる。シリアルコマンド通信エラーフラグ（以下、ＥＲ）はこの状態では「０」である。

【３２５０】

通信確認コマンドを受信した球数制御部６００は、次の割込み処理のタイミングで通信確認コマンド（第二の通信確認コマンド）を主制御部３００に送信（返信）する。これにより、ＣＴは「９」から「１０」に更新され、ＳＴは（賞球コマンドの送信が可能となったため）「１」から「０」に更新される。その後例えば、主制御部３００の４割込み目で賞球コマンドが球数制御部６００に送信される。

【３２５１】

２ブロック目（２）において、（例えば１ブロック目の通信確認コマンドから１００ｍｓ経過後）ＴＭが「０」のタイミングで主制御部３００から球数制御部６００に通信確認コマンドが送信される。このときＣＴは「１０」から「９」に、ＳＴは「０」から「１」に更新される。球数制御部６００から主制御部３００に通信確認コマンドが送信（返信）されると、ＳＴは「１」、ＣＴは「１０」に更新される。この間に複数の入賞が成立していた場合には、例えばＴＭが「２３」および「２２」になるタイミングで、主制御部３００から球数制御部６００に連続して賞球コマンドが送信される。

【３２５２】

３ブロック目（３）において、例えば、主制御部３００から球数制御部６００に通信確認コマンドを送信する割込み（ＴＭが「０」）になる割込み）とその１つ前の主制御部３００の割込みとの間に賞球コマンドの送信要因（入賞）が成立している場合、ＳＴが「０」であっても次の主制御部３００の割込みがＴＭが「０」の割込みの場合、主制御部３００から通信確認コマンドが送信され（ＴＭは「２５」）、球数制御部６００から通信確認コマンドが送信された後まで、賞球コマンドを送信できない。したがって賞球コマンドは次の（ＴＭが「２４」の）割込み処理で球数制御部６００に送信される。

【３２５３】

４ブロック目（４）において、ＴＭが「１」、ＳＴ「０」の割込みで主制御部３００から球数制御部６００に賞球コマンドが送信される。このとき、１回の割込み処理では１つの賞球コマンドしか送信できないため、他に（同時に）成立していた入賞がある場合には、次の主制御部３００の割込みまで送信が待機される。しかし４ブロック目のように、先の賞球コマンドの送信後の次の主制御部３００の割込みが、ＴＭが「０」のタイミングになると、主制御部３００は通信確認コマンドを送信するので、賞球コマンドの送信ができない（ＳＴが「１」になる）。主制御部３００は、球数制御部６００から通信確認コマンドを受信した後の割込み（ＴＭが「０」の割込み、このときＳＴは「０」）で、賞球コマンドを球数制御部６００に送信できる。つまり、この場合は複数の入賞が成立していたが、１つの賞球コマンドを送信した後の主制御部３００の割込みが、１００ｍｓ毎の通信確認コマンドを送信する処理を実行したため、確認後（数割込み後）まで他の賞球コマンドの送信が待機状態となった場合である。

５ブロック目（５）は、通信確認コマンドの送受信のみを行っている状態である。

【３２５４】

同図（ｂ）を参照して、主制御通信エラーの場合の通信処理の一例について説明する。

【３２５５】

まず１ブロック目（１）は、正常動作の状態を示し、ＴＭが「０」のタイミングで、主制御部３００は通信確認コマンドを送信し（ＳＴは「１」）、球数制御部６００から通信確認コマンドが送信される。次（ＴＭが「０」）の主制御部３００の割込みではＳＴが「０」であり賞球コマンドの送信条件が成立すれば、賞球コマンドの送信が可能な状態となる。

【３２５６】

２ブロック目（２）では、次の通信確認コマンドの送信タイミング（ＴＭが「０」）で主制御部３００から球数制御部６００に通信確認コマンドを送信するが、球数制御部６００から主制御部３００へ通信確認コマンド（返信）が送信されない。通信確認コマンドの返信がないため、ＳＴは「１」が維持され、ＣＴも「９」が維持される。

【３２５７】

３ブロック目（３）は、２ブロック目から所定期間経過後で、２ブロック目以降、８回

の通信確認コマンドを主制御部３００から球数制御部６００に送り、球数制御部６００からは通信確認コマンドの送信が無い状態を示す。ＴＭが「０」になる割込みで主制御部３００は、９回目の通信確認コマンドを球数制御部６００に送信する。これによりＣＴは「１」となり、球数制御部６００から通信確認コマンドの送信が無いためその値が維持される。

【３２５８】

４ブロック目（４）では、ＴＭが「０」の割込み処理で主制御部３００が１０回目の通信確認コマンドを送信する。ＣＴは「０」となり、球数制御部６００から通信確認コマンドの返信が無い場合これに基づき、ＥＲに「１」がセットされ、主制御部通信エラーの状態となる。ＣＴが「０」になったことに基づき、各種フラグの値が所定の値にセットされる（例えばＣＴは初期値の「１０」がセットされる）。

【３２５９】

５ブロック目（５）は、正常動作に戻った場合を示しており、主制御部３００から送信した通信確認コマンドに対し、球数制御部６００から主制御部３００に通信確認コマンドが送信されると、各種フラグやカウンタが初期化される。すなわちこの場合、ＥＲは「０」、ＳＴは「０」、ＣＴは「１０」、ＴＭは「２４」がセットされる。

【３２６０】

なお、ここでは一例として主制御部３００および球数制御部６００のいずれもコマンドを受信した場合に、当該コマンドに対応する信号を出力する場合を例に説明している。しかしこれに限らず、コマンドに対応したフラグを設け、コマンド受信した場合にフラグをセットし、次の割込みで当該フラグを判定して信号を出力するようにしてもよい。

【３２６１】

図３３０から図３３３は、主制御部３００と球数制御部６００のさらに詳細なタイミングチャートである。これらの図では、ＥＲ、ＳＴ、ＣＴ、ＴＭの図示は省略し、それぞれのタイミングチャート上で発生する入賞および、主制御部３００または球数制御部６００で行う各処理のタイミングを破線で示している。タイミングＡ、Ｉは、主制御部３００で各入賞口等への入球が検出されたタイミングであり、タイミングＢ、Ｊは、入賞パターンが一致したことにより主制御部３００において入賞受付処理が行われたタイミングであり、タイミングＣ、Ｋは主制御部３００から球数制御部６００に賞球コマンドが送信されたタイミングであり、タイミングＤ、Ｇ、Ｌは、主制御部３００が賞球数表示装置６９０に賞球数を表示するタイミングであり、タイミングＥは、球数制御部６００が球数表示部６４０に遊技球数を表示するタイミングである。またタイミングＦは、通信確認コマンドを送信するタイミングであり、タイミングＨは、球数制御部６００から主制御部３００に通信確認コマンドを送信するタイミングである。また、図３３０から図３３３に示す主制御部３００は、主制御部タイマ割込み処理（図３０６）において、第１の賞球数表示処理（ステップＳ２１６）は行わず、第２の賞球数表示処理（ステップＳ２２０）のみを行う場合を例に示す。更に、図示された以外の遊技球数の更新（イン球数、貸球数、再プレイ球数、計数球数による更新）は、省略して説明する。

【３２６２】

図３３０は、図３２９（ａ）の一部分に対応するタイミングチャートであり、図３３０（ａ）は、正常にまた通常のタイミングで賞球コマンドを送信する場合（図３２９（ａ）の１ブロック目に対応）のタイミングチャートの一例である。例えば遊技開始後最初に各入賞口等のいずれか（例えば一般入賞口２２６）に入球（入賞）があると（タイミングＡ）、主制御部３００は、タイマ割込み処理の入賞受付処理（図３０６のステップＳ２１７）を行う（タイミングＢ）。主制御部３００と球数制御部６００間の通信確認コマンドの送受信は、例えばタイミングＡとタイミングＢの間の割込み処理で正常に行われているとすると、主制御部３００は、入賞受付後、直ちに賞球コマンド送信処理（図３０６のステップＳ２１９）により球数制御部６００に入賞に対応した賞球数（例えば１０個）を含む賞球コマンドを送信する（タイミングＣ）。主制御部３００は、賞球コマンド送信処理（ステップＳ２１９）後にのみ、未送信の賞球数を賞球数表示処理（ステップＳ２２０）を

実行する。つまりタイミングＣで１つの賞球コマンドを送信した後は、入賞数記憶領域に記憶されている値は全て「０」であるので、賞球数表示部６９０の表示も「０」が維持される（タイミングＤ）。その後、賞球コマンドを受信した球数制御部６００はこれに基づき、球数制御部割込み処理（図３１０）の遊技球数設定処理（ステップＳ１２１１）において遊技球数に賞球数（１０個）を加算し、更新された遊技球数を球数表示部６４０に表示する。例えば、遊技開始時の遊技球数が「１０」の場合、球数表示部６００の表示は「２０」となる（タイミングＥ）。このように、球数制御部６００に未送信の賞球数を表示する賞球表示部６９０と、遊技球数を表示する球数表示部６４０の表示のタイミングには若干のずれが生じており、特に、主制御部３００の賞球数表示処理（ステップＳ２２０）が賞球コマンド送信処理（ステップＳ２１９）の後にのみ行われる構成では、獲得した賞球数が賞球表示部６９０に表示されない場合もある。

【３２６３】

図３３０（ｂ）は、賞球コマンドの送信のタイミングと、通信確認コマンドの送信のタイミングが重なった場合（図３２９（ａ）の３ブロック目に対応）のタイミングチャートの一例である。

【３２６４】

例えば遊技開始後最初に、例えば一般入賞口２２６に入球（入賞）があり（タイミングＡ）、主制御部３００がタイマ割込み処理の入賞受付処理を行う（タイミングＢ）。その後、賞球コマンド送信処理（ステップＳ２１９）を行うが、シリアルコマンド管理処理において通信確認コマンド送信タイマ（ＴＭ）が「０」になっている場合、主制御部３００は、（第一の）通信確認コマンドを球数制御部６００に送信する（タイミングＦ）。その後、主制御部３００は、賞球数表示処理（ステップＳ２２０）を行い、一般入賞口用入賞数記憶領域の値（入賞数「１」）に基づき、賞球数「１０」を賞球数表示部６９０に表示する（タイミングＧ）。タイミングＦの通信確認コマンド送信によって賞球コマンドの送信は待機されており、一般入賞口用入賞数記憶領域に「０」以外の値が記憶されているため、これに基づき賞球数表示部６９０に賞球数が表示される。主制御部３００から通信確認コマンドを受信した球数制御部６００は、球数制御部割込み処理（図３１０）のシリアルコマンド管理処理（ステップＳ１２０４）において主制御部３００に（第二の）通信確認コマンドを送信する（タイミングＨ）。その後、主制御部３００は通信確認コマンドを送信した（タイミングＦ）割込み処理の、次の割込み処理において球数制御部６００に賞球コマンドを送信する（タイミングＣ）。主制御部３００は賞球数表示処理（ステップＳ２２０）を行うが、賞球コマンドの送信により一般入賞口用入賞数記憶領域およびそれ以外の入賞記憶領域の値は「０」となっており、賞球数表示部６９０には「０」が表示される（タイミングＤ）。賞球コマンドを受信した球数制御部６００はこれに基づき、球数制御部割込み処理（図３１０）の遊技球数設定処理（ステップＳ１２１１）において遊技球数に賞球数（１０個）を加算し、更新された遊技球数を球数表示部６４０に表示する。例えば、遊技開始時の遊技球数が「１０」の場合、球数表示部６００の表示は「２０」となる（タイミングＥ）。このように、主制御部３００の１回の割込み処理において、入賞受付（タイミングＢ）と通信確認コマンド送信（タイミングＦ）が重なった場合、賞球コマンド送信（タイミングＣ）は、次以降の主制御部３００の割込み処理で行われ、その間、賞球コマンドの送信、賞球数の遊技球数への加算および球数制御部６４０への遊技球数の表示は待機される。一方、賞球数表示部６９０への賞球数の表示は、賞球コマンドの送信がされておらず、主制御部３００の通信確認コマンドの送信処理と同一の割込み処理内で行えるので、この場合、賞球数表示装置６９０に賞球数が表示される。

【３２６５】

図３３１は、図３２９（ａ）の２ブロック目に対応するタイミングチャートであり、同一の主制御部３００の割込み処理において、（同時に）複数の入賞受付があった場合の一例を示す。例えば遊技開始後最初に、例えば第１特図始動口２３０に入球（入賞）があり（タイミングＩ）、続けて一般入賞口２２６に入球（入賞）があった場合（タイミングＡ）、主制御部３００は、同一のタイマ割込み処理の入賞受付処理（図３０６のステップＳ

２１７）で複数（この場合２つ）の入賞受付を同時に行う（タイミングＢ、Ｊ）。主制御部３００と球数制御部６００間の通信確認コマンドの送受信は、例えばタイミングＡとタイミングＢの間の割込み処理で正常に行われているとすると、主制御部３００は、入賞受付後、直ちに賞球コマンド送信処理（図３０６のステップＳ２１９）により球数制御部６００に入賞に対応した賞球数を含む賞球コマンドを送信する（タイミングＣ）。賞球コマンドの送信は、１つの割込み処理につき１つのみ送信する仕様の場合、タイミングＣで送信される賞球コマンドは、入賞が受け付けられた２つの入賞のうち一方となる。この場合の優先順位は、ＲＡＭに設けられた入賞数記憶領域の配置により決まる。例えば、各入賞数記憶領域が、図３２２（ｂ）に示すように配置されている場合、アドレスの小さい番地から順に値を取得するので、タイミングＣでは、第１特図始動口２３０に対応する賞球コマンド（賞球数は「３」）が送信される。その後の賞球数表示処理（ステップＳ２２０）では、賞球コマンドが送信されていない他方の入賞（一般入賞口２２６）に対応する賞球数（例えば「１０」）が、賞球数表示部６９０に表示される。の表示も「０」が維持される（タイミングＤ）。その後、賞球コマンドを受信した球数制御部６００はこれに基づき、球数制御部割込み処理（図３１０）の遊技球数設定処理（ステップＳ１２１１）において遊技球数に第１特図始動口２３０に対応する賞球数（３個）を加算し、更新された遊技球数を球数表示部６４０に表示する。例えば、遊技開始時の遊技球数が「１０」の場合、球数表示部６００の表示は「１３」となる。一般入賞口２２６入賞の賞球コマンドは、主制御部３００の次の割込み処理の賞球コマンド送信処理で送信される（タイミングＫ）。これにより、各入賞数記憶領域の値は全て「０」となり、その後の賞球数表示処理では、賞球数表示部６９０に「０」が表示される（タイミングＬ）。また、図示は省略するが、賞球コマンドを受信した球数制御部６００は遊技球数設定処理（ステップＳ１２１１）において遊技球数に一般入賞口２２６に対応する賞球数（１０個）を加算し、更新された遊技球数を球数表示部６４０に表示する。例えば、遊技開始時の遊技球数が「１３」の場合、球数表示部６００の表示は「２３」となる。

【３２６６】

このように、主制御部３００の同一の割込み処理で複数の入賞の受付がされた場合であっても、賞球コマンドの送信はそれ以降の割込み処理で、各割込み処理につき１回ずつの送信となる。

【３２６７】

図３３２は、球数制御部６００の他の形態のタイミングチャートの一例を示すものであり、図３２８（ｂ）に示す球数制御部６００のシリアルコマンド受信処理において、主制御部３００から送信された賞球コマンドに対しても賞球コマンド受信の報知（返信）を行う場合の一例である。タイミングＭは、球数制御部６００から主制御部３００に、賞球コマンド受信の報知（返信）を行うタイミングである。

【３２６８】

例えば遊技開始後最初に、例えば一般入賞口２２６に入球（入賞）があり（タイミングＡ）、主制御部３００がタイマ割込み処理の入賞受付処理を行う（タイミングＢ）。その後、賞球コマンド送信処理（ステップＳ２１９）を行うが、シリアルコマンド管理処理において通信確認コマンド送信タイマ（ＴＭ）が「０」になっている場合、主制御部３００は、（第一の）通信確認コマンドを球数制御部６００に送信する（タイミングＦ）。その後、主制御部３００は、賞球数表示処理（ステップＳ２２０）を行い、一般入賞口用入賞数記憶領域の値（入賞数「１」）に基づき、賞球数「１０」を賞球数表示部６９０に表示する（タイミングＧ）。タイミングＦの通信確認コマンド送信によって賞球コマンドの送信は待機されており、一般入賞口用入賞数記憶領域に「０」以外の値が記憶されているため、これに基づき賞球数表示部６９０に賞球数が表示される。主制御部３００から通信確認コマンドを受信した球数制御部６００は、球数制御部割込み処理（図３１０）のシリアルコマンド管理処理（ステップＳ１２０４）において主制御部３００に（第二の）通信確認コマンドを送信する（タイミングＨ）。その後、主制御部３００は通信確認コマンドを送信した（タイミングＦ）割込み処理の、次の割込み処理において球数制御部６００に賞

球コマンドを送信する（タイミングＣ）。主制御部３００は賞球数表示処理（ステップＳ２２０）を行うが、賞球コマンドの送信により一般入賞口用入賞数記憶領域およびそれ以外の入賞記憶領域の値は「０」となっており、賞球数表示部６９０には「０」が表示される（タイミングＤ）。賞球コマンドを受信した球数制御部６００は、球数制御部６００のシリアルコマンド受信処理（図３２８（ｂ）のステップＳ２１１３）において賞球コマンド受信のコマンド（返信）を主制御部３００に送信する（タイミングＭ）。また球数制御部６００は、遊技球数設定処理（ステップＳ１２１１）において遊技球数に賞球数（１０個）を加算し、更新された遊技球数を球数表示部６４０に表示する。例えば、遊技開始時の遊技球数が「１０」の場合、球数表示部６００の表示は「２０」となる（タイミングＥ）。

【３２６９】

図３３３は、図３３０のさらに詳細なタイミングチャートである。遊技中は、遊技球数の加算（賞球数の加算）だけでなく、非入賞の場合や、計数操作を行った場合などには遊技球数が減算されていく場合もある。封入式のパチンコ機１００では、機内球７１０は一定量であるため、遊技者が遊技可能な遊技球数を超えた場合には、例えば機内球７１０の循環を制御し、発射や球送りを不可能にする必要がある。図３３３では、遊技球数が０になる可能性がある場合について、説明する。

【３２７０】

図３３３（ａ）は、図３３０（ａ）のタイミングＢからタイミングＥの部分を拡大したものであり、主に、賞球数を表示する賞球表示部６９０と、遊技球数を表示する球数表示部６４０の表示のタイミングについて説明する。

【３２７１】

球数制御部６００に賞球数（例えば１０個）を含む賞球コマンドが送信されると（タイミングＣ）、その後の賞球数表示処理において賞球数表示部６９０に「０」が表示（維持）される（タイミングＤ）。その後、球数制御部６００では、図３１０に示す割込み処理において、シリアルコマンド管理処理（ステップＳ１２０４）を行う（タイミングＯ）。そしてシリアルコマンド管理処理において賞球コマンドを受信した球数制御部６００は、その後の遊技球数設定処理（ステップＳ１２１１）において遊技球数に賞球数（１０個）を加算する。そして更新された遊技球数を球数表示部６４０に表示する（タイミングＥ）。ただし、タイミングＯからタイミングＥまでの間に、遊技者が機内球７１０の発射を行い、これらが非入賞であったり、計数ボタン６５２の操作が行われるなどすると、遊技球数は賞球数の加算だけでなく、イン球数や計数球数の減算も行われそれらも含めて更新されている。つまり、タイミングＯからタイミングＥまでの間に遊技球数（遊技球数記憶領域の遊技球数）が「０」になり、球数表示部６４０に「０」が表示される場合もある。そうなると、賞球表示部６９０と球数表示部６４０のいずれにも「０」が表示され、遊技者の遊技球数（発射可能な遊技球数）はこのタイミングで存在しないことになる。このような場合に、機内球７１０の発射や球送りが可能となるのは望ましくないため、所定期間（例えば次回の球数制御部６００の割込み処理のタイミングまで）球送りや発射の駆動処理Ｐを行うタイミングを待機するとよい。

【３２７２】

実際には、タイミングＤとタイミングＥのずれはわずかであり、例えば、いずれも「０」が表示される期間はごく短いものであるが、所定期間待機し、賞球数が遊技球数に反映された後に（球数表示部６４０の表示が「１」以上となった場合に）発射や球送りの駆動処理Ｐを行うと好適である。なお、球送りや発射の駆動処理Ｐは、球数制御部割込み処理の遊技球数設定処理（ステップＳ１２１１）より後のステップで行ってもよい。

【３２７３】

図３３３（ｂ）は、図３３０（ｂ）のタイミングＢからタイミングＥの部分を拡大したものであり、図３３３（ａ）の如く、遊技球数（遊技球数記憶領域に記憶された遊技球数）が「０」の場合には、遊技不可として発射や球送りの駆動処理Ｐを制限する場合の一例について説明する。

【３２７４】
例えば、遊技球数が「０」（球数表示部６４０の表示が「０」）の状態の場合であるが領域内球数が例えば一般入賞口２２６に入賞したとする。この場合主制御部３００が一般入賞口２２６の入賞受付処理を行い（タイミングＢ）、主制御部３００が（第一の）通信確認コマンドを球数制御部６００に送信する（タイミングＦ）。その後、主制御部３００は、賞球数表示処理で一般入賞口２２６の賞球数「１０」を賞球数表示部６９０に表示する（タイミングＧ）。その後球数制御部６００は、割込み処理のシリアルコマンド管理処理において主制御部３００に（第二の）通信確認コマンドを送信する（タイミングＨ）。その後、主制御部３００は球数制御部６００に賞球コマンドを送信する（タイミングＣ）。主制御部３００の賞球数表示処理により賞球数表示部６９０には「０」が表示される（タイミングＤ）。賞球コマンドを受信した球数制御部６００は遊技球数設定処理において遊技球数に賞球数（１０個）を加算し、更新された遊技球数を球数表示部６４０に表示する。この場合、タイミングＢの時点で球数表示部６００の表示は「０」であり、更新後の球数表示部６００の表示は「１０」となる（タイミングＥ）。
【３２７５】
このような場合、たとえタイミングＢで球数表示部６４０の表示が「０」であっても、タイミングＧでは賞球数表示部６９０に賞球数「１０」が表示され、遊技者の発射可能な（実質的な）遊技球数としては「１」以上存在している。しかし、遊技球数更新のタイミング（遊技球数設定処理におけるシリアルコマンド管理処理のタイミング）によって、遊技球数記憶領域の遊技球数は「０」のままであるので、タイミングＧからタイミングＤまでの間は遊技球数の発射や球送りの駆動処理が行われず、遊技ができない状態となる場合がある。
【３２７６】
このように、遊技球数が少ない場合（「０」の場合）に入賞すると、通信確認コマンド送受信によるタイムラグにより直ちにデータが更新されない場合がある。これにより、遊技者が球発射ハンドル１３４を連続して操作していても、機内球７１０の発射間隔が一定ではなくなる場合がある。
【３２７７】
つまり、遊技球数の更新処理は、機内球７１０の発射制御や、球送り制御とも密接に関連している。以下、発射制御および球送り制御について、説明する。
＜球送り制御処理および発射制御処理＞
【３２７８】
図３３４から図３４５を参照して、パチンコ機１００の発射制御処理および球送り制御処理について説明する。
【３２７９】
図３３４は、球送り制御処理および発射制御処理に関する構成を示すブロック図である。パチンコ機１００は例えば、タッチセンサ８０６、発射強度センサ８０８、発射停止スイッチ８１０、球送り装置６１６、発射装置６２２を有する。タッチセンサ８０６、発射強度センサ８０８、発射停止スイッチ８１０は操作部中継基板８０２を介して発射制御部（発射制御回路）８００に接続する。球送り装置６１６および発射装置６２２は、発射中継基板８０４を介して発射制御部８００に接続する。発射制御部８００は、ここでは一例として球数制御部６００に設けられた発射制御回路であるが、球数制御部６００と別体の構成としてもよい。
【３２８０】
タッチセンサ８０６、発射強度センサ８０８および発射停止スイッチ８１０は、例えば球発射ハンドル１３４に設けられ、遊技者による球発射ハンドル１３４の操作を検出する。具体的にはタッチセンサ８０６は、遊技者が球発射ハンドル１３４に接触しているか否かの検出を行う。発射強度センサは、遊技者の球発射ハンドル１３４の操作量を検出し、これにより機内球７１０の遊技領域１２４への発射強度を調整する。球発射ハンドル１３４の操作量は球発射ハンドル１３４の回転角度であり、ハンドルボリュームともいう。発

射停止スイッチ８１０は、押下されることによって（押下を発射停止センサで検知することにより）機内球７１０の発射を停止する。タッチセンサ８０６、発射強度センサ８０８および発射停止スイッチ８１０は、球送り制御用各種センサに含まれる。

【３２８１】

球送り装置６１６は例えば、球送り駆動装置８１２と球通路（不図示）を含んで構成され、発射装置６１２例えば、発射駆動装置８１４と発射杵６２２ａを含んで構成される。球送り駆動装置８１２および発射駆動装置８１４はここではそれぞれソレノイドを用いる場合を例に説明するが、ソレノイドに限らず例えば、モータ、動力シリンダーなど他のアクチュエーターであってもよい。

【３２８２】

球数制御部６００（発射制御部８００）は、タッチセンサ８０６および発射強度センサ８０８を検出し、球発射ハンドル１３４が遊技者により操作されていることを検知した場合には、球送り駆動装置（球送りソレノイド）８１２を駆動する。球送りソレノイド８１２は球通路を回動可能に支持し、球送りソレノイド８１２の駆動（例えば、球通路の吸引）によって機内球７１０が回動する球通路に沿って移動し、発射レール６２４に搬送される。機内球７１０が発射レール６２４で停止すると球数制御部６００は、発射駆動装置（発射ソレノイド）８１４を駆動する。発射ソレノイド８１４は、発射杵６２２ａを回動可能に支持し、発射ソレノイド８１４の駆動（例えば吸引）により発射杵６２２ａが回動し、発射レール６２４上の機内球７１０を遊技領域１２４に打ち出す。発射の強弱は、発射強度センサ８０８で検出した球発射ハンドル１３４の操作量（ハンドルボリューム）によって発射ソレノイド８１４の駆動量（吸引量）を変化させて制御する。既述の如く、発射レール６２４から機内球７１０が発射されたことを減算センサ６０４Ｚが検出すると、遊技球数を１個減算する。

【３２８３】

球数制御部６００（発射制御部８００）は、球発射ハンドル１３４のタッチ状態を非検出の場合、発射停止スイッチが押下されている場合、球発射ハンドル１３４が一定角以上回転されていない場合、および管理装置６２０が未接続の場合などには、機内球７１０の発射（球送りソレノイド８１２、発射ソレノイド８１４の少なくとも一方の駆動）を停止する。

【３２８４】

また、球数制御部６００は、球数制御部割込み処理において主制御通信エラー中の場合には、すなわち図３２７（ａ）に示す主制御通信エラー管理処理において主制御通信エラーと設定された場合には、球送りソレノイド８１２および発射ソレノイド８１４の少なくとも一方の駆動を停止することもできる。

【３２８５】

さらに球数制御部６００は、遊技球数を参照して球送りソレノイド８１２および発射ソレノイド８１４の駆動および停止を制御することもできる。例えば、遊技球数が「０（ゼロ）」の場合には、球送りソレノイド８１２および発射ソレノイド８１４の少なくとも一方の駆動を停止し、機内球７１０の発射を不可能にする。

【３２８６】

またパチンコ機１００では、１分間に発射できる機内球７１０が所定数以下と定められており、球発射ハンドル１３４を連続操作した場合であっても、機内球７１０の発射間隔の最短時間は一定となる。一例として１分間に発射できる機内球７１０は１００個以下であり、これにより機内球７１０の発射間隔は最短で６００ｍｓである。球数制御部６００は、遊技球数が少なく（例えば、１０球以下、５球以下など）なった場合、機内球７１０の発射間隔を通常の発射間隔（遊技球数が一定量以上の場合の発射間隔：６００ｍｓ）より長くするような制御を行うこともできる。

【３２８７】

図３３５から図３３８を参照して、パチンコ機１００の球送り制御処理および発射制御処理の一例について具体的に説明する。

【３２８８】
図３３５は、機内球７１０を発射レール６２４に送る球送り制御処理（球送り装置制御処理）の流れを示すフローチャートであり、図３３５（ａ）が遊技球数の有無を球送り制御の条件とする場合のフローチャートであり、図３３５（ｂ）が遊技球数の有無を球送り制御の条件としない場合のフローチャートである。またいずれの場合も、機内球７１０の最短発射間隔（ここでは６００ｍｓ）のタイマ管理は発射制御で行うものとする。
【３２８９】
図３３５（ａ）を参照して、ステップＳ２３０１では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り用各種センサの状態は、例えば、タッチセンサフラグ、ボリュームスイッチフラグ、発射停止フラグ、通信エラーフラグなどで判定できる。例えば、遊技者が球操作ハンドル１３４にタッチしていることをタッチセンサ８０６で検出した場合は、ＲＡＭに設けられたタッチセンサフラグがオン（または例えば「１」がセット）になる。球発射ハンドル１３４の操作は例えばデジタル的に判定可能であり、ハンドルボリュームが所定値以上の場合（球発射ハンドル１３４の操作量が所定角度以上）であることを発射強度センサ８０８で検出した場合は、ＲＡＭに設けられたボリュームスイッチフラグがオン（また例えば「１」がセット）になる。また、発射停止スイッチ８１０が押下されていない場合は、ＲＡＭに設けられた発射停止フラグがオフ（または例えば「０」がセット）となる。また、主制御部通信エラーの判定がされていない場合、通信エラーフラグがオフ（または例えば「０」がセット）となる。
【３２９０】
本ステップではこれらのフラグを判定し、タッチセンサフラグがオン、ボリュームスイッチフラグがオン、発射停止フラグがオフ、通信エラーフラグがオフ、のすべてを満たした場合、ステップＳ２３０３に進み、そうでない場合は処理を終了する。
【３２９１】
ステップＳ２３０３では、遊技球数記憶領域に記憶されている遊技球数を取得し、有無を判定する。遊技球数が有る場合はステップＳ２３０５に進み、そうでない場合は処理を終了する。
【３２９２】
ステップＳ２３０５では球送りフラグを判定する。球送りフラグは前回の機内球７１０発射後に球送り（機内球７１０の発射レール６２４への搬送）を行っているか否かを判定するフラグであり、球送りフラグがオフ（または「０」をセット）の場合は球送りを行っていないことを示し、球送りフラグがオン（または「１」をセット）の場合は球送りを行っていることを示す。球送りフラグがオフの場合はステップＳ２３０７に進み、そうでない場合は処理を終了する。機内球７１０の１分間の発射球数を１００個以内に制限するタイマ管理処理を発射制御処理で行うために、球送り制御処理において球送りフラグの判定と設定を行っている。球送りフラグは、後述する発射制御処理において初期化（オフが設定）され、そのタイミングは最短で６００ｍｓである。球送りフラグの設置および球送り制御処理での球送りフラグの判定処理（本ステップ）は、所定の構成を有するパチンコ機１００の場合に必要となるが、それについては後述する。
【３２９３】
ステップＳ２３０７では、球送りソレノイド８１２を駆動する。これにより１個の機内球７１０が発射レール６２４に搬送される。
【３２９４】
ステップＳ２３０９では、球送りを行ったことを示す、球送りフラグをオンにする。
【３２９５】
この球送り制御処理では、遊技球数が有る場合には球送りが行われる一方で、遊技球数が無い場合は球送りが行われない。
【３２９６】
同図（ｂ）を参照して、遊技球数の有無によらず球送り制御が可能な球送り制御処理に

ついて説明する。球送り制御用各種センサおよびその状態検出、球送りフラグについては同図（ａ）と同様であるので説明は省略する。

【３２９７】

ステップＳ２４０１では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。例えば、タッチセンサフラグがオン、ボリュームスイッチフラグがオン、発射停止フラグがオフのすべてを満たした場合、ステップＳ２４０３に進み、そうでない場合は処理を終了する。

【３２９８】

ステップＳ２４０３では、球送りフラグを判定し、球送りフラグがオフの場合はステップＳ２４０５に進み、そうでない場合は処理を終了する。ステップＳ２４０５では、球送りソレノイド８１２を駆動する。これにより１個の機内球７１０が発射レール６２４に搬送される。ステップＳ２４０７では、球送りを行ったことを示す、球送りフラグをオンにする。

【３２９９】

この球送り制御処理では、遊技球数が「０」であっても球送りが可能となる。パチンコ機１００の球送り制御処理では、同図（ａ）または（ｂ）のいずれかが採用できる。

【３３００】

図３３６を参照して、機内球７１０を遊技領域１２４に発射する発射制御処理（発射装置制御処理）について説明する。同図は発射制御処理の流れを説明するフローチャートの一例である。これらの発射制御処理では、機内球７１０の最短発射間隔（ここでは６００ｍｓ）のタイマ管理を行っており、例えば図３３５に示した球送り制御処理（のいずれか）とともに採用できる。また、同図に示す発射制御処理における、球送り制御用各種センサの状態検出と、球送りフラグの設定は、図３３５に示す球送り制御処理の場合と同様であるので、説明は省略する。

【３３０１】

同図（ａ）を参照して、ステップＳ２５０１では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り制御用各種センサの球送り制御実行条件は、球送り制御処理の判定時に成立していても発射制御処理のタイミングでは不成立となる可能性があるので、本ステップにて改めて判定を行う。球送り制御実行条件が成立した場合、例えば、タッチセンサフラグがオン、ボリュームスイッチフラグがオン、発射停止フラグがオフのすべてを満たした場合、ステップＳ２５０３に進み、そうでない場合はステップＳ２５１３に進む。

【３３０２】

あるいは、破線の矢印で示すように、球送り制御実行条件が不成立の場合、処理を終了するようにしてもよい。これにより、例えば最短発射間隔の６００ｍｓの期間中に一旦、遊技者が球操作ハンドル１３４から手を離した場合などに、発射間隔タイマを一時停止するような処理が可能になる。

【３３０３】

ステップＳ２５０３では、発射間隔タイマから「１」を減算する。発射間隔タイマは、機内球７１０の最短発射間隔を６００ｍｓに維持するためのタイマであり、初期値として「３００」（球数制御部６００のタイマ割込み処理の周期が２ｍｓの場合）に設定されている。

【３３０４】

ステップＳ２５０５では、発射間隔タイマが「０」であるか否かを判定する。発射間隔タイマが「０」の場合（前回の発射から６００ｍｓが経過したことを示す）は、ステップＳ２５０７に進み、そうでない場合は、処理を終了する。

【３３０５】

ステップＳ２５０７では、球送りフラグを判定する。球送りフラグがオンの場合は、ステップＳ２５０９に進み、そうでない場合は処理を終了する。図３３５の球送り制御処理にて設定される球送りフラグがオフの場合は、機内球７１０の球送りを行っていないので

あるから、発射制御処理において発射レノイド８１４は駆動しなくてよい。一方、球送り制御用各種センサの状態が球送り制御実行条件を満たしている場合は、発射すべきところを発射できていない可能性がある。そこで本ステップで球送りフラグを判定し、発射ソレノイド８１４の駆動を判断する。

【３３０６】

ステップＳ２５０９では発射ソレノイド８１４を駆動する。前のステップＳ２５０７の判定の結果、球送りフラグがオンであれば、球送り制御実行条件も満たし、球送りも行われている状態であるので発射ソレノイド８１４を駆動する。

【３３０７】

例えば、パチンコ機１００が、球送りソレノイド８１２と発射ソレノイド８１４とが連動して駆動し、遊技球数が「０」になった場合に球送りソレノイド８１２および発射ソレノイド８１４が停止する構成であるが、球送り後に遊技球数が「０」となった場合（最後の遊技球数を球送りした後）には１回だけ発射ソレノイドの駆動が許容されるように構成されている場合には、球送り制御処理での球送りフラグの設定および判定と、発射制御処理での球送りフラグの判定が必要となる。すなわち、当該構成のパチンコ機１００においては、最後の遊技球数を球送りした（球送りフラグがオン）が、機内球７１０が発射レール６２４から発射されないという事象が生じる可能性がある。しかし球送りフラグを設けて（球送り制御処理でフラグの設定および判定を行い）発射制御処理において、これを参照することで、球送りされたにもかかわらず発射されない機内球７１０（最後の遊技球）を打ち出すことが可能となる。

【３３０８】

ステップＳ２５１１では、球送りフラグをオフに（または「０」をセット）する。ステップＳ２５１３では、発射間隔タイマに初期値を設定する。初期値はここでは「３００」（＝６００ｍｓ／２ｍｓ）である。ステップＳ２５０１において球送り制御実行条件が不成立の場合、すなわち、タッチセンサの検知なしを示すオフ（または「０」がセット）、停止スイッチの検知有りを示すオン（または「１」がセット）、ボリュームスイッチフラグの操作無しを示すオフ（または「０」がセット）、主制御部通信エラーがオン（または「１」がセット）のいずれかである場合、本ステップにおいて、発射間隔タイマに初期値「３００」がセットされる。球送り条件不成立となる球送り用各種センサの各フラグの解除後（初期化後）は、最短で６００ｍｓ後に機内球７１０の発射が可能となる。

【３３０９】

同図（ｂ）は、球送り制御実行条件によらず、発射間隔タイマを常に更新する発射制御処理の流れを示すフローチャートである。

【３３１０】

ステップＳ２６０１では、発射間隔タイマから「１」を減算する。発射間隔タイマは、同図（ａ）の場合と同様であるので説明は省略する。ステップＳ２６０３では、発射間隔タイマが「０」であるか否かを判定し、発射間隔タイマが「０」の場合はステップＳ２５０５に進み、そうでない場合は処理を終了する。

【３３１１】

ステップＳ２６０５では、球送りフラグを判定し、オンの場合はステップＳ２６０７に進み、そうでない場合は、処理を終了する。球送りフラグを判定する理由は、同図（ａ）と同様であるので説明は省略する。

【３３１２】

ステップＳ２６０７では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り制御実行条件が成立した場合は、ステップＳ２６０９に進み、そうでない場合はステップＳ２６１３に進む。

【３３１３】

ステップＳ２６０９では発射ソレノイド８１４を駆動する。ステップＳ２６１１では、球送りフラグをオフに（または「０」をセット）する。ステップＳ２６１３では、発射間隔タイマに初期値を設定する。初期値はここでは「３００」（＝６００ｍｓ／２ｍｓ）で

ある。
【３３１４】
図３３７は、機内球７１０の最短発射間隔（ここでは６００ｍｓ）のタイマ管理を球送り制御処理で行う場合の、球送り制御処理と発射制御処理の流れを示すフローチャートの一例である。同図（ａ）は球送り制御処理（球送り装置制御処理）のフローチャートであり、同図（ｂ）は発射制御処理（発射装置制御処理）のフローチャートである。なお、同図における、球送り制御用各種センサの状態検出と、球送りフラグの設定は、図３３５に示す球送り制御処理の場合と同様であるので、説明は省略する。
【３３１５】
ステップＳ２７０１では、球送り間隔タイマから「１」を減算する。球送り間隔タイマは、機内球７１０の最短球送り間隔を６００ｍｓに維持するためのタイマであり、初期値として「３００」（球数制御部６００のタイマ割込み処理の周期が２ｍｓの場合）に設定されている。最短球送り間隔を６００ｍｓに制限することで最短発射間隔も６００ｍｓに制限される。
【３３１６】
ステップＳ２７０３では、球送り間隔タイマが「０」であるか否かを判定する。球送り間隔タイマが「０」の場合（前回の球送りから６００ｍｓが経過したことを示す）は、ステップＳ２７０５に進み、そうでない場合は、処理を終了する。
【３３１７】
ステップＳ２７０５では、球送り間隔タイマに初期値を設定する。初期値はここでは「３００」（＝６００ｍｓ／２ｍｓ）である。
【３３１８】
ステップＳ２７０７では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り制御実行条件が成立した場合、例えば、タッチセンサフラグがオン、ボリュームスイッチフラグがオン、発射停止フラグがオフのすべてを満たした場合、ステップＳ２７０９に進み、そうでない場合は処理を終了する。
【３３１９】
ステップＳ２７０９では、遊技球数記憶領域に記憶されている遊技球数を取得し、有無を判定する。遊技球数が有る場合はステップＳ２７１１に進み、そうでない場合は処理を終了する。
【３３２０】
ステップＳ２７１１では、球送りフラグを判定する。球送りフラグがオフの場合はステップＳ２７１３に進み、そうでない場合は処理を終了する。
【３３２１】
ステップＳ２７１３では、球送りソレノイド８１２を駆動し、１個の機内球７１０を発射レール６２４に搬送する。ステップＳ２７１５では、球送りを行ったことを示す、球送りフラグをオンにする。
【３３２２】
この球送り制御処理では、遊技球数の有無によらず、遊技球７１０を一定の周期（６００ｍｓ）で発射レール６２４に送り出す。この場合、最後の遊技球数を発射直後に賞球や貸球等で遊技球数が増加した場合（遊技球数が「０」から「１０」になった場合）であっても、遊技球数の更新（増加）後、直ちに球送りを行うのではなく、（遊技球数の有無によらず）更新されている球送り間隔タイマに合わせて一定周期で球送りを行う。
同図（ｂ）を参照して、発射制御処理の流れについて説明する。
【３３２３】
ステップＳ２８０１では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り制御実行条件が成立した場合、例えば、タッチセンサフラグがオン、ボリュームスイッチフラグがオン、発射停止フラグがオフのすべてを満たした場合、ステップＳ２８０３に進み、そうでない場合は処理を終了する。
【３３２４】

ステップＳ２８０３では、球送りフラグを判定する。球送りフラグがオンの場合はステップＳ２８０５に進み、そうでない場合は処理を終了する。

【３３２５】

ステップＳ２８０５では、発射ソレノイド８１４を駆動する。ステップＳ２８０７では、球送りフラグにオフをセットする。

【３３２６】

なお、図示は省略するが、発射制御処理において、球送り許可フラグを用いて、発射後（ステップＳ２８０５の発射ソレノイド駆動後）球送り許可フラグにオン（または「１」）を設定するものとしてもよい。当該フラグがオンの場合は、球送りを許可することを示す。その場合、同図（ａ）の球送り処理では、球送りソレノイド駆動処理（ステップＳ２７１３）以前に球送り許可フラグを判定し、当該フラグがオンの場合には、球送りソレノイドを駆動し、駆動後に球送り許可フラグをオフ（または「０」）に設定する。また球送りソレノイド駆動の条件に替えて、他の条件で球送り許可フラグをオフにしてもよい。他の条件とはたとえば、減算センサ６０４Ｚによる検知である。あるいは球送りソレノイド駆動条件と他の条件の論理積で球送り許可フラグをオフに設定してもよく、例えば、球送りソレノイドが駆動し、且つ減算センサ６０４Ｚが正しく機内球７１０を検知した場合に球送り許可フラグをオフに設定してもよい。

【３３２７】

図３３８を参照して、球送り制御処理（球送り装置制御装置）および発射制御処理（発射装置制御処理）の他の形態について説明する。図３３８は、球送り制御処理および発射制御処理を分離せず、一連の処理で行う場合のフローチャートの一例を示す。

【３３２８】

この場合、発射・球送りの最短間隔を管理する共通のタイマ（例えば発射間隔タイマ）の値に基づき、球送りソレノイド８１２と発射ソレノイド８１４を駆動する。つまり、一定間隔毎（例えば３００ｍｓ毎）に球送りソレノイド８１２と発射ソレノイドを交互に駆動し、機内球７１０の球送りと発射を行う。球送り制御用各種センサの状態検出は、既述の処理と同様であり、説明は省略する。

【３３２９】

ステップＳ２９０１では、球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定する。球送り制御実行条件が成立した場合は、ステップＳ２９０３に進み、そうでない場合はステップＳ２９１３に進む。

【３３３０】

ステップＳ２９０３では、発射間隔タイマから「１」を減算する。発射間隔タイマは、既述の発射間隔タイマと同様であるが、ここでは球送りの間隔も管理する。

【３３３１】

ステップＳ２９０５では、発射間隔タイマが所定値（ここでは「１５０」）であるか否かを判定する。最短発射間隔が６００ｍｓの場合、発射間隔タイマの初期値は「３００」に設定されている。本処理では、最短発射間隔の間に一定間隔で球送りを行うため、発射間隔タイマの値が「１５０」であるか否かを判定し、「１５０」の場合はステップＳ２９０７に進み、そうでない場合はステップＳ２９０９に進む。ステップＳ２９０７では、球送りソレノイド８１２を駆動する。

【３３３２】

ステップＳ２９０９では、発射間隔タイマが「０」であるか否かを判定する。発射間隔タイマが「０」の場合は、ステップＳ２９１１に進み、そうでない場合は処理を終了する。ステップＳ２９１１では、発射ソレノイド８１４を駆動する。

ステップＳ２９１３では、発射間隔タイマの値を初期値「３００」に設定する。

【３３３３】

なお、本処理においても既述の球送りフラグを設け、これを判定するものとしてもよい。また、ステップＳ２９０７の球送りソレノイド駆動処理の前に遊技球数を判断し、遊技球数が有る場合にのみ球送りソレノイド８１２を駆動するようにしてもよい。

【３３３４】
またこの処理では、例えば、ステップＳ２９０１で球送り制御用各種センサの状態を検出し、球送り制御実行条件が成立しているか否かを判定している。したがって、例えば６００ｍｓの途中で球発射ハンドル１３４から遊技者が手を離すようなことがあると、その後球発射ハンドル１３４を操作した時点から６００ｍｓ経過しないと機内球７１０を発射できない。更に、球送り後３００ｍｓ以内に球発射ハンドル１３４から手を離すと、球送り済み（発射前）であるにもかかわらず、再度球送りをしてしまう。これを回避するには、球送りフラグなどを用いて、少なくとも球送りの後はタッチセンサが非検出（非接触を検出した場合）であっても発射間隔タイマを初期化しないなどの方法がある。
【３３３５】
図３３９から図３４１は、球送りソレノイド８１２と発射ソレノイド８１４の駆動状態の一例を示すタイミングチャートである。また球送りソレノイド８１２の駆動による遊技球数の変化（減算センサ６０４Ｚによる機内球７１０の検出による遊技球数の変化）の一例も併記した。
【３３３６】
図３３９（ａ）は、遊技球数の有無によって球送りの可否が制限され（例えば図３３５（ａ）の球送り制御処理）、最短発射間隔は発射制御側で管理する場合で、通常の場合（遊技球数が徐々に減少していく場合）のタイミングチャートを示している。球数制御部６００は、球送りソレノイド８１２を駆動し、発射レール６２４に機内球７１０が搬送されると球送りフラグがオンとなる。球送りフラグがオンであるので発射ソレノイド８１４を駆動し、機内球７１０を発射するとともに球送りフラグをオフにする。球送りソレノイド８１２から機内球７１０が発射装置６２２に送られるとこれが減算センサ６０４Ｚによって検出され、遊技球数が更新されるので、例えば「３」であった遊技球数が「２」となる。わずかなタイムラグのあと、球送りフラグがオフであるので球数制御部６００は球送りソレノイド８１２を駆動する。以降同様に処理が進む。発射ソレノイドの発射間隔は最短で６００ｍｓである。遊技球数が「１」から「０」になると、例えば、球発射ハンドル１３４の操作を行っており球送り制御実行条件が成立している場合であっても、球数制御部６００は破線の如く、球送りソレノイド８１２を駆動せず、球送りフラグがオフであるので、発射ソレノイド８１４も駆動しない。発射ソレノイド８１４は遊技球数が「０」になることで間接的に停止する。
【３３３７】
図３３９（ｂ）は、図３３９（ａ）と同様の処理であるが、球送りソレノイド８１２の駆動間隔が６００ｍｓ以内となる場合のタイミングチャートである。
【３３３８】
例えば、３回目の発射ソレノイド８１４の駆動で機内球７１０が発射され、遊技球数が「０」になると、次の球送りソレノイドは破線の如く停止する。その直後に賞球等により遊技球数が「１０」に増加すると、球数制御部６００は直ちに球送りソレノイド８１２を駆動する。球送りソレノイド８１２の駆動により、球数制御部６００は前回の発射ソレノイド８１４の駆動から６００ｍｓ経過後再び発射ソレノイド８１４を駆動し、機内球７１０を発射する。これにより球送りフラグがオフになると、その後球数制御部６００は球送りソレノイド８１２を駆動する。発射間隔タイマは、発射制御処理で管理しており、球送りソレノイド８１２は球送りフラグがオフになったことを契機として駆動するので、遊技球数が増加したときの球送りソレノイド８１２の駆動から次の球送りソレノイド８１２の駆動までの間隔ｔ１は、６００ｍｓ以内になる場合があるが、発射ソレノイド８１４の発射間隔は６００ｍｓで管理されている。
【３３３９】
図３３９（ｃ）は、球送りソレノイド８１２の駆動間隔が６００ｍｓを超える場合の一例を示すタイミングチャートである。球送り制御処理は例えば、図３３６（ａ）に示す処理と同様の処理を行うが、更にステップＳ２５０１において発射ソレノイド８１４の駆動条件に遊技球数が有無も判定している場合のタイミングチャートである。

【３３４０】
例えば、３回目の発射ソレノイド８１４の駆動で機内球７１０が発射され、遊技球数が「０」になると、次の球送りソレノイドは破線の如く停止する。その直後に賞球等により遊技球数が「１０」に増加すると、球数制御部６００は直ちに球送りソレノイド８１２を駆動する。発射ソレノイド８１４の駆動条件に、「遊技球数が有ること」を含んでいる場合には、球送りソレノイド８１２の再開時から６００ｍｓ経過後に発射ソレノイド８１４が駆動し、その後に次の球送りソレノイド８１２が駆動する。したがってこの場合、遊技球数が増加した後の球送りソレノイド８１２からその次の球送りソレノイド８１２までの間隔ｔ２は、６００ｍｓ以上になる場合がある。
【３３４１】
図３４０（ａ）は、球発射ハンドル１３４のタッチセンサ８０６が検出された直後のタイミングチャートである。球数制御部６００がタッチセンサ８０６のオンを検出すると、球送りソレノイド８１２を駆動する。これにより機内球７１０は発射レール６２４に搬送されるが、球数制御部６００はタッチセンサ８０６の検出から６００ｍｓ後に発射ソレノイド８１４を駆動する。
【３３４２】
図３４０（ｂ）は図３３７に示した、球送り制御処理にて球送りの最短間隔を６００ｍｓに管理する場合のタイミングチャートの一例である。球送りソレノイド８１２は、６００ｍｓ間隔で駆動され、球送りが行われる。一方で発射ソレノイド８１４は球送りソレノイド８１２の駆動を契機として（球送りフラグがオンの場合に）球数制御部６００が駆動するので、球送りソレノイド８１２の駆動後、比較的短い時間ｔ３の経過後に駆動する場合がある。遊技球数が「０」になると球数制御部６００はいずれの駆動も停止する。
【３３４３】
図３４０（ｃ）は、図３３８に示す球送りおよび発射制御処理のタイムチャートの一例である。この場合、球送りソレノイド８１２は６００ｍｓ間隔で駆動し、発射ソレノイド８１４は、球送りソレノイド８１２の駆動後、３００ｍｓ経過すると駆動する。球送りソレノイド８１２の駆動間隔および発射ソレノイド８１４の駆動間隔はいずれも、６００ｍｓである。遊技球数が「０」になると球数制御部６００はいずれの駆動も停止する。
【３３４４】
図３４１は発射制御処理の他の形態を示すタイムチャートである。遊技球数が「０」になり、球送りソレノイド８１２の駆動を停止した場合であっても、球数制御部６００は、発射ソレノイド８１４の駆動を継続してもよい。球送りソレノイド８１２が停止し、球送りがされなければ、発射ソレノイド８１４が駆動していても遊技球数の増減に影響は及ばない。
＜遊技媒体経路の変形例＞
【３３４５】
図３４２から図３４４を参照して、他の形態の遊技媒体経路６１０Ａについて説明する。
【３３４６】
図３４２は、遊技領域１２４の正面図であって、図３００に示すものと同一構成要素は同一符号で示し、その説明は省略する。なお、この場合も減算センサ６０４Ｚは球送り装置６１６から発射装置６２２に送り出された機内球７１０を検出する。
【３３４７】
遊技媒体経路６１０Ａは、球磨き装置６１２と、揚上装置６１４と、球送り装置６１６を有し、例えば揚上装置６１４と球送り装置６１６の間に機内球７１０の貯留部８３０を有する。貯留部８３０は例えば、第１貯留部８３２と第２貯留部８３４を含み、第１貯留部８３２には揚上装置６１４から排出された機内球７１０が一時的に貯留される。第２貯留部８３４は、第１貯留部８３２に貯留された機内球７１０の一部または全部が貯留される。第２貯留部８３４の機内球７１０の数量は、遊技球数の一部または全部に相当する量である。第２貯留部８３４に貯留された機内球７１０は球送り装置６１６で発射レール６

２４に搬送される。
【３３４８】
具体的に説明すると、一例として第２貯留部８３４には最大で１００個（最大貯留数）の機内球７１０が貯留できる。第１貯留部８３２には例えば、機内球７１０の全てが貯留可能である。遊技球数が１００個以上（例えば２０００個）の場合、第１貯留部８３２から第２貯留部８３４に１００個の機内球７１０が送られる。１個の機内球７１０が打ち出されると第２貯留部８３４の貯留数は９９個になり、減算センサ６０４Ｚで通過が検出されると、遊技球数から１個が減算され、遊技球数は１９９９個になる。遊技球数が第２貯留部８３４の最大貯留数（１００個）より多く、且つ第２貯留部８３４の貯留数（９９個）が最大貯留数（１００個）より少ないので、第１貯留部８３２から１個が第２貯留部８３４に送られ、第２貯留部８３４の貯留数は１００個となる。一方、遊技球数が第２貯留部８３４の貯留数（１００個）より少なくなった場合には、機内球７１０を発射した場合でも第１貯留部８３２から第２貯留部８３４に機内球７１０を送らない。このように、することで、遊技球数の増減を、実際に循環する機内球７１０で管理できる。
【３３４９】
このような構成の場合には、球送りソレノイド８１２および発射ソレノイド８１４は、遊技球数によらず駆動することができる。封入式のパチンコ機１００では電子情報上の遊技球数が無い場合に、機内球７１０としては循環可能であることから、遊技球数が無い場合に球送りソレノイド８１２および発射ソレノイド８１４が駆動する場合が問題となる。
【３３５０】
このような構成によれば、遊技球数が無い場合いは、貯留部８３０に機内球７１０が貯留されないため、このような問題が生じない。
【３３５１】
図３４３を参照して、図３４２に示した遊技媒体経路６１０の貯留部８３０における貯留球数管理処理について説明する。図３４３は、貯留球数管理処理の流れを示すフローチャートの一例である。
【３３５２】
ステップＳ３００１では、機内球７１０の減算センサ６０４通過の有無を判定する。減算センサ６０４Ｚを通過したと判定された場合にはステップＳ３００３に進み、そうでない場合は処理を終了する。
【３３５３】
ステップＳ３００３では、機内球７１０の通過により遊技球数が消費したとして遊技球数から「１」を減じる。
【３３５４】
ステップＳ３００５では遊技球数と、第２貯留部８３４の最大貯留数（例えば、１００個）を比較する。遊技球数が最大貯留数より大きい場合は、ステップＳ３００７に進み、そうでない場合は処理を終了する。
【３３５５】
ステップＳ３００７では、第２貯留部８３４貯留数と最大貯留数を比較する。貯留すが最大貯留数より少ないときはステップＳ３００９に進み、そうでない場合は処理を終了する。
【３３５６】
ステップＳ３００９では、最大貯留可能量から発射球数を減算し、差分を第１貯留部８３２から第２貯留部８３４に送る。
ステップＳ３０１１では、発射球数を初期化（クリア）する。
【３３５７】
なおこのフローチャートは、貯留部８３０における貯留数の管理の主要な処理を抜粋して説明するものであり、この処理を実行するタイミングによっては、図示する処理の順に行われなくてもよい。当該処理は、遊技球数の更新時に合わせて実行される。例えば定期的な割り込み処理で実行される遊技球数設定処理や、シリアルコマンド管理処理、あるい

は貸球ボタン１４４が再プレイボタン１４６が操作された場合にも同様の処理を行うことができる。また例えば、発射球数は例えば上述のイン球数を利用することもできるが、初期化等のタイミングを考慮し、適切に更新されるような処理の流れを選択する。

【３３５８】

図３４４は、遊技媒体経路６１０の変形例における、球送りソレノイド８１２と発射ソレノイド８１４のタイミングチャートであり、遊技球数も併記した。

【３３５９】

球数制御部６００は、球送りソレノイド８１２を例えば、６００ｍｓ間隔で駆動し、球送りソレノイド８１２の駆動後所定時間が経過した後、発射ソレノイド８１４を駆動する。例えば、３回目の発射ソレノイド８１４の駆動で遊技球数が「０」になった場合には、第２貯留部８３４に貯留される機内球７１０も０個になる。したがって、この場合には球送りソレノイド８１２および発射ソレノイド８１４が駆動を続けていたとしても、機内球７１０が遊技領域１２４に打ち出されることはない。

【３３６０】

図３４５は、主制御部３００および球数制御部６００間の通信処理と、発射制御処理および球送り制御処理のタイミングの関係について説明するタイミングチャートである。

【３３６１】

この図の主制御部３００と球数制御部６００のタイミングチャートは、図３３０（ｂ）の再掲であり、遊技球数が「０」になった後、タイミングＢで入賞受付があった状態を示している。例えば、発射ソレノイド８１４が、６００ｍｓ間隔で駆動していた場合、次回の駆動がタイミングＦ（タイミングＧ、Ｈ、Ｃまたはこれらの間でも同様）の位置になる場合がある。タイミングＧでは賞球数表示部６９０に遊技球数になるべき賞球数「１０」が表示されているものの、遊技球数の更新（タイミングＣからタイミングＤの間に実行）が行われていないため、発射ソレノイド８１４の本来の駆動タイミングでは遊技球数が「０」のままである。このため、発射ソレノイド８１４（あるいは球送りソレノイド８１２）の駆動が制限される。あるいは、図３４２に示す第２貯留部８３４の貯留球数が０個であるため、発射ソレノイド８１４（あるいは球送りソレノイド８１２）が駆動していても、機内球７１０の発射が制限される。つまりこの場合、遊技者が球発射ハンドル１３４を操作しても機内球７１０が発射されず、タイミングＤ以降で機内球７１０が発射される。発射ソレノイド８１４の駆動（機内球７１０の発射）のタイミングとしては、最短の発射間隔である６００ｍｓ（タイミングＦの位置）よりも遅れ、発射間隔が長くなる。

【３３６２】

このように、遊技球数が少ない場合に（「０」の場合にに入賞すると通信のタイムラグにより直ちにデータが更新されない場合があり、発射間隔が一定でなくなる。つまり、遊技球数が少なくなった場合には、機内球７１０を最短間隔で発射するように球発射ハンドル１３４を連続して操作しても、機内球７１０の発射のタイミングが一定でなくなり、最短の発射間隔より長くすることができる。この発射間隔は、遊技球数が少なくなるほど徐々に長くなるため、遊技者が例えば、球数表示部６４０を注視していなくても、遊技者に遊技球数が少なくなっていることを認識させることが可能になる。またそれにより遊技球数がなくなる前に、貸球や再プレイを行い、遊技球数を補充することが可能になるため、遊技の継続意欲を促進させ、長時間遊技を楽しむことができる。また、遊技店側においては遊技台の稼動を上げることができる。

【３３６３】

以上、本実施形態では、主制御部３００が通信処理の主導となるコマンド（例えば、第一の通信確認コマンドおよび賞球コマンド）を球数制御部６００に送信する場合を例に説明した。しかしこれに限らず、球数制御部６００が主導となるコマンド（例えば、第一の通信確認コマンドおよび、主制御部３００に対し賞球コマンドの送信を要求するコマンド）を主制御部３００に送信する構成であってもよい。

【３３６４】

また、本実施形態では主制御部３００の１回の割込み処理につき、１つの賞球コマンド

が送信される場合を例に説明した。しかしこの構成に限らず、主制御部３００の１回の割込み処理につき、複数の賞球コマンドが送信される構成でもよいし、所定のグループ（入賞口ごと、あるいは同じ賞球数毎などのグループ）単位で送信する構成でもよいし、例えば２５５コマンドを超えない範囲で複数のコマンドをまとめて送信する構成であってもよい。

【３３６５】

また、主制御部３００と球数制御部６００のシリアルコマンド管理処理は、それぞれのタイマ割込み処理の一部で実行する場合を例に説明したが、主制御部３００のシリアルコマンド管理処理は主制御部メイン処理で、球数制御部６００のシリアルコマンド管理処理は球数制御部メイン処理でそれぞれ行ってもよい。

【３３６６】

また、主制御部３００と球数制御部６００のシリアルコマンド管理処理以外の各種送信処理および出力処理についても、主制御部３００と球数制御部６００のそれぞれのメイン処理で行ってもよく、例えば、全ての送信および出力処理をメイン処理で行う構成、全ての送信および出力処理をそれぞれのタイマ割込み処理で行う構成、送信および出力処理の一部をメイン処理で行いそれ以外をタイマ割込み処理で行う構成などであってもよい。

【３３６７】

また、主制御部３００と第１副制御部４００、主制御部３００と第２副制御部５００の通信はそれぞれシリアル通信でもよいしパラレル通信であってもよい。

【３３６８】

また、遊技球数の更新処理（遊技球数設定処理）は、球数制御部の割込み処理で行っているが、その実行タイミングは図示にて説明したものに限らない。例えば、タイマ割込み処理で行うタイミングによっては、賞球コマンド受信後同一の割込み処理で遊技球数を更新してもよいし、賞球コマンド受信後次の割込み処理で遊技球数を更新してもよい。

【３３６９】

同様に各種フラグやステータス等の更新タイミングも図示したタイミングに限らない。

【３３７０】

また、主制御部３００と球数制御部６００間の通信確認コマンドの送信処理は、定期的に行っているが、賞球コマンドの送信前のみ送信するようにしてもよい。すなわち、賞球コマンド１送信につき、通信確認コマンド１送信としてもよい。また、通信確認コマンドを定期的に送受信する場合、球数制御部６００では通信確認コマンドの送信タイミングでデバイス等の状態に関する情報を送信してもよい。賞球コマンドの送受信でこれらの情報を送受信すると、通信量が増大する可能性があるが、通信確認コマンドの送信タイミングであれば、通信量が増大しても影響を少なくできる。更に、主制御部３００から球数制御部６００に通信確認コマンドを送信する場合、合わせて賞球コマンドを送信する構成としてもよい。再送処理などを適切に行うことでこのような構成も可能となる。

【３３７１】

また、入賞数記憶領域は、各球検出センサ３２０Ｂ毎のほか、例えば、第１特図始動口２３０と第２特図始動口２３２で共通の領域とするなど、賞球個数毎に設けてもよい。

【３３７２】

また、第１特図始動口２３０と第２特図始動口２３２では、入賞による賞球数が例えば３個と１個等、異なってもよい。

【３３７３】

また、球送り制御実行条件に、イン球数とアウト球数が不一致の場合を含めてもよい。

【３３７４】

また、球送りソレノイド８１２を駆動後、発射ソレノイド８１４の駆動前の期間では、球送りソレノイド８１２の駆動時点で発射ソレノイド８１４を吸引している。したがって、発射の停止を行う目的でハンドルボリュームを「０」にしても、機内球７１０が発射させることになり、発射の停止は不可能となる。

＜電断・復電時の球数管理制御処理＞

【３３７５】
次に、図３４６から図３４９を参照して、パチンコ機１００の電断・復電時の球数管理制御処理について説明する。
【３３７６】
図３４６および図３４７は、パチンコ機１００の電断・復電時の球数管理制御処理を説明する概要図である。既述の如くパチンコ機１００は、投入検出センサ（減算センサ６０４Ｚ）および、排出検出センサ（入賞検出センサ６０Ｓおよび非入賞検出センサ６０４Ｋ）によってイン球数、アウト球数および、領域内球数を所定のタイミングで（例えば、球数制御部タイマ処理などで）更新、記憶し、これらの値の異常の有無を監視する球数管理制御を行っている。そして遊技中に電源の遮断（電断）状態になりその後復電した場合には、領域内球数が存在していてもイン球数、アウト球数および領域内球数を初期化する。
【３３７７】
具体的に説明すると、例えば図３４６（ａ）のように遊技中に領域内球数が３個存在している状態（例えば、領域内球数記憶領域に記憶された値が「＋３」）で、停電などにより電断があると、その後の復電時（電断後の電源投入時）には、同図（ｂ）の如く領域内球数記憶領域に記憶された値をクリアし（領域内球数記憶領域に「０」を記憶し）、新たに球数管理制御を開始する。
【３３７８】
電断後の復電時にイン球数、アウト球数および領域内球数の情報がＲＡＭのそれぞれの記憶領域に残っていると、パチンコ機１００は、例えば新たに遊技を開始したにも関わらず、遊技領域１２４内に機内球７１０が残存したと判断し、エラーとして報知する場合がある。新たに遊技を開始した遊技者は適正な遊技が行えない上、不正を疑われる恐れもある。そこで本実施形態では、電断後の復電時には、例えば球数制御部メイン処理の初期化処理などで領域内球数記憶領域に記憶された値をクリアし、電断時のイン球数、アウト球数および領域内球数の情報によらず、新たに球数管理制御を開始する。これにより、遊技者は適正な遊技を行うことが可能となる。
【３３７９】
一方で、電断前に領域内球数に異常が生じていた場合は、その異常の情報（エラー情報）の記憶領域は初期化せず、復電時まで維持する。
【３３８０】
図３４７を参照して具体的に説明する。例えば図３４７（ａ）のように遊技中に、領域内球数記憶領域の領域内球数（例えば２０個）が異常判定条件を超えて異常と判定され、領域内球数エラーフラグにオン（または異常を示す例えば「１」）が設定された状態で電源が遮断すると、復電時には、球数制御部６００は、領域内球数記憶領域、イン球数記憶領域およびアウト球数記憶領域に記憶された値をクリアする一方で、領域内球数エラーフラグの値は、復電時にクリアせずその情報を維持し（同図（ｂ））、新たに前記数量管理処理を行う。
【３３８１】
このようにすることで、異常が発生したという情報は電断・復電後も維持されるので、例えば復電後に外部装置などに異常状態を送信したり、異常を報知することが可能となる。
＜電源制御部＞
【３３８２】
図３４８を参照して、パチンコ機１００の電源制御部６６０について説明する。図３４８は電源制御部６６０およびこれに接続する制御部のブロック図である。なお、以下の説明において、ＤＣは直流、ＡＣは交流、ＶＢＢはバッテリバックアップされた電圧であることを表す。
【３３８３】
電源制御部６６０は、パチンコ機１００に外部から供給されるＡＣ１００Ｖの電源を直流に変換し、球数制御部６００および第１副制御部４００に供給する。球数制御部６００

は主制御部３００および夜間監視スイッチ６９２に電源を供給し、第１副制御部４００は第２副制御部５００に電源を供給する。

【３３８４】

電源制御部６６０は、第１の整流・平滑回路（整流回路１・平滑回路１）６６０Ａと、第１の＋２４Ｖ生成回路（＋２４Ｖ生成回路１）６６０Ｂと、第１の＋１２Ｖ生成回路（＋１２Ｖ生成回路１）６６０Ｃと、第１の＋５Ｖ生成回路（＋５Ｖ生成回路１）６６０Ｄと、第１の電源遮断検出回路（電源遮断検出回路１）６６０Ｅと、第２の電源遮断検出回路（電源遮断検出回路２）６６０Ｆと、ＲＡＭクリアスイッチ回路６６０Ｇと、第１のバックアップ電源生成回路（バックアップ電源生成回路１）６６０Ｈと、第２のバックアップ電源生成回路（バックアップ電源生成回路２）６６０Ｉと、第３のバックアップ電源生成回路（バックアップ電源生成回路３）６６０Ｊと、第２の整流回路および平滑回路（整流回路２・平滑回路２）６６０Ｋと、第２の＋２４Ｖ生成回路（＋２４Ｖ生成回路２）６６０Ｌと、第２の＋１２Ｖ生成回路（＋１２Ｖ生成回路２）６６０Ｍと、第２の＋５Ｖ生成回路（＋５Ｖ生成回路２）６６０Ｎとを有する。

【３３８５】

電源制御部６００は、パチンコ機１００に外部から供給される単相交流１００Ｖから整流平滑した電源をスイッチング方式で第１の電源系統（ＤＣ２４Ｖ－１、ＤＣ１２Ｖ－１、ＤＣ５Ｖ－１）として生成する。また、単相交流１００Ｖから上記とは異なる整流平滑した電源を用いてスイッチング方式で第２の電源系統（ＤＣ２４Ｖ－２、ＤＣ１２Ｖ－２、ＤＣ５Ｖ－２）として生成する。

【３３８６】

球数制御部６００における電源・信号使用用途は以下の通りである。ＤＣ２４Ｖ－１は研磨モータ用電源として、ＤＣ１２Ｖ－１は各種センサ６０４用電源、揚上モータ用電源、発射ソレノイド用電源および球送りソレノイド用電源として、ＤＣ５Ｖ－１はＩＣ電源として、ＶＢＢ－２はＲＡＭバックアップ用電源として、電源遮断１は電源遮断検出用信号として、ＲＡＭクリアはＲＡＭクリアスイッチ用信号として用いられる。

【３３８７】

主制御部３００における電源・信号使用用途は以下の通りである。ＤＣ２４Ｖ－１は各種モータおよびソレノイド用電源として、ＤＣ１２Ｖ－１は各種センサ、モータ及びソレノイド用電源として、ＤＣ５Ｖ－１はＩＣ電源として、ＶＢＢ－１はＲＡＭバックアップ用電源として、電源遮断２は電源遮断検出用信号として、ＲＡＭクリアはＲＡＭクリアスイッチ用信号として用いられる。また夜間監視スイッチ６９２では、ＶＢＢ－３がバックアップ電源として用いられる。

【３３８８】

第２副制御部５００における電源・信号使用用途は以下の通りである。ＤＣ２４Ｖ－２は電飾、モータ用及び損他電源生成用電源として、ＤＣ１２Ｖ－１は電飾、モータ用及び損他電源生成用電源として、ＤＣ５Ｖ－２は、ＩＣ電源用、その他電源生成用電源として用いられる。

＜バックアップ電源の動作原理＞

【３３８９】

バックアップ電源の動作原理は、以下の通りである。主制御部３００および球数制御部６００は、電断・復電時（例えば停電復旧時など）に遊技状態の復旧を行うため電断発生時の遊技状態を電源遮断処理によりＲＡＭに記憶し、バックアップ電源によりＲＡＭの内容を保持する。

【３３９０】

パチンコ機１００のバックアップ機能の構成として、図示は省略するがバックアップ電源部、電源監視回路、ＲＡＭクリアスイッチを備えており、５Ｖからバックアップ電源を３系統生成し、球数制御部６００、主制御部３００および夜間監視スイッチ６９２に出力する。また、電源を監視し、電源遮断時に電源遮断信号を２系統生成し、球数制御部６００および主制御部３００に出力する。

【３３９１】
バックアップしたＲＡＭのデータを初期化する機能のためにＲＡＭクリアスイッチを搭載しており、球数制御部６００および主制御部３００に出力する。生成した電源・信号は球数制御部６００に供給を行い、主制御部３００へは球数制御部６００経由で電源・信号の供給を行う。
【３３９２】
主制御部３００のバックアップを行う項目は例えば、大当たり状態（ラウンド回数も含む）、高確率・時短状態、保留メモリ（特別図柄、普通図柄）の乱数値、エラー状態、未送信コマンド、可動部材（普通電動役物、第１種特別電動役物）の動作状態などである。また球数制御部６００のバックアップ項目は例えば、遊技球数、エラー状態、未送信コマンド、遊技情報、遊技台情報、（ＩＣ）カード情報などである。遊技台情報は例えば、主制御部３００のＣＰＵ３０４の固有ＩＤ、球数制御部６００のＣＰＵの固有ＩＤ、遊技台のメーカーコード、セキュリティチップメーカーコード、遊技台の形式コード、流通コードなどである。またカード情報は、カードＩＤなどである。
【３３９３】
図３４９は、電源遮断処理においてＲＡＭに設けた各記憶領域に記憶される項目の一例を示す概要図である。
【３３９４】
各記憶領域には、小さいアドレス番地（７Ｆ００Ｈ）から順に例えば、遊技球数（遊技球数記憶領域の値）、貸球数（貸球数記憶領域の値）、賞球数（賞球数記憶領域の値）、領域内球数異常状態（領域内球数エラーフラグの値）、電断時内枠開放回数（後述する）、電断時ガラス枠開放回数（後述する）、未送信コマンド、遊技台情報、カード情報、ＲＷＭチェックサム値、プログラム起動状態フラグ、電源状態情報、領域内球数（領域内球数記憶領域の値）などが格納される。以下これらの領域を、バックアップ領域と称する場合がある。
【３３９５】
そして、電断検出をしていない初期化処理（例えば、図３０５のステップＳ１１３、図３０９のステップＳ１０１１）ではこれらの記憶領域の全てを初期化（クリア）し、復帰起動時の復電時処理（図３０５のステップＳ１１１、図３０９のステップＳ１００９）ではこれらのうち一部のみを初期化（クリア）する。つまり、所定のアドレス番地から所定のアドレス番地までの記憶領域で構成される第１の領域と、それ以降のアドレス番地で構成される第２の領域があり、初期化処理では第１の領域と第２の領域がクリアされ、復電時処理では後半の第２の領域のみがクリアされる。
【３３９６】
本実施形態では、領域内球数異常状態（領域内球数エラーフラグの値）は、第１の領域の記憶領域に格納され、領域内球数（領域内球数記憶領域の値）は、第２の領域の記憶領域に格納される。これにより、電断後の復電時には、球数制御部６００は、領域内球数記憶領域に記憶された値をクリアする一方で、領域内球数エラーフラグの値は復電時にクリアせずその情報を維持し、報知することができる。
【３３９７】
また、第１の領域は、復帰起動時にクリアされないので、復帰条件が成立した場合（復電時処理）にＲＡＭの所定の領域に設定される。すなわちバックアップ領域の遊技可能球数、貸球数、賞球数は、それぞれ復電時にＲＡＭの遊技球数記憶領域、貸球数記憶領域、賞球数記憶領域に設定される。
【３３９８】
なお、領域内球数異常状態のバックアップ領域にはその他のエラー状態を記憶してもよい。また、イン球数（イン球数記憶領域の値）、アウト球数（アウト球数記憶領域の値）が第２の領域にバックアップされてもよい。
【３３９９】
このように球数制御部６００は、各種のエラーの監視や報知などのエラー管理処理、お

よびこれに伴う各種処理を行う。以下これについて説明する。
＜エラー管理処理＞
【３４００】
図３５０から図３５４を参照して、主に球数制御部６００で行うエラー管理処理について説明する。図３５０から図３５４は、球数制御部６００で行う処理の流れを説明するフローチャートであるが、ここでは主に、エラー管理処理の主要な流れについて説明する。なお、図３５０から図３５４のフローチャートでは、主制御部３００から球数制御部６００に通信確認コマンドを送信する処理（上述のシリアルコマンド管理処理）を球数制御部メイン処理で行う場合を例に示しており、その点では球数制御部タイマ割込み処理でシリアルコマンド管理処理を行う既述の球数制御部６００（図３０９、図３１０、図３２８参照）の他の形態ということができる。
【３４０１】
図３５０は、球数制御部６００のＣＰＵが実行する処理について説明する図であり、同図（ａ）は、球数制御部６００のメイン処理の流れを示すフローチャートであり、同図（ｂ）は、球数制御部６００のコマンド受信割込みのフローチャートである。なお、図３０９のフローチャートを参照して既に説明した処理（ステップ）と同様の処理については、詳細な説明を省略する。
【３４０２】
ステップＳ３１０１～ステップＳ３１１３は、図３０９のステップＳ１００１～ステップＳ１０１３と同様である。なお、ステップＳ３１０９の復電時処理では、ステップＳ３１１の初期化処理よりも電源遮断処理において記憶される各種情報の記憶領域を少ない範囲で（第２の領域の記憶領域のみを）クリアする。
【３４０３】
ステップＳ３１１５は、主制御部３００から入力したデータの中に未解析データがあるか無いかを判定し、未解析データがある場合にはステップＳ３１１７に進み、未解析データがない場合にはステップＳ３１１９に進む。ステップＳ３１１７ではコマンド解析処理を行う。これについては後に詳述する。
【３４０４】
ステップＳ３１１９では、未送信コマンドの有無を判定する。未送信コマンドがある場合は、ステップＳ３１２１に進み、そうでない場合は、ステップＳ３１２３に進む。
【３４０５】
ステップＳ３１２１では、コマンド出力処理を行う。コマンド出力処理は、ステップＳ３１１７のコマンド解析処理で設定したコマンドを出力する。
【３４０６】
ステップＳ３１２３～ステップＳ３１２７は、図３０９のステップＳ１０１９～ステップＳ１０２３と同様である。なおステップＳ３１２５の電断処理については、後に詳述する。
【３４０７】
同図（ｂ）は、球数制御部６００のコマンド受信割込みのフローチャートであり、図３０９（ｂ）と同様である。ステップＳ３２０１では受信したコマンドを記憶する。
【３４０８】
図３５１は、図３５０（ａ）のコマンド解析処理（ステップＳ３１２１）と、電断処理（ステップＳ３１２５）の処理の流れを説明するフローチャートである。
図３５１（ａ）を参照して、コマンド解析処理について説明する。
【３４０９】
ステップＳ３３０１では賞球コマンドの受信の有無を判定し、受信している場合は、ステップＳ３３０３に進み、そうでない場合はステップＳ３３０５に進む。
【３４１０】
ステップＳ３３０３では、賞球コマンド受信時の処理を行う。この処理では例えば、賞球数記憶領域の値を読出し、受信したコマンドの賞球数を加算して元の賞球数記憶領域に

記憶する。また、遊技球数記憶領域の値に賞球数記憶領域の値を加算して賞球数記憶領域の値をクリアする。

【３４１１】

ステップＳ３３０５では、主制御部３００からの通信確認コマンド（以下、主制御通信確認コマンド）を受信しているか否かを判定する。この主制御通信確認コマンドは、図３２１（ｄ）に示した主制御部３００のシリアルコマンド送信処理によって球数制御部６００に送信されるものである。主制御通信確認コマンドを受信している場合は、ステップＳ３３０７に進み、そうでない場合は処理を終了する。

【３４１２】

ステップＳ３３０７では、受信した主制御通信確認コマンドが電源投入後最初の主制御通信確認コマンドであるか否かを判定する。最初の主制御通信確認コマンドである場合は、ステップＳ３３０９に進み、そうでない場合はステップＳ３３１３に進む。この主制御通信確認コマンドには、主制御部３００が初期起動時であるか復帰起動時であるかの情報も含まれる。

【３４１３】

ステップＳ３３０９では、主制御通信確認コマンド受信済みフラグを設定する。当該フラグは例えばオン（または「１」）を設定した場合は受信済みを意味し、後の処理で当該フラグがオンの場合には、球数制御部タイマ割込み処理を実行する。

【３４１４】

なお、主制御通信確認コマンドが、初期起動であることを示す情報を含み、且つ球数制御部６００の起動方法が復帰起動である場合は、球数制御部６００の起動方法を初期起動とし、ＲＡＭの記憶領域の所定領域を初期化してもよい。復帰起動の場合は、図３４９に示すバックアップ領域の一部（第２の領域）の記憶領域のみが初期化されるのであるが、主制御部３００が初期起動状態を示し、且つ球数制御部６００が復帰起動の場合には、全てのバックアップ領域（第１の領域と第２の領域）を初期化するものとしてもよい。

【３４１５】

ステップＳ３３１１では、夜間枠開放エラーの有無を判定し、エラー情報をＲＡＭのバックアップ領域に設定する。夜間枠開放エラーは以下のように判定する。内枠１０４を開放する毎に（内枠開放センサで開放が検出される度に）カウントされるカウンタＩＣ（内枠開放カウンタ）を設け、内枠１０４の開放回数をカウントする。内枠１０４の開放回数は電源遮断時（夜間）でもカウンタＩＣによってカウント可能とする。電断時に内枠開放カウンタの値をバックアップ領域の電断時内枠開放回数の記憶領域に格納する。最初の主制御通信確認コマンドを受信した場合に、バックアップ領域の電断時内枠開放回数と、内枠開放カウンタの値（現在の内枠開放回数）を比較し、不一致の場合は夜間枠開放エラーと判定するとともに、差分の回数をエラー情報としてＲＡＭに記憶する。ガラス枠１０６の開放回数についても同様に、ガラス枠１０６を開放する毎にカウントされるカウンタＩＣ（ガラス枠開放カウンタ）で開放回数をカウントし、電断時にガラス枠開放カウンタの値をバックアップ領域の電断時ガラス枠開放回数の記憶領域に格納して監視を行い、同様に判定する。

【３４１６】

ステップＳ３３１３では、主制御通信確認コマンド受信時の処理を行う。ここでは、主制御部３００との通信エラー（主制御通信エラー）を監視するタイマエリア（主制御監視タイマ）に初期値（例えば「５００」）を設定する（図３２８（ｂ）参照）。

図３５１（ｂ）を参照して、電断処理について説明する。

【３４１７】

ステップＳ３４０１では、割り込み禁止設定処理を行い、ステップＳ３４０３では、全出力ポートにクリアデータを出力し、ステップＳ３４０５では、サスペンド情報を設定する。

【３４１８】

ステップＳ３４０７では、内枠開放カウンタの値を電断時内枠開放回数のバックアップ

領域に格納する。
【３４１９】
ステップＳ３４０９では、ガラス枠開放カウンタの値を電断時ガラス枠開放回数のバックアップ領域に格納する。
【３４２０】
ステップＳ３４１１ではチェックサムを算出する。例えば、ＲＡＭの所定の領域（例えば全ての領域）に記憶している１バイトデータを初期値が０である１バイト構成のレジスタに全て加算することによりチェックサムを算出する。
【３４２１】
ステップＳ３４１３ではＲＷＭチェックサムエリアに算出結果を設定し、ステップＳ３４１５では、内蔵ＲＡＭアクセスの禁止設定を行う。
【３４２２】
図３５２を参照して、図３５０の球数制御部メイン処理を実行する場合の球数制御部割込み処理について説明する。同図は、図３１０に示す球数制御部割込み処理の他の形態のフローチャートであり、図３１０で説明した処理（ステップ）と同様の処理についてはその詳細な説明を省略する。
【３４２３】
ステップＳ３５０１では、レジスタ値を退避し、ステップＳ３５０３では、割り込みフラグをクリアし、ステップＳ３５０５では、ＷＤＴクリアおよびリスタートを行う。
【３４２４】
ステップＳ３５０７では、受信コマンドの処理を行う。この処理では、主制御部３００からのコマンド受信（例えば、賞球コマンドの受信など）の有無を判定し、受信している場合は、受信したコマンドデータを受信コマンドバッファエリアに設定する。
【３４２５】
ステップＳ３５０９では、主制御通信確認コマンドを受信済みか否かを判定する。受信済みの場合は、ステップＳ３５１１に進み、そうでない場合はステップＳ３５２９に進む。主制御部３００は球数制御部６００から電源の供給を受けているため（図３４８参照）、その起動が球数制御部６００より遅れる。このため、本ステップでは主制御部３００が起動するまで、これ以降のステップＳ３５１１～ステップＳ３５２７の処理を待機するために判定処理を行う。
【３４２６】
ステップＳ３５１１～ステップＳ３５１７はそれぞれ、図３１０のステップＳ１２０１、ステップＳ１２０３、ステップＳ１２０５およびステップＳ１２０９と同様である。なお、ステップＳ３５１５のエラー管理処理については後に詳述する。
【３４２７】
ステップＳ３５１９では、遊技媒体経路管理処理を行い、ステップＳ３５２１では、遊技球数管理処理を行い、ステップＳ３５２３では、領域内球数管理処理を行う。これらの処理（ステップＳ３５１９～ステップＳ３５２３）については後述する。
【３４２８】
ステップＳ３５２５では、信号出力処理を行う。信号出力処理では、例えば、賞球が所定個数（例えば、１０個）発生する毎に、所定時間（例えば１２８ｍｓ）賞球発生信号を管理装置６２０に出力する。また、内枠１０４またはガラス枠１０６の開放状態を検出している間、扉開放信号を管理装置６２０に出力する。なお、これらの信号を外部端子基板信号として出力するようにしてもよい。更にこれらの信号を、ステップＳ３５１７のＩＵ通信処理で出力する場合は、本ステップは省略できる。
【３４２９】
ステップＳ３５２７では、送信コマンド設定処理を行う。送信コマンド設定処理では、球数制御部６００から主制御部３００に送信する、通信確認コマンド、エラーコマンド、賞球信号コマンドを設定する。
【３４３０】

ステップＳ３５２９ではレジスタ値を復帰し、ステップＳ３５３１では、割り込み許可設定を行う。

＜エラー管理処理、遊技球数管理処理、領域内球数管理処理＞

【３４３１】

図３５３を参照して、エラー管理処理、遊技球数管理処理、領域内球数管理処理について説明する。図３５３（ａ）は、エラー管理処理の流れを説明するフローチャートの一例であり、図３５３（ｂ）は、遊技球数管理処理の流れを説明するフローチャートの一例であり、図３５３（ｃ）は、領域内球数管理処理の流れを説明するフローチャートの一例である。

図３５３（ａ）を参照してエラー管理処理について説明する。

【３４３２】

ステップＳ３６０１では、内枠１０４の開放の有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。

【３４３３】

ステップＳ３６０３では、ガラス枠１０６開放の有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。

【３４３４】

ステップＳ３６０５では、主制御通信エラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。主制御通信エラーは、主制御部３００からの通信確認コマンド（主制御通信確認コマンド）の受信間隔が所定期間（例えば、１０００ｍｓ）を超えた場合のエラーである。

【３４３５】

ステップＳ３６０７では、管理装置未接続エラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。管理装置未接続エラーは、管理装置６２０との接続信号のオフを検出し、その状態が所定時間（例えば１６ｍｓ）継続した場合のエラーである。

【３４３６】

ステップＳ３６０９では、管理装置通信エラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。管理装置通信エラーは、管理装置６２０との通信において不正な入力を検知した場合のエラーである。例えば、球貸操作情報と球貸要求情報が不一致の場合などにエラーとなる。

【３４３７】

ステップＳ３６１１では、領域内球数エラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。領域内球数が所定の範囲（例えば－２０～＋２０）を超えた場合のエラーである。

【３４３８】

ステップＳ３６１３では、球検出センサエラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。球数制御部６００で検出する球検出センサ６０４Ｂ（減算センサ６０４Ｚ、入賞検出センサ６０４Ｓ、非入賞検出センサ６０４Ｋ）が所定期間（例えば、１秒以上）継続して検知された場合のエラーである。

【３４３９】

ステップＳ３６１５では、カセットエラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。カセットエラーは、球磨き装置６１２のカセットが未装着であることを検出した場合のエラーである。

【３４４０】

ステップＳ３６１７では、モータセンサエラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。例えば、遊技媒体経路６１０の球磨きモータセンサ、揚上モータセンサ、布送りモータセンサが異常を検知した場合にエラーとなる。

【３４４１】

ステップＳ３６１９では、その他のエラーの有無をＲＡＭに設けたエラーステータス記憶領域に記憶する。例えば、電源投入時のパチンコ機１００の認証異常がある場合、カー

ド挿入中以外での加算指示がある場合、主制御部３００の球検出センサ３２０Ｂと球数制御部６００の排出検出センサで通過の個数が不一致となる入賞数異常などの場合である。
【３４４２】
ステップＳ３６２１では、内枠１０４の開放毎に更新される内枠開放カウンタ（０～１５）の現在の値を設定する。
【３４４３】
ステップＳ３６２３では、ガラス枠１０６の開放毎に更新されるガラス枠開放カウンタ（０～１５）の現在の値を設定する。
【３４４４】
ステップＳ３６２５では、エラー解除スイッチ監視処理を行う。エラー解除スイッチ１６８が押下されている場合、球数制御部６００の全てのエラーステータス記憶領域について、エラー解除時の設定を行う。
【３４４５】
ステップＳ３６２７では、エラー表示設定処理を行う。エラー表示設定処理は、エラー状態に応じて、遊技盤２００の背面側に設けた基板表示部６３０のＬＥＤの表示の更新を行う。
図３５３（ｂ）を参照して、遊技球数管理処理について説明する。
【３４４６】
ステップＳ３７０１では、遊技球数の更新条件が成立しているか否かを判定し、成立している場合はステップＳ３７０３に進み、そうでない場合は、ステップＳ３７０５に進む。遊技球数の更新条件は、球貸要求がある場合（球貸ボタン１４０のタッチによる球貸要求情報が管理装置６２０から球数制御部６００に送信された場合）、賞球がある場合（賞球コマンドを球数制御部６００が受信した場合）、減算センサ６０４Ｚで機内球７１０の通過を検出した場合、計数ボタン６５２の操作を検出した場合、再プレイボタン１４６が操作された場合、返却ボタン１４２が操作された場合のうちの少なくともいずれかである。
【３４４７】
ステップＳ３７０３では、遊技球数更新処理を行う。遊技球数更新処理では、遊技球数記憶領域に記憶されている値（遊技球数）と、貸球数記憶領域の値（貸球数）、賞球数記憶領域の値（賞球数）、イン球数記憶領域の値（イン球数）、計数球数記憶領域の値（計数球数）、再プレイ球数記憶領域の値（再プレイ球数）をそれぞれ読出し、球貸要求の場合は貸球数を遊技球数に加算、賞球がある場合は賞球数を遊技球数に加算、減算センサ６０４Ｚの検出がある場合はイン球数を遊技球数から減算、計数ボタン６５２の検出は遊技球数から減算、再プレイボタン１４６の操作がある場合は遊技球数に加算、返却ボタン１４２の操作がある場合は遊技球数から減算し、更新後の遊技球数をもとの遊技球数記憶領域に記憶する。
【３４４８】
ステップＳ３７０５では、遊技球数表示更新処理を行う。遊技球数表示更新処理では、球数表示部６４０に更新後の遊技球数を表示する。
図３５３（ｃ）を参照して、領域内球数管理処理について説明する。
【３４４９】
ステップＳ３８０１では、領域内球数更新条件が成立しているか否かを判定し、成立している場合はステップＳ３８０３に進み、そうでない場合は処理を終了する。領域内球数の更新条件は、減算センサ６０４Ｚで機内球７１０の通過を検出した場合、入賞検出センサ６０４Ｓで機内球７１０の通過を検出した場合、非入賞検出センサ６０４Ｋで機内球７１０の通過を検出した場合のうち、少なくともいずれかである。
【３４５０】
ステップＳ３８０３では、領域内球数更新処理を行う。領域内球数更新処理では、領域内球数記憶領域に記憶されている値（領域内球数）と、イン球数記憶領域の値（イン球数）、アウト球数記憶領域の値（アウト球数）をそれぞれ読出し、減算センサ６０４Ｚの検

出がある場合は領域内球数にイン球数を加算、入賞検出センサ６０４Ｓまたは非入賞検出センサ６０４Ｋの検出がある場合は領域内球数からアウト球数を減算し、更新後の領域内球数をもとの領域内球数記憶領域に記憶する。

＜遊技媒体経路管理処理＞

【３４５１】

図３５４を参照して遊技媒体経路管理処理について説明する。図３５４（ａ）は、遊技媒体経路管理処理の流れを示すフローチャートであり、図３５４（ｂ）は、研磨装置制御処理の流れを示すフローチャートであり、図３５４（ｃ）は、揚上装置制御処理の流れを示すフローチャートである。

図３５４（ａ）を参照して、遊技媒体経路管理処理について説明する。

【３４５２】

ステップＳ３９０１では、研磨装置制御処理（後述）を行い、ステップＳ３９０３では揚上装置制御処理（後述）を行う。

【３４５３】

ステップＳ３９０５では球送り装置制御処理を行う。球送り装置制御処理は、図３３５、図３３７（ａ）を参照して説明した処理と同様であるので、説明は省略する。

【３４５４】

ステップＳ３９０７では発射装置制御処理を行う。発射装置制御処理は、図３３６、図３３７（ｂ）を参照して説明した処理と同様であるので、説明は省略する。なお、球送り装置制御処理と発射装置制御処理は、図３３８のように１つの連続した処理として行ってもよい。

図３５４（ｂ）を参照して、球磨き装置制御処理について説明する。

【３４５５】

ステップＳ４００１では、球磨き装置６１２の駆動条件が成立しているか否かを判定する。成立している場合は、ステップＳ４００３に進み、そうでない場合は処理を終了する。球磨き装置６１２の駆動条件は、球送り装置入口センサが遊技球を検知していない場合（非満タン状態である場合）で、且つ、カセットセンサ、研磨モータセンサ、布送りモータセンサのいずれもが正常である場合である。

【３４５６】

ステップＳ４００３では球磨き装置駆動処理を行う。球数制御部６００は、球磨き装置入口センサにより機内球７１０が球入口に進入したことを検知すると、球磨きモータを駆動する。球磨きモータはギアを介してスクリューと接続しており、スクリューの回転によって機内球７１０を研磨布で研磨しながら球出口まで搬送する。球出口から排出された機内球は揚上装置６１４に受け渡される。

図３５４（ｃ）を参照して、揚上装置制御処理について説明する。

【３４５７】

ステップＳ４１０１では、揚上装置６１４の駆動条件が成立しているか否かを判定する。成立している場合は、ステップＳ４１０３に進み、そうでない場合は処理を終了する。揚上装置６１４の駆動条件は、球送り装置入口センサが遊技球を検知していない場合（非満タン状態である場合）で、且つ、揚上モータセンサが正常である場合である。

【３４５８】

ステップＳ４１０３では揚上装置駆動処理を行う。球数制御部６００は、揚上装置入口センサにより機内球７１０が球入口に進入したことをが検知すると、揚上モータを駆動する。揚上モータはギアを介してスクリューと接続しており、スクリューの回転によって機内球が１球ずつ、パチンコ機１００の上部に搬送される。球出口から排出された機内球は、球送り装置６１６に受け渡される。

【３４５９】

図３５５は、図３５３（ｂ）の遊技球数管理処理および同図（ｃ）の領域内球数管理処理における、球検出センサ６０４Ｂ（減算センサ６０４Ｚ、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋ）の検出による機内球７１０の状態（通過）判定の一例を示

す図である。これらの球検出センサ６０４Ｂ判定方法は、既述の主制御部３００の球検出センサ３２０Ｂによる判定方法と同様であるが、Ｉ／Ｏの入力ポート状態とそれに基づく各センサ６０４Ｚ、６０４Ｓ、６０４Ｋのレベル状態について、概要図を用いて説明する。

【３４６０】

球数制御部６００は、Ｉ／Ｏの入力ポートを介して、減算センサ６０４Ｚ、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋの検出信号を入力して検出信号の有無を監視し、ＲＡＭに各種センサ６０４Ｚ、６０４Ｓ、６０４Ｋ３２０ごとに区画して設けた信号状態記憶領域に記憶する。検出の間隔は、球数制御部６００のタイマ割込み処理の周期（２ｍｓ）である。

【３４６１】

減算センサ６０４Ｚの検出信号を例にして説明すれば、前々回のタイマ割込処理（約４ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭに設けた前回検出信号記憶領域から読み出し、この情報をＲＡＭに設けた前々回検出信号記憶領域に記憶し、前回のタイマ割込処理（約２ｍｓ前）で検出した各々の球検出センサの検出信号の有無の情報を、ＲＡＭに設けた今回検出信号記憶領域から読み出し、この情報を上述の前回検出信号記憶領域に記憶する。また、今回検出した減算センサの検出信号を、上述の今回検出信号記憶領域に記憶する。

【３４６２】

この前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域の各記憶領域に記憶した減算センサ６０４Ｚの検出信号の有無の情報を比較し、過去３回分の検出信号の有無の情報（今回レベル状態、前回レベル状態、前々回レベル状態）が入賞判定パターン情報と一致するか否かを判定する。一個の機内球７１０が一つの減算センサ６０４Ｚを通過する間に、約２ｍｓという非常に短い間隔で球数制御部タイマ割込処理が起動する度に、同じ機内球７１０が同じ減算センサ６０４Ｚを通過したことを表す検出信号（レベル状態）を確認することになる。この結果、上述の前々回検出信号記憶領域、前回検出信号記憶領域、および今回検出信号記領域それぞれに、同じ機内球７１０が同じ減算センサ６０４Ｚを通過したことを表す検出信号が記憶される。すなわち、機内球７１０が減算センサ６０４Ｚを通過し始めたときには、前々回検出信号無し（レベル状態「０」）、前回検出信号有り（レベル状態「１」）、今回検出信号有り（レベル状態「１」）になる（状態（３））。この場合には、通過があったと判定する。つまり、図３５５に示す過去３回分のレベル状態が、予め定めた通過判定パターン情報（本実施形態では、前々回レベル状態「０」、前回レベル状態「１」、今回レベル状態「１」）と一致した場合（状態（３））に、減算センサ６０４Ｚを機内球７１０が通過したと判定する（アップエッジ状態）。なお、球数制御部６００のＲＯＭには、通過判定クリアパターン情報（本実施形態では、前々回レベル状態「１」、前回レベル状態「１」、今回レベル状態「０」）が記憶されている。通過が一度あったと判定した後は、減算センサ６０４Ｚにおいて過去３回分の検出信号の有無の情報が、その通過判定クリアパターン情報に一致するまで通過があったとは判定せず（状態（５）においてアップエッジ状態「０」）、通過判定クリアパターン情報に一致すれば、次からは上記通過判定パターン情報に一致するか否かの判定を行う。入賞検出センサ６０４Ｋ、非入賞検出センサ６０４Ｓについても同様である。

図３５６を参照して、エラー発生時の報知態様の一例について説明する。

【３４６３】

報知するエラー（異常）は例えば、磁気センサ検知時、電波センサ検知時、振動センサ検知時、認証エラー、通信異常、入賞数異常、ガラス枠１０６・内枠１０４の開放時、加算異常、近接センサ異常、領域内球数異常、夜間枠開放時、などである。磁気センサ、電波センサ、振動センサは主制御部３００にて検出される。認証エラー、通信異常、入賞数異常、ガラス枠１０６・内枠１０４の開放、加算異常、近接センサ異常、領域内球数異常、夜間枠開放は、球数制御部６００にて検出される。図中丸印が報知を行うものである。報知態様は、主制御部３００の所定の処理をスキップする遊技停止、機内球７１０の発射

を停止する発射停止、所定の音声で報知する音声出力、所定のパターンでランプを発光させるランプ点灯、所定の画像（文字）を液晶表示装置に表示する液晶表示、球数ＵＩ部６８０（画像表示部６５６）に表示するＵＩ表示、外部装置（管理装置６２０やホールコンピュータなど）に情報を出力する外部出力、などである。遊技停止による報知は主制御部３００が制御し、発射停止による報知は球数制御部６００が制御し、音声出力、ランプ点灯および液晶表示による報知は副制御部（第１副制御部４００または第２副制御部５００）が制御し、ＵＩ表示による報知は球数ＵＩ部６８０が、外部出力による報知は管理装置６２０がそれぞれ制御する。

【３４６４】

例えば、遊技停止による報知では、主制御部タイマ割込み処理の例えば、演出乱数更新処理（ステップＳ２１１）とタイマ更新処理（ステップＳ２１３）の間で、磁気センサ検知、認証エラー、通信異常、入賞数異常の有無を判定し、いずれかに異常がある場合は、電断検出判定（ステップＳ２３５）に進む。タイマ更新処理（ステップＳ２１３）からデバイス監視処理（ステップＳ２３３）までの処理をスキップすることにより、遊技停止状態となる。なお、エラーの種類と報知態様の組合せは図示したものに限らない。またこれ以外のエラーを報知してもよい。

＜液晶表示装置を用いた第１のエラー報知態様＞

【３４６５】

図３５７は、液晶表示装置を用いたエラー情報の報知態様の一例を示す概要図である。本実施形態では、各種のエラー情報を例えば第１副制御部４００によって液晶表示装置（装飾図柄表示装置２０８）に表示する第１の報知態様と、管理装置６２０によって球数ＵＩ部６８０の液晶表示装置（情報表示部６５６）に表示する第２の報知態様で報知することができる。

【３４６６】

一例を挙げると、球数制御部６００は、第１のエラー情報（例えば、夜間枠開放エラー情報など）を含む第１のコマンドを、球数制御部割込み処理の送信コマンド設定処理（図３５２のステップＳ３３５２７）により設定し、主制御部３００に出力するとともに、当該第１のエラー情報を含む含む第二のコマンドをＩＵ通信処理（図３５２ステップＳ３５１７）により管理装置６２０に出力する。第１のコマンドを受信した主制御部３００は、第１副制御部４００にエラーの報知を指令し、第１副制御部４００はエラー情報を含む画像を生成して、装飾図柄表示装置２０８に表示する。

【３４６７】

また、第２のコマンドを受信した管理装置６２０は、エラー情報に基づく画像を生成し、球数ＵＩ部６８０にエラー表示を指令する。球数ＵＩ部６８０は当該画像を、画像表示部６５６に表示する。

【３４６８】

図３５８は、例えば、球数制御部６００で検出したエラー情報（例えば、夜間開放エラーの情報）を装飾図柄表示装置２０８および球数ＵＩ部６８０で報知するまでのタイムチャートの一例を示す。図面の縦軸方向、上から下に時間が経過する。

【３４６９】

例えば、閉店後に電源が遮断されると（１）、球数制御部６００では電断時処理として、電断時の内枠開放回数とガラス枠開放回数を記憶する（２）。電断後（夜間）に枠開放が生じると（３）、カウンタＩＣによって枠開放回数が加算される（４）。翌朝など開店時に電源が投入され（５）、主制御部３００が起動すると、最初の主制御通信確認コマンドが球数制御部６００に送信される（６）。球数制御部６００は、主制御部３００より先に起動している場合であっても、主制御通信確認コマンドの受信があるまでエラー管理処理やコマンド送信処理等を待機する（球数制御部メイン処理のコマンド解析処理（図３５１（ａ））および球数制御部割込み処理（図３５２）参照）。球数制御部６００は、主制御通信確認コマンドを受信すると、通信確認コマンドを主制御部３００に送信する（７）。その後、エラー管理処理によって例えば夜間枠開放エラーを検出し、当該エラー情報を

含む第１のコマンド（エラーコマンド）を主制御部３００に送信する（８）。また当該エラー情報を含む第２のコマンド（エラーコマンド）を管理装置６２０に送信する（９）。第１のコマンドを受信した主制御部３００は、これに含まれるエラー情報に基づき、副制御部（第１副制御部４００）にエラー報知を指令する（１０）。第１副制御部４００はエラーを報知する画像を生成し、装飾図柄表示装置２０８に表示する（１１）。

【３４７０】

一方、第２のコマンドを受信した管理装置６２０は、これに含まれるエラー情報に基づき、エラー報知画像を生成し、球数ＵＩ部６８０にエラー報知画像の表示を指示する（１２）。

【３４７１】

図３５９は、装飾図柄表示装置２０８に表示する画像の表示例（同図（ａ））と、球数ＵＩ部６８０に表示する画像の表示例（同図（ｂ））を示す。

【３４７２】

例えば、装飾図柄表示装置２０８にはエラー情報を示す画像として「夜間開放エラー」というエラー検出を示す文字と、「夜間に５回内枠が開放されました」というエラーの詳細な内容を示す文字を表示する。装飾図柄表示装置２０８は表示面積が大きく多くの情報を表示でき、また多彩で目立つ印象の画像を表示することができる。

【３４７３】

一方、球数ＵＩ部６８０の画像表示部６５６には、通常表示される遊技球に関する情報を報知する情報報知画像８０２と共に、エラー情報を示す画像として「夜間開放エラー」というエラー検出を示す文字のみを、装飾図柄表示装置２０８に表示される画像と比較するとシンプルな表示態様で表示する。このようにすることで、エラーの報知に多様性を持たせることができる。

＜液晶表示装置を用いた第２のエラー報知態様＞

【３４７４】

パチンコ機１００は、開店時の電源投入時には、装飾図柄表示装置２０８のエラー情報の画像より早期に、球数ＵＩ部６８０でエラー情報を表示することができる。以下これについて説明する。

【３４７５】

既述の如く主制御部３００は、球数制御部６００から電源の供給を受けているため（図３４８参照）、その起動が球数制御部６００より遅れる。また、主制御部３００は、所定の遅延処理（例えば、セキュリティーモードの固定延長処理やランダム延長処理、低電圧信号判定処理（ステップＳ１０５）、副制御部起動待ち処理など）を行うことでその起動が球数制御部６００より遅れる。このため、第１のエラー報知態様で報知する、図３５０～図３５２のフローチャートで示した球数制御部６００の処理では、主制御部３００が起動し、最初の主制御通信確認コマンドを受信するまで、球数制御部６００のエラー管理処理やコマンド送信処理などを待機している。

【３４７６】

第２のエラー報知態様は、装飾図柄表示装置２０８のエラー情報の画像より先に、球数ＵＩ部６８０でエラー情報を表示するものであり、これを実現する球数制御部６００の処理について、説明する。

【３４７７】

図３６０および図３６１は、第２のエラー報知態様による報知が可能な、球数制御部６００の主要な処理の流れを示すフローチャートである。第１のエラー報知態様を行う場合の処理と異なる部分を示しており、図３６０（ａ）はコマンド解析処理、図３６０（ｂ）は電断処理、図３６１は球数制御部割込み処理のそれぞれの流れを示すフローチャートである。各フローチャートにおけるそれぞれのステップの内容は、第１のエラー報知態様の場合（図３５１および図３５２）と同様であり、説明は省略する。なお図３５１および図３５２の対応するステップを、括弧書きで付記する。

図３６０（ａ）を参照して、コマンド解析処理について説明する。

【３４７８】
ステップＳ４２０１では賞球コマンドの受信の有無を判定し（ステップＳ３３０１）、受信している場合は、ステップＳ４２０３に進み、そうでない場合はステップＳ４２０５に進む。
【３４７９】
ステップＳ４２０３では、賞球コマンド受信時の処理を行う（ステップＳ３３０３）。
ステップＳ４２０５では、主制御通信確認コマンドを受信しているか否かを判定する（ステップＳ３３０５）。主制御通信確認コマンドを受信している場合は、ステップＳ４２０７に進み、そうでない場合は処理を終了する。
【３４８０】
ステップ４２０７では、受信した主制御通信確認コマンドが電源投入後最初の主制御通信確認コマンドであるか否かを判定する（ステップＳ３３０７）。最初の主制御通信確認コマンドである場合は、ステップＳ４２０９に進み、そうでない場合はステップＳ４２１１に進む。
【３４８１】
ステップＳ４２１１では、主制御通信確認コマンド受信処理を行う（ステップＳ３３１３）。
図３６０（ｂ）を参照して、電断処理について説明する。
【３４８２】
ステップＳ４３０１では割り込み禁止設定処理（ステップＳ３４０１）を行い、ステップＳ４３０３では、全出力ポートにクリアデータを出力し（ステップＳ３４０３）、ステップＳ４３０５では、サスペンド情報を設定する（ステップＳ３４０５）。
【３４８３】
ステップＳ４３０７では、ＲＡＭのバックアップ領域に起動時情報出力フラグの初期値を設定する。起動時情報出力フラグは、例えば、パチンコ機１００の起動時（電源投入時）に球数ＵＩ部６８０に情報を表示するか否かを示すフラグであり、例えばオン（または「１」）の場合は、情報を表示することを示す。
【３４８４】
ステップＳ４３０９では、内枠開放カウンタの値を電断時内枠開放回数のバックアップ領域に格納する（ステップＳ３４０７）。
【３４８５】
ステップＳ４３１１では、ガラス枠開放カウンタの値を電断時ガラス枠開放回数のバックアップ領域に格納する（ステップＳ３４０９）。
ステップＳ４３１３ではチェックサムを算出する（ステップＳ３４１１）。
【３４８６】
ステップＳ４３１５ではＲＷＭチェックサムエリアに算出結果を設定し（ステップＳ３４１３）、ステップＳ４３１７では、内蔵ＲＡＭアクセスの禁止設定を行う（ステップＳ３４１５）。
図３６１を参照して、球数制御部割込み処理について説明する。
【３４８７】
ステップＳ４４０１では、レジスタ値を退避し（ステップＳ３５０１）、ステップＳ４４０３では、割り込みフラグをクリアし（ステップＳ３５０３）、ステップＳ４４４０５では、ＷＤＴクリアおよびリスタートを行う（ステップＳ３５０５）。ステップＳ４４０７では、受信コマンドの処理を行う（ステップＳ３５０７）。
【３４８８】
ステップＳ４４０９では、起動時情報出力フラグを判定し、オンの場合はステップＳ４４１１に進み、そうでない場合（オフまたは「０」の場合）は、ステップＳ４４１７に進む。電源投入後最初の球数制御部割込み処理では、初期値の「オン」が設定されている（図３６１（ｂ）参照）。
【３４８９】

ステップＳ４４１１では、起動時情報出力フラグにオフ（または「０」）をセットする。

【３４９０】

ステップＳ４４１３では、夜間枠開放エラーの有無を判定し、エラー情報をＲＡＭのバックアップ領域に設定する（ステップＳ３３１１）。

【３４９１】

ステップＳ４４１５では、送信コマンド設定処理を行う（ステップＳ３５２７）。これにより、球数制御部６００は起動後、主制御部３００の起動を待機せずに、所定のコマンド（例えば、夜間開放エラー情報を含むコマンドなど）を、管理装置６２０に送信することができる。

【３４９２】

ステップＳ４４１７では、主制御通信確認コマンドを受信済みか否かを判定する（ステップＳ３５０９）。受信済みの場合は、ステップＳ４４１９に進み、そうでない場合はステップＳ４４３７に進む。

【３４９３】

以降のステップＳ４４１９～ステップＳ４４３９の処理は、ステップＳ３５１１からステップＳ３５３１までと同様である。

【３４９４】

図３６２は、例えば、球数制御部６００で検出したエラー情報（例えば、夜間開放エラーの情報）を装飾図柄表示装置２０８および球数ＵＩ部６８０で報知するまでの、第２のエラー報知態様によるタイムチャートの一例を示す。図面の縦軸方向、上から下に時間が経過する。

【３４９５】

例えば、閉店後に電源が遮断されると（１）、球数制御部６００では電断時処理として、電断時のうち枠開放回数とガラス枠開放回数を記憶する（２）。電断後（夜間）に枠開放が生じると（３）、カウンタＩＣによって枠開放回数が加算される（４）。翌朝など開店時に電源が投入されると（５）、まず電源制御部６００から直接が電源が供給される球数制御部６００が起動する。電源投入後に起動時情報フラグがオンになっており（図３６０（ｂ）参照）、球数制御部６００は、夜間枠開放エラーを検出し、当該エラー情報を含む第２のコマンド（エラーコマンド）を管理装置６２０に送信する（６）

【３４９６】

第２のコマンドを受信した管理装置６２０は、これに含まれるエラー情報に基づき、エラー報知画像を生成し、球数ＵＩ部６８０にエラー報知画像の表示を指示する（７）。

【３４９７】

球数制御部６００の起動後に、球数制御部６００から電源供給を受けて主制御部３００が起動すると、最初の主制御通信確認コマンドが球数制御部６００に送信される（８）。主制御通信確認コマンドを受信すると、通信確認コマンドを主制御部３００に送信する（９）。その後、エラー情報を含む第１のコマンド（エラーコマンド）を主制御部３００に送信する（１０）。第１のコマンドを受信した主制御部３００は、これに含まれるエラー情報に基づき、副制御部（第１副制御部４００）にエラー報知を指令する（１１）。第１副制御部４００はエラーを報知する画像を生成し、装飾図柄表示装置２０８に表示する（１２）。

【３４９８】

このような処理によって、電源投入時に球数ＵＩ部６８０にエラー情報が表示され、その後主制御部３００および第１副制御部４００が起動し、装飾図柄表示装置２０８が起動した後、これにもエラー情報が表示される。

【３４９９】

図３６３は、装飾図柄表示装置２０８に表示する画像の表示例（同図（ａ））と、球数ＵＩ部６８０に表示する画像の表示例（同図（ｂ））を示す。

【３５００】

例えば、球数ＵＩ部６８０は起動すると直ちに、画像表示部６５６に電源投入後通常表示される遊技球に関する情報を報知する情報報知画像８０２と共に、エラー情報を示す画像として「夜間開放エラー」というエラー検出を示す文字のみを表示する。装飾図柄表示装置２０８の起動前あるいは起動準備中であっても、エラー情報を速報できる。球数ＵＩ部６８０は、装飾図柄表示装置２０８に表示される画像と比較するとシンプルな表示態様でエラー情報を含む画像を表示する。また、球数ＵＩ部６８０の球数表示部６４０は、球数制御部６００で制御されるので、これにエラーを示す情報（例えば、ＥＲＲｘｘや、Ｅ９９９９）を表示してもよい。

＜液晶表示装置を用いた第３のエラー報知態様＞

【３５０１】

図３６４は、液晶表示装置を用いた第３のエラー報知態様を示す図であり、球数ＵＩ部６８０の上面（正面）図である。

【３５０２】

図３６３（ａ）は、管理装置６２０によって生成されたエラー表示の画像の表示例である。この場合、切替ボタン１４４のタッチによって、装飾図柄表示装置２０８に表示されるエラー情報を示す画像を、球数ＵＩ部６８０の画像表示部６５６に表示できる。

【３５０３】

図３６３（ｂ）が切替後の表示例であり、例えば、第１副制御部４００が生成した、「夜間開放エラー」というエラー検出を示す文字と、「夜間に５回内枠が開放されました」というエラーの詳細な内容を示す文字を表示できる。この場合、タッチパネル６５４のうち、切替ボタン１４４のみ（同じ位置で）表示し、他のボタンは表示しないようにしてもよく、これによりエラー情報の表示領域を大きく確保できる。

【３５０４】

また、エラーの詳細情報（例えば、内枠１０４の開放回数）は、球数制御部６００で管理されるので、その情報を管理装置６２０に送信し、同図（ｂ）に示す画像を管理装置６２０で生成してもよい。電源投入直後には、同図（ａ）のエラー情報を速報し、切替ボタン１４４をタッチすることによって、管理装置６２０が生成した同図（ｂ）の情報を表示させる。これにより、装飾図柄表示装置２０８が起動準備中であっても、エラーの詳細な情報を表示させることができる。

【３５０５】

なお、イン球数およびアウト球数を管理する領域内球数管理処理について、電断発生時に領域内球数が存在する場合であっても、電源投入時には新たに、領域内球数管理処理を行ってもよい。

【３５０６】

また、電断発生時に領域内球数が「０（ゼロ）」以外であっても、電源投入時には新たに、領域内球数管理処理を行ってもよい。

【３５０７】

また、電源投入時にＲＡＭ（バックアップ領域）の領域内球数情報（領域内球数）の記憶領域をクリアしてもよい。

【３５０８】

また、電源投入時に復帰起動処理を行う場合であっても、ＲＡＭ（バックアップ領域）の領域内球数を記憶する領域をクリアしてもよい。

【３５０９】

また、電源投入時にＲＡＭ（バックアップ領域）の領域内球数を記憶する領域に所定値（例えば０）を設定してもよい。

【３５１０】

また、領域内球数が所定値（例えば、－２０以下または２０以上）となった場合に異常が発生したと判定する異常判定手段を備えてもよい。

【３５１１】

前記所定値は、プラスの値の自然数よりマイナスの値の自然数が少なくてもよい（例え

ば、－１以下または２０以上）。
【３５１２】
また、更新条件（球検出センサ６０４Ｂの通過）が成立した場合に更新される第一の情報（領域内球数）を記憶可能な記憶手段と、前記第一の情報が所定値となった場合に異常が発生したと判定する判定手段と、を備え、前記判定手段が前記異常が発生したと判定した場合に第二の情報（領域内球数エラー情報）を前記記憶手段が記憶するようにしてもよい。
【３５１３】
また、第一の情報が記憶された記憶手段のアドレスよりも、第二の情報が記憶された記憶手段のアドレスのほうが小さくてもよい。
【３５１４】
また、遊技者の利益情報が記憶された記憶手段のアドレスよりも、第二の情報が記憶された記憶手段のアドレスのほうが大きくてもよい。
【３５１５】
また、領域内球数を外部機器に出力してもよい。また、領域内球数を報知手段で報知してもよい。また、領域内球数を球数表示部６４０で報知してもよい。また、領域内球数を副制御部（第１副制御部４００または第２副制御部５００）が制御する表示装置で報知してもよい。また、領域内球数を外部機器が制御する表示装置で報知してもよい。また、領域内球数エラー情報を外部機器に出力してもよい。また、領域内球数エラー情報を報知手段で報知してもよい。また、領域内球数エラー情報を球数表示部６４０で報知してもよい。また、領域内球数エラー情報を副制御部が制御する表示装置で報知してもよい。また、領域内球数エラー情報を外部機器が制御する表示装置で報知してもよい。
【３５１６】
また、球数制御部６００は、非遊技状態（カード未挿入状態の場合、遊技球数が「０」の場合、球発射ハンドル１３４のタッチセンサがオフである場合、またこれらのうちいずれかの状態となってから所定時間経過した場合など）を検出した場合に、主制御部３００に省電力要求コマンドを出力し、主制御部３００は、副制御部に省電力要求コマンドを出力し、副制御部は、省電力要求コマンドが入力された場合に、省電力状態に移行するようにしてもよい。
【３５１７】
また、第一の情報が記憶された記憶手段のアドレスの上位バイトの値は、第一のレジスタ（Ｔレジスタ）が記憶する特定の値であってもよい。
【３５１８】
また、第二の情報が記憶された記憶手段のアドレスの上位バイトの値は、第一のレジスタ（Ｔレジスタ）が記憶する特定の値であってもよい。
【３５１９】
復帰制御条件は、夜に第二の信号が制御手段に入力され、次の日の朝に該制御手段に第一の信号が入力された場合であっても、バックアップ電源が残っていれば、成立する場合がある。
【３５２０】
また、第二の信号が制御手段に入力されてから該制御手段に第一の信号が入力されるまでのタイムラグは、極短時間（例えば、数ナノs、数マイクロs、数ミリs等）から長時間（例えば、数時間、半日、一日、数日等）様々な時間が考えられる。
【３５２１】
また、バックアップ電源が残存していればある程度の長時間のタイムラグを許容できるものである。
【３５２２】
なお、第一の制御手段が球数制御部６００であり、第二の制御手段が主制御部３００であってもよい。また、第一の制御手段が球数制御部６００であり、第二の制御手段が主制御部３００と第一副制御部４００であってもよい。また、第一の制御手段が球数制御部６

００であり、第二の制御手段が主制御部３００と第一副制御部４００と第二副制御部５００であってもよい。また、第一の制御手段が球数制御部６００と主制御部３００であり、第二の制御手段が第一副制御部４００であってもよい。また、第一の制御手段が球数制御部６００と主制御部３００であり、第二の制御手段が第一副制御部４００と第二副制御部５００であってもよい。

【３５２３】

また、第二の制御手段は複数の副制御手段から構成され、複数の副制御手段のうちのそれぞれの副制御手段は別の基板に設けられていてもよい。

【３５２４】

また、第一の制御手段は、異常判定手段による判定結果が特定の判定結果であった場合に、異常発生中フラグをオンにするように構成され、第一の信号出力条件は、異常発生中フラグがオンであることを少なくとも含むものであってもよい。

【３５２５】

また、第一の制御手段は、異常判定手段による判定結果が特定の判定結果であった場合に、異常発生中フラグをオンにするように構成され、第二の信号出力条件は、異常発生中フラグがオンであることを少なくとも含むものであってもよい。

【３５２６】

第一及び第二の信号出力条件に含まれる特定の判定結果は同一のものであってもよい。

【３５２７】

第一及び第二の信号出力条件に含まれる異常発生中フラグは同一のものであってもよい。

【３５２８】

以上、実施形態９について説明したが、実施形態９に係る封入式遊技台における機能（例えばシリアル通信回路、シリアル通信処理）の一部または全てを、後述する実施形態２以降で説明する遊技台に適用することもできる。例えば、実施形態９における主制御部３００と球数制御部６００間のシリアル通信処理を、以下に説明する実施形態２以降の、主制御部３００と払出制御部６００間の通信処理に適用することが可能である。

【３５２９】

また、上記の実施形態１以降で説明した遊技台（例えば、実施形態１に係るパチンコ機１００や、実施形態２に係るスロットマシン１１００など）が備える構成の一部または全てや、当該遊技台が実行する処理の一部または全てを、本実施形態に係る封入式遊技台（パチンコ機１００）に適用することもできる。

【３５３０】

例えば、実施形態１に係るパチンコ機１００が備えるＲＯＭ３０６、ＲＡＭ３０８、内蔵レジスタ、メモリ空間、Ｉ／Ｏ空間、ＬＤ命令、ＣＡＬＬ命令、ＥＸＥＳＵＢ命令、特殊命令、第２特殊命令、第３特殊命令、第４特殊命令などの構成の一部または全てを、本実施形態に係る封入式遊技台が備えていてもよい。

【３５３１】

また、実施形態１に係るパチンコ機１００が実行する主制御部メイン処理、主制御部タイマ割込処理、初期化処理、Ｔレジチェック処理、特図状態更新処理、普図状態更新処理、特別図柄変動時間抽選処理、初期設定処理などの各種処理の一部または全てを、本実施形態に係る封入式遊技台が実行してもよい。

【３５３２】

また、実施形態２に係るパチンコ機が実行する主制御部メイン処理、主制御部タイマ割込処理、リセットが実行された場合の処理、電断時処理、特図当選乱数および普図当選乱数を取得する処理などの各種処理の一部または全てを、本実施形態に係る封入式遊技台が実行してもよい。

【３５３３】

また、実施形態３に係るパチンコ機が備えるＣＰＵ３０４、ＲＯＭ３０６、ＲＡＭ３０８、外部バス制御回路３１１０、パラレル入力ポート３１０２、アドレスデコード回路３

１０３、タイマ回路３１１、カウンタ回路３１２、リセット制御回路３１４、割込み制御回路３１００、クロック回路３２００、乱数生成回路３１８などの構成の一部または全てを、本実施形態に係る封入式遊技台が備えていてもよい。

【３５３４】

例えば、他の実施形態や実施形態３に係るパチンコ機が備える第５特殊命令（ＷＡＲＵ命令）、実施形態７に係るパッケージ、ＩＣソケット、コネクト部、ソケット端子、配線パターン、基板などの構成の一部または全てや、当該遊技台が実行する実行する主制御部メイン処理、主制御部タイマ割込処理、固定延長処理、ランダム延長処理、タイマ更新処理などの処理の一部または全てを本実施形態に係る封入式遊技台が備えていてもよい。

【３５３５】

また、実施形態６に係るパチンコ機が実行する乱数取得判定／取得処理などの各種処理の一部または全てを、本実施形態に係る封入式遊技台が実行してもよい。

【３５３６】

また、実施形態６に係るパチンコ機が備える乱数回路などの構成や、実施形態８に係るパチンコ機が実行する乱数取得処理などの処理の一部または全てを、本実施形態に係る封入式遊技台が備えていてもよい。

【３５３７】

また、実施形態８に係るパチンコ機が実行するハードラッチ、ソフトラッチ、乱数取得処理、入力ポート状態更新処理における入賞パターン判定などの処理の一部または全てを、本実施形態に係る封入式遊技台が実行してもよい。

【３５３８】

本実施形態に係るパチンコ機１００は、外部装置（例えば、管理装置６２０）と少なくとも接続された制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から退出した前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）とを少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技領域に進入する前記遊技媒体を少なくとも検出可能な第一の検出手段（例えば、投入検出センサ）と接続されたものであり、前記制御手段は、前記遊技領域から退出された前記遊技媒体を少なくとも検出可能な第二の検出手段（例えば、排出検出センサ）に接続されたものであり、前記制御手段は、持ち媒体情報（例えば、遊技球数情報）を前記外部装置に送信する指令を受付けた場合に、前記遊技領域内に残存媒体が存在する場合であっても、該持ち媒体情報を含む信号を前記外部装置に少なくとも送信することが可能なものであり、前記制御手段は、前記第一および第二の検出手段による検出結果を用いて、前記残存媒体の有無を少なくとも判定可能なものであり、前記制御手段は、前記第一および第二の検出手段による検出結果に応じて、前記持ち媒体情報を少なくとも更新可能なものである。

【３５３９】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、遊技媒体の量に関する情報の送信後の処理（例えば、当該情報の記憶媒体への記憶や、当該記憶媒体の返却など）を速やかに行うことができる場合がある。

【３５４０】

前記制御手段は、持ち媒体情報を前記外部装置に送信する指令を受付けた場合に、前記遊技領域内に残存媒体が存在するか否かを判定せずに、該持ち媒体情報を含む信号を前記外部装置に少なくとも送信することが可能なものであってもよい。

【３５４１】

また、本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可

能な発射手段（例えば、発射手段６２２）と、前記遊技領域から排出された前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技媒体の量を少なくとも管理可能な管理装置（例えば、管理装置６２０）に接続されたものであり、前記制御手段は、前記遊技領域に発射される前記遊技媒体の通過を検出する第一の検出手段（例えば、減算センサ６０４Ｚ）と、前記遊技領域から排出される前記遊技媒体の通過を検出する第二の検出手段（例えば、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋ）に接続し、所定の期間に、前記第一の検出手段を通過した前記遊技媒体の第一の数量（例えば、イン球数）と、前記第二の検出手段を通過した前記遊技媒体の第二の数量（例えば、アウト球数）を記憶し、前記一の数量から第二の数量を減じて前記遊技媒体の領域内数量（例えば、領域内球数）を算出し、前記制御手段は、遊技者による前記遊技媒体の量に関する情報を前記管理装置に送信する指令を受付けた場合には、前記領域内数量が存在する場合であっても、前記情報を前記管理装置に送信することが少なくとも可能なものである。

【３５４２】

本実施形態に係るパチンコ機１００は、外部装置（例えば、管理装置６２０）と少なくとも接続された制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から退出した前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技領域に進入する前記遊技媒体を少なくとも検出可能な第一の検出手段（例えば、投入検出センサ）と接続されたものであり、前記制御手段は、前記遊技領域から退出された前記遊技媒体を少なくとも検出可能な第二の検出手段（例えば、排出検出センサ）に接続されたものであり、前記制御手段は、持ち媒体情報（例えば、遊技球数情報）を前記外部装置に送信する指令を受付けた場合に、前記遊技媒体の前記発射手段による発射を待って、該持ち媒体情報を含む信号を前記外部装置に少なくとも送信することが可能なものであり、前記制御手段は、前記第一および第二の検出手段による検出結果を用いて、前記残存媒体の有無を少なくとも判定可能なものであり、前記制御手段は、前記第一および第二の検出手段による検出結果に応じて、前記持ち媒体情報を少なくとも更新可能なものである。

【３５４３】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、持ち媒体情報の送信後の処理（例えば、当該情報の記憶媒体への記憶や、当該記憶媒体の返却など）を速やかに行うことができる場合がある。更に、持ち媒体情報を管理装置に送信することを指令された時点で発射の準備がされていた遊技媒体は消費した分として持ち媒体情報に反映されるので、持ち媒体情報を記憶媒体に記憶する場合などには、正確な量として記憶することが可能となる場合がある。

【３５４４】

また、前記制御手段は、持ち球情報を前記外部装置に送信する指令を受付けた場合に、前記待機処理（例えば、送信を遅延する処理）を行ってから、該持ち球情報を前記外部装置に少なくとも送信することが可能なものであり、前記発射手段が発射準備状態である場合にのみ、前記待機処理を行ってから、前記送信を行うように構成してもよい。また前記発射手段が発射準備状態でなければ、前記待機処理を行わずに、前記送信を行うように構成してもよい。ここで発射準備状態はどのような状態を対応させてもよいが、例えば発射手段が発射動作を開始している場合には、前記発射手段が発射準備状態にあるものとしてもよいし、発射手段が完全に停止している場合以外を、前記発射手段が発射準備状態にあるものとしてもよいし、発射手段が動作を開始する前に、該開始を禁止する動作が可能な状態以外を、前記発射手段が発射準備状態にあるものとしてもよいし、前記発射手段に供給する球が存在していれば、発射手段発射準備状態にあるものとしてもよい。前記発射手

段が発射準備状態であるかどうかに関わらず、前記発射手段が次に待機状態に戻るまでの間、前記待機処理を行うように構成してもよい。ここでの待機状態は、発射杆６２２ａが待機位置で静止している状態としてもよく、待機位置は、発射手段が発射動作を行った後で、発射球が発射位置に供給されるまでの間に発射杆６２２ａが制している位置のことを示すものとしてもよい。

【３５４５】

また、前記制御手段は、持ち媒体情報を前記外部装置に送信する指令を受付けた場合に、前記遊技領域内に残存媒体が存在するか否かを判定せずに、該持ち媒体情報を含む信号を前記外部装置に少なくとも送信することが可能なものであってもよい。

【３５４６】

また、本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から排出された前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技媒体の量を少なくとも管理可能な管理装置（例えば、管理装置６２０）に接続されたものであり、前記制御手段は、遊技者による前記遊技媒体の量に関する情報を前記管理装置に送信する指令を受付けた場合には、前記指令を受付けた際に発射の準備がされている前記遊技媒体の前記発射手段による発射を待って、前記情報を前記管理装置に送信することが少なくとも可能なものである。

【３５４７】

本実施形態に係るパチンコ機１００は、外部装置（例えば、管理装置６２０）と少なくとも接続された制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から退出した前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技領域に進入する前記遊技媒体を少なくとも検出可能な第一の検出手段（例えば、投入検出センサ）と接続されたものであり、前記制御手段は、前記遊技領域から退出された前記遊技媒体を少なくとも検出可能な第二の検出手段（例えば、排出検出センサ）に接続されたものであり、前記制御手段は、ＩＣカード返却情報を前記外部装置に送信する指令を受付けた場合に、前記遊技領域内に残存媒体が存在する場合であっても、該ＩＣカード返却情報を前記外部装置に少なくとも送信することが可能なものであり、前記制御手段は、前記第一および第二の検出手段による検出結果を用いて、前記残存媒体の有無を少なくとも判定可能なものである。

【３５４８】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、遊技媒体の遊技領域内の落下および遊技領域からの排出を待機する必要がないので、記憶媒体の速やかな返却が可能となる場合がある。

【３５４９】

また、本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から排出された前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技媒体の量を少なくとも管理可能な管理装置（例えば、管理装置６２０）に接続されたものであり、前記制御手段は、前記遊技領域に発射される前記遊技媒体の通過を検出する第一の検出手段（例えば、減算センサ６０４Ｚ）と、前記遊技領域から排出される前記遊技媒体の

通過を検出する第二の検出手段（例えば、入賞検出センサ６０４Ｓおよび非入賞検出センサ６０４Ｋ）に接続し、所定の期間に、前記第一の検出手段を通過した前記遊技媒体の第一の数量（例えば、イン球数）と、前記第二の検出手段を通過した前記遊技媒体の第二の数量（例えば、アウト球数）を記憶し、前記一の数量から第二の数量を減じて前記遊技媒体の領域内数量（例えば、領域内球数）を算出し、前記制御手段は、遊技者による前記遊技媒体の量を記憶可能な記憶媒体の返却指定を前記管理装置に送信する指令を受付けた場合には、前記領域内数量が存在する場合であっても、前記情報を前記管理装置に送信することが少なくとも可能なものである。

【３５５０】

本実施形態に係るパチンコ機１００は、外部装置（例えば、管理装置６２０）と少なくとも接続された制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から退出した前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、ＩＣカード返却情報を前記外部装置に少なくとも送信することが可能なものであり、表示手段（例えば、球数ＵＩ部６８０）をさらに備え、前記表示手段は、前記ＩＣカードに関する情報を表示可能なものであり、前記表示手段は、遊技を演出する演出表示を表示可能なものである。

【３５５１】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、前記表示手段による多彩な演出が可能となり、遊技者の興趣を高めることができる場合がある。

【３５５２】

また、本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な制御手段（例えば、制御部）と、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、前記遊技媒体を前記遊技領域に少なくとも発射可能な発射手段（例えば、発射装置６２２）と、前記遊技領域から排出された前記遊技媒体を前記発射手段に少なくとも供給可能な遊技媒体経路（例えば、遊技媒体経路６１０）と、情報を表示可能な表示手段（例えば、枠側表示装置６５８）と、を少なくとも備えた遊技媒体封入式の遊技台であって、前記制御手段は、前記遊技媒体の量を少なくとも管理可能な管理装置（例えば、管理装置６２０）に接続されたものであり、前記表示手段は、前記遊技媒体の量に関する情報を表示可能なものであり、前記表示手段は、遊技を演出する演出表示を表示可能なものとしてもよい。

【３５５３】

また、前記制御手段（例えば、制御部）は、前記遊技制御を実行可能な第一の制御手段（例えば、主制御部３００）と、前記持ち媒体情報に関する制御が少なくとも可能な第二の制御手段（例えば、球数制御部６００）を含み、前記第二の制御手段と前記管理装置（例えば、管理装置６２０）とは双方向の通信が可能である、ものとしてもよい。

【３５５４】

このような構成とすることで、暗号化処理などによって第二の制御手段と管理装置間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる場合がある。また、例えば第二の制御手段から取得した遊技台の固有の情報（固有ＩＤなど）を管理装置の通信網を経由して外部の管理センタなどに登録された遊技台の固有の情報と照合することで遊技台の認証を行うことが可能となり、電源投入時などに判定を行うことで不正改造の発見が容易となる場合がある。

【３５５５】

また、前記第一の制御手段（例えば、主制御部３００）と前記第二の制御手段（例えば、球数制御部６００）とは双方向の通信が可能である、としてもよい。

【３５５６】

このような構成とすることで、暗号化処理などによって第一の制御手段と第二の制御手段間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる場合がある。

【３５５７】

また、前記管理装置（例えば、管理装置６２０）は、携帯型の記憶媒体（例えば、ＩＣカード）に記憶された記憶内容にアクセスが可能なものであり、前記持ち媒体情報は、前記記憶媒体に記憶され持ち媒体（例えば、遊技球数）との交換が可能な金銭の残高であってもよい。

【３５５８】

このような構成とすることで、例えば、持ち媒体情報を記憶媒体に記憶することが可能となり、遊技者の保持する持ち媒体に交換可能な残高の管理が容易になる場合がある。

【３５５９】

また、前記管理装置（例えば、管理装置６２０）は、携帯型の記憶媒体（例えば、ＩＣカード）に記憶された記憶内容にアクセスが可能なものであり、前記持ち媒体情報は、前記記憶媒体に記憶されている遊技球の貯球数であってもよい。

【３５６０】

このような構成とすることで、例えば、持ち媒体情報を記憶媒体に記憶することが可能となり、遊技者の保持する持ち媒体の管理が容易になる場合がある。

【３５６１】

本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な第一の制御手段（例えば、主制御部３００）と、賞を付与する制御を少なくとも実行可能な第二の制御手段（例えば、球数制御部６００、払出制御部６００など）と、賞の付与を少なくとも実行可能な賞付与手段（例えば、遊技球数設定処理、スプロケットなど）と、を少なくとも備えた遊技台であって、前記第一の制御手段は、シリアル通信回路（例えば、シリアル通信回路７５０）を少なくとも含むものであり、前記第一の制御手段は、第一のコマンド（例えば、賞球コマンド）送信条件の成立があった場合に、第一のコマンドを前記第二の制御手段に送信可能なものであり、前記第一の制御手段は、第二のコマンド（例えば、第一の通信確認コマンド）送信条件の成立があった場合に、第二のコマンドを前記第二の制御手段に送信可能なものであり、前記第一および第二のコマンドは、前記シリアル通信回路を介して送信されるものであり、前記第二の制御手段は、賞情報に対応する大きさの賞を前記賞付与手段に付与させる制御を少なくとも実行可能なものであり、前記第一のコマンドは、前記賞情報を少なくとも含むものである。

【３５６２】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、第一の制御手段が入賞判定等を行う場合であっても、当該入賞判定により遊技者に付与される利益の情報を、第二の制御手段に送信することができる場合がある。更にシリアル形式で送信可能であるので、信号線を少なくすることができる場合がある。

【３５６３】

また、前記第二の制御手段（例えば、球数制御部６００、払出制御部６００）は、第二のシリアル通信回路（例えば、シリアル通信回路７５２）を少なくとも含むものであり、前記第二の制御手段は、第三のコマンド（例えば、第二の通信確認コマンド）送信条件の成立があった場合に、第三のコマンドを前記第一の制御手段に送信可能なものであり、前記第三のコマンドは、前記第二のシリアル通信回路を介して送信されるものであってもよい。

【３５６４】

また、前記第三のコマンド（例えば、第二の通信確認コマンド）送信条件は、前記第二の制御手段が前記第二のコマンド（例えば、第一の通信確認コマンド）を受信したことを少なくとも含むものとしてもよい。

【３５６５】

このようにすることで、第一の制御手段から送信された第一コマンドを、第二の制御手段で受信したことを確認する第二のコマンドを送信できるので、通信の信頼性が向上する場合がある。

【３５６６】

また、前記第一の制御手段（例えば、主制御部３００）は、遊技制御処理を少なくとも実行可能な第一の制御マイクロプロセッサ（例えば、主制御部用マイクロコンピュータ７６０、遊技制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５６７】

また、前記第二の制御手段（例えば、球数制御部６００、払出制御部６００）は、賞を付与する制御処理を少なくとも実行可能な第二の制御マイクロプロセッサ（例えば、球数制御部用マイクロコンピュータ７７０、払出制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５６８】

本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な第一の制御手段（例えば、主制御部３００）と、賞を付与する制御を少なくとも実行可能な第二の制御手段（例えば、球数制御部６００）と、賞の付与を少なくとも実行可能な賞付与手段（例えば、遊技球数設定処理）と、を少なくとも備えた遊技台であって、前記第一の制御手段は、シリアル通信回路（例えば、シリアル通信回路７５０）を少なくとも含むものであり、前記第一の制御手段は、第一のコマンド（例えば、賞球コマンド）送信条件の成立があった場合に、第一のコマンドを前記第二の制御手段に送信可能なものであり、前記第一の制御手段は、第二のコマンド（例えば、第一の通信確認コマンド）送信条件の成立があった場合に、第二のコマンドを前記第二の制御手段に送信可能なものであり、前記第一および第二のコマンドは、前記シリアル通信回路を介して送信されるものであり、前記第二の制御手段は、賞情報に対応する大きさの賞を前記賞付与手段に付与させる制御を少なくとも実行可能なものであり、前記第一のコマンドは、前記賞情報を少なくとも含むものである。

【３５６９】

また、前記第二の制御手段（例えば、球数制御部６００）は、第二のシリアル通信回路（例えば、シリアル通信回路７５２）を少なくとも含むものであり、前記第二の制御手段は、第三のコマンド（例えば、第二の通信確認コマンド）送信条件の成立があった場合に、第三のコマンドを前記第一の制御手段に送信可能なものであり、前記第三のコマンドは、前記第二のシリアル通信回路を介して送信されるものであってもよい。

【３５７０】

また、前記第三のコマンド（例えば、第二の通信確認コマンド）送信条件は、前記第二の制御手段が前記第二のコマンド（例えば、第一の通信確認コマンド）を受信したことを少なくとも含むものとしてもよい。

【３５７１】

また、前記第一の制御手段（例えば、主制御部３００）は、遊技制御処理を少なくとも実行可能な第一の制御マイクロプロセッサ（例えば、主制御部用マイクロコンピュータ７６０）を少なくとも含むものとしてもよい。

【３５７２】

また、前記第二の制御手段（例えば、球数制御部６００）は、賞を付与する制御処理を少なくとも実行可能な第二の制御マイクロプロセッサ（例えば、球数制御部用マイクロコンピュータ７７０）を少なくとも含むものとしてもよい。

【３５７３】

本実施形態に係るパチンコ機１００は、遊技制御を少なくとも実行可能な第一の制御手段（例えば、主制御部３００）と、賞を付与する制御を少なくとも実行可能な第二の制御手段（例えば、払出制御部６００など）と、賞の付与を少なくとも実行可能な賞付与手段（例えば、スプロケットなど）と、を少なくとも備えた遊技台であって、前記第一の制御手段は、シリアル通信回路（例えば、シリアル通信回路７５０）を少なくとも含むもので

あり、前記第一の制御手段は、第一のコマンド（例えば、賞球コマンド）送信条件の成立があった場合に、第一のコマンドを前記第二の制御手段に送信可能なものであり、前記第一の制御手段は、第二のコマンド（例えば、第一の通信確認コマンド）送信条件の成立があった場合に、第二のコマンドを前記第二の制御手段に送信可能なものであり、前記第一および第二のコマンドは、前記シリアル通信回路を介して送信されるものであり、前記第二の制御手段は、賞情報に対応する大きさの賞を前記賞付与手段に付与させる制御を少なくとも実行可能なものであり、前記第一のコマンドは、前記賞情報を少なくとも含むものである。

【３５７４】

また、前記第二の制御手段（例えば、払出制御部６００）は、第二のシリアル通信回路（例えば、シリアル通信回路７５２）を少なくとも含むものであり、前記第二の制御手段は、第三のコマンド（例えば、第二の通信確認コマンド）送信条件の成立があった場合に、第三のコマンドを前記第一の制御手段に送信可能なものであり、前記第三のコマンドは、前記第二のシリアル通信回路を介して送信されるものであってもよい。

【３５７５】

また、前記第三のコマンド（例えば、第二の通信確認コマンド）送信条件は、前記第二の制御手段が前記第二のコマンド（例えば、第一の通信確認コマンド）を受信したことを少なくとも含むものとしてもよい。

【３５７６】

また、前記第一の制御手段（例えば、主制御部３００）は、遊技制御処理を少なくとも実行可能な第一の制御マイクロプロセッサ（例えば、遊技制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５７７】

また、前記第二の制御手段（例えば、払出制御部６００）は、賞を付与する制御処理を少なくとも実行可能な第二の制御マイクロプロセッサ（例えば、払出制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５７８】

また、本実施形態に係るパチンコ機１００は、遊遊技制御を少なくとも実行可能な遊技制御手段（例えば、主制御部３００）と、払出制御を少なくとも実行可能な払出制御手段（例えば、払出制御部６００）と、賞媒体を少なくとも払出可能な払出手段（例えば、スプロケット）と、を備えた遊技台であって、前記遊技制御手段は、シリアル通信回路（例えば、シリアル通信回路７５０）を少なくとも含むものであり、前記遊技制御手段は、第一のコマンド（例えば、賞球コマンド）送信条件の成立があった場合に、第一のコマンドを前記払出制御手段に送信可能なものであり、前記遊技制御手段は、第二のコマンド（例えば、第一の通信確認コマンド）送信条件の成立があった場合に、第二のコマンドを前記払出制御手段に送信可能なものであり、前記第一および第二のコマンドは、前記シリアル通信回路を介して送信されるものであり、前記払出制御手段は、賞媒体情報に対応する数の賞媒体を前記払出手段に払出させる制御を少なくとも実行可能なものであり、前記第一のコマンドは、前記賞媒体情報を少なくとも含むものである。

【３５７９】

また、前記払出制御手段（例えば、払出制御部６００は、第二のシリアル通信回路（例えば、シリアル通信回路７５２）を少なくとも含むものであり、前記払出制御手段は、第三のコマンド（例えば、第二の通信確認コマンド）送信条件の成立があった場合に、第三のコマンドを前記遊技制御手段に送信可能なものであり、前記第三のコマンドは、前記第二のシリアル通信回路を介して送信されるものとしてもよい。

【３５８０】

また、前記第三のコマンド（第二の通信確認コマンド）送信条件は、前記払出制御手段が前記第二のコマンド（第一の通信確認コマンド）を受信したことを少なくとも含むものとしてもよい。

【３５８１】

また、前記遊技制御手段（例えば、主制御部３００）は、遊技制御処理を少なくとも実行可能な主制御マイクロプロセッサ（例えば、遊技制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５８２】

また、前記払出制御手段（例えば、払出制御部６００）は、払出制御処理を少なくとも実行可能な払出制御マイクロプロセッサ（例えば、払出制御用マイクロコンピュータ）を少なくとも含むものとしてもよい。

【３５８３】

本実施形態に係るパチンコ機１００は、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、第一の信号が入力されたことに基づいて制御を少なくとも開始可能な制御手段（例えば、制御部）と、前記制御手段によって少なくとも更新される記憶手段と、を少なくとも備えた遊技台であって、前記制御手段は、復帰制御条件の成立があった場合に、第二の信号が入力された際の制御状態に復帰させる復帰制御を少なくとも実行可能なものであり、前記復帰制御条件は、前記第二の信号が前記制御手段に入力された後で、該制御手段に前記第一の信号が入力されたことを少なくとも含むものであり、前記制御手段は、前記遊技領域への前記遊技媒体の進入および該遊技領域からの前記遊技媒体の退出の少なくとも何れかがあった場合に、第一の値（例えば、領域内球数）を少なくとも更新可能なものであり、前記第一の値は、前記記憶手段に記憶された値であり、前記制御手段は、前記復帰制御において、前記第一の値に、第二の値ではなく、第三の値を少なくとも設定可能なものであり、前記第二の値は、前記第二の信号が前記制御手段に入力された際の前記第一の値であり、前記第三の値は、初期値である、ものである。

【３５８４】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、電断後の電源投入時にイン球数とアウト球数の情報が残ることで遊技台が遊技領域内に不正に機内球が残存したと判断し、エラーとして報知することを回避できる場合があり、遊技者が不正を疑われることなく、適正な遊技が行うことができる場合がある。

【３５８５】

また本実施形態に係るパチンコ機１００は、遊技媒体（例えば、機内球７１０）が少なくとも転動可能な遊技領域（例えば、遊技領域１２４）と、第一の信号が入力されたことに基づいて制御を少なくとも開始可能な制御手段（例えば、制御部）と、前記制御手段によって少なくとも更新される記憶手段と、を少なくとも備えた遊技台であって、前記制御手段は、復帰制御条件の成立があった場合に、第二の信号が入力された際の制御状態に復帰させる復帰制御を少なくとも実行可能なものであり、前記復帰制御条件は、前記第二の信号が前記制御手段に入力された後で、該制御手段に前記第一の信号が入力されたことを少なくとも含むものであり、前記制御手段は、前記遊技領域への前記遊技媒体の進入および該遊技領域からの前記遊技媒体の退出の少なくとも何れかがあった場合に、第一の値（例えば、領域内球数）を少なくとも更新可能なものであり、前記第一の値は、前記記憶手段に記憶された値であり、前記制御手段は、前記復帰制御において、前記第一の値に、第二の値ではなく、第三の値を少なくとも設定可能なものであり、前記第二の値は、前記第二の信号が前記制御手段に入力された際の前記第一の値であり、前記第三の値は、初期値であり、前記第一の値が第四の値である場合に異常が発生したと判定する異常判定手段を備えた、ことを特徴とする遊技台である。

【３５８６】

このような構成とすることで、遊技媒体の管理に関するメンテナンス性を向上することができる場合があるとともに、遊技者が不正を疑われることなく、適正な遊技が行うことができる場合がある。また、復電後も初期化されない記憶領域に第一の数量情報および前記第二の数量情報の異常状態を記憶するので、例えば復電後に外部装置などに異常状態を送信したり、異常を報知することが可能となる場合がある。

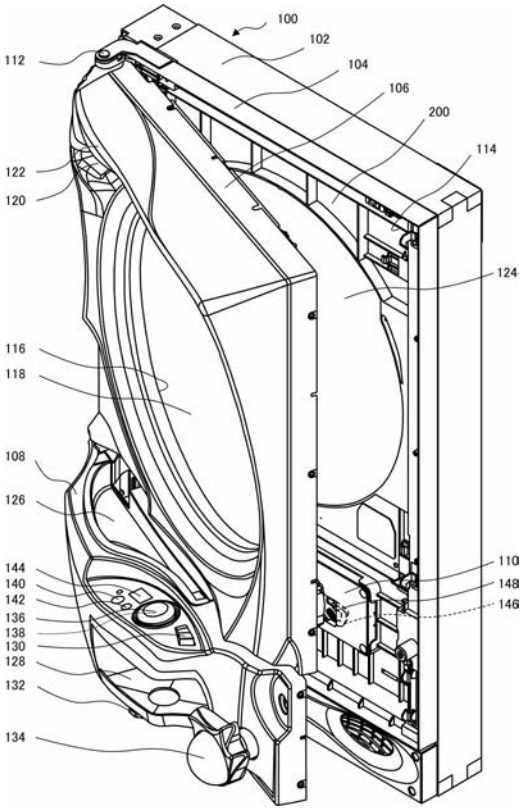
【３５８７】
また、前記遊技領域（例えば、遊技領域１２４）へ進入する前記遊技媒体（例えば、機内球７１０）を少なくとも検出可能な第一の検出手段（例えば、投入検出センサ）を備え、前記制御手段は、前記第一の検出手段の検出結果に基づいて前記第一の値を少なくとも更新可能なものとしてもよい。
【３５８８】
このようにすることで、遊技領域へ発射する時点で遊技媒体を検出でき、それに基づき第一の数量情報を更新できるので遊技媒体の数量を確実に管理できる場合がある。
【３５８９】
また、前記遊技領域（例えば、遊技領域１２４）から退出した前記遊技媒体（例えば、機内球７１０）を少なくとも検出可能な第二の検出手段（例えば、排出検出センサ）を備え、前記制御手段は、前記第二の検出手段の検出結果に基づいて前記第一の値を少なくとも更新可能なものとしてもよい。
【３５９０】
このようにすることで、遊技領域から排出された時点で遊技媒体を検出でき、それに基づき第二の数量情報を更新できるので遊技媒体の数量を確実に管理できる場合がある。
【３５９１】
また、前記制御手段（例えば、制御部）は、遊技制御を少なくとも実行可能な第一の制御手段（例えば、主制御部３００）と、前記遊技媒体の量に関する制御が少なくとも可能な第二の制御手段（例えば、球数制御部６００）を含み、前記第二の制御手段は、前記第一の制御手段から第三の信号が入力された場合に、前記遊技媒体の量に関する制御を実行可能なものとしてもよい。
【３５９２】
このようにすることで、第一の制御手段の制御に合わせて第二の制御手段の制御を行うことができ、適正な遊技を行うことができる場合がある。
【３５９３】
また、前記第一の制御手段（例えば、主制御部３００）と前記第二の制御手段（例えば、球数制御部６００）とは双方向の通信が可能である、としてもよい。
【３５９４】
このような構成とすることで、暗号化処理などによって第一の制御手段と第二の制御手段間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる場合がある。
【３５９５】
また本実施形態に係るパチンコ機１００は、制御を少なくとも実行可能な第一の制御手段（例えば、球数制御部６００）と、制御を少なくとも実行可能な第二の制御手段（例えば、主制御部３００）と、異常発生の有無を判定する異常判定手段（例えば、エラー管理処理）と、を備えた遊技台であって、前記第一の制御手段は、第一の信号出力条件の成立があった場合に、第一の信号（例えば、エラーコマンド）を前記第二の制御手段に少なくとも出力可能なものであり、前記第二の制御手段は、報知条件の成立があった場合に、第一の報知を実行可能なものであり、前記報知条件は、前記第一の信号を受信したことを少なくとも含むものであり、前記第一の制御手段は、第二の信号出力条件の成立があった場合に、第二の信号（例えば、エラーコマンド）を外部機器（例えば、管理装置６２０）に対して少なくとも出力可能なものであり、前記第二の信号は、外部機器に第二の報知を少なくとも行わせるために出力されるものであり、前記第一の信号出力条件は、前記異常判定手段による判定結果が特定の判定結果であったことを少なくとも含むものであり、前記第二の信号出力条件は、前記異常判定手段による判定結果が特定の判定結果であったことを少なくとも含むものであり、前記第一の報知の態様と前記第二の報知の態様は異なる態様とするものである。
【３５９６】
このようにすることで、遊技媒体の管理に関するメンテナンス性を向上することができ

る場合があるとともに、エラーの報知に多様性を持たせることができる場合がある。
【３５９７】
また、前記第一の制御手段（例えば、球数制御部６００）は、前記遊技媒体の量に関する制御が少なくとも可能であるものとしてもよい。
【３５９８】
このようにすることで、前記遊技媒体の量に関する情報に関するエラー情報の報知に多様性を持たせることができる場合がある。
【３５９９】
また、前記第一の制御手段（例えば、球数制御部６００）と前記外部機器（例えば、管理装置とは双方向の通信が可能である、ことを特徴とする遊技台である。
【３６００】
このような構成とすることで、暗号化処理などによって第一の制御手段と外部機器間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる場合がある。
【３６０１】
また、前記第二の制御手段（例えば、主制御部３００）は、前記遊技の進行を少なくとも制御可能であるものとしてもよい。このようにすることで、遊技制御にかかわる電気的、磁気的あるいは機械的なエラー情報などの報知に多様性を持たせることができる場合がある。
【３６０２】
また、前記第一の制御手段（例えば、球数制御部３００）と第二の制御手段（例えば、主制御部３００）とは双方向の通信が可能としてもよい。
【３６０３】
このような構成とすることで、暗号化処理などによって第一の制御手段と第二の制御手段間の通信データの整合性を確認することができ、これらのインターフェース部を狙った不正アクセスを防ぐことができる場合がある。
【３６０４】
以上、上記の実施形態では、携帯型の記憶媒体としてＩＣカードの場合を例に説明したが、これに限らず、携帯型の記憶媒体は、例えば電子マネーサービス等で利用可能なＩＣチップ内蔵の携帯電子端末（例えば、携帯電話端末）等であってもよい。
【３６０５】
また、主制御部と第１副制御部で双方向の通信を可能とする一方で、第１副制御部から第２副制御部への通信は一方向の通信としてもよい。
【３６０６】
なお、上記実施例においては、封入式のパチンコ機１００の例を示したが、これに限るものではなく、例えば、メダルを使用せずに電子データのやり取りのみ行うスロットマシンであってもよい。この場合、遊技媒体は、メダルに相当する電子化したデータを含むものであり、遊技媒体の投入は、所定の外部装置（電子貯留装置）から、電子化したデータを入力することを含むものであり、遊技媒体の払出は、所定の外部装置（電子貯留装置）へ、電子化したデータを出力することを含むものである。また、遊技球（例えば、パチンコ玉）を遊技媒体としたスロットマシンにも適用可能である。
【３６０７】
更に本発明を、アレンジボール遊技機、じゃん球遊技機、ピンボールマシン、に適用してもよい。また、本発明を、遊技媒体の投入を契機として遊技可能となる遊技機（例えば、カジノマシン、ビデオゲームマシン）、遊技媒体自体を遊技に使用する遊技機（例えば、メダル落としゲーム機）に適用してもよい。ここで、「遊技媒体の投入」とは「賭ける」を意味し、「ベット」とも同意である。「遊技媒体の投入」は、「通貨の投入」や「電子マネーの投入」を含む。カジノマシンとは、通貨の投入により遊技が開始可能となり、抽選結果が当選の場合に、該当選結果に対応付けられて設定された図柄が停止し、遊技者に特典となる払出しを行う、カジノマシンである。

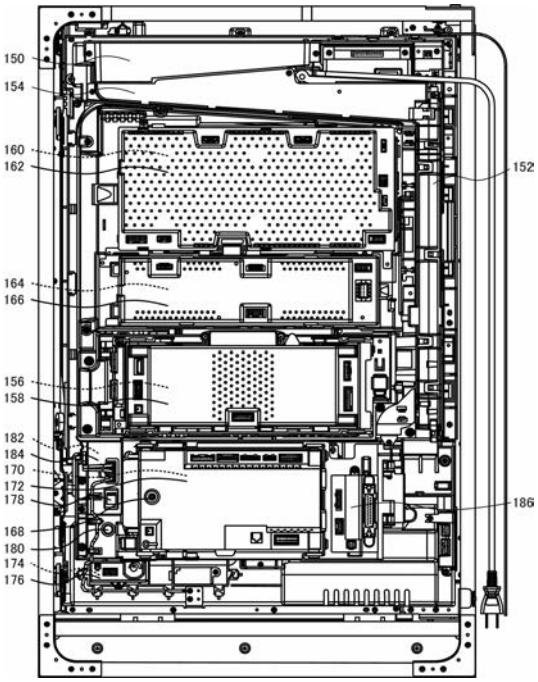
【３６０８】
　また、本発明の実施の形態に記載された作用および効果は、本発明から生じる最も好適な作用および効果を列挙したに過ぎず、本発明による作用および効果は、本発明の実施の形態に記載されたものに限定されるものではない。また、実施例に記載した複数の構成のうち、１つの構成に記載している内容を、他の構成に適用することでより遊技の幅を広げられる場合がある。
【産業上の利用可能性】
【３６０９】
　本発明の遊技台は、回胴遊技機（スロットマシン）や弾球遊技機（パチンコ等）に代表される遊技台の分野で特に利用することができる。
【符号の説明】
【３６１０】
１００　パチンコ機
１０２　外枠
１０４　内枠
１４０　球貸ボタン
１４２　返却ボタン
１４４　切替ボタン
２０８　装飾図柄表示装置
２０８ｄ　演出表示領域
２１２　第１特図表示装置
２１４　第２特図表示装置
２３０　第１特図始動口
２３２　第２特図始動口
２３２１　羽根部材
２３４　可変入賞口
２３４１　扉部材
３００　主制御部
３０４　ＣＰＵ
３０６　ＲＯＭ
３０８　ＲＡＭ
３１０　Ｉ／Ｏ
３１１　タイマ回路
３１２　カウンタ回路
３１４　リセット制御回路
３１８　乱数生成回路
４００　第１副制御部
４０４　ＣＰＵ
４０６　ＲＯＭ
４０８　ＲＡＭ
５００　第２副制御部
６００　払出制御部（球数制御部）
６１０　遊技媒体経路
６１２　球磨き装置
６１４　揚上装置
６１６　球送り装置
６２２　発射装置
６２０　管理装置
６４０　球数表示部
６８０　球数ＵＩ部

６５２　計数ボタン
６５４　入力操作部
６５６　画像表示部
１１００　スロットマシン
１３００　主制御部
１３０４　ＣＰＵ
１３０６　ＲＯＭ
１３０８　ＲＡＭ
１３１０　Ｉ／Ｏ
１４００　第１副制御部
１５００　第２制御部
５１００　パチンコ機
５１０２　遊技盤
５１０４　遊技領域
５１１０　装飾図柄表示装置
５１１２　普図表示装置
５１１４　特図表示装置
５１２２　一般入賞口
５１２４　普図始動口
５１２６　第１特図始動口
５１２８　第２特図始動口
５１３０　可変入賞口
５３００　主制御部
５３０２　基本回路
５４００、５００　副制御部
５６８０　パッケージ
５６８０ａ　視認容易部
５６８０ｂ　視認非容易部
５８５０　ＩＣソケット

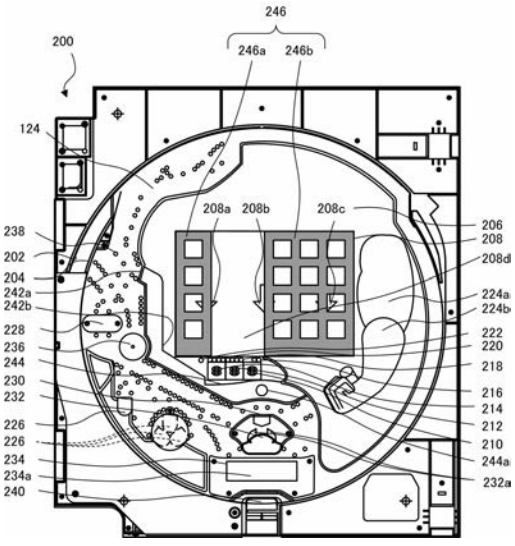
【図１】


100
102
104
106
200
114
112
122
120
124
116
118
108
126
144
140
142
136
138
130
128
132
134
110
148
146

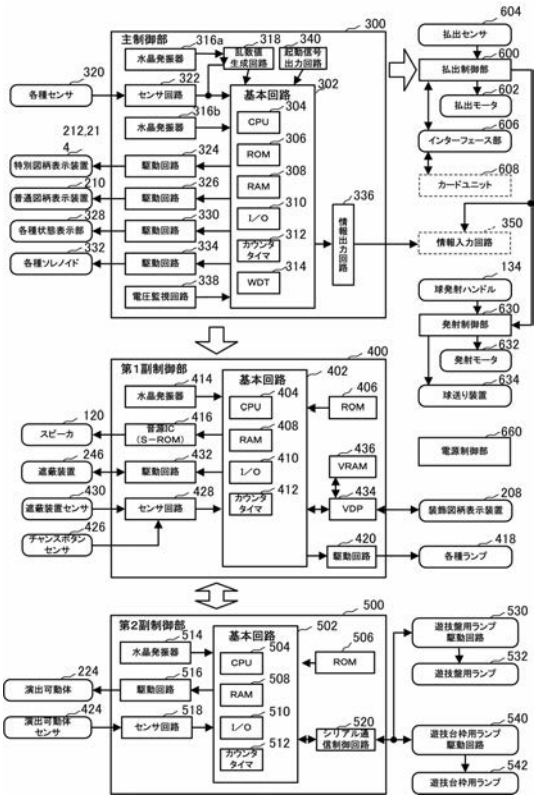
【図２】


150
154
160
162
152
164
166
156
158
182
184
170
172
178
186
168
180
174
176

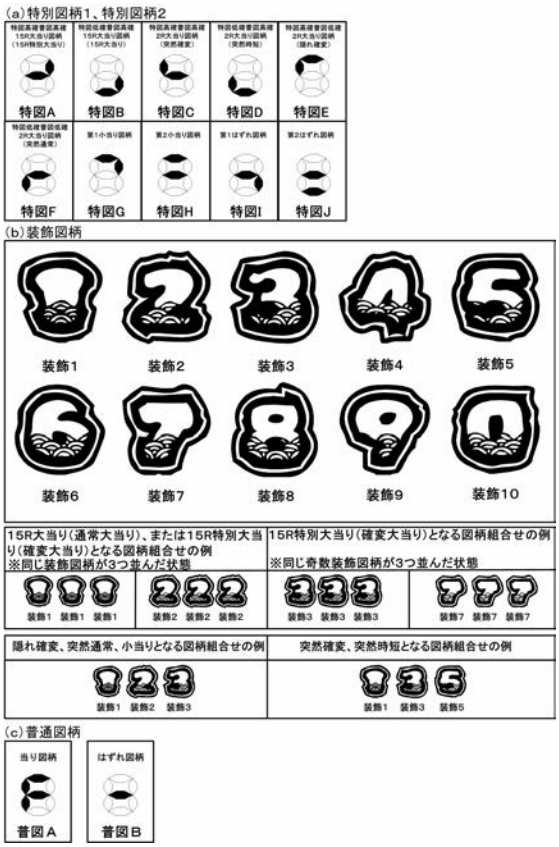
【図３】


246
200
246a
246b
124
208a
208b
208c
206
208
208d
238
202
204
242a
242b
224a
224b
228
236
244
230
232
222
220
218
216
214
212
210
226
226
234
234a
240
244a
232a

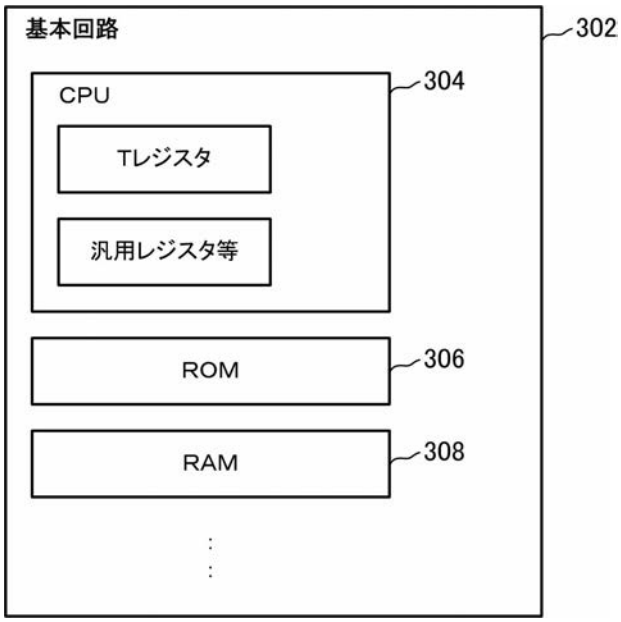
【図４】


主制御部
水晶発振器
乱数値生成回路
起動復号出力回路
各種センサ
センサ回路
基本回路
CPU
ROM
RAM
I/O
カウンタタイマ
WDT
水晶発振器
特別図柄表示装置
普通図柄表示装置
各種状態表示部
各種ソレノイド
駆動回路
電圧監視回路
情報出力回路
払出センサ
払出制御部
払出モータ
インターフェース部
カードユニット
情報入力回路
球発射ハンドル
発射制御部
発射モータ
球送り装置
電源制御部
第1副制御部
スピーカ
普通IC（S－ROM）
遮蔽装置
遮蔽装置センサ
チャンスボタンセンサ
VRAM
VDP
装飾図柄表示装置
各種ランプ
第2副制御部
演出可動体
演出可動体センサ
シリアル通信制御回路
遊技盤用ランプ駆動回路
遊技盤用ランプ
遊技台枠用ランプ駆動回路
遊技台枠用ランプ

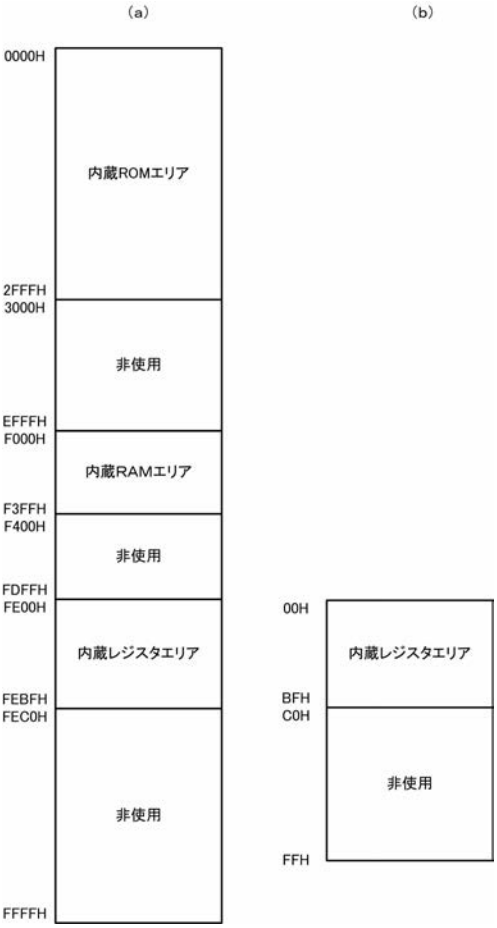
【図５】


(a)特別図柄1、特別図柄2
特図A
特図B
特図C
特図D
特図E
特図F
特図G
特図H
特図I
特図J
(b)装飾図柄
装飾1
装飾2
装飾3
装飾4
装飾5
装飾6
装飾7
装飾8
装飾9
装飾10
15R大当り(通常大当り)、または15R特別大当り(確変大当り)となる図柄組合せの例
※同じ装飾図柄が3つ並んだ状態
15R特別大当り(確変大当り)となる図柄組合せの例
※同じ奇数装飾図柄が3つ並んだ状態
隠れ確変、突然通常、小当りとなる図柄組合せの例
突然確変、突然時短となる図柄組合せの例
(c)普通図柄
当り図柄
はずれ図柄
普図A
普図B

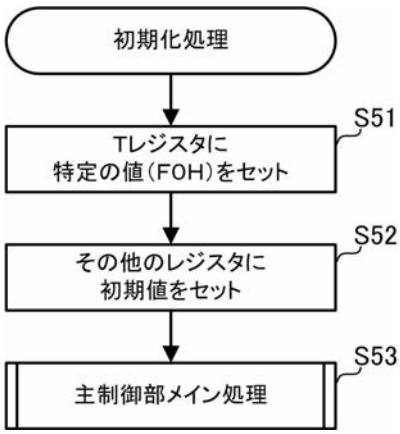
【図６】


基本回路
302
CPU
304
Tレジスタ
汎用レジスタ等
ROM
306
RAM
308

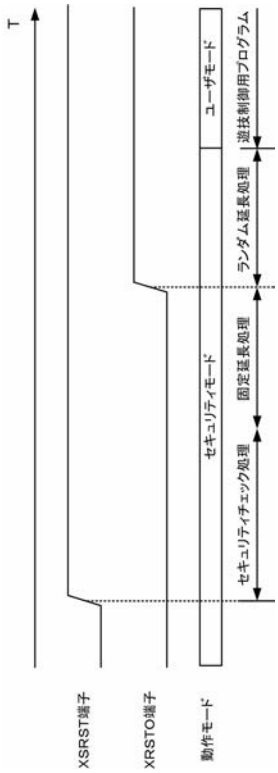
【図７】


(a)
(b)
0000H
内蔵ROMエリア
2FFFH
3000H
非使用
EFFFH
F000H
内蔵RAMエリア
F3FFH
F400H
非使用
FDFFH
FE00H
内蔵レジスタエリア
FEBFH
FEC0H
非使用
FFFFH
00H
内蔵レジスタエリア
BFH
C0H
非使用
FFH

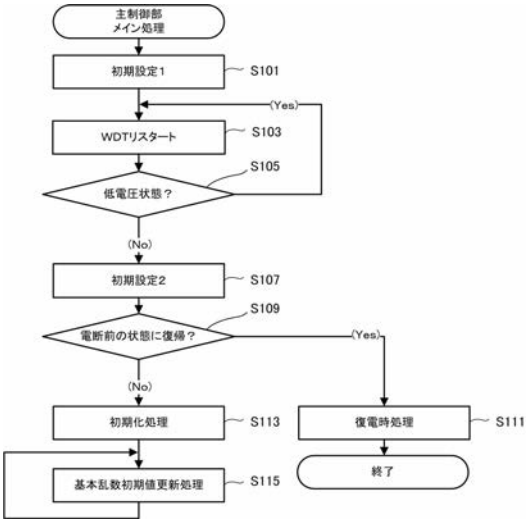
【図８】


初期化処理
S51
Tレジスタに
特定の値(F0H)をセット
S52
その他のレジスタに
初期値をセット
S53
主制御部メイン処理

【図９】

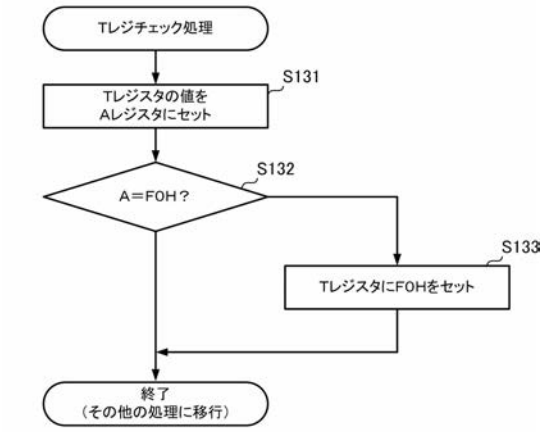


【図１０】



【図１１】

(a)

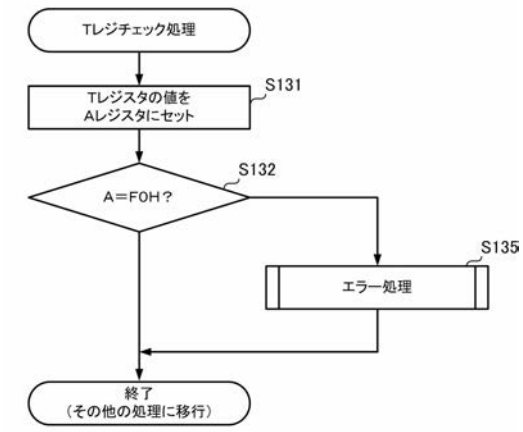


(b)

```
                .
                .
                .
//////////////////
Tレジチェック処理
//////////////////
moChkTreg:
        LD      A, T
        SUB     F0H
        JP      Z, SEIJYOU
        LD      T,F0H
SEIJYOU:
                .
                .
                .
                .
                .
```

【図１２】

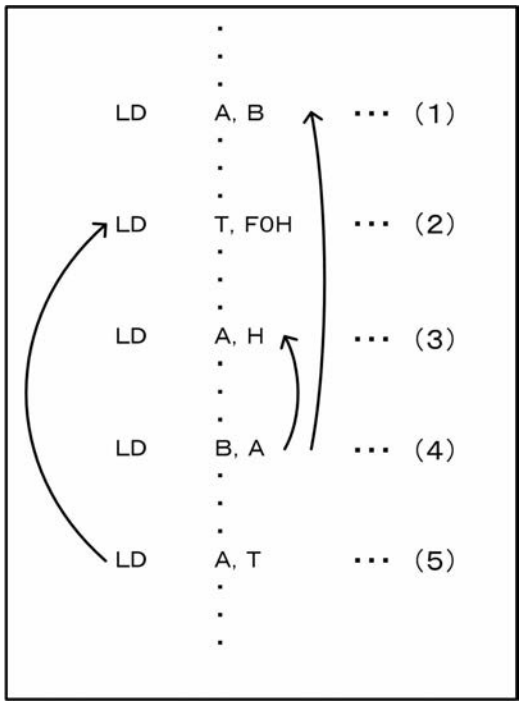
(a)



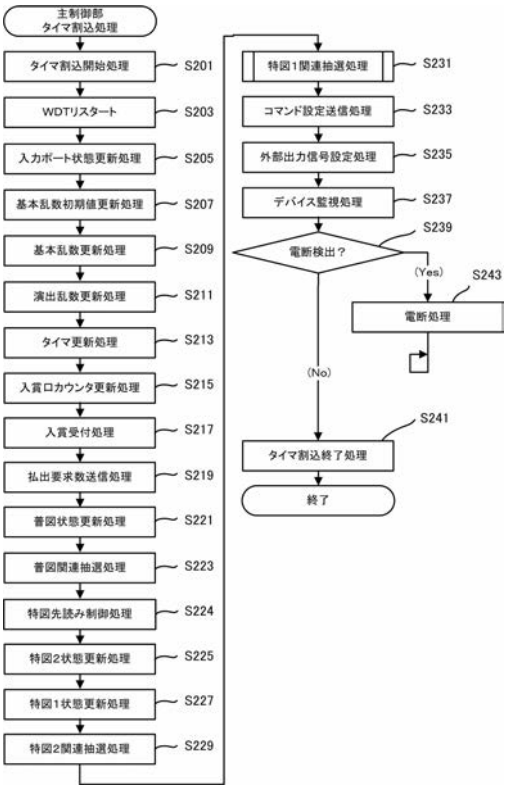
(b)

```
                .
                .
                .
//////////////////
Tレジチェック処理
//////////////////
moChkTreg:
        LD      A, T
        SUB     F0H
        JP      NZ, moError
        LD      T,F0H
                .
                .
                .
                .
                .
```

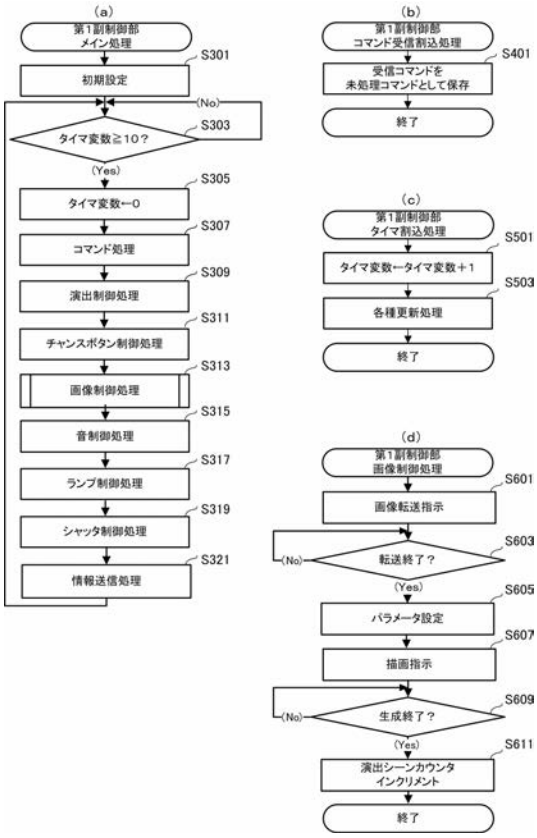
【図１３】



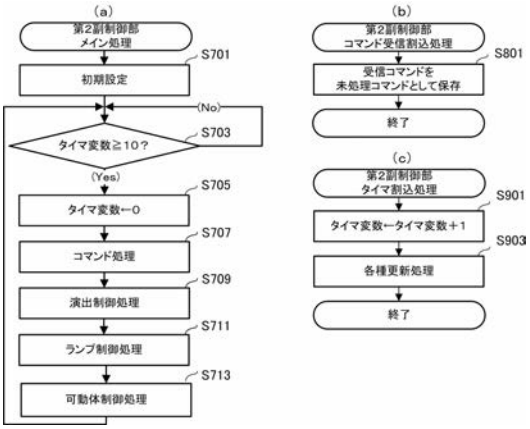
【図１４】



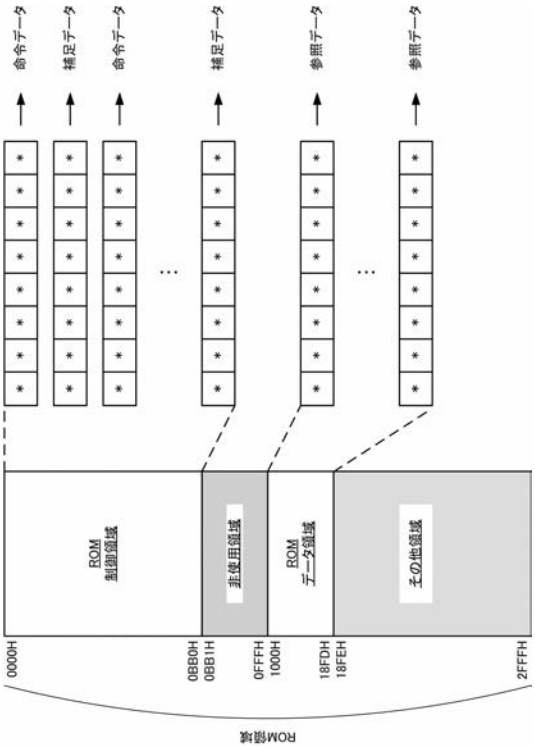
【図１５】



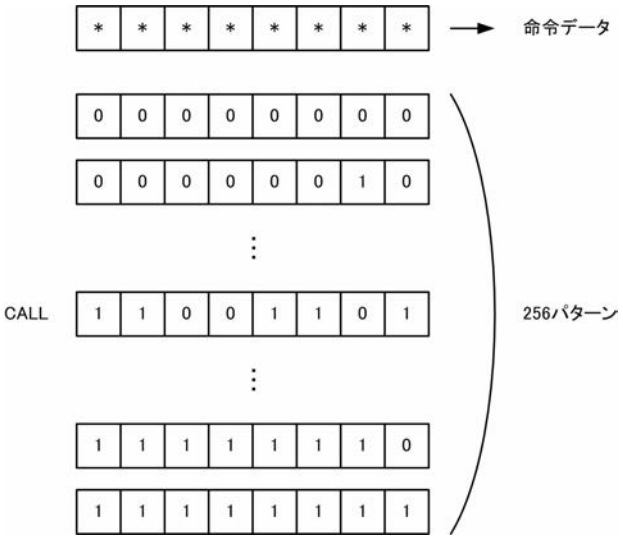
【図１６】



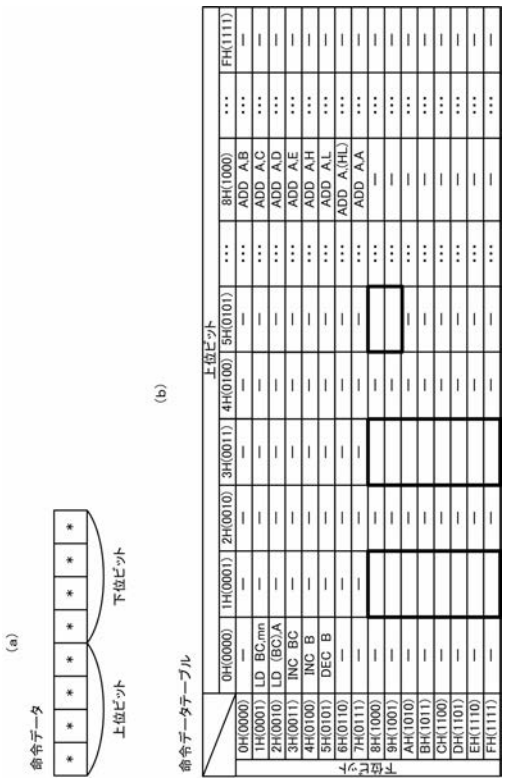
【図１７】



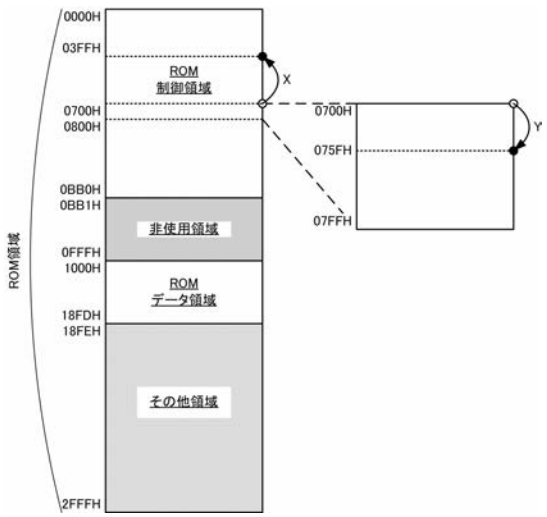
【図１８】



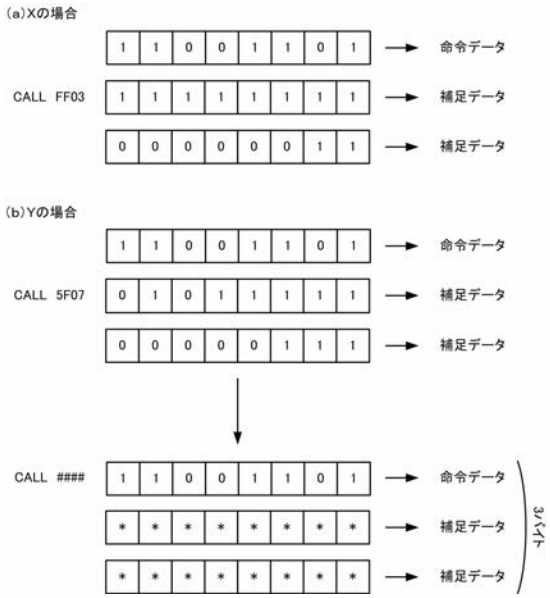
【図１９】



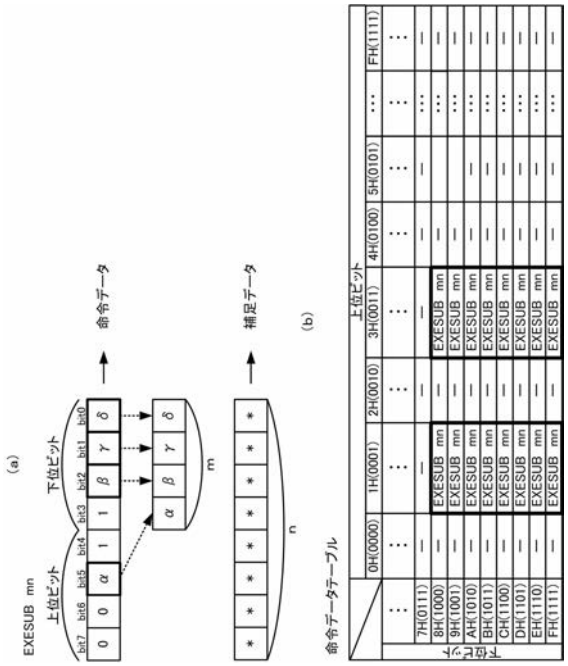
【図２０】



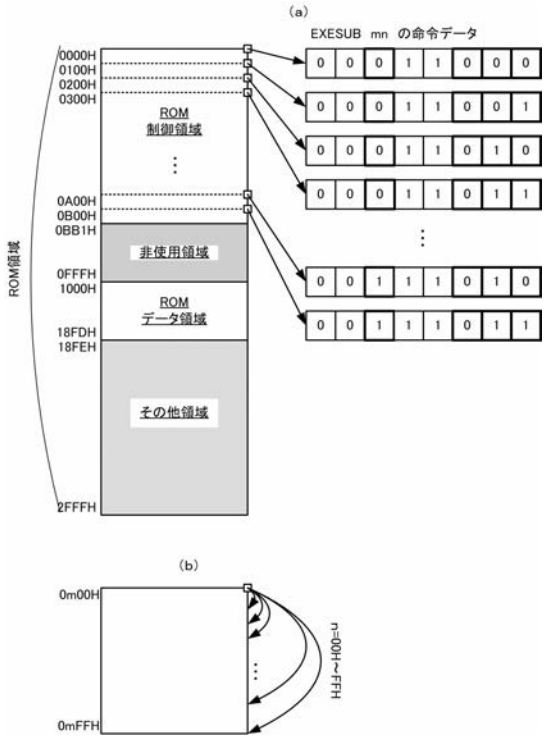
【図２１】



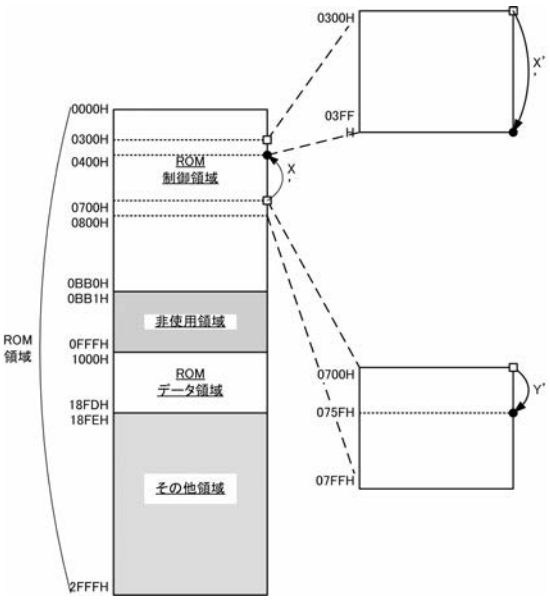
【図２２】



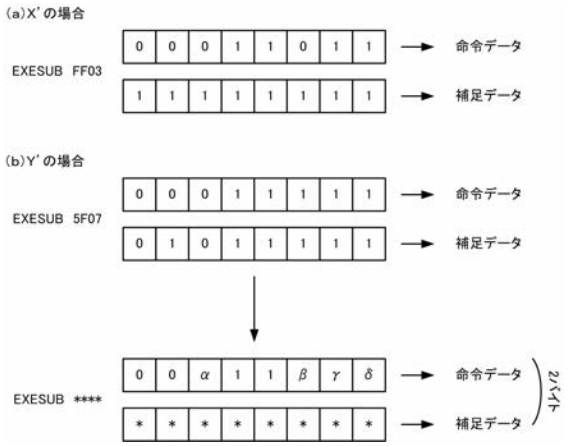
【図２３】



【図２４】



【図２５】

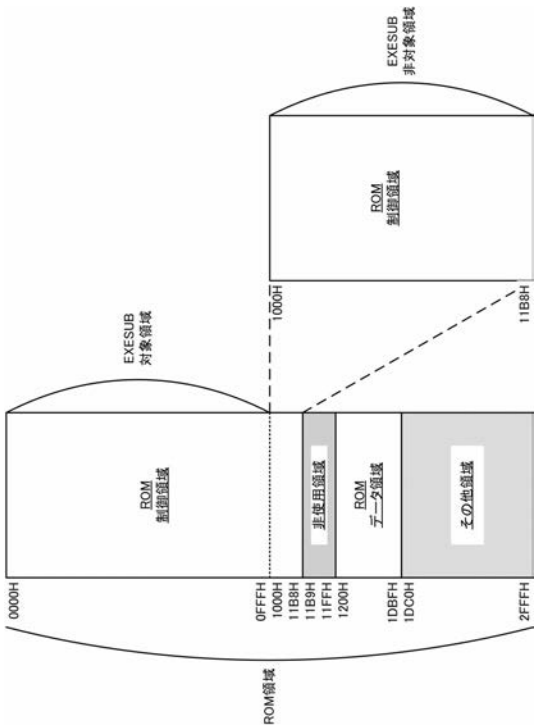


【図２６】

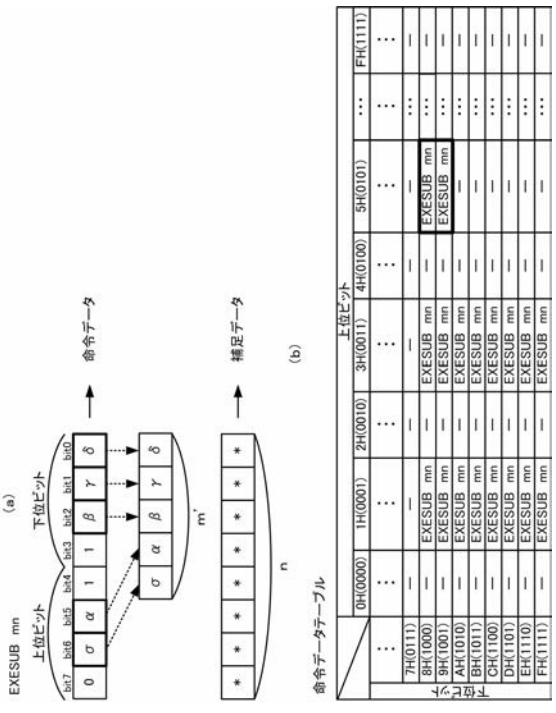
主制御部タイマ割込み処理の制御プログラム

```
;;;;;タイマ割込開始処理

;;;;;WDTリスタート
                :
0424    EXESUB  **      ･･･(1)      入力ポート状態更新処理
0426    EXESUB  **      ･･･(2)      基本乱数初期値更新処理
0428    EXESUB  **      ･･･(3)      基本乱数更新処理
0430    EXESUB  **      ･･･(4)      演出乱数更新処理
0432    EXESUB  **      ･･･(5)      タイマ更新処理
0434    EXESUB  **      ･･･(6)      入賞口カウンタ更新処理
0436    EXESUB  **      ･･･(7)      入賞受付処理
0438    EXESUB  **      ･･･(8)      払出要求数送信処理
0440    EXESUB  **      ･･･(9)      普図状態更新処理
0442    EXESUB  **      ･･･(10)     普図関連抽選処理
0444    EXESUB  **      ･･･(11)     特図先読み制御処理
0446    EXESUB  **      ･･･(12)     特図2状態更新処理
0448    EXESUB  **      ･･･(13)     特図1状態更新処理
0450    EXESUB  **      ･･･(14)     特図2関連抽選処理
0452    EXESUB  **      ･･･(15)     特図1関連抽選処理
0454    EXESUB  **      ･･･(16)     コマンド設定送信処理
0456    EXESUB  **      ･･･(17)     外部出力信号設定処理
0458    EXESUB  **      ･･･(18)     デバイス監視処理

;;;;;その他処理
```

【図２７】



【図２８】



【図２９】

(a)

```
moTokuzuKoushin:
        LD      L, . Low. vbTokuzuStatus        ;特別図柄遊技状態アドレスを取得
        JP      moReadMemory                    ;メモリ読出し処理
        RET     Z                               ;特別図柄作動中以外は処理終了
                ・
                ・
                ・
```

(b)

```
moHuzuKoushin:
        LD      L, . Low. vbHuzuStatus          ;普通図柄遊技状態アドレスを取得
        JP      moReadMemory                    ;メモリ読出し処理
        RET     Z                               ;普通図柄作動中以外は処理終了
                ・
                ・
                ・
```

(c)

```
moReadMemory:
        LD      H, F0H          ;メモリの上位アドレスを設定
        LD      A, (HL)         ;メモリの内容を取得
        AND     A               ;メモリの内容のゼロ確認
        RET
```

(d)

```
//////////////////////////////////////////////
;RAMエリア
//////////////////////////////////////////////
                ・
                ・
                ・
F060    vbTokuzuStatus          DEFS    1
F061    vbHuzuStatus            DEFS    1
                ・
                ・
                ・
```

【特別図柄ステータス】
1:特別図柄変動中処理
2:特別図柄表示確定ウェイト処理
3:大当り開始表示ウェイト処理
:
:

【普通図柄ステータス】
1:普通図柄変動中処理
2:普通図柄表示確定ウェイト処理
3:普通電動役物更新処理
:
:

(e)

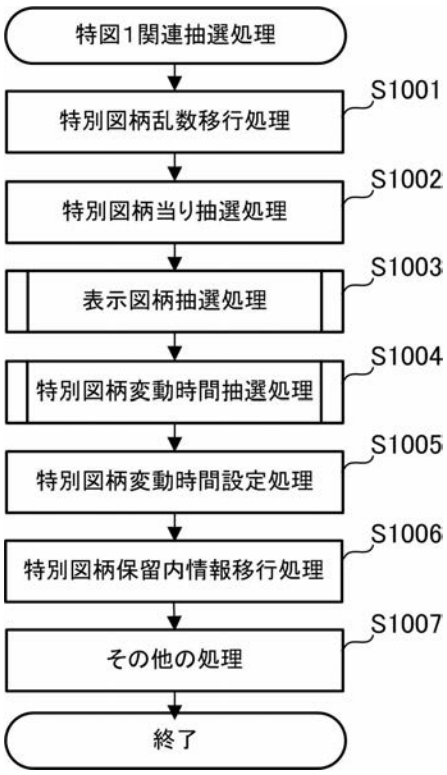
```
moReadMemory
        LD  A, T
        LD  H, A
        LD  A, (HL)     ;メモリの内容を取得
        AND  A          ;メモリの内容のゼロ確認
        RET
```

【図３０】

```
26F0    LD      H, F0H          ;メモリの上位アドレスを設定
F0      LD      A, (HL)         ;メモリの内容を取得
A7      AND     A               ;メモリの内容のゼロ確認
C9      RET
```

```
ED01    LD  A, T
67      LD  H, A
F0      LD  A, (HL)     ;メモリの内容を取得
A7      AND  A          ;メモリの内容のゼロ確認
C9      RET
```

【図３１】



【図３２】

(a) テーブル選択用テーブル(tableSelectTable)

保留	アドレス	飛先アドレス
0個用	１６００Ｈ	１７４ＦＨ
1個用	１６０２Ｈ	１７４ＦＨ
2個用	１６０４Ｈ	１７４ＦＨ
3個用	１６０６Ｈ	１７５５Ｈ

(b) 第１変動パターン選択テーブル（timerSelectTable1）

アドレス	オフセット	乱数の個数
１７５０Ｈ	ＡＥＨ	２０
１７５２Ｈ	ＡＥＨ	２２８
１７５４Ｈ	Ｂ０Ｈ	８
１７５６Ｈ	ＡＡＨ	２４８
１７５８Ｈ	ＡＣＨ	８

(c) 第２変動パターン選択テーブル（timerSelectTable2）

アドレス	パターン番号	乱数の個数
１８００Ｈ	０１Ｈ	２５５
１８０２Ｈ	０２Ｈ	１２８
１８０４Ｈ	０３Ｈ	１２８
１８０６Ｈ	０４Ｈ	１２８
１８０８Ｈ	０５Ｈ	３２
１８０ＡＨ	０６Ｈ	３２
１８０ＣＨ	０７Ｈ	３２
１８０ＥＨ	０８Ｈ	３３

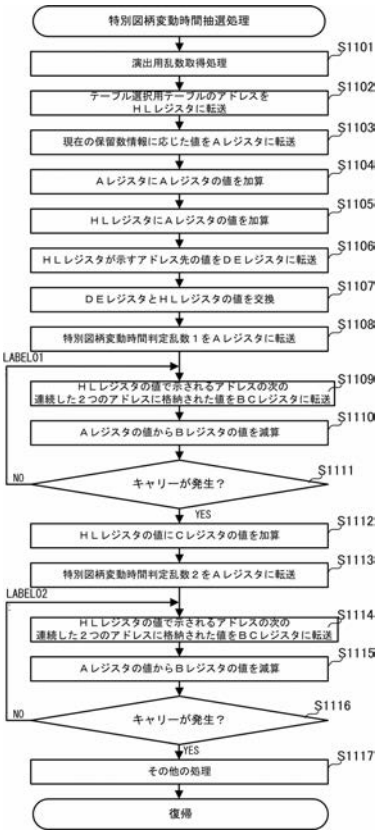
(d) ＲＡＭ

領域	アドレス	値
保留数	Ｆ０４０Ｈ	***
乱数１	Ｆ０４１Ｈ	***
乱数２	Ｆ０４２Ｈ	***

【図３３】

```
;////////////////////////////////////////////
;ROMエリア
;////////////////////////////////////////////
・
・
・
1600    tableSelectTable:
1600            DEFB    174FH
1602            DEFB    174FH
1604            DEFB    174FH
1606            DEFB    1755H
・
・
・
1750    timerSelectTable1:
1750            DEFB    AEH,    20
1752            DEFB    AEH,    228
1754            DEFB    B0H,    8
1756            DEFB    AAH,    248
1758            DEFB    ACH,    8
・
・
・
1800    timerSelectTable2:
1800            DEFB    01H,    255
1802            DEFB    02H,    128
1804            DEFB    03H,    128
1806            DEFB    04H,    128
1808            DEFB    05H,    32
180A            DEFB    06H,    32
180C            DEFB    07H,    32
180E            DEFB    08H,    33
・
・
・
;////////////////////////////////////////////
;RAMエリア
;////////////////////////////////////////////
・
・
・
F040    vbHoryuuSP1     DEFS    1
F041    vbRndHendou1    DEFS    1
F042    vbRndHendou2    DEFS    1
・
・
・
```

【図３４】



【図３５】

```
・
・
・
;////////////////////////////////////////////
;特別図柄変動時間抽選処理
;////////////////////////////////////////////
            moTimerSelect:
・
・
・

            LD              HL,tableSelectTable
            LDT             A,(40H)
            ADD             A,A
            ADDTWOONE HL,A
            LDTWO           DE,(HL)
            EX              DE,HL
            LDT             A,(41H)
LOOP01:
            INCTENSOU   BC,(HL)
            SUB             B
            JP              NC,LOOP01
            ADDTWOONE HL,C
            LDT             A,(42H)
LOOP02:
            INCTENSOU   BC,(HL)
            SUB             B
            JP              NC,LOOP02
・
・
・
```

【図３６】

命令	説明
LDT A,(n) （10ステート、2バイト）	Tレジスタを上位、イミディエイトnを下位で示すアドレスのデータをAレジスタにロード

LDTWO ss,(qq)
LDTWO (qq),ss
（14ステート、2バイト）
qqがHL以外（=BC, DE）の場合は
[ss:BC, DE, HL, IX, IY]
qqがHLの場合のみ
[ss:BC, DE, HL, AC, AE, BD, IX, IY]
	HLレジスタが示すアドレスのデータをDEレジスタにロード
	従来の命令での構成例
	LD E,(HL) ;4ステート、1バイト
	INC HL ;6ステート、1バイト
	LD D,(HL) ;4ステート、1バイト

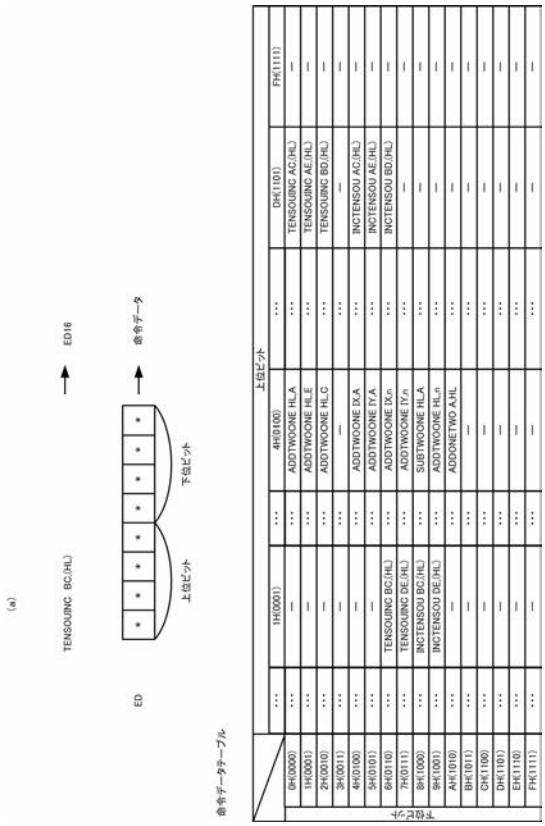
ADDTWOONE HL,A
ADDTWOONE HL,E
ADDTWOONE HL,C
ADDTWOONE IX,A
ADDTWOONE IY,A
（8ステート、2バイト）
ADDTWOONE IX,n
ADDTWOONE IY,n
ADDTWOONE HL,n
（11ステート、3バイト）
	HLレジスタにAレジスタの内容を加算
	従来の命令での構成例
	ADD A,L ;4ステート、1バイト
	LD L,A ;4ステート、1バイト
	JP NC,LABEL00 ;10ステート、3バイト
	INC H ;4ステート、1バイト
	LABEL00

INCTENSOU BC,(HL)
INCTENSOU DE,(HL)
INCTENSOU AC,(HL)
INCTENSOU AE,(HL)
INCTENSOU BD,(HL)
（14ステート、2バイト）
	HLレジスタをプラス1
	HLレジスタが示すアドレスのデータをCレジスタにロード
	HLレジスタをプラス1
	HLレジスタが示すアドレスのデータをBレジスタにロード
	従来の命令での構成例
	INC HL ;6ステート、1バイト
	LD C,(HL) ;7ステート、1バイト
	INC HL ;6ステート、1バイト
	LD B,(HL) ;7ステート、1バイト

TENSOUINC BC,(HL)
TENSOUINC DE,(HL)
TENSOUINC AC,(HL)
TENSOUINC AE,(HL)
TENSOUINC BD,(HL)
（14ステート、2バイト）
	HLレジスタが示すアドレスのデータをCレジスタにロード
	HLレジスタをプラス1
	HLレジスタが示すアドレスのデータをBレジスタにロード
	HLレジスタをプラス1
	従来の命令での構成例
	LD C,(HL) ;7ステート、1バイト
	INC HL ;6ステート、1バイト
	LD B,(HL) ;7ステート、1バイト
	INC HL ;6ステート、1バイト

CPT A,(n) （14ステート、3バイト）	Aレジスタの内容とTレジスタを上位、イミディエイトnを下位で示すアドレスのデータを比較する
ADDONETWO A,HL （8ステート、2バイト）	AレジスタにHLレジスタの内容を加算
SUBTWOONE HL,A （8ステート、2バイト）	HLレジスタからAレジスタの内容を減算

【図３７】



【図３８】

（ａ）テーブル選択用テーブル(tableSelectTable)

保留	アドレス	飛先アドレス
０個用	１６００Ｈ	１７４ＦＨ
１個用	１６０２Ｈ	１７４ＦＨ
２個用	１６０４Ｈ	１７４ＦＨ
３個用	１６０６Ｈ	１７５５Ｈ

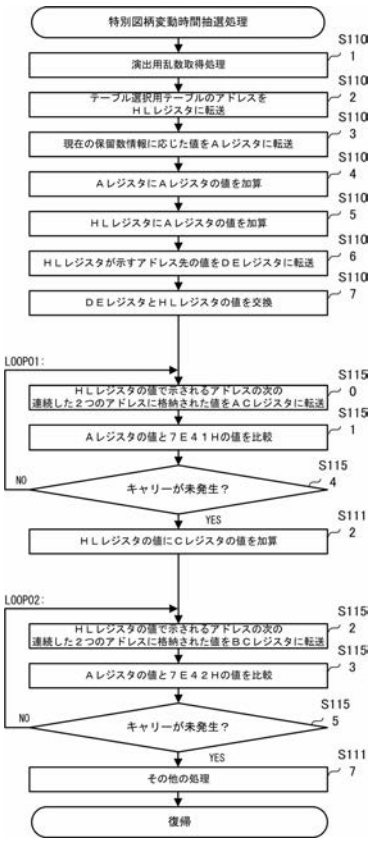
（ｂ）第１変動パターン選択テーブル（timerSelectTable1）

アドレス	オフセット	乱数の上限
１７５０Ｈ	ＡＥＨ	１９
１７５２Ｈ	ＡＥＨ	２４７
１７５４Ｈ	ＢＯＨ	２５５
１７５６Ｈ	ＡＡＨ	２４７
１７５８Ｈ	ＡＣＨ	２５５

（ｃ）第２変動パターン選択テーブル（timerSelectTable2）

アドレス	パターン番号	乱数の個数
１８００Ｈ	０１Ｈ	２５５
１８０２Ｈ	０２Ｈ	１２７
１８０４Ｈ	０３Ｈ	２５５
１８０６Ｈ	０４Ｈ	１２７
１８０８Ｈ	０５Ｈ	１５９
１８０ＡＨ	０６Ｈ	１９１
１８０ＣＨ	０７Ｈ	２２３
１８０ＥＨ	０８Ｈ	２５５

【図３９】



【図４０】

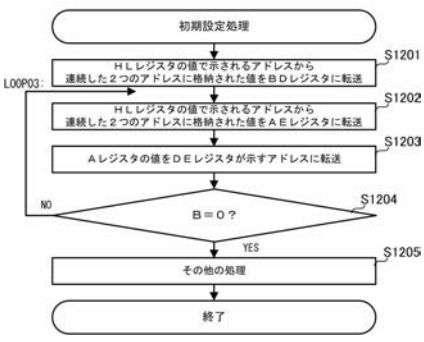
（ａ）

領域	アドレス	値
格納先上位アドレス	100DH	F0H
設定データ数	100EH	3
格納先下位アドレス１	100FH	17H
設定データ１	1010H	01H
格納先下位アドレス２	1011H	20H
設定データ２	1012H	16H
格納先下位アドレス３	1013H	3AH
設定データ３	1014H	06H

（ｂ）

遊技設定１	F017H	01H
遊技設定２	F020H	16H
遊技設定３	F03AH	06H

（ｃ）



【図４１】

```
・
・
・
;/////////////////////////////////////////////
;初期設定処理
;/////////////////////////////////////////////
            moDataSet:
            TENSOUINC   BD,(HL)
LOOP03:
            TENSOUINC   AE,(HL)
            LD          (DE),A
            DJNZ        LOOP03
            RET
・
・
・
```

【図４２】

(a)

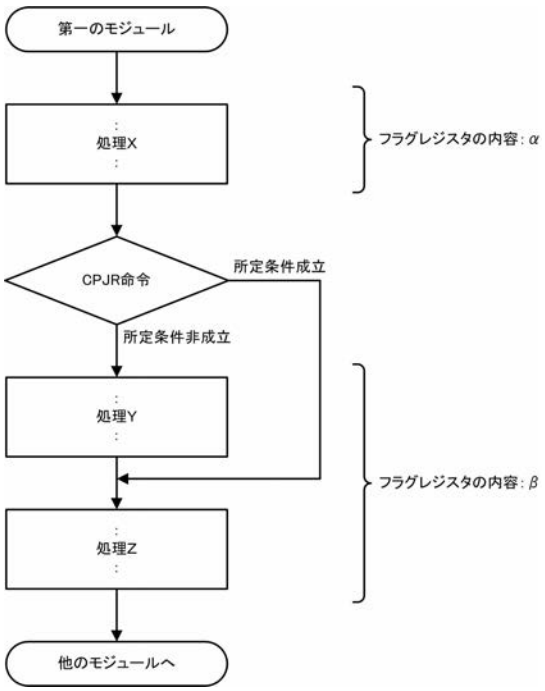
ＣＰＲＴＺ　ｒ ＊ｒ＝レジスタ	ＣＰＲＴＺ　（ｒｒ） ＊ｒｒ＝任意のペアレジスタ
ＣＰＲＴＮＺ　ｒ ＊ｒ＝レジスタ	ＣＰＲＴＮＺ　（ｒｒ） ＊ｒｒ＝任意のペアレジスタ
ＣＰＪＲＺ　ｒ、ｅ ＊ｒ＝レジスタ ＊ｅ＝+127～-128	ＣＰＪＲＺ　（ｒｒ）、ｅ ＊ｒｒ＝任意のペアレジスタ ＊ｅ＝+127～-128
ＣＰＪＲＮＺ　ｒ、ｅ ＊ｒ＝レジスタ ＊ｅ＝+127～-128	ＣＰＪＲＮＺ　（ｒｒ）、ｅ ＊ｒｒ＝任意のペアレジスタ ＊ｅ＝+127～-128
ＣＰＪＲＣ　ｒ、ｎ、ｅ ＊ｒ＝レジスタ ＊ｎ＝16進数（8ビット） ＊ｅ＝+127～-128	ＣＰＪＲＣ　（ｒｒ）、ｎ、ｅ ＊ｒ＝レジスタ ＊ｎ＝16進数（8ビット） ＊ｅ＝+127～-128
ＣＰＪＲＮＣ　ｒ、ｎ、ｅ ＊ｒ＝レジスタ ＊ｎ＝16進数（8ビット） ＊ｅ＝+127～-128	ＣＰＪＲＮＣ　（ｒｒ）、ｎ、ｅ ＊ｒ＝レジスタ ＊ｎ＝16進数（8ビット） ＊ｅ＝+127～-128

(b)

S	Z	SZ	H	−	P/V	N	C
↕	↕	↕	↕		V	1	↕

S	Z	SZ	H	−	P/V	N	C
↕	↕	↕	↕		P	1	↕

【図４３】



【図４４】

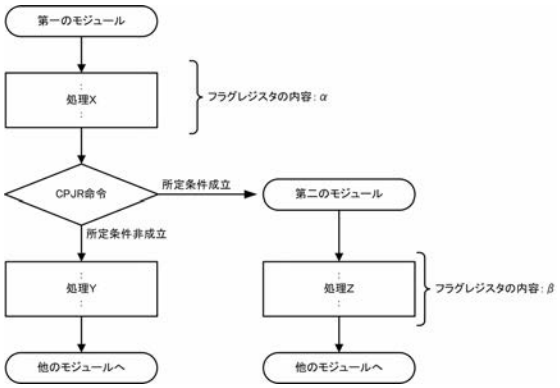
(a)

```
; ************************************************************************
; **   処理名称     ：ﾀｲﾏ更新処理
; ************************************************************************
AAA000:
        LD      BC,TmrRnwCnt                ; 1ﾊﾞｲﾄﾀｲﾏ個数及び2ﾊﾞｲﾄﾀｲﾏ個数を取得
        LD      HL,TmrRnwAdr-1              ; 更新対象ﾀｲﾏ先頭ｱﾄﾞﾚｽを設定
AAA010:
; --1ﾊﾞｲﾄﾀｲﾏの更新
        INC     HL
        LD      A,(HL)                      ; 更新対象ﾀｲﾏの内容を0ﾁｪｯｸ
        AND     A                  ･･･ (1-1)
        JR      Z,AAA020           ･･･ (1-2)  ; 更新対象ﾀｲﾏの内容が0の場合、ｼﾞｬﾝﾌﾟ
        DEC     A                           ; 更新対象ﾀｲﾏを-1更新
        LD      (HL),A
AAA020:
        DJNZ    AAA010                      ; ﾀｲﾏ個数分繰り返し

; --2ﾊﾞｲﾄﾀｲﾏの更新
        LD      B,C                         ; 2ﾊﾞｲﾄﾀｲﾏ個数を繰返し数に設定
AAA030:
        INC     HL
        LD      A,(HL)                      ; 更新対象ﾀｲﾏの内容を0ﾁｪｯｸ
        INC     HL
        OR      (HL)
        JR      Z,AAA040                    ; 更新対象ﾀｲﾏの内容が0の場合、ｼﾞｬﾝﾌﾟ

        LD      D,(HL)                      ; 更新対象ﾀｲﾏを-1更新
        DEC     HL
        LD      E,(HL)
        DEC     DE
        LD      (HL),E
        INC     HL
        LD      (HL),D
AAA040:
        DJNZ    AAA030                      ; ﾀｲﾏ個数分繰り返し
        RET
```

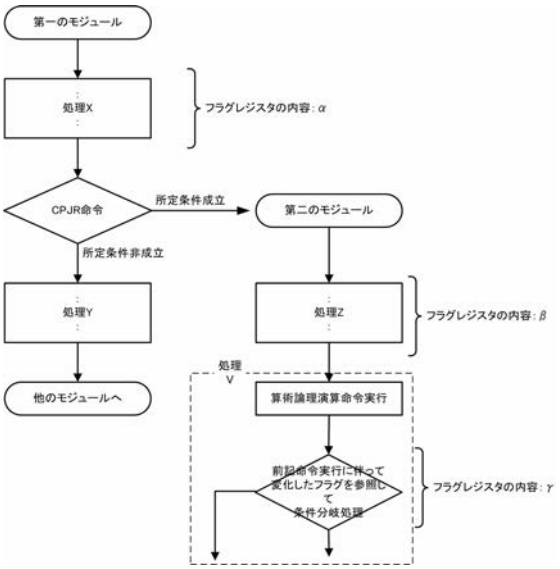
(b)

```
; ************************************************************************
; **   処理名称     ：ﾀｲﾏ更新処理
; ************************************************************************
AAA000:
        LD      BC,TmrRnwCnt                ; 1ﾊﾞｲﾄﾀｲﾏ個数及び2ﾊﾞｲﾄﾀｲﾏ個数を取得
        LD      HL,TmrRnwAdr-1              ; 更新対象ﾀｲﾏ先頭ｱﾄﾞﾚｽを設定
AAA010:                                  X
; --1ﾊﾞｲﾄﾀｲﾏの更新
        INC     HL
        LD      A,(HL)                      ; 更新対象ﾀｲﾏの内容を0ﾁｪｯｸ
        CPJRZ   A,AAA020           ･･･ (2-1)
        DEC     A                           ; 更新対象ﾀｲﾏを-1更新
        LD      (HL),A                   Y
AAA020:
        DJNZ    AAA010                      ; ﾀｲﾏ個数分繰り返し

; --2ﾊﾞｲﾄﾀｲﾏの更新
        LD      B,C                         ; 2ﾊﾞｲﾄﾀｲﾏ個数を繰返し数に設定
AAA030:
        INC     HL
        LD      A,(HL)                      ; 更新対象ﾀｲﾏの内容を0ﾁｪｯｸ
        INC     HL
        OR      (HL)                        V
        JR      Z,AAA040                    ; 更新対象ﾀｲﾏの内容が0の場合、ｼﾞｬﾝﾌﾟ

        LD      D,(HL)                      ; 更新対象ﾀｲﾏを-1更新
        DEC     HL
        LD      E,(HL)
        DEC     DE
        LD      (HL),E
        INC     HL
        LD      (HL),D
AAA040:
        DJNZ    AAA030                      ; ﾀｲﾏ個数分繰り返し
        RET
```

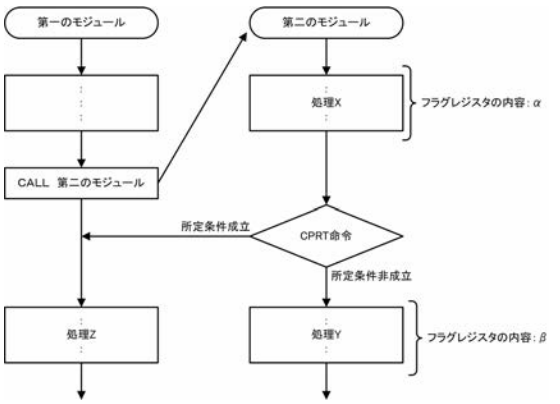
【図４５】



【図４６】



【図４７】



【図４８】

(a)

```
;*****************************************
;**    タイマ割込み処理
;*****************************************
:
その他処理
:
BBB010:
        CALL    **                      ; 入力ポート状態更新処理
        CALL    **                      ; 基本乱数初期値更新処理
        CALL    **                      ; 基本乱数更新処理
        CALL    **                      ; 演出乱数更新処理
        CALL    **                      ; タイマ更新処理
        CALL    **                      ; 入賞口カウンタ更新処理
        CALL    **                      ; 入賞受付処理
        CALL    **                      ; 払出要求数送信処理
        CALL    **                      ; 普図状態更新処理
        CALL    **                      ; 普図関連抽選処理
        CALL    **                      ; 特図先読み制御処理
        CALL    **                      ; 特図状態更新処理
        CALL    moTokuzuKoushin         ; 特図関連抽選処理
        CALL    **                      ; コマンド設定送信処理
        CALL    **                      ; 外部出力信号設定処理
        CALL    **                      ; デバイス監視処理
BBB020:
        IN      A,(InPt1)               ; 電源9V以上の場合、処理再開処理へｼﾞｬﾝﾌﾟ
        AND     InPower
        JP      Z,Resume
        LD      HL,StaPower             ; 電源ｽﾃｰﾀｽが割込み機能限定中2の場合、ｼﾞｬﾝﾌﾟ
        LD      A,(HL)
        CP      PwDiInt2
        JR      Z,BBB030
        LD      (SavStack),SP           ; ｽﾀｯｸﾎﾟｲﾝﾀ退避
BBB030:
        LD      (HL),esPwSus            ; 電源ｽﾃｰﾀｽをｻｽﾍﾟﾝﾄﾞに設定
        SUB     A
        LD      L,A                     ; RWM合計値を算出
BBB040:
        ADD     A,(HL)
        INC     HL
        BIT     7,H
        JR      Z,BBB040
        LD      HL,ChkSum               ; 電源断時RWM合計値を減算
```

```
moTokuzuKoushin:
        LD      L,Low.vbTokuzuStatus    ;特別図柄遊技状態アドレスを取得
        JP      moReadMemory            ;メモリ読出し処理
        CPRTZ   A       ･･･ (2-1)       ;特別図柄作動中以外は処理終了
        :
        :
moReadMemory:
        LD  A,T
        LD  H,A
        LD  A,(HL)                      ;メモリの内容を取得
        RET
```

(b)

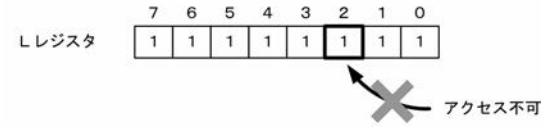
```
moTokuzuKoushin:
        LD      L,Low.vbTokuzuStatus    ;特別図柄遊技状態アドレスを取得
        JP      moReadMemory            ;メモリ読出し処理
        RET     Z       ･･･ (1-2)       ;特別図柄作動中以外は処理終了
moReadMemory:
        LD  A,T
        LD  H,A
        LD  A,(HL)                      ;メモリの内容を取得
        AND A       ･･･ (1-1)           ;メモリの内容のゼロ確認
        RET
```

【図４９】

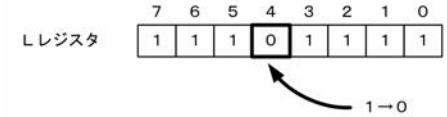
RES0Z n、r ＊n＝1～7 ＊r＝レジスタ	RES0Z n、(rr) ＊n＝1～7 ＊rr＝任意のペアレジスタ
RES1Z n、r ＊n＝0、2～7 ＊r＝レジスタ	RES1Z n、(rr) ＊n＝0、2～7 ＊rr＝任意のペアレジスタ
RES2Z n、r ＊n＝0～1、3～7 ＊r＝レジスタ	RES2Z n、(rr) ＊n＝0～1、3～7 ＊rr＝任意のペアレジスタ
・ ・ ・	・ ・ ・
RES7Z n、r ＊n＝0～6 ＊r＝レジスタ	RES7Z n、(rr) ＊n＝0～6 ＊rr＝任意のペアレジスタ

【図５０】

(a) [RES2Z 2、L] の場合

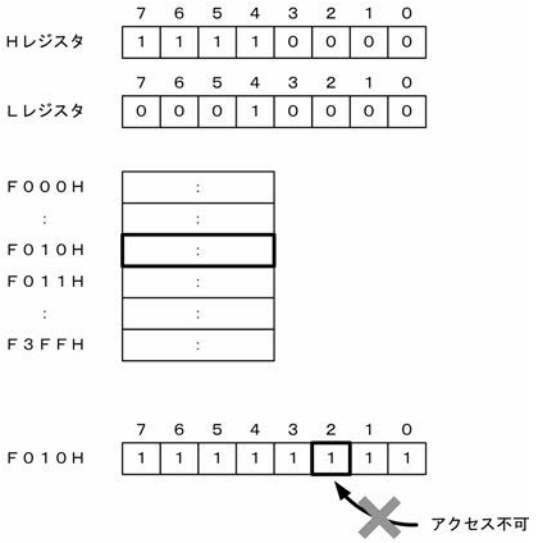


(b) [RES2Z 4、L] の場合

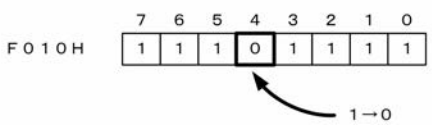


【図５１】

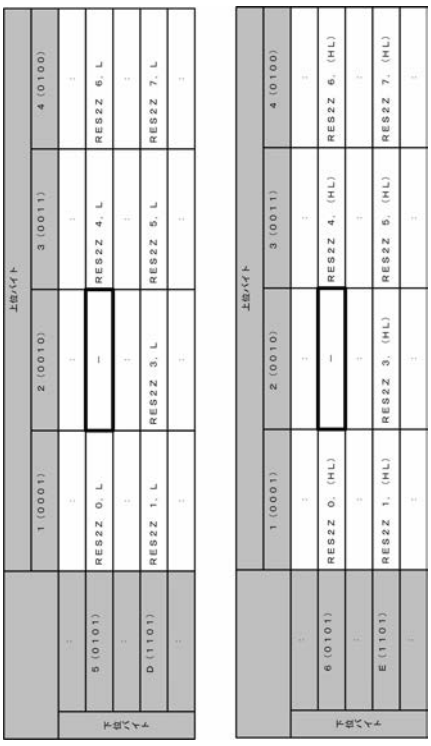
(a) [RES2Z 2、(HL)] の場合
(HL＝F010H)



(b) [RES2Z 4、(HL)] の場合
(HL＝F010H)



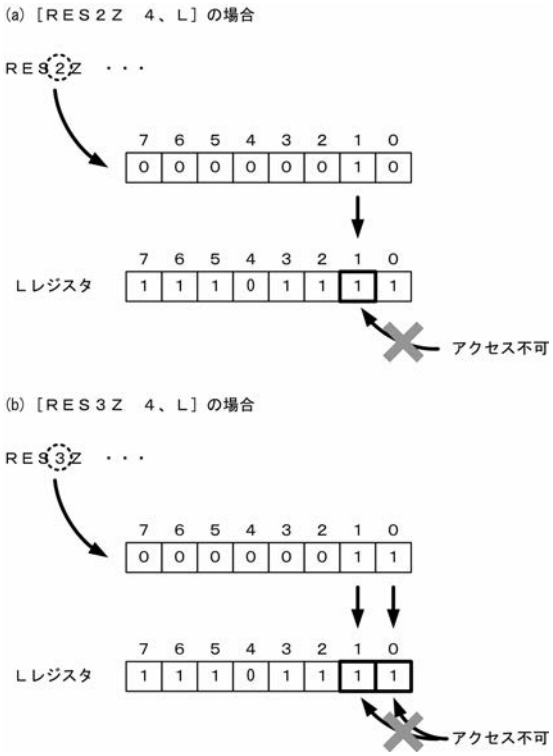
【図５２】



【図５３】

RES1Z　n、r ＊n＝1～7 ＊r＝レジスタ	RES1Z　n、（rr） ＊n＝1～7 ＊rr＝任意のペアレジスタ
RES2Z　n、r ＊n＝0、2～7 ＊r＝レジスタ	RES2Z　n、（rr） ＊n＝0、2～7 ＊rr＝任意のペアレジスタ
RES3Z　n、r ＊n＝2～7 ＊r＝レジスタ	RES3Z　n、（rr） ＊n＝2～7 ＊rr＝任意のペアレジスタ
RES4Z　n、r ＊n＝0～1、3～7 ＊r＝レジスタ	RES4Z　n、（rr） ＊n＝0～1、3～7 ＊rr＝任意のペアレジスタ
⋮	⋮
RES254Z　n、r ＊n＝0 ＊r＝レジスタ	RES254Z　n、（rr） ＊n＝0 ＊rr＝任意のペアレジスタ

【図５４】



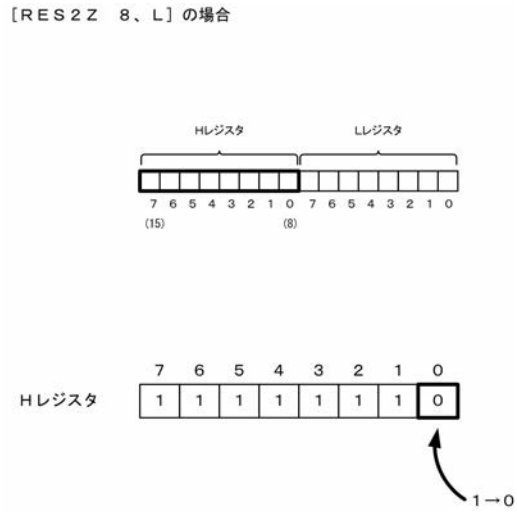
【図５５】

```
:  ************************************
:        CSﾃﾞｺｰﾄﾞｴﾘｱ定義(I/O mapped I/O)
:  ************************************
:
00FF          IptPIP:          EQU     0FFH     : 入力PIP
0000                                            :   bit0:所定の入賞口3ｽｲｯﾁ信号
0000                                            :   bit1:所定の入賞口4ｽｲｯﾁ信号
0000                                            :   bit2:所定の入賞口5ｽｲｯﾁ信号
0000                                            :   bit3:未使用
0000                                            :   bit4:未使用
0000                                            :   bit5:ｼﾘｱﾙ受信用
0000
00EE          IptCS0:          EQU     0EEH         : 入力CS0
0000                                            :   bit0:所定のｶｳﾝﾄｽｲｯﾁ1信号
0000                                            :   bit1:所定のｶｳﾝﾄｽｲｯﾁ2信号
0000                                            :   bit2:所定の入賞口6ｽｲｯﾁ信号
0000                                            :   bit3:所定の入賞口7ｽｲｯﾁ信号
0000                                            :   bit4:未使用
0000                                            :   bit5:未使用
0000                                            :   bit6:未使用
0000                                            :   bit7:未使用
0000
:
0000
00F0          OptCS2:          EQU     0F0H         : 出力CS2
0000                                            :   bit0:所定の入賞口1ｿﾚﾉｲﾄﾞ信号
0000                                            :   bit1:所定の入賞口2ｿﾚﾉｲﾄﾞ信号
0000                                            :   bit2:普通電動役物ｿﾚﾉｲﾄﾞ信号
0000                                            :   bit3:未使用
0000                                            :   bit4:所定のLED1
0000                                            :   bit5:所定のLED2
0000                                            :   bit6:所定のLED3
0000                                            :   bit7:所定のLED4
0000
:
:  ************************************
:        ｽｲｯﾁﾋﾞｯﾄ、ﾏｽｸ定義
:  ************************************
:
369   0000
370   0002          CS20pnSGt:          EQU     2        : 普電役ｿﾚﾉｲﾄﾞ信号ﾋﾞｯﾄ位置
371   0000
:
:  ************************************************************************
:        内蔵RWM ｴﾘｱ
:  ************************************************************************
:
F096          OptCS2:          DEFS    1        : CS2出力ﾃﾞｰﾀ
F097          OptCS3:          DEFS    1        : CS3出力ﾃﾞｰﾀ
F098          OptCS4:          DEFS    1        : CS4出力ﾃﾞｰﾀ
:
:  ************************************************************************
:  **   処理名称     : 普電役更新処理
:  ************************************************************************
CCC000:
: ―始動口2入賞数をﾁｪｯｸ
        LD      A,(NPcPssCnt)                   : 始動口2入賞数を取得
        CP      NPcCntDen                       : 最大入賞数ﾃﾞｰﾀと比較
        JR      NC,CCC010                       : 入賞数が最大入賞数に達した場合、ｼﾞｬﾝﾌﾟ

: ―普電役開放動作を確認
        RST     DDD000                          : 普図汎用ﾀｲﾏﾁｪｯｸ処理
        RET     NZ                              : 普電役開閉ﾀｲﾏ作動中の場合、処理終了

        CALL    EEE000                          : 普電役作動中の場合、処理終了
        RET     NZ

CCC010:
: ―普電役閉鎖時の処理
        LD      HL,NPcDenClsSet                 : 普電役閉鎖時のﾃﾞｰﾀ設定
        RST     FFF000
: ―普電役閉鎖信号を設定
        LD      HL,OptCS2                       : 普電役ｿﾚﾉｲﾄﾞ信号をOFFに設定
        RES251Z  CS20pnSGt,(HL)   ・・・ (3-1)
        RET
```

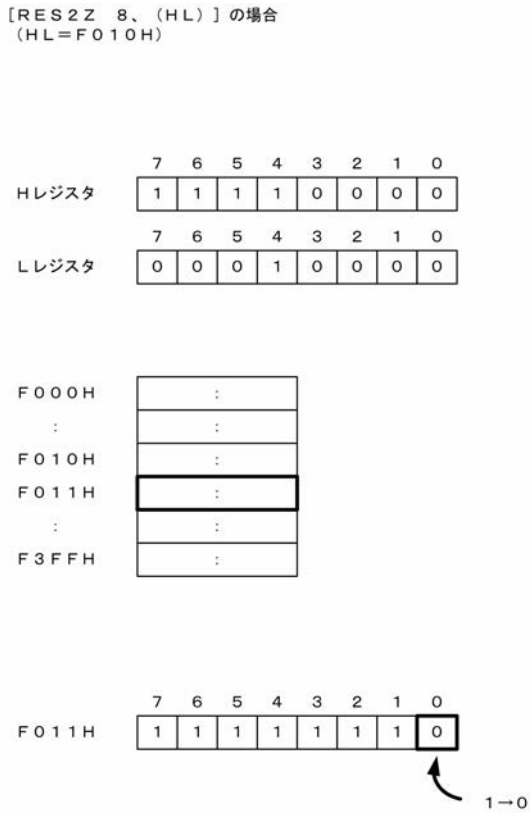
【図５６】

RES0Z　n、r ＊n＝1～8 ＊r＝レジスタ	RES0Z　n、（rr） ＊n＝1～8 ＊rr＝任意のペアレジスタ
RES1Z　n、r ＊n＝0、2～8 ＊r＝レジスタ	RES1Z　n、（rr） ＊n＝0、2～8 ＊rr＝任意のペアレジスタ
RES2Z　n、r ＊n＝0～1、3～8 ＊r＝レジスタ	RES2Z　n、（rr） ＊n＝0～1、3～8 ＊rr＝任意のペアレジスタ
⋮	⋮
RES7Z　n、r ＊n＝0～6、8 ＊r＝レジスタ	RES7Z　n、（rr） ＊n＝0～6、8 ＊rr＝任意のペアレジスタ

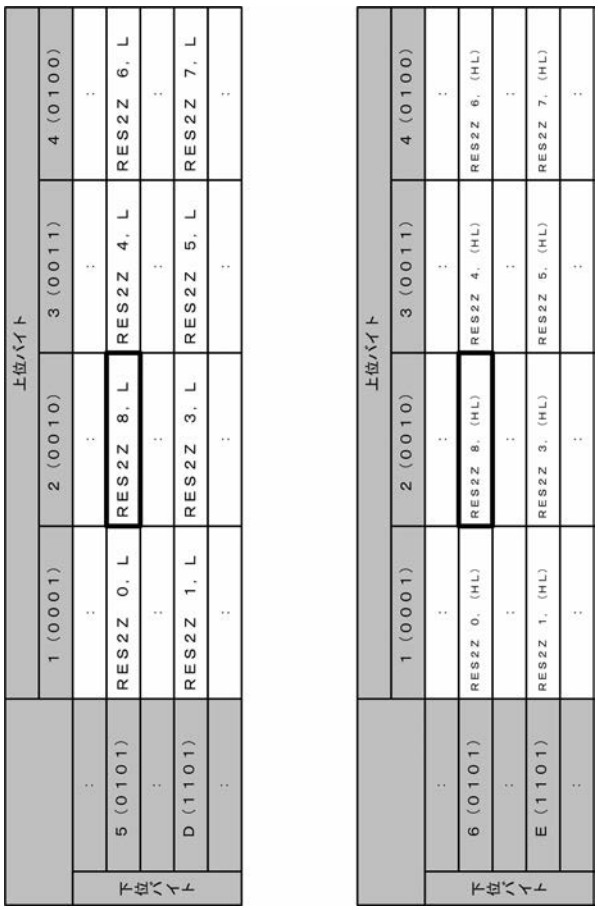
【図５７】



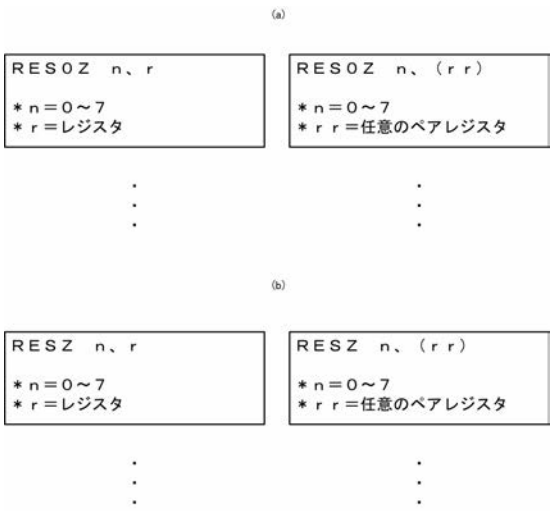
【図５８】



【図５９】



【図６０】



【図６１】

(a)

		上位バイト			
		4（0100）	5（0101）	6（0110）	7（0111）
下位バイト	：	：	：	：	：
	5（0101）	RESZ 0, L	RESZ 2, L	RESZ 4, L	RESZ 6, L
	：	：	：	：	：
	D（1101）	RESZ 1, L	RESZ 3, L	RESZ 5, L	RESZ 7, L
	：	：	：	：	：

		上位バイト			
		1（0001）	2（0010）	3（0011）	4（0100）
下位バイト	：	：	：	：	：
	5（0101）	RES2Z 0, L	RES2Z 8, L	RES2Z 4, L	RES2Z 6, L
	：	：	：	：	：
	D（1101）	RES2Z 1, L	RES2Z 3, L	RES2Z 5, L	RES2Z 7, L
	：	：	：	：	：

(b)

		上位バイト			
		1（0001）	2（0010）	3（0011）	4（0100）
下位バイト	：	：	：	：	：
	5（0101）	RES2Z 8, L	RES2Z 2, L	RES2Z 4, L	RES2Z 6, L
	：	：	：	：	：
	D（1101）	RES2Z 1, L	RES2Z 3, L	RES2Z 5, L	RES2Z 7, L
	：	：	：	：	：

【図６２】

(a)

```
;*************************************************************************
;**   処理名称      ：ﾌﾟﾛｸﾞﾗﾑ起動設定処理
;*************************************************************************
0000    GGG000:
0000    LD      SP,Stk                  ; ｽﾀｯｸﾎﾟｲﾝﾀ設定
0003    IM      2                       ; 割込みﾓｰﾄﾞをﾓｰﾄﾞ2に設定
0005    JP      HHH000                  ; 電源投入時処理へ移行
```

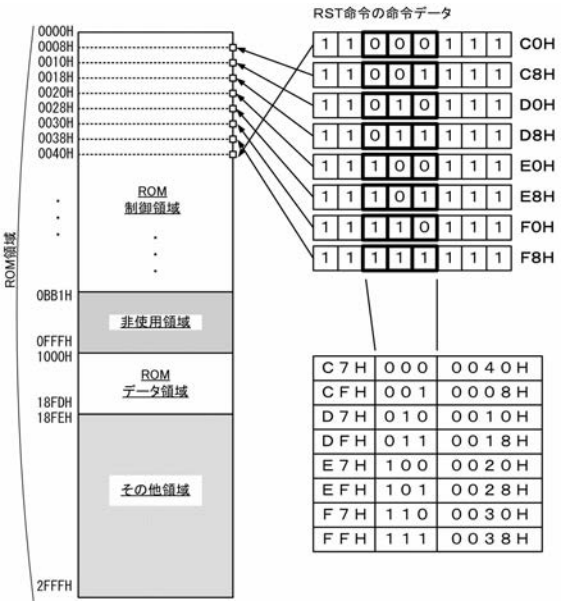
(b)

```
;*************************************************************************
;**   処理名称      ：電源投入時設定処理
;*************************************************************************
0062    HHH000:
0062    ; ―電源監視信号確認
0062    HHH010:
0062    ; ――WDTをｸﾘｱ&ﾘｽﾀｰﾄ
0062            LD      A,055H          ; WDTをｸﾘｱ&ﾘｽﾀｰﾄ
0064            OUT     (WCL),A
0066            RLCA
0067            OUT     (WCL),A
0069
0069    ; ――電源監視信号確認
0069            IN      A,(IptCS1)      ; 電源9V以上になるまでｳｪｲﾄ
006B            LD      C,A
006C            AND     CS1PwrChk
006E            JR      NZ,HHH010
                :
                :
```

【図６３】

```
;*************************************
;**     アドレス定義
;*************************************
;
IrpVct: EQU     0060H                   ; 割込みﾍﾞｸﾄﾙﾃｰﾌﾞﾙ
;
;
;*************************************
;**     割込みﾍﾞｸﾄﾙﾃｰﾌﾞﾙ
;*************************************
ORG     IrpVct
DEFW    III000                          ; ﾍﾞｸﾀｱﾄﾞﾚｽ(IR0):PTCOのﾀｲﾏ割込み
;
;*************************************
;**     プログラム管理エリア
;*************************************
;
ヘッダ、メーカーコード等設定
;
1FDF    DEFB    .Low.IrpVct             ; 割込み初期設定(KIIS)
                                        ;   b7-4 :割込みﾍﾞｸﾀ     =ｱﾄﾞﾚｽ設定
                                        ;   b3-0 :割込み優先度   =ﾀｲﾏ回路(PTC0)優先 (0H)
;
;*************************************
;**     タイマ割込み処理
;*************************************
040A            III000:
;
040A    PUSH    AF                      ; 各ﾚｼﾞｽﾀ退避
040B    PUSH    BC
040C    PUSH    DE
040D    PUSH    HL
;
その他処理
;
0424    CALL    **・・・（1）     ; 入力ポート状態更新処理
0426    CALL    **・・・（2）     ; 基本乱数初期値更新処理
0428    CALL    **・・・（3）     ; 基本乱数更新処理
0430    CALL    **・・・（4）     ; 演出乱数更新処理
0432    CALL    **・・・（5）     ; タイマ更新処理
0434    CALL    **・・・（6）     ; 入賞口カウンタ更新処理
0436    CALL    **・・・（7）     ; 入賞受付処理
0438    CALL    **・・・（8）     ; 払出要求数送信処理
0440    CALL    **・・・（9）     ; 普図状態更新処理
0442    CALL    **・・・（１０）  ; 普図関連抽選処理
0444    CALL    **・・・（１１）  ; 特図先読み制御処理
0446    CALL    **・・・（１２）  ; 特図２状態更新処理
0448    CALL    **・・・（１３）  ; 特図１状態更新処理
0450    CALL    **・・・（１４）  ; 特図２関連抽選処理
0452    CALL    **・・・（１５）  ; 特図１関連抽選処理
0454    CALL    **・・・（１６）  ; コマンド設定送信処理
0456    CALL    **・・・（１７）  ; 外部出力信号設定処理
0458    CALL    **・・・（１８）  ; デバイス監視処理
;
```

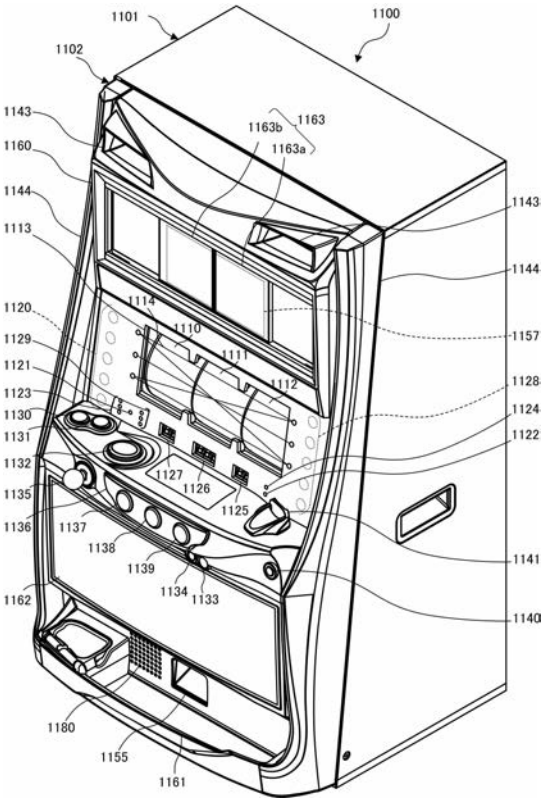
【図６４】



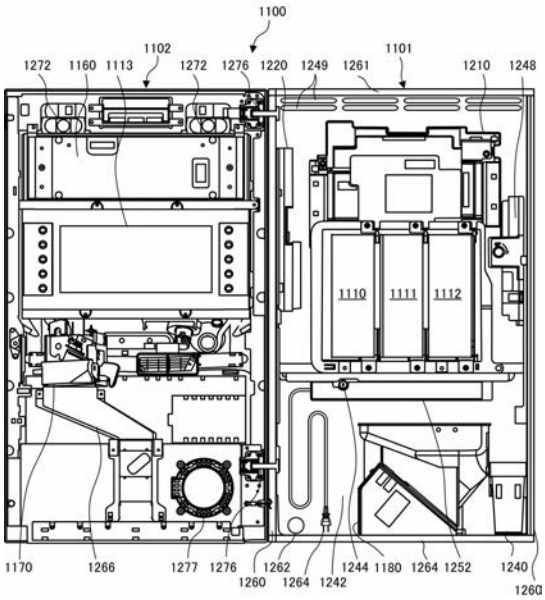
【図６５】

上位バイト	C(1100)	D(1101)	E(1110)	F(1111)
下位バイト				
7(0111)	RST 40H	RST 10H	RST 20H	RST 30H
F(1111)	RST 08H	RST 18H	RST 28H	RST 38H

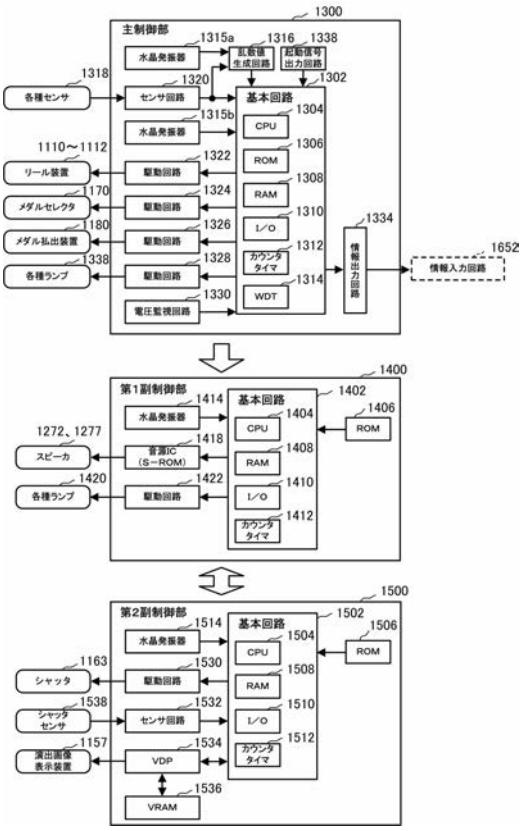
【図６６】



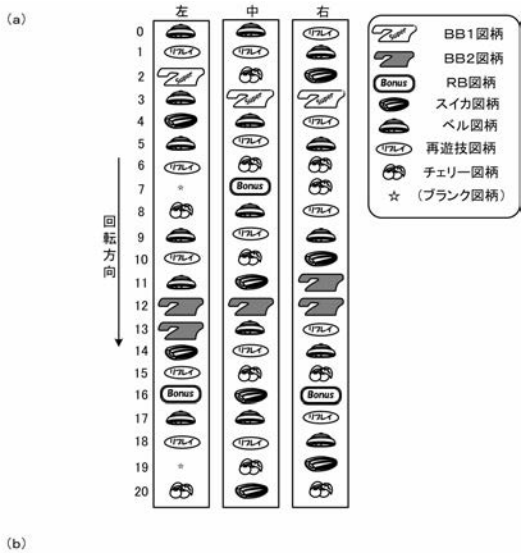
【図６７】



【図６８】



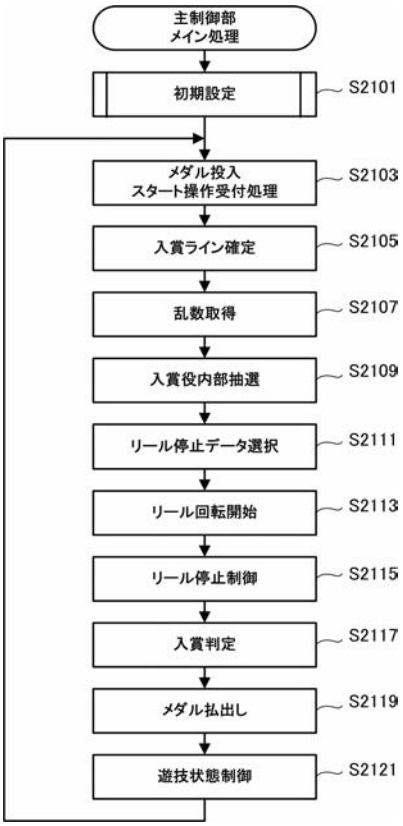
【図６９】



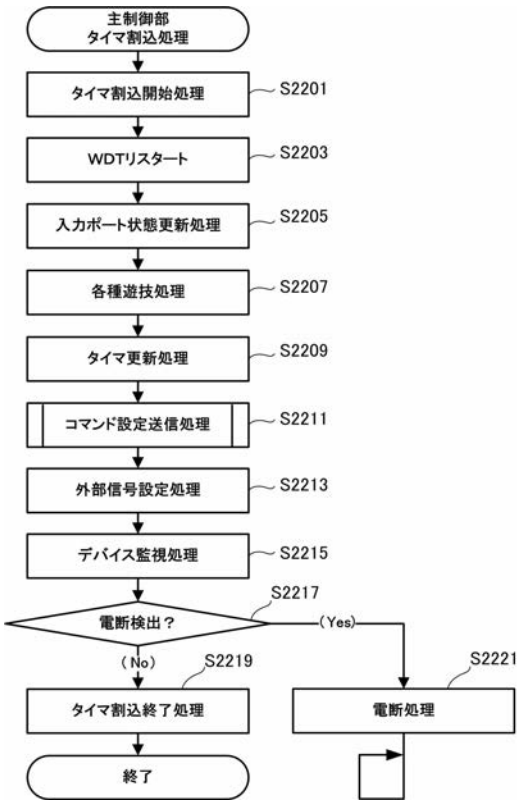
(b)

入賞役の種類、図柄組合せ、払出／作動		
入賞役 ※作動役も含む	図柄組合せ	払出（作動）
ＢＢ１		０枚／（ビッグボーナス）
ＢＢ２		０枚／（ビッグボーナス）
ＲＢ		０枚／（レギュラーボーナス）
チェリー	ANY ANY	４枚
スイカ		１２枚
ベル		８枚
再遊技		（再遊技）

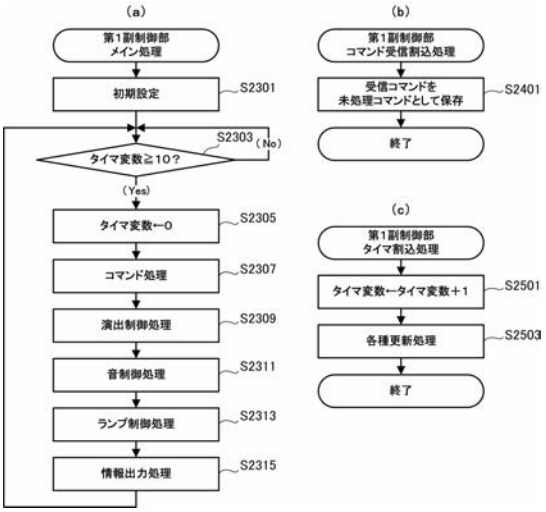
【図７０】



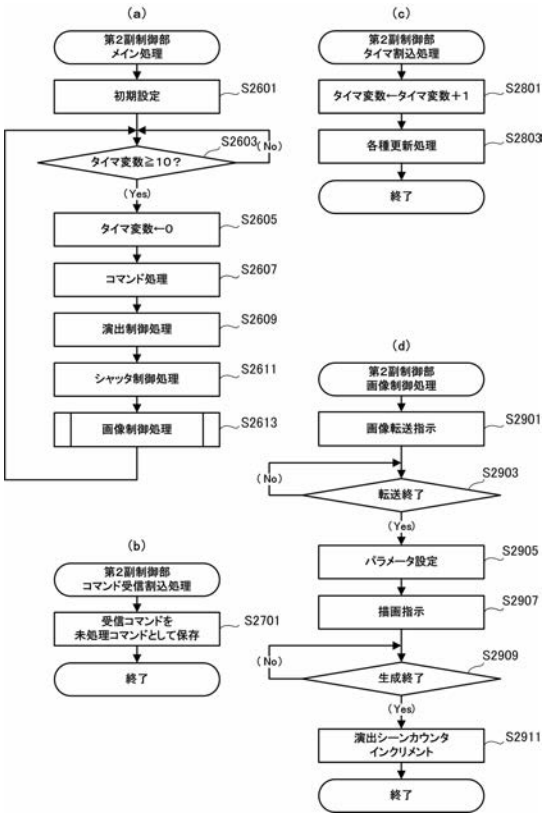
【図７１】



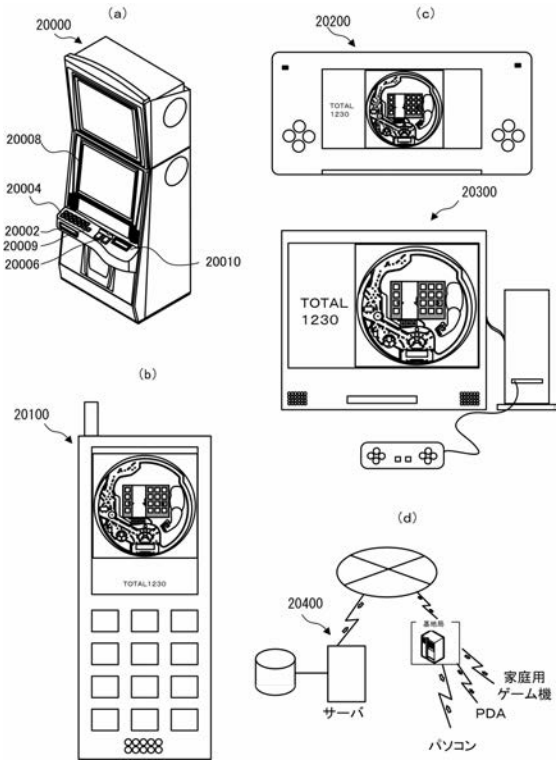
【図７２】



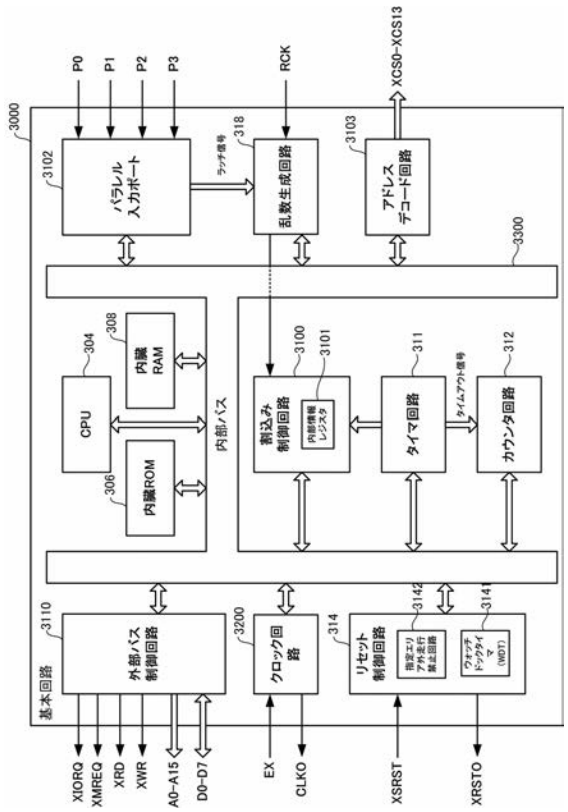
【図７３】



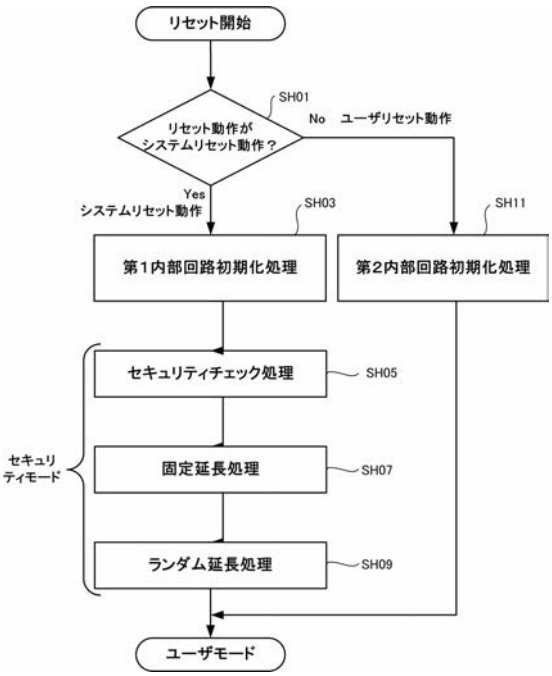
【図７４】



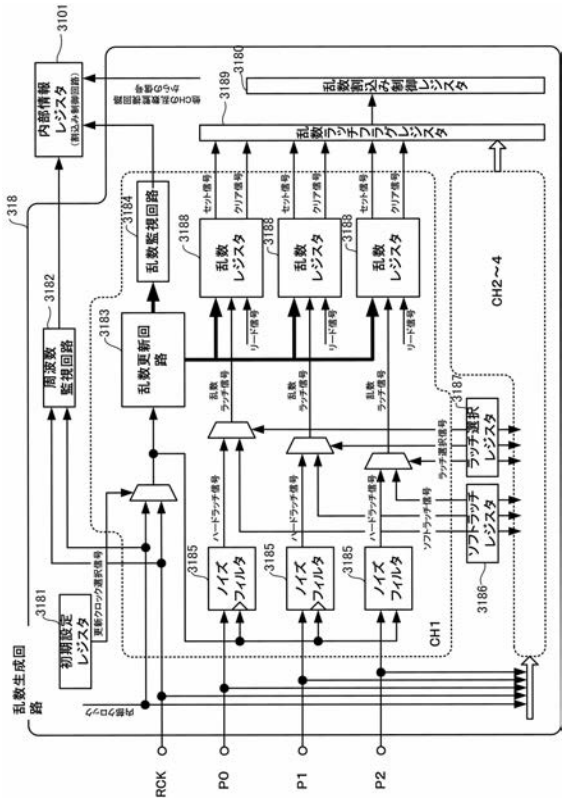
【図７５】



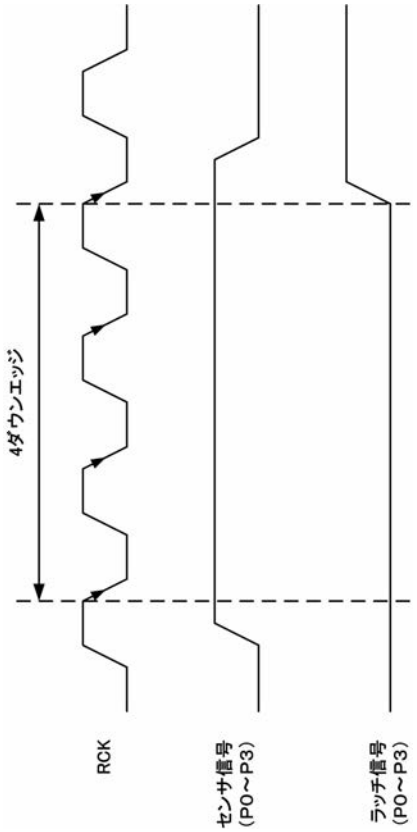
【図７６】



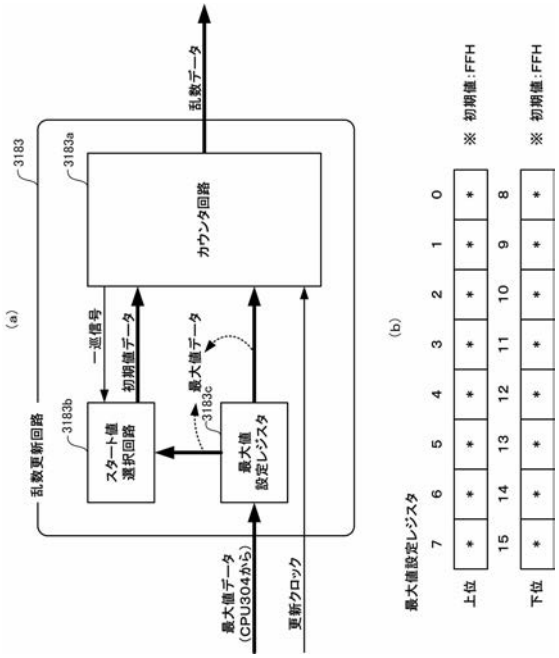
【図７７】



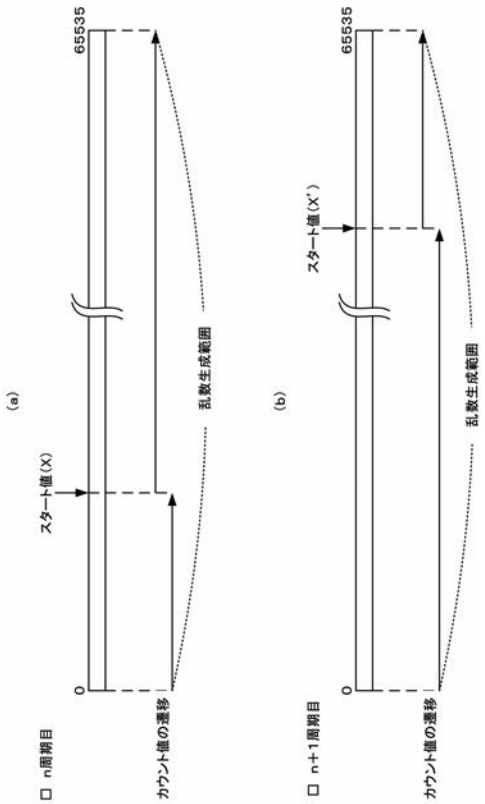
【図７８】



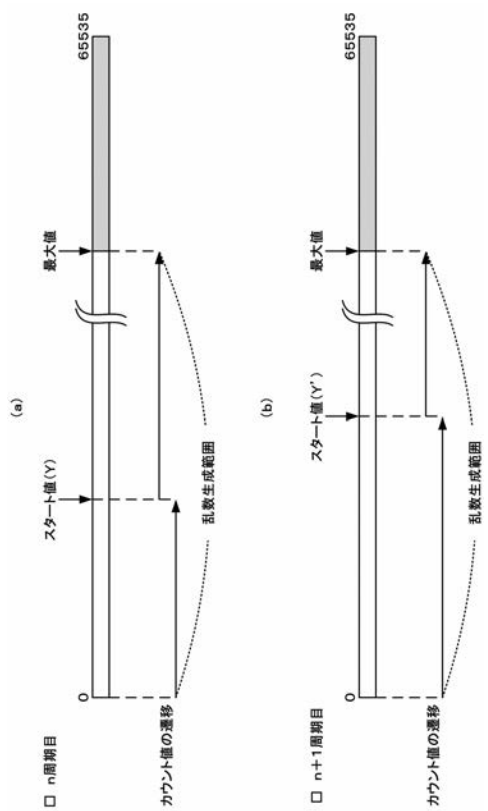
【図７９】



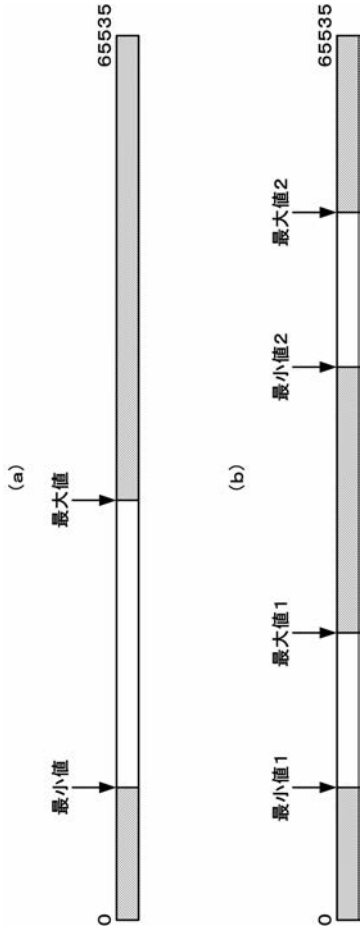
【図８０】



【図８１】



【図８２】



【図８３】

乱数	更新場所	備考
特図1当選乱数（非確率変動中）	乱数生成回路	乱数生成回路のCH1
特図1当選乱数（確率変動中）	乱数生成回路	乱数生成回路のCH2
特図2当選乱数（非確率変動中）	乱数生成回路	乱数生成回路のCH1
特図2当選乱数（確率変動中）	乱数生成回路	乱数生成回路のCH2
普図当選乱数（普図低確率状態）	乱数生成回路	乱数生成回路のCH3
普図当選乱数（普図高確率状態）	乱数生成回路	乱数生成回路のCH4
大当り用待図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
小当り用待図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
はずれ用待図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
初期値生成用乱数（大当り、小当たり、はずれ共通）	主制御部メイン処理／主制御部タイマ割込み処理	主制御部メイン処理／主制御部タイマ割込み処理
特図変動時間決定用乱数（特図1、2共通）	カウンタ回路	カウンタ回路のCH0
普図変動時間決定用乱数	カウンタ回路	カウンタ回路のCH0
演出用乱数	主制御部メイン処理／主制御部タイマ割込み処理	主制御部メイン処理／主制御部タイマ割込み処理

【図８４】

(a)

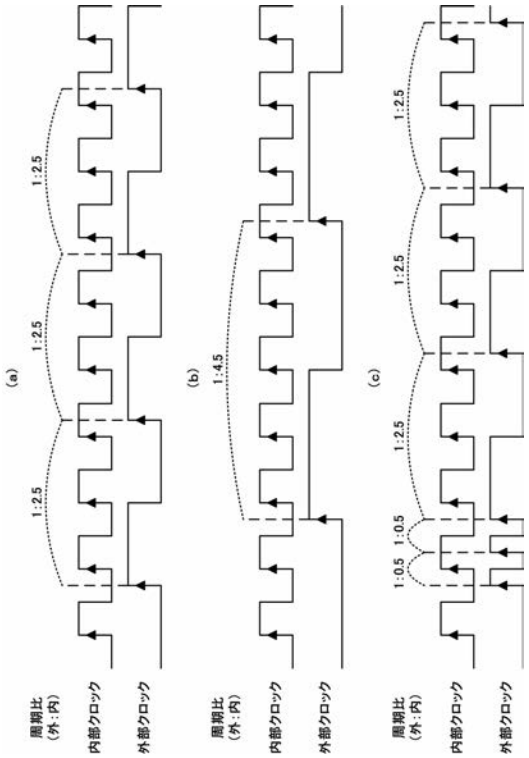
内部情報レジスタ

7	6	5	4	3	2	1	0
0	0	0	—	—	—	—	—

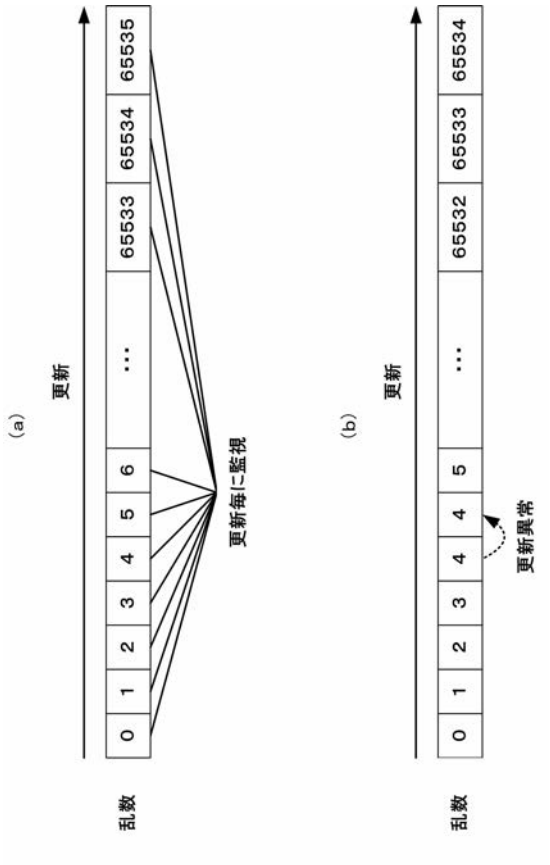
(b)

ビット番号	ビット名	詳細
0	更新クロック異常（全CH共通）	0:異常なし 1:異常あり
1	乱数更新異常（CH1）	0:異常なし 1:異常あり
2	乱数更新異常（CH2）	0:異常なし 1:異常あり
3	乱数更新異常（CH3）	0:異常なし 1:異常あり
4	乱数更新異常（CH4）	0:異常なし 1:異常あり
5	—	0固定
6	—	0固定
7	—	0固定

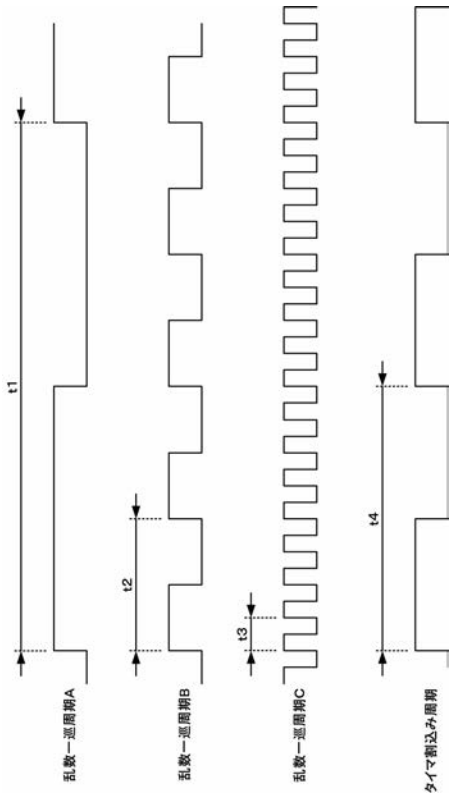
【図８５】



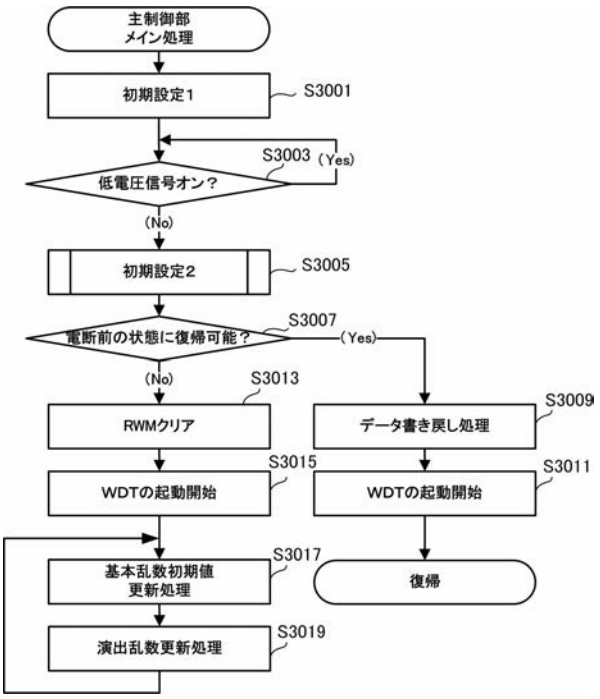
【図８６】



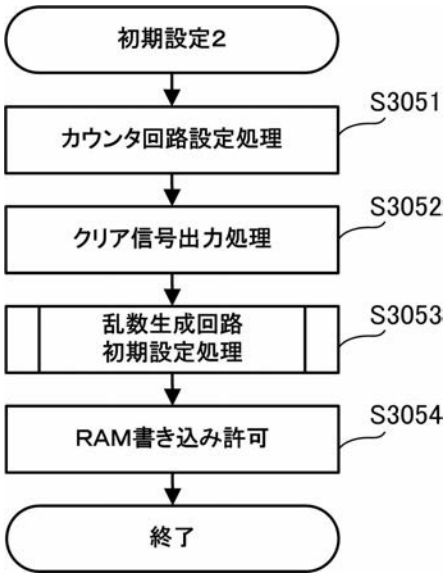
【図８７】



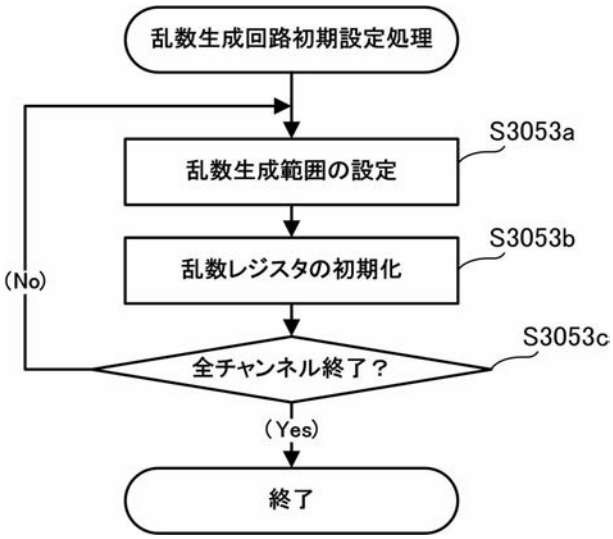
【図８８】



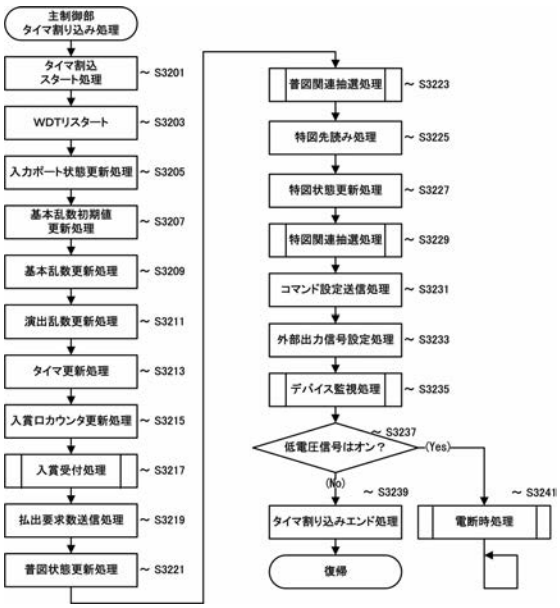
【図８９】



【図９０】

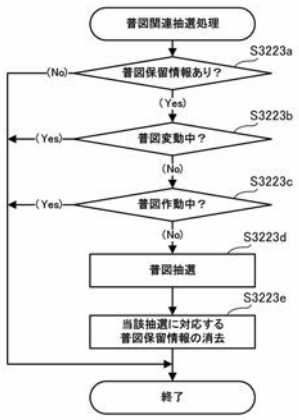


【図９１】



【図９２】

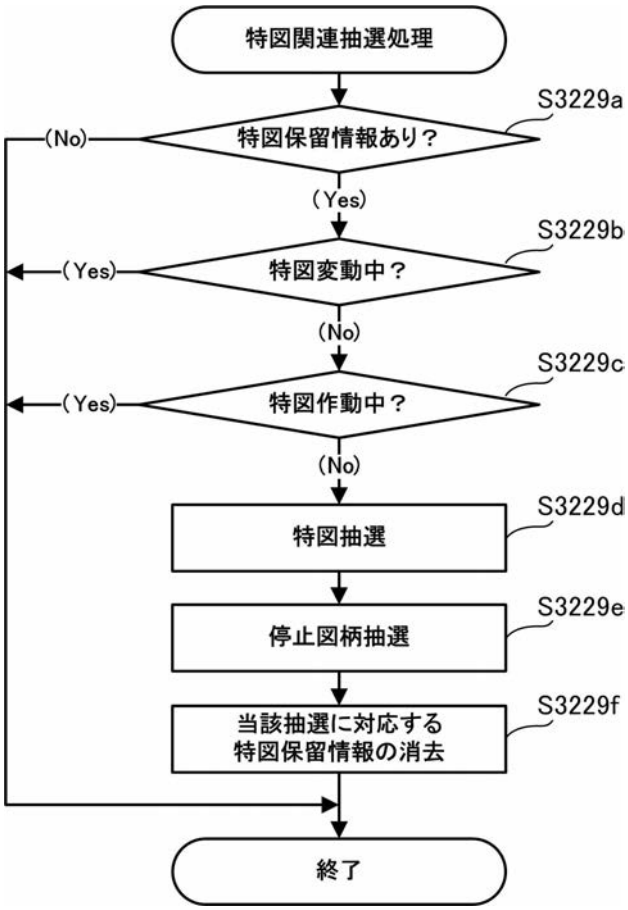
(a)



(b)普図抽選テーブル(普図低確率状態/普図高確率状態)

	普図当選データ	乱数生成範囲設定	当選確率	対応CH
普図低確率状態	9	0～999	1／100	CH3
普図高確率状態	9	0～9	1／1	CH4

【図９３】



【図９４】

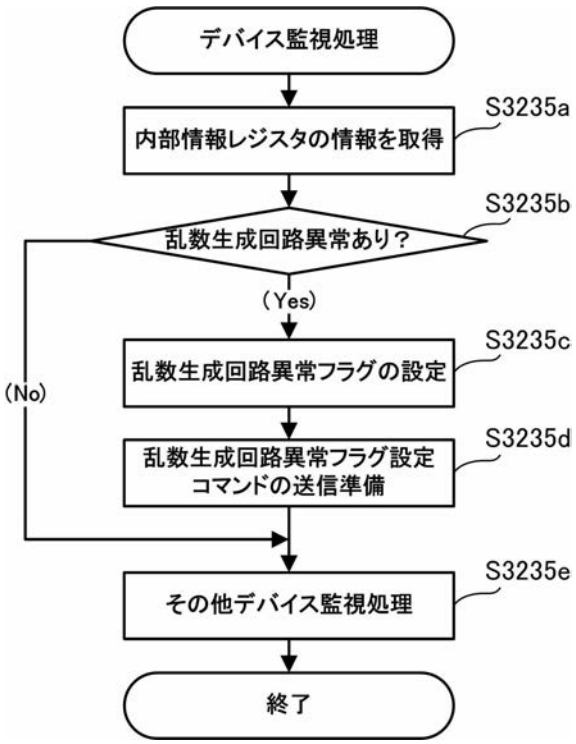
(a)特図抽選テーブル(非確率変動中/確率変動中)

	特図大当り当選データ	乱数生成範囲	当選確率	対応CH
非確率変動中	124	0～49999	1／400	CH1
確率変動中	124	0～4999	1／40	CH2

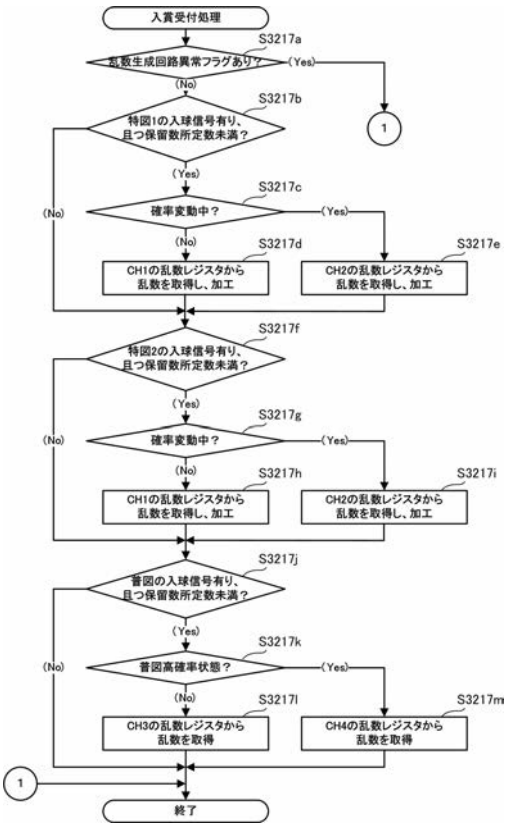
(b)停止図柄抽選テーブル(乱数生成範囲:0～99)

当否判定結果	停止図柄	図柄当選データ	当選確率
大当り	特図A	50	50／100
	特図B	10	10／100
	特図C	10	10／100
	特図D	10	10／100
	特図E	10	10／100
	特図F	10	10／100
小当たり	特図G	50	50／100
	特図H	50	50／100
はずれ	特図I	50	50／100
	特図J	50	50／100

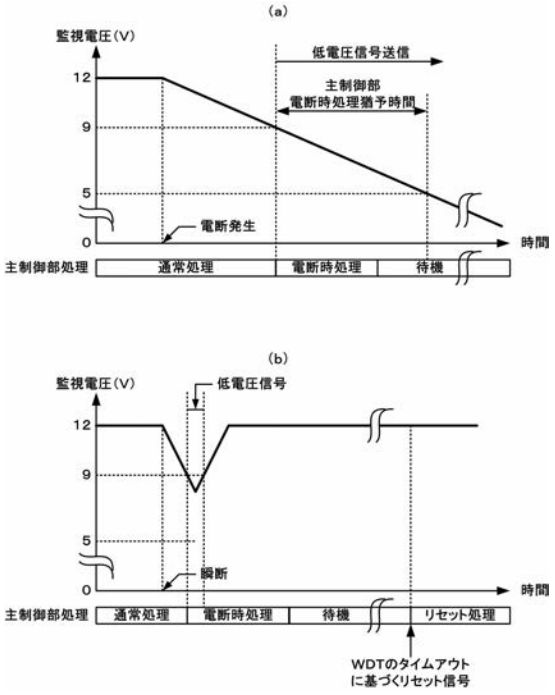
【図９５】



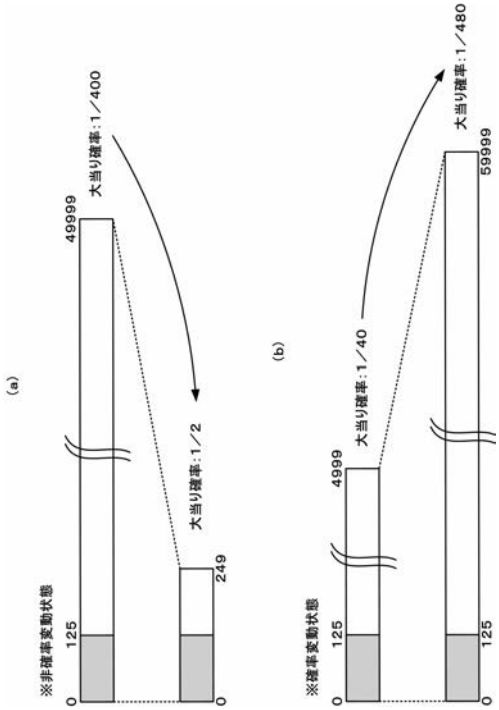
【図９６】



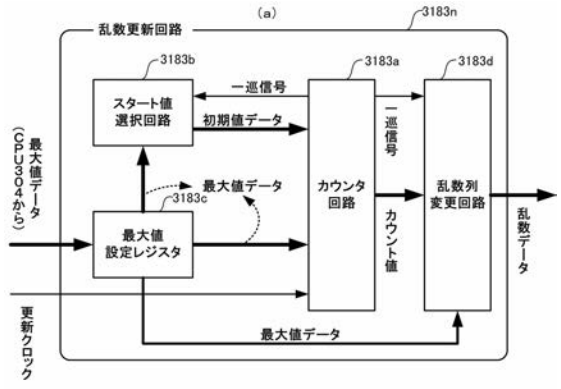
【図９７】



【図９８】



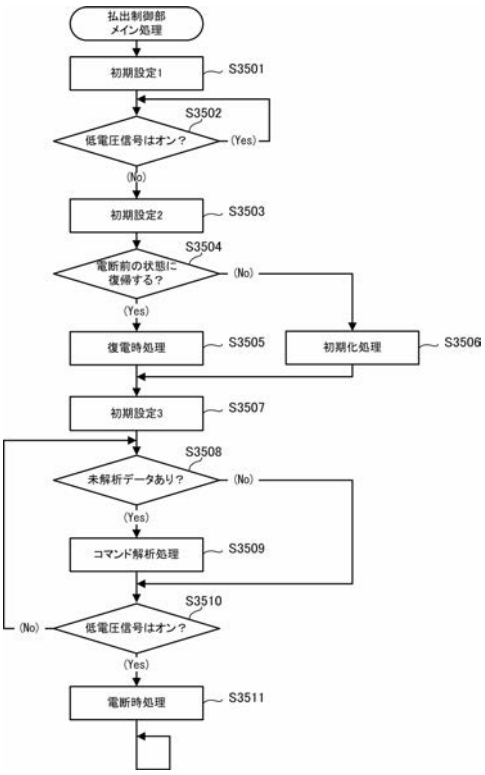
【図９９】



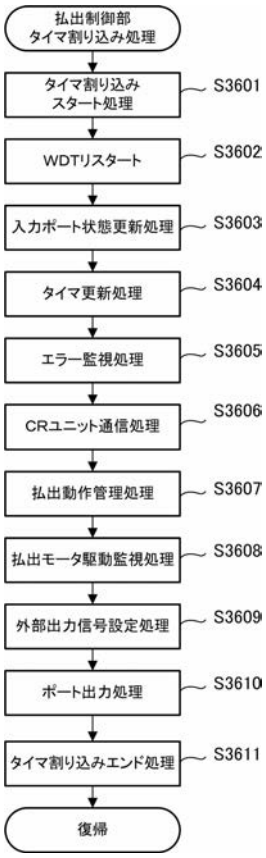
(b)

カウント値	乱数列			
	A	B	C	…
0	46473	6546	45089	…
1	6554	2332	252	…
2	121	131	25232	…
3	4564	99	789	…
4	9845	34	467	…
5	2245	9806	5789	…
6	135	53665	5032	…
7	44334	9976	65324	…
8	33	1181	12	…
9	323	434	3313	…
10	232	13451	983	…
11	100	2342	29	…
⋮	⋮	⋮	⋮	⋮
65530	5556	465	8908	…
65531	7789	645	1113	…
65532	44456	34323	4257	…
65533	1	7042	34	…
65534	456	14	11456	…
65535	908	453	38909	…

【図１００】



【図１０１】



【図１０２】

第2内部情報レジスタ	7	6	5	4	3	2	1	0

ビット番号	意味
2ビット	直前に発生したリセット要因が、システムリセットであることを示すビット 0:システムリセット未発生 1:システムリセット発生
1ビット	直前に発生したリセット要因が、WDTタイムアウト信号によるリセットであることを示すビット 0:WDTタイムアウト信号によるリセット未発生 1:WDTタイムアウト信号によるリセット発生
0ビット	直前に発生したリセット要因が、IAT発生信号によるリセットであることを示すビット 0:IAT発生信号によるリセット未発生 1:IAT発生信号によるリセット発生

【図１０３】

第3内部情報レジスタ	7	6	5	4	3	2	1	0

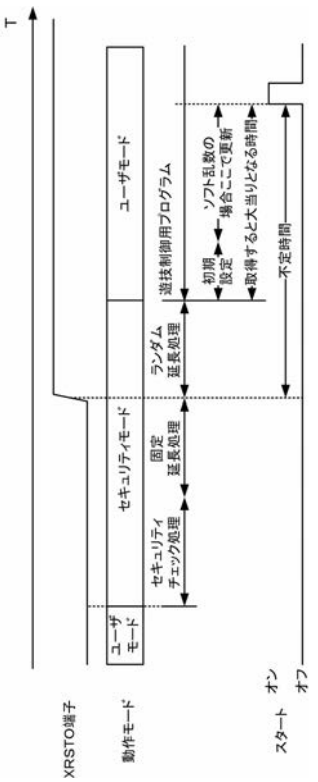
ビット番号	意味
1ビット	WDTタイムアウト信号によるリセットの動作を示すビット 0:ユーザリセット動作 1:システムリセット動作
0ビット	IAT発生信号によるリセットの動作を示すビット 0:ユーザリセット動作 1:システムリセット動作

【図１０４】

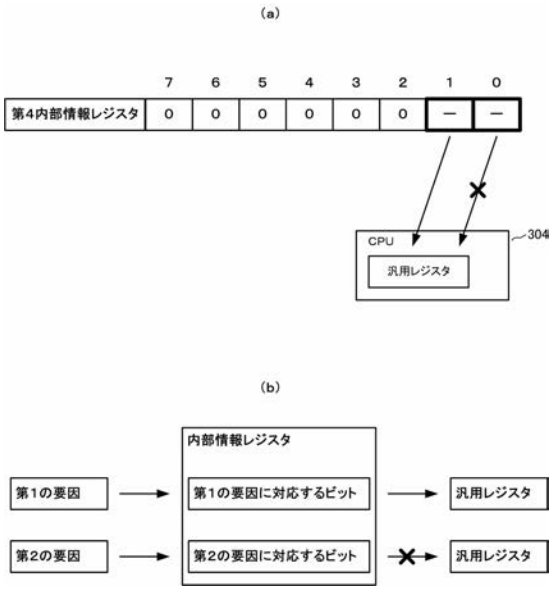
	7	6	5	4	3	2	1	0
第4内部情報レジスタ	0	0	0	0	0	0	−	−

ビット番号	意味
0	直前に発生したリセット要因が、システムリセットであることを示すビット 0:システムリセット未発生 1:システムリセット発生
1	更新クロック異常（全CH共通）を示すビット 0:異常なし 1:異常あり
2～7	未使用ビット 0固定

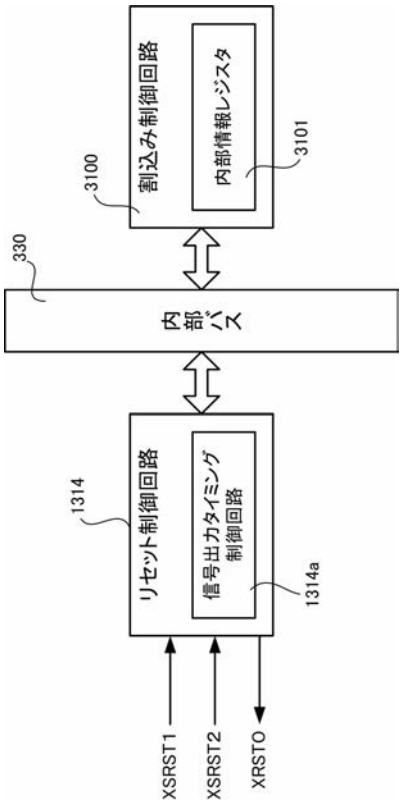
【図１０５】



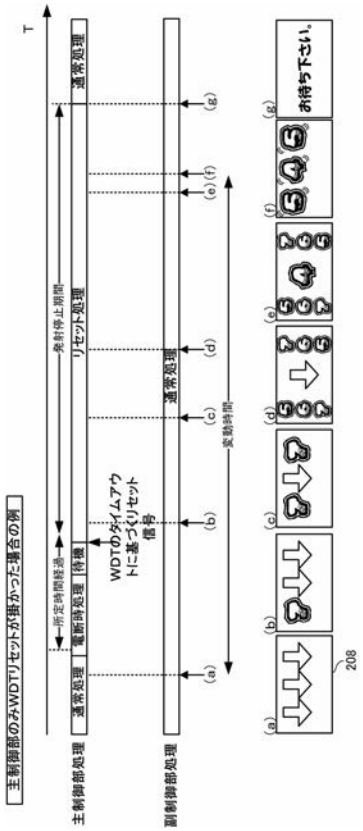
【図１０６】



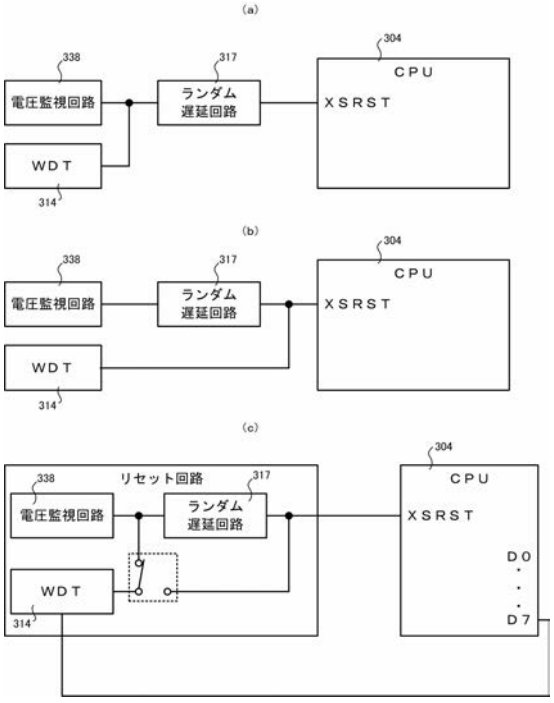
【図１０７】



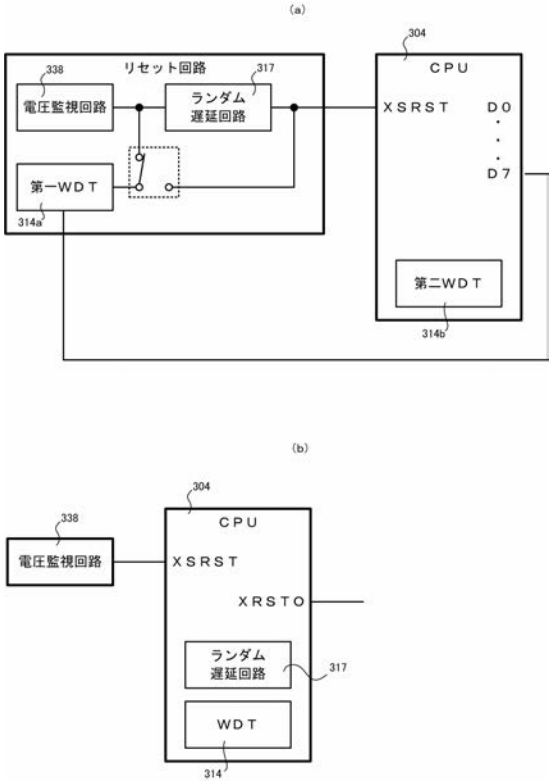
【図１０８】



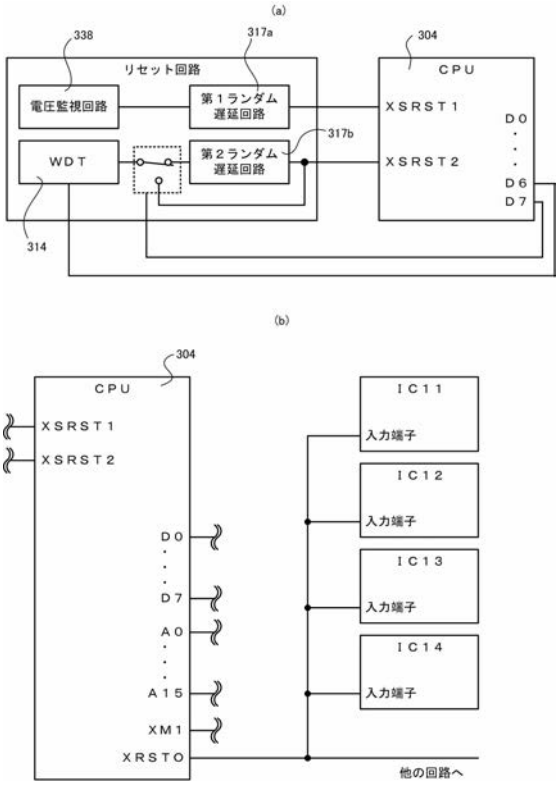
【図１０９】



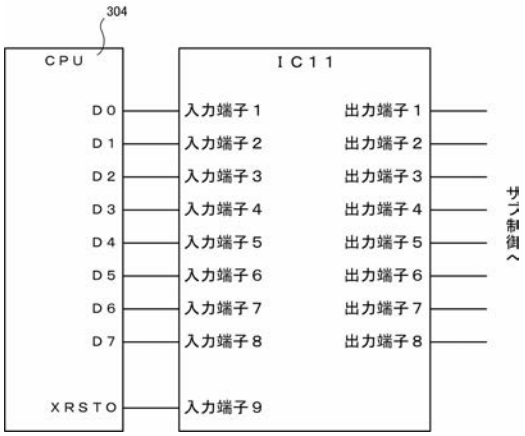
【図１１０】



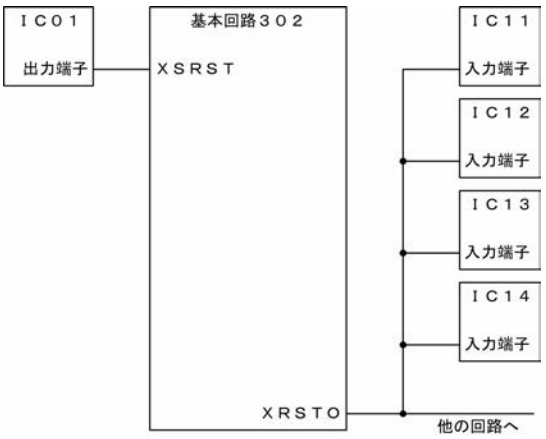
【図１１１】



【図１１２】



【図１１３】



【図１１４】

(a)固定延長時間の設定例

設定値	延長時間		
	SCLK = 8MHz	SCLK = 10MHz	SCLK = 12MHz
000	延長しない		
001	約525ms	約420ms	約350ms
010	約1050ms	約840ms	約700ms
011	約1575ms	約1260ms	約1050ms
100	約2100ms	約1680ms	約1400ms
101	約2625ms	約2100ms	約1750ms
110	約3150ms	約2520ms	約2100ms
111	約30000ms	約30000ms	約30000ms

(b)ランダム延長時間の設定例

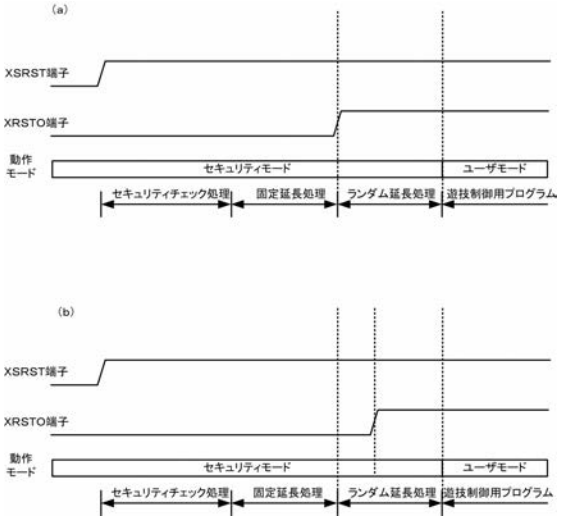
設定値	延長時間の範囲		
	SCLK = 8MHz	SCLK = 10MHz	SCLK = 12MHz
00	延長しない		
01	0～0.5ms	0～0.4ms	0～0.3ms
11	0～250.0ms	0～200.0ms	0～150.0ms

【図１１５】

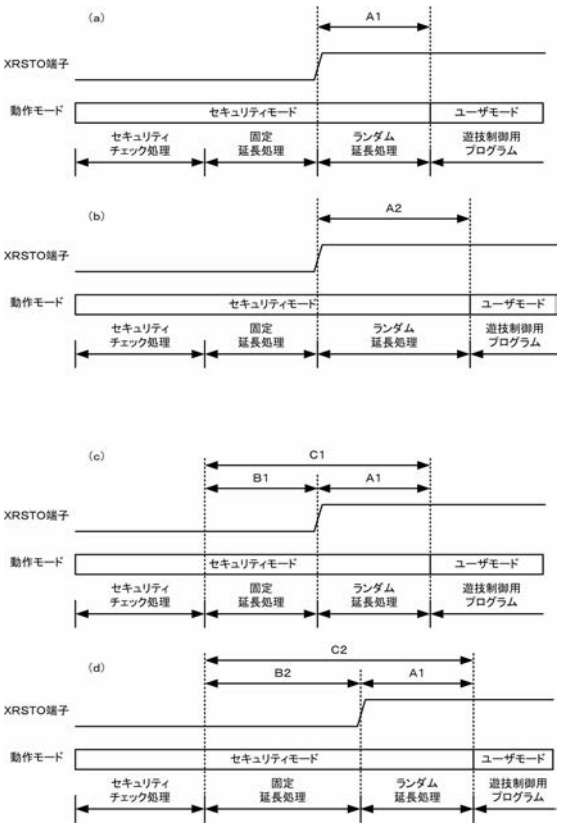
WDTタイムアウト時間の設定例

設定値	延長時間		
	SCLK = 8MHz	SCLK = 10MHz	SCLK = 12MHz
0000	禁止する(使用しない)		
0001	約65ms	約52ms	約44ms
0010	約525ms	約420ms	約350ms
0011	約4250ms	約3400ms	約2800ms
0100	約29375ms	約23500ms	約22400ms
0101	約122ms	約98ms	約82ms
0110	約982ms	約786ms	約655ms
0111	約7875ms	約6300ms	約5200ms
1000	約62500ms	約50000ms	約42000ms

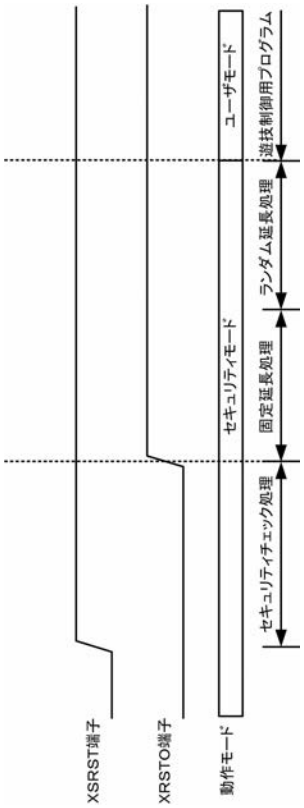
【図１１６】



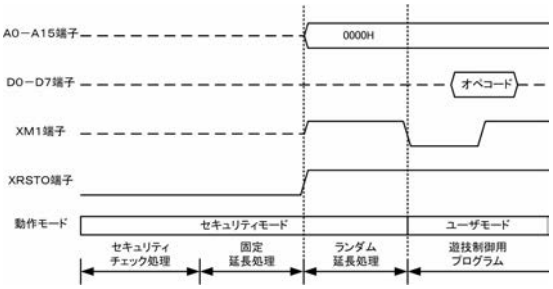
【図１１７】



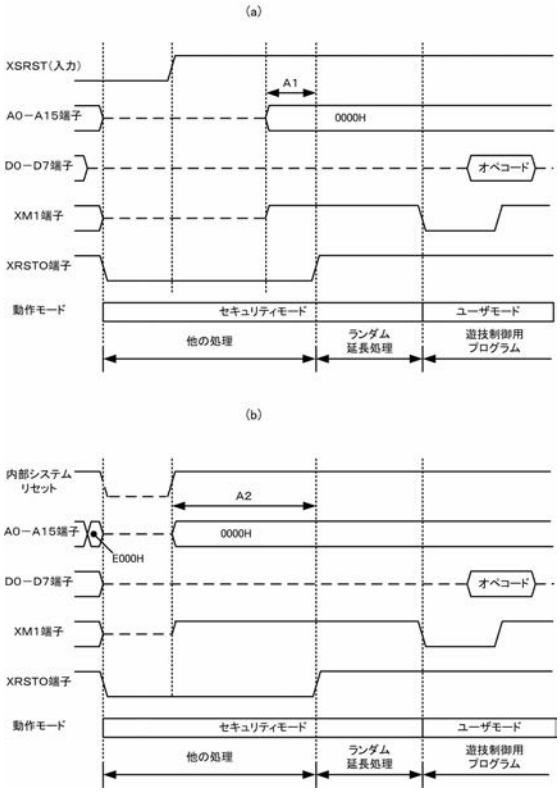
【図１１８】



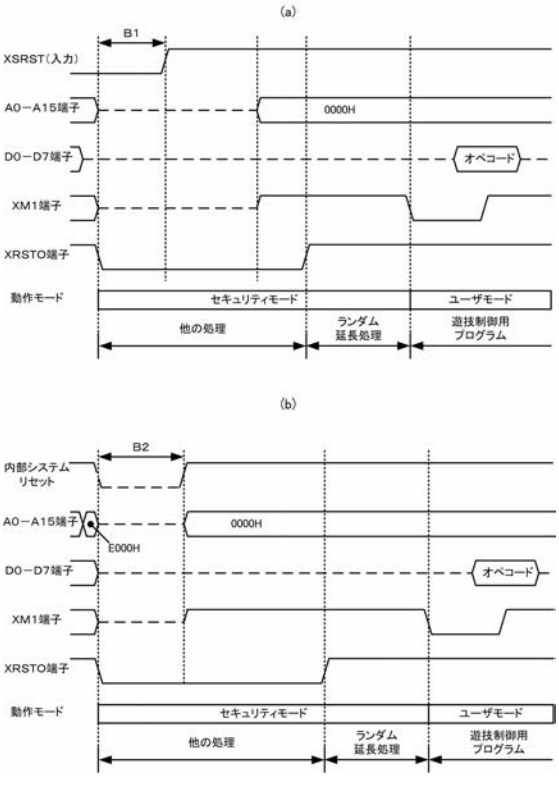
【図１１９】



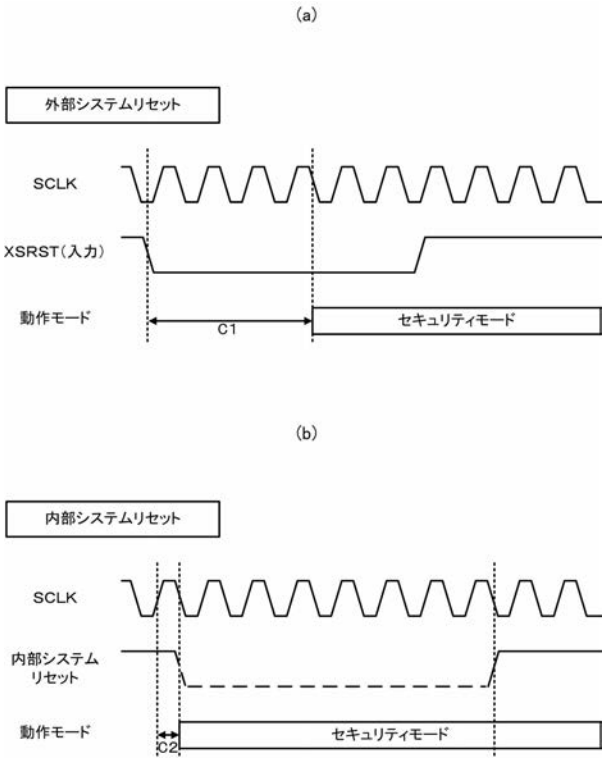
【図１２０】



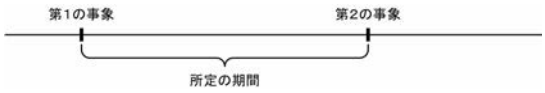
【図１２１】



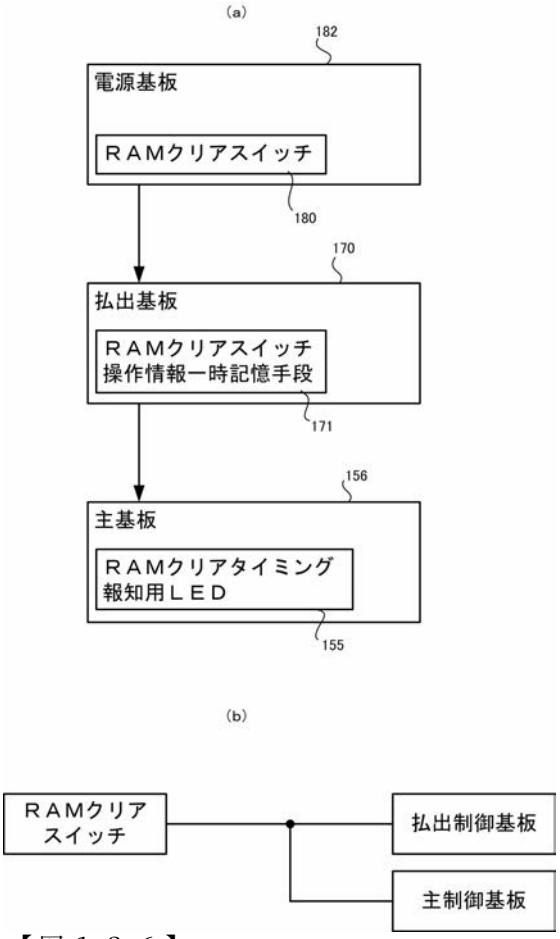
【図１２２】



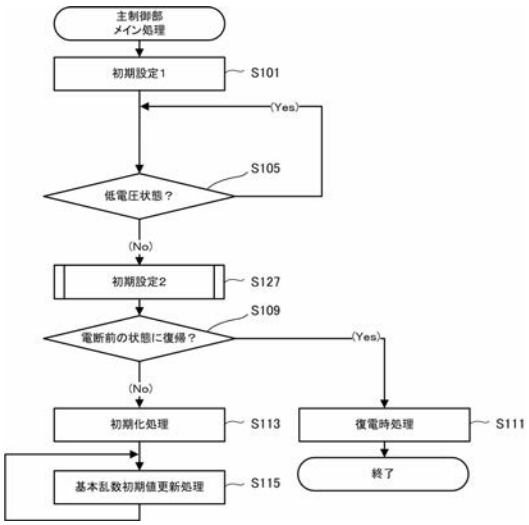
【図１２３】



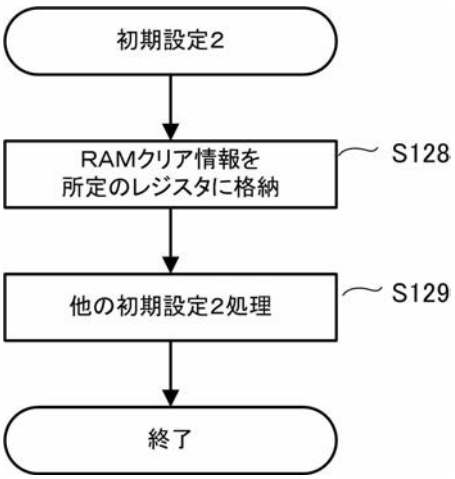
【図１２４】



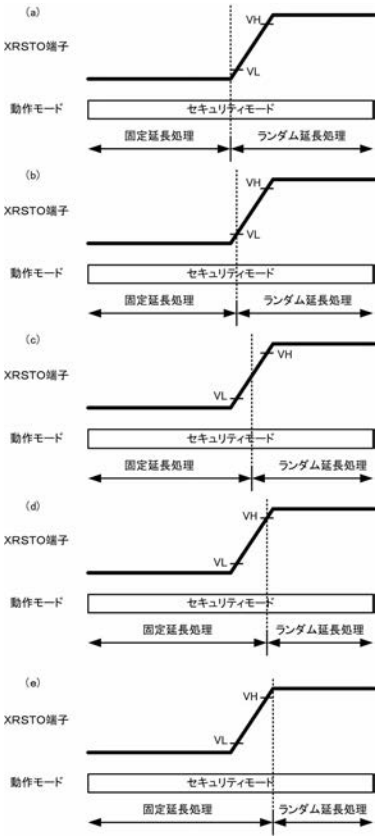
【図１２５】



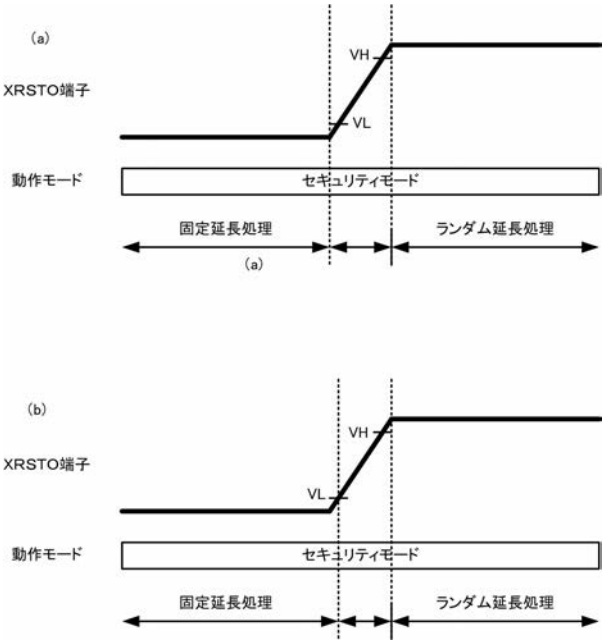
【図１２６】



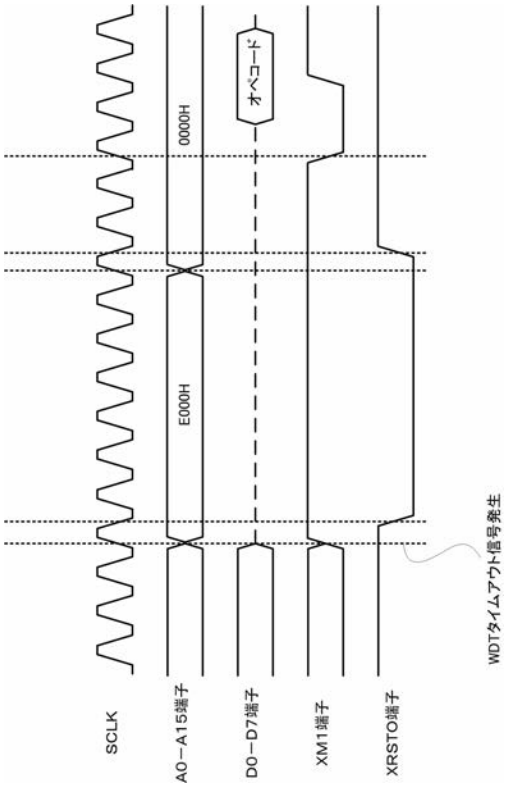
【図１２７】



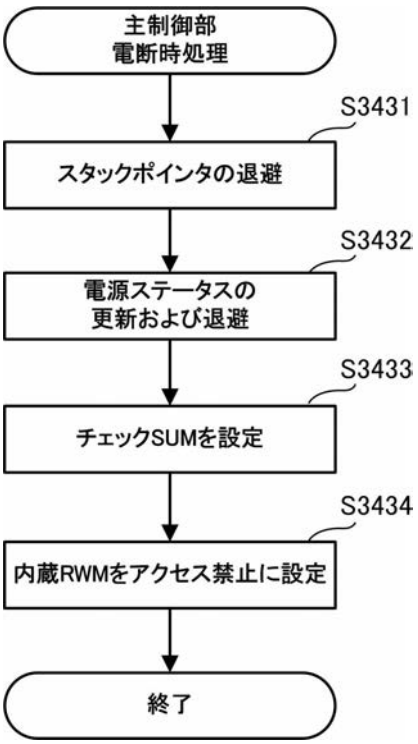
【図１２８】



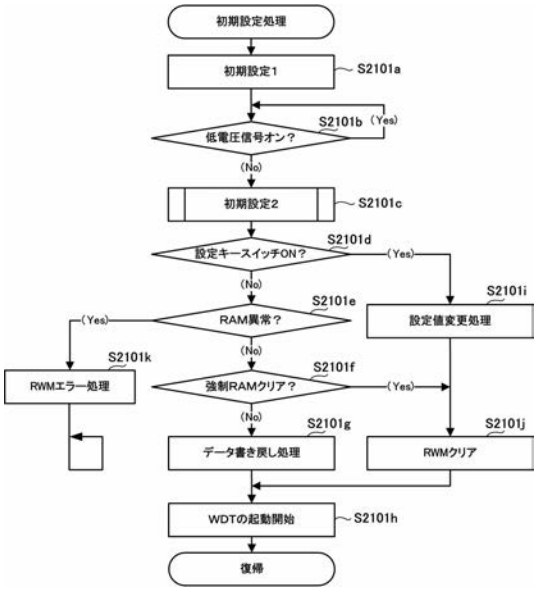
【図１２９】



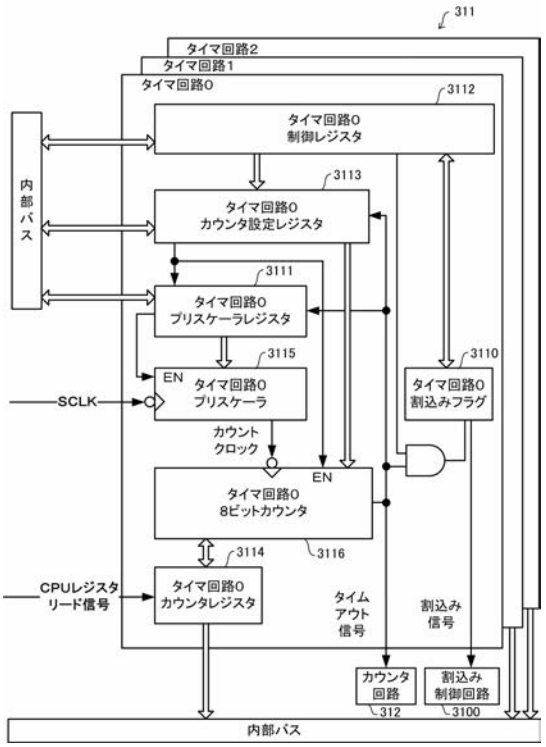
【図１３０】



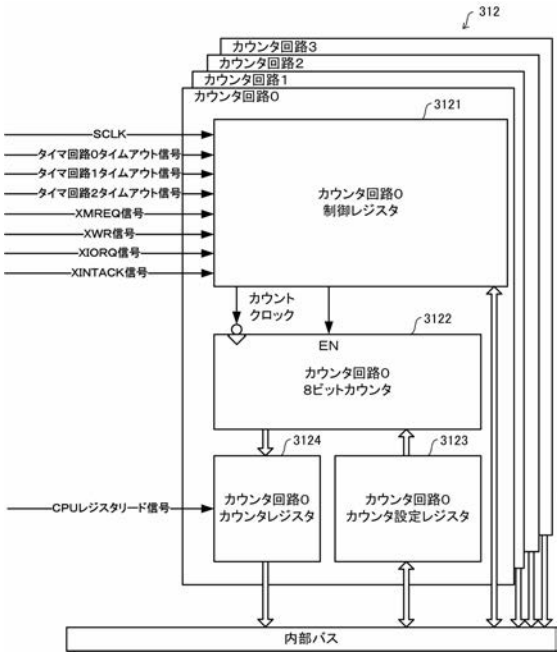
【図１３１】



【図１３２】



【図１３３】

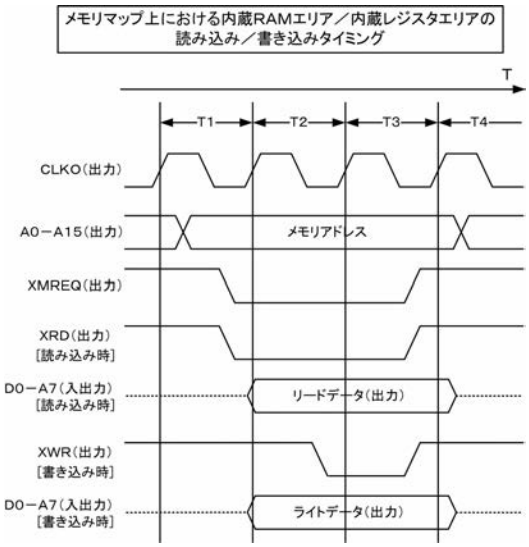


【図１３４】

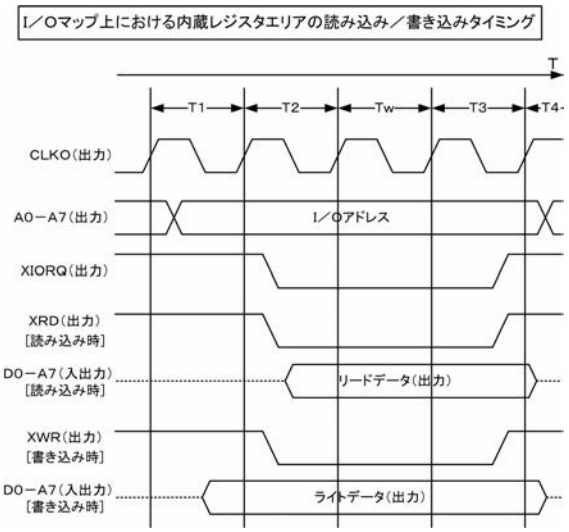
カウンタ回路0制御レジスタ	7	6	5	4	3	2	1	0
カウンタ回路1制御レジスタ	7	6	5	4	3	2	1	0
カウンタ回路2制御レジスタ	7	6	5	4	3	2	1	0
カウンタ回路3制御レジスタ	7	6	5	4	3	2	1	0

ビット番号	意味
4ビット	カウンタ回路n 8ビットカウンタを動作開始、停止させるためのビット 0:動作停止(初期値) 1:動作開始
3ビット	カウンタ回路n 8ビットカウンタをカスケード接続設定するビット 0:カスケード接続未設定(初期値) 1:カスケード接続設定 ※カスケード接続設定は、カウンタ回路の0と1、2と3をペアとする
2－0ビット	カウンタ回路n 8ビットカウンタのカウントクロックを設定するビット 000:SCLK(初期値) 001:タイマ回路0 8ビットカウンタタイマのタイムアウト信号 010:タイマ回路1 8ビットカウンタタイマのタイムアウト信号 011:タイマ回路2 8ビットカウンタタイマのタイムアウト信号 100:XWR信号 101:XMREQ信号 110:XIORQ信号 111:XINTACK信号

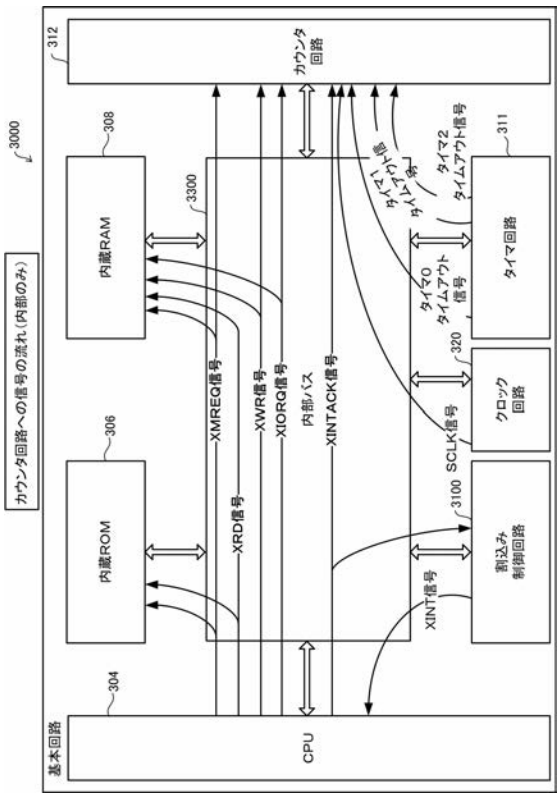
【図１３５】



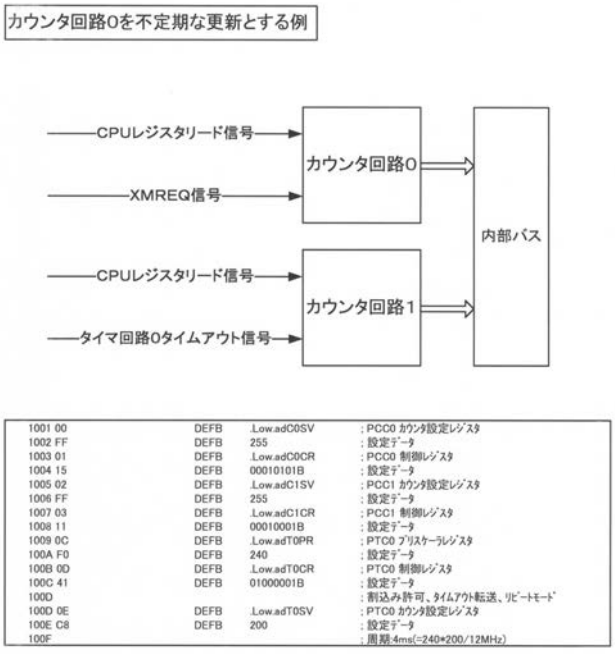
【図１３６】



【図１３７】



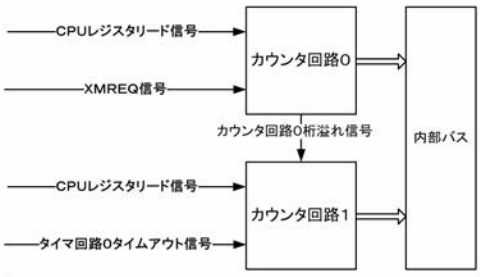
【図１３８】




```
1001 00     DEFB    Low.adC0SV      ; PCC0 カウンタ設定レジスタ
1002 FF     DEFB    255             ; 設定データ
1003 01     DEFB    Low.adC0CR      ; PCC0 制御レジスタ
1004 15     DEFB    00010101B       ; 設定データ
1005 02     DEFB    Low.adC1SV      ; PCC1 カウンタ設定レジスタ
1006 FF     DEFB    255             ; 設定データ
1007 03     DEFB    Low.adC1CR      ; PCC1 制御レジスタ
1008 11     DEFB    00010001B       ; 設定データ
1009 0C     DEFB    Low.adT0PR      ; PTC0 プリスケーラレジスタ
100A F0     DEFB    240             ; 設定データ
100B 0D     DEFB    Low.adT0CR      ; PTC0 制御レジスタ
100C 41     DEFB    01000001B       ; 設定データ
100D                                ; 割込み許可、タイムアウト転送、リピートモード
100D 0E     DEFB    Low.adT0SV      ; PTC0 カウンタ設定レジスタ
100E C8     DEFB    200             ; 設定データ
100F                                ; 周期:4ms(=240*200/12MHz)
```

【図１３９】

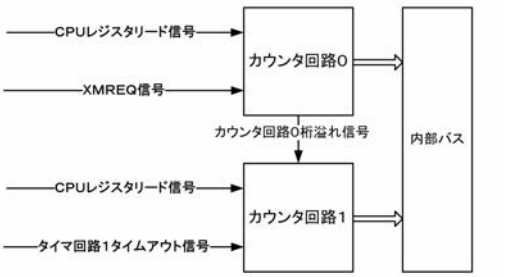
変形例1：カウンタ回路0をカウンタ回路1の更新ソースとする例（カスケード接続）




```
1001 00     DEFB    ,Low.adC0SV     ; PCC0 カウンタ設定レジスタ
1002 FF     DEFB    255             ; 設定データ
1003 01     DEFB    ,Low.adC0CR     ; PCC0 制御レジスタ
1004 15     DEFB    00011101B       ; 設定データ
1005 02     DEFB    ,Low.adC1SV     ; PCC1 カウンタ設定レジスタ
1006 FF     DEFB    255             ; 設定データ
1007 03     DEFB    ,Low.adC1CR     ; PCC1 制御レジスタ
1008 11     DEFB    00010001B       ; 設定データ
```

【図１４０】

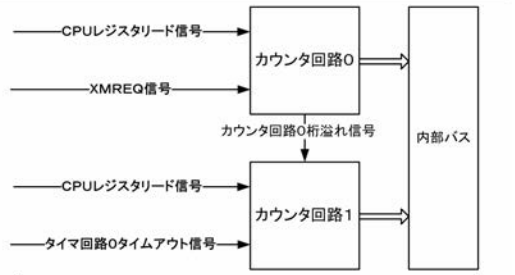
変形例2：カウンタ回路0とカウンタ回路1を2バイトカウンタとする例




```
1001 00     DEFB    ,Low.adC0SV     ; PCC0 カウンタ設定レジスタ
1002 FF     DEFB    255             ; 設定データ
1003 01     DEFB    ,Low.adC0CR     ; PCC0 制御レジスタ
1004 15     DEFB    00011101B       ; 設定データ
1005 02     DEFB    ,Low.adC1SV     ; PCC1 カウンタ設定レジスタ
1006 FF     DEFB    255             ; 設定データ
1007 03     DEFB    ,Low.adC1CR     ; PCC1 制御レジスタ
1008 11     DEFB    00010010B       ; 設定データ
...
1010 0C     DEFB    ,Low.adT1PR     ; PTC1 プリスケーラレジスタ
1011 00     DEFB    0               ; 設定データ
```

【図１４１】

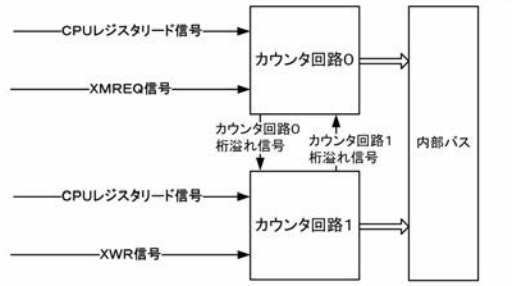
変形例3：カウンタ回路0の更新ソースをカウンタ回路1のソースとする例




```
1001 00     DEFB    ,Low.adC0SV     ; PCC0 カウンタ設定レジスタ
1002 FF     DEFB    0               ; 設定データ
1003 01     DEFB    ,Low.adC0CR     ; PCC0 制御レジスタ
1004 15     DEFB    00011101B       ; 設定データ
1005 02     DEFB    ,Low.adC1SV     ; PCC1 カウンタ設定レジスタ
1006 FF     DEFB    255             ; 設定データ
1007 03     DEFB    ,Low.adC1CR     ; PCC1 制御レジスタ
1008 11     DEFB    00010001B       ; 設定データ
```

【図１４２】

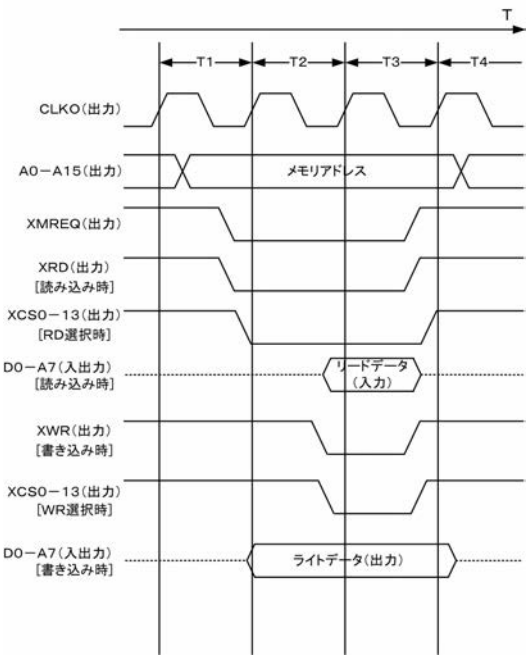
変形例4：カウンタ回路0とカウンタ回路1を相互にカスケード接続する例



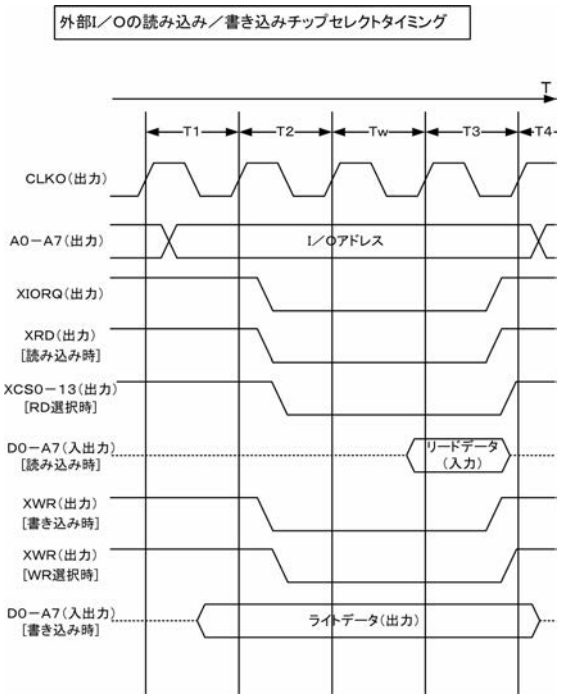

```
1001 00     DEFB    ,Low.adC0SV     ; PCC0 カウンタ設定レジスタ
1002 FF     DEFB    255             ; 設定データ
1003 01     DEFB    ,Low.adC0CR     ; PCC0 制御レジスタ
1004 15     DEFB    00011101B       ; 設定データ
1005 02     DEFB    ,Low.adC1SV     ; PCC1 カウンタ設定レジスタ
1006 FF     DEFB    255             ; 設定データ
1007 03     DEFB    ,Low.adC1CR     ; PCC1 制御レジスタ
1008 11     DEFB    00011100B       ; 設定データ
```

【図１４３】

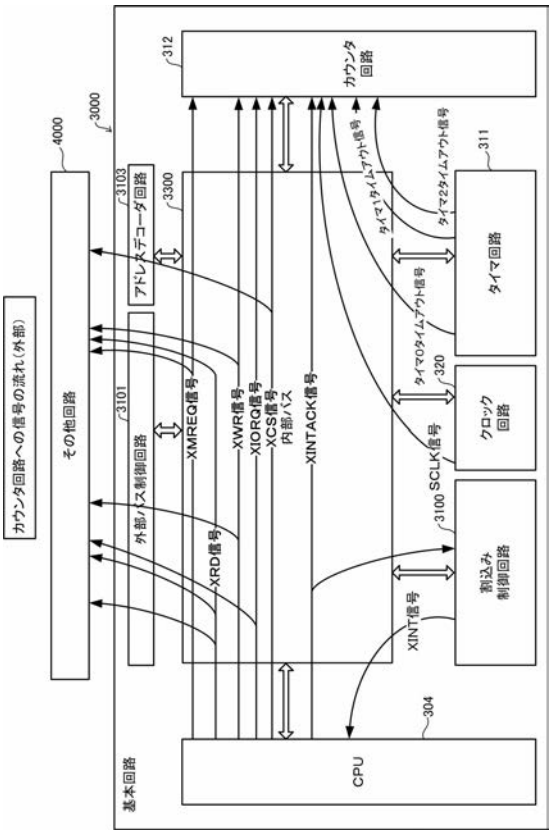
外部メモリの読み込み／書き込みチップセレクトタイミング



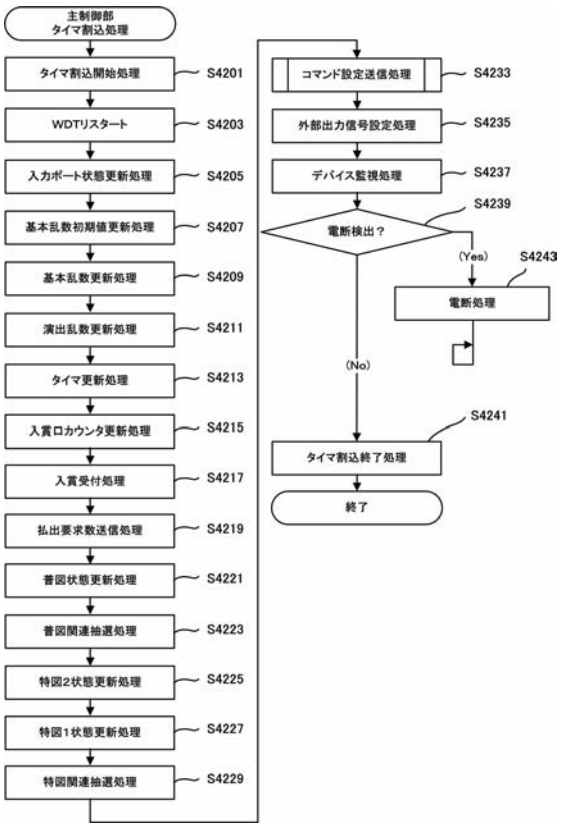
【図１４４】



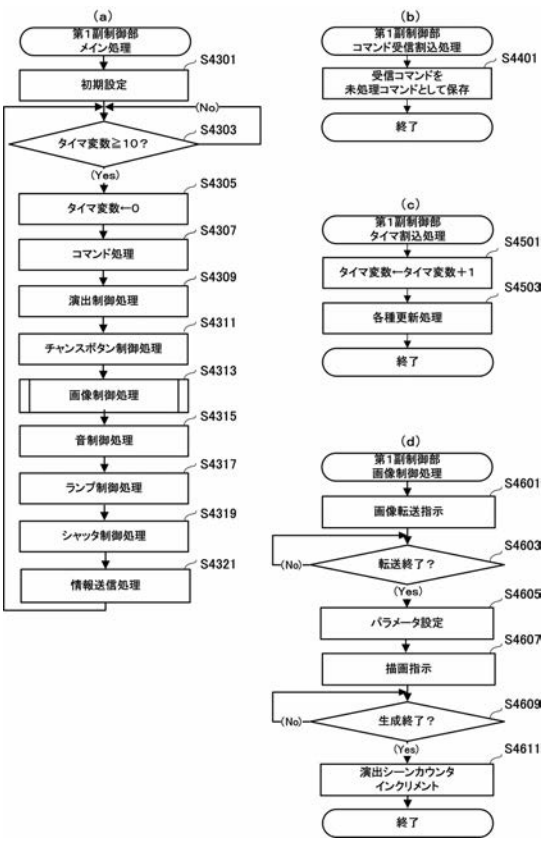
【図１４５】



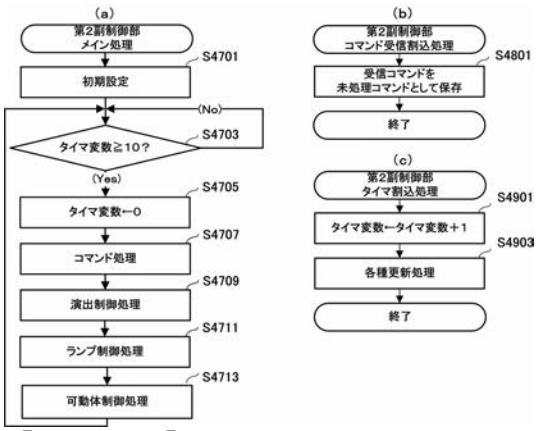
【図１４６】



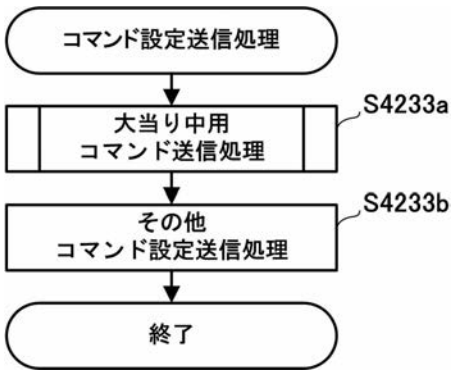
【図１４７】



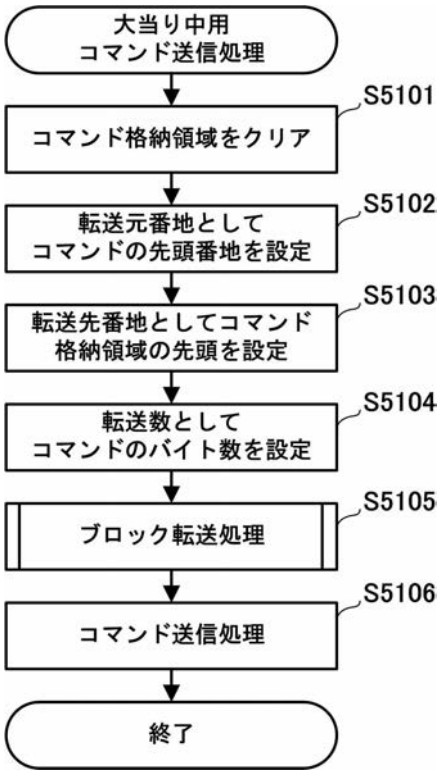
【図１４８】



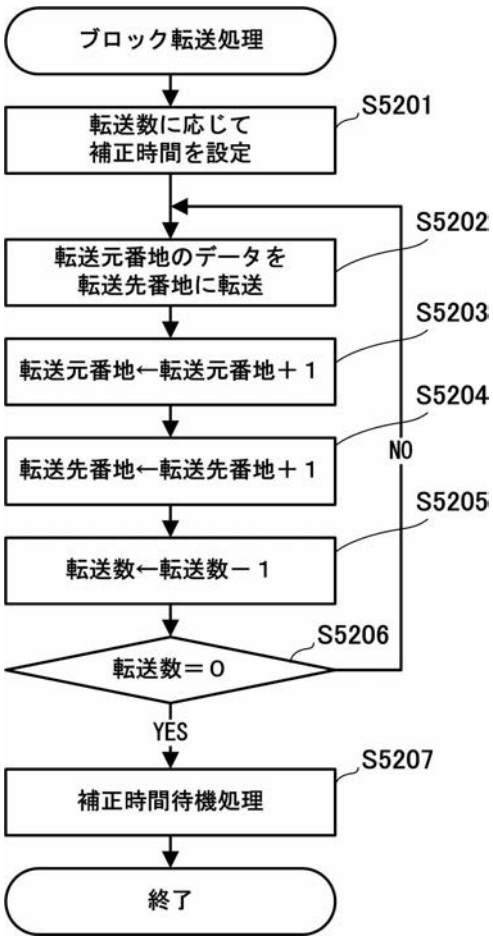
【図１４９】



【図１５０】



【図１５１】



【図１５２】

(a)大当り開始コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目
大当り開始コマンド１	１００	2	１１Ｈ	０１Ｈ
大当り開始コマンド２	１０２	2	１１Ｈ	０２Ｈ
：	：	：	：	：
大当り開始コマンド６	１１０	2	１１Ｈ	０６Ｈ

(b)ラウンド開始コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目	3バイト目
ラウンド開始コマンド１	２００	3	１２Ｈ	０１Ｈ	０１Ｈ
ラウンド開始コマンド２	２０３	3	１２Ｈ	０２Ｈ	０１Ｈ
：	：	：	：	：	：
ラウンド開始コマンド６	２１５	3	１２Ｈ	０６Ｈ	０１Ｈ
ラウンド開始コマンド７	２１８	3	１２Ｈ	０１Ｈ	０２Ｈ
ラウンド開始コマンド８	２２１	3	１２Ｈ	０２Ｈ	０２Ｈ
：	：	：	：	：	：
ラウンド開始コマンド１２	２３３	3	１２Ｈ	０６Ｈ	０２Ｈ
ラウンド開始コマンド１３	２３６	3	１２Ｈ	０１Ｈ	０３Ｈ
ラウンド開始コマンド１４	２３９	3	１２Ｈ	０２Ｈ	０３Ｈ
：	：	：	：	：	：
ラウンド開始コマンド２８	３１１	3	１２Ｈ	０１Ｈ	０ＦＨ
ラウンド開始コマンド２９	３１４	3	１２Ｈ	０２Ｈ	０ＦＨ

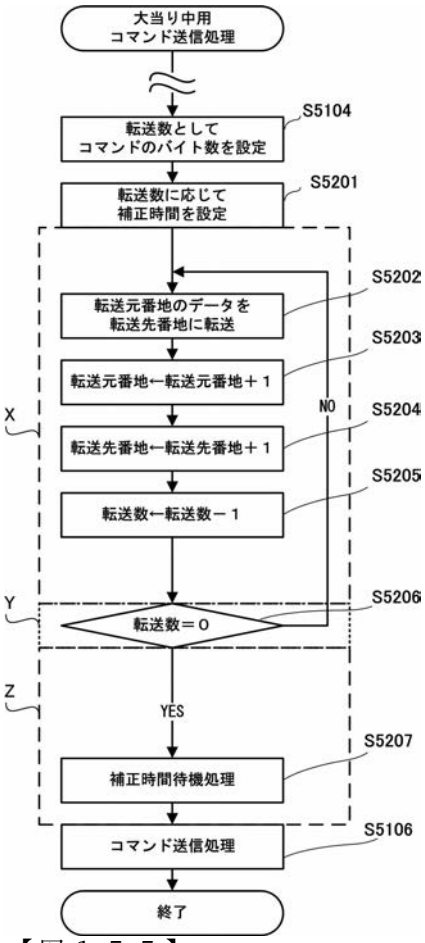
(c)ラウンド終了コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目
ラウンド終了コマンド１	５００	2	１３Ｈ	０１Ｈ
ラウンド終了コマンド２	５０２	2	１３Ｈ	０２Ｈ
：	：	：	：	：
ラウンド終了コマンド１５	５２８	2	１３Ｈ	０ＦＨ

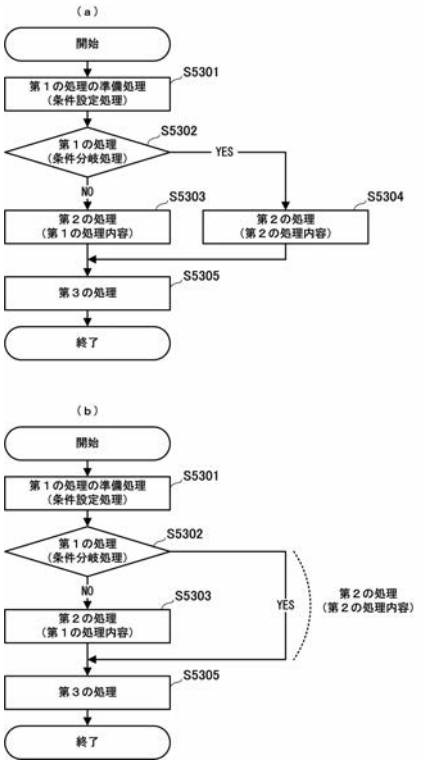
(d)大当り終了コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目
大当り終了コマンド１	６００	1	１４Ｈ

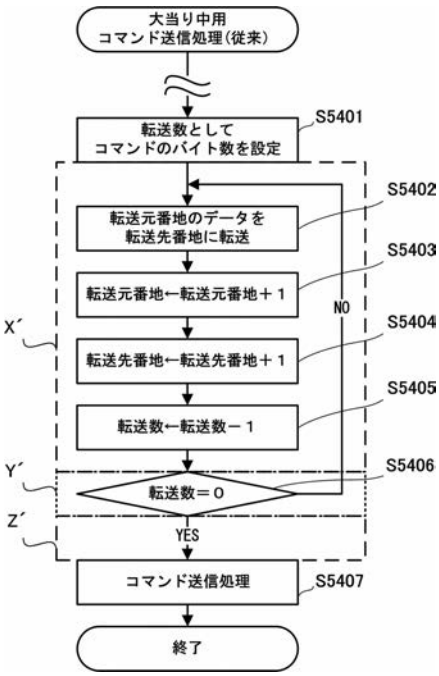
【図１５３】



【図１５４】



【図１５５】



【図１５６】

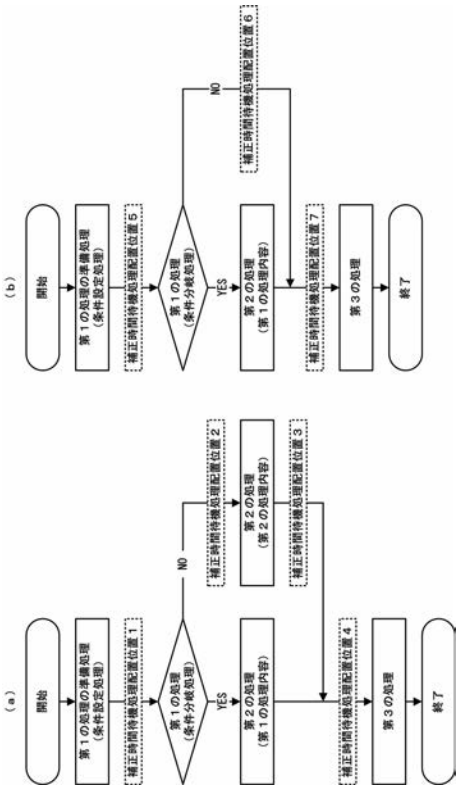
(a)

転送バイト数	所要時間			合計
	第１の処理	第２の処理		
		基本処理	補正時間待機処理	
1	T3	－	T3×2+T4×2	T3×3+T4×2
2	T3×2	T4	T3+T4	T3×3+T4×2
3	T3×3	T4×2	－	T3×3+T4×2

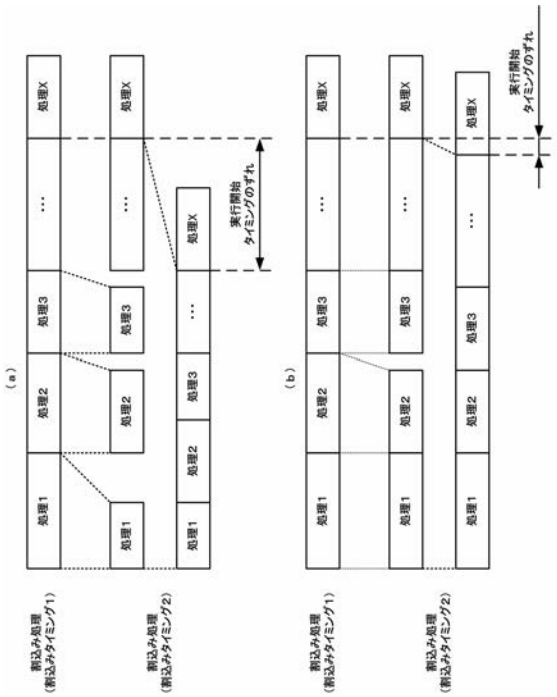
(b)

転送バイト数	所要時間		合計
	第１の処理	第２の処理	
1	T1	－	T1
2	T1×2	T2	T1×2+T2
3	T1×3	T2×2	T1×3+T2×2

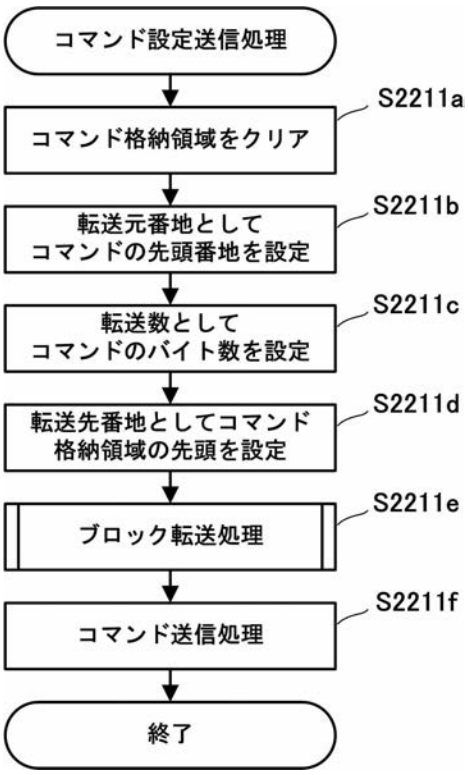
【図１５７】



【図１５８】



【図１５９】



【図１６０】

(a)遊技開始コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目
遊技開始コマンド1	1000	2	A1H	01H
遊技開始コマンド2	1002	2	A1H	02H

(b)レバー受付コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目	3バイト目
レバー受付コマンド1	1200	3	A3H	01H	01H
レバー受付コマンド2	1203	3	A3H	01H	02H
レバー受付コマンド3	1206	3	A3H	01H	03H
レバー受付コマンド4	1209	3	A3H	01H	04H
レバー受付コマンド5	1212	3	A3H	01H	05H
レバー受付コマンド6	1215	3	A3H	02H	01H
レバー受付コマンド7	1218	3	A3H	02H	02H
レバー受付コマンド8	1221	3	A3H	03H	01H
レバー受付コマンド9	1224	3	A3H	03H	02H
レバー受付コマンド10	1227	3	A3H	04H	01H
レバー受付コマンド11	1230	3	A3H	04H	02H
レバー受付コマンド12	1233	3	A3H	04H	03H

(c)左リール停止コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目
左リール停止コマンド1	1300	1	A4H

(d)中リール停止コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目
中リール停止コマンド1	1400	1	A5H

(e)右リール停止コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目
右リールコマンド1	1500	1	A6H

(f)全リール停止コマンド格納領域

コマンドの名称	先頭番地	バイト数	1バイト目	2バイト目
全リール停止コマンド1	1600	2	A7H	01H
全リール停止コマンド2	1602	2	A7H	02H
全リール停止コマンド3	1604	2	A7H	03H
全リール停止コマンド4	1606	2	A7H	04H
全リール停止コマンド5	1608	2	A7H	05H

【図１６１】

命令	説明
WARU r,A,n （17ステート、3バイト） WARU A,r （14ステート、2バイト） WARU ss,HL WARU HL,ss （17ステート、2バイト） [r=B, C, D, E, H, L] [ss=BC, DE]	最後のオペランドの値で最後から2番目のオペランドの値を除算し、 最初のオペランドで指定されるレジスタに商を格納し、 最初から2番目のオペランドで指定されるレジスタに余りを格納 Zフラグ・SZフラグは、余り無しの時に1、余り有りの時に0 Cフラグは、除数が0の時に1、除数が0以外のときに0 除数が0のとき、商、余りともにFFh（2バイトならFFFFh）
JP SZ,mn （14ステート、4バイト）	SZフラグが1のとき、mnが示すアドレスにジャンプ SZフラグが0のとき、処理を継続
JP NSZ,mn （14ステート、4バイト）	SZフラグが0のとき、mnが示すアドレスにジャンプ SZフラグが1のとき、処理を継続
JR SZ,e （8/7ステート、2バイト）	SZフラグが1のとき、PC＋eが示すアドレスにジャンプ SZフラグが0のとき、処理を継続
JR NSZ,e （8/7ステート、2バイト）	SZフラグが0のとき、PC＋eが示すアドレスにジャンプ SZフラグが1のとき、処理を継続
CALL SZ,mn （20/14ステート、4バイト）	SZフラグが1のとき、 PCHを（SP－1）、PCLを（SP－2）にストアした後にmnにジャンプ SP－2 SZフラグが0のとき、処理を継続
CALL NSZ,mn （20/14ステート、4バイト）	SZフラグが0のとき、 PCHを（SP－1）、PCLを（SP－2）にストアした後にmnにジャンプ SP－2 SZフラグが1のとき、処理を継続
RET SZ （10/4ステート、1バイト）	SZフラグが1のとき、 PCL←（SP） PCH←（SP＋1） SP←SP＋2 SZフラグが0のとき、処理を継続
RET NSZ （10/4ステート、1バイト）	SZフラグが0のとき、 PCL←（SP） PCH←（SP＋1） SP←SP＋2 SZフラグが1のとき、処理を継続

【図１６２】

命令	バイト数	ステート数
JP Z,mn JP NZ,mn	3	10
JP SZ,mn JP NSZ,mn	4	14
JR Z,e JR NZ,e JR SZ,e JR NSZ,e	2	8/7
CALL Z,mn CALL NZ,mn	3	16/10
CALL SZ,mn CALL NSZ,mn	4	20/14
RET Z RET NZ RET SZ RET NSZ	1	10/4

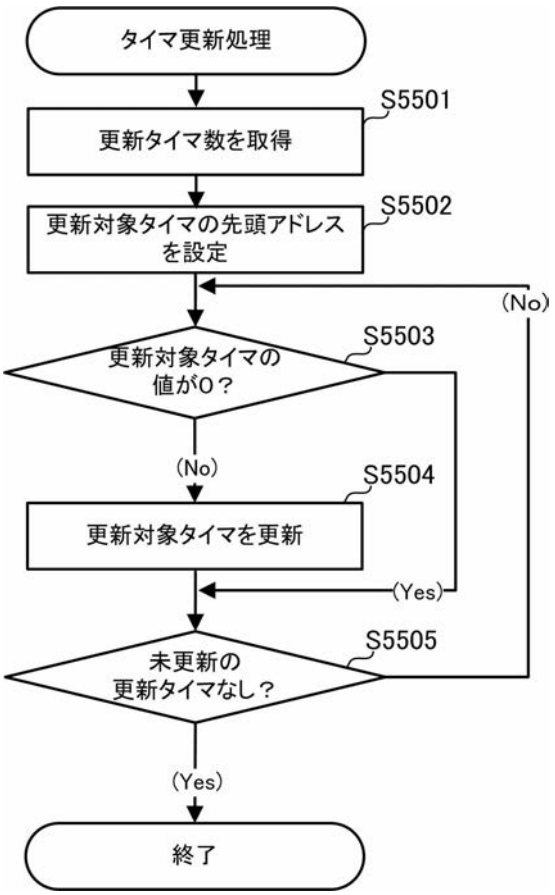
【図１６３】

ZフラグとSZフラグを同じ値に変化させる命令の例	変化条件
16ビットADD命令・16ビットINC命令・16ビットDEC命令を除く 算術演算命令 （8ビットADD命令・ADDTWOONE命令・ADC命令・SUB命令・SBC命令・AND命令・OR命令・XOR命令・CP命令・8ビットINC命令・8ビットDEC命令） RLCA命令・RLA命令・RRCA命令・RRA命令を除く ローテートシフト命令 「LD A,I」命令、「LD A,R」命令	第1オペランドの値が0のとき1、 0以外のとき0
WARU命令	第2オペランドの値が0のとき1、 0以外のとき0
INI命令・INIR命令・IND命令・INDR命令 OUTI命令・OTIR命令・OUTD命令・OTDR命令	Bレジスタの値が0のとき1、 0以外のとき0

Zフラグを変化させずSZフラグを変化させる命令の例	変化条件
「LD A,I」命令、「LD A,R」命令を除くロード命令 16ビットADD命令 16ビットINC命令 16ビットDEC命令 即値を入れるIN命令	第1オペランドの値が0のとき1、 0以外のとき0
INCTENSOU命令 （例：INCTENSOU AC,(HL)） TENSOUINC命令 （例：TENSOUINC AC,(HL)）	第1オペランド（例の場合はAレジスタとCレジスタ）の値が0のとき1、0以外のとき0
RLCA命令 RLA命令 RRCA命令 RRA命令	Aレジスタの値が0のとき1、0以外のとき0

Zフラグを変化させSZフラグを変化させない命令の例	変化条件
CPI命令 CPIR命令 CPD命令 CPDR命令	Aレジスタの値が0のとき1、0以外のとき0

【図１６４】



【図１６５】

(a)本発明のタイマ更新処理

```
...
;////////////////////////////////////////////
;タイマ更新処理
;////////////////////////////////////////////
            mTimerRenew000:
...
        LD      BC,eTmrRnwCnt
        LD      HL,atTmrRnwAdr-1
lTimerRenew010:
        INC     HL
        LD      A,(HL)  ----------  (1-1)
        JR      SZ,lTimerRenew020 ---  (1-2)
        DEC     (HL)
lTimerRenew020:
        DJNZ  lTimerRenew010
...
        RET
```

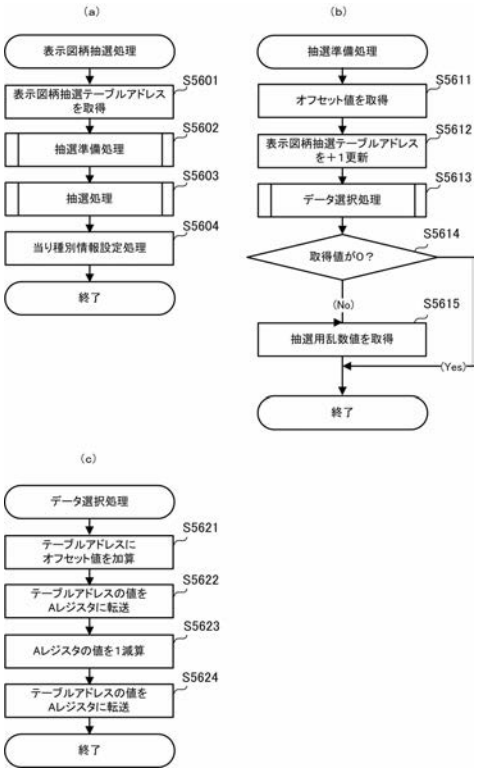
Zフラグ	SZフラグ
変化無し	変化有り

(b)従来のタイマ更新処理

```
...
;////////////////////////////////////////////
;タイマ更新処理
;////////////////////////////////////////////
            mTimerRenew000:
...
        LD      BC,eTmrRnwCnt
        LD      HL,atTmrRnwAdr-1
lTimerRenew010:
        INC     HL
        LD      A,(HL)  ----------  (1-3)
        AND     A  ----------  (1-4)
        JR      Z,lTmrRnwCtl020 -----  (1-5)
        DEC     (HL)
lTimerRenew020:
        DJNZ  lTimerRenew010
...
        RET
```

Zフラグ	SZフラグ
変化有り	変化有り

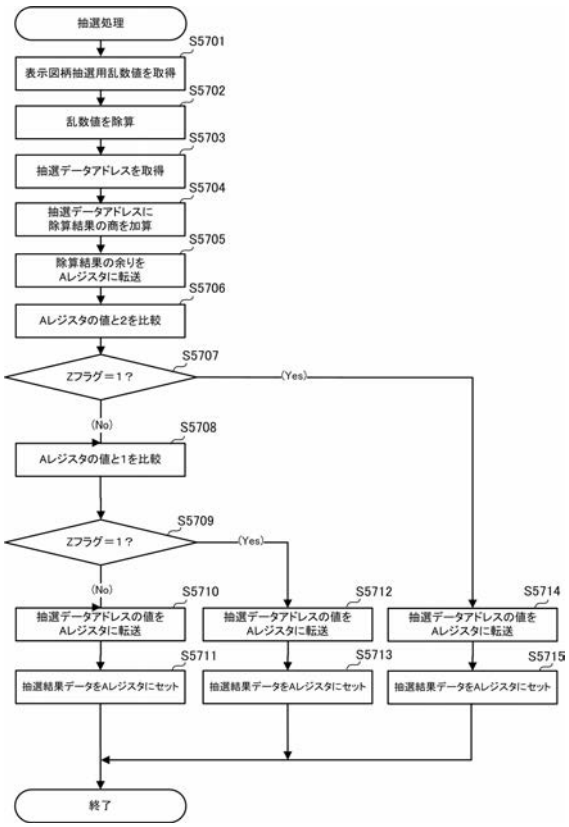
【図１６６】



【図１６７】

```
...
;////////////////////////////////////////////
;抽選準備処理
;////////////////////////////////////////////
mCmnDrwRdy000:
        PUSH  HL
        LD      L,(HL)
        LD      H,7E
        LD      A,(HL)
        POP     HL
        INC     HL
        RST     mRstBytSlc000  -----  (3-1)
        RET     Z  ----------  (3-2)
...
;////////////////////////////////////////////
;データ選択処理
;////////////////////////////////////////////
mRstBytSlc000:
        ADDTWOONE       HL,A
        LD              A,(HL)
        DEC             A  ---  (3-3)
        LD              A,(HL) -  (3-4)
        RET  ----------  (3-5)
...
```

【図１６８】



【図１６９】

```
;////////////////////////////////////////
;抽選処理
;////////////////////////////////////////
        moChuusen000:
                LD              A,vRansuu
                LD              C,3
                WARU            A,C
                LD              HL,ctChuusenTable
                ADDTWOONE       HL_A
                LD              A,C
                CP              2
                JP              Z,IChuusen020
                CP              1
                JP              Z,IChuusen010
                LD              A,(HL)      } (5−1)
                WARU            C,A,6       }
                RET
IChuusen010:
                LD              A,(HL)
                WARU            C,A,6       }
                LD              A,C         } (5−2)
                WARU            C,A,6       }
                RET
IChuusen020:
                LD              A,(HL)
                WARU            C,A,6       }
                LD              A,C         }
                WARU            C,A,6       } (5−3)
                LD              A,C         }
                WARU            C,A,6       }
                RET
```

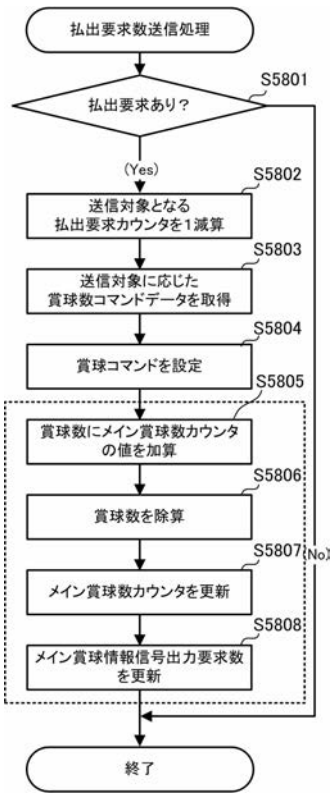
```
;////////////////////////////////////////
;ROMエリア
;////////////////////////////////////////
・・・
1900    ctChuusenTable:
1900            DEFB  0*36+1*6+2    ;0−2
1901            DEFB  3*36+4*6+5    ;3−5
1902            DEFB  1*36+2*6+3    ;6−8
・・・
1920            DEFB  5*36+3*6+4    ;96−98
・・・
;////////////////////////////////////////
;RAMエリア
;////////////////////////////////////////
・・・
F050            vbRansuu        DEFS  1       ;0−98
・・・
```

【図１７０】

```
;////////////////////////////////////////
;抽選処理
;////////////////////////////////////////
        moChuusen000:
                LD              A,vRansuu
                LD              HL,ctChuusenTable
                LD              A,(HL)
                RET
```

```
;////////////////////////////////////////
;ROMエリア
;////////////////////////////////////////
・・・
1900    ctChuusenTable:
1900            DEFB  2       ;0
1901            DEFB  5       ;1
1902            DEFB  0       ;2
・・・
1962            DEFB  2       ;98
・・・
;////////////////////////////////////////
;RAMエリア
;////////////////////////////////////////
・・・
F050            vbRansuu        DEFS  1       ;0−98
・・・
```

【図１７１】

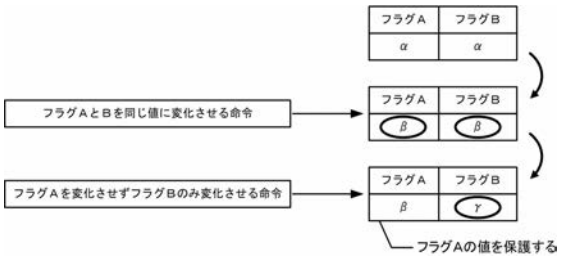


【図１７２】

```
;////////////////////////////////////////
;払出要求数送信処理
;////////////////////////////////////////
mSCUPayCmd000:
・・・
        AND     0FH
        LD      HL,vSigPayCnt  -----   (5−1)
        ADD     A,(HL)         ---------   (5−2)
        WARU    C,A,10         ---------   (5−3)
        LD      (HL),A         ---------   (5−4)
        INC     HL             ---------   (5−5)
        LD      A,C            ---------   (5−6)
        ADD     A,(HL)         ---------   (5−7)
        LD      (HL),A         ---------   (5−8)
        RET
```

```
;////////////////////////////////////////
;RAMエリア
;////////////////////////////////////////
・・・
F060            vSigPayCnt:             DEFS  1
F061            vSigPayReq:             DEFS  1
・・・
```

【図１７３】



【図１７４】

(a)電源ステータスがサスペンドか否か判定する処理

```
mPrgPwrSet000:
・・・
LD          A,(vPwrSta)
SUB         ePwrSpd
JR          NZ,lPrgPwrSet040
・・・
lPrgPwrSet040:
CALL        mCmnAllClr000
・・・
```

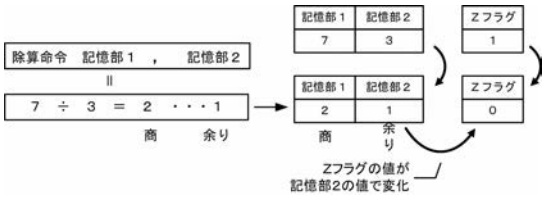
Zフラグ	SZフラグ
変化	変化

(b)電源ステータスがサスペンドか否か判定する処理

```
mPrgPwrSet000:
・・・
LD          A,(vPwrSta)
SUB         ePwrSpd
JR          NSZ,lPrgPwrSet040
・・・
lPrgPwrSet040:
CALL        mCmnAllClr000
・・・
```

Zフラグ	SZフラグ
変化	変化

【図１７５】



【図１７６】

(a)WARU命令の他の例1

```
WARU            C,A,0
```

Aレジスタ	Cレジスタ	Cフラグ
ＦＦｈ	ＦＦｈ	1

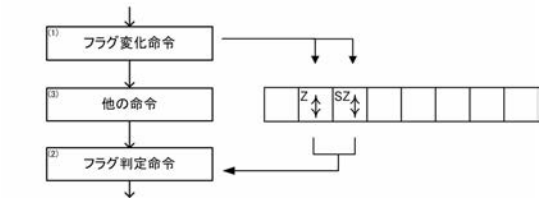
(b)WARU命令の他の例2

```
LD              C,0
WARU            A,C
```

Aレジスタ	Cレジスタ	Cフラグ
ＦＦｈ	ＦＦｈ	1

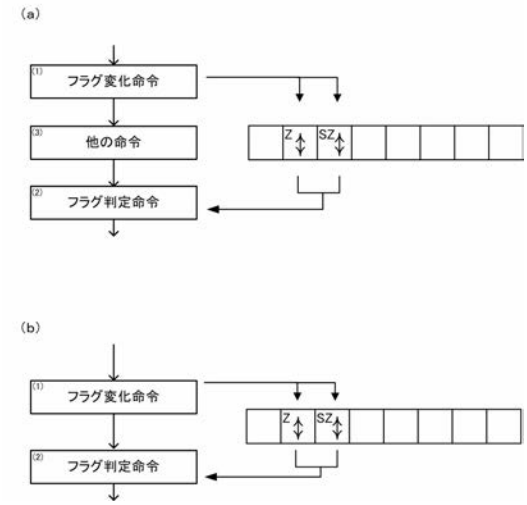
【図１７７】

【図177】



【図１７８】

【図178】



【図１７９】

【図179】

```
;////////////////////////////////////////////
;定数定義
;////////////////////////////////////////////
eTeisu_1        EQU     0
eTeisu_2        EQU     1
・
・
・

;////////////////////////////////////////////
;第一の処理
;////////////////////////////////////////////
                moSyori_1:
・
・
・
                DEC             A               ;(1-1)
                LD              B,eTeisu_1      ;(1-2)
                JR              Z,lAddress_10   ;(1-3)
                LD              B,eTeisu_2      ;(1-4)
lAddress_10
                JR              SZ,lAddress_20  ;(1-5)
・
・  処理X
・
lAddress_20
・
・  処理Y
・
```

【図１８０】

【図180】

(a)

```
;////////////////////////////////////////////
;第二の処理
;////////////////////////////////////////////
                moSyori_2:
・
・
・
                LDT             A,(vHensu_3)    ;(2-1)
                JR              SZ,lAddress_40  ;(2-2)
・
・
・
```

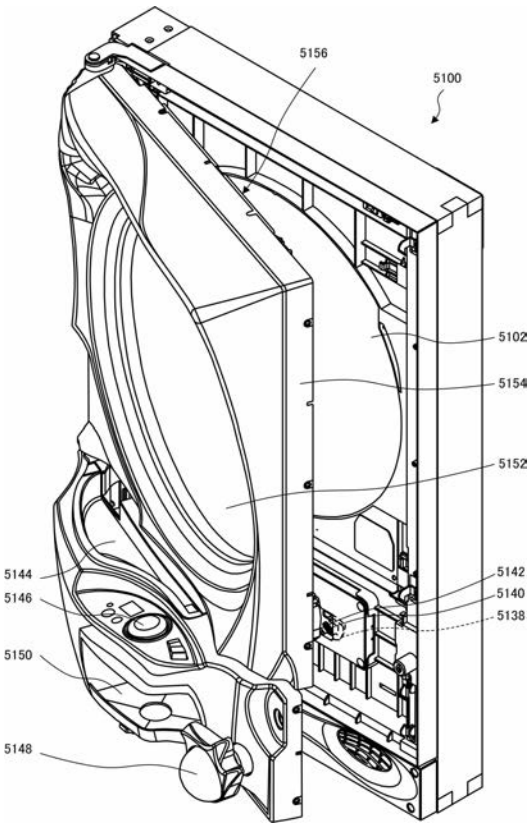
(b)

```
;////////////////////////////////////////////
;第三の処理
;////////////////////////////////////////////
                moSyori_3:
・
・
・
                LDT             A,(vHensu_4)    ;(3-1)
                CALL            SZ,moSyori_5    ;(3-2)
・
・
・
```

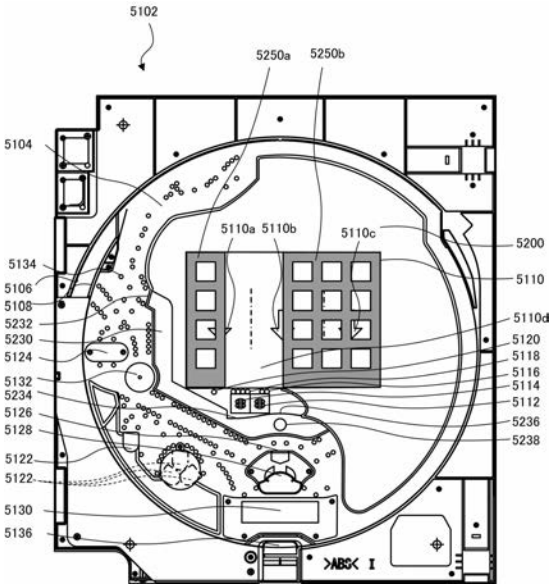
(c)

```
;////////////////////////////////////////////
;第四の処理
;////////////////////////////////////////////
                moSyori_4:
・
・
・
                LDT             A,(vHensu_5)    ;(4-1)
                RET             SZ              ;(4-2)
・
・
・
```

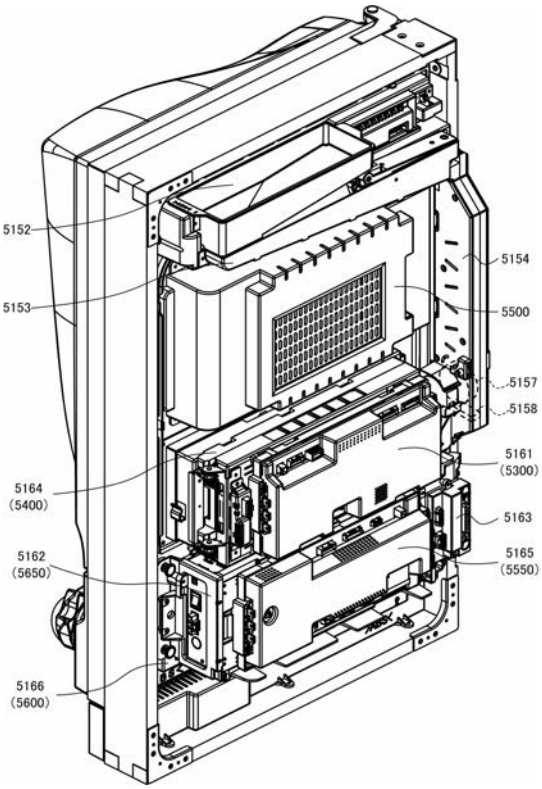
【図１８１】



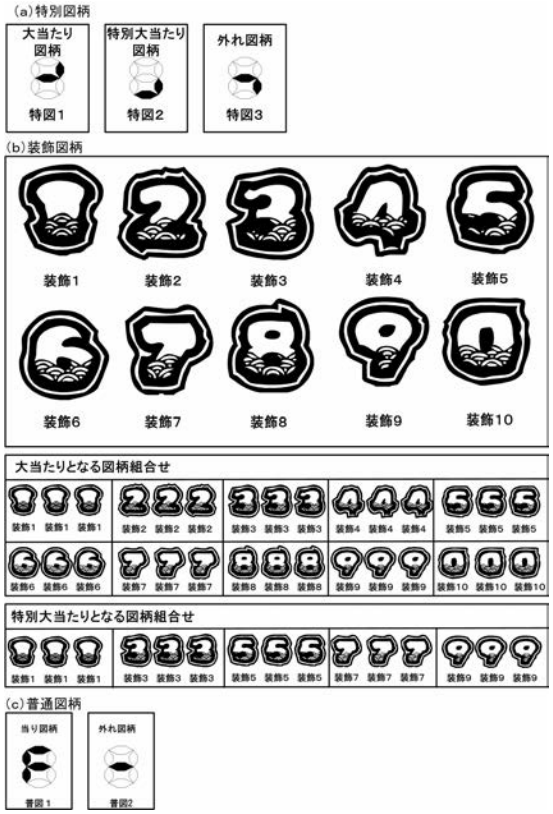
【図１８２】



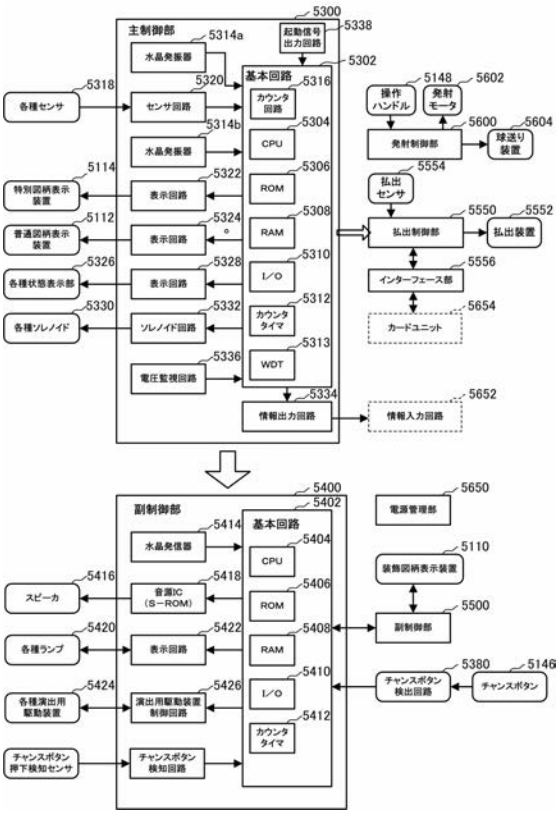
【図１８３】



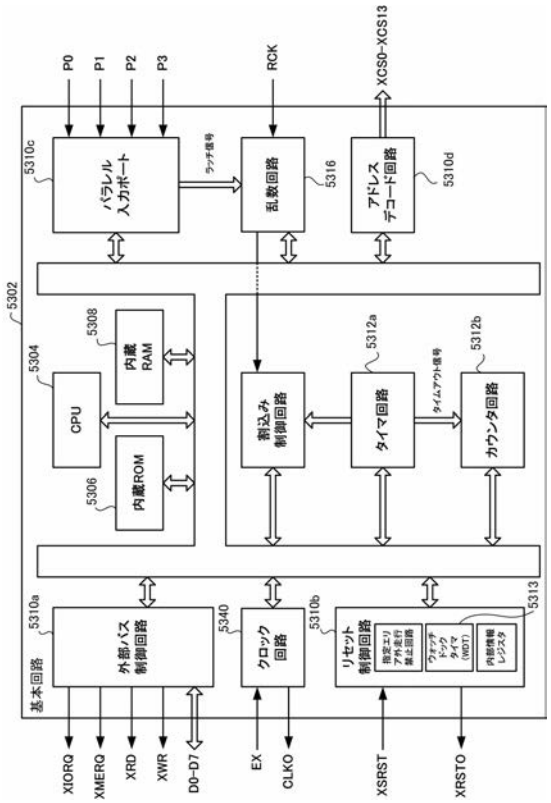
【図１８４】



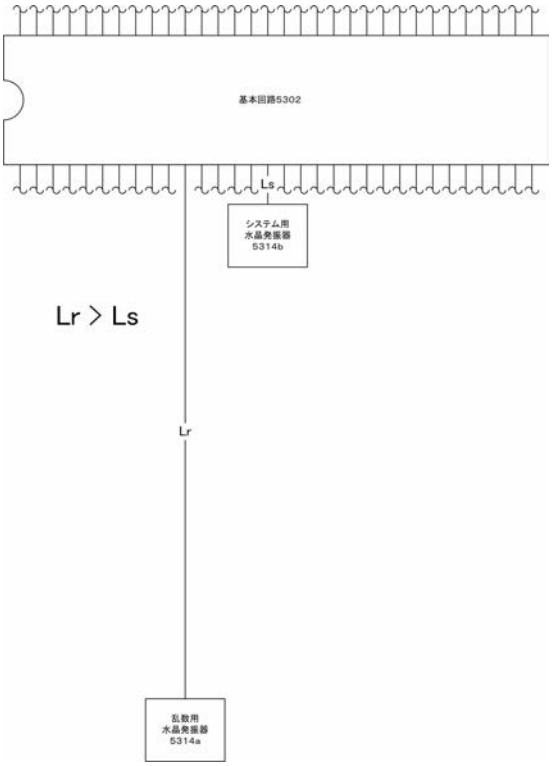
【図１８５】



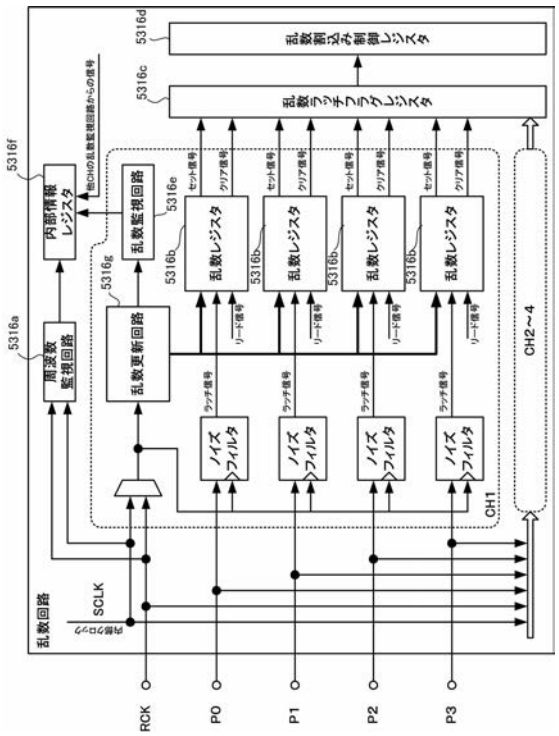
【図１８６】



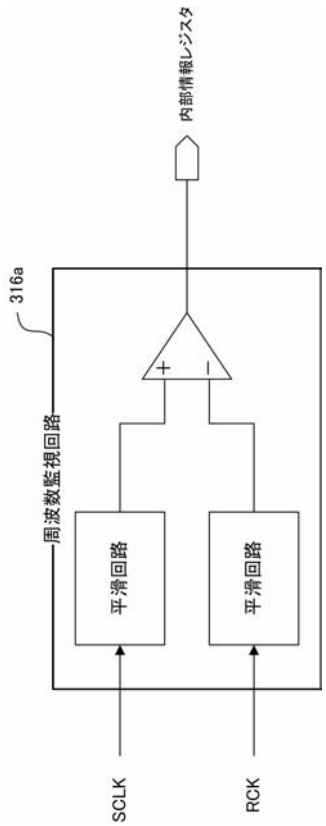
【図１８７】



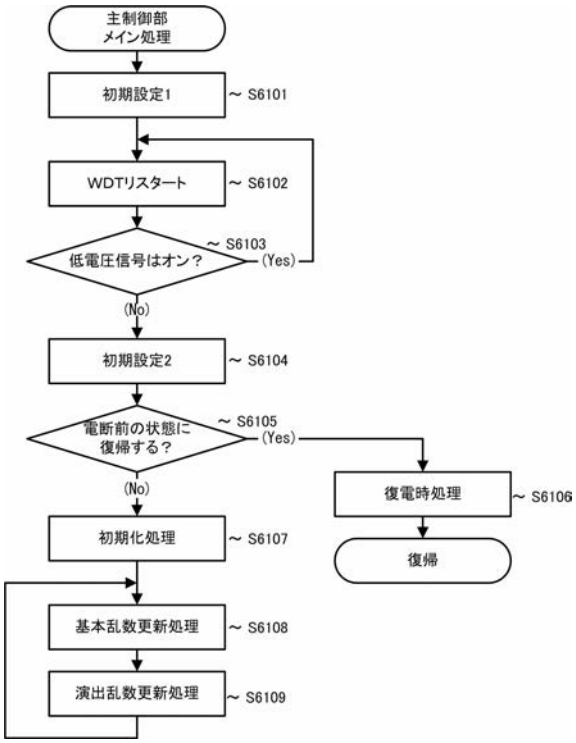
【図１８８】



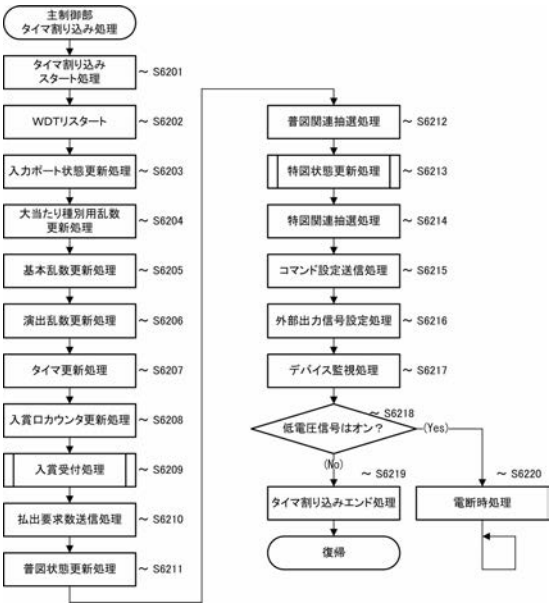
【図１８９】



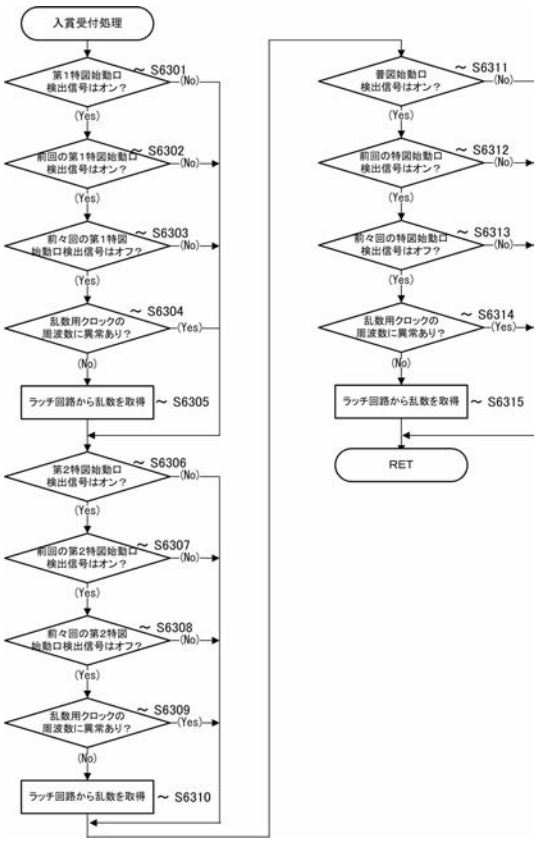
【図１９０】



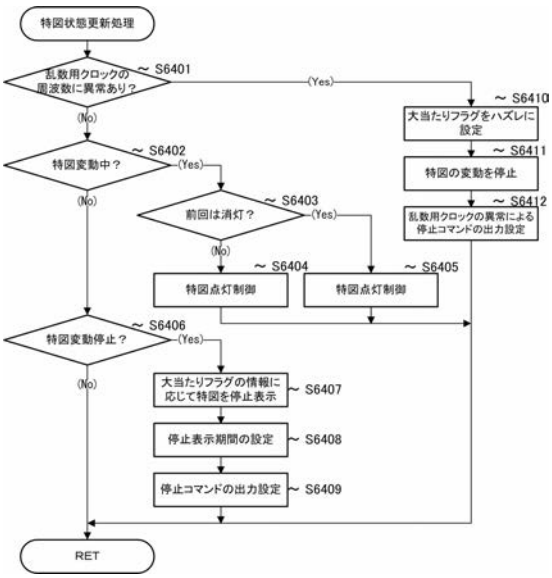
【図１９１】



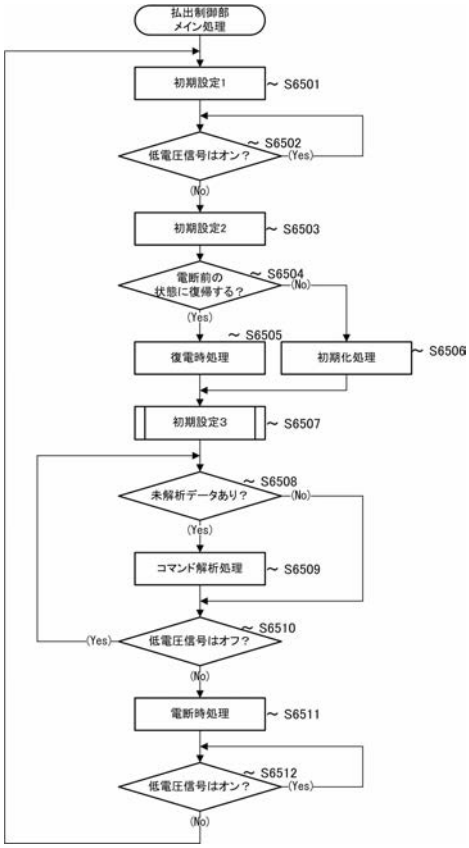
【図１９２】



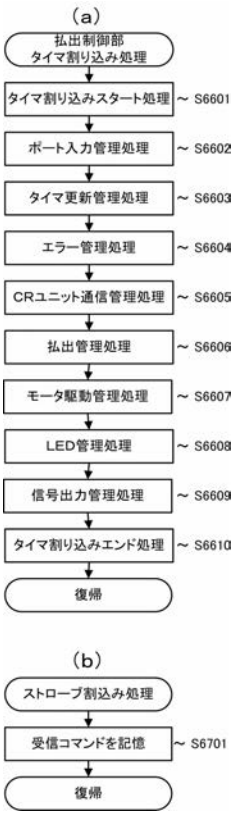
【図１９３】



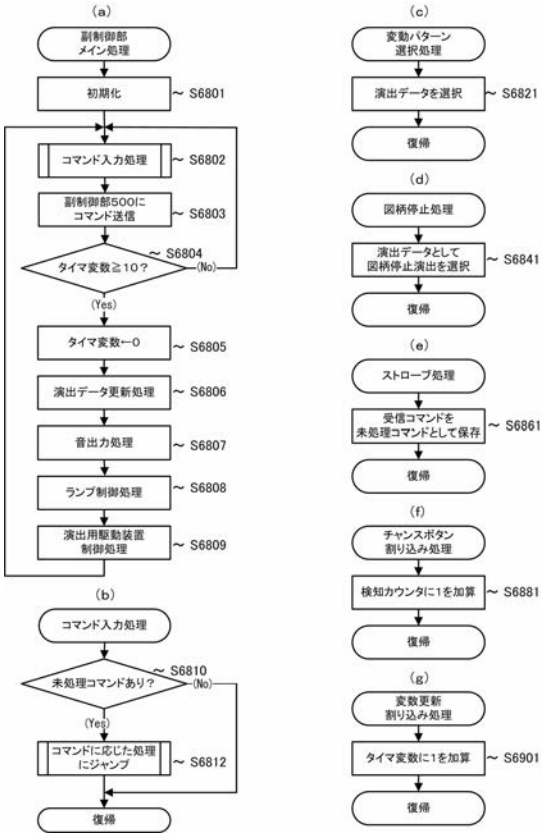
【図１９４】



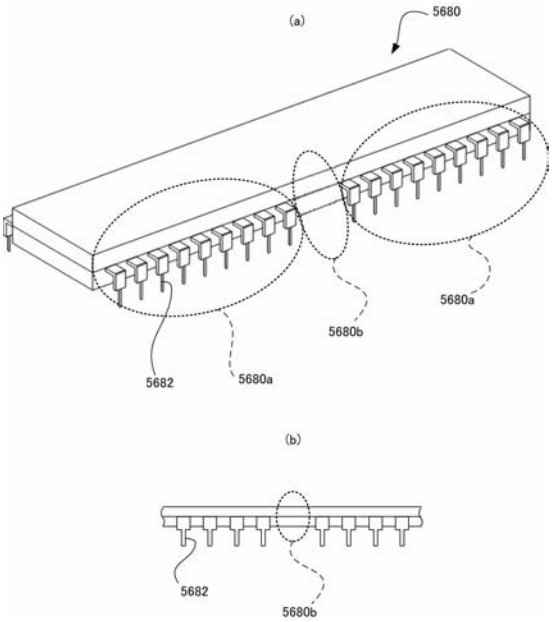
【図１９５】



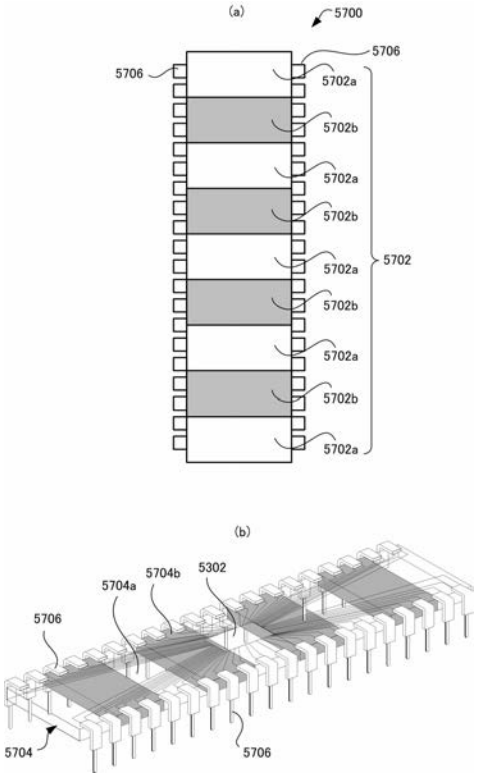
【図１９６】



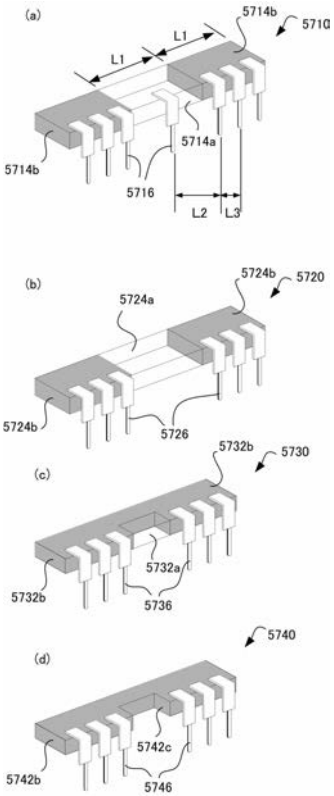
【図１９７】



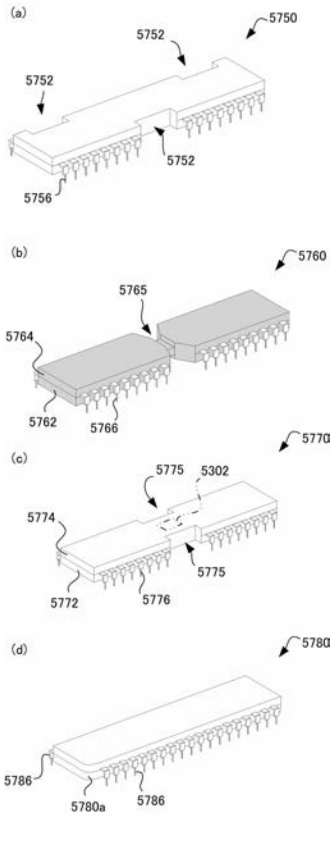
【図１９８】



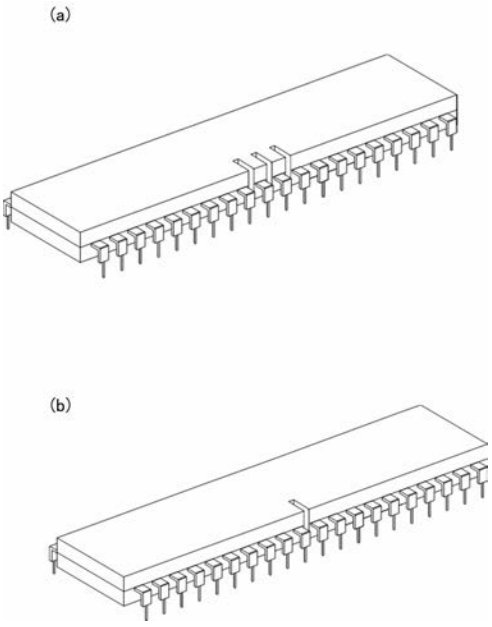
【図１９９】



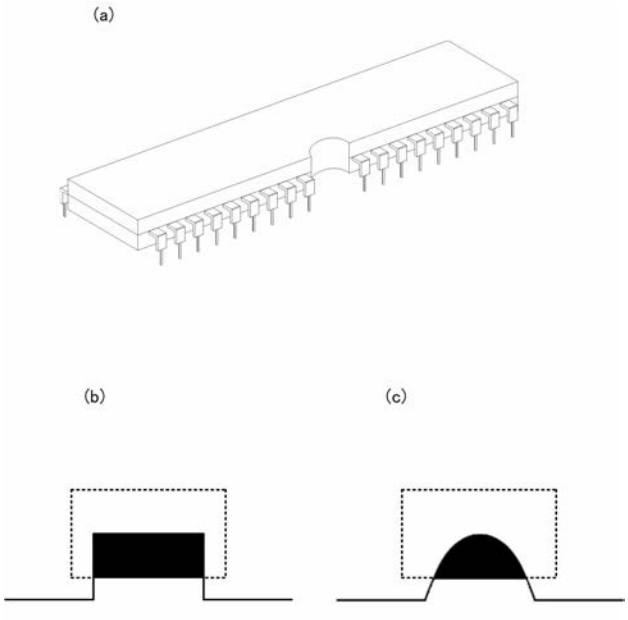
【図２００】



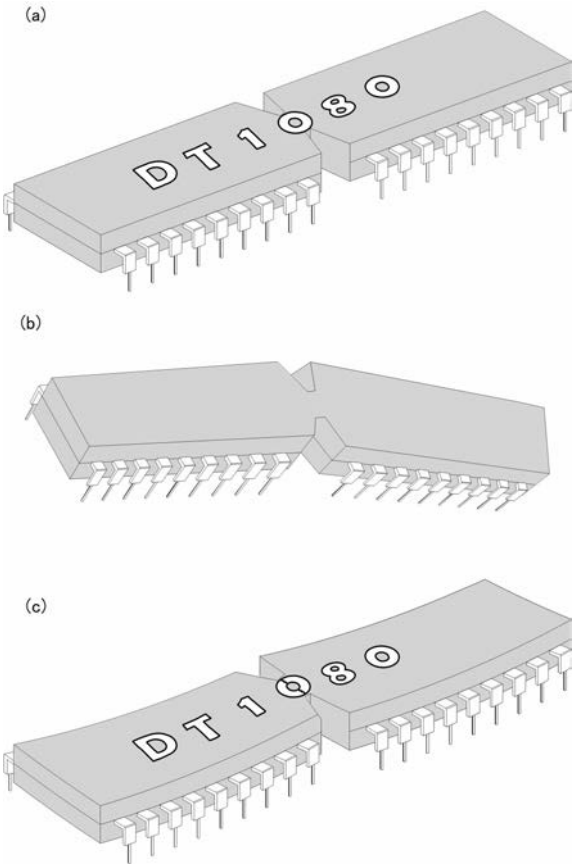
【図２０１】



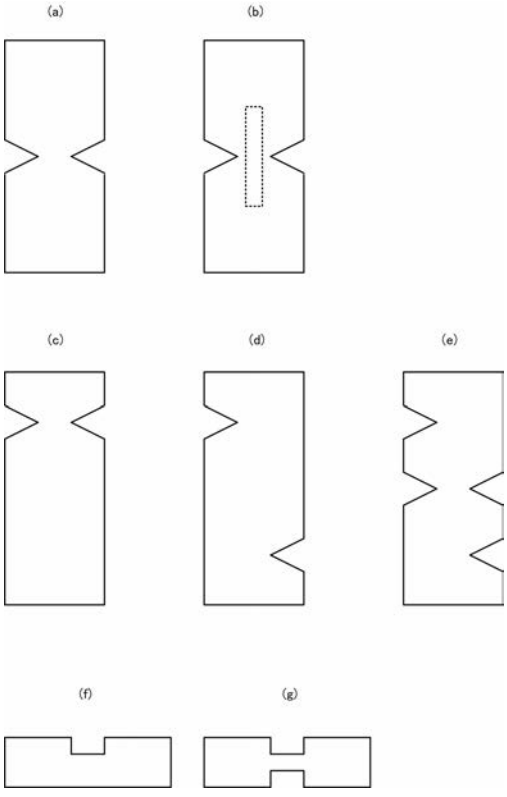
【図２０２】



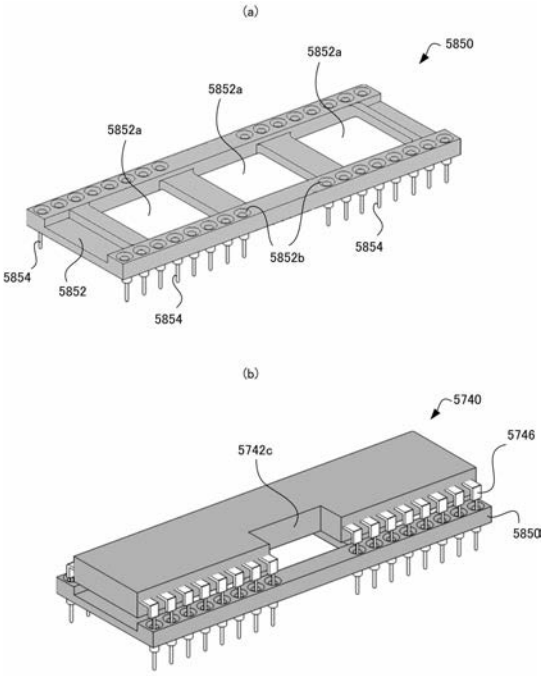
【図２０３】



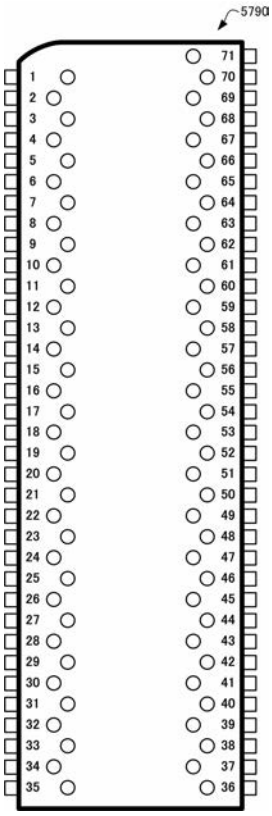
【図２０４】



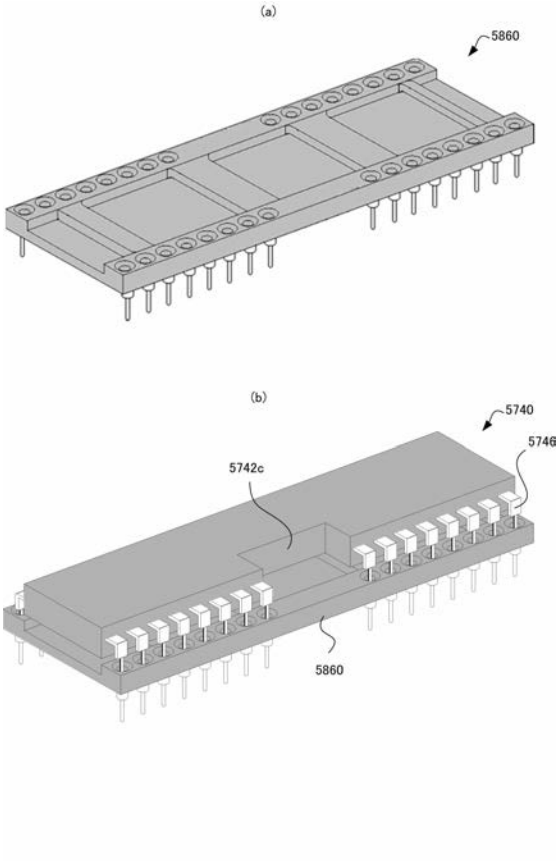
【図２０５】



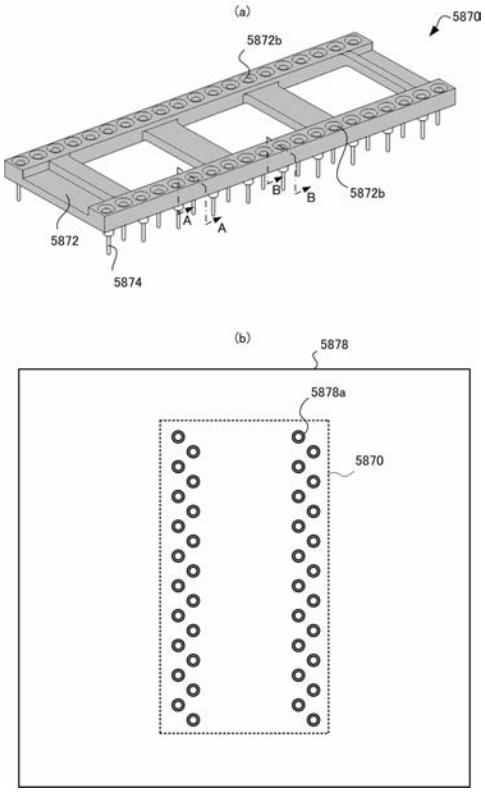
【図２０６】



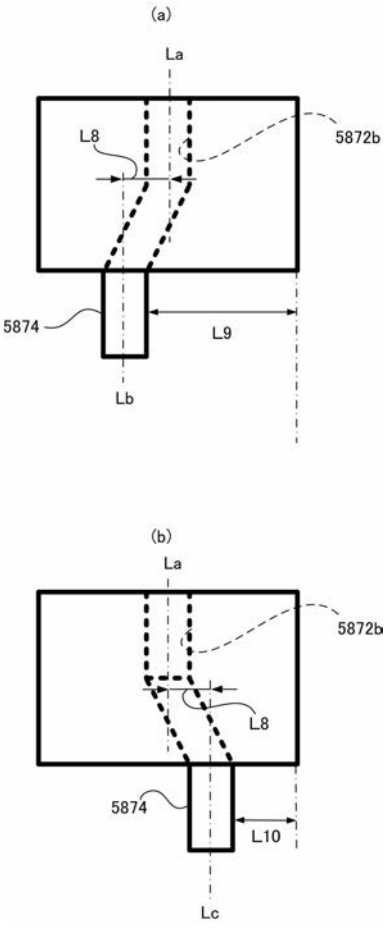
【図２０７】



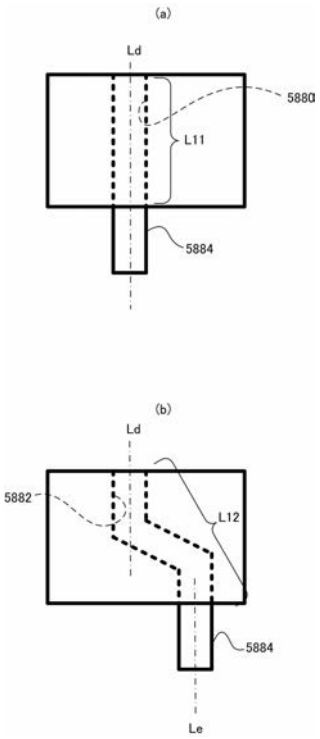
【図２０８】



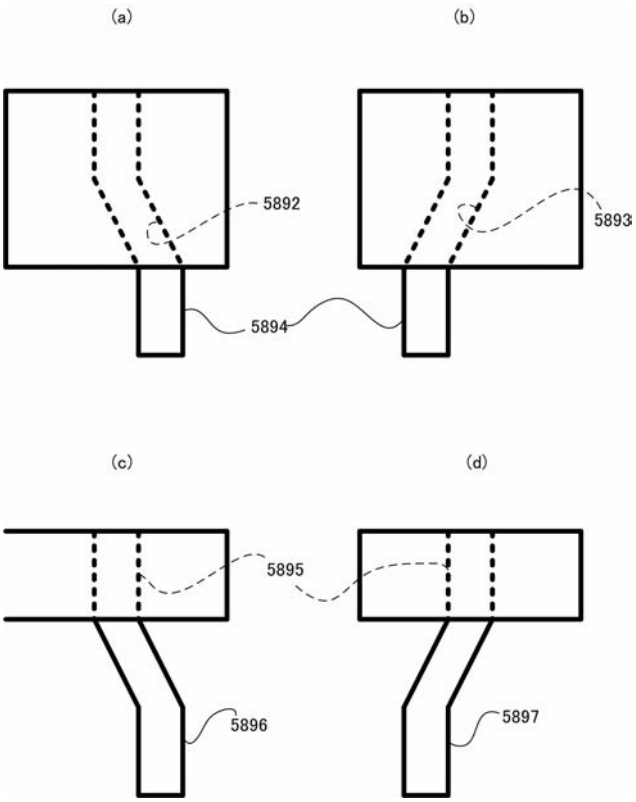
【図２０９】



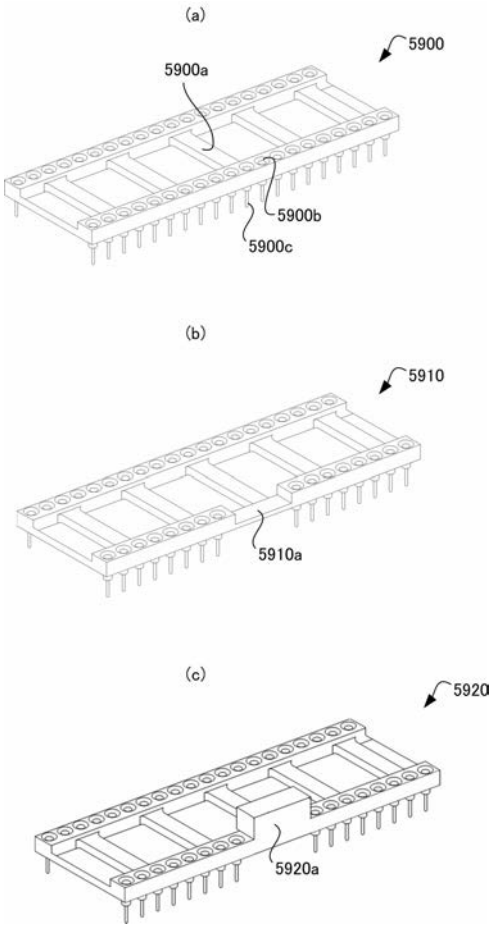
【図２１０】



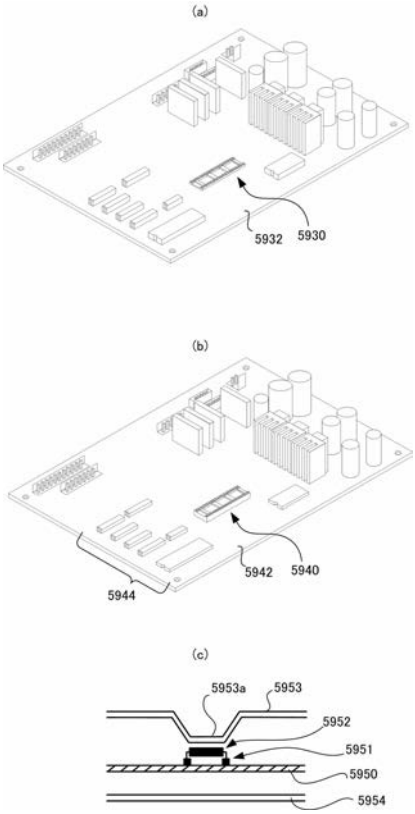
【図２１１】



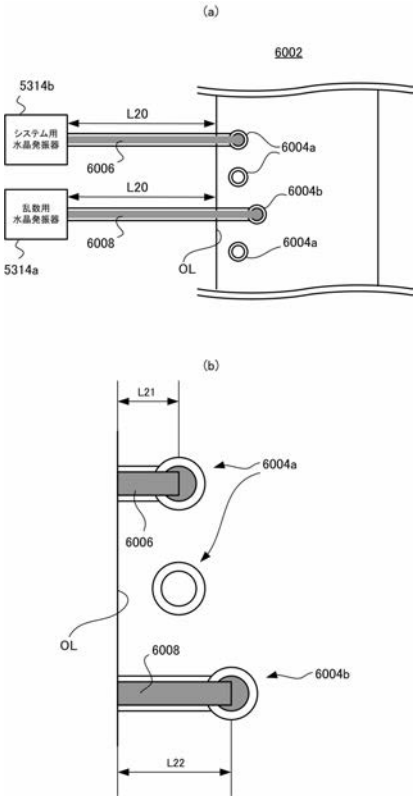
【図２１２】



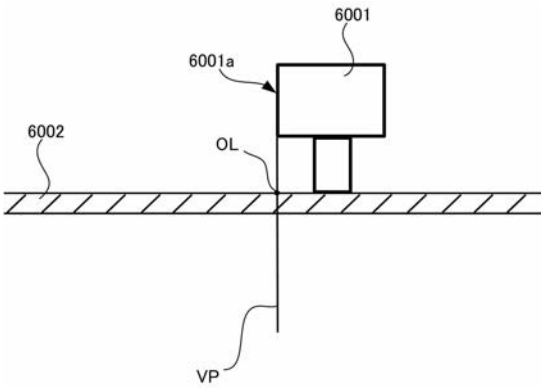
【図２１３】



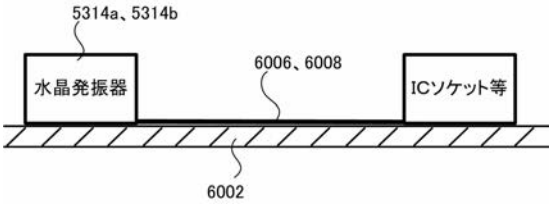
【図２１４】



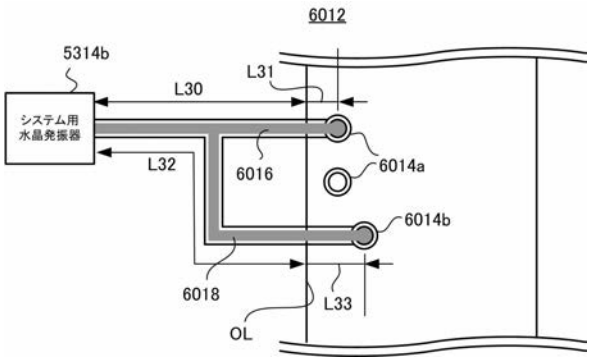
【図２１５】



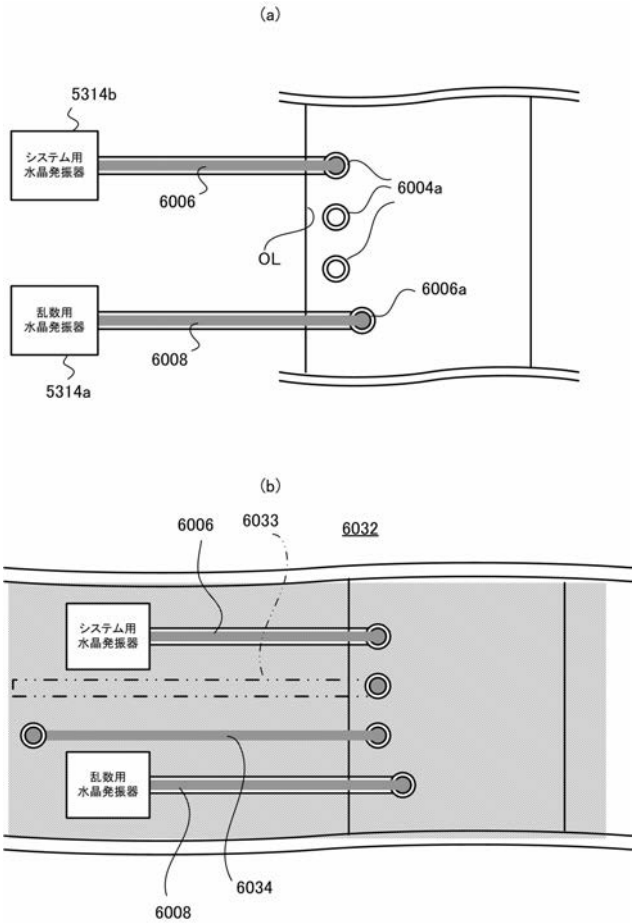
【図２１６】



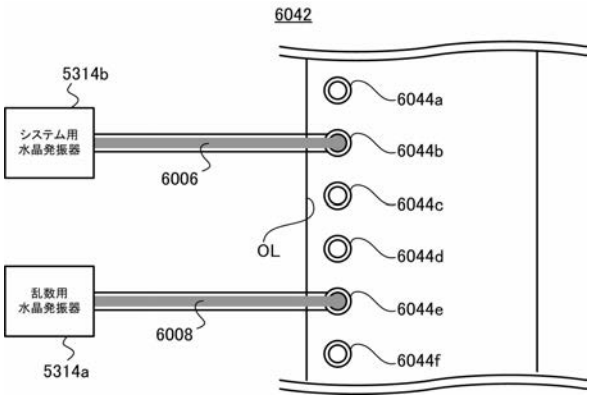
【図２１７】



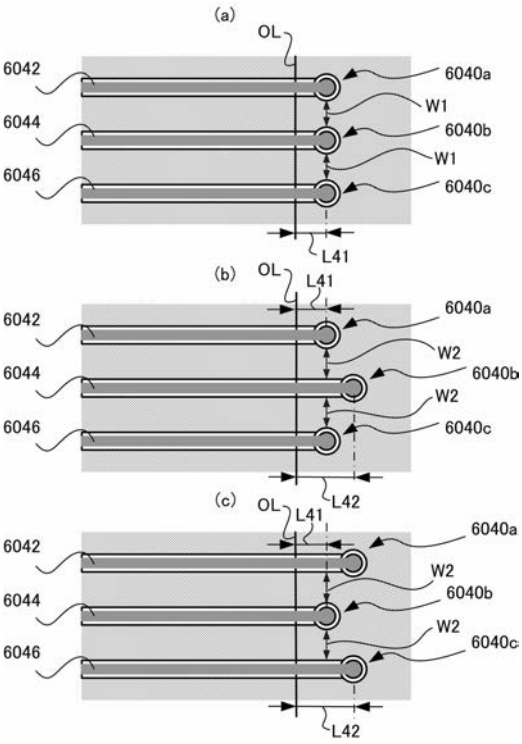
【図２１８】



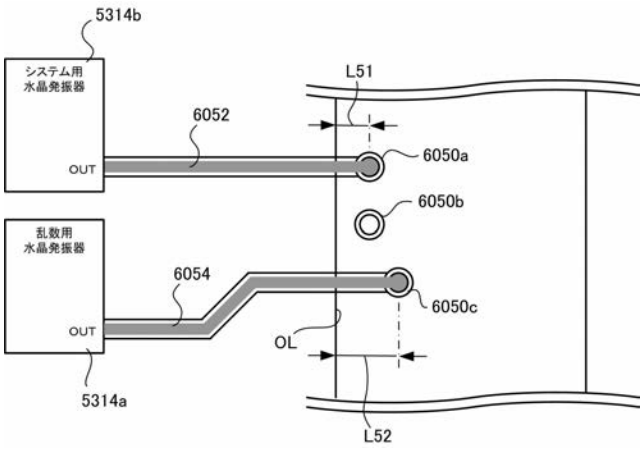
【図２１９】



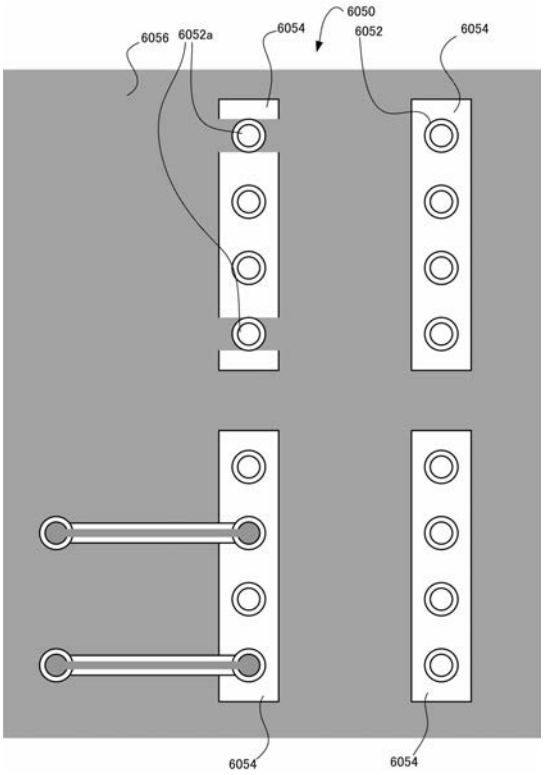
【図２２０】



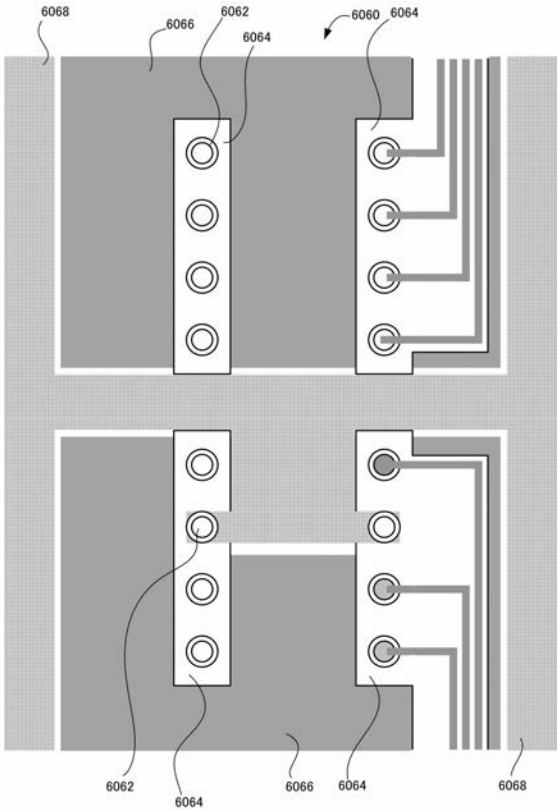
【図２２１】



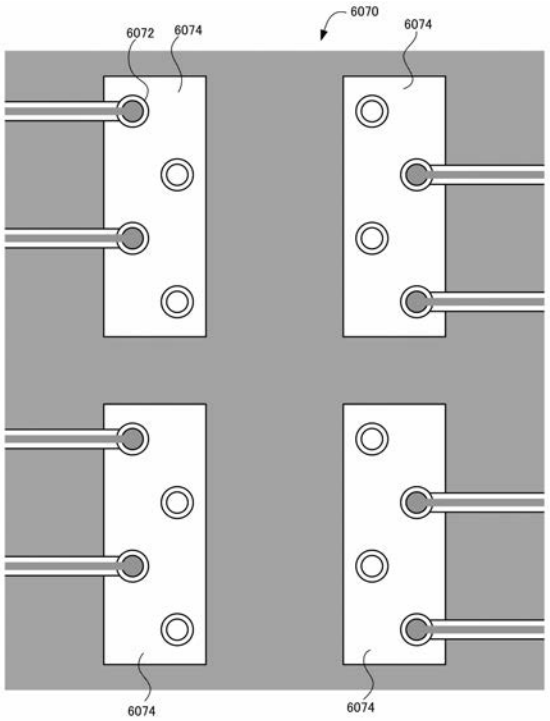
【図２２２】



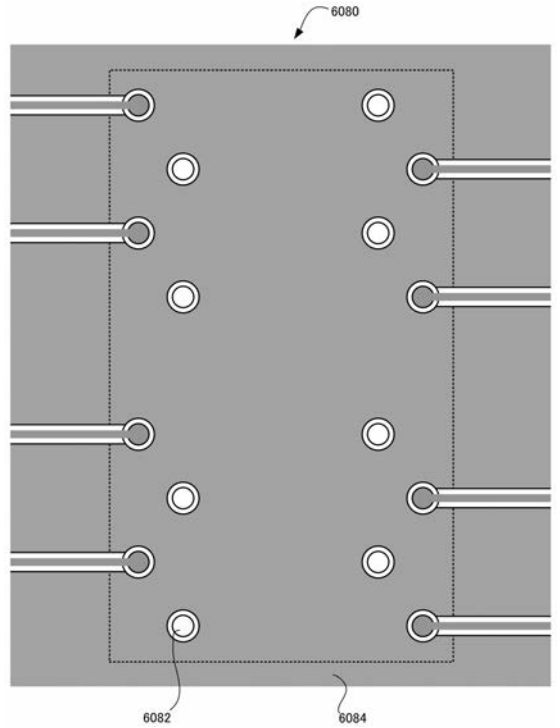
【図２２３】



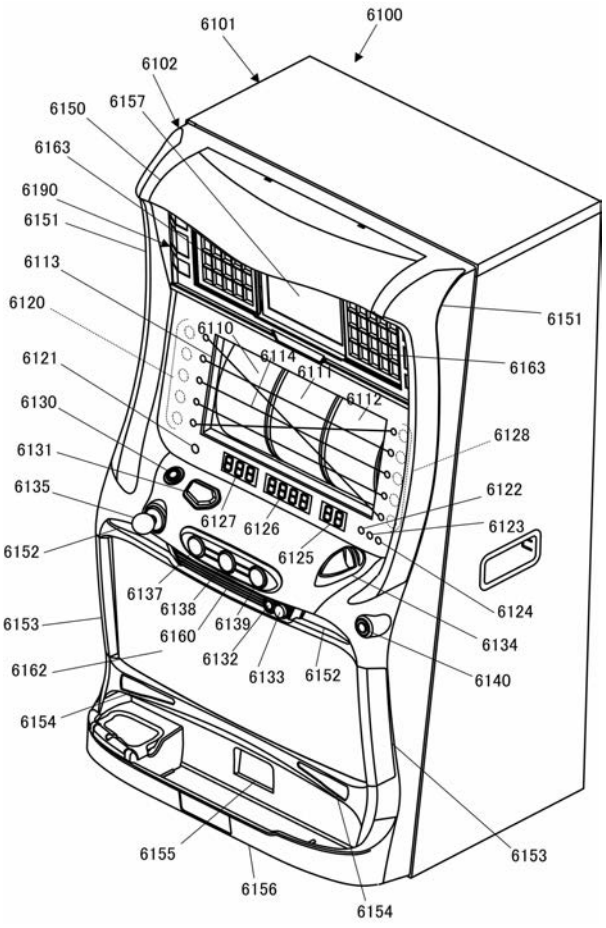
【図２２４】



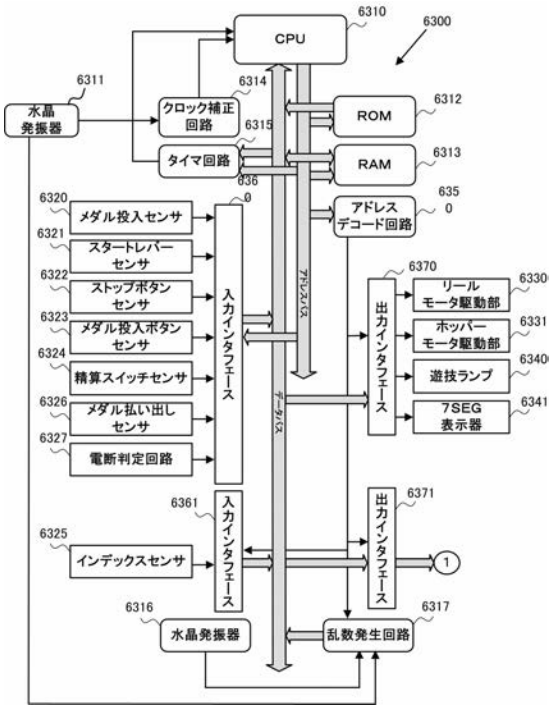
【図２２５】



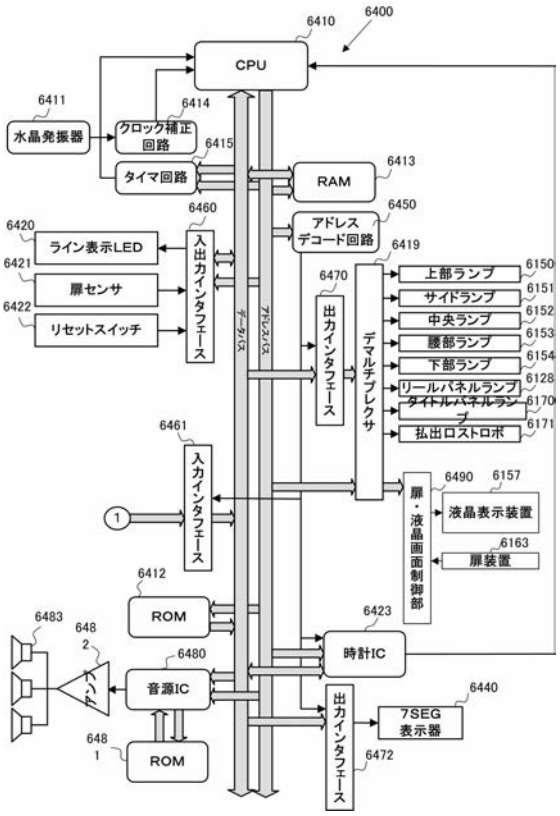
【図２２６】



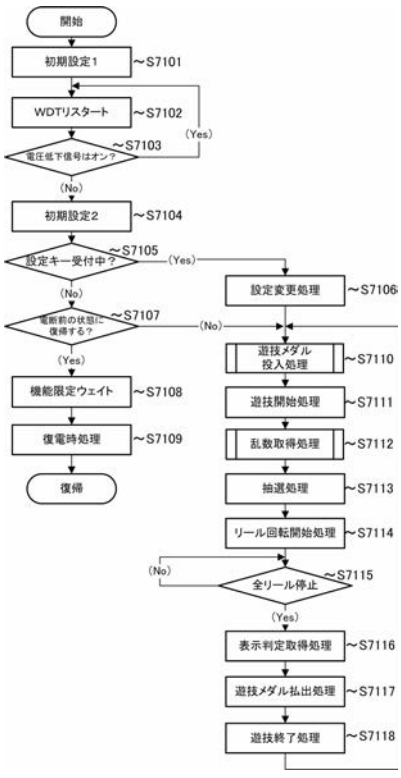
【図２２７】



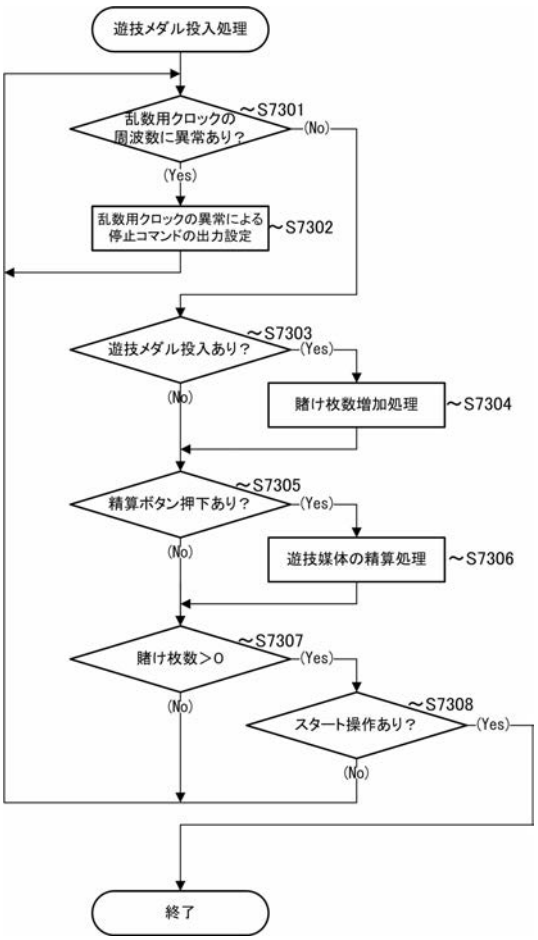
【図２２８】



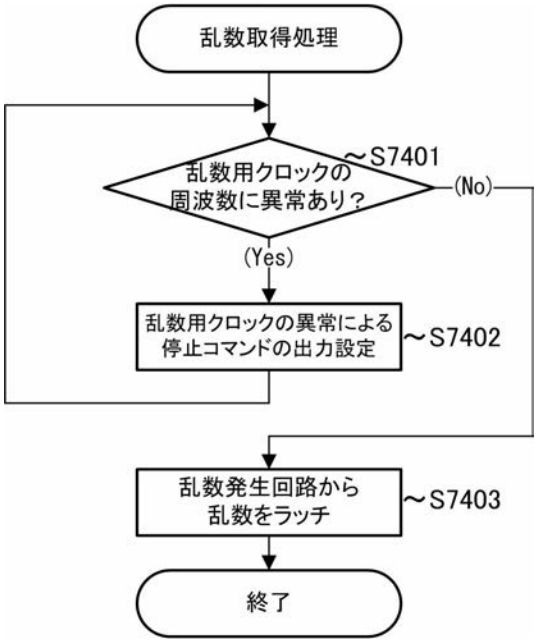
【図２２９】



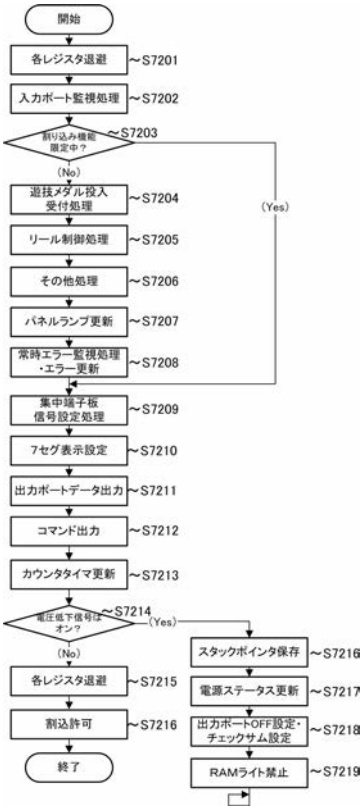
【図２３０】



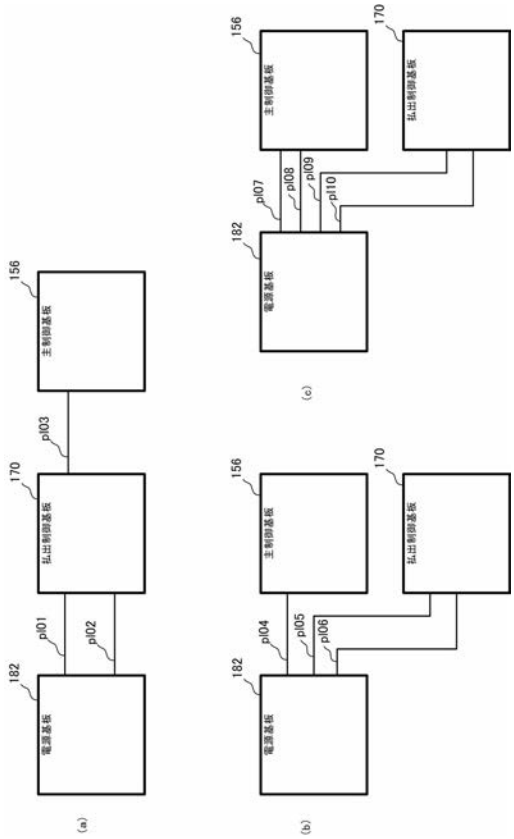
【図２３１】



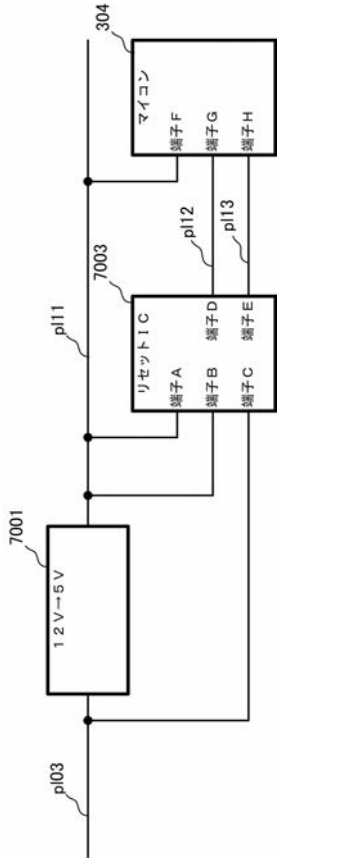
【図２３２】



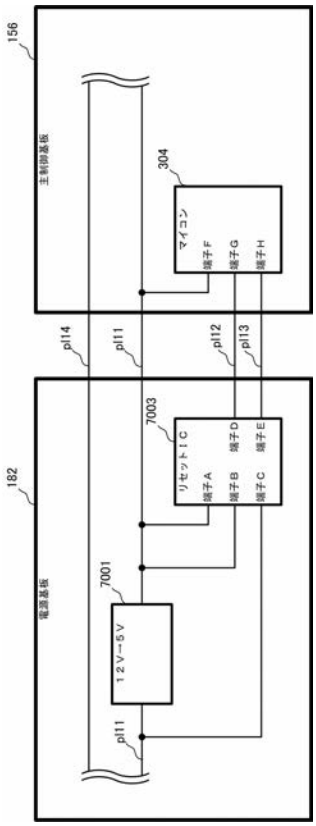
【図２３３】



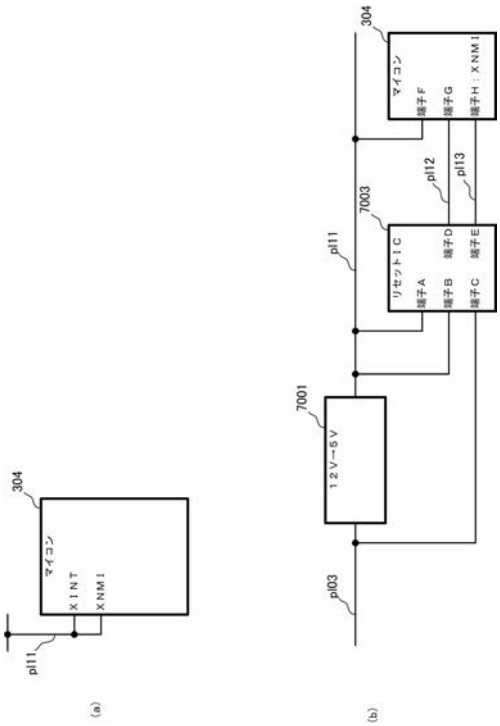
【図２３４】



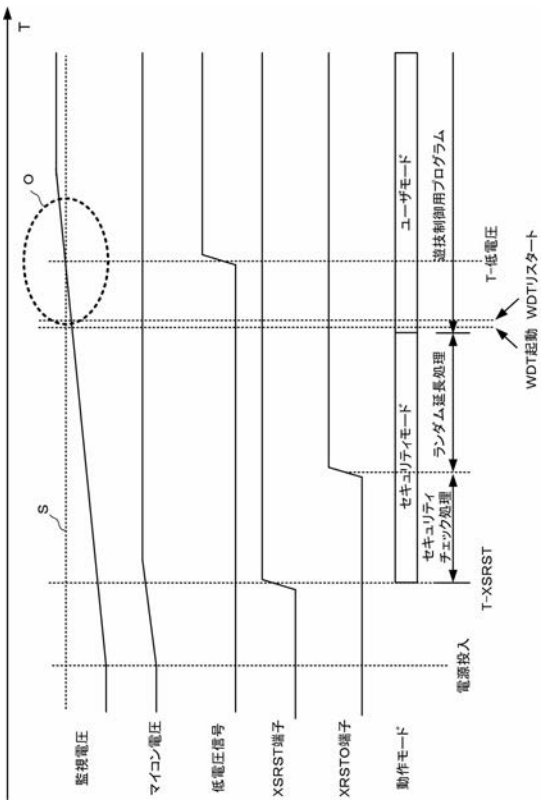
【図２３５】



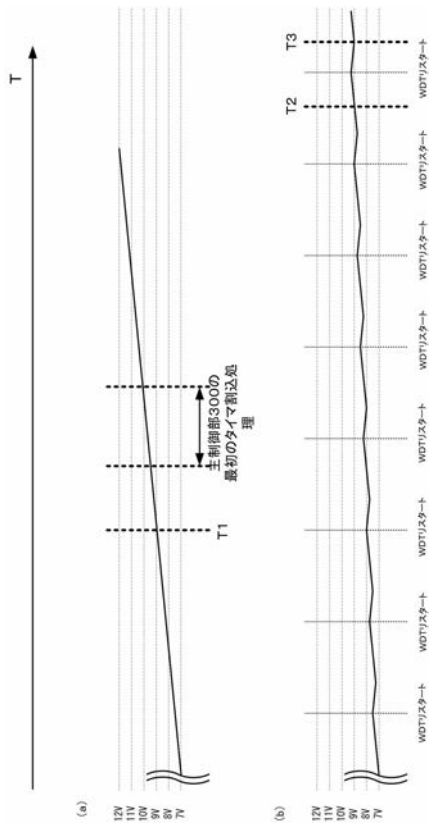
【図２３６】



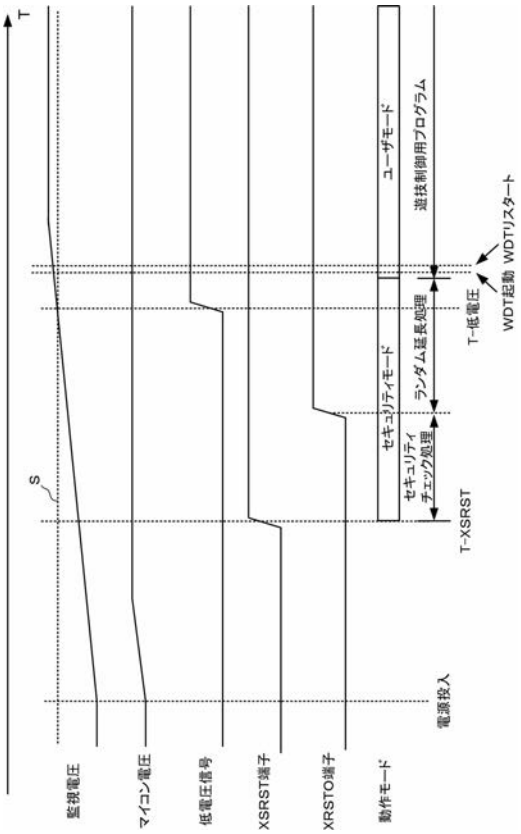
【図２３７】



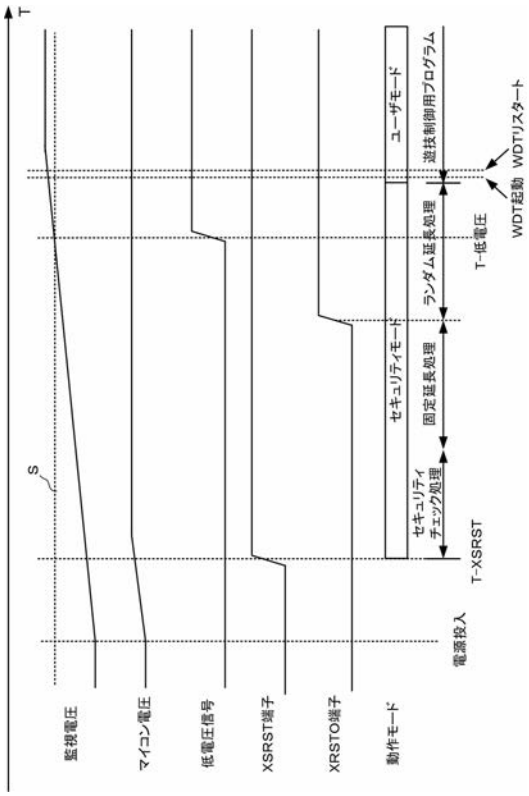
【図２３８】



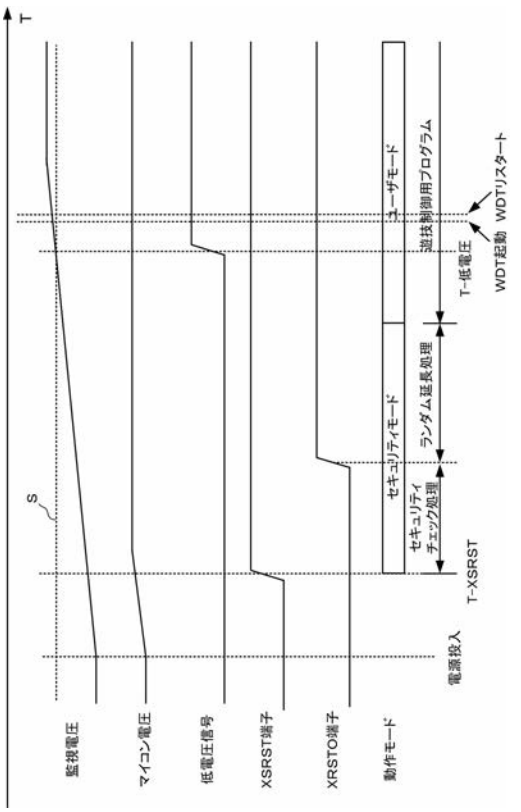
【図２３９】



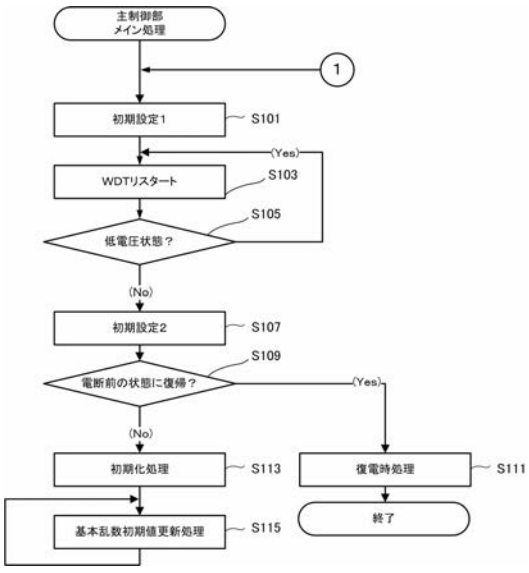
【図２４０】



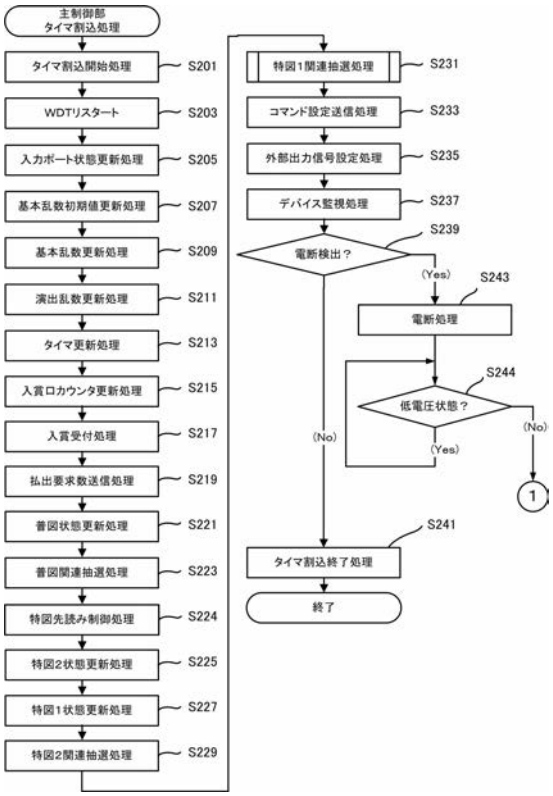
【図２４１】



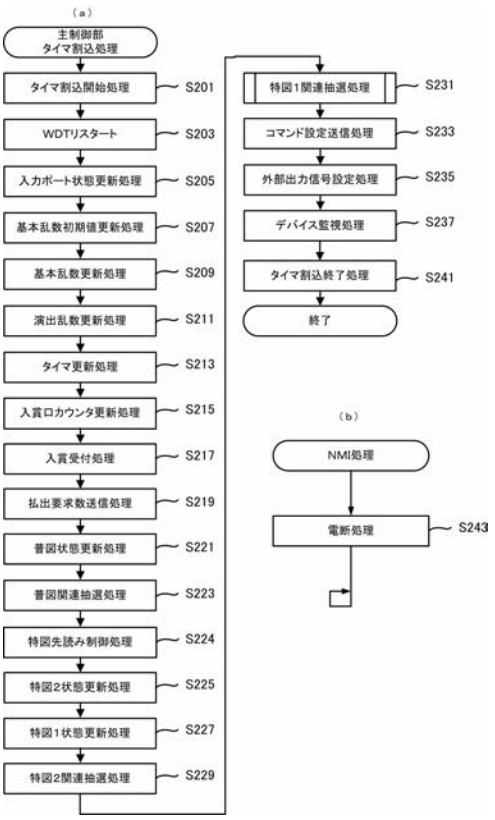
【図２４２】



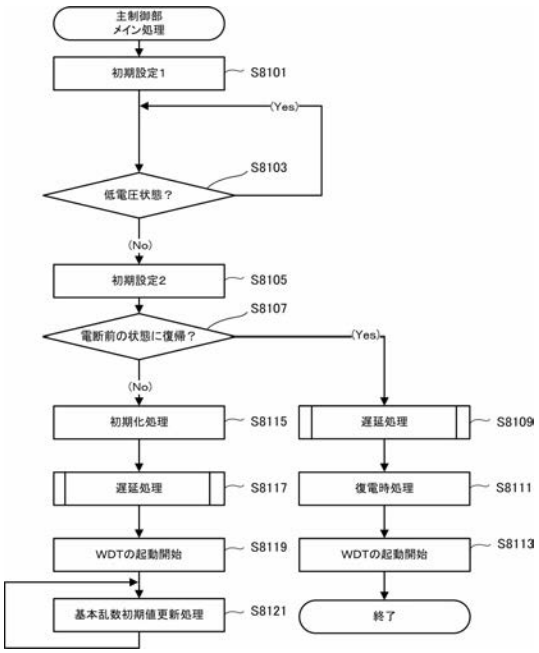
【図２４３】



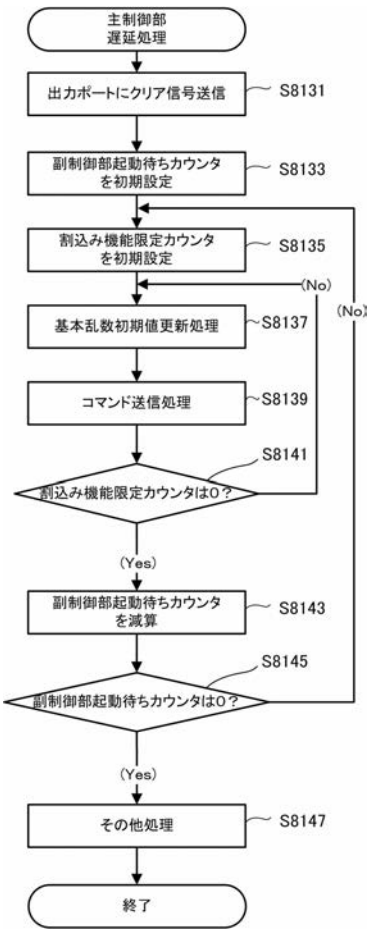
【図２４４】



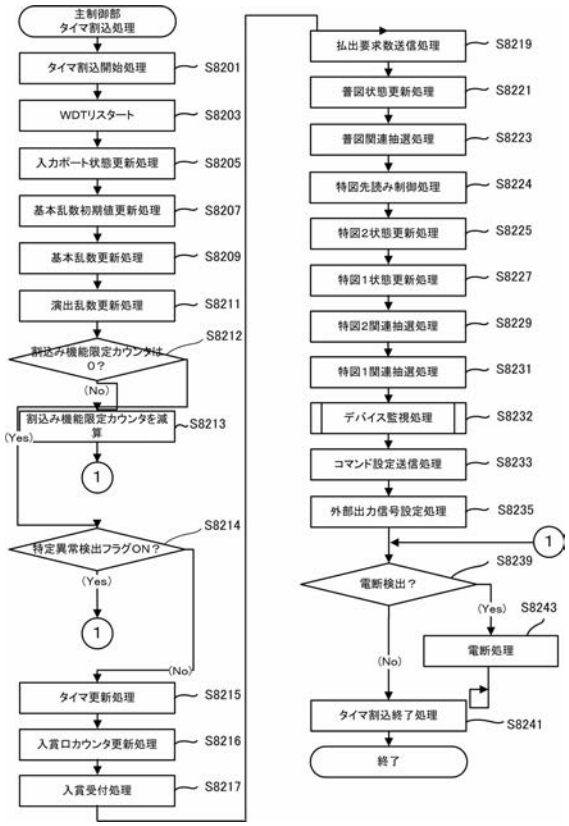
【図２４５】



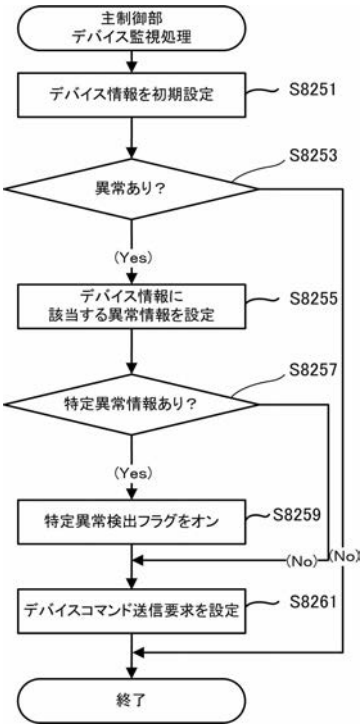
【図２４６】



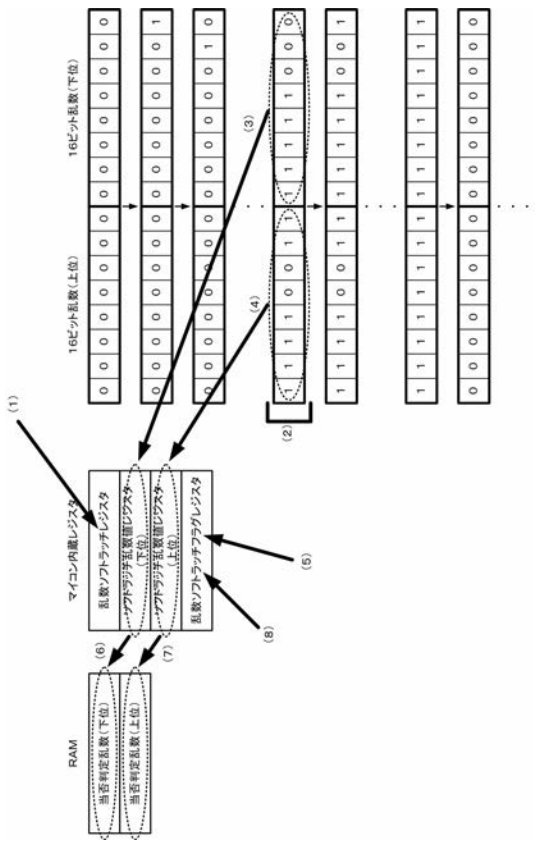
【図２４７】



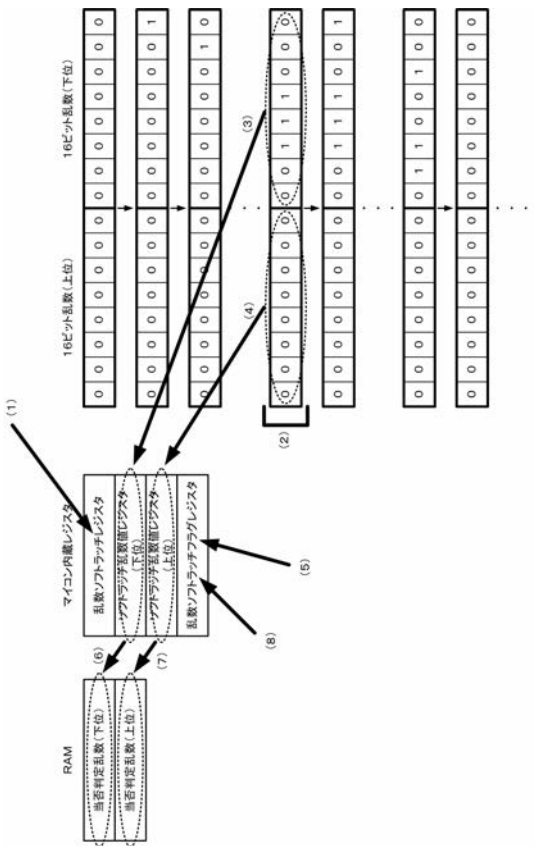
【図２４８】



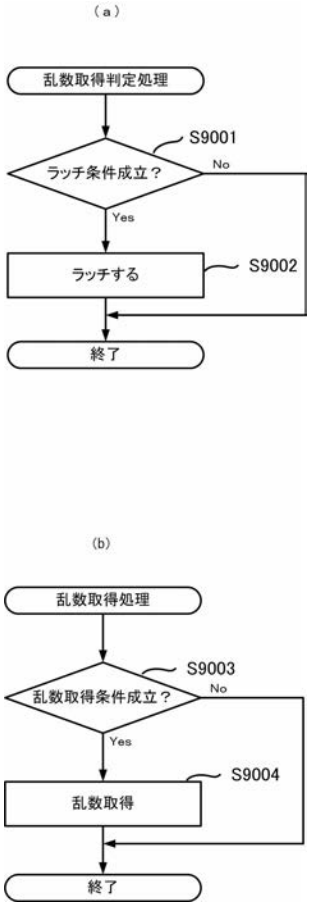
【図２４９】



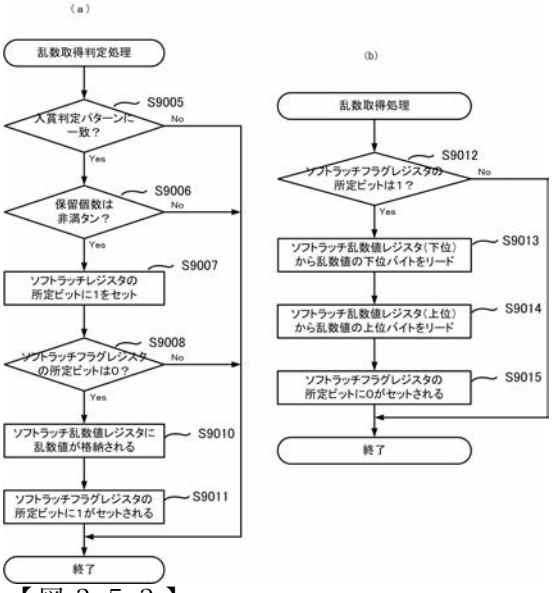
【図２５０】



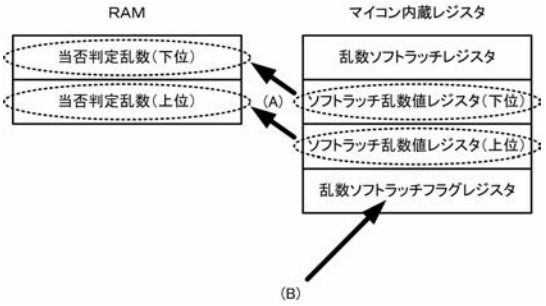
【図２５１】



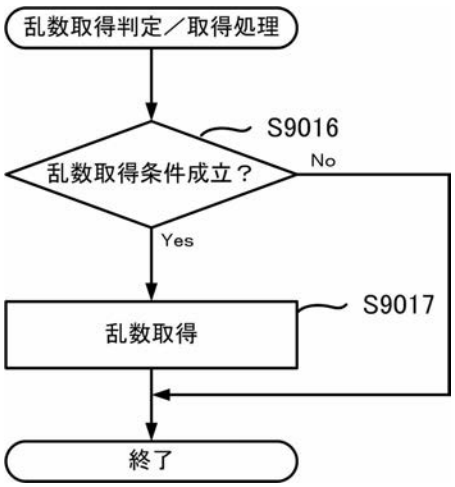
【図２５２】



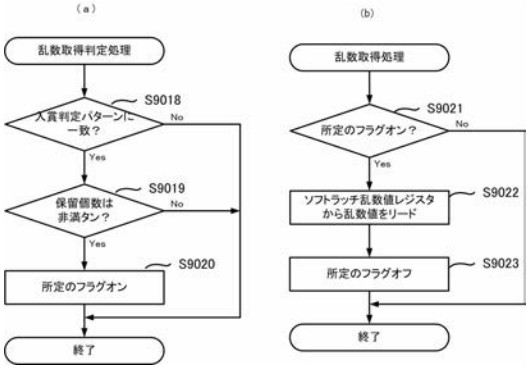
【図２５３】



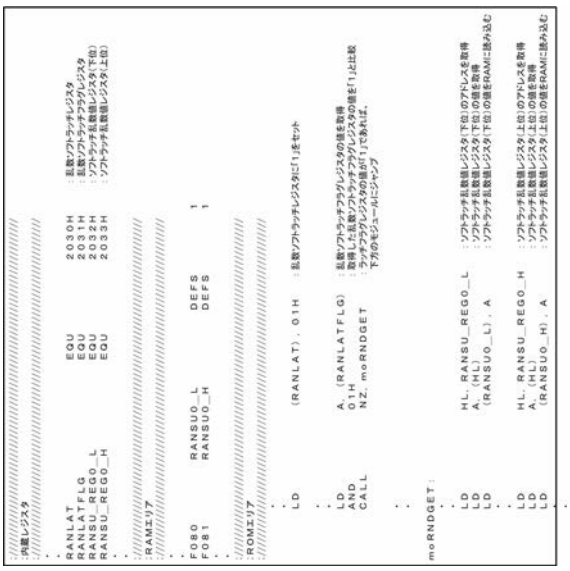
【図２５４】



【図２５５】

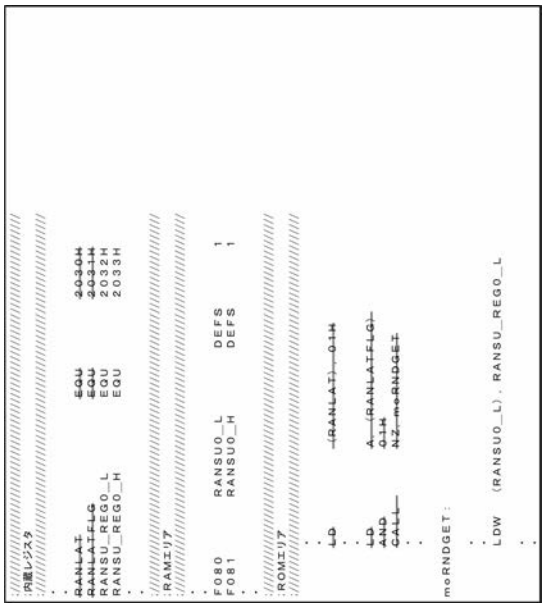


【図２５６】

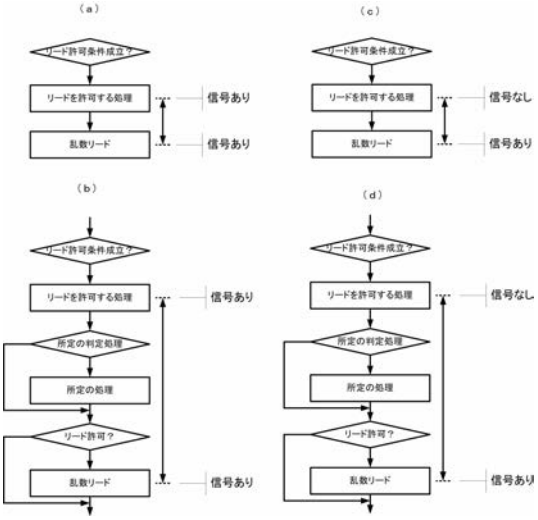


```
;内蔵レジスタ
;
;
;RAMエリア
;
;
;ROMエリア
;
;
mcRNDGET:
```

【図２５７】



【図２５８】



【図２５９】

（ａ）大当たり判定テーブル（乱数範囲：それぞれ0～65535）

遊技状態	第１特図始動口	第２特図始動口
低確率状態	10001 － 10187	20001 － 20187
高確率状態	30001 － 31310	40001 － 41310

（ｂ）高確率状態移行判定テーブル（乱数範囲：0～127）

移行判定 乱数の範囲
11 － 74

（ｃ）タイマ番号決定テーブル（乱数範囲：0～65535）

大当りフラグ	タイマ 乱数の範囲	演出	
		タイマ番号	変動時間 [s]
オフ	60236	タイマ１	5
	4250	タイマ２	10
	800	タイマ３	20
	250	タイマ４	40
オン	15536	タイマ２	10
	9000	タイマ３	20
	38000	タイマ４	40
	3000	タイマ５	50

【図２６０】

（ａ）払出要求数テーブル

データ	備考
3	払出要求カウンタに対応（第1特図始動口）
4	払出要求カウンタに対応（第2特図始動口）
10	払出要求カウンタに対応（一般入賞口用）
15	払出要求カウンタに対応（可変入賞口用）

（ｂ）払出加工テーブル

データ	備考（Bit0～3:マスク，Bit4～5:加工種別）
00H	加工種別 =0 （2進数表記：0000 0000B）
13H	加工種別 =1 （2進数表記：0001 0011B）
2EH	加工種別 =2 （2進数表記：0010 1110B）
39H	加工種別 =3 （2進数表記：0011 1001B）

（ｃ）タイマ制御データテーブル

タイマ種類数		2	タイマ名
タイマ個数		9	
各タイマのＲＡＭ使用バイト数	タイマ①	1	特図表示図柄更新タイマ
	タイマ②	1	普図表示図柄更新タイマ
	タイマ③	1	始動口1検知信号送信タイマ
	タイマ④	1	始動口2検知信号送信タイマ
	タイマ⑤	1	ガラス枠開放エラー検出・解除タイマ
	タイマ⑥	1	前枠開放エラー検出・解除タイマ
	タイマ⑦	1	下皿満ﾀﾝｴﾗｰ検出・解除タイマ
	タイマ⑧	2	普図汎用タイマ
	タイマ⑨	1	10.08ms基本タイマ
タイマ更新周期		5	
タイマ個数		1	
タイマ⑧のＲＡＭ使用バイト数		2	特図汎用タイマ

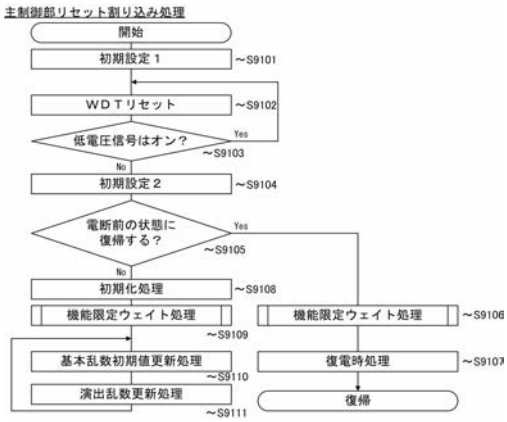
（ｄ）ジャンプテーブル

送信情報	ジャンプ先
01H	一般コマンド回転開始設定送信処理
02H	一般コマンド回転停止設定送信処理
04H	一般コマンド入賞演出設定送信処理
08H	一般コマンド終了演出設定送信処理
10H	一般コマンド大入賞口開放設定送信処理
20H	一般コマンド大入賞口閉鎖設定送信処理

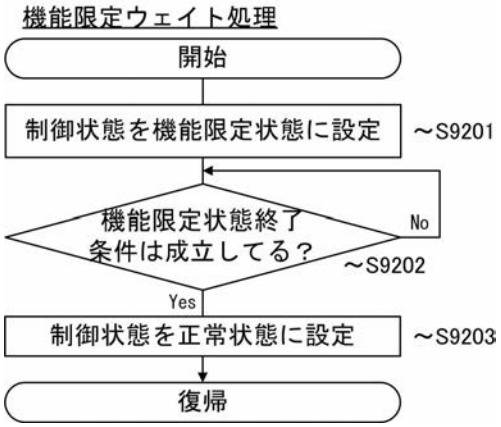
（ｅ）復元データテーブル

値	備考
00H	加工種別 = 0 （2進表記：0000 0000B）
03H	加工種別 = 1 （2進表記：0000 0011B）
0EH	加工種別 = 2 （2進表記：0000 1110B）
09H	加工種別 = 3 （2進表記：0000 1001B）

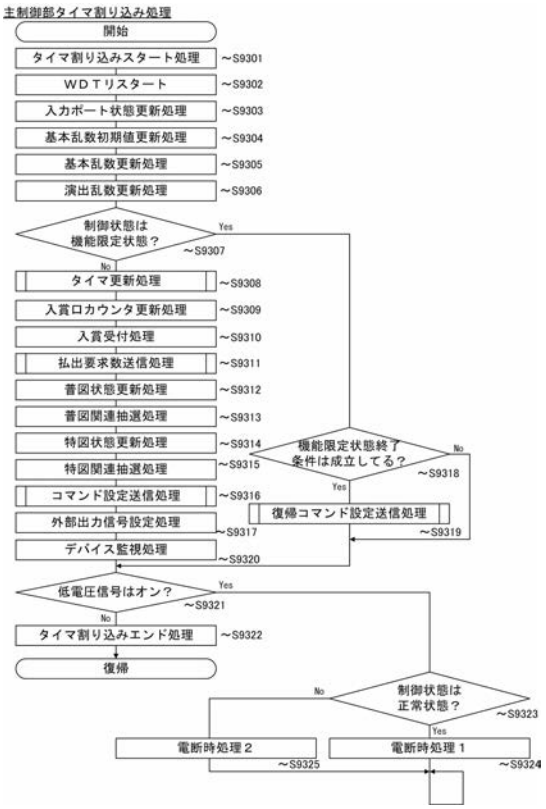
【図２６１】



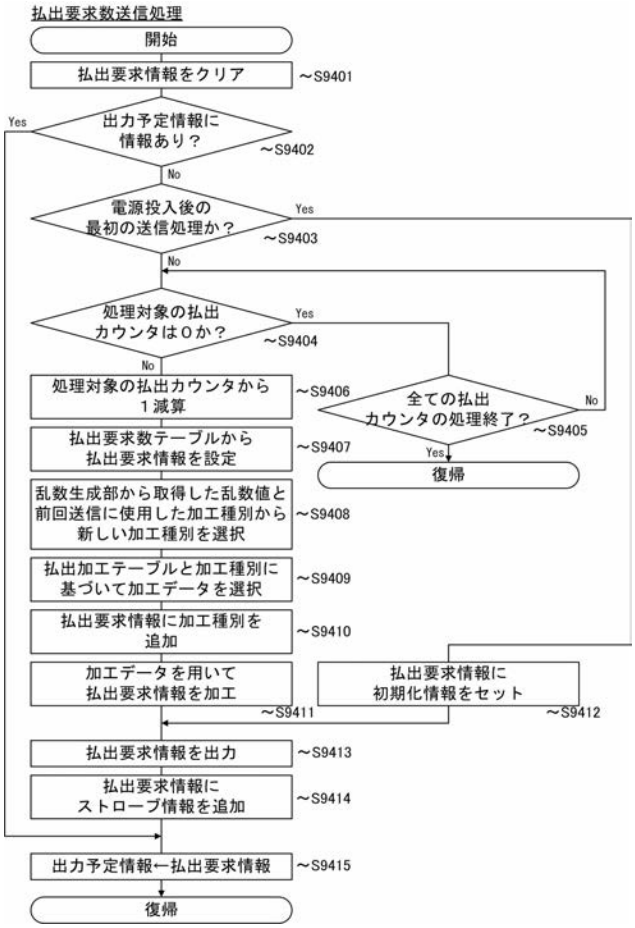
【図２６２】



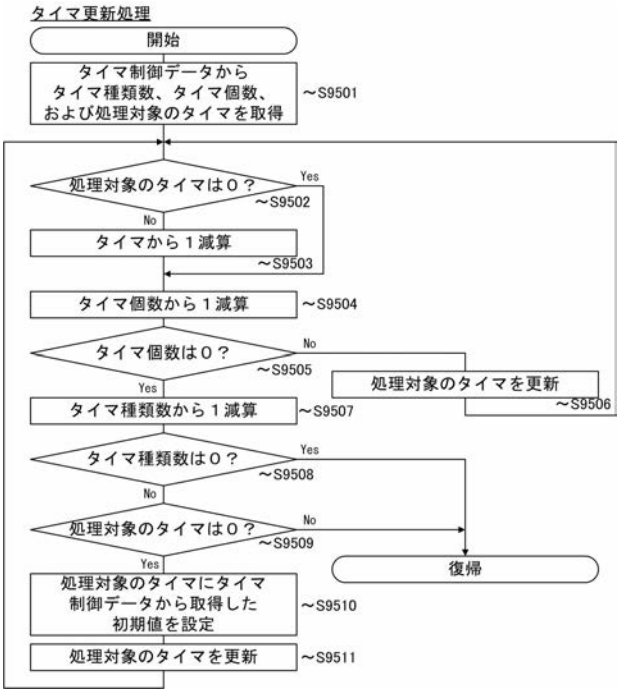
【図２６３】



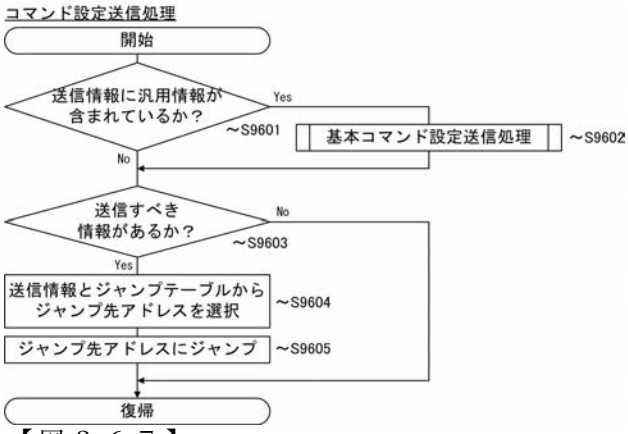
【図２６４】



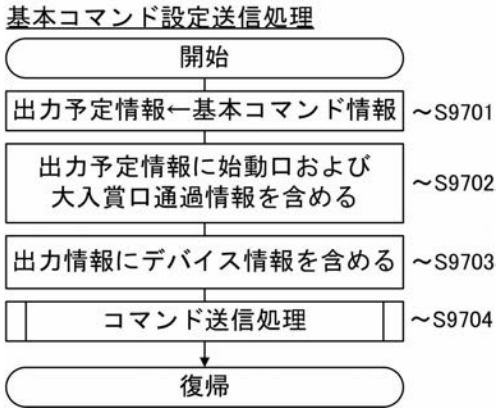
【図２６５】



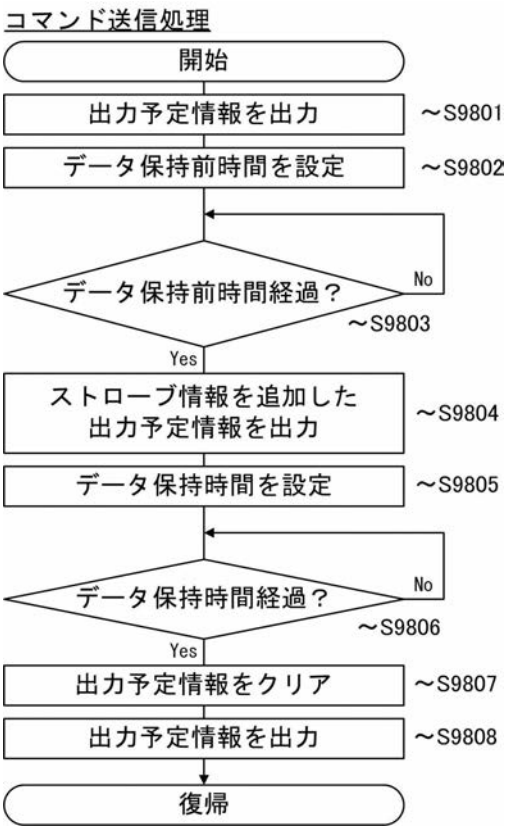
【図２６６】



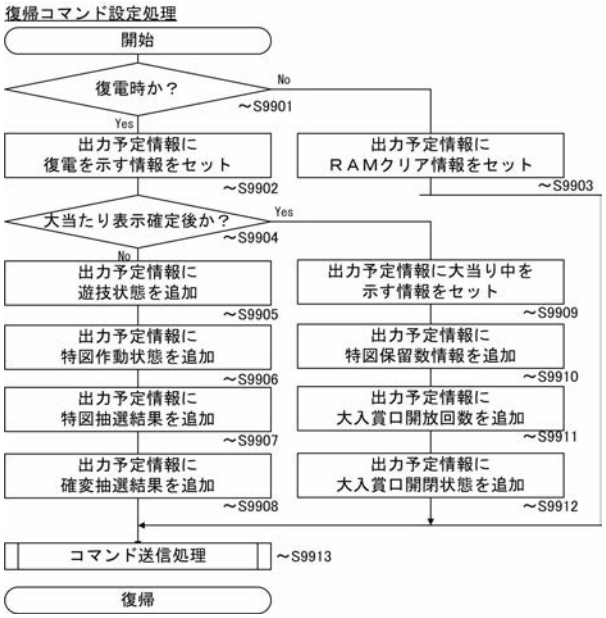
【図２６７】



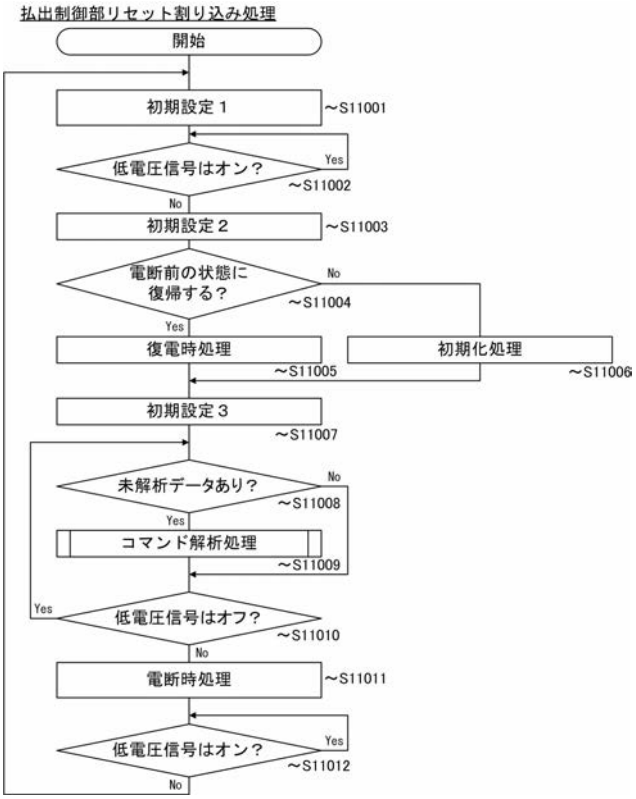
【図２６８】



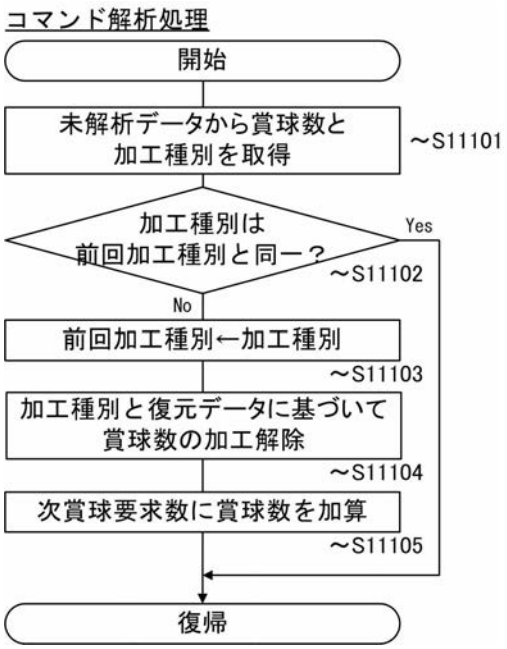
【図２６９】



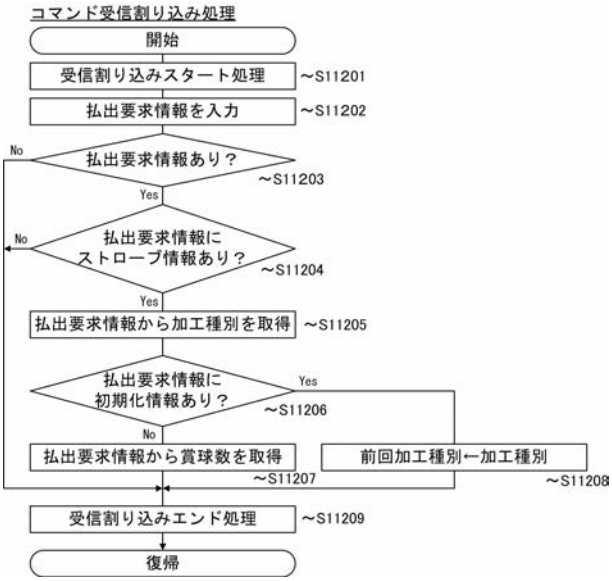
【図２７０】



【図２７１】

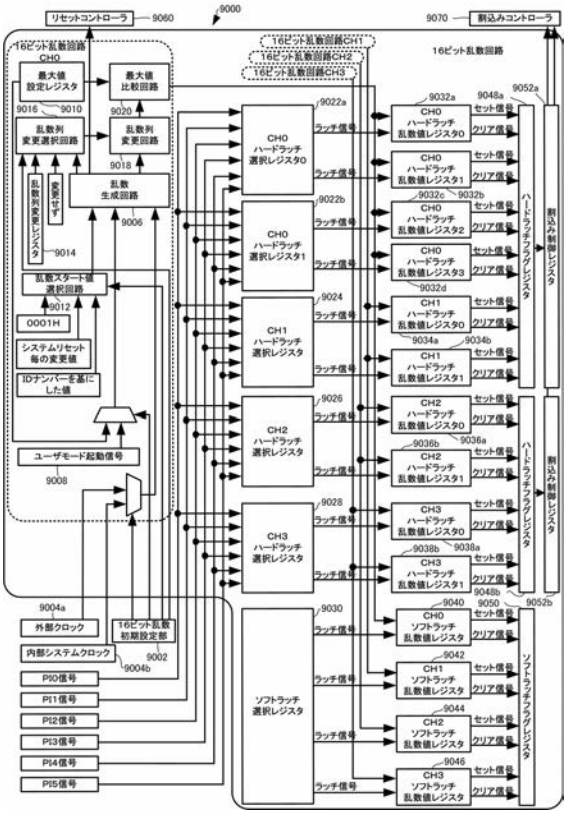


【図２７２】

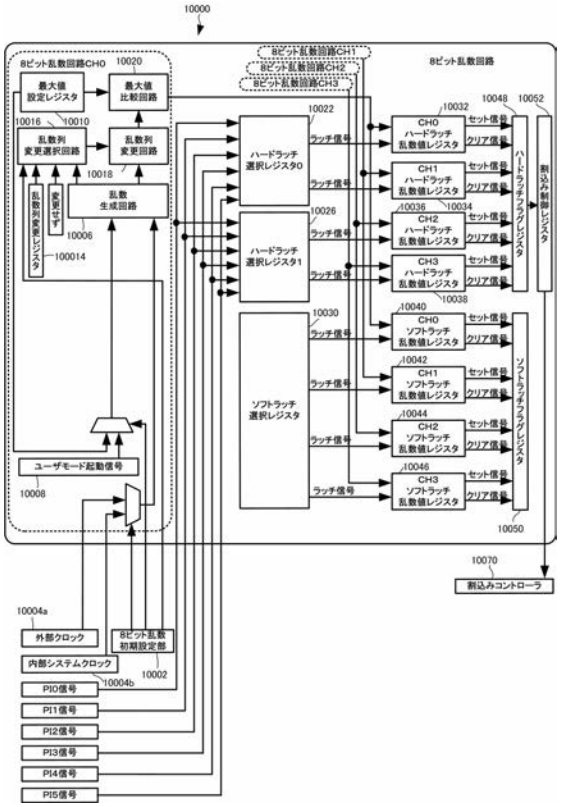


【図２７３】

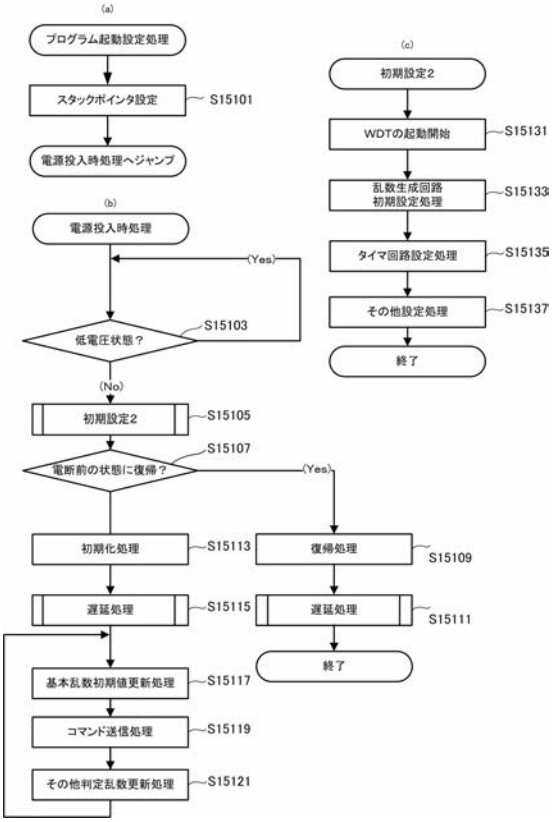
【図２７４】



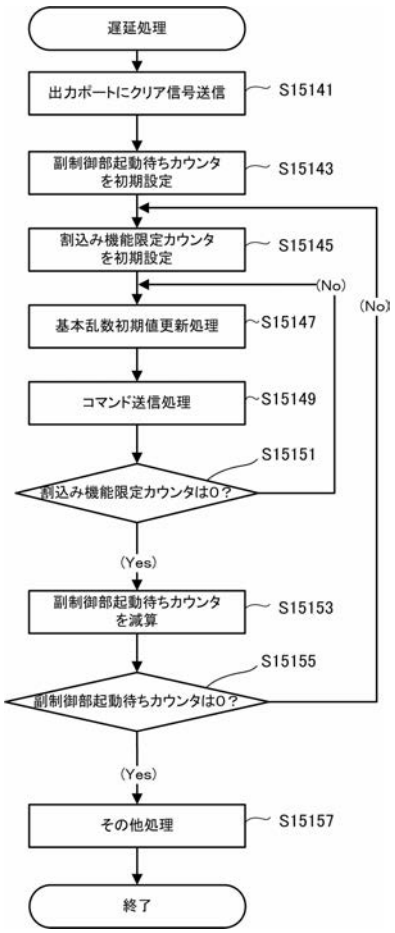
【図２７５】



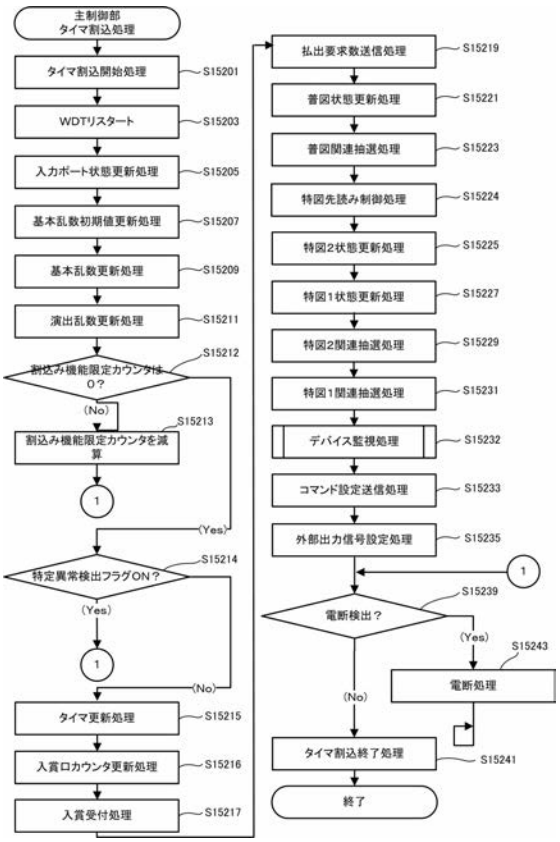
【図２７６】



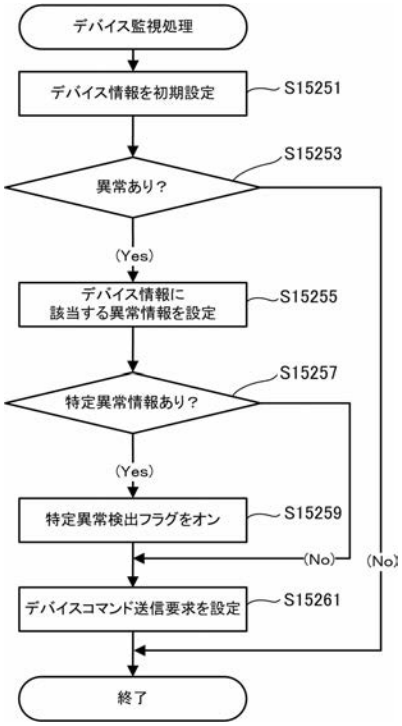
【図２７７】



【図２７８】



【図２７９】



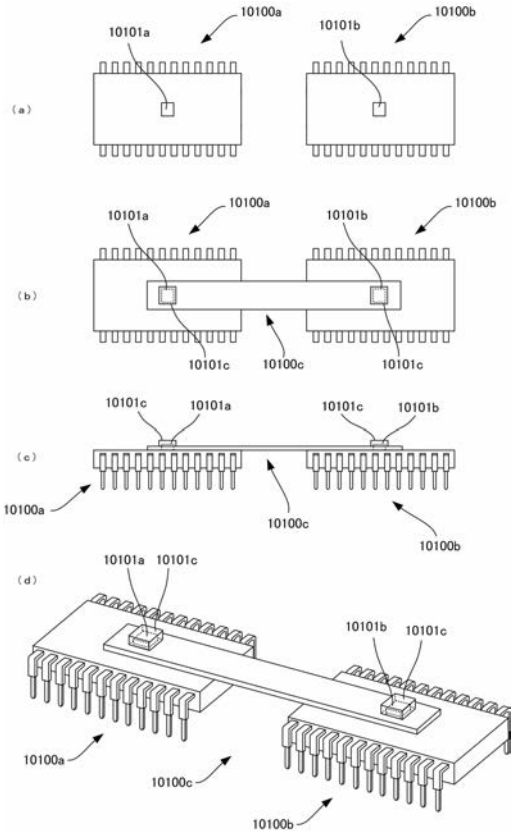
【図２８０】

乱数	更新場所	備考
特図1当選乱数	乱数回路	16ビット乱数回路CH0のハードラッチレジスタ0／外部クロック更新／最大値設定無し
		16ビット乱数回路CH1のソフトラッチレジスタ／外部クロック更新／最大値設定無し
特図2当選乱数	乱数回路	16ビット乱数回路CH0のハードラッチレジスタ1／外部クロック更新／最大値設定無し
		16ビット乱数回路CH2のソフトラッチレジスタ／外部クロック更新／最大値設定無し
表示図柄乱数	乱数回路	16ビット乱数回路CH3のハードラッチレジスタ0／外部クロック更新／最大値設定有り
普図当選乱数	乱数回路	8ビット乱数回路CH0のハードラッチレジスタ0／外部クロック更新／最大値設定無し
大当り用特図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
小当り用特図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
はずれ用特図乱数（特図1、2共通）	主制御部タイマ割込み処理	主制御部タイマ割込み処理
初期値生成用乱数（大当り、小当たり、はずれ共通）	主制御部メイン処理／主制御部タイマ割込み処理	主制御部メイン処理／主制御部タイマ割込み処理
特図変動時間決定用乱数（特図1、2共通）	カウンタ回路	カウンタ回路のCH0
普図変動時間決定用乱数	カウンタ回路	カウンタ回路のCH0
演出用乱数	主制御部メイン処理／主制御部タイマ割込み処理	主制御部メイン処理／主制御部タイマ割込み処理

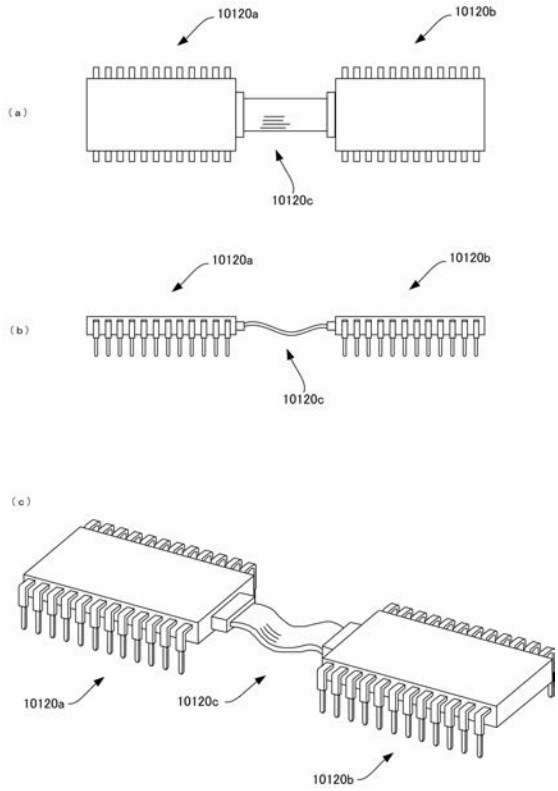
【図２８１】

乱数	更新場所	備考
役抽選乱数	乱数回路	16ビット乱数回路CH0のソフトラッチレジスタ／内部クロック更新／最大値設定無し
演出抽選乱数	乱数回路	16ビット乱数回路CH1のソフトラッチレジスタ／内部クロック更新／最大値設定無し
左リール遅延時間抽選乱数	乱数回路	8ビット乱数回路CH0のソフトラッチレジスタ／内部クロック更新／最大値設定有り
中リール遅延時間抽選乱数	乱数回路	8ビット乱数回路CH1のソフトラッチレジスタ／内部クロック更新／最大値設定有り
右リール遅延時間抽選乱数	乱数回路	8ビット乱数回路CH2のソフトラッチレジスタ／内部クロック更新／最大値設定有り

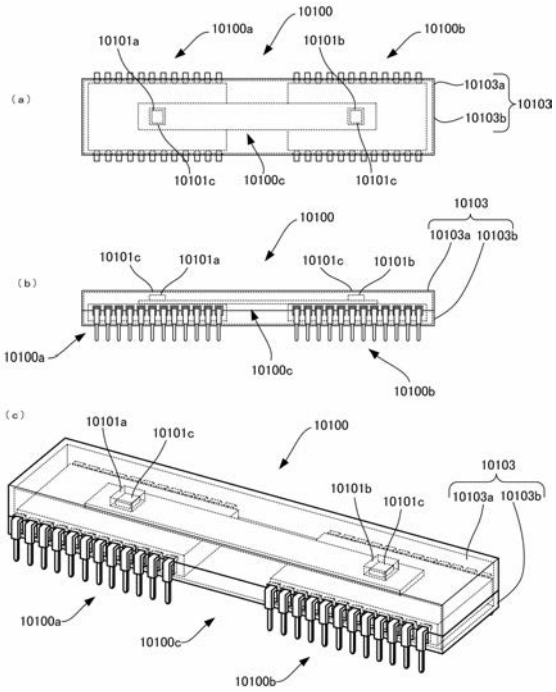
【図２８２】



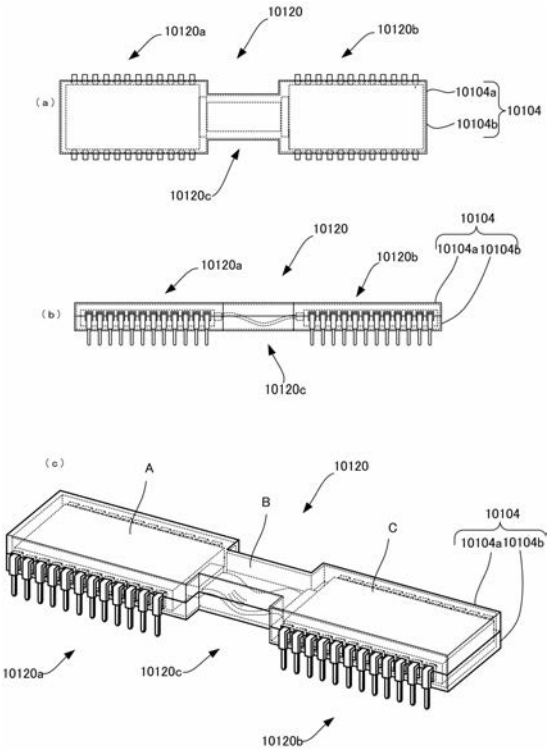
【図２８３】



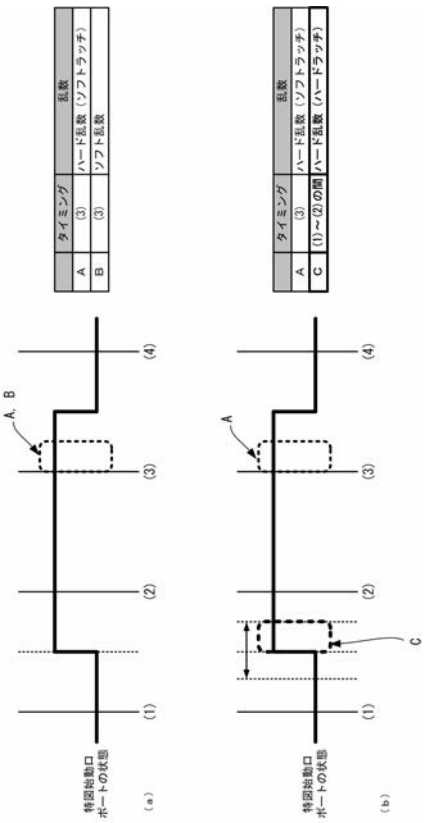
【図２８４】



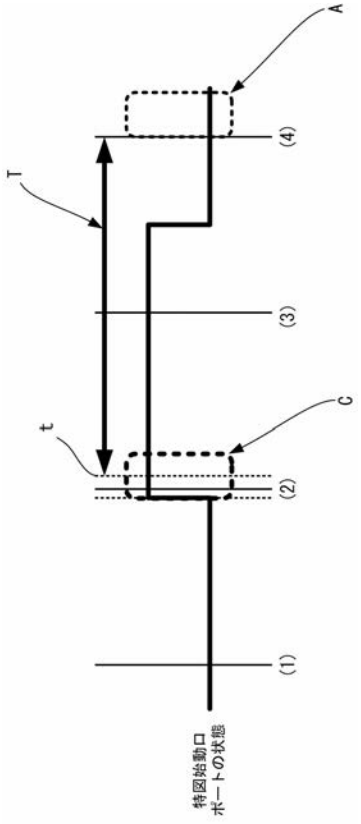
【図２８５】



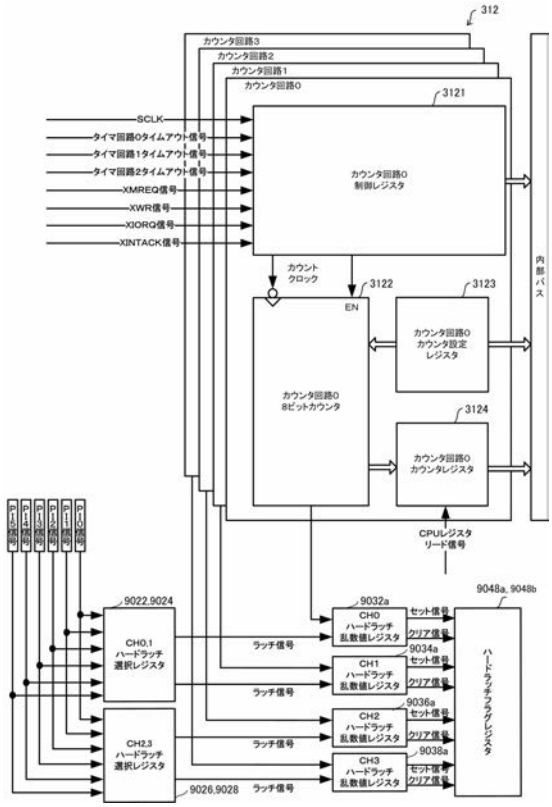
【図２８６】



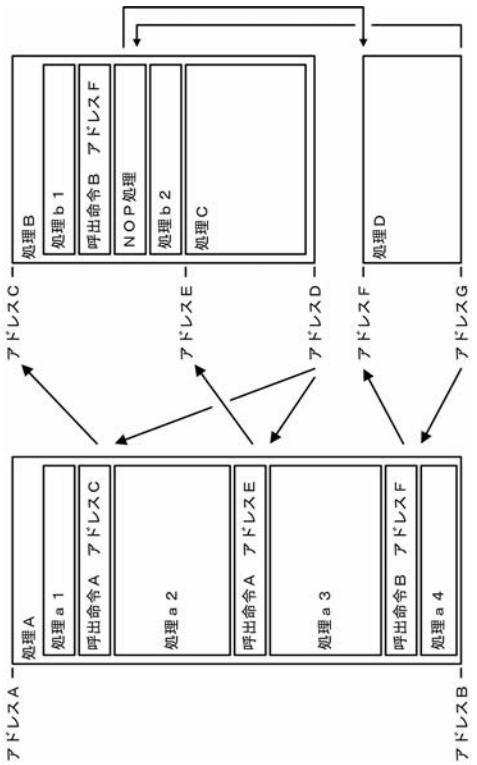
【図２８７】



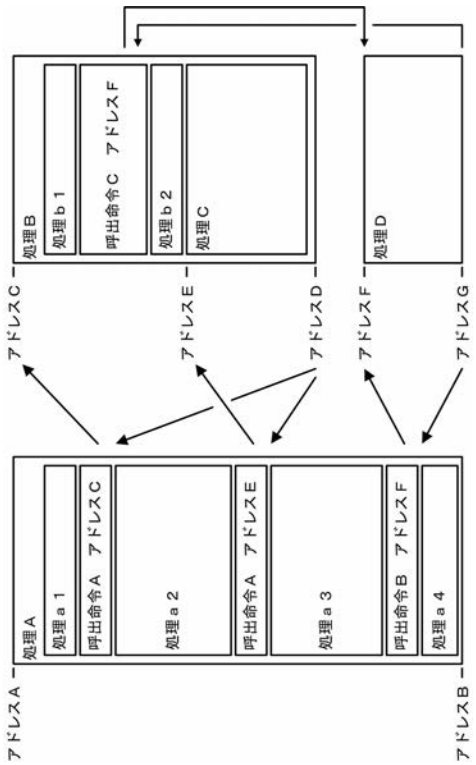
【図２８８】



【図２８９】



【図２９０】



【図２９１】

割込み初期設定レジスタの一例（プログラム管理エリア内）

ビット番号	設定内容

割込みベクタの上位４ビットを設定するビット

No.	A15−A8	A7−A4	A3−A0
0	セットされた I レジスタの値	設定値	00H
1			02H
2			04H
3			06H
4			08H
5			0AH
6			0CH

7−4

3

ノンマスカブル割込み中の多重受付の禁止・許可を設定
0：多重受付禁止
1：多重受付許可

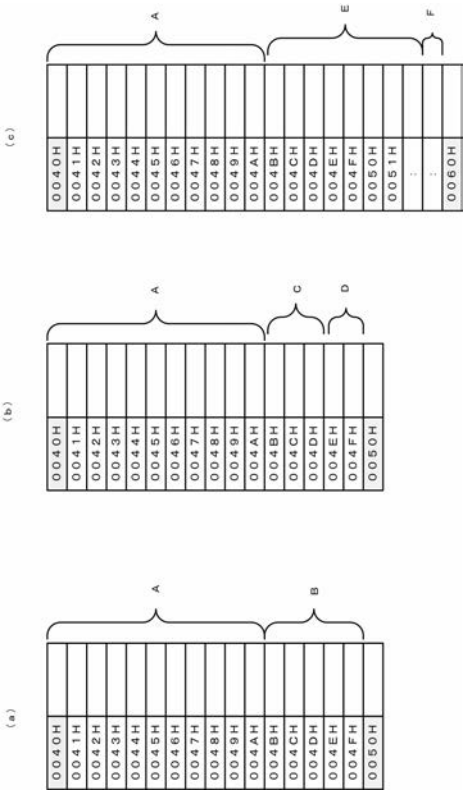
2−0

マスカブル割込み要因の優先度の組み合わせを設定

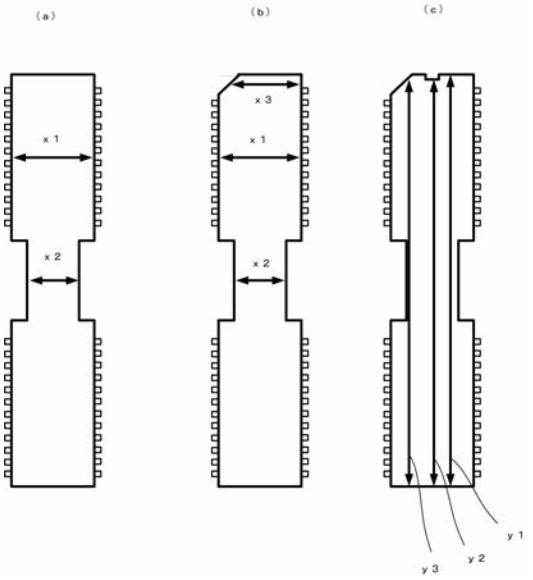
設定値		00H	01H	02H	03H	04H	05H	06H
高	0	PT0I	PT0I	PT0I	RX0I	RX0I	RDGI	RDGI
	1	PT1I	PT1I	PT1I	TX0I	TX0I	PT0I	RX0I
	2	PT2I	PT2I	PT2I	RDGI	PT0I	PT1I	TX0I
	3	RDGI	XINT	RX0I	PT0I	PT1I	PT2I	PT0I
	4	RX0I	RDGI	TX0I	PT1I	PT2I	RX0I	PT1I
	5	TX0I	RX0I	RDGI	PT2I	RDGI	TX0I	PT2I
低	6	XINT	TX0I	XINT	XINT	XINT	XINT	XINT

PT0I：タイマ回路のチャネル0のタイムアウトによる割込み
PT1I：タイマ回路のチャネル1のタイムアウトによる割込み
PT2I：タイマ回路のチャネル2のタイムアウトによる割込み
RX0I：シリアル通信回路のｃｈ０データ受信による割込み
TX0I：シリアル通信回路のｃｈ０データ送信による割込み
RDGI：乱数回路の外部端子入力取り込みによる割込み
XINT：P15／XINT端子入力による割込み

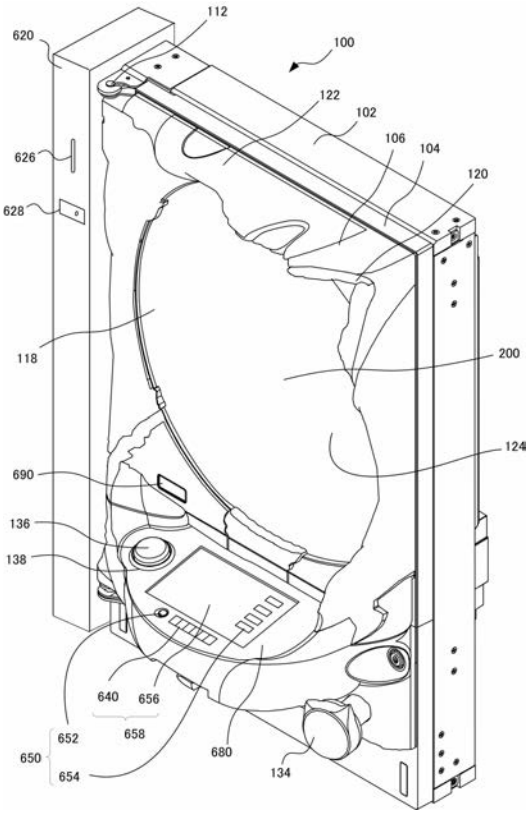
【図２９２】



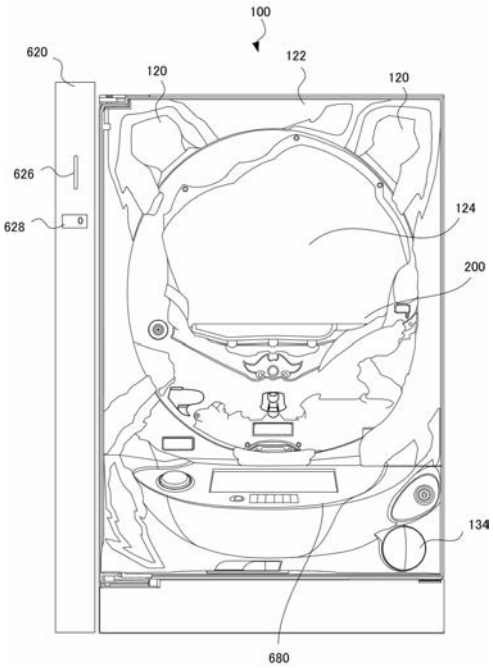
【図２９３】



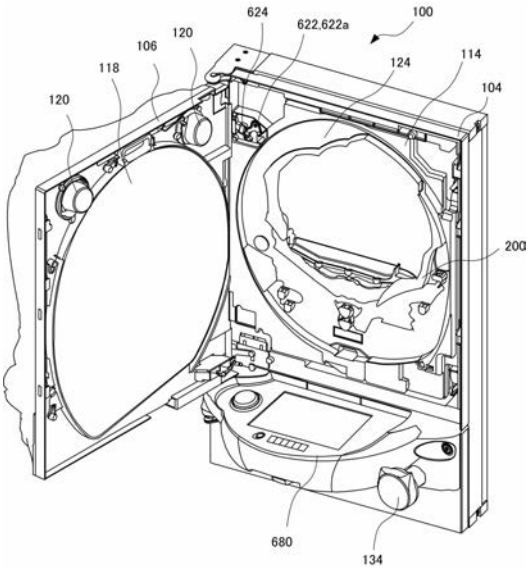
【図２９４】



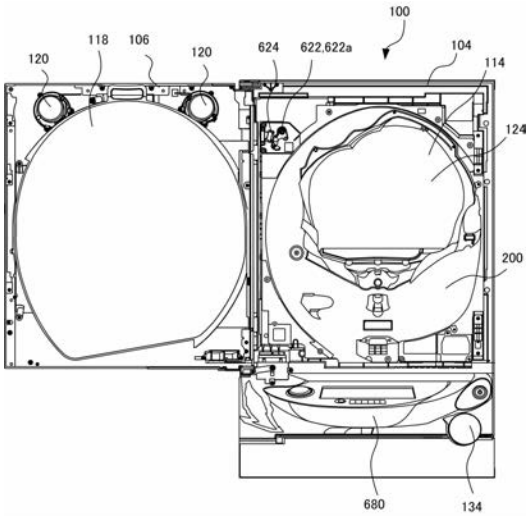
【図２９５】



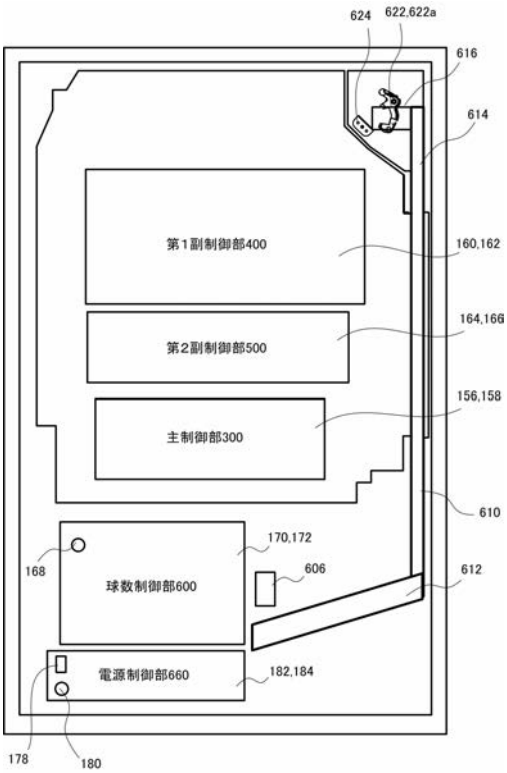
【図２９６】



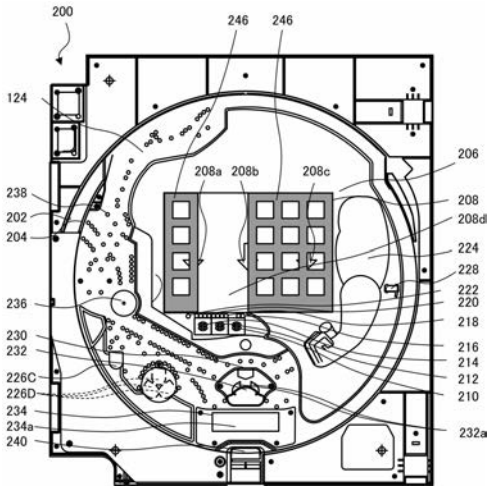
【図２９７】



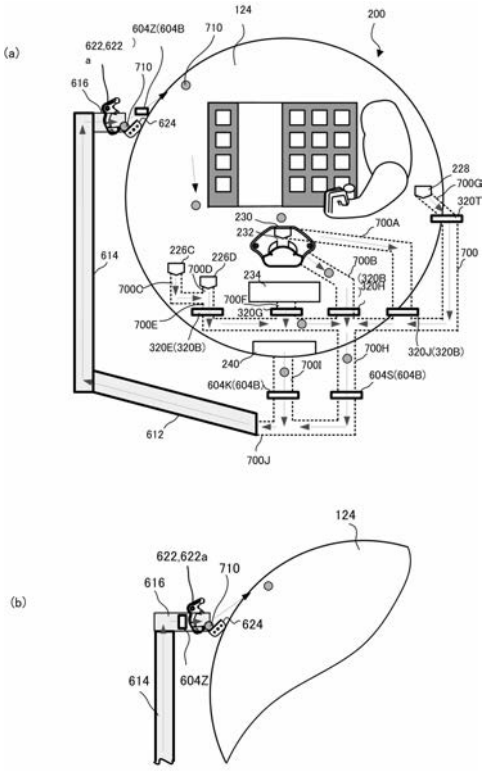
【図２９８】



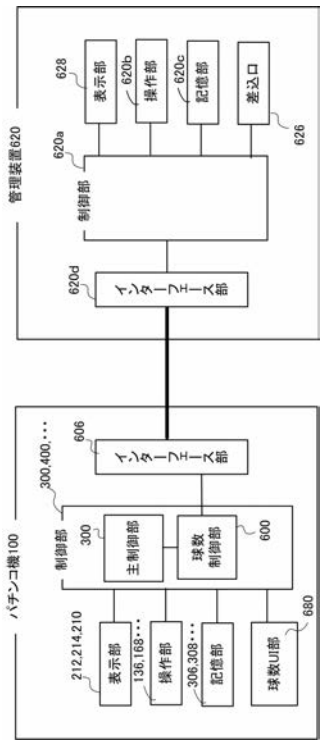
【図２９９】



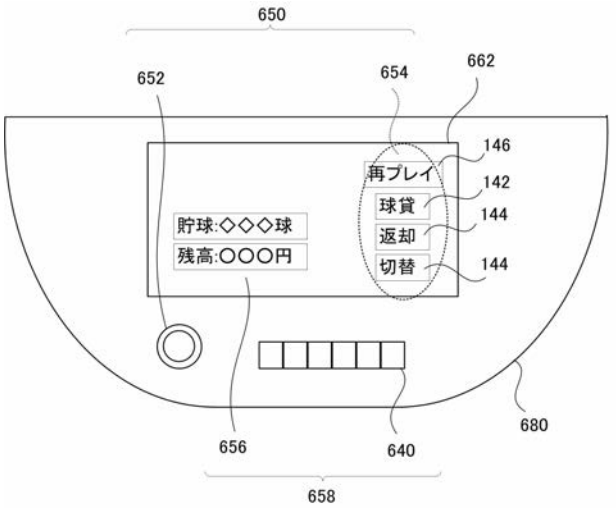
【図３００】



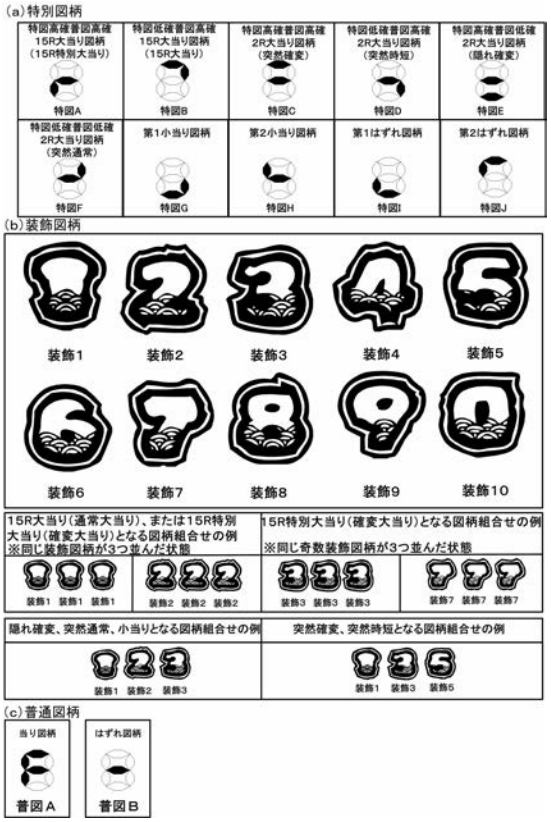
【図３０１】



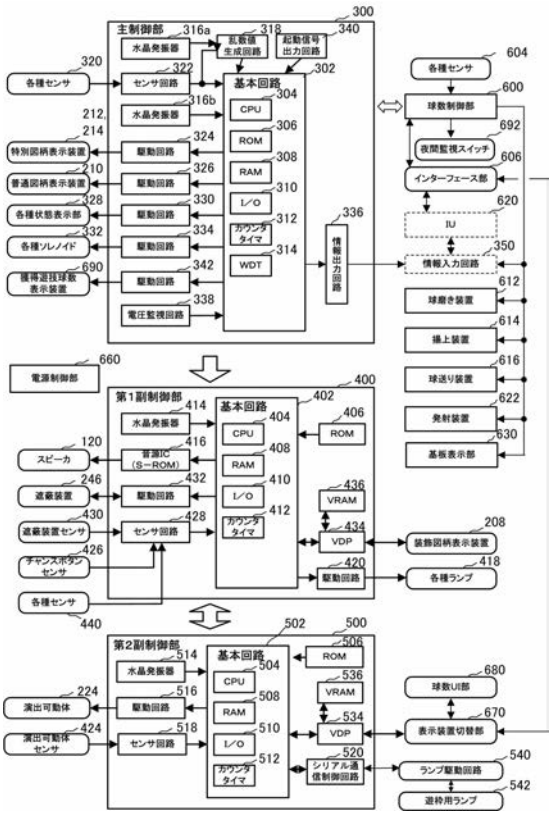
【図３０２】



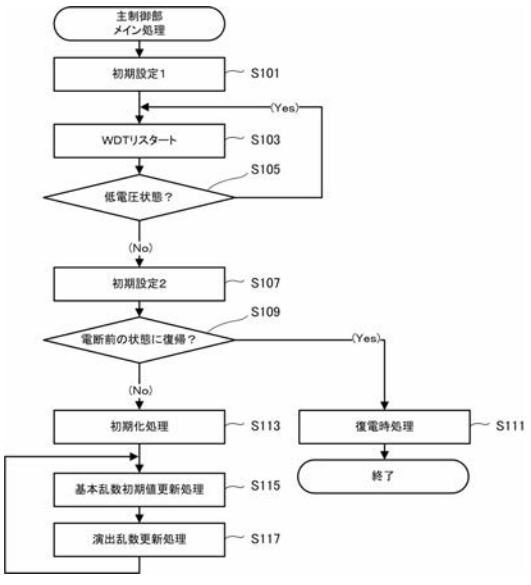
【図３０３】



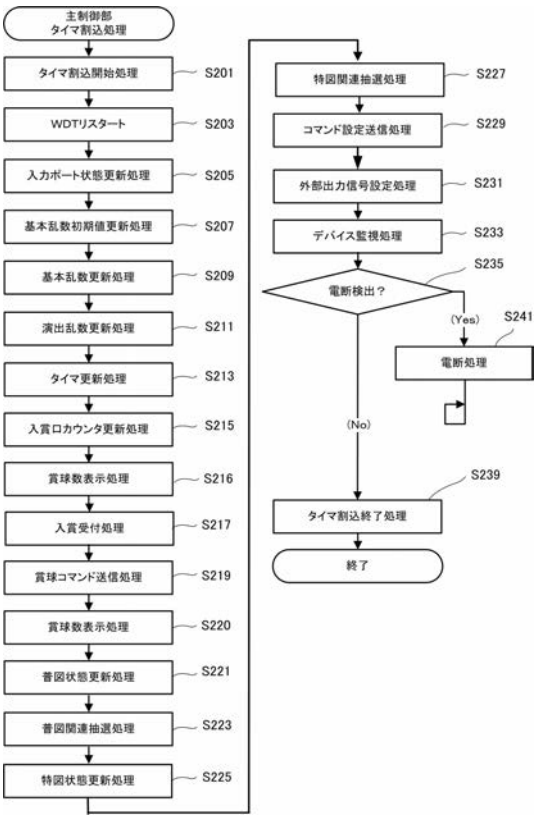
【図３０４】



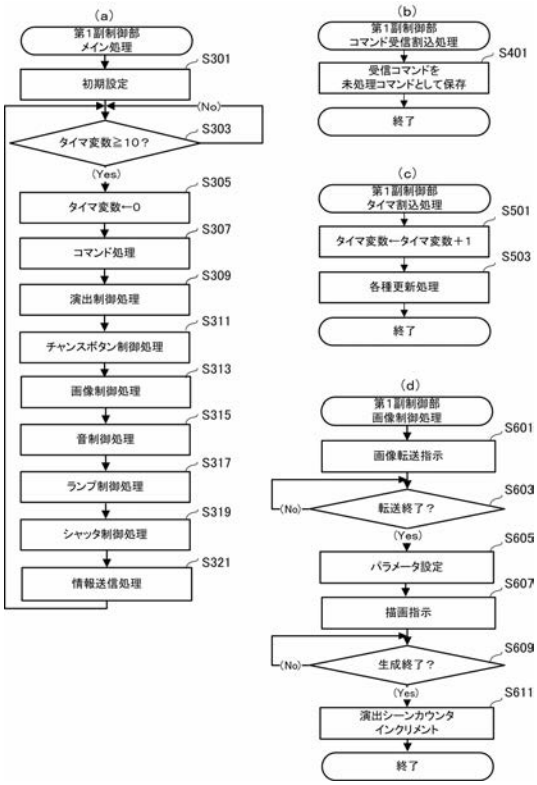
【図３０５】



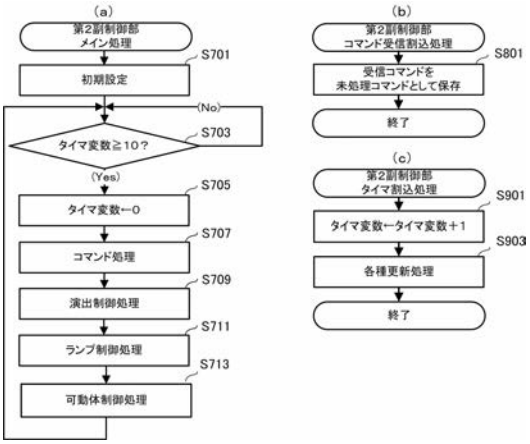
【図３０６】



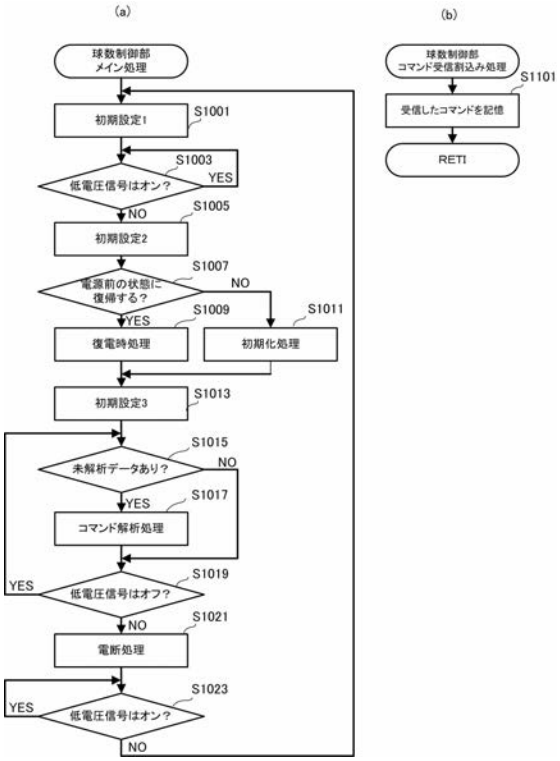
【図３０７】



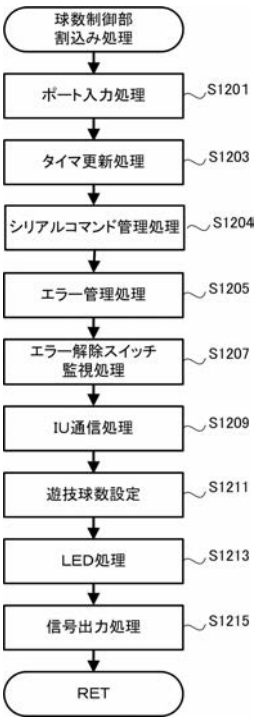
【図３０８】



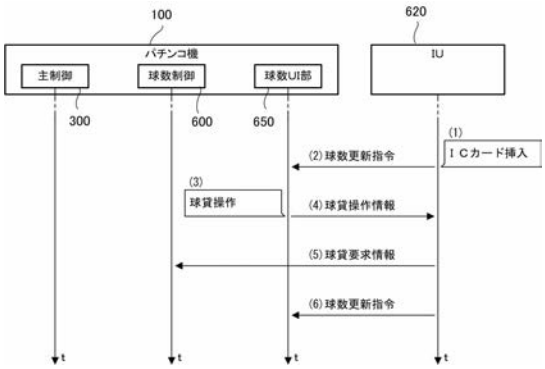
【図３０９】



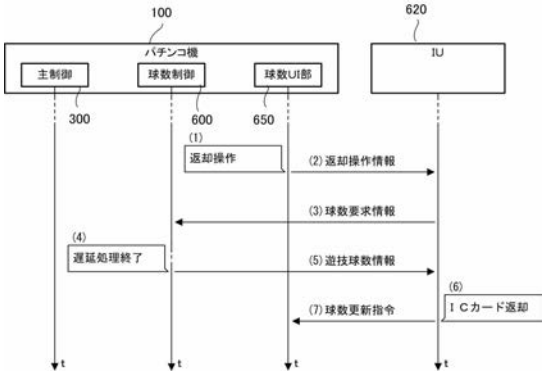
【図３１０】



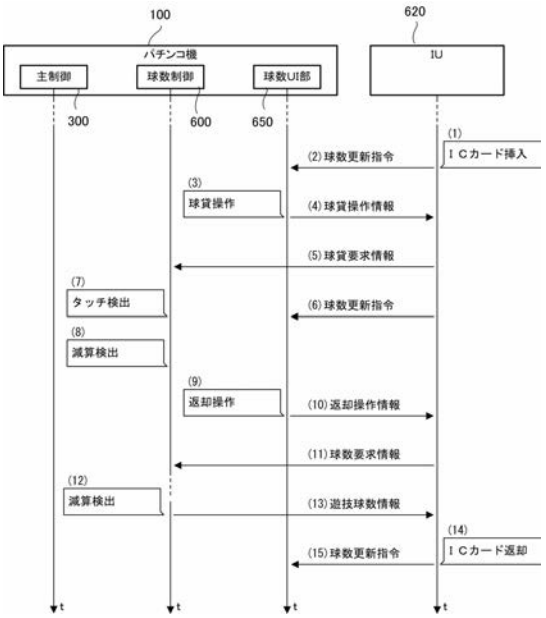
【図３１１】



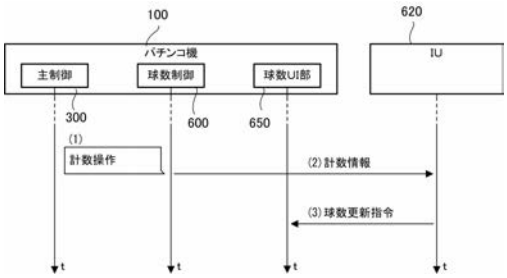
【図３１２】



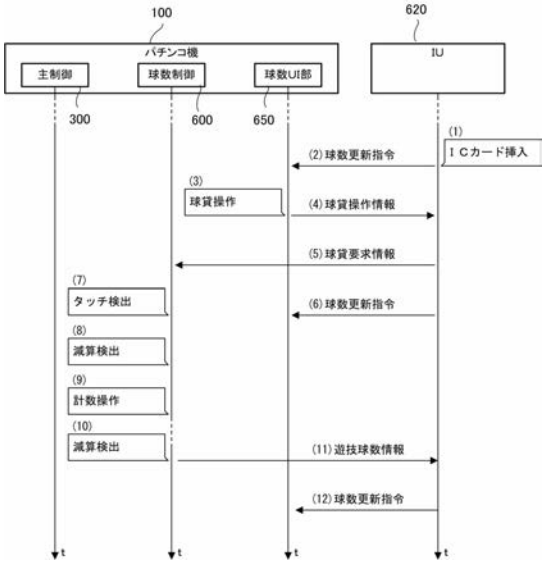
【図３１３】



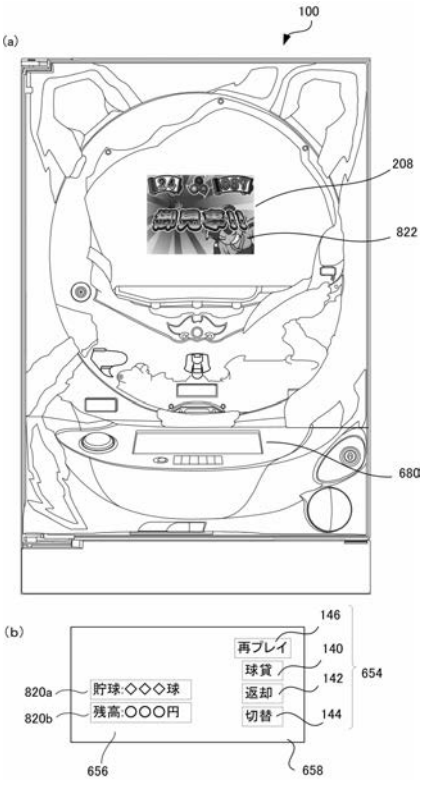
【図３１４】



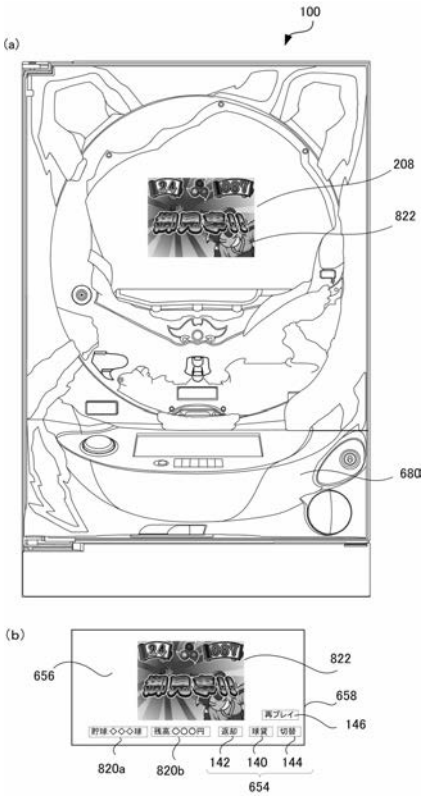
【図３１５】



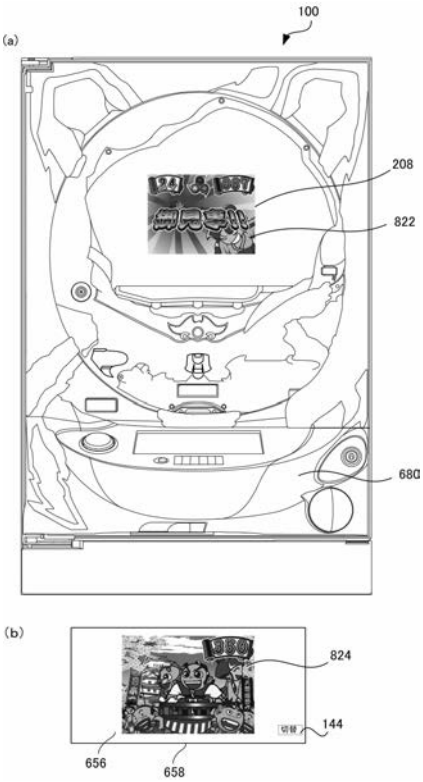
【図３１６】



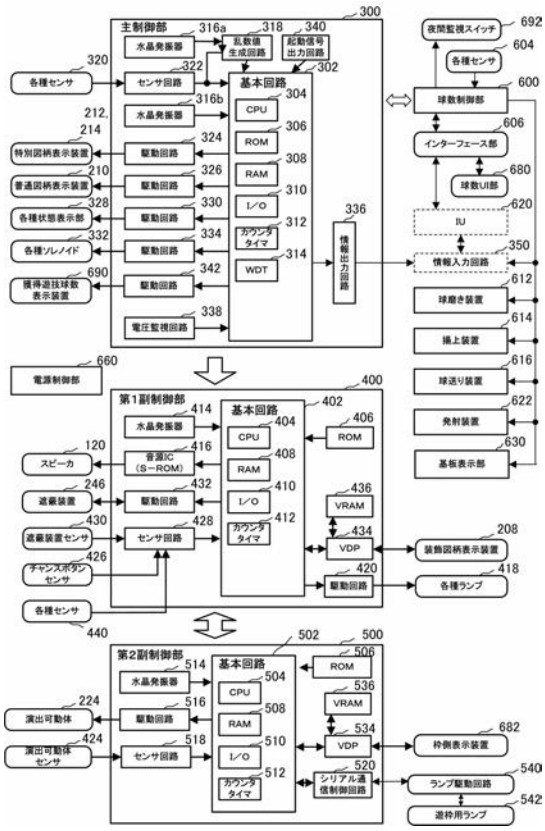
【図３１７】



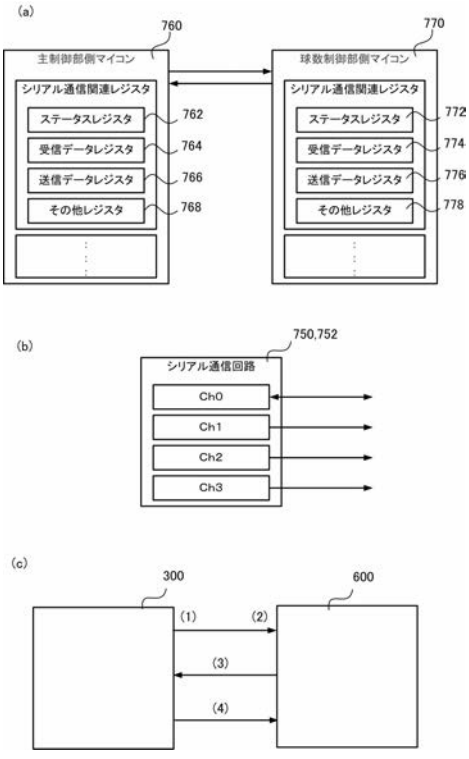
【図３１８】



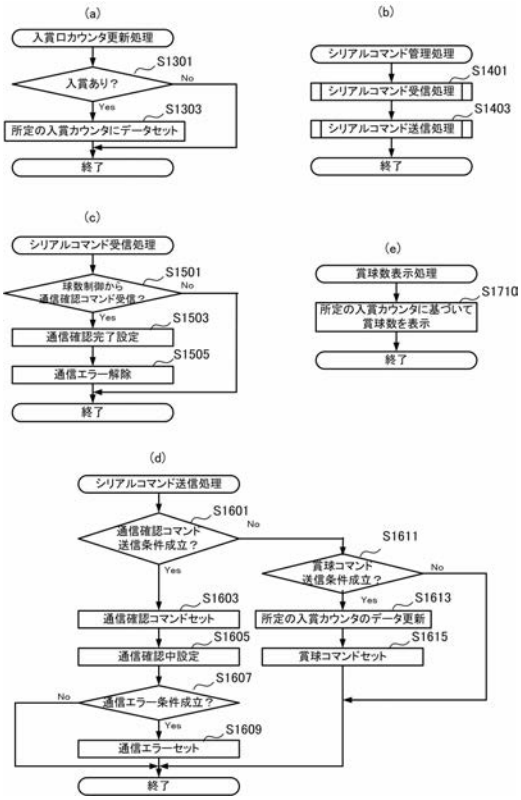
【図３１９】



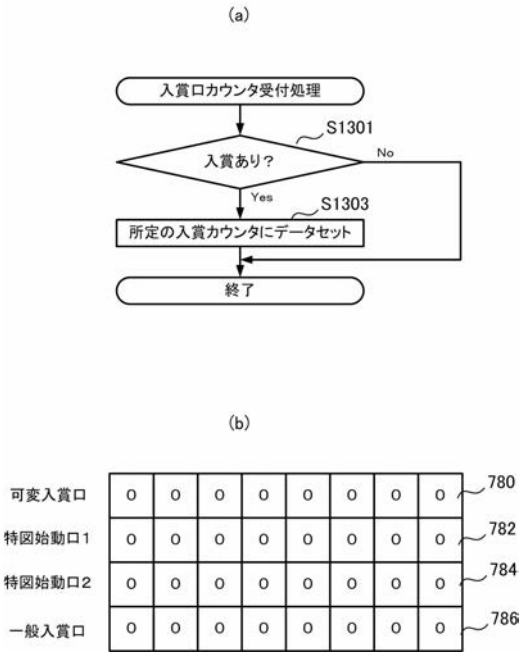
【図３２０】



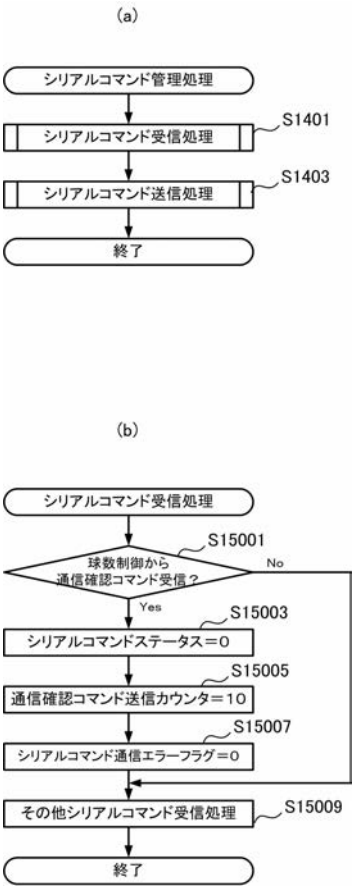
【図３２１】



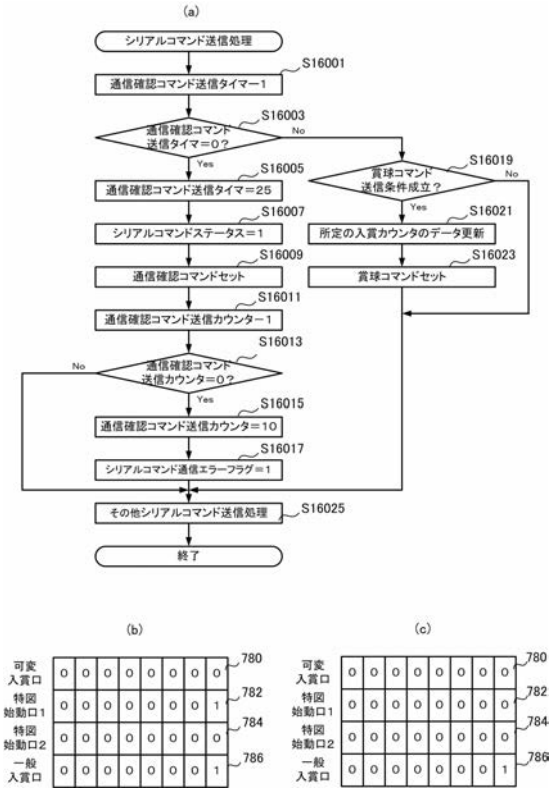
【図３２２】



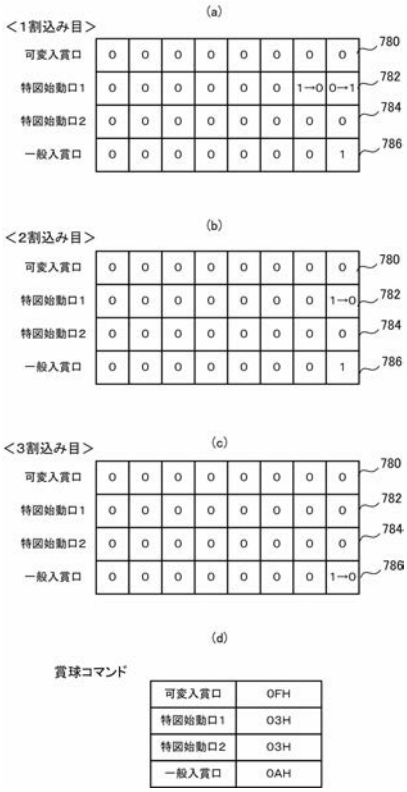
【図３２３】



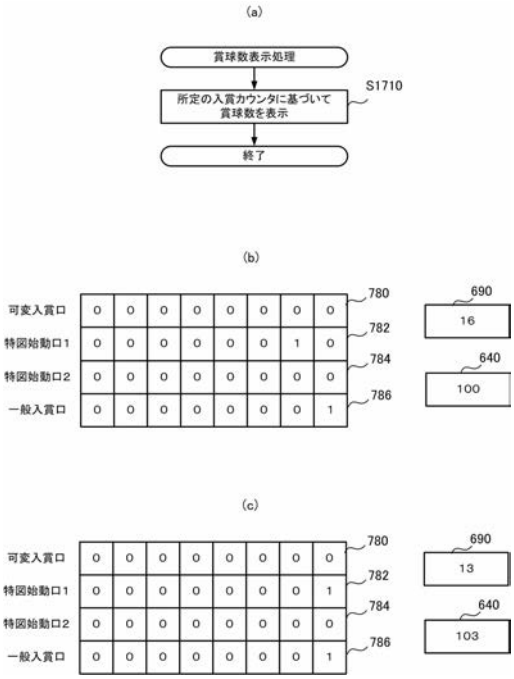
【図３２４】



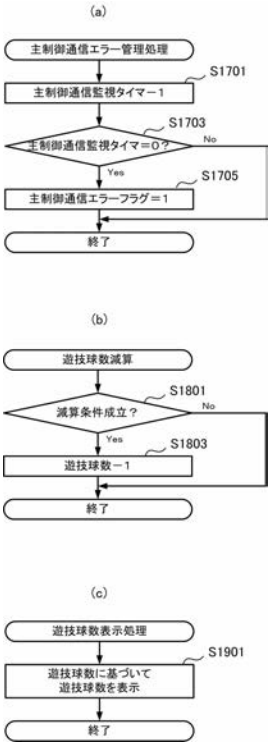
【図３２５】



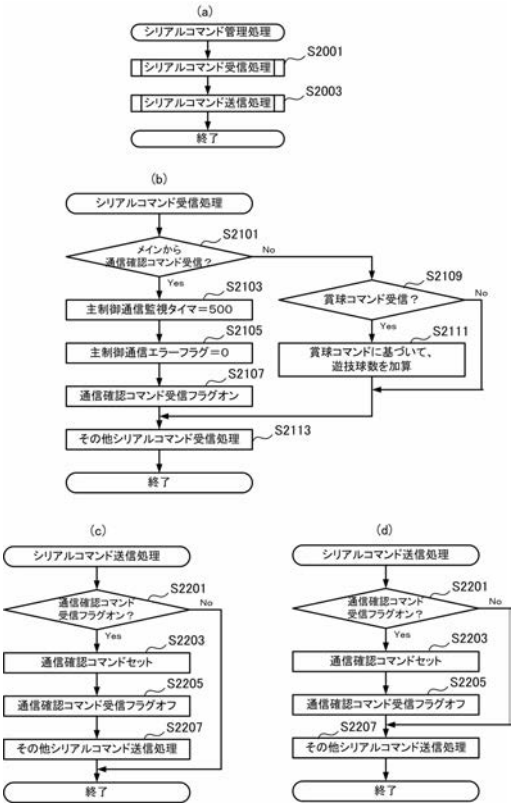
【図３２６】



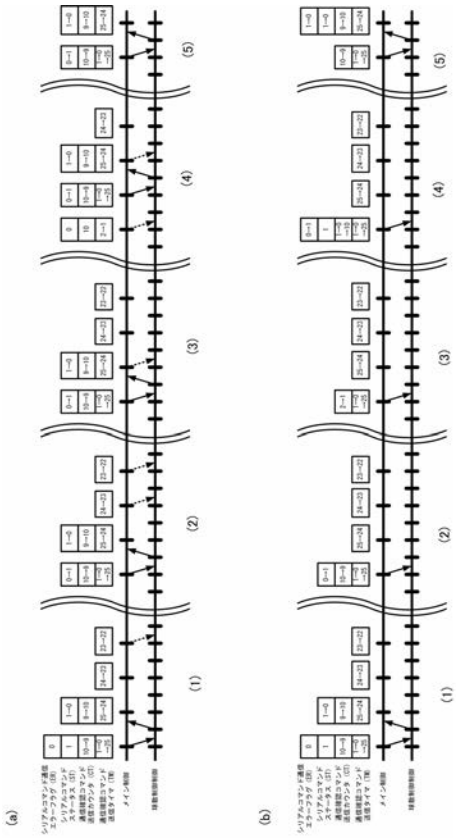
【図３２７】



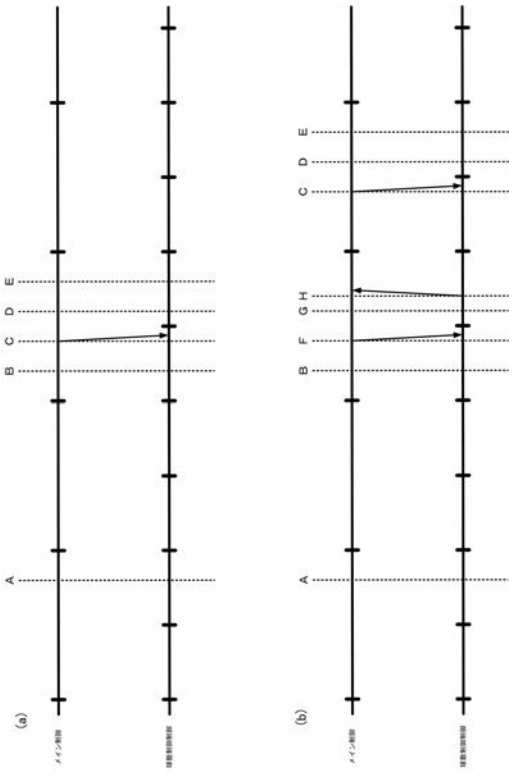
【図３２８】



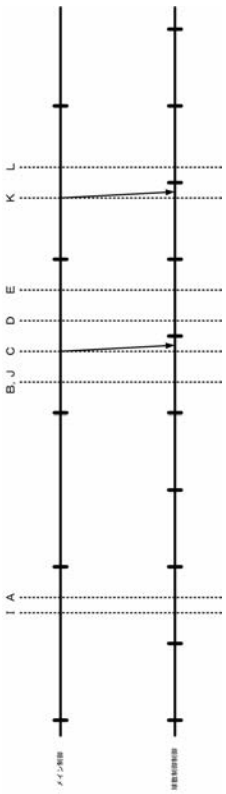
【図３２９】



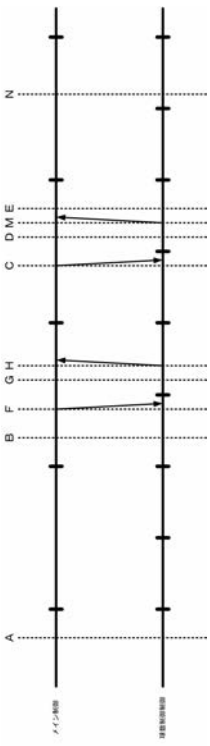
【図３３０】



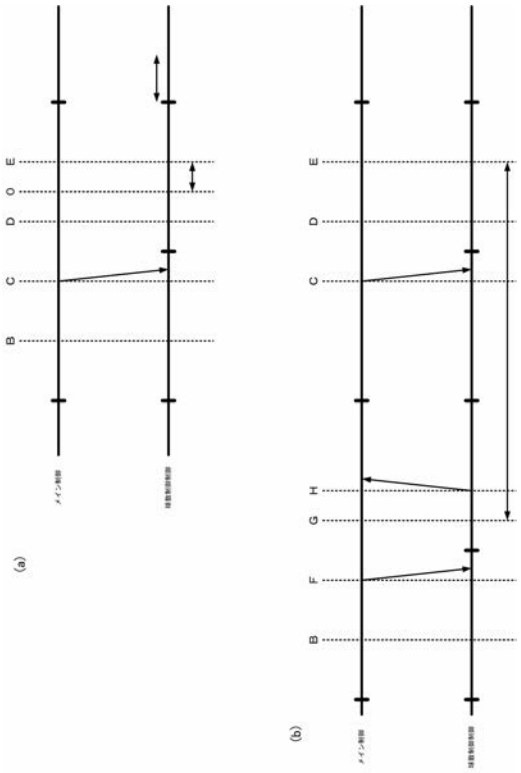
【図３３１】



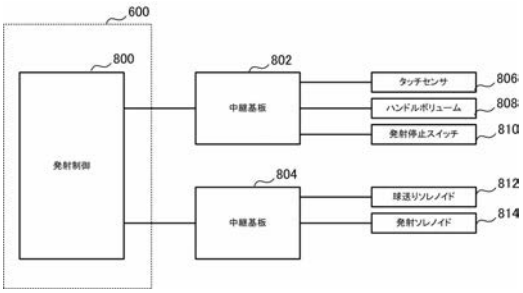
【図３３２】



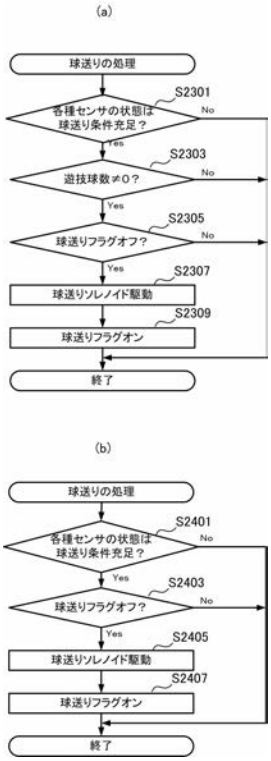
【図３３３】



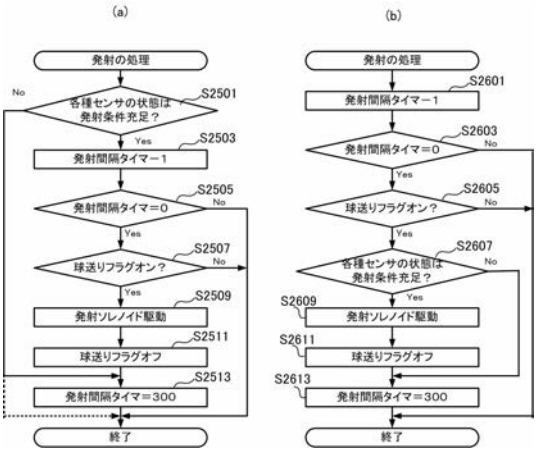
【図３３４】



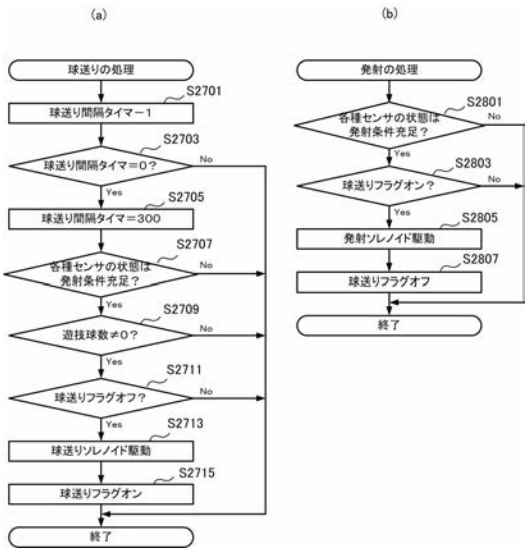
【図３３５】



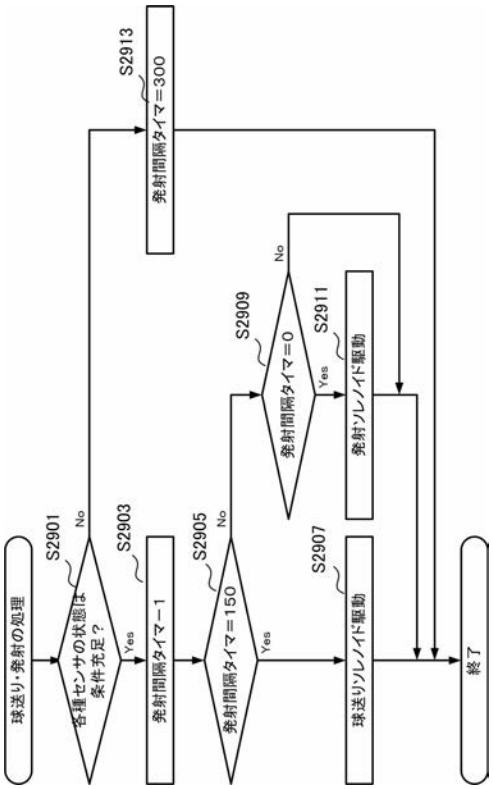
【図３３６】



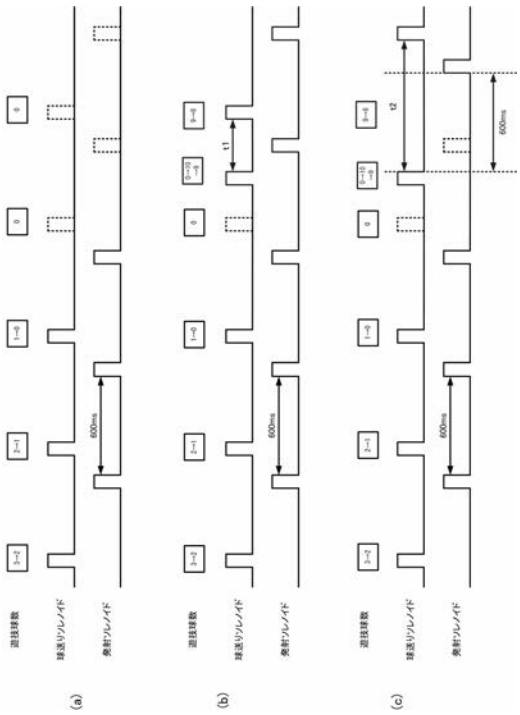
【図３３７】



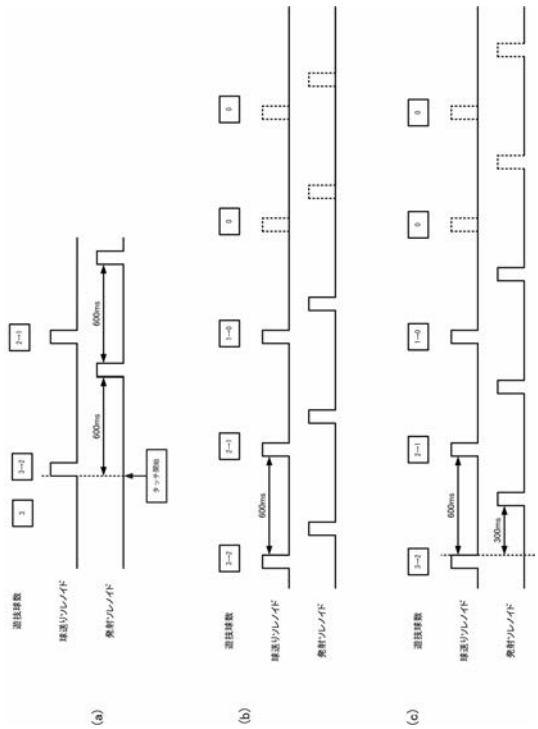
【図３３８】



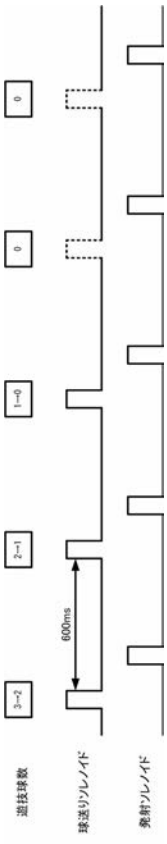
【図３３９】



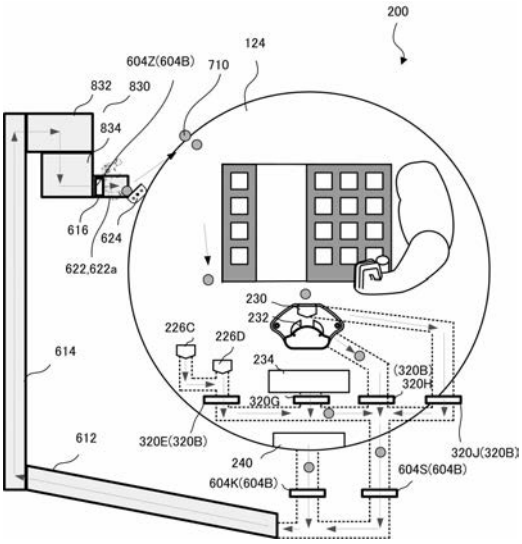
【図３４０】



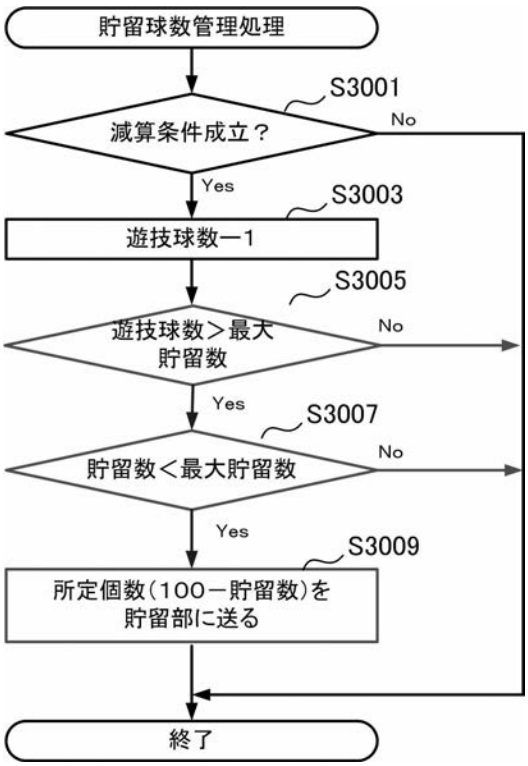
【図３４１】



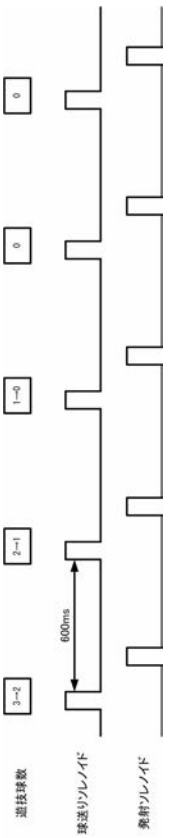
【図３４２】



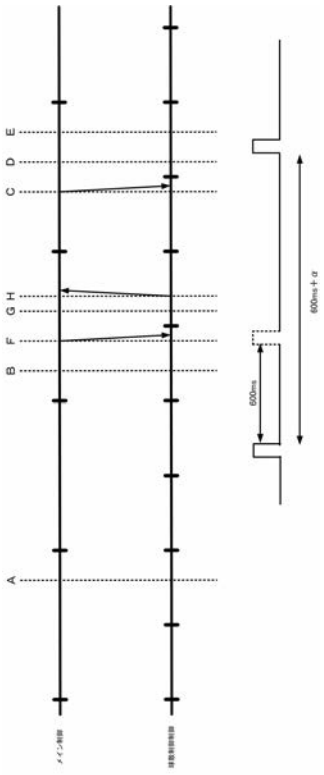
【図３４３】



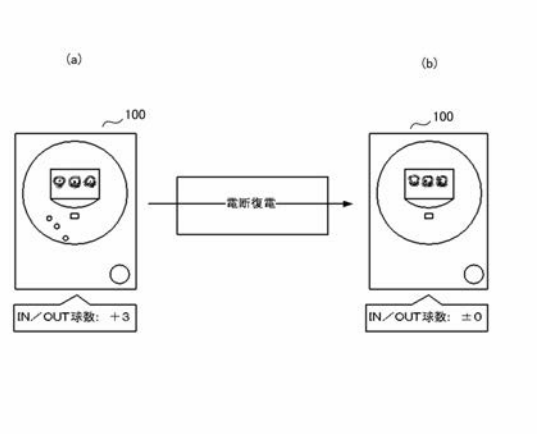
【図３４４】



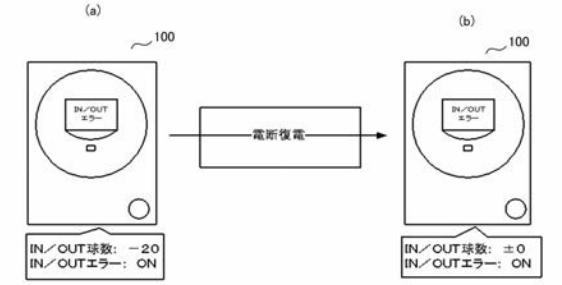
【図３４５】



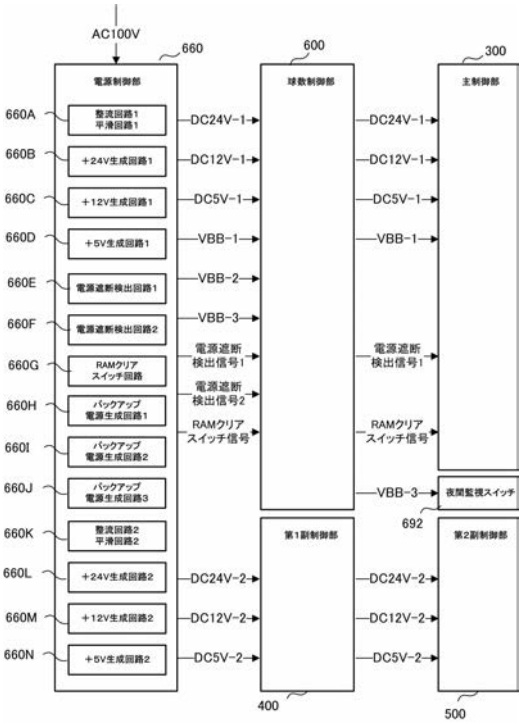
【図３４６】



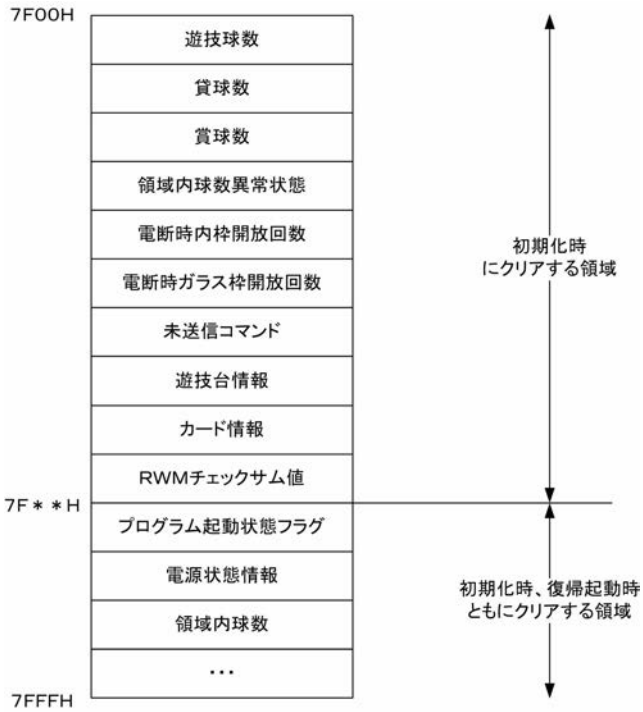
【図３４７】



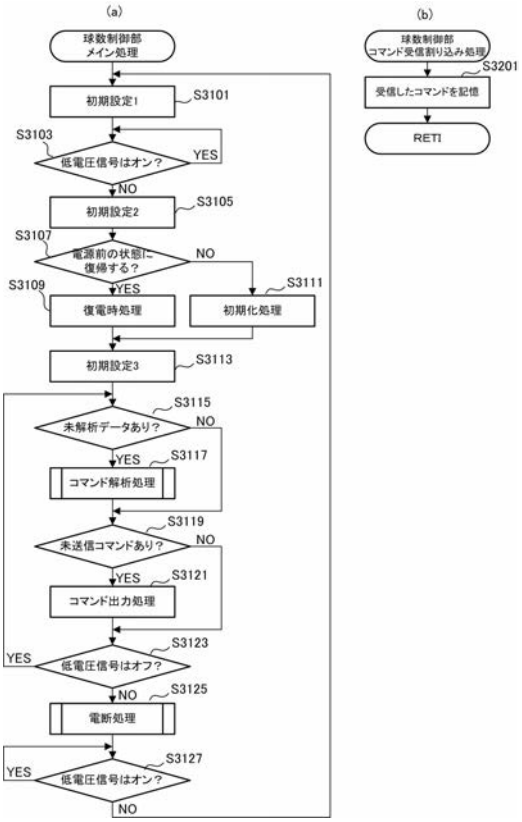
【図３４８】



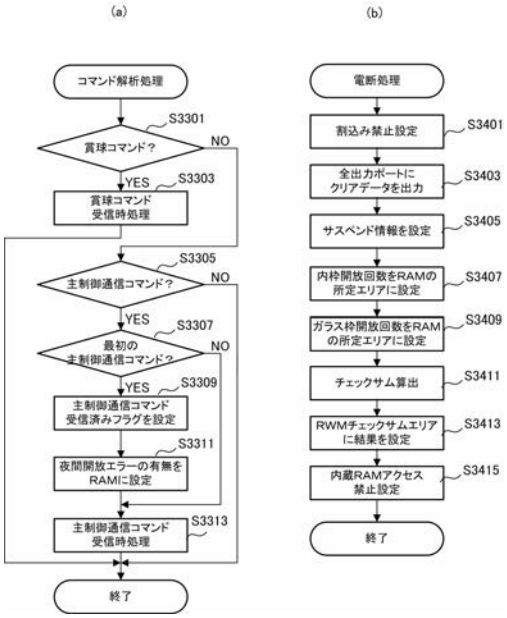
【図３４９】



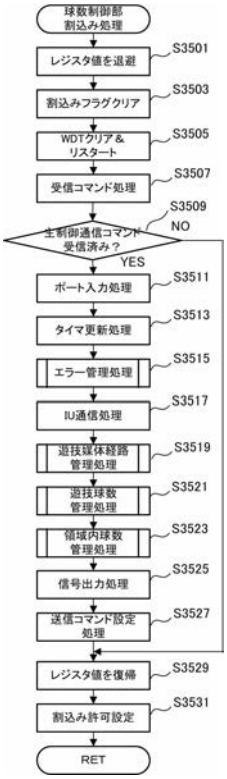
【図３５０】



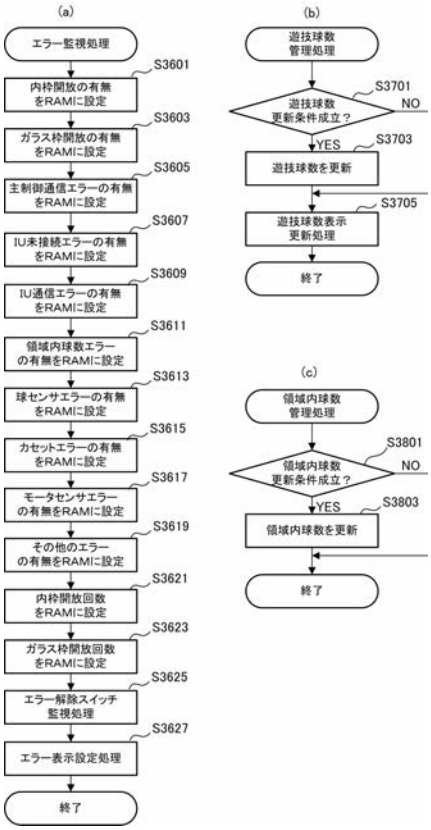
【図３５１】



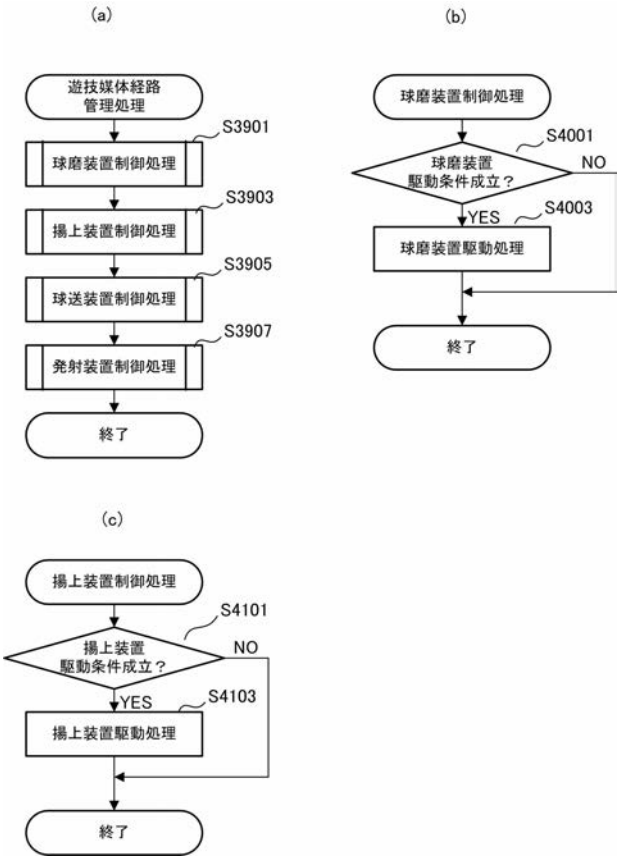
【図３５２】



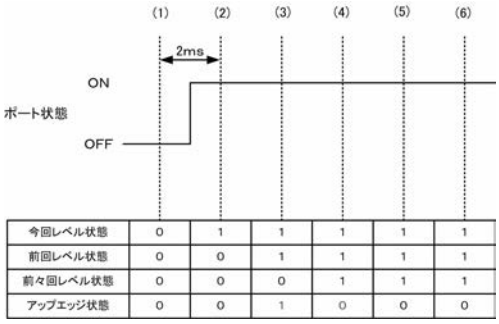
【図３５３】



【図３５４】



【図３５５】

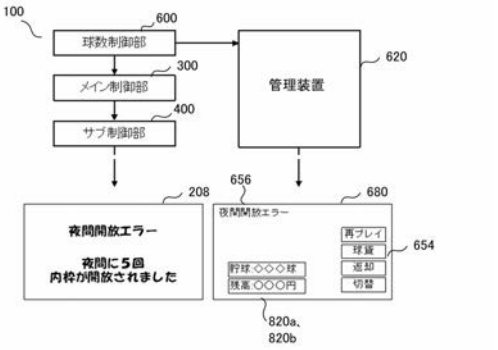


今回レベル状態	0	1	1	1	1	1
前回レベル状態	0	0	1	1	1	1
前々回レベル状態	0	0	0	1	1	1
アップエッジ状態	0	0	1	0	0	0

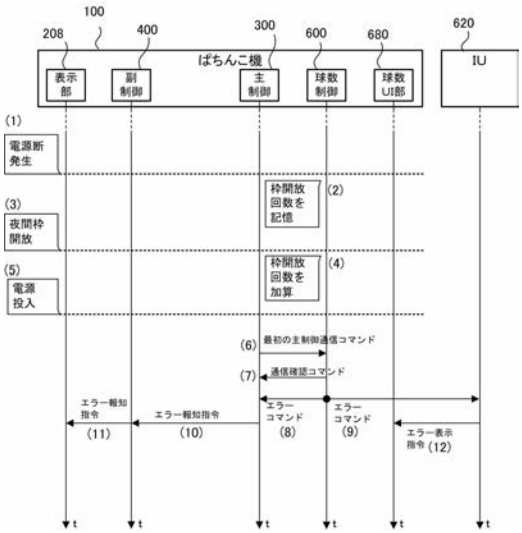
【図３５６】

	主制御	球数制御	サブ制御			IU制御	IU出力
	遊技停止	発射停止	音声出力	ランプ点灯	液晶表示	UI表示	外部出力
磁気センサ検知	○	○	○	○	○	○	○
電波センサ検知	—	—	○	○	○	○	○
振動センサ検知	—	—	○	○	○	○	○
認証エラー	○	○	—	—	—	—	○
通信異常	○	○	○	○	○	○	○
入賞数異常	○	○	○	○	○	○	○
ガラス枠・内枠開放	—	○	○	○	○	○	○
加算異常	—	—	—	○	○	○	○
近接センサ異常	—	—	—	○	○	○	○
領域内球数異常	—	—	○	○	○	○	○
夜間枠開放	—	—	—	—	○	○	○

【図３５７】

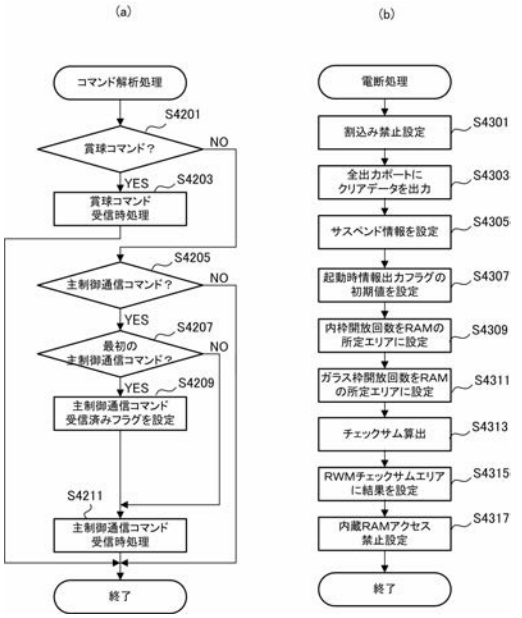


【図３５８】

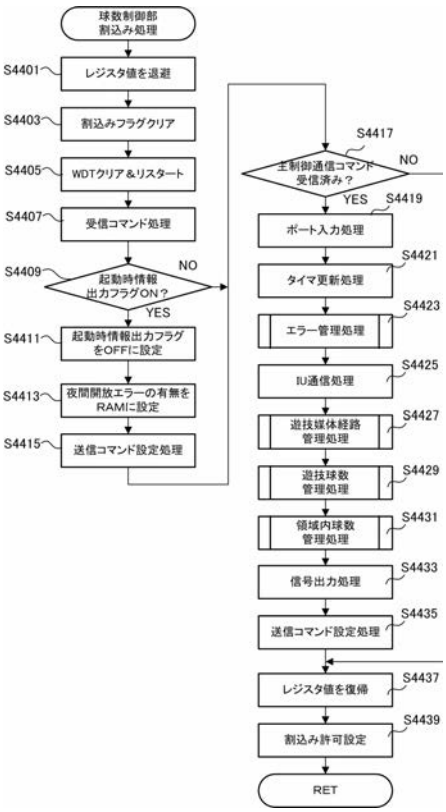


【図３５９】

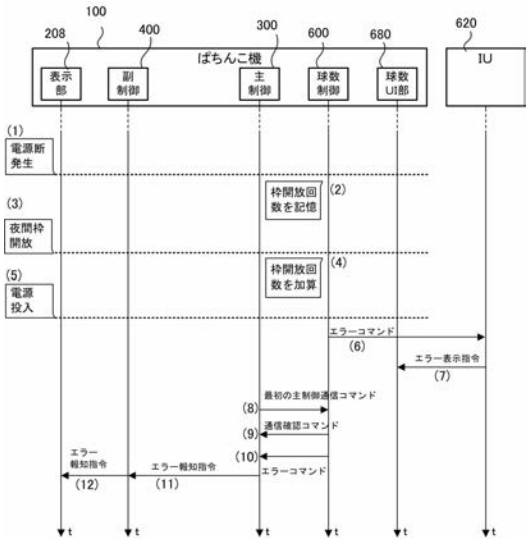
【図３６０】



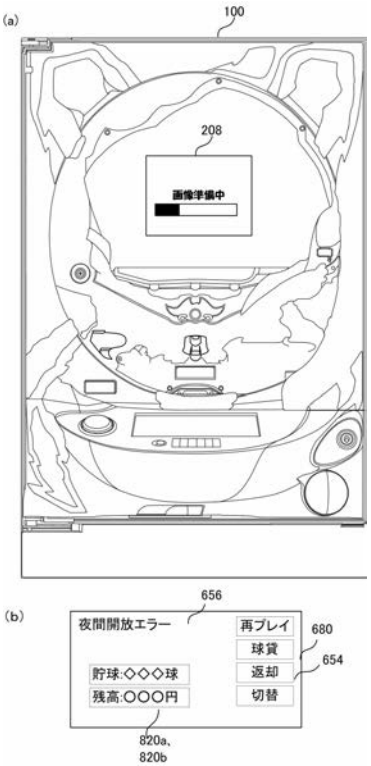
【図３６１】



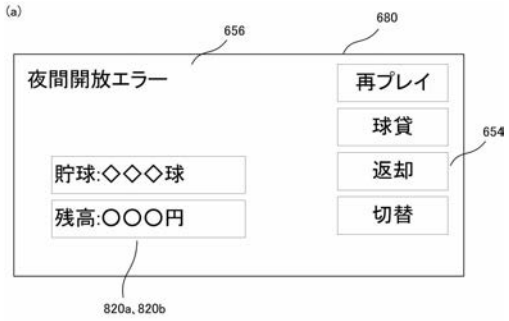
【図３６２】

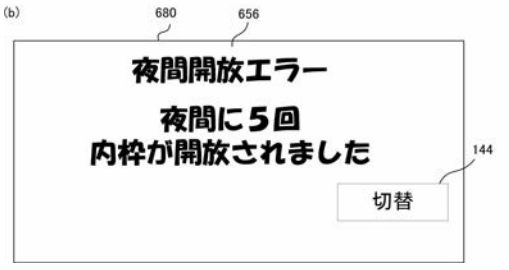


【図３６３】



【図３６４】





フロントページの続き

Ｆターム(参考) 2C082 AB06 AB12 AB16 AB25 AC23 AC38 AC52 AC65 AC82 BB02
BB23 BB33 DA52 DA54 DA80 DB07
2C088 BC45 EA10