

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年1月28日(2010.1.28)

【公開番号】特開2008-135675(P2008-135675A)

【公開日】平成20年6月12日(2008.6.12)

【年通号数】公開・登録公報2008-023

【出願番号】特願2007-93349(P2007-93349)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/3205 (2006.01)

H 01 L 23/52 (2006.01)

【F I】

H 01 L 27/04 H

H 01 L 21/88 S

H 01 L 27/04 U

【手続補正書】

【提出日】平成21年12月8日(2009.12.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
前記シールリングと外部の低インピーダンスノードとを接続する配線と  
を備えることを特徴とする半導体素子。

【請求項2】

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
一端が外部の低インピーダンスノードと接続される容量素子と、  
前記シールリングと前記容量素子の他端とが接続された配線と  
を備えることを特徴とする半導体素子。

【請求項3】

前記シールリングはビアおよび配線層を交互に積層した積層構造を有する  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項4】

前記シールリングは前記半導体基板の周縁部に形成されている  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項5】

前記配線はビアおよび配線層を交互に積層した積層構造を有する  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項6】

前記各回路の少なくとも1つはアナログ回路であり、

前記各回路の少なくとも1つはデジタル回路である  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項7】

前記配線は前記シールリングのうち前記デジタル回路の近傍に設けられている  
ことを特徴とする請求項6に記載の半導体素子。

【請求項8】

前記配線は、当該配線のインピーダンスが、前記シールリングを介して前記デジタル回路から前記アナログ回路へ伝播するノイズの経路のうち当該配線と前記シールリングとの接続点から前記アナログ回路側の経路のインピーダンスよりも小さくなるように、前記シールリングと電気的に接続されている

ことを特徴とする請求項6に記載の半導体素子。

【請求項9】

前記半導体基板は、第1導電型の半導体により構成され、  
前記配線は、前記半導体基板を介して前記シールリングと電気的に接続されている  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項10】

前記半導体基板は、少なくとも当該半導体基板の表面のうち前記シールリングと対向する部位に高濃度の第1導電型不純物を含む第1導電型半導体領域を有し、

前記配線は、前記第1導電型半導体領域を介して前記シールリングと電気的に接続されている

ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項11】

前記配線は、前記配線層を介して前記シールリングと電気的に接続されている  
ことを特徴とする請求項3に記載の半導体素子。

【請求項12】

前記半導体基板は第1導電型の半導体により構成され、  
前記半導体基板の表面のうち前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第2導電型のウェル層を備える

ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項13】

前記シールリングは延在方向と直交する方向に蛇行した形状を有する  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項14】

前記半導体基板は第1導電型の半導体により構成され、  
前記半導体基板の表面のうち前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第2導電型のウェル層を備え、

前記シールリングは延在方向と直交する方向に蛇行した形状を有する  
ことを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項15】

前記容量素子は、デカップリングコンデンサ、MIM(Metal-Insulator-Metal:金属-絶縁体-金属)コンデンサ、櫛型コンデンサ、またはIPD(Integrated Passive Device)に設けられたコンデンサである

ことを特徴とする請求項2に記載の半導体素子。

【請求項16】

第1導電型の半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
前記半導体基板の前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第2導電型のウェル層と  
を備えることを特徴とする半導体素子。

**【請求項 17】**

前記シールリングは延在方向と直交する方向に蛇行した形状を有することを特徴とする請求項16に記載の半導体素子。

**【請求項 18】**

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと  
を備え、

前記シールリングは延在方向と直交する方向に蛇行した形状を有することを特徴とする半導体素子。

**【請求項 19】**

第1導電型の半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
前記半導体基板と前記シールリングとの間に形成された絶縁層と  
を備える  
ことを特徴とする半導体素子。

**【請求項 20】**

前記半導体基板は、少なくとも当該半導体基板の表面のうち前記シールリングと対向する部位に第2導電型半導体領域を有する  
ことを特徴とする請求項19に記載の半導体素子。

**【手続補正2】**

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

**【補正の内容】**

【発明の名称】半導体素子

**【手続補正3】**

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

**【補正の内容】**

【0001】

本発明は、半導体基板に例えばアナログ回路およびデジタル回路などの複数の回路が混載された半導体素子に係り、特に、デジタル回路において大振幅の信号を扱う一方で、アナログ回路で数  $\mu$  Vないし数 mV の微小信号を扱う場合に好適に適用可能な半導体素子に関する。

**【手続補正4】**

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

**【補正の内容】**

【0012】

本発明はかかる問題点に鑑みてなされたものであり、その目的は、シールリングを介して一の回路に伝播する他の回路のノイズを低減することの可能な半導体素子を提供することにある。

**【手続補正5】**

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第1の半導体素子によれば、シールリングと外部の低インピーダンスノードとを電気的に接続する配線を形成するようにしたので、一の回路（例えばデジタル回路）で発生したノイズを、配線を介して外部の低インピーダンスノードに排出することができる。これにより、シールリングを介して他の回路（例えばアナログ回路）に伝播する一の回路のノイズを低減することができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第2の半導体素子によれば、シールリングおよび容量素子を互いに電気的に接続する配線を形成すると共に、容量素子を外部の低インピーダンスノードと接続するようにしたので、一の回路で発生したノイズを、配線および容量素子を介して外部の低インピーダンスノードに排出することができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第3の半導体素子によれば、第1導電型の半導体基板のシールリングと対向する部位を半導体基板の他の部位と分離する第2導電型のウェル層を形成するようにしたので、このようなウェル層を設けていない場合と比べて一の回路と半導体基板との間の高周波領域におけるインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の第4の半導体素子によれば、シールリングに、延在方向と直交する方向に蛇行した形状を形成するようにしたので、蛇行した形状を設けていない場合と比べて一の回路と半導体基板との間の高周波領域におけるインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

**【手続補正 1 1】****【補正対象書類名】明細書****【補正対象項目名】0 0 2 9****【補正方法】変更****【補正の内容】****【0 0 2 9】**

本発明の第 5 の半導体素子によれば、半導体基板とシールリングとの間に絶縁層を形成するようにしたので、このような絶縁層を設けていない場合と比べて一の回路と半導体基板との間のインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

**【手続補正 1 2】****【補正対象書類名】明細書****【補正対象項目名】0 0 0 6****【補正方法】変更****【補正の内容】****【0 0 0 6】**

そこで、例えば、図 3 4 ( A ) に示したように、アナログ回路 1 1 0 を p 型半導体基板 1 4 0 のその他の部分と分離するディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 を設けることが考えられる(特許文献 1)。これにより、図 3 4 ( B ) に示したように、ディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 のアナログ回路 1 1 0 側の界面に寄生容量  $C_{102}$  が発生すると共にディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 のアナログ回路 1 1 0 とは反対側の界面に寄生容量  $C_{103}$  が発生し、アナログ回路 1 1 0 は直列に接続された寄生容量  $C_{101}$  、  $C_{102}$  および  $C_{103}$  を介して p 型半導体基板 1 4 0 と電気的に接続されるので、ディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 を設けていない場合と比べてアナログ回路 1 1 0 と p 型半導体基板 1 4 0 との間の高周波領域におけるインピーダンスを高くすることができる。その結果、アナログ回路 1 1 0 が p 型半導体基板 1 4 0 の電位の影響を受けにくくすることができる。

**【手続補正 1 3】****【補正対象書類名】明細書****【補正対象項目名】0 0 4 2****【補正方法】変更****【補正の内容】****【0 0 4 2】****[ 第 2 の実施の形態 ]**

図 4 は本発明の第 2 の実施の形態に係る半導体素子 2 の平面構成を表すものである。なお、図 4 では半導体素子 2 の層間絶縁膜 4 3 およびパッシベーション層 4 4 が省略されている。図 5 ( A ) は図 4 の B - B 矢視方向の断面構成を表すものであり、図 5 ( B ) は図 5 ( A ) の断面部分におけるビア 3 1 と p 型半導体領域 3 3 との間に生じる抵抗  $R_1$  を表すものである。

**【手続補正 1 4】****【補正対象書類名】明細書****【補正対象項目名】0 0 4 7****【補正方法】変更****【補正の内容】****【0 0 4 7】****[ 第 3 の実施の形態 ]**

図 7 は本発明の第 3 の実施の形態に係る半導体素子 4 の平面構成を表すものである。なお、図 7 では半導体素子 4 の層間絶縁膜 4 3 およびパッシベーション層 4 4 が省略されている。図 8 ( A ) は図 7 の C - C 矢視方向の断面構成を表すものであり、図 8 ( B ) は図 8 ( A ) の断面部分におけるビア 3 1 またはビア 7 1 と p 型半導体領域 3 5 との間に生じ

る抵抗  $R_2$  を表すものである。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

[第3の実施の形態の変形例]

上記実施の形態では、経路  $p_{a t h_2}$ ,  $p_{a t h_3}$  の中途に低インピーダンスのノイズアイソレータ70を並列に設けていたが、図11, 図12(図11のD-D矢視方向の断面構成図)の半導体素子5に示したように、さらに、第2の実施の形態のミアンダ部34を設けてシールリング80を構成するようにしてもよい。なお、図11ではノイズアイソレータ70をミアンダ部34よりもデジタル回路20側に設けた場合が例示されているが、ノイズアイソレータ70およびミアンダ部34のどちらをデジタル回路20側に設けても構わない。これにより、経路  $p_{a t h_2}$ ,  $p_{a t h_3}$  の中途に高インピーダンスの箇所が1つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング80を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

また、図13の半導体素子6に示したように、上記第3の実施の形態に、さらに、第1の実施の形態と同様にディープn型ウェル層41およびn型ウェル層42を設けてもよい。なお、この場合には、シールリング60だけでなくノイズアイソレータ70もディープn型ウェル層41およびn型ウェル層42によってp型半導体基板40のその他の部分と分離されている。これにより、経路  $p_{a t h_2}$ ,  $p_{a t h_3}$  の中途に高インピーダンスの箇所が1つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング60を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

また、図14の半導体素子7に示したように、上記図13の半導体素子6の構成に、さらに、第2の実施の形態のミアンダ部34を設けてシールリング80を構成するようにしてもよい。これにより、経路  $p_{a t h_2}$ ,  $p_{a t h_3}$  の中途に高インピーダンスの箇所が2つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング80を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

## [第4の実施の形態]

図16は本発明の第4の実施の形態に係る半導体素子9の平面構成を表すものである。なお、図16では半導体素子9の層間絶縁膜43およびパッシベーション層44が省略されている。図17(A)は図16のA-A矢視方向の断面構成を表すものであり、図17(B)は図17(A)の断面部分におけるピア31とp型半導体領域35との間に生じる寄生容量C<sub>6</sub>を表すものである。

## 【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

## 【0064】

また、このシールリング240は、ポリシリコン膜36および素子分離絶縁膜49を介してp型半導体基板40と接している。そのため、図17(B)に示したように、ピア31、ポリシリコン膜36およびp型半導体基板40からなるキャパシタによって、容量C<sub>3</sub>が発生する。ここで、ポリシリコン膜36は、例えば、CMOSのゲート電極を形成する際に一括して形成することが可能であり、LOCOS(local oxidation of silicon)またはSTI(Shallow Trench Isolation)により形成されており、十分に厚い。そのため、容量C<sub>3</sub>の大きさは極めて小さく、高周波に対するインピーダンスが高いので、デジタル回路20で発生したノイズが経路path<sub>2</sub>, path<sub>3</sub>を介して伝播してきたとしても、p型半導体基板40の電位へ与える影響を低減することができる。その結果、シールリング240を介してアナログ回路10に伝播するデジタル回路20のノイズを低減することができる。

## 【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

## 【0065】

## [第4の実施の形態の変形例]

上記実施の形態では、シールリング240の最下部にポリシリコン膜36および素子分離絶縁膜49を設け、シールリング240をp型半導体基板40から分離していたが、図18に示したように、ポリシリコン膜36ならびにポリシリコン膜36に隣接して形成されていた配線層32およびピア31の代わりに層間絶縁膜43を配置することによっても、シールリング240をp型半導体基板40から分離することが可能である。

## 【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

## 【0067】

## [上記各実施の形態およびその変形例に対する変形例]

上記各実施の形態およびその変形例では、経路path<sub>2</sub>, path<sub>3</sub>(図3、図4、図7、図11および図16参照)を伝播してくるノイズを低減するために経路path<sub>2</sub>, path<sub>3</sub>に対してだけ種々の対策を講じたが、これに加えて、経路path<sub>1</sub>, path<sub>2</sub>, path<sub>3</sub>を伝播してくるノイズをアナログ回路10の直近で低減するために、例えば、図20(A)(半導体素子のアナログ回路10部分の断面図)に示したように、アナログ回路10をp型半導体基板40のその他の部分と分離するディープn型ウェル層45およびn型ウェル層46を設けてよい。これにより、例えば、図20(B)に示したように、アナログ回路10に含まれるトランジスタのn型ソース領域11またはn型ドレイン

領域 1 2 と p 型半導体基板 4 0 との界面に寄生容量  $C_6$  が発生し、さらに、ディープ n 型ウェル層 4 5 および n 型ウェル層 4 6 のアナログ回路 1 0 側の界面に寄生容量  $C_7$  が発生すると共にディープ n 型ウェル層 4 5 および n 型ウェル層 4 6 のアナログ回路 1 0 とは反対側の界面に寄生容量  $C_8$  が発生する。これにより、アナログ回路 1 0 は直列に接続された寄生容量  $C_6$ 、 $C_7$  および  $C_8$  を介して p 型半導体基板 4 0 と電気的に接続されるので、ディープ n 型ウェル層 4 5 および n 型ウェル層 4 6 を設けていない場合と比べてアナログ回路 1 0 と p 型半導体基板 4 0 との間の高周波領域におけるインピーダンスを高くすることができます。その結果、経路 path<sub>1</sub>、path<sub>2</sub>、path<sub>3</sub> を介してアナログ回路 1 0 に伝播するデジタル回路 2 0 のノイズをさらに低減することができる。

【手続補正 2 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 7

【補正方法】変更

【補正の内容】

【0 0 7 7】

[適用例]

上記各実施の形態およびその変形例に係る半導体素子は、例えば、図 2 8、図 2 9 に示したような半導体装置 2 や、この半導体装置 2 が実装された実装基板 3 に対して適用可能である。ここで、半導体装置 2 は、例えば、半導体素子 1 と、半導体素子 1 を固定する支持基板 3 0 1 と、半導体素子 1 を覆うと共に外部から保護する蓋体 3 0 2 と、支持基板 3 0 1 を貫通すると共に裏面に露出し、かつ半導体素子 1 と電気的に接続された端子 3 0 3 とを備えている。また、実装基板 3 は、半導体装置 2 と、この半導体装置 2 やその他の種々のデバイスを実装するプリント基板 4 とを備えている。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 1

【補正方法】変更

【補正の内容】

【0 0 8 1】

【図 1】本発明の第 1 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 2】図 1 の A - A 矢視方向の断面構成図である。

【図 3】図 1 の半導体素子におけるノイズの伝播経路について説明するための平面構成図である。

【図 4】本発明の第 2 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 5】図 4 の B - B 矢視方向の断面構成図である。

【図 6】一変形例に係る半導体素子の断面構成図である。

【図 7】本発明の第 3 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 8】図 7 の C - C 矢視方向の断面構成図である。

【図 9】図 7 の半導体素子の一具体例についての等価回路図である。

【図 1 0】図 7 の半導体素子の他の具体例についての等価回路図である。

【図 1 1】一変形例に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 1 2】図 1 1 の D - D 矢視方向の断面構成図である。

【図 1 3】他の変形例に係る半導体素子の断面構成図である。

【図 1 4】その他の変形例に係る半導体素子の断面構成図である。

【図 1 5】その他の変形例に係る半導体素子の断面構成図である。

【図 1 6】本発明の第 4 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜および

パッシベーション層を省略)である。

【図17】図16のA-A矢視方向の断面構成図である。

【図18】一変形例に係る半導体素子の断面構成図である。

【図19】他の変形例に係る半導体素子の断面構成図である。

【図20】各実施の形態のその他の変形例に係る半導体素子の断面構成図である。

【図21】実施例1、2、比較例1に係る半導体素子のノイズ特性を表す特性図である。

【図22】実施例3、比較例2に係る半導体素子のノイズ特性を表す特性図である。

【図23】実施例2に係る半導体素子の平面構成図である。

【図24】実施例4、比較例1に係る半導体素子のノイズ特性を表す特性図である。

【図25】実施例5、比較例2に係る半導体素子のノイズ特性を表す特性図である。

【図26】実施例6、比較例1に係る半導体素子のノイズ特性を表す特性図である。

【図27】実施例7、比較例2に係る半導体素子のノイズ特性を表す特性図である。

【図28】一適用例に係る半導体装置の一例を表す断面構成図である。

【図29】他の適用例に係る実装基板の一例を表す斜視図である。

【図30】従来の半導体素子の平面構成図(層間絶縁膜およびパッシベーション層を省略)である。

【図31】図30のA-A矢視方向の断面構成図である。

【図32】図30のB-B矢視方向の断面構成図である。

【図33】図30の半導体素子におけるノイズの伝播経路について説明するための平面構成図である。

【図34】一変形例に係る従来の半導体素子の断面構成図である。

【図35】他の変形例に係る従来の半導体素子の断面構成図である。

【図36】その他の変形例に係る従来の半導体素子の断面構成図である。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

1~7...半導体素子、10...アナログ回路、20...デジタル回路、30, 50, 60,  
80...シールリング、31, 71, 73...ビア、32, 72...配線層、33, 35...p型  
半導体領域、34...ミアンダ部、40...p型半導体基板、41, 45...ディープn型ウェル層、  
42, 46...n型ウェル層、43...層間絶縁膜、44...パッシベーション層、44  
A...SiO<sub>2</sub>層、44B...ポリイミド層、49...素子分離絶縁膜、70...ノイズアイソレータ、  
74...パッド、path<sub>1</sub>, path<sub>2</sub>, path<sub>3</sub>...経路。