

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年1月28日 (2010.1.28)

【公開番号】特開2008-135675(P2008-135675A)

【公開日】平成20年6月12日 (2008.6.12)

【年通号数】公開・登録公報2008-023

【出願番号】特願2007-93349(P2007-93349)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 21/88 S

H 0 1 L 27/04 U

【手続補正書】

【提出日】平成21年12月8日 (2009.12.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
前記シールリングと外部の低インピーダンスノードとを接続する配線と  
を備えることを特徴とする半導体素子。

【請求項 2】

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
一端が外部の低インピーダンスノードと接続される容量素子と、  
前記シールリングと前記容量素子の他端とが接続された配線と  
を備えることを特徴とする半導体素子。

【請求項 3】

前記シールリングはビアおよび配線層を交互に積層した積層構造を有する  
ことを特徴とする請求項 1 または請求項 2 に記載の半導体素子。

【請求項 4】

前記シールリングは前記半導体基板の周縁部に形成されている  
ことを特徴とする請求項 1 または請求項 2 に記載の半導体素子。

【請求項 5】

前記配線はビアおよび配線層を交互に積層した積層構造を有する  
ことを特徴とする請求項 1 または請求項 2 に記載の半導体素子。

【請求項 6】

前記各回路の少なくとも 1 つはアナログ回路であり、

前記各回路の少なくとも１つはデジタル回路であることを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項７】

前記配線は前記シールリングのうち前記デジタル回路の近傍に設けられていることを特徴とする請求項６に記載の半導体素子。

【請求項８】

前記配線は、当該配線のインピーダンスが、前記シールリングを介して前記デジタル回路から前記アナログ回路へ伝播するノイズの経路のうち当該配線と前記シールリングとの接続点から前記アナログ回路側の経路のインピーダンスよりも小さくなるように、前記シールリングと電氣的に接続されている

ことを特徴とする請求項６に記載の半導体素子。

【請求項９】

前記半導体基板は、第１導電型の半導体により構成され、  
前記配線は、前記半導体基板を介して前記シールリングと電氣的に接続されていることを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項１０】

前記半導体基板は、少なくとも当該半導体基板の表面のうち前記シールリングと対向する部位に高濃度の第１導電型不純物を含む第１導電型半導体領域を有し、

前記配線は、前記第１導電型半導体領域を介して前記シールリングと電氣的に接続されている

ことを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項１１】

前記配線は、前記配線層を介して前記シールリングと電氣的に接続されていることを特徴とする請求項３に記載の半導体素子。

【請求項１２】

前記半導体基板は第１導電型の半導体により構成され、

前記半導体基板の表面のうち前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第２導電型のウェル層を備える

ことを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項１３】

前記シールリングは延在方向と直交する方向に蛇行した形状を有する

ことを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項１４】

前記半導体基板は第１導電型の半導体により構成され、

前記半導体基板の表面のうち前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第２導電型のウェル層を備え、

前記シールリングは延在方向と直交する方向に蛇行した形状を有する

ことを特徴とする請求項１または請求項２に記載の半導体素子。

【請求項１５】

前記容量素子は、デカップリングコンデンサ、ＭＩＭ（Metal-Insulator-Metal：金属-絶縁体-金属）コンデンサ、櫛型コンデンサ、またはＩＰＤ（Integrated Passive Device）に設けられたコンデンサである

ことを特徴とする請求項２に記載の半導体素子。

【請求項１６】

第１導電型の半導体基板の表面に、

複数の回路と、

前記複数の回路を取り囲む環状のシールリングと、

前記半導体基板の前記シールリングと対向する部位を前記半導体基板の他の部位と分離する第２導電型のウェル層と

を備えることを特徴とする半導体素子。

## 【請求項 17】

前記シールリングは延在方向と直交する方向に蛇行した形状を有することを特徴とする請求項 16 に記載の半導体素子。

## 【請求項 18】

半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと  
を備え、  
前記シールリングは延在方向と直交する方向に蛇行した形状を有することを特徴とする半導体素子。

## 【請求項 19】

第 1 導電型の半導体基板の表面に、  
複数の回路と、  
前記複数の回路を取り囲む環状のシールリングと、  
前記半導体基板と前記シールリングとの間に形成された絶縁層と  
を備える  
ことを特徴とする半導体素子。

## 【請求項 20】

前記半導体基板は、少なくとも当該半導体基板の表面のうち前記シールリングと対向する部位に第 2 導電型半導体領域を有することを特徴とする請求項 19 に記載の半導体素子。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体素子

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、半導体基板に例えばアナログ回路およびデジタル回路などの複数の回路が混載された半導体素子に係り、特に、デジタル回路において大振幅の信号を扱う一方で、アナログ回路で数  $\mu$  V ないし数 m V の微小信号を扱う場合に好適に適用可能な半導体素子に関する。

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明はかかる問題点に鑑みてなされたものであり、その目的は、シールリングを介して一の回路に伝播する他の回路のノイズを低減することの可能な半導体素子を提供することにある。

## 【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第1の半導体素子によれば、シールリングと外部の低インピーダンスノードとを電氣的に接続する配線を形成するようにしたので、一の回路（例えばデジタル回路）で発生したノイズを、配線を介して外部の低インピーダンスノードに排出することができる。これにより、シールリングを介して他の回路（例えばアナログ回路）に伝播する一の回路のノイズを低減することができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第2の半導体素子によれば、シールリングおよび容量素子を互いに電氣的に接続する配線を形成すると共に、容量素子を外部の低インピーダンスノードと接続するようにしたので、一の回路で発生したノイズを、配線および容量素子を介して外部の低インピーダンスノードに排出することができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第3の半導体素子によれば、第1導電型の半導体基板のシールリングと対向する部位を半導体基板の他の部位と分離する第2導電型のウェル層を形成するようにしたので、このようなウェル層を設けていない場合と比べて一の回路と半導体基板との間の高周波領域におけるインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の第4の半導体素子によれば、シールリングに、延在方向と直交する方向に蛇行した形状を形成するようにしたので、蛇行した形状を設けていない場合と比べて一の回路と半導体基板との間の高周波領域におけるインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

## 【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

本発明の第 5 の半導体素子によれば、半導体基板とシールリングとの間に絶縁層を形成するようにしたので、このような絶縁層を設けていない場合と比べて一の回路と半導体基板との間のインピーダンスを高くすることができる。これにより、シールリングを介して他の回路に伝播する一の回路のノイズを低減することができる。

## 【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

そこで、例えば、図 3 4 ( A ) に示したように、アナログ回路 1 1 0 を p 型半導体基板 1 4 0 のその他の部分と分離するディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 を設けることが考えられる ( 特許文献 1 )。これにより、図 3 4 ( B ) に示したように、ディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 のアナログ回路 1 1 0 側の界面に寄生容量  $C_{102}$  が発生すると共にディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 のアナログ回路 1 1 0 とは反対側の界面に寄生容量  $C_{103}$  が発生し、アナログ回路 1 1 0 は直列に接続された寄生容量  $C_{101}$ 、 $C_{102}$  および  $C_{103}$  を介して p 型半導体基板 1 4 0 と電氣的に接続されるので、ディープ n 型ウェル層 1 4 3 および n 型ウェル層 1 4 4 を設けていない場合と比べてアナログ回路 1 1 0 と p 型半導体基板 1 4 0 との間の高周波領域におけるインピーダンスを高くすることができる。その結果、アナログ回路 1 1 0 が p 型半導体基板 1 4 0 の電位の影響を受けにくくすることができる。

## 【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 2

【補正方法】変更

【補正の内容】

【0 0 4 2】

[ 第 2 の実施の形態 ]

図 4 は本発明の第 2 の実施の形態に係る半導体素子 2 の平面構成を表すものである。なお、図 4 では半導体素子 2 の層間絶縁膜 4 3 およびパッシベーション層 4 4 が省略されている。図 5 ( A ) は図 4 の B - B 矢視方向の断面構成を表すものであり、図 5 ( B ) は図 5 ( A ) の断面部分におけるビア 3 1 と p 型半導体領域 3 3 との間に生じる抵抗  $R_1$  を表すものである。

## 【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

[ 第 3 の実施の形態 ]

図 7 は本発明の第 3 の実施の形態に係る半導体素子 4 の平面構成を表すものである。なお、図 7 では半導体素子 4 の層間絶縁膜 4 3 およびパッシベーション層 4 4 が省略されている。図 8 ( A ) は図 7 の C - C 矢視方向の断面構成を表すものであり、図 8 ( B ) は図 8 ( A ) の断面部分におけるビア 3 1 またはビア 7 1 と p 型半導体領域 3 5 との間に生じ

る抵抗  $R_2$  を表すものである。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

[第3の実施の形態の変形例]

上記実施の形態では、経路  $path_2$ ,  $path_3$  の中途に低インピーダンスのノイズアイソレータ70を並列に設けていたが、図11, 図12(図11のD-D矢視方向の断面構成図)の半導体素子5に示したように、さらに、第2の実施の形態のミランダ部34を設けてシールリング80を構成するようにしてもよい。なお、図11ではノイズアイソレータ70をミランダ部34よりもデジタル回路20側に設けた場合が例示されているが、ノイズアイソレータ70およびミランダ部34のどちらをデジタル回路20側に設けても構わない。これにより、経路  $path_2$ ,  $path_3$  の中途に高インピーダンスの箇所が1つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング80を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

また、図13の半導体素子6に示したように、上記第3の実施の形態に、さらに、第1の実施の形態と同様にディープn型ウェル層41およびn型ウェル層42を設けてもよい。なお、この場合には、シールリング60だけでなくノイズアイソレータ70もディープn型ウェル層41およびn型ウェル層42によってp型半導体基板40のその他の部分と分離されている。これにより、経路  $path_2$ ,  $path_3$  の中途に高インピーダンスの箇所が1つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング60を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

また、図14の半導体素子7に示したように、上記図13の半導体素子6の構成に、さらに、第2の実施の形態のミランダ部34を設けてシールリング80を構成するようにしてもよい。これにより、経路  $path_2$ ,  $path_3$  の中途に高インピーダンスの箇所が2つ直列に挿入されると共に、低インピーダンスのノイズアイソレータ70が並列に接続されるので、シールリング80を介してアナログ回路10に伝播するデジタル回路20のノイズをさらに低減することができる。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

## [ 第 4 の実施の形態 ]

図 1 6 は本発明の第 4 の実施の形態に係る半導体素子 9 の平面構成を表すものである。なお、図 1 6 では半導体素子 9 の層間絶縁膜 4 3 およびパッシベーション層 4 4 が省略されている。図 1 7 ( A ) は図 1 6 の A - A 矢視方向の断面構成を表すものであり、図 1 7 ( B ) は図 1 7 ( A ) の断面部分におけるビア 3 1 と p 型半導体領域 3 5 との間に生じる寄生容量  $C_6$  を表すものである。

## 【 手続補正 1 9 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 6 4

【 補正方法 】 変更

【 補正の内容 】

【 0 0 6 4 】

また、このシールリング 2 4 0 は、ポリシリコン膜 3 6 および 素子分離絶縁膜 4 9 を介して p 型半導体基板 4 0 と接している。そのため、図 1 7 ( B ) に示したように、ビア 3 1、ポリシリコン膜 3 6 および p 型半導体基板 4 0 からなるキャパシタによって、容量  $C_3$  が発生する。ここで、ポリシリコン膜 3 6 は、例えば、CMOS のゲート電極を形成する際に一括して形成することが可能であり、LOCOS (local oxidation of silicon) または STI (Shallow Trench Isolation) により形成されており、十分に厚い。そのため、容量  $C_3$  の大きさは極めて小さく、高周波に対するインピーダンスが高いため、デジタル回路 2 0 で発生したノイズが経路  $path_2$ 、 $path_3$  を介して伝播してきたとしても、p 型半導体基板 4 0 の電位へ与える影響を低減することができる。その結果、シールリング 2 4 0 を介してアナログ回路 1 0 に伝播するデジタル回路 2 0 のノイズを低減することができる。

## 【 手続補正 2 0 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 6 5

【 補正方法 】 変更

【 補正の内容 】

【 0 0 6 5 】

## [ 第 4 の実施の形態の変形例 ]

上記実施の形態では、シールリング 2 4 0 の最下部にポリシリコン膜 3 6 および 素子分離絶縁膜 4 9 を設け、シールリング 2 4 0 を p 型半導体基板 4 0 から分離していたが、図 1 8 に示したように、ポリシリコン膜 3 6 ならびにポリシリコン膜 3 6 に隣接して形成されていた配線層 3 2 およびビア 3 1 の代わりに層間絶縁膜 4 3 を配置することによっても、シールリング 2 4 0 を p 型半導体基板 4 0 から分離することが可能である。

## 【 手続補正 2 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 6 7

【 補正方法 】 変更

【 補正の内容 】

【 0 0 6 7 】

## [ 上記各実施の形態およびその変形例に対する変形例 ]

上記各実施の形態およびその変形例では、経路  $path_2$ 、 $path_3$  (図 3、図 4、図 7、図 1 1 および図 1 6 参照) を伝播してくるノイズを低減するために経路  $path_2$ 、 $path_3$  に対してだけ種々の対策を講じたが、これに加えて、経路  $path_1$ 、 $path_2$ 、 $path_3$  を伝播してくるノイズをアナログ回路 1 0 の直近で低減するために、例えば、図 2 0 ( A ) (半導体素子のアナログ回路 1 0 部分の断面図) に示したように、アナログ回路 1 0 を p 型半導体基板 4 0 のその他の部分と分離するディープ n 型ウェル層 4 5 および n 型ウェル層 4 6 を設けてもよい。これにより、例えば、図 2 0 ( B ) に示したように、アナログ回路 1 0 に含まれるトランジスタの n 型ソース領域 1 1 または n 型ドレイン

領域 12 と p 型半導体基板 40 との界面に寄生容量  $C_6$  が発生し、さらに、ディープ n 型ウェル層 45 および n 型ウェル層 46 のアナログ回路 10 側の界面に寄生容量  $C_7$  が発生すると共にディープ n 型ウェル層 45 および n 型ウェル層 46 のアナログ回路 10 とは反対側の界面に寄生容量  $C_8$  が発生する。これにより、アナログ回路 10 は直列に接続された寄生容量  $C_6$ 、 $C_7$  および  $C_8$  を介して p 型半導体基板 40 と電氣的に接続されるので、ディープ n 型ウェル層 45 および n 型ウェル層 46 を設けていない場合と比べてアナログ回路 10 と p 型半導体基板 40 との間の高周波領域におけるインピーダンスを高くすることができる。その結果、経路  $path_1$ 、 $path_2$ 、 $path_3$  を介してアナログ回路 10 に伝播するデジタル回路 20 のノイズをさらに低減することができる。

【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正の内容】

【0077】

[適用例]

上記各実施の形態およびその変形例に係る半導体素子は、例えば、図 28、図 29 に示したような半導体装置 2 や、この半導体装置 2 が実装された実装基板 3 に対して適用可能である。ここで、半導体装置 2 は、例えば、半導体素子 1 と、半導体素子 1 を固定する支持基板 301 と、半導体素子 1 を覆うと共に外部から保護する蓋体 302 と、支持基板 301 を貫通すると共に裏面に露出し、かつ半導体素子 1 と電氣的に接続された端子 303 とを備えている。また、実装基板 3 は、半導体装置 2 と、この半導体装置 2 やその他の種々のデバイスを実装するプリント基板 4 とを備えている。

【手続補正 23】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

【図 1】本発明の第 1 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 2】図 1 の A - A 矢視方向の断面構成図である。

【図 3】図 1 の半導体素子におけるノイズの伝播経路について説明するための平面構成図である。

【図 4】本発明の第 2 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 5】図 4 の B - B 矢視方向の断面構成図である。

【図 6】一変形例に係る半導体素子の断面構成図である。

【図 7】本発明の第 3 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 8】図 7 の C - C 矢視方向の断面構成図である。

【図 9】図 7 の半導体素子の一具体例についての等価回路図である。

【図 10】図 7 の半導体素子の他の具体例についての等価回路図である。

【図 11】一変形例に係る半導体素子の平面構成図（層間絶縁膜およびパッシベーション層を省略）である。

【図 12】図 11 の D - D 矢視方向の断面構成図である。

【図 13】他の変形例に係る半導体素子の断面構成図である。

【図 14】その他の変形例に係る半導体素子の断面構成図である。

【図 15】その他の変形例に係る半導体素子の断面構成図である。

【図 16】本発明の第 4 の実施の形態に係る半導体素子の平面構成図（層間絶縁膜および



パッシベーション層を省略)である。

【図 1 7】図 1 6 の A - A 矢視方向の断面構成図である。

【図 1 8】一変形例に係る半導体素子の断面構成図である。

【図 1 9】他の変形例に係る半導体素子の断面構成図である。

【図 2 0】各実施の形態のその他の変形例に係る半導体素子の断面構成図である。

【図 2 1】実施例 1, 2、比較例 1 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 2】実施例 3、比較例 2 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 3】実施例 2 に係る半導体素子の平面構成図である。

【図 2 4】実施例 4、比較例 1 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 5】実施例 5、比較例 2 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 6】実施例 6、比較例 1 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 7】実施例 7、比較例 2 に係る半導体素子のノイズ特性を表す特性図である。

【図 2 8】一適用例に係る半導体装置の一例を表す断面構成図である。

【図 2 9】他の適用例に係る実装基板の一例を表す斜視図である。

【図 3 0】従来の半導体素子の平面構成図(層間絶縁膜およびパッシベーション層を省略)である。

【図 3 1】図 3 0 の A - A 矢視方向の断面構成図である。

【図 3 2】図 3 0 の B - B 矢視方向の断面構成図である。

【図 3 3】図 3 0 の半導体素子におけるノイズの伝播経路について説明するための平面構成図である。

【図 3 4】一変形例に係る従来の半導体素子の断面構成図である。

【図 3 5】他の変形例に係る従来の半導体素子の断面構成図である。

【図 3 6】その他の変形例に係る従来の半導体素子の断面構成図である。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 2

【補正方法】変更

【補正の内容】

【0 0 8 2】

1 ~ 7 ... 半導体素子、1 0 ... アナログ回路、2 0 ... デジタル回路、3 0, 5 0, 6 0, 8 0 ... シールリング、3 1, 7 1, 7 3 ... ビア、3 2, 7 2 ... 配線層、3 3, 3 5 ... p 型半導体領域、3 4 ... ミアングダ部、4 0 ... p 型半導体基板、4 1, 4 5 ... ディープ n 型ウェル層、4 2, 4 6 ... n 型ウェル層、4 3 ... 層間絶縁膜、4 4 ... パッシベーション層、4 4 A ...  $\text{SiO}_2$  層、4 4 B ... ポリイミド層、4 9 ... 素子分離絶縁膜、7 0 ... ノイズアイソレータ、7 4 ... パッド、 $\text{path}_1$ ,  $\text{path}_2$ ,  $\text{path}_3$  ... 経路。