



(12)发明专利

(10)授权公告号 CN 102738118 B

(45)授权公告日 2017.04.12

(21)申请号 201210092828.5

(22)申请日 2012.03.31

(65)同一申请的已公布的文献号
申请公布号 CN 102738118 A

(43)申请公布日 2012.10.17

(30)优先权数据
2011-087048 2011.04.11 JP

(73)专利权人 索尼公司
地址 日本东京

(72)发明人 泽田宪

(74)专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 陈桂香 武玉琴

(51)Int.Cl.

H01L 23/538(2006.01)

H01L 23/50(2006.01)

(56)对比文件

US 2005139978 A1, 2005.06.30,

审查员 陈龙

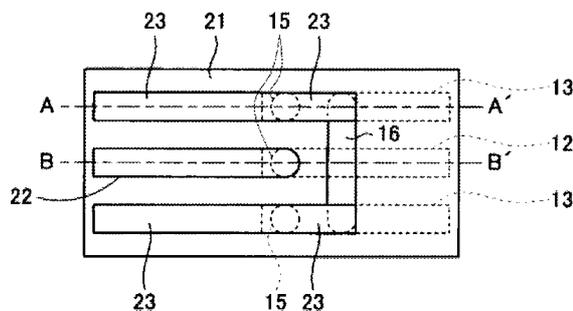
权利要求书1页 说明书17页 附图15页

(54)发明名称

半导体器件

(57)摘要

本发明涉及半导体器件。该半导体器件包括层叠的第一半导体基板和第二半导体基板；第一传输线，包括信号线和地线；第二传输线，包括信号线和地线；用于信号线的第一通孔层，由形成在通孔内的导体层构成，连接到第一传输线的信号线和第二传输线的信号线；用于地线的第一通孔层，由形成在通孔内的导体层构成，连接到第一传输线的地线和第二传输线的地线；以及用于地线的第二通孔层，由形成在通孔内的导体层构成，连接到第一传输线的地线和/或第二传输线的地线，且包括带状的通孔层，带状的通孔层形成与用于信号线的第一通孔层相对。本发明的半导体器件能对用于将传输线互相连接的通孔层周围的接地进行强化并能调整通孔部分的特征阻抗。



1. 一种半导体器件,包括:

第一半导体基板和第二半导体基板,所述第一半导体基板和所述第二半导体基板层叠,并且在所述第一半导体基板和所述第二半导体基板之间布置有绝缘层;

第一传输线,所述第一传输线形成在所述第一半导体基板上,所述第一传输线包括信号线和地线;

第二传输线,所述第二传输线形成在所述第二半导体基板上,所述第二传输线包括信号线和地线;

用于信号线的第一通孔层,所述用于信号线的第一通孔层是由形成在通孔内部的导体层构成,并且连接到所述第一传输线的信号线和所述第二传输线的信号线;

用于地线的第一通孔层,所述用于地线的第一通孔层是由形成在通孔内部的导体层构成,并且连接到所述第一传输线的地线和所述第二传输线的地线;以及

用于地线的第二通孔层,所述用于地线的第二通孔层是由形成在通孔内部的导体层构成,且连接到所述第一传输线的地线和/或所述第二传输线的地线,并且所述用于地线的第二通孔层包括在所述第一半导体基板和所述第二半导体基板的层叠方向上延伸的两个通孔层以及在所述两个通孔层之间延伸且连接所述两个通孔层的带状的通孔层,所述带状的通孔层形成为与所述用于信号线的第一通孔层相对,在所述带状的通孔层和所述用于信号线的第一通孔层之间具有间隔。

2. 如权利要求1所述的半导体器件,

其中,所述用于地线的第二通孔层形成为比所述用于地线的第一通孔层浅。

3. 如权利要求1所述的半导体器件,还包括用于地线的第三通孔层,其位于所述用于地线的第一通孔层的与所述用于地线的第二通孔层侧相反的侧,所述用于地线的第三通孔层是由形成在通孔内部的导体层构成,并且所述用于地线的第三通孔层连接到所述第二传输线的地线。

4. 如权利要求1所述的半导体器件,

其中,所述第一传输线和所述第二传输线均是共面线。

5. 如权利要求1所述的半导体器件,

其中,所述第一传输线和所述第二传输线中的一者是共面线,另一者是微带线。

6. 如权利要求1所述的半导体器件,

其中,所述第一传输线和所述第二传输线均是微带线。

7. 如权利要求1所述的半导体器件,

其中,对于所述第一传输线的特征阻抗为 Z_a 且所述第二传输线的特征阻抗为 Z_b 时,含有所述用于信号线的第一通孔层和所述用于地线的第二通孔层的通孔部分的特征阻抗是 $\sqrt{(Z_a \times Z_b)}$ 。

半导体器件

[0001] 相关申请的交叉参考

[0002] 本发明包含与2011年4月11日向日本专利局提交的日本在先专利申请JP 2011-087048的公开内容相关的主题,在此将该在先申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及如下半导体器件,该半导体器件具有多个半导体基板,在所述多个半导体基板上形成有高频电路,并且所述各个半导体基板的高频电路彼此电连接。

背景技术

[0004] 虽然半导体器件中的元件的微型化目前取得了进展,但是近来由于光刻的衍射极限使微型化变得困难。

[0005] 于是,为了进一步集成,人们已经在尝试通过三维层叠并且集成多个半导体芯片来提高有效的集成度。

[0006] 至于通过层叠多个半导体芯片得到的结构,除了有通过层叠同种电路元件得到的结构,人们还尝试通过层叠诸如运算电路芯片和存储电路芯片等不同类型的电路元件使不同功能组合到单个芯片中。结合这些不同的功能不仅能够提高集成度,还能够增强功能性。

[0007] 当使用高频电路作为将要层叠的电路元件,并且所述高频电路与另一个电路元件或者另一个高频电路层叠时,芯片能够具有通信功能,或者在单个芯片上能够处理各种频率的信号。

[0008] 此外,由于高频电路的电路部分的尺寸是由高频电路的工作频率决定,所以难以通过微型化来提高高频电路的集成度。因此,期望通过三维层叠高频电路元件来提高高频电路元件的集成度。提高高频电路元件的集成度能够提高高频电路元件的性能。

[0009] 当上面形成有高频电路的两块半导体基板互相层叠时,需要形成用于连接的导体,以便将各半导体基板的高频电路互相连接。

[0010] 形成在半导体基板上的高频电路的典型传输线包括微带线和共面线。其它传输线包括同轴线和带状线。

[0011] 高频电路的这些传输线具有用于信号线的地线,并且通过信号线和所述地线的各导体来发送电磁波。

[0012] 然而,当各个高频电路的传输线通过通孔内的导体层(导体层在下文中将被称作“通孔层”)简单地互相连接时,从用于将传输线的信号线互相连接的通孔层发出电磁波,会影响到周边电路的操作。

[0013] 于是,过去已经提出对用于使各个高频电路的传输线互相连接的所述连接部的接地进行强化,从而抑制电磁波辐射到传输线的外部。

[0014] 例如,由S.W.Ho等人于2008年5月27-30日在IEEE ECTC 2008的第1946页(下面称为非专利文献1)中提出了如下结构:通过使用贯穿上侧半导体基板的同轴结构的通孔层,将形成在下侧半导体基板的上表面的共面线和形成在上侧半导体基板的上表面的共面线

互相连接。在该结构中,通过布置同轴结构的通孔层,使与地线相连接的通孔层围绕与信号线相连接的通孔层,从而强化接地。

[0015] 此外,例如,日本专利特开第2004-363975号公报(下面称为专利文献1)披露了如下结构:利用贯穿半导体基板的通孔层,将形成在半导体基板的下表面的共面线的信号线和形成在半导体基板的上表面的共面线的信号线互相连接。

[0016] 专利文献1中披露的结构通过使来自每个共面线的接地导体进一步延长,同时在用于将通孔层与信号线相连的连接部的周围以及在半导体基板的与各条共面线那侧相反的侧上形成接地导体,从而强化接地。

[0017] 不限于具有高频电路的半导体器件,人们也考虑了普通半导体器件中的多个半导体基板的三维层叠。

[0018] 例如,已经提出了通过使用通孔层将形成在两个半导体基板上的电路互相连接的结构(例如参见日本专利特开第2010-245506号公报,下文称为专利文献2)。

[0019] 在专利文献2的结构中,形成有具有不同深度的多种通孔层,所述通孔层贯穿半导体基板和位于两个半导体基板之间的绝缘层,通过使用多种通孔层将形成在两个半导体基板上的电路互相连接。

[0020] 在非专利文献1的结构中,接地通孔层以同轴结构紧挨着地围绕用于将信号线互相连接的通孔层,并且用于将信号线互相连接的通孔层不能够直接连接到下部半导体基板上的共面线,所以通过凸块连接。

[0021] 由于用于将信号线互相连接的通孔层是通过凸块连接,结构和制造过程复杂化,连接的可靠性比通孔层直接连接到信号线的情况要差。

[0022] 在专利文献1的结构中,在用于将通孔层连接至信号线的连接部的周围有接地层。然而,半导体基板的下表面和上表面上的各个接地层不连接。因此,下表面和上表面之间的接地电容会波动,影响信号传输。此外,通孔层的周围没有接地层。因此,通孔层周围的接地被减弱。

[0023] 此外,通孔层和接地层的尺寸基本上是由共面线的尺寸决定,所以尺寸的自由度较低。从而难以改变包括通孔层在内的通孔部分的特征阻抗。因此,当上部的高频电路和下部的高频电路具有不同的特征阻抗时,难以实现阻抗匹配。

[0024] 在专利文献2的结构中,在普通的半导体器件中,上部半导体基板的电路和下部半导体基板的电路仅通过通孔层互相连接,没有对含有通孔层的通孔部分的特征阻抗加以特别考虑。

发明内容

[0025] 因此,期望提供一种能够对用于将传输线互相连接的通孔层周围的接地进行强化,并能够调整通孔部分的特征阻抗的半导体器件。

[0026] 本发明一个实施例所述的一种半导体器件,包括:第一半导体基板、第二半导体基板、第一传输线和第二传输线;其中,所述第一半导体基板和第二半导体基板层叠,并且在所述第一半导体基板和第二半导体基板之间布置有绝缘层;所述第一传输线形成在所述第一半导体基板上,所述第一传输线包括信号线和地线;所述第二传输线形成在所述第二半导体基板上,所述第二传输线包括信号线和地线。

[0027] 所述半导体器件还包括用于信号线的第一通孔层,所述用于信号线的第一通孔层是由形成在通孔内部的导体层构成,并且与所述第一传输线的信号线以及所述第二传输线的信号线相连接。

[0028] 所述半导体器件还包括用于地线的第一通孔层,所述用于地线的第一通孔层是由形成在通孔内部的导体层构成,并且与所述第一传输线的地线以及所述第二传输线的地线相连接。

[0029] 所述半导体器件还包括用于地线的第二通孔层,所述用于地线的第二通孔层是由形成在通孔内部的导体层构成,且与所述第一传输线的地线和/或所述第二传输线的地线相连接,并且具有带状通孔层,所述带状通孔层形成为与用于信号线的第一通孔层相对。

[0030] 根据本发明的上述实施例,半导体器件的结构包括:用于信号线的第一通孔层和用于地线的第一通孔层,所述用于信号线的第一通孔层连接到所述第一传输线的信号线以及所述第二传输线的信号线,所述用于地线的第一通孔层连接到所述第一传输线的地线和所述第二传输线的地线。这样,第一传输线和第二传输线互相连接,从而能够在第一传输线和第二传输线之间传输高频信号等。

[0031] 用于地线的第二通孔层包括带状通孔层,所述带状通孔层形成在所述用于信号线的第一通孔层的对面并且与所述地线相连,所述用于地线的第二通孔层能够强化用于信号线的第一通孔层的接地。此外,通过调整用于信号线的第一通孔层和用于地线的第二通孔层的尺寸,能够调整含有这些通孔层的通孔部分的特征阻抗。

[0032] 根据上述本发明,能够强化用于信号线的第一通孔层的接地,从而抑制从通孔层向外部发出电磁波。

[0033] 此外,由于能够调整含有通孔层的通孔部分的特征阻抗,所以即使当通过通孔层互相连接的第一传输线和第二传输线具有不同的特征阻抗,也能够实现阻抗匹配。

附图说明

[0034] 图1A、图1B和图1C是第一实施例的半导体器件的结构示意图;

[0035] 图2A至图2O是用于制造图1A至图1C的半导体器件的方法的制造过程图;

[0036] 图3A、图3B和图3C是第二实施例的半导体器件的结构示意图;

[0037] 图4A至图4I是用于制造图3A至图3C的半导体器件的方法的制造过程图;

[0038] 图5A和图5B是第三实施例的半导体器件的结构示意图;

[0039] 图6A和图6B是第四实施例的半导体器件的结构示意图;

[0040] 图7是用于辅助说明本发明实施例的一种形式的半导体器件的立体图;

[0041] 图8是图7的半导体器件的主要部分的平面图;

[0042] 图9A是共面线的剖面示意图,图9B是微带线的剖面示意图;以及

[0043] 图10是其中上部的共面线和下部的共面线简单地互相连接的结构立体图。

具体实施方式

[0044] 下面将说明实施本发明的最佳方式(最佳方式在下文中将被称为实施例)。

[0045] 顺便说明,将按如下顺序进行说明。

[0046] 1. 本发明的概要

[0047] 2. 第一实施例

[0048] 3. 第二实施例

[0049] 4. 第三实施例

[0050] 5. 第四实施例

[0051] 1. 本发明的概要

[0052] 在说明本发明的具体实施例之前,将首先说明本发明的概要。

[0053] 图9A的剖面示意图示出了上述高频电路的传输线中的共面线,图9B的剖面示意图示出了上述高频电路的传输线中的微带线。

[0054] 如图9A所示,共面线具有位于半导体基板101的一个主面(图中的上表面)上的线形信号线102和线形地线103,两条地线103在信号线102的两侧互相平行,从而把信号线102夹在中间。

[0055] 如图9B所示,微带线具有形成在半导体基板101的一个主面(图中的上表面)上的线形信号线102,并且具有形成在半导体基板101的另一个主面(图中的下表面)上的平面状的接地层109。

[0056] 图10是两条共面线通过通孔层互相连接的结构立体图。

[0057] 在图10所示的结构中,第一层的共面线中的信号线1S和地线1G通过通孔层3S和3G分别连接到第二层的共面线中的信号线2S和地线2G。即,信号线1S和2S通过通孔层3S互相连接,地线1G和2G通过通孔层3G互相连接。

[0058] 在该结构中,通孔层3S和3G具有通过延长共面线而形成的线路结构。这样一来,来自通孔层3S和3G的电磁辐射会增大,影响周边电路的操作。

[0059] 此外,在该结构中,传输线只是单纯地通过通孔层3S和3G互相连接。因此,不能为连接部分(通孔部分)设计阻抗。

[0060] 因此,当希望具有不同特征阻抗的共面线互相连接时,难以进行能够实现阻抗匹配并把反射控制到较低水平的连接。

[0061] 在非专利文献1的上述结构中,接地通孔层紧挨着地围绕用于将信号线互相连接的通孔层,并且所述用于将信号线互相连接的通孔层不能直接连接到下部半导体基板上的共面线,所以通过凸块连接。

[0062] 由于用于将信号线互相连接的通孔层是通过凸块连接,结构和制造过程复杂化,连接的可靠性比通孔层直接连接到信号线的情况要差。

[0063] 在上述专利文献1的结构中,在通孔层和信号线之间的一部分连接部的周围存在接地层。然而,半导体基板的下表面和上表面上的各个接地层不连接。因此,下表面和上表面之间的接地电容会波动,影响信号传输。

[0064] 此外,半导体基板内部的通孔层的周围没有接地层。因此,通孔层的接地被减弱。

[0065] 此外,通孔层和接地层的尺寸基本上是由共面线的尺寸决定,所以尺寸的自由度较低。这样一来,如图10所示的结构中,当上部的高频电路和下部的高频电路具有不同的特征阻抗时,难以达到阻抗匹配。

[0066] 在本发明中,形成有用于将上部的高频电路的传输线和下部的高频电路的传输线互相连接的连接部分,从而能够抑制来自连接部分的电磁辐射。

[0067] 然后,实现了如下结构:其中,高频电路的传输线仅仅通过用于将传输线互相连接

的连接部分中的通孔层(通孔内的导体层)互相连接,用于将传输线的信号线互相连接的通孔层的接地被强化。

[0068] 此外,即使当上下的高频电路具有不同的特征阻抗时,也能够实现阻抗匹配。

[0069] 在本发明中,如图7所示,其为本发明的一种形式的立体示意图,形成在下层半导体基板上的信号线1S和地线1G通过通孔层3S和3G连接到形成在上层半导体基板上的信号线2S和地线2G。

[0070] 在图7中,信号线1S和2S通过通孔层3S互相连接。

[0071] 地线1G通过通孔层3G连接到地线2G。浅通孔层4G不仅连接到通孔层3G,还连接到上层中的地线2G。这样,具有不同深度的两股结构的通孔层连接到地线2G。通孔层3G和浅通孔层4G互相电连接成为一个连续的通孔层。

[0072] 而且,形成带状通孔层5G,从而在与所述两条地线2G相连接的浅通孔层4G之间建立连接。带状通孔层5G形成为与通孔层4G相同的深度。

[0073] 图8是图7中的半导体器件的主要部分的平面图。

[0074] 用于将信号线1S和2S互相连接的通孔层3S、以及用于将地线1G和2G互相连接的通孔层3G,形成为圆形的平面图案。

[0075] 通孔层4G和带状通孔层5G的平面图案形成为,使得地线2G的一部分中的圆形图案的通孔层4G通过通孔层4G之间的矩形图案的通孔层5G互相连接。

[0076] 从图8可知,通孔层3S用于将信号线1S和2S互相连接,在通孔层3S附近形成带状通孔层5G,但是通孔层5G与通孔层3S对向布置并且在通孔层5G和通孔层3S之间具有间隔,且与通孔层3S绝缘。

[0077] 因为在用于将信号线1S和2S互相连接的通孔层3S附近形成与地线2G连接的带状通孔层5G,所以带状通孔层5G强化了用于将信号线1S和2S互相连接的通孔层3S的接地。

[0078] 稍后将会详细说明,通孔部分的特征阻抗是由用于信号线1S和2S的通孔层3S的直径、以及通孔层3S与带状通孔层5G之间的间隔决定。这样,通过调整这些尺寸能够调整特征阻抗。因此,即使当上下层的传输电路的特征阻抗彼此不同,也能够通过调整通孔部分的特征阻抗进行阻抗匹配。

[0079] 在本发明中,如图7和图8所示形式,具有不同深度的多个通孔层连接到传输线的地线,下层的地线和上层的地线通过较深的通孔层互相连接,浅通孔层仅与一层中(例如,仅仅在上层中)的地线相连接。

[0080] 浅通孔层与带状的通孔层相结合以形成如下结构:地线的一部分上的通孔层互相连接,或者成为一个连续的通孔层。

[0081] 至于传输线中的信号线,下层中的信号线和上层中的信号线通过通孔层互相连接。

[0082] 带状通孔层布置成靠近与信号线相连接的通孔层,从而与连接信号线的通孔层相对。

[0083] 通过这些结构,由于与地线相连接的带状通孔层布置在与信号线相连接的通孔层附近,所以在含有通孔层的通孔部分的接地也被强化。

[0084] 因此,能够抑制来自通孔部分的通孔层的电磁辐射,从而能够稳定地操作周边电路。

[0085] 由于通孔层直接连接到信号线和地线,而没有使用凸块等,所以能够容易地制造半导体器件,并且能够获得足够高的连接可靠性。

[0086] 此外,本发明能够自由地设计信号线的通孔层和地线的通孔层之间的间隔,并且信号线的通孔层和地线的通孔层的尺寸与传输线的信号线及地线的尺寸无关。因此,能够改变通孔部分的阻抗特性。

[0087] 因此,即使期望下层和上层中的具有不同特征阻抗的高频电路互相连接时,也能够通过实现通孔部分的阻抗匹配使信号反射最小化。

[0088] 参照图8的上述结构,以下描述表明,能够通过适当选择与信号线相连接的通孔层的直径 d 、与信号线相连的通孔层和与地线相连的带状浅通孔层之间的距离 h ,来实现阻抗匹配。

[0089] 根据与信号线相连接的通孔层3S的直径 d 、通孔层3S与带状通孔层5G之间的间隔 h ,通过调整 $4h/d$ 的值,能够使通孔部分的电磁波最小化。

[0090] 顺便说明,下面是使用理论方程式说明的原理,通过使用可从市场上购买到的诸如ANSYS等电磁场模拟器能够容易地对实际的通孔层的形状设计进行计算。

[0091] 如图8,两条共面线通过通孔层3S和通孔层3G互相连接,并且与地线2G相连接的带状通孔层5G布置成靠近所述通孔层3S,该结构可以视为近似的微带线。

[0092] 这样,通过共面线、微带线、共面线的结构能够实现阻抗变换。

[0093] 用 Z_a 表示下层半导体基板上的共面线部分的特征阻抗,用 Z_b 表示上层半导体基板上的共面线部分的特征阻抗,当通孔部分的特征阻抗为 $\sqrt{(Z_a \times Z_b)}$ 时,反射被最小化。即,阻抗能够互相匹配。

[0094] 用 d 表示与信号线1S和2S相连接的通孔层3S的直径,用 h 表示从通孔层3S到带状的通孔层5G的距离,通孔部分的特征阻抗的近似值为 $Z_{\text{via}} = (60 / \sqrt{\epsilon_r}) \times \ln(4h/d)$,其中 ϵ_r 表示通孔层3S和带状通孔层5G之间的材料(通常是绝缘材料)的介电常数。

[0095] 共面线部分的特征阻抗的近似值为 $Z_{\text{cop}} = (30 \pi / \sqrt{\epsilon_{\text{eff}}}) \times (K' / K)$,其中 K 和 K' 表示由形状决定的常数, ϵ_{eff} 表示共面线中的信号线与地线之间的材料(绝缘材料或者空间)的介电常数。

[0096] 因此,当选定了布线之间的材料,确定了介电常数(ϵ_r 和 ϵ_{eff})的参数值时,能够通过调整 $4h$ 和 d 之间的比使通孔部分中的反射最小化。

[0097] 应该注意,本发明不限于其中通过通孔层互相连接的两条传输线都是如图7所示的共面线的结构。

[0098] 本发明也可以是其中一条传输线为共面线而另一条传输线为微带线的结构,或者两条传输线都是微带线的结构。

[0099] 微带线的特征阻抗不同于共面线的特征阻抗。因此,当对微带线进行阻抗匹配时,使用微带线的特征阻抗来取代上述 Z_{cop} 就够了。

[0100] 此外,在图7中,形成有深通孔层3S、3G以及具有带状部分的浅通孔层4G、5G,所述深通孔层3S、3G将下层的传输线和上层的传输线互相连接,两股通孔层与地线2G相连接。

[0101] 在本发明中,也可以采用三股以上的通孔层与地线相连的结构。例如,可在深通孔层3G的与浅通孔层4G侧相反的一侧设置与地线2G相连的另一个通孔层。

[0102] 本发明的结构类似于专利文献2中披露的利用具有不同深度的通孔层将上部的半导体基板上的电路和下部的半导体基板上的电路互相连接的技术。

[0103] 这样,根据专利文献2中描述的制造方法,能够实施用于形成具有不同深度的通孔层的制造方法。

[0104] 专利文献2披露的结构不包括对应于本发明具体实施方式中的用于地线的带状通孔层的结构。

[0105] 然而,在形成通孔以便形成本发明具体实施方式中的带状通孔层时,当形成与带状图案对应的掩模的开口时,能够使用专利文献2中描述的制造方法。

[0106] 2. 第一实施例

[0107] 下面将说明具体实施例。

[0108] 图1A至图1C是第一实施例的半导体器件的结构示意图。图1A是平面图,图1B是沿着图1A的线A-A'的剖面图,图1C是沿着图1A的线B-B'的剖面图。

[0109] 如图1A至图1C所示,下层的第二半导体基板11上形成有共面线的中央信号线12和左右两条地线13。此外,上层的第二半导体基板21上形成有共面线的中央信号线22和左右两条地线23。

[0110] 下层的第二半导体基板11和上层的第二半导体基板21层叠,并且在第二半导体基板11和第二半导体基板21之间隔着绝缘层14。

[0111] 第二半导体基板11上的信号线12和第二半导体基板21上的信号线22通过第一通孔层15互相连接,所述第一通孔层15贯穿第二半导体基板21和绝缘层14。同样,第二半导体基板11上的地线13和第二半导体基板21上的地线23通过通孔层15互相连接,所述通孔层15贯穿第二半导体基板21和绝缘层14。

[0112] 第二半导体基板11和第二半导体基板21可使用诸如硅、Ge、SiGe、化合物半导体等各种半导体材料。

[0113] 此外,半导体基板11和21可以仅由半导体基板形成,或者可以由半导体基板和半导体基板上的半导体层(例如,外延的生长层)的结合等形成。

[0114] 构成各共面线的信号线12和22以及地线13和23,可使用诸如Cu、Al、Au、W等金属材料。

[0115] 可通过电镀法、蒸发法等使用这些金属材料形成信号线12、22以及地线13、23。

[0116] 第一通孔层15可使用诸如Cu、Al、Au、W等金属材料。

[0117] 第一通孔层15可使用与信号线12、22以及地线13、23相同的金属材料。当第一通孔层15使用与信号线12、22以及地线13、23相同的金属材料时,通孔层15的电阻减小,在将信号线12和22互相连接的连接部分处几乎没有电阻。

[0118] 顺便说明,为了在通过向通孔内嵌入导体层形成通孔层15时提高嵌入质量,也可以使用与信号线12、22以及地线13、23所采用的金属材料不同的具有较好嵌入质量的金属材料。

[0119] 本实施例包括第二通孔层16,具体是包括与第一通孔层15隔开的、贯穿第二半导体基板21并且达到绝缘层14中部的第二通孔层16。

[0120] 第二通孔层16形成为从两条地线23中的一条延伸至另一条的带状平面图案,并且与第一通孔层15相对地形成在第一通孔层15右侧,与第一通孔层15相距一定距离。通过将

半圆形连接至矩形的两端,得到第二通孔层16的平面图形。半圆形部分位于上层的地线23和下层的地线13之间。

[0121] 第二通孔层16与第二半导体基板21上的地线23相连接,但是不与第一半导体基板11上的地线13相连接。形成的第二通孔层16比第一通孔层15浅。

[0122] 仅第一通孔层15与上层的共面线中的信号线22相连接。第一通孔层15和第二通孔层16都与上层的共面线中的地线23相连接。这样,两股通孔层都与上层的共面线中的地线23相连接。

[0123] 第二通孔层16可使用诸如Cu、Al、Au、W等金属材料。

[0124] 第二通孔层16最好使用与第一通孔层15相同的材料。这样能够通过使用相同的材料填充通孔而同时形成第一通孔层15和第二通孔层16。

[0125] 由于与地线23相连接的第二通孔层16设置在第一通孔层15的右侧,所以第二通孔层16能够吸收从第一通孔层15发射的电磁波,从而抑制电磁波向外扩散。

[0126] 如图1C所示,通孔层15和16的特征阻抗是由通孔层15的直径d、以及通孔层15与第二通孔层16之间的间隔h决定。因此,通过调整直径d和间隔h,能够设置通孔层15和16的特征阻抗。

[0127] 然后,如上所述,对于下层的共面线部分的特征阻抗为 Z_a 、上层的共面线部分的特征阻抗为 Z_b ,通过使得通孔部分的特征阻抗为 $\sqrt{Z_a \times Z_b}$,能够实现特征阻抗匹配。

[0128] 例如,能够用下述方式制造本实施例的半导体器件。顺便说明,图2A至2O是与图1A至图1C对应的平面图和剖面图。

[0129] 首先,在各个半导体基板上形成共面线的信号线和地线。具体地,如图2A至图2C所示,在第一半导体基板11上形成共面线的信号线12和地线13,在第二半导体基板21上形成共面线的信号线22和地线23。

[0130] 接下来,如图2D至图2F所示,第一半导体基板11和第二半导体基板21层叠,并且在第一半导体基板11和第二半导体基板21之间隔着绝缘层14。

[0131] 至于用于制造图2D至图2F所示状态的具体方法有,例如,形成绝缘层14以覆盖第一半导体基板11上的信号线12和地线13,通过粘合剂等将第二半导体基板21贴合到绝缘层14上。

[0132] 可选地,例如,形成绝缘层14以覆盖第一半导体基板11上的信号线12和地线13,在第二半导体基板21的表面(图2A至图2C中的下表面)上形成绝缘层14,该表面是与第二半导体基板21的具有信号线22和地线23的侧相反的侧。然后,利用等离子体接合或者粘合剂将两个绝缘层14互相接合。当使用等离子体接合时,例如,如专利文献2的[0052]段中所述,在接合表面上形成等离子体TEOS膜、SiON膜等,然后经过等离子体处理,互相层叠,再经过退火处理以使两个基板互相接合。

[0133] 顺便说明,当在绝缘层14内部另外还形成布线层时,例如在第一半导体基板11的信号线12和地线13上方形成布线层时,此时,当形成多个布线层时,形成在多个布线层之间隔有层间绝缘膜的多层布线结构。

[0134] 接下来,在整个表面上形成抗蚀剂,以覆盖上层的第二半导体基板上的共面线22和23。

[0135] 然后,如图2G至图2I所示,将抗蚀剂图案化,以形成抗蚀剂掩模31,该抗蚀剂掩模

31具有与其中将形成通孔层的通孔部分的开口(通孔)相对应的图案。具体地,抗蚀剂掩模31形成如下图案:在上层第二半导体基板21上的共面线22和23的端部附近具有较深通孔部分的开口,以及在共面线22和23的相反侧上具有较浅通孔部分的开口。

[0136] 此时,如图2G至图2I所示,较深通孔部分的开口形成分别作为用于信号线和地线的独立开口,较浅通孔部分的开口形成为从一条地线至另一地线的一个连续开口。形成的上述开口具有几 μm 至几十 μm 的直径。

[0137] 接下来,从抗蚀剂掩模31的开口刻蚀上层第二半导体基板21和绝缘层14。于是,如图2J至图2L所示,形成深通孔32和浅通孔33,所述深通孔32到达下层的共面线(信号线12和地线13),所述浅通孔33到达绝缘层14的中部。

[0138] 此时,优选使用预先形成于绝缘层14内的刻蚀阻止层形成浅通孔33,直到浅通孔33到达刻蚀阻止层。可以使用位于绝缘层14内的布线层、或者相对于绝缘层14的其它部分具有刻蚀选择性的绝缘层(例如,与氧化硅膜相反的氮化硅膜),作为上述刻蚀阻止层。

[0139] 接下来,除去抗蚀剂掩模31。

[0140] 然后,如图2M至图2O所示,通过电镀法、蒸发法等填充每个通孔32和33的内部,以形成导体层构成的第一通孔层15和第二通孔层16。

[0141] 而且,为了在上层的共面线22、23与通孔层15、16之间建立连接,使用与共面线22和23的已形成部分相同的金属材料来延长共面线22和23。于是,如图1A至图1C所示,能够制造如下结构,其中通孔层15、16与共面线中的信号线22和地线23相连接。

[0142] 从而能够制造出如图1A至图1C所示的半导体器件。

[0143] 根据上述实施例的半导体器件的结构,设置有助于将信号线12和22互相连接的信号线的通孔层15,以及用于将地线13和23互相连接的通孔层15,从而使下层的共面线和上层的共面线互相连接。

[0144] 于是,能够在下层的共面线和上层的共面线之间传输高频信号。

[0145] 由于与地线23相连接的带状第二通孔层16与信号线的通孔层15对向布置,其中信号线的通孔层15用于将信号线12和22互相连接,所以能够强化用于信号线的通孔层15的接地。

[0146] 于是,能够抑制从通孔层向外发射电磁波,从而稳定地操作周边电路。

[0147] 此外,根据本实施例,通过调整信号线的通孔层15和第二通孔层16的尺寸(直径 d 和间隔 h),能够调整含有通孔层15和16的通孔部分的特征阻抗。

[0148] 这样,即使当通过通孔层15和16互相连接的下层共面线和上层共面线的特征阻抗彼此不同,也能够实现阻抗匹配。

[0149] 3. 第二实施例

[0150] 图3A至图3C是第二实施例的半导体器件的结构示意图。图3A是平面图,图3B是沿着图3A的线A-A'的剖面图,图3C是沿着图3A的线B-B'的剖面图。

[0151] 本实施例中形成三股通孔层。

[0152] 在本实施例中,特别地,如图3A至3C所示,在上层共面线中的地线23的比第一通孔层15更近的那侧(图中左侧)上,布置浅第三通孔层17,与地线23相连接。

[0153] 第三通孔层17贯穿第二半导体基板21,并且达到绝缘层14的中部。第三通孔层17具有与第二通孔层16几乎相等的深度。

- [0154] 与第一通孔层15的平面图案相同,第三通孔层17的平面图案为圆形图案。
- [0155] 第一通孔层15、第二通孔层16和第三通孔层17形成用于地线23的三股通孔层。
- [0156] 第三通孔层17可使用诸如Cu、Al、Au、W等金属材料。
- [0157] 第三通孔层17最好使用与第一通孔层15相同的材料。这样能够通过用相同的材料填充通孔来同时形成第一通孔层15和第三通孔层17。
- [0158] 其它组成元素与图1A至图1C所示的第一实施例中的相似,因此通过相同的附图标记来表示,并且省略其重复说明。
- [0159] 在本实施例中,与地线23相连接的第二通孔层16布置在第一通孔层15的右边,与地线23相连接的第三通孔层17布置在第一通孔层15的左边。于是,右边的第二通孔层16和左边的第三通孔层17中的每一个均能够吸收从第一通孔层15发射出的电磁波,从而抑制电磁波向外扩散。
- [0160] 此外,和第一实施例相同,通过调整第一通孔层15的直径、以及第一通孔层15与第二通孔层16之间的间隔,能够调整特征阻抗。
- [0161] 然后,对于下层共面线部分的特征阻抗为 Z_a 和上层共面线部分的特征阻抗为 Z_b ,通过使得通孔部分的特征阻抗为 $\sqrt{Z_a \times Z_b}$,能够实现特征阻抗匹配。
- [0162] 例如,能够用下述方式制造本实施例的半导体器件。顺便说明,图4A至4I是与图3A至图3C对应的平面图和剖面图。
- [0163] 首先,和图2A至图2F所示的第一实施例的制造过程相同,实施每个过程直到两个半导体基板11和21层叠。
- [0164] 接下来,在整个表面上形成抗蚀剂,以覆盖上层的第二半导体基板21上的共面线22和23。
- [0165] 然后,如图4A至图4C所示,将抗蚀剂图案化以形成抗蚀剂掩模34,该抗蚀剂掩模34具有与为形成通孔层的开口(通孔)对应的图案。具体地,抗蚀剂掩模34形成有如下图案,该图案具有位于上层的第二半导体基板21上的共面线22和23的端部附近的第三通孔层17的开口,并且具有在较远处的第一通孔层15的开口,还具有在更远处的第二通孔层16的开口。
- [0166] 此时,如图4A至图4C所示,用于第三通孔层17的开口形成为仅位于地线部分的独立开口,用于第一通孔层15的开口形成为分别用于信号线和地线的独立开口。用于第二通孔层16的开口形成为从一条地线至另一地线的一个连续开口。上述开口具有几 μm 至几十 μm 的直径。
- [0167] 接下来,从抗蚀剂掩模34的开口刻蚀上层的第二半导体基板21和绝缘层14。于是,如图4D至图4F所示,形成深通孔32和浅通孔33、35,所述深通孔32到达下层的共面线(信号线12和地线13),所述浅通孔33和35到达绝缘层14的中部。浅通孔33和35中,通孔33对应于第二通孔层16,通孔35对应于第三通孔层17。
- [0168] 此时,优选使用预先形成于绝缘层14内的刻蚀阻止层形成浅通孔33和35,直到浅通孔33和35到达刻蚀阻止层。至于该蚀刻停止层,可使用位于绝缘层14内的布线层、或者相对于绝缘层14的其它部分具有刻蚀选择性的绝缘层(例如,与氧化硅膜相反的氮化硅膜)。
- [0169] 接下来,除去抗蚀剂掩模34。
- [0170] 然后,如图4G至图4I所示,通过电镀法、蒸发法等填充每个通孔32、33和35的内部,从而形成导体层构成的第一通孔层15、第二通孔层16和第三通孔层17。

[0171] 而且,为了在上层的共面线22、23与通孔层15、16、17之间建立连接,使用与共面线22和23的已形成部分相同的金属材料来延长共面线22和23。于是,如图3A至图3C所示,能够制造出如下结构,其中通孔层15、16和17与共面线中的信号线22、地线23相连接。

[0172] 从而能够制造出如图3A至3C所示的半导体器件。

[0173] 根据本实施例所述的半导体器件的结构,设置有用于将信号线12和22互相连接的信号线的通孔层15,以及用于将地线13和23互相连接的通孔层15,从而使下层的共面线和上层的共面线互相连接。

[0174] 于是,和第一实施例相同,能够在下层的共面线和上层的共面线之间传输高频信号。

[0175] 因为与地线23相连接的带状第二通孔层16布置在信号线的通孔层15的对面,其中信号线的通孔层15用于将信号线12和22互相连接,所以,能够如第一实施例那样强化信号线的通孔层15的接地。

[0176] 于是,能够抑制从通孔层向外发射电磁波,从而稳定地操作周边电路。

[0177] 此外,和第一实施例相同,通过调整信号线的通孔层15和第二通孔层16的尺寸(直径d和间隔h),能够调整含有通孔层15和16的通孔部分的特征阻抗。

[0178] 这样,即使当通过通孔层15和16互相连接的下层共面线和上层共面线的特征阻抗彼此不同,也能够实现阻抗匹配。

[0179] 此外,根据本实施例,通过在信号线的第一通孔层15的与第二通孔层16一侧相反的侧上设置与地线23连接的第三通孔层17,来形成三股通孔层。

[0180] 于是,与第一实施例的结构相比,能够进一步强化通孔部分的接地。

[0181] 上述实施例具有如下结构,包括第一通孔层15和第二通孔层16,或者包括第一通孔层15、第二通孔层16以及第三通孔层17,所述第一通孔层15贯穿绝缘层14并且将上下层的共面线互相连接,所述第二通孔层16及第三通孔层17向下形成至绝缘层14的中部并且不与下层的共面线相连接。

[0182] 本发明包括如下结构,其中,前述实施例中的第二通孔层16、或者第二通孔层16及第三通孔层17进一步向下延伸,使得通孔层16、或者通孔层16及17连接到下层的共面线的地线13。

[0183] 然而,第二通孔层16中的位于一条地线以及另一地线之间的带状部分必须与下层信号线12绝缘。这样,当第二通孔层16向下延伸时,一部分地线之间的带状部分中的通孔深度根据一部分地线中的通孔深度而变化。可使用掩模执行两次刻蚀来形成这种通孔。例如,使用在一部分地线中以及一部分地线之间的带状部分中具有开口的掩模进行刻蚀,然后使用仅在地线的一部分中具有开口的掩模进行刻蚀,直至到达下层的地线。

[0184] 在前述实施例中,在第一半导体基板11上形成信号线12和地线13,在第二半导体基板21上形成信号线22和地线23。

[0185] 在本发明中,上层的第二半导体基板21、信号线22和地线23可上下倒置,信号线12和22可通过通孔层互相连接,地线13和23可通过通孔层互相连接。在这种情况下,因为信号线22和地线23布置在第二半导体基板21的下侧,所以第一半导体基板11和第二半导体基板21之间的绝缘层相应做得厚一些。通过以覆盖半导体基板11和21上的各个共面线的方式形成绝缘层,并且通过等离子体接合等方式使绝缘层互相接合,能够制造出该结构。

[0186] 在前述实施例中,浅第二通孔层16、或者浅第二通孔层16和浅第三通孔层17,仅与上层的共面线中的地线23相连接。

[0187] 在本发明中,如上所述,通孔层能够向下延伸,并且连接到上层的共面线中的地线以及下层的共面线中的地线。此外,在本发明中,每个前述实施例的结构可上下倒置,浅通孔层可仅与下层的共面线中的地线相连接。

[0188] 在前述实施例中,与上层的共面线中的地线23相连接各个通孔层15、16或者通孔层15、16、17彼此隔开地形成。

[0189] 在本发明中,与地线相连接的多个通孔层中的两个以上的通孔层可形成为组成一体的状态。

[0190] 在两个通孔层组成一体的情况下,在制造时,在将上层的共面线中的地线23延长到通孔层上的过程中,只要地线23连接到近侧的通孔层,即使地线23没有延伸至较远侧的通孔层,这两个通孔层仍然能够电连接至上层的共面线中的地线23。

[0191] 在前述实施例中,共面线通过通孔层互相连接。然而,本发明中也可以采用其它结构。

[0192] 例如,还可以采用其中共面线和微带线通过通孔层互相连接的结构,以及其中微带线通过通孔层互相连接的结构。

[0193] 下面将展示这些结构的实施例。

[0194] 4. 第三实施例

[0195] 图5A和图5B是第三实施例的半导体器件的结构示意图(剖面图)。图5A是含有与信号线相连接的通孔层的部分的剖面图。图5B是含有与两条地线相连接的带状通孔层的部分的剖面图。

[0196] 本实施例是其中共面线和微带线通过通孔层互相连接的结构。

[0197] 如图5A和图5B所示,在下层的第一半导体基板101上形成有共面线的中央信号线102和左右两条地线103。此外,在上层第二半导体基板111的下面形成有微带线的信号线112,在第二半导体基板111上形成有微带线的接地层113。

[0198] 下层的的第一半导体基板101和上层的第二半导体基板111层叠,并且在第一半导体基板101和第二半导体基板111之间隔着绝缘层104。

[0199] 在第一半导体基板101上面的信号线102和第二基板111下面的信号线112通过第一通孔层105互相连接,所述第一通孔层105贯穿绝缘层104。尽管图中未示出,第一通孔层105形成为例如圆形的平面图案。

[0200] 第一半导体基板101上的地线103和第二半导体基板111上的接地层113通过第二通孔层106和第三通孔层107互相连接,所述第二通孔层106和第三通孔层107贯穿第二半导体基板111和绝缘层104。顺便说明,图5A的剖面中的第二通孔层106和图5B的剖面中的第三通孔层107可在各自隔开的通孔内形成,或者可在部分或者全部连续的通孔内形成。当在各自隔开的通孔内形成第二通孔层106和第三通孔层107时,通孔和通孔层106和107形成为例如圆形的平面图案。

[0201] 在图5B所示的剖面中,没有形成下层的共面线中的信号线102和上层的微带线中的信号线112。对于这种剖面,形成上层的传输线和下层的传输线在同一方向延长的结构就足够了,而不形成如第一和第二实施例那样上层的传输线和下层的传输线分别在彼此相反

的方向延长的结构。

[0202] 在图5B所示的剖面中,在用于将地线103与接地层113相连接的第三通孔层107之间的绝缘层104的内部,形成带状通孔层108,该带状通孔层108用于将第三通孔层107互相连接。带状通孔层108形成在绝缘层104的深度方向的中部,并且不与第一半导体基板101和第二半导体基板111相接触。

[0203] 在本实施例中,第三通孔层107以及位于第三通孔层107之间的带状通孔层108能够强化用于将信号线102和112互相连接的第一通孔层105的接地。

[0204] 通过使用诸如专利文献2中披露的用于将半导体基板上的一部分绝缘层互相接合的方法,能够制造本实施例的半导体器件。

[0205] 具体地,首先,在第一半导体基板101和第二半导体基板111上形成传输线。

[0206] 然后,在第一半导体基板101和第二半导体基板111上形成绝缘层104,绝缘层104用于覆盖传输线中的信号线等。

[0207] 而且,在各个半导体基板101和111上的绝缘层104的表面上形成保护膜以及位于该保护膜上的接合膜(等离子体TEOS膜、SiON膜等)。

[0208] 接下来,刻蚀各半导体基板101和111,以到达预定导体层(信号线102和122、地线103以及接地层113)或者接合膜的蚀刻停止层。从而形成与各个通孔层105、106、107和108对应的通孔。

[0209] 而且,用导体层填充通孔内部,以形成各个通孔层105、106、107和108。

[0210] 然后,第二半导体基板111上下倒置,使信号线112位于第二半导体基板111的下面,并且使第一半导体基板101侧的绝缘层104和第二半导体基板111侧的绝缘层104在接合膜的部分互相接合。使用诸如等离子体接合等方法进行接合。

[0211] 从而能够制造出如图5A和5B所示的半导体器件。

[0212] 顺便说明,可以改变第三实施例的结构,与第一和第二实施例相同,使上层的传输线和下层的传输线分别在彼此相反的方向上延长。在这种情况下,带状的通孔层108形成为与含有带状通孔层108的剖面中存在的信号线(下层的信号线102或者上层的信号线112)绝缘。

[0213] 此外,带状的通孔层108不限于仅在绝缘层104的深度方向上的中部形成通孔层108的结构,通孔层108也可形成为与第二半导体基板111相接触,或者甚至贯穿第二半导体基板以连接至接地层113。

[0214] 然而,因为用于将信号线102和112互相连接的第一通孔层105仅仅形成在绝缘层104的内部,所以当在绝缘层104内部形成带状通孔层108时,得到足够的接地强化效果。

[0215] 此外,第三通孔层107和带状通孔层108可具有相同的深度,并且比图5B中的更浅,而不与下层的地线103相连接(和前述实施例中的浅通孔层16和17相同)。

[0216] 根据本实施例的上述结构,针对用于将信号线102和112互相连接的第一通孔层105,在含有第一通孔层105以外的其它剖面中形成第三通孔层107和带状通孔层108,所述第三通孔层107与地线103相连接,所述带状通孔层108用于将第三通孔层107互相连接。

[0217] 这样,在其它剖面中形成的第三通孔层107和带状的通孔层108能够强化用于将信号线102和112互相连接的第一通孔层105的接地。

[0218] 于是,能够抑制从通孔层105向外发射电磁波,从而稳定地操作周边电路。

[0219] 此外,根据本实施例的结构,基于图1C等,通过调整第一通孔层105的直径、以及第一通孔层105与带状通孔层108之间的间隔,能够调整含有通孔层105和108的通孔部分的特征阻抗。

[0220] 因此,即使当下层的共面线和上层的微带线的特征阻抗彼此不同,也能够通过通孔部分实现阻抗匹配。

[0221] 顺便说明,尽管在第三实施例的结构中,下层的传输线是共面线,上层的传输线是微带线,但是也可以下层的传输线是微带线,上层的传输线是共面线。在这种情况下,例如将图5A和5B的结构上下倒置就足够了。

[0222] 因为不允许通孔和通孔层贯穿微带线的接地层,所以微带线的接地层布置在层叠的半导体基板彼此对置的侧的相反侧上。

[0223] 在本发明中,也可将三个以上的半导体基板的传输线互相连接。然而,当三个以上半导体基板的传输线互相连接时,微带线可用于最底层的半导体基板以及顶层半导体基板,但是不能用于最底层的半导体基板以及顶层半导体基板以外的中间的半导体基板。

[0224] 5. 第四实施例

[0225] 图6A和图6B是第四实施例的半导体器件的结构示意图(剖面图)。图6A是含有与信号线连接的通孔层的部分的剖面图。图6B是含有与地线相连接的带状通孔层的部分的剖面图。

[0226] 本实施例是其中微带线通过通孔层互相连接的结构。

[0227] 如图6A和图6B所示,微带线的信号线102形成在下层的第一半导体基板101上面,微带线的接地层109形成在第一半导体基板101下面。此外,微带线的信号线112形成在上层的第二半导体基板111的下面,微带线的接地层113形成在第二半导体基板111的上面。

[0228] 下层的第一半导体基板101和上层的第二半导体基板111层叠,并且在第一半导体基板101和第二半导体基板111之间隔着绝缘层104。

[0229] 在第一半导体基板101上面的信号线102和第二基板111下面的信号线112通过第一通孔层105互相连接,所述第一通孔层105贯穿绝缘层104。尽管图中未示出,第一通孔层105形成为例如圆形的平面图案。

[0230] 第一半导体基板101下面的接地层109、第二半导体基板111上面的接地层113通过第二通孔层106、第三通孔层107互相连接,所述第二通孔层106、第三通孔层107贯穿第二半导体基板111、绝缘层104和第一半导体基板101。顺便说明,图6A的剖面中的第二通孔层106和图6B的剖面中的第三通孔层107可在各自隔开的通孔内形成,或者可在部分或者全部连续的通孔内形成。当在各自隔开的通孔内形成第二通孔层106和第三通孔层107时,通孔和通孔层106和107形成为例如圆形的平面图案。

[0231] 在图6B所示的剖面中,没有形成下层的共面线中的信号线102和上层的微带线中的信号线112。对于该剖面,形成上层的传输线和下层的传输线在同一方向延长的结构就足够了,而不形成如第一和第二实施例那样上层的传输线和下层的传输线分别在彼此相反的方向上延长的结构。

[0232] 在图6B所示的剖面中,在用于将接地层109与接地层113相连接的第三通孔层107之间的绝缘层104的内部,形成带状通孔层108,该带状通孔层108用于将第三通孔层107互相连接。带状的通孔层108形成在绝缘层104的深度方向的中部,并且不与第一半导体基板

101和第二半导体基板111相接触。

[0233] 在本实施例中,第三通孔层107以及位于第三通孔层107之间的带状通孔层108能够强化用于将信号线102和112互相连接的第一通孔层105的接地。

[0234] 通过使用诸如专利文献2中披露的用于将半导体基板上的一部分绝缘层互相接合的方法,能够制造本实施例的半导体器件。

[0235] 具体地,首先,在第一半导体基板101和第二半导体基板111上形成传输线。

[0236] 然后,在第一半导体基板101和第二半导体基板111上形成绝缘层104,绝缘层104用于覆盖传输线中的信号线等。

[0237] 而且,在各个半导体基板101和111上的绝缘层104的表面上,形成保护膜以及位于该保护膜上的接合膜(等离子体TEOS膜、SiON膜等)。

[0238] 接下来,刻蚀各个半导体基板101和111,从而到达预定导体层(信号线102和122、接地层109以及接地层113)或者接合膜的蚀刻停止层。从而形成与各个通孔层105、106、107和108对应的通孔。

[0239] 而且,用导体层填充通孔内部,以形成各个通孔层105、106、107和108。

[0240] 然后,将第二半导体基板111上下倒置,使信号线112位于第二半导体基板111的下面,并且使第一半导体基板101侧的绝缘层104和第二半导体基板111侧的绝缘层104在接合膜的部分互相接合。使用诸如等离子体接合等方法进行接合。

[0241] 从而能够制造出如图6A和6B所示的半导体器件。

[0242] 顺便说明,可以改变第四实施例的结构,从而与第一和第二实施例相同,使上层的传输线和下层的传输线在各自彼此相反的方向上延长。在这种情况下,带状的通孔层108形成成为与含有带状通孔层108的剖面中存在的信号线(下层的信号线102或者上层的信号线112)绝缘。

[0243] 此外,带状的通孔层108不限于仅在绝缘层104的深度方向的中部形成通孔层108的结构,通孔层108也可形成成为与第二半导体基板111相接触,或者甚至贯穿第二半导体基板以连接至接地层113。

[0244] 然而,因为用于将信号线102和112互相连接的第一通孔层105仅仅形成在绝缘层104的内部,所以当在绝缘层104内部形成带状通孔层108时,取得了足够的接地强化效果。

[0245] 此外,第三通孔层107和带状通孔层108可具有相同的深度,并且比图6B中更浅,而不与下层的接地层109相连接(和前述实施例中的浅通孔层16和17相同)。

[0246] 根据本实施例的上述结构,针对用于将信号线102和112互相连接的第一通孔层105,在含有第一通孔层105以外的其它剖面中,形成第三通孔层107和带状通孔层108,所述第三通孔层107与接地层109相连接,所述带状通孔层108用于将第三通孔层107互相连接。

[0247] 于是,在其它剖面中形成的第三通孔层107和带状通孔层108能够强化用于将信号线102和112互相连接的第一通孔层105的接地。

[0248] 于是,能够抑制从通孔层105向外发射电磁波,从而稳定地操作周边电路。

[0249] 此外,根据本实施例的结构,基于图1C等,通过调整第一通孔层105的直径、以及第一通孔层105与带状通孔层108之间的间隔,能够调整含有通孔层105和108的通孔部分的特征阻抗。

[0250] 从而,即使当下层的微带线和上层的微带线的特征阻抗彼此不同时,也能够通过

通孔部分实现阻抗匹配。

[0251] 在本发明中,也可将三个以上的半导体基板的传输线互相连接。

[0252] 然而,第四实施例的结构具有位于上下侧的接地层109和113,从而使另一个半导体基板的传输线的信号线不能连接到接地层109和113的那侧。

[0253] 尽管在上述每个实施例中的独立通孔内部的通孔层的平面图案是圆形,但是本发明中的独立通孔内部的通孔层的平面图案也可以是圆形以外的其它形状。例如,本发明的独立通孔内部的通孔层的平面图案也可以是椭圆形,诸如八边形、六边形等多边形,正方形和长方形,以及由角部变圆的多边形、正方形和长方形构成的形状。

[0254] 当平面图案是圆形之外的其它形状时,使用与圆形直径对应的平面图案的尺寸来取代圆形直径,作为形成通孔层的特征阻抗的参数,来进行计算就足够了。

[0255] 顺便说明,本发明也可以采用如下结构。

[0256] (1) 一种半导体器件,包括:

[0257] 第一半导体基板、第二半导体基板、第一传输线、第二传输线、用于信号线的第一通孔层、用于地线的第一通孔层、用于地线的第二通孔层,其中,所述第一半导体基板和所述第二半导体基板层叠,并且在所述第一半导体基板和所述第二半导体基板之间布置有绝缘层;所述第一传输线形成在第一半导体基板上,所述第一传输线包括信号线和地线;所述第二传输线形成在第二半导体基板上,所述第二传输线包括信号线和地线;所述用于信号线的第一通孔层是由形成在通孔内部的导体层构成,并且连接到第一传输线的信号线以及第二传输线的信号线;所述用于地线的第一通孔层是由形成在通孔内部的导体层构成,并且连接到第一传输线的地线以及第二传输线的地线;所述用于地线的第二通孔层是由形成在通孔内部的导体层构成,连接到第一传输线的地线和/或第二传输线的地线,并且包括带状的通孔层,所述带状的通孔层形成为与用于信号线的第一通孔层对向布置。

[0258] (2) 根据上述(1)所述的半导体器件,

[0259] 其中,所述用于地线的第二通孔层形成为比所述第一通孔层浅。

[0260] (3) 根据上述(1)或(2)所述的半导体器件,还包括用于地线的第三通孔层,其位于所述用于地线的第一通孔层的与所述用于地线的第二通孔层侧相反的侧,所述用于地线的第三通孔层是由形成在通孔内部的导体层构成,并且所述用于地线的第三通孔层连接到所述第二传输线的地线。

[0261] (4) 根据上述(1)至(3)中的任一项所述半导体器件,

[0262] 其中,第一传输线和第二传输线都是共面线。

[0263] (5) 根据上述(1)至(3)中的任一项所述半导体器件,

[0264] 其中,第一传输线和第二传输线中的一者是共面线,而另一者是微带线。

[0265] (6) 根据上述(1)至(3)中的任一项所述半导体器件,

[0266] 其中,第一传输线和第二传输线都是微带线。

[0267] (7) 根据上述(1)至(6)中的任一项所述半导体器件,

[0268] 其中,对于所述第一传输线的特征阻抗为 Z_a 且所述第二传输线的特征阻抗为 Z_b 时,含有所述用于信号线的第一通孔层和所述用于地线的第二通孔层的通孔部分的特征阻抗是 $\sqrt{(Z_a \times Z_b)}$ 。

[0269] 本发明不限于前述实施例,在不脱离本发明精神的前提下也可采用各种其它结

构。

[0270] 本领域技术人员应当理解,依据设计要求和其他因素,可以在本发明随附的权利要求或其等同物的范围内进行各种修改、组合、次组合以及改变。

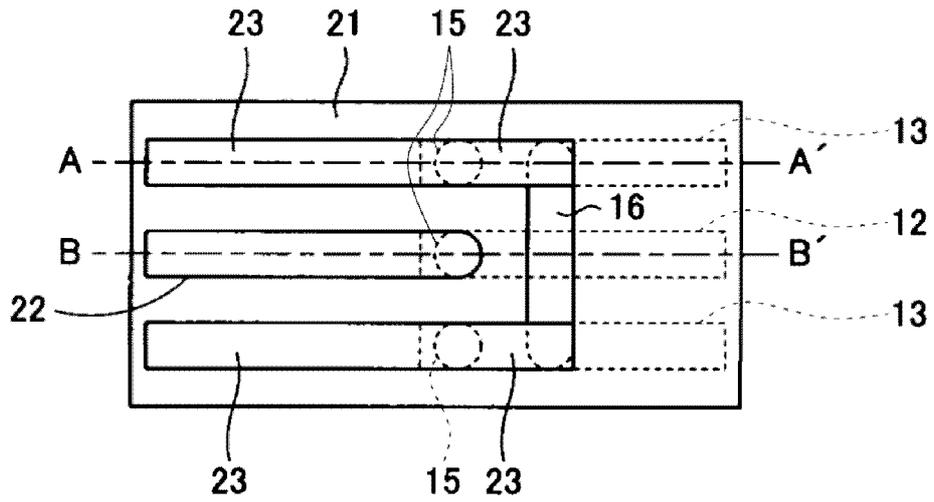


图1A

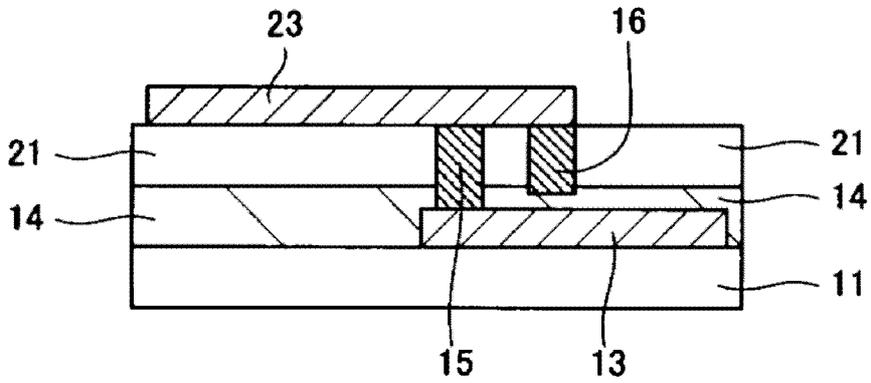


图1B

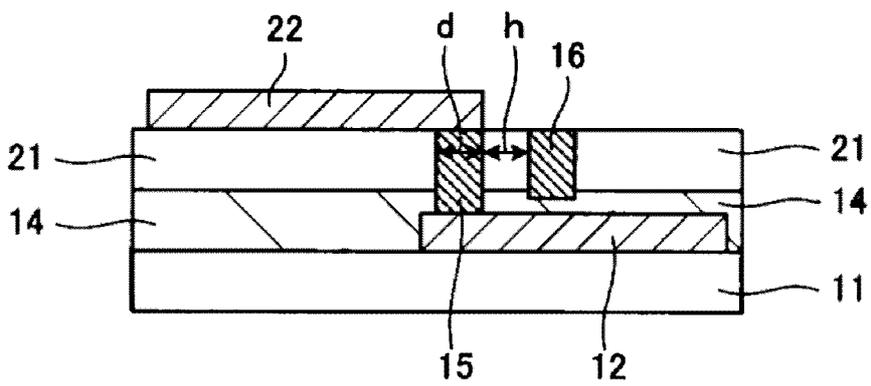


图1C

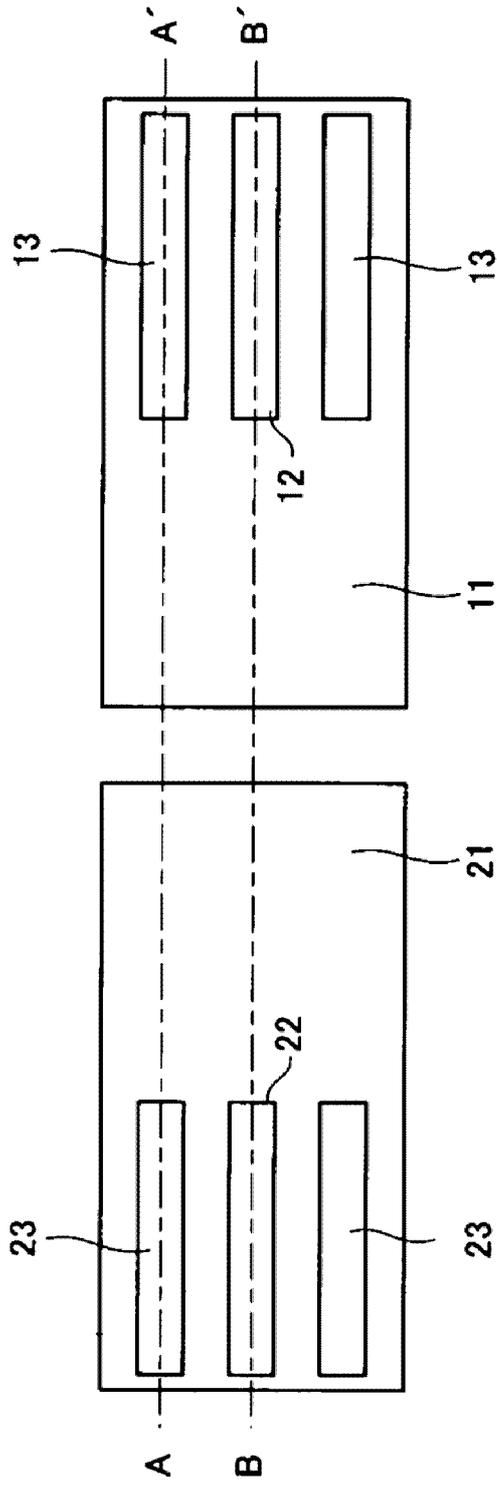


图2A

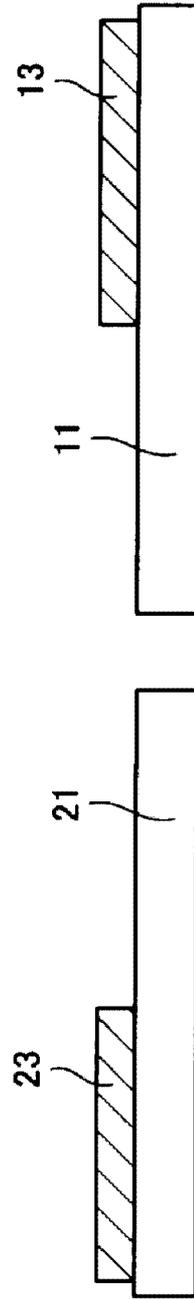


图2B

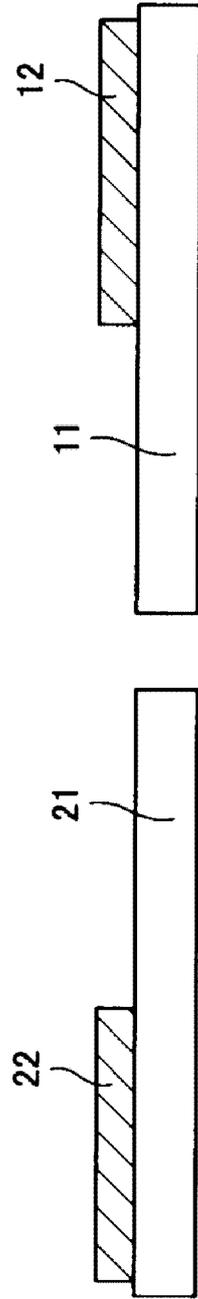


图2C

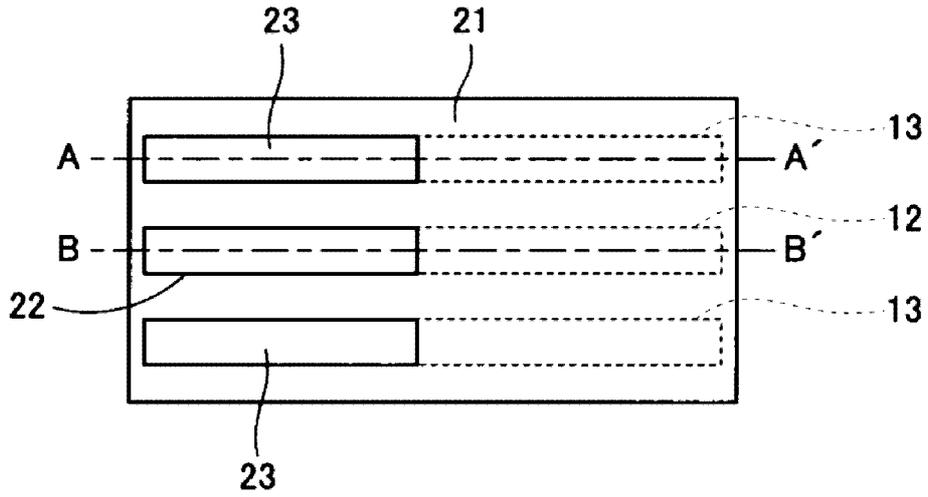


图2D

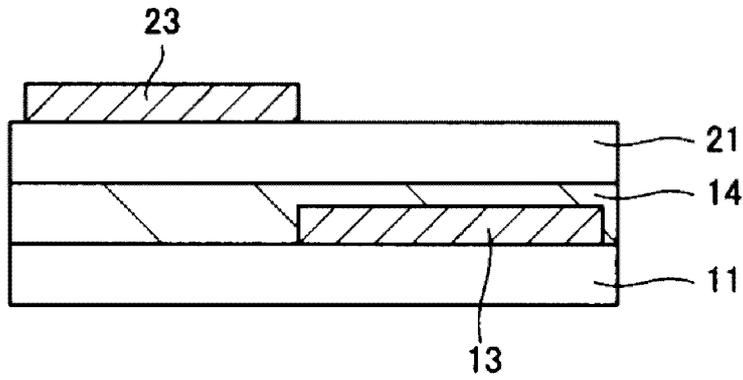


图2E

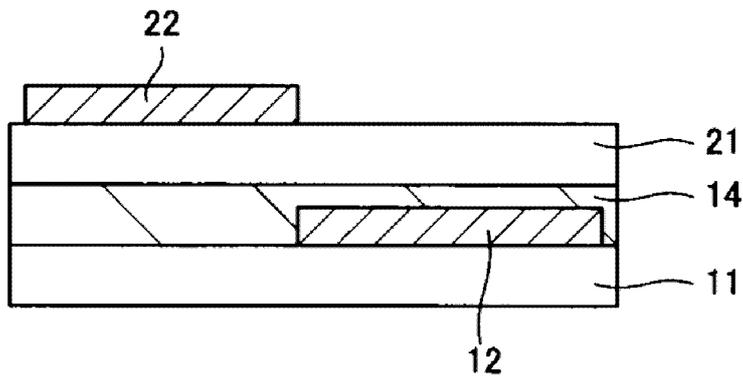


图2F

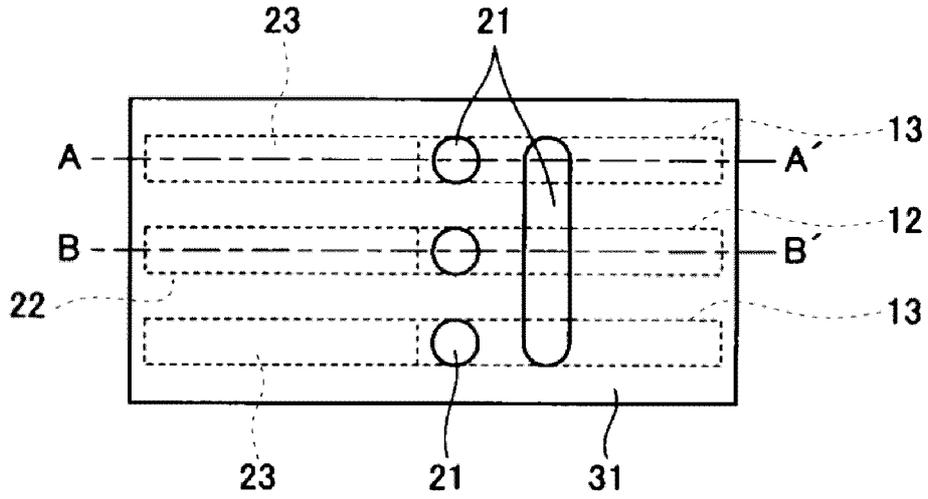


图2G

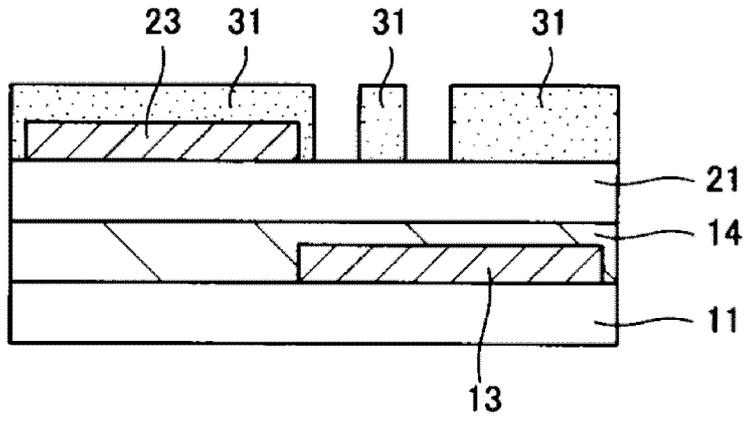


图2H

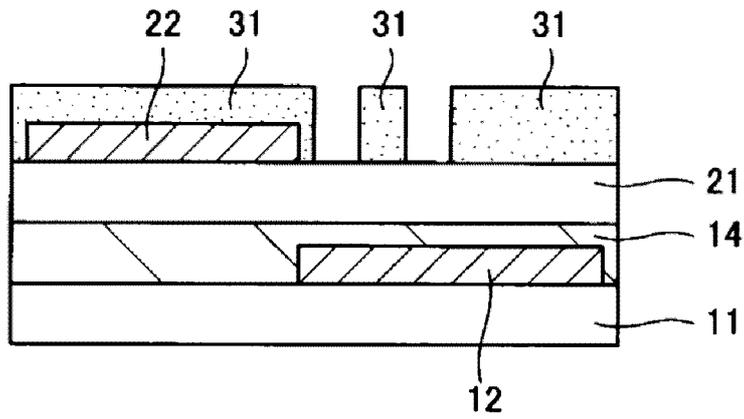


图2I

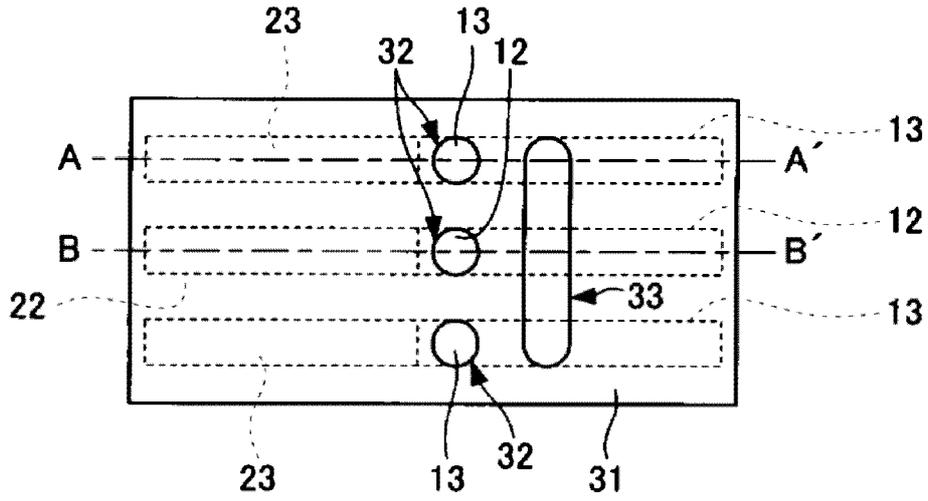


图2J

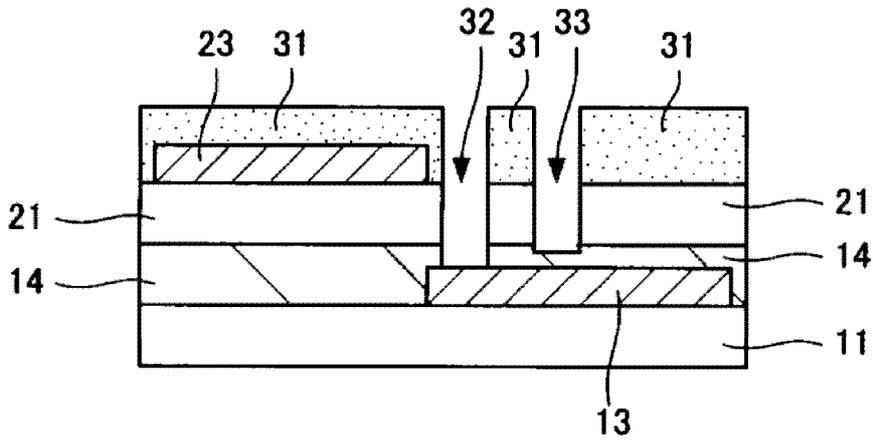


图2K

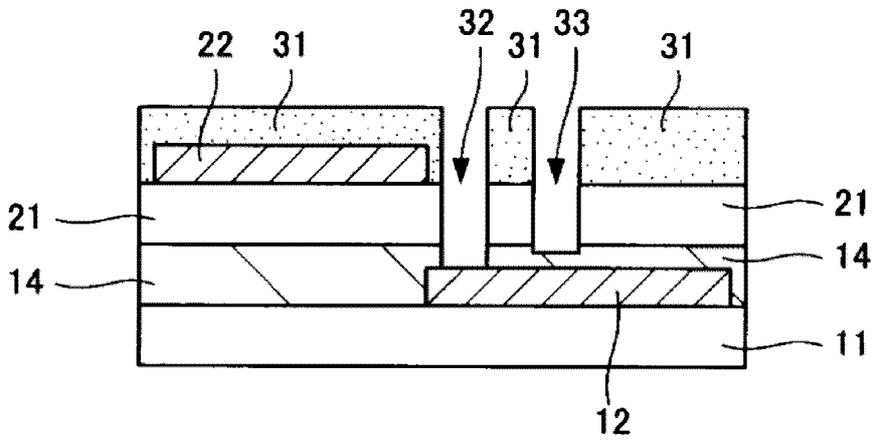


图2L

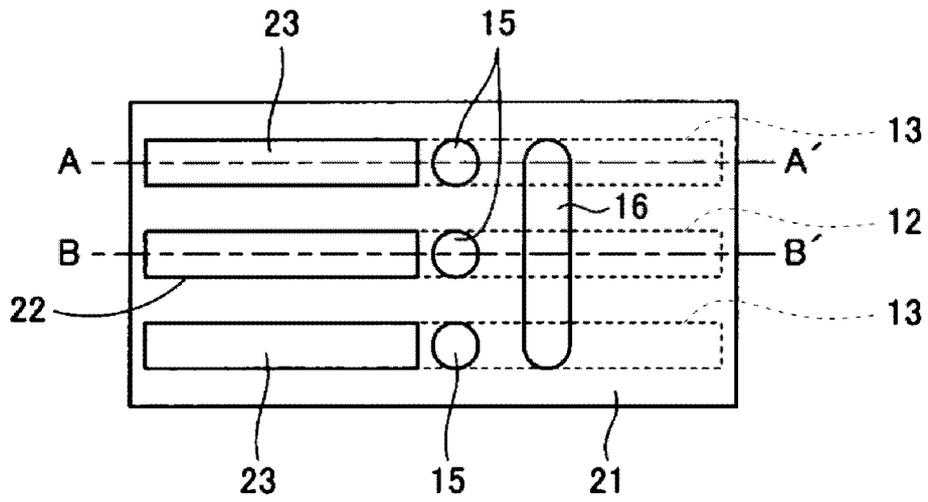


图2M

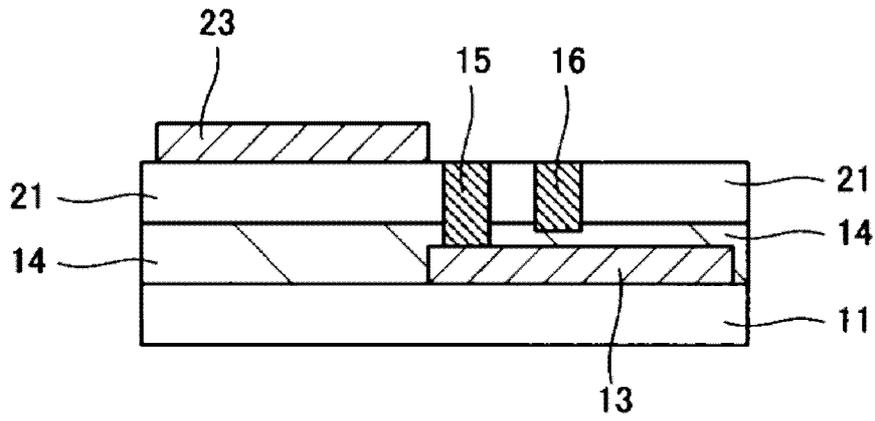


图2N

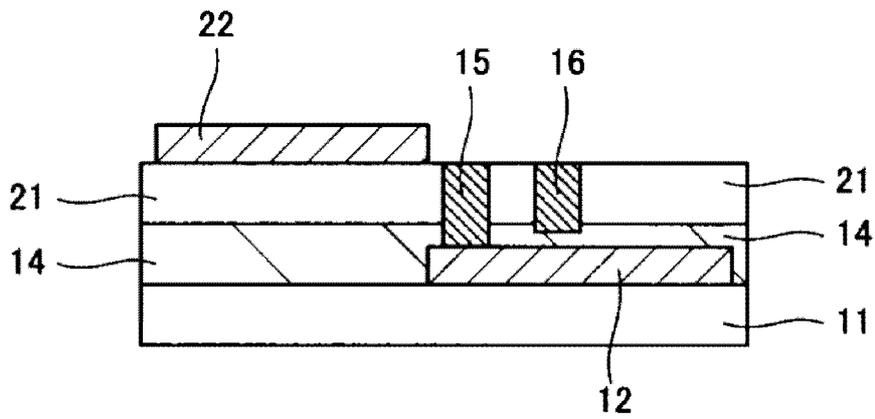


图2O

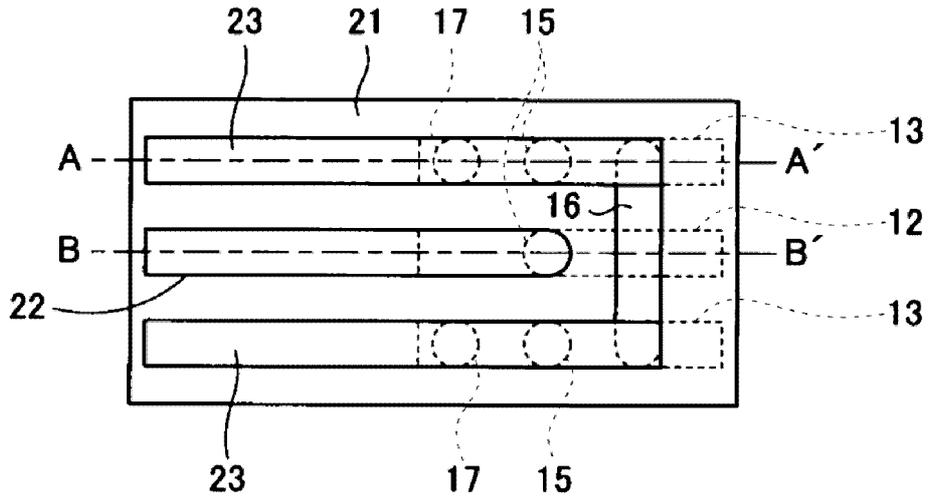


图3A

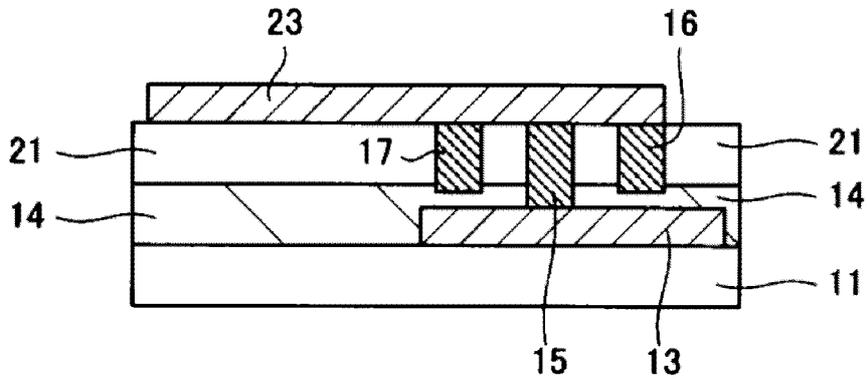


图3B

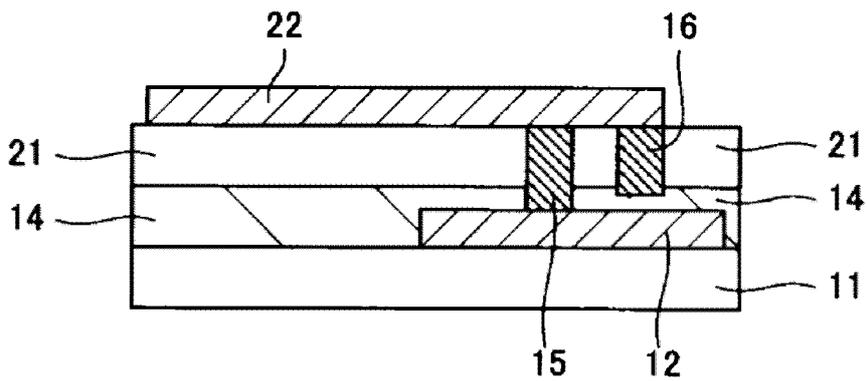


图3C

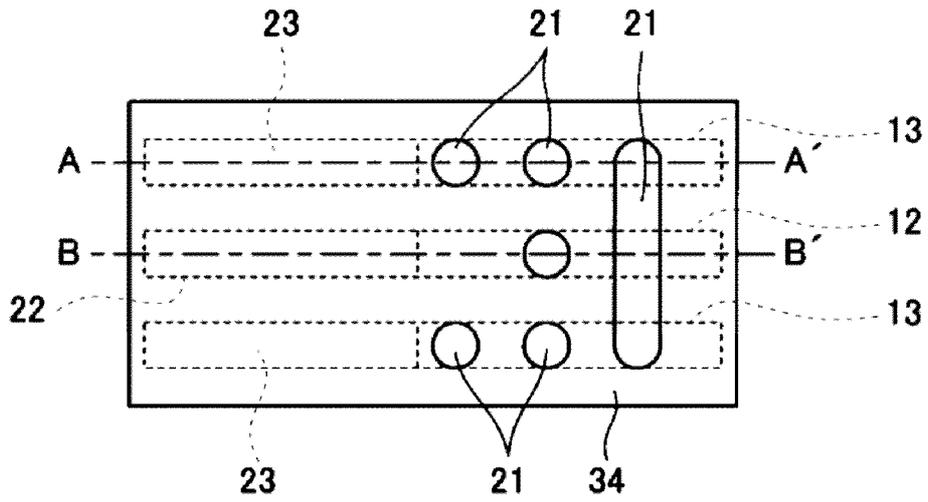


图4A

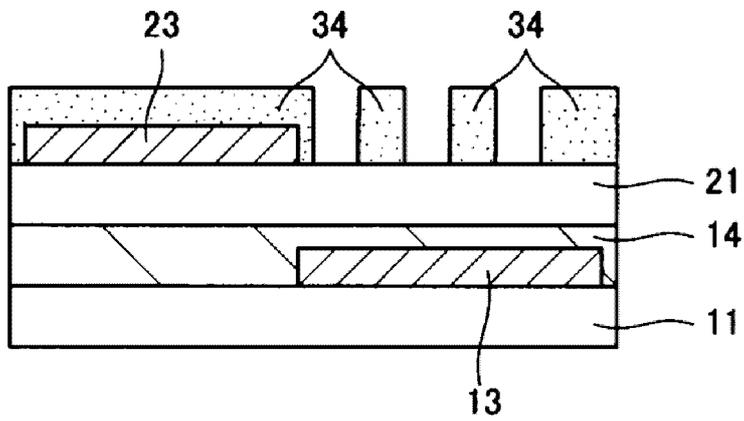


图4B

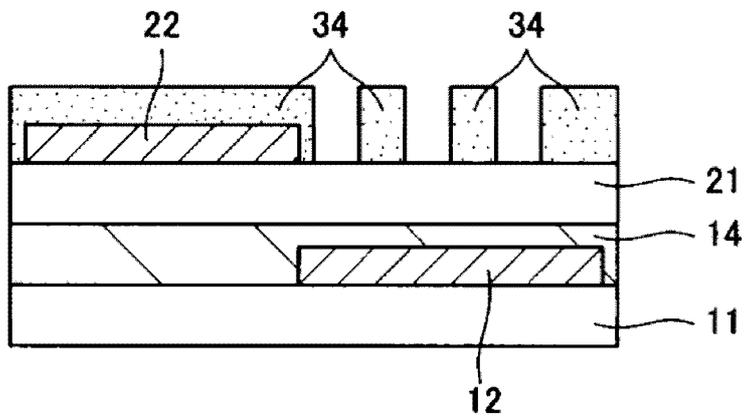


图4C

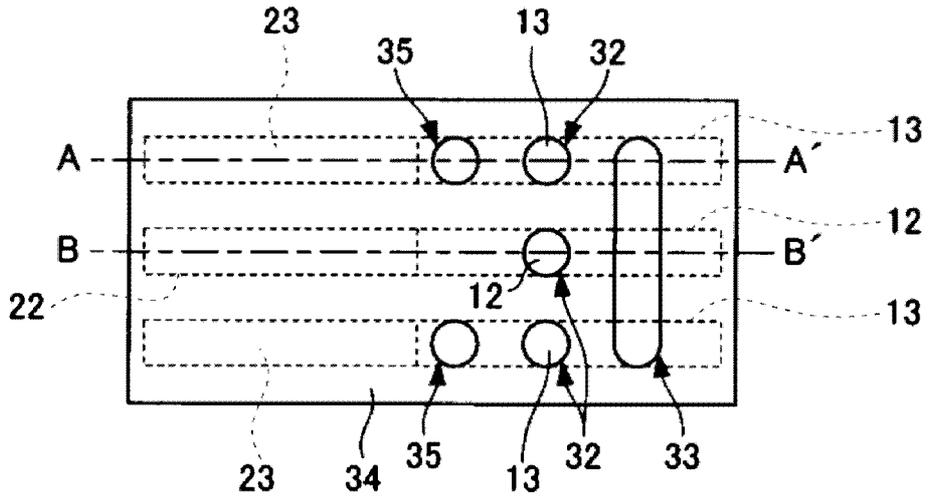


图4D

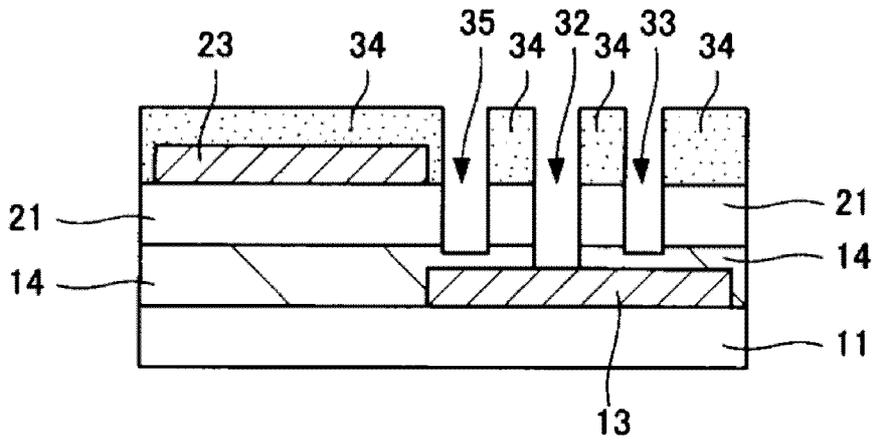


图4E

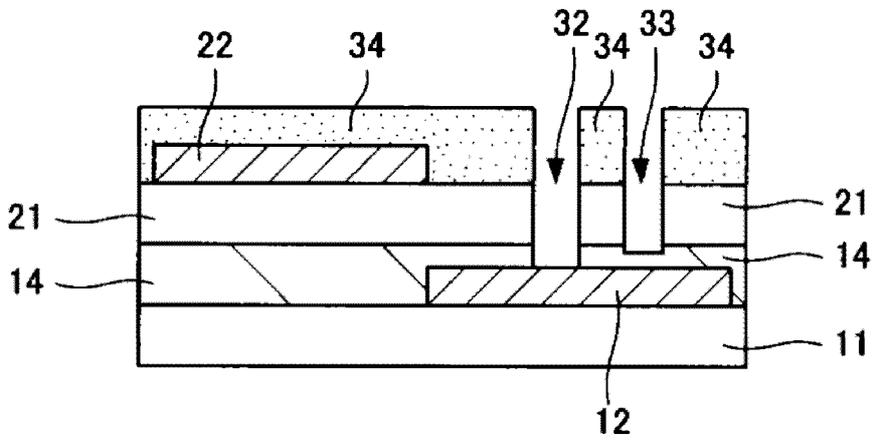


图4F

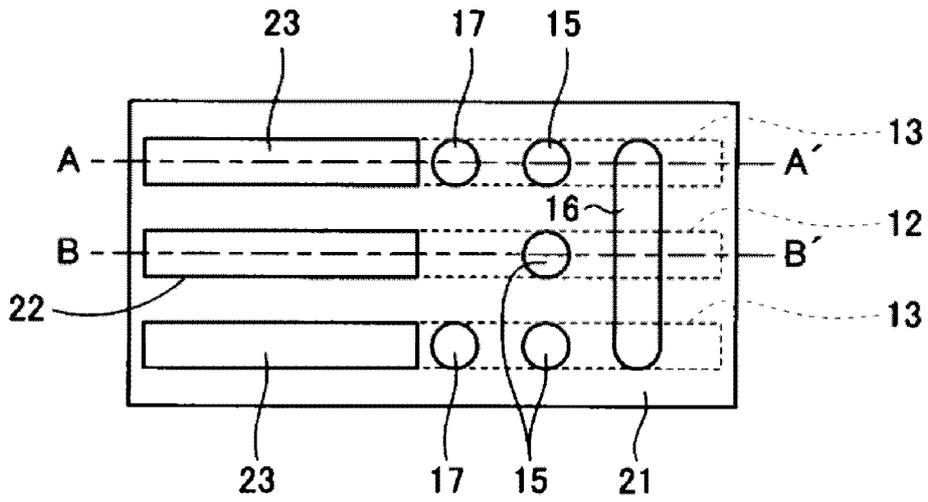


图4G

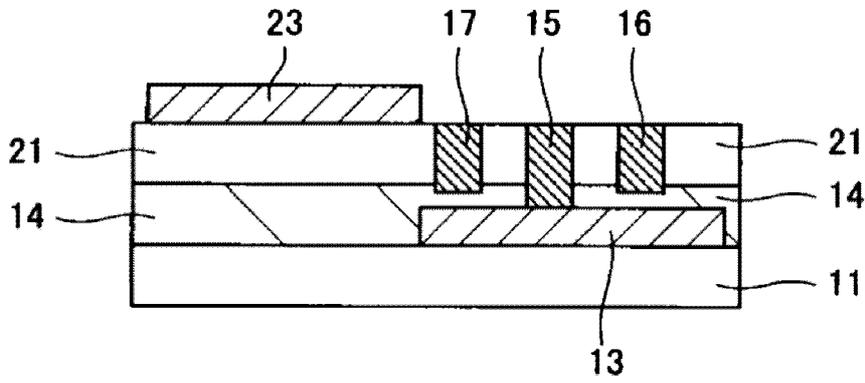


图4H

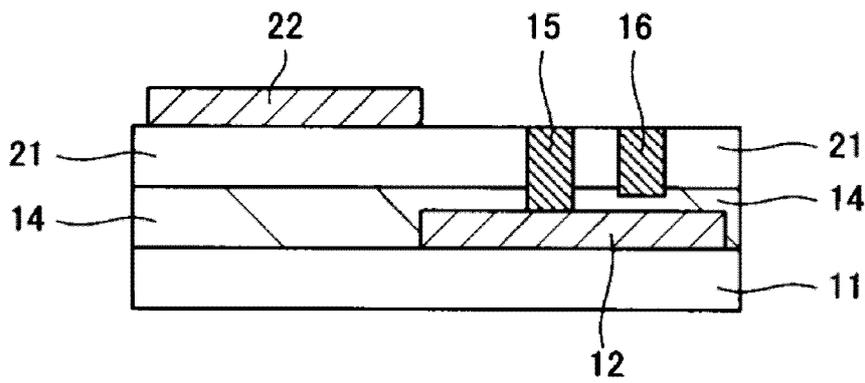


图4I

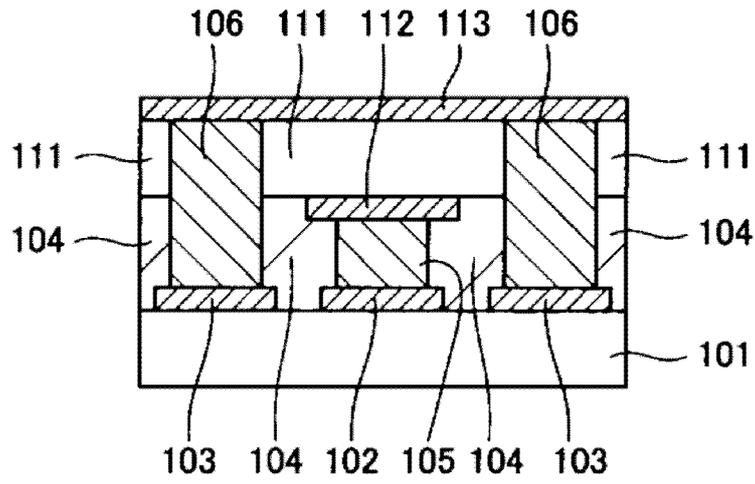


图5A

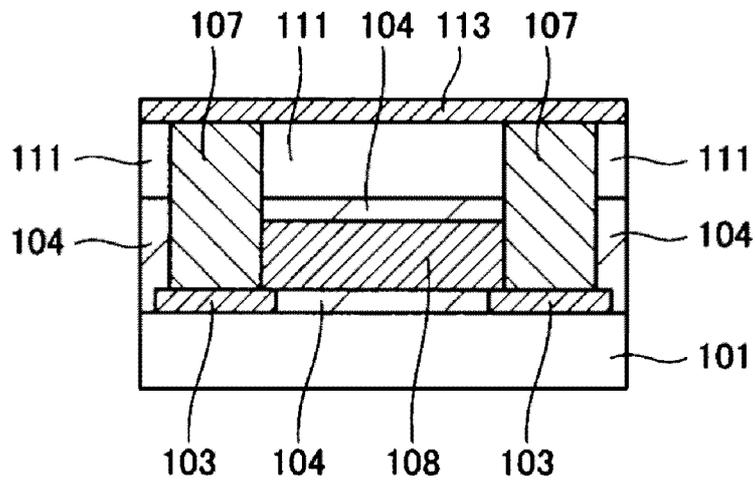


图5B

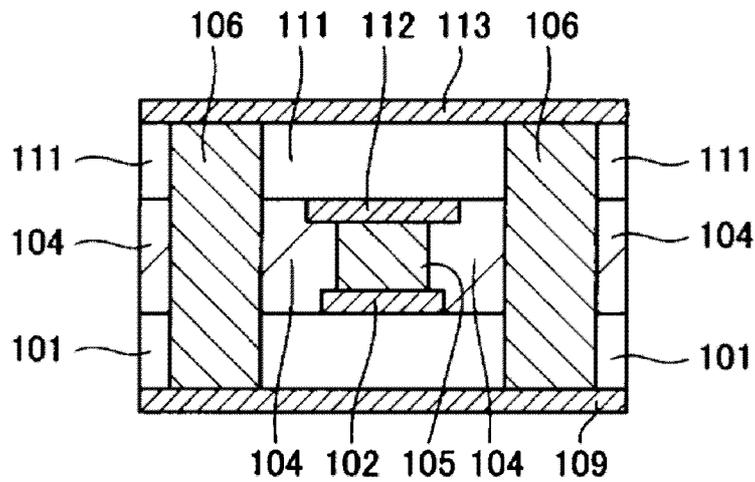


图6A

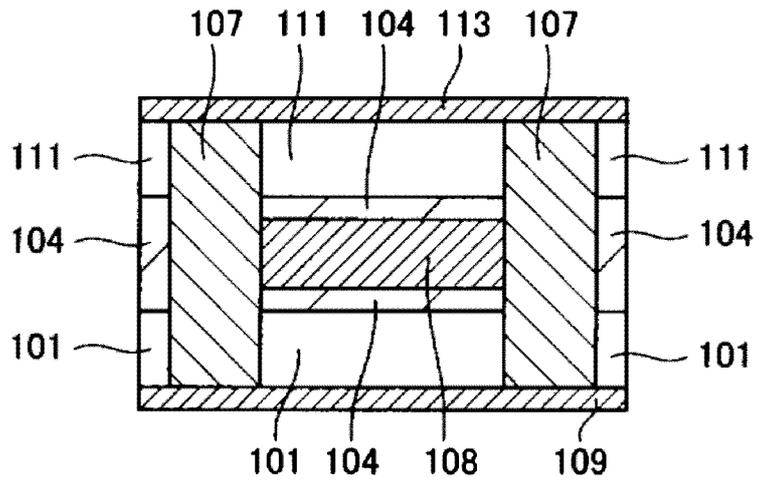


图6B

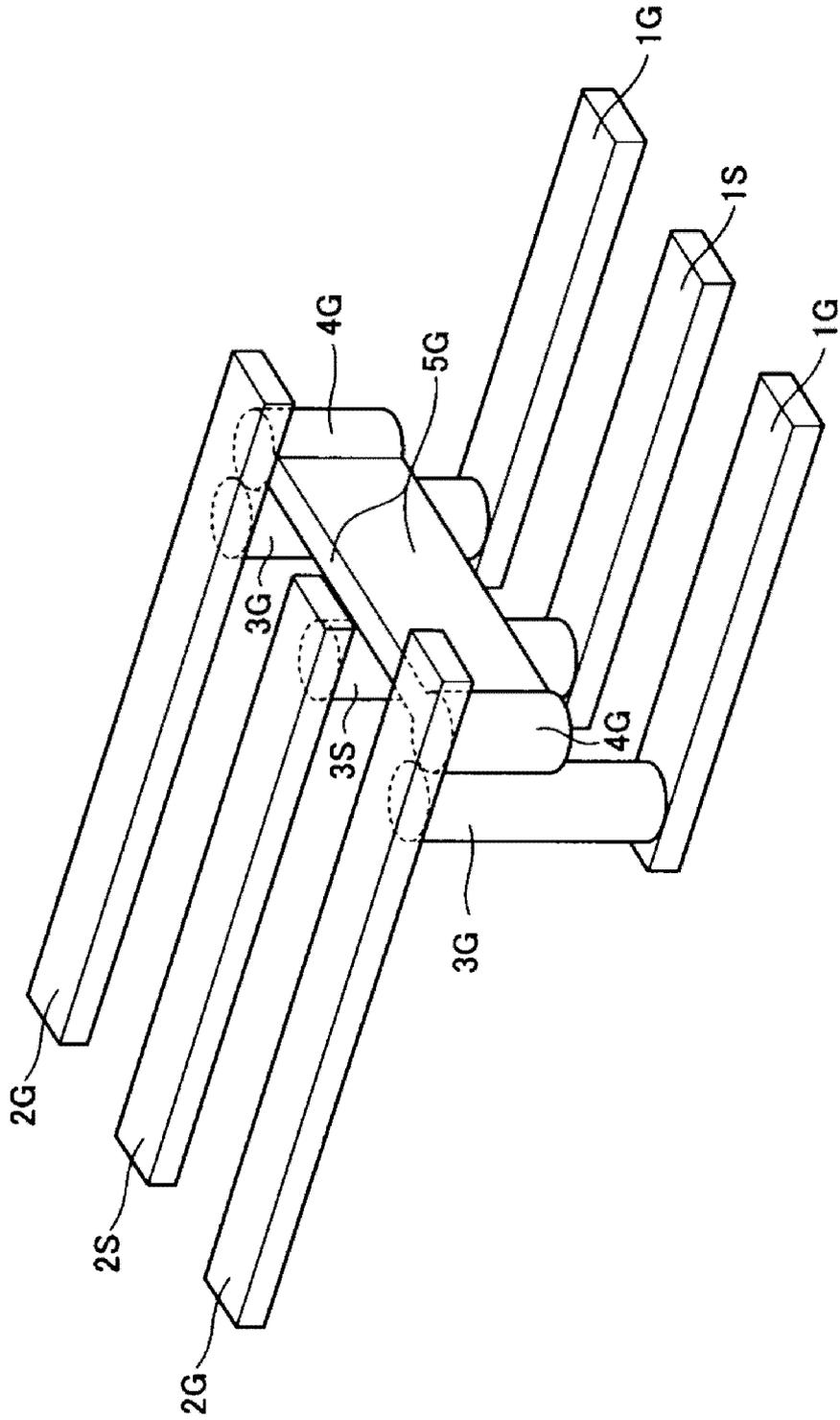


图7

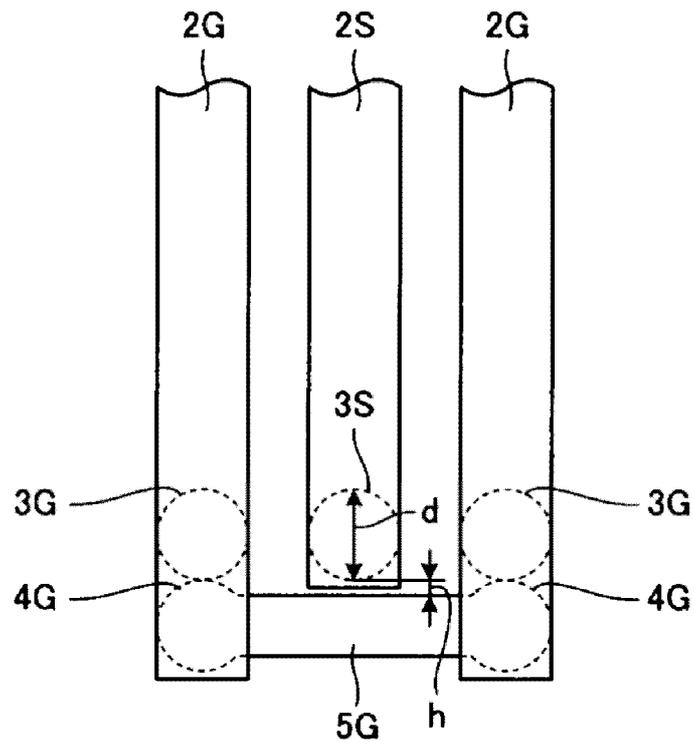


图8

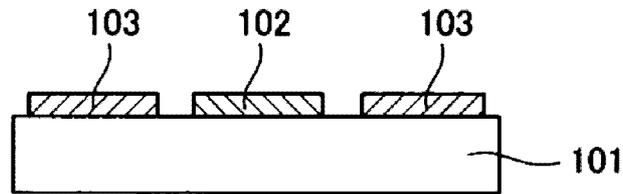


图9A

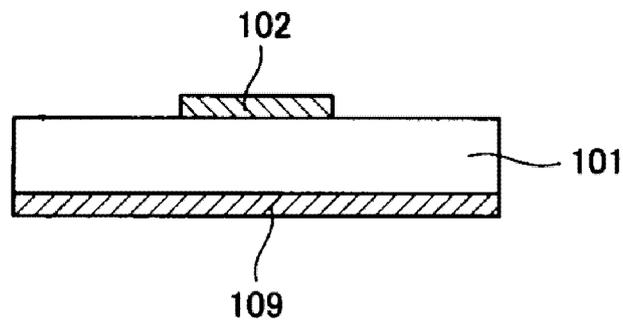


图9B

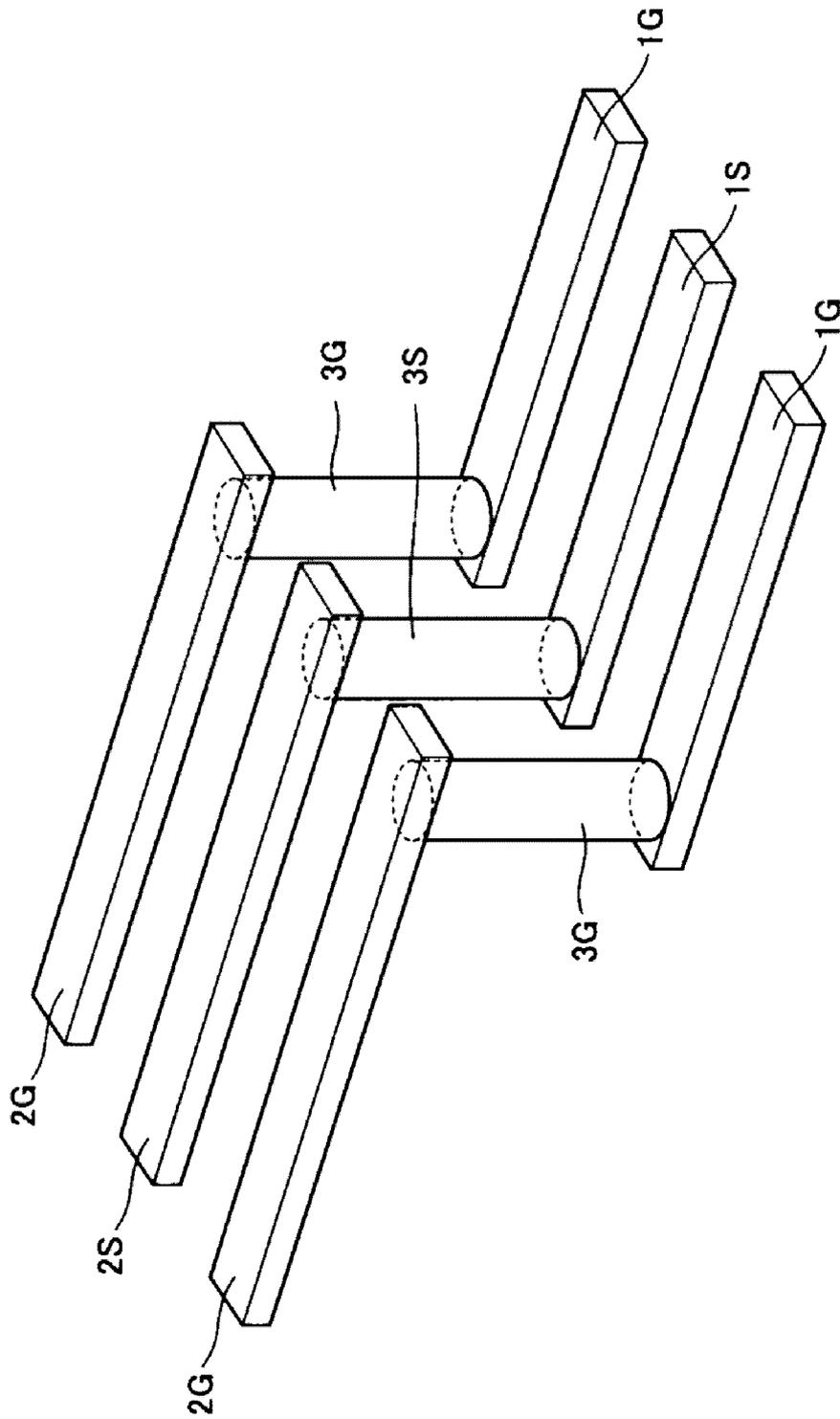


图10