



(12) 发明专利

(10) 授权公告号 CN 102646589 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201110039626. X

US 7435636 B1, 2008. 10. 14,

(22) 申请日 2011. 02. 17

TW 405167 B, 2011. 06. 11,

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

审查员 赵伟

地址 201203 上海市张江路 18 号

(72) 发明人 李凡

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/311(2006. 01)

(56) 对比文件

CN 1624885 A, 2005. 06. 08,

CN 101971323 A, 2011. 02. 09,

CN 101681841 A, 2010. 03. 24,

US 2003022422 A1, 2003. 01. 30,

US 6054355 A, 2000. 04. 25,

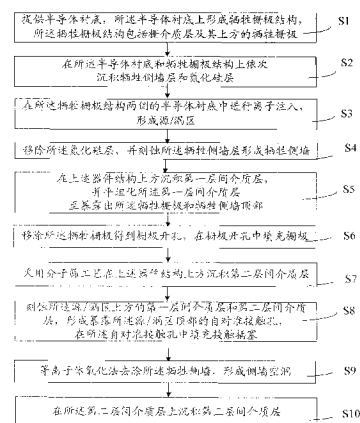
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种 MOSFET 制造方法

(57) 摘要

本发明提供一种 MOSFET 制造方法,通过采用氧气或二氧化碳等离子体氧化法去除无定形碳的牺牲侧墙,以形成侧墙空洞,侧墙空洞的介电常数为 1,仅为氮化硅侧墙的七分之一,能显著降低栅极与源漏区接触插塞之间的电容,有效提高短栅长 MOSFET 器件的速度和开关功耗性能;本发明提供的制造方法工艺简单,节约成本,形成的侧墙空洞能够永久存在,能延长器件的使用寿命。



1. 一种 MOSFET 制造方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底上形成牺牲栅极结构,所述牺牲栅极结构包括栅介质层及其上方的牺牲栅极;

在所述半导体衬底和牺牲栅极结构上依次沉积牺牲侧墙层和氮化硅层;

在所述牺牲栅极结构两侧的半导体衬底中进行离子注入,形成源/漏区;

移除所述氮化硅层,并刻蚀所述牺牲侧墙层形成牺牲侧墙;

在上述器件结构上方沉积第一层间介质层,并平坦化所述第一层间介质层至暴露出所述牺牲栅极顶部;

移除所述牺牲栅极得到栅极开孔,在栅极开孔中填充栅极;

在上述器件结构上方采用分子筛工艺沉积第二层间介质层;

刻蚀所述源/漏区上方的第一层间介质层和第二层间介质层,形成暴露所述源/漏区的自对准接触孔,在所述自对准接触孔中填充接触插塞;

等离子体氧化法去除所述牺牲侧墙,形成侧墙空洞;

在所述第二层间介质层上沉积第三层间介质层。

2. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,所述牺牲栅极包括多晶硅。

3. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,移除所述牺牲栅极采用湿法刻蚀工艺。

4. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,所述牺牲侧墙的材料为无定形碳。

5. 如权利要求 4 所述的 MOSFET 制造方法,其特征在于,等离子体氧化法去除所述牺牲侧墙采用的气体为氧气或二氧化碳。

6. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,所述氮化硅层的沉积厚度为 100 ~ 200 埃。

7. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,移除所述氮化硅层采用干法刻蚀或湿法刻蚀工艺。

8. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,所述沉积第二层间介质层之前还包括对所述栅极进行回刻蚀,以形成栅极回刻开孔,并在所述栅极回刻开孔的侧壁形成补充侧墙。

9. 如权利要求 8 所述的 MOSFET 制造方法,其特征在于,所述补充侧墙为无定形碳,与所述牺牲侧墙一同被等离子体氧化法去除。

10. 如权利要求 1 所述的 MOSFET 制造方法,其特征在于,所述接触插塞的材料为金属钨、金属氮化物、氮化钛和氮化铌中的一种或几种。

## 一种 MOSFET 制造方法

### 技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种 MOSFET 的制造方法。

### 背景技术

[0002] 当栅极长度较短时, MOSFET(金属氧化物半导体场效应管)的电容主要来源于栅极与源漏区接触插塞之间的电容,降低这个电容,可以有效提高短栅长 MOSFET 器件的速度和开关功耗性能。要降低栅极与源漏区接触插塞之间的电容,最有效的方法是降低栅极与源漏区之间的介电常数。

[0003] 目前高密度 MOSFET 存储器件制造一般采用自对准接触 (self-aligned contact, SAC) 技术下的氮化硅侧墙结构来实现,氮化硅侧墙的介电常数较大 ( $K = 7$ ),可以有效防止高浓度源漏区离子注入进入沟道,避免自对准硅化物电极形成过程中栅极与源漏区之间的短路。显然这种有氮化硅侧墙结构的自对准 MOSFET 制造技术,不能满足于短栅长 MOSFET 制造对低介电常数侧墙结构的要求。

[0004] 因此,急需一种具有低介电常数侧墙结构的自对准 MOSFET 的制造技术,能够降低栅极与源漏区之间的介电常数,降低栅极与源漏区接触插塞之间的电容,有效提高短栅长 MOSFET 器件的速度和开关功耗性能。

### 发明内容

[0005] 本发明的目的在于提供一种 MOSFET 制造方法,能够降低栅极与源漏区之间的介电常数,降低栅极与源漏区接触插塞之间的电容,有效提高短栅长 MOSFET 器件的速度和开关功耗性能

[0006] 为解决上述问题,本发明提出一种 MOSFET 制造方法,该方法包括如下步骤:

[0007] 提供半导体衬底,所述半导体衬底上形成牺牲栅极结构,所述牺牲栅极结构包括栅介质层及其上方的牺牲栅极;

[0008] 在所述半导体衬底和牺牲栅极结构上依次沉积牺牲侧墙层和氮化硅层;

[0009] 在所述牺牲栅极结构两侧的半导体衬底中进行离子注入,形成源/漏区;

[0010] 移除所述氮化硅层,并刻蚀所述牺牲侧墙层形成牺牲侧墙;

[0011] 在上述器件结构上方沉积第一层间介质层,并平坦化所述第一层间介质层至暴露出所述牺牲栅极顶部;

[0012] 移除所述牺牲栅极得到栅极开孔,在栅极开孔中填充栅极;

[0013] 在上述器件结构上方采用分子筛工艺沉积第二层间介质层;

[0014] 刻蚀所述源/漏区上方的第一层间介质层和第二层间介质层,形成暴露所述源/漏区的自对准接触孔,在所述自对准接触孔中填充接触插塞;

[0015] 等离子体氧化法去除所述牺牲侧墙,形成侧墙空洞;

[0016] 在所述第二层间介质层上沉积第三层间介质层。

[0017] 进一步的,所述牺牲栅极包括多晶硅。

- [0018] 进一步的, 移除所述牺牲栅极采用湿法刻蚀工艺。
- [0019] 进一步的, 所述牺牲侧墙的材料为无定形碳。
- [0020] 进一步的, 等离子体氧化法去除所述牺牲侧墙采用的气体为氧气或二氧化碳。
- [0021] 进一步的, 所述氮化硅层的沉积厚度为 100 ~ 200 埃。
- [0022] 进一步的, 移除所述氮化硅层采用干法刻蚀或湿法刻蚀工艺。
- [0023] 进一步的, 所述栅极为金属或高 K 介质材料。
- [0024] 进一步的, 所述沉积第二层间介质层之前还包括对所述栅极进行回刻蚀, 以形成栅极回刻开孔, 并在所述栅极回刻开孔的侧壁形成补充侧墙。
- [0025] 进一步的, 所述补充侧墙为无定形碳, 与所述牺牲侧墙一同被等离子体氧化法去除。
- [0026] 进一步的, 所述接触插塞的材料为金属钨、金属氮化物、氮化钛和氮化铌中的一种或几种。
- [0027] 与现有技术相比, 本发明通过等离子体氧化法去除牺牲侧墙以形成侧墙空洞, 侧墙空洞的介电常数为 1, 仅为氮化硅侧墙的七分之一, 能显著降低栅极与源漏区接触插塞之间的电容, 有效提高短栅长 MOSFET 器件的速度和开关功耗性能。

#### 附图说明

- [0028] 图 1 为本发明实施例的工艺流程图;
- [0029] 图 2A 至 2K 为本发明实施例的剖面结构示意图。

#### 具体实施方式

[0030] 以下结合附图和具体实施例对本发明提出的 MOSFET 的制造方法作进一步详细说明。根据下面说明和权利要求书, 本发明的优点和特征将更清楚。需说明的是, 附图均采用非常简化的形式, 仅用于方便、明晰地辅助说明本发明实施例的目的。

[0031] 如图 1 所示, 本发明提供一种 MOSFET 的制造方法, 由 S1 至 S10 的十个步骤完成, 下面结合图 1 所示的 MOSFET 制造工艺流程图和图 2A ~ 2K 所示的 MOSFET 制造工艺剖面结构示意图对上述 MOSFET 的制造方法作详细的描述。

[0032] S1, 提供半导体衬底, 所述半导体衬底上形成牺牲栅极结构, 所述牺牲栅极结构包括栅介质层及其上方的牺牲栅极。

[0033] 请参考图 2A, 提供半导体衬底 100, 在半导体衬底 100 上采用化学气相沉积工艺及刻蚀工艺形成栅介质层 101 和牺牲栅极 102, 所述牺牲栅极 102 形成于栅介质层 101 上方, 栅介质层 101 和牺牲栅极 102 构成牺牲栅极结构, 其中, 牺牲栅极 102 在后续的工艺中将被去除而栅介质层 101 则始终保留。本实施例中, 牺牲栅极 102 包括多晶硅, 栅介质层 101 可以为氧化硅或氮氧化硅, 在 65nm 技术节点以下, 优选高介电常数 (高 K) 材料, 如氧化铝, 氧化锆, 氧化铪等。

[0034] S2, 在所述半导体衬底和牺牲栅极结构上依次沉积牺牲侧墙层和氮化硅层。

[0035] 请参考图 2B, 在所述半导体衬底 100 和牺牲栅极结构上依次沉积牺牲侧墙层 103 和氮化硅层 104。所述牺牲侧墙层 103 的材料为无定形碳。所述氮化硅层 104 的沉积厚度为 100 ~ 200 埃。

[0036] S3,在所述牺牲栅极结构两侧的半导体衬底中进行离子注入,形成源 / 漏区。

[0037] 请参考图 2C,以光刻胶(未图示)为掩膜,在所述栅介质层 101 和牺牲栅极 102 两侧的半导体衬底中进行离子注入,并对半导体衬底 100 进行快速退火处理,使注入离子扩散均匀,形成源 / 漏区 105。本步骤中,氮化硅层 104 保护牺牲侧墙层 103 在离子注入后的光刻胶去除时不被剥离。

[0038] S4,移除所述氮化硅层,并刻蚀所述牺牲侧墙层形成牺牲侧墙。

[0039] 请参考图 2D,采用高选择比的干法刻蚀或湿法刻蚀工艺移除所述氮化硅层 104。请参考图 2E,对牺牲侧墙层 103 进行刻蚀,形成牺牲侧墙 103a。

[0040] S5,在上述器件结构上方沉积第一层间介质层,并平坦化至暴露出所述牺牲栅极顶部。

[0041] 请参考图 2F,在半导体衬底 100、牺牲侧墙 103a 和牺牲栅极 102 上方沉积第一层间介质层 106,并化学机械平坦化(CMP)所述第一层间介质层 106,直至暴露出所述牺牲栅极 102 顶部。

[0042] S6,移除所述牺牲栅极得到栅极开孔,在栅极开孔中填充栅极。

[0043] 请参考图 2G,移除所述牺牲栅极 102 得到栅极开孔,在栅极开孔中填充栅极 102a。移除所述牺牲栅极 102 采用高选择比的湿法刻蚀工艺,填充的栅极 102a 为金属或高 K 介质材料。本实施例中,在填充完栅极 102a 之后,还进一步对所述栅极 102a 进行回刻蚀,形成栅极回刻开孔(即通过刻蚀去除一部分栅极 102a 来形成一定深度的开孔),并采用无定形碳在所述栅极回刻开孔的侧壁形成补充侧墙 103b,增大后续形成的侧墙空洞尺寸,进一步减小栅极与源漏区接触插塞之间的电容。

[0044] S7,在上述器件结构上方采用分子筛工艺沉积第二层间介质层。

[0045] 请参考图 2H,采用分子筛工艺沉积第二层间介质层 107,这样形成的第二层间介质层 107 中有许多孔道或空穴,能暴露牺牲侧墙 103a 和补充侧墙 103b 顶部,便于后续 S8 步骤中的气体进入,并氧化去除牺牲侧墙 103a 和补充侧墙 103b。进一步对第二层间介质层 107 进行 CMP,使其表面平坦化并在第一层间介质层 106 上方保留一定厚度的第二层间介质层 107。

[0046] S8,刻蚀所述源 / 漏区上方的第一层间介质层和第二层间介质层,形成暴露源漏区的自对准接触孔,在所述自对准接触孔中填充接触插塞。

[0047] 请参考图 2I,采用自对准接触技术刻蚀所述源 / 漏区 105 上方的第一层间介质层 106 和第二层间介质层 107,形成暴露源 / 漏区的自对准接触孔,在所述自对准接触孔中填充接触插塞 108。所述接触插塞 108 的材料为金属钨、金属氮化物、氮化钛和氮化铌中的一种或几种。

[0048] S9,等离子体氧化法去除所述牺牲侧墙,形成侧墙空洞。

[0049] 请参考图 2J,采用等离子体氧化法去除牺牲侧墙 103a 和补充侧墙 103b,形成侧墙空洞 103c。本实施例中,由于牺牲侧墙 103a 和补充侧墙 103b 都是无定形碳,所以优选采用氧气或二氧化碳气体,通过第二层间介质层 107 中的孔道或空穴,对牺牲侧墙 103a 和补充侧墙 103b 进行等离子体氧化去除,以形成侧墙空洞 103c。本方法在完全去除牺牲侧墙 103a 和补充侧墙 103b 的同时,不会造成第一层间介质层 106,接触插塞 108,栅极 102a 等结构的损伤,提高器件性能,操作简单,节约工艺成本。

[0050] S10,在所述第二层间介质层上沉积第三层间介质层。

[0051] 请参考图 2K,在所述第二层间介质层 107 上沉积第三层间介质层 109,以密封保存侧墙空洞,所述第二层间介质层 107 在此步骤中避免了第三层间介质层 109 沉积时填入侧墙空洞 103c,从而保持了侧墙空洞 103c 的永久存在,延长器件使用寿命。

[0052] 综上所述,本发明通过等离子体氧化法去除牺牲侧墙以形成侧墙空洞,侧墙空洞的介电常数为 1,仅为氮化硅侧墙的七分之一,能显著降低栅极与源漏区接触插塞之间的电容,有效提高短栅长 MOSFET 器件的速度和开关功耗性能;本发明提供的制造方法工艺简单,节约成本,形成的侧墙空洞能够永久存在,能延长器件的使用寿命。

[0053] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

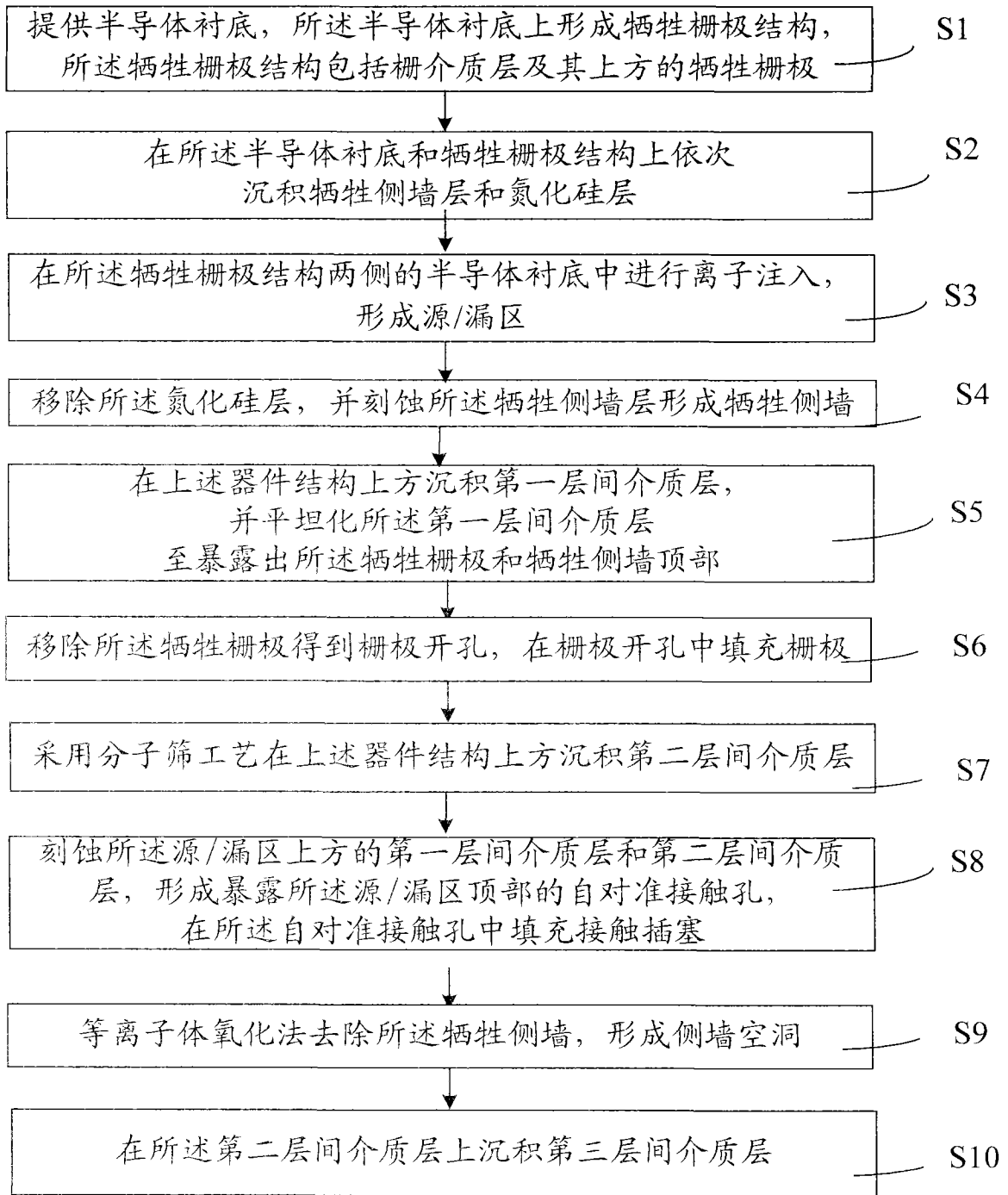


图 1

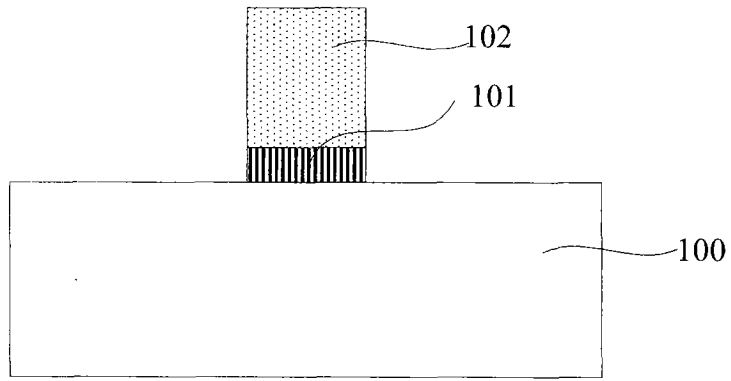


图 2A

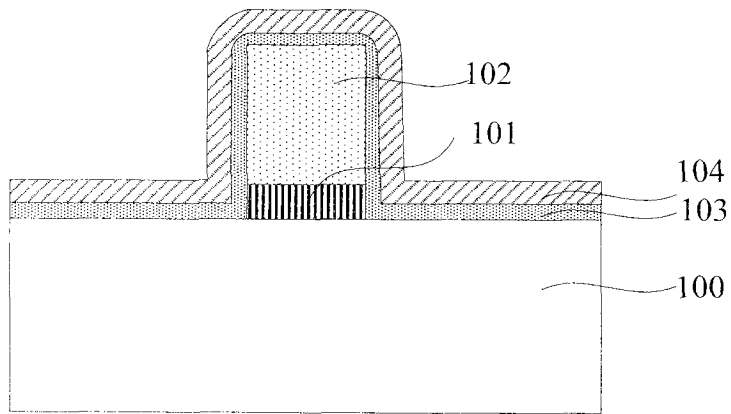


图 2B

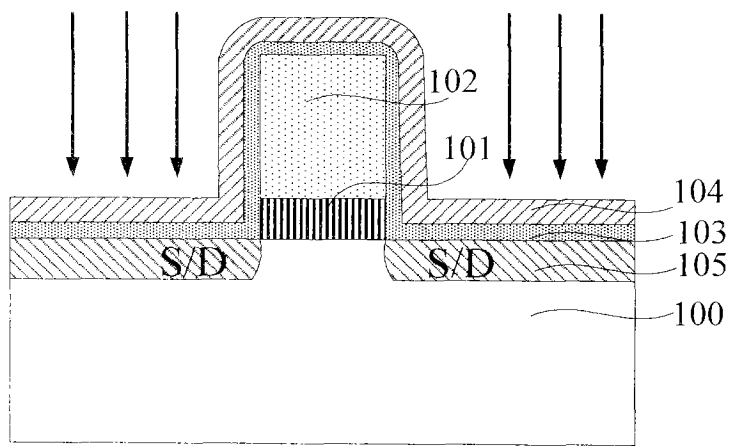


图 2C



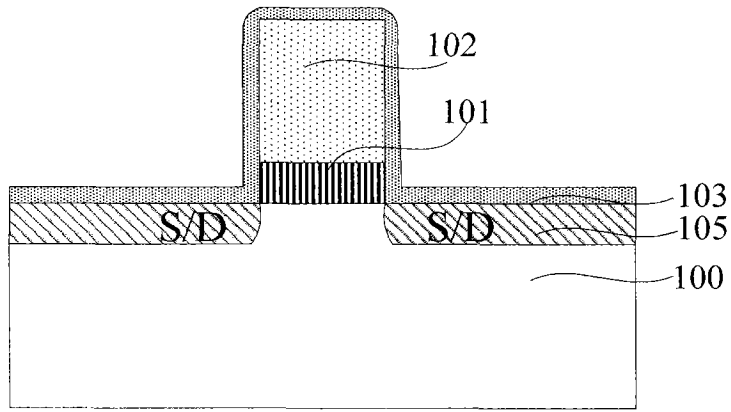


图 2D

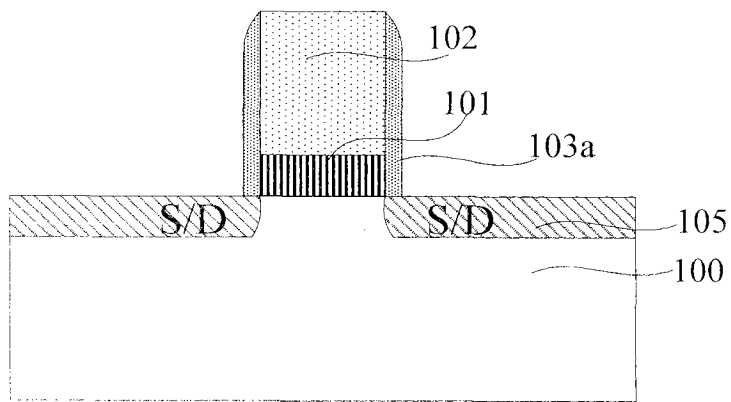


图 2E

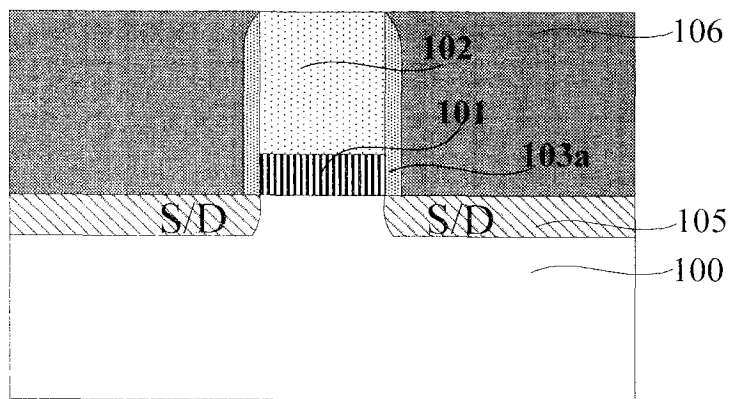


图 2F

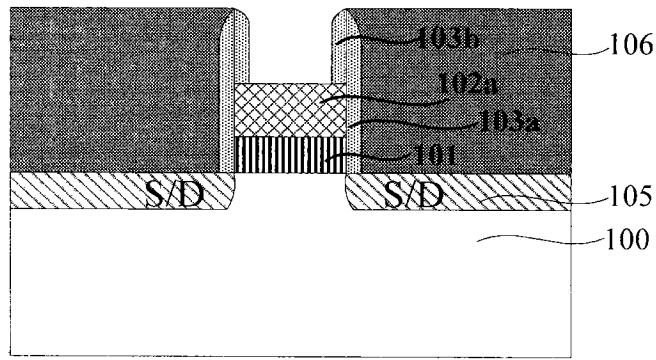


图 2G

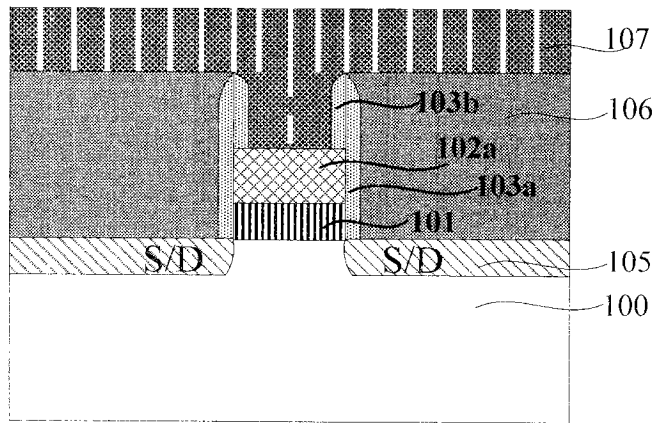


图 2H

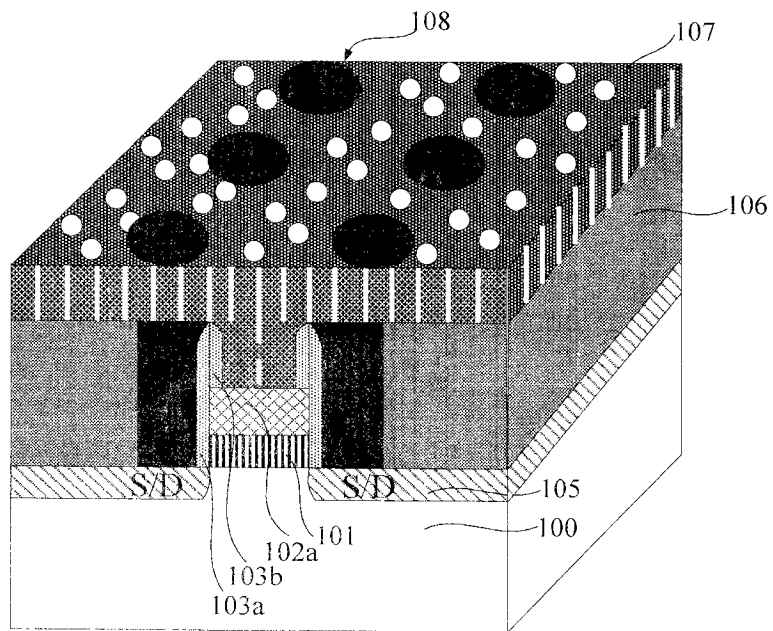


图 2I

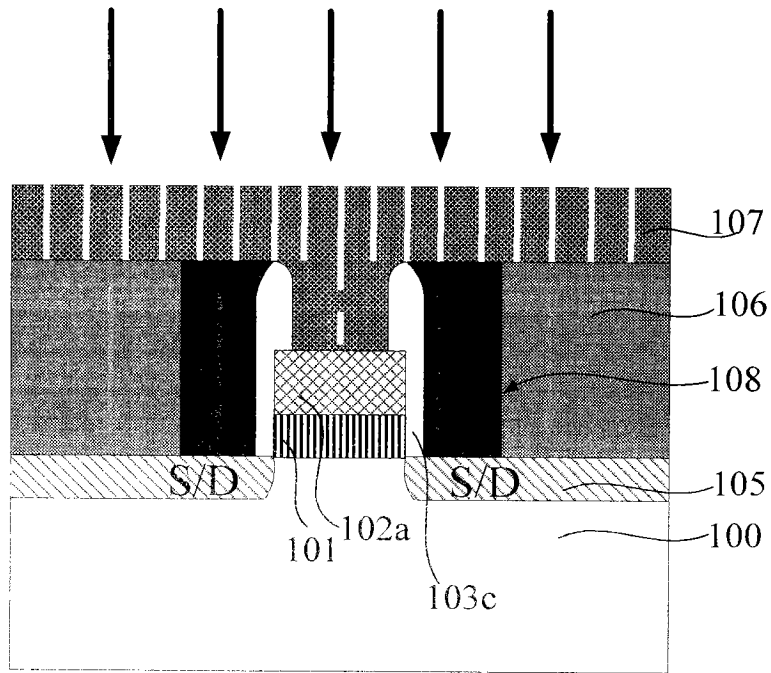


图 2J

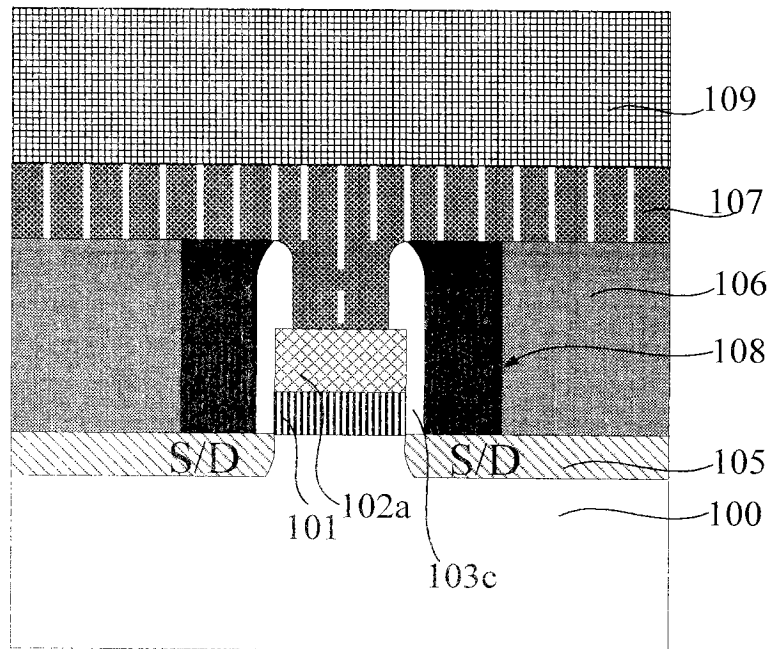


图 2K