

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040824 A1

(51) 国际专利分类号:
G06F 13/42 (2006.01) **H03M 7/14** (2006.01)

(21) 国际申请号: PCT/CN2017/095344

(22) 国际申请日: 2017 年 7 月 31 日 (31.07.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610793617.2 2016年8月31日 (31.08.2016) CN

(71) 申请人: 深圳市中兴微电子有限公司
(SANECHIPS TECHNOLOGY CO., LTD.) [CN/CN];
中国广东省深圳市南山区西丽街道留仙大道
中兴工业园, Guangdong 518055 (CN)。

(72) 发明人: 吴雪松 (WU, Xuesong); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DATA ENCODING METHOD, DATA DECODING METHOD, DEVICES, AND DATA STORAGE MEDIUM

(54) 发明名称: 数据编码方法、数据解码方法和装置、存储介质

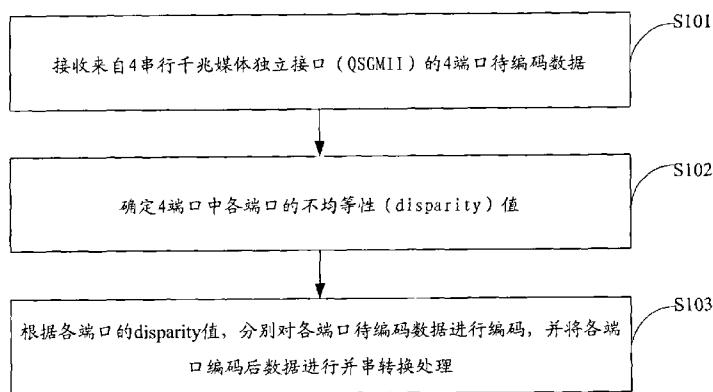


图 1

S101 Receive data to be encoded and from 4 quad serial gigabit media independent interfaces (QSGMII)

S102 Determine disparities of the 4 interfaces, respectively

S103 Encode, according to disparities of the respective interfaces, data to be encoded of the respective interfaces, and convert, from parallel to serial, the encoded data of the respective interfaces

(57) Abstract: A data encoding method, data decoding method, data encoding device, data codec device, and data storage medium. The encoding method comprises: receiving data to be encoded and from 4 QSGMII interfaces (S101); determining disparities of the 4 interfaces, respectively (S102); encoding, according to disparities of the respective interfaces, data to be encoded of the respective interfaces, and converting, from parallel to serial, the encoded data of the respective interfaces (S103).

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种数据编码方法、数据解码方法、数据编码装置、数据编解码装置及存储介质, 其中, 该编码方法包括: 接收来自QSGMII的4端口待编码数据(S101); 确定所述4端口中各端口的disparity值(S102); 根据各端口的disparity值, 分别对所述各端口待编码数据进行编码, 并将所述各端口编码后数据进行并串转换处理(S103)。

数据编码方法、数据解码方法和装置、存储介质

相关申请的交叉引用

本申请基于申请号为 201610793617.2、申请日为 2016 年 8 月 31 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 内容在此引入本申请作为参考。

技术领域

本发明涉及通信技术，尤其涉及一种数据编码方法、数据解码方法和装置、存储介质。

背景技术

10 4 串行千兆媒体独立接口（QSGMII，Quard Serial Gigabit Media Independent Interface），即 4 个串行的千兆媒体独立接口（GMII，Gigabit Media Independent Interface），使用更少的管脚将 4 个通道的端口速率为 10/100/1000 的物理层（PHY，Physical Layer）与媒体接入控制层（MAC，Media Access Contronl）互联，QSGMII 接口为 5 吉（G，Gigabit）串行高
15 速串行器/解串器（SERDES，SERializer/DESerializer）接口。

传统的 QSGMII 方案，以发送端为例，发送端具有 4（个）通道，每个通道使用 QSGMII 发送 8bit 数据（即 8bit 位宽的数据），将每个通道 GMII 的待发送的 8bit 位宽数据，按照通道 0，1，2，3 的顺序进行 8 字节/10 字节（B，Byte）/10B 编码，也就是将 8bit 位宽数据编码成 10bit 位宽数据以
20 进行传输，其中输入端口的每 8bit 的原始数据可以分成两部分：低位的 5bit 数据：EDCBA（设其十进制数值为 X）和高位的 3bit 数据：HGF（设其十进制数值为 Y），则该 8bit 数据可以记为 D.X.Y。另外，8B/10B 编码中还用

到 12 个控制字符，可以作为传输中帧起始、帧结束、传输空闲等状态标识，与数据字符的记法类似，控制字符一般记为 K.X.Y。8B/10B 编码中将 K28.1、K28.5 和 K28.7 作为控制码。

然而，当 4 通道中每个通道需要通过 GMII 发送 32bit 位宽数据（本文中
5 中也称为 32bit 数据）时，对每个通道 GMII 的 4 个端口来说，需要将 32bit 数据按 0，1，2，3 的端口号的顺序，对每个端口待发送的 8bit 位宽数据实施 8B/10B 编码的方法，这样导致每个端口的处理频率较高，影响系统的稳定性和可靠性。

发明内容

10 有鉴于此，本发明实施例期望提供一种数据编码方法、数据解码方法和装置、存储介质，降低 4 通道 GMII 的 32bit 数据进行 8B/10B 编码时每个端口的处理频率。

为达到上述目的，本发明实施例的技术方案是这样实现的：

15 第一方面，本发明实施例提供了一种数据编码方法，包括：接收来自 QSGMII 的 4 端口的待编码数据；确定所述 4 端口中各端口的 disparity 值；根据各端口的 disparity 值，分别对所述各端口待编码数据进行编码，并将所述各端口的编码后数据进行并串转换处理。

在上述方案中，所述确定所述 4 端口中各端口的 disparity 值，包括：根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的
20 disparity 值；将与所述各端口的 disparity 值输出至所述各端口的下一端口。

在上述方案中，在接收来自 QSGMII 的 4 端口待编码数据之后，在确定所述 4 端口中各端口的 disparity 值之前，所述方法还包括：将所述 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

25 第二方面，本发明实施例提供了一种数据解码方法，包括：接收编码后数据，对所述编码后数据进行串并转换，将串并转换后得出的 4 路并行

数据,对应发送至 QSGMII 的 4 个端口;确定所述 4 端口中各端口的 disparity 值;根据所述各端口的 disparity 值,分别对所述编码后数据进行解码,得到所述各端口的解码后数据。

在上述方案中,所述确定所述 4 端口中各端口的 disparity 值,包括:

- 5 根据与所述各端口对应的前一端口的 disparity 值,确定所述各端口的 disparity 值;将与所述各端口的 disparity 值输出至所述各端口的下一端口。

在上述方案中,在接收编码后数据,对所述编码后数据进行串并转换,将串并转换后得出的 4 路并行数据分别发送至 QSGMII 的 4 个端口之后,在确定所述 4 端口中各端口的 disparity 值之前,所述方法还包括:当所述
10 各端口的编码后数据中至少有一个不存在于预设的编码表中时,将所述各端口的编码后数据朝预设方向移动一位,直至所述各端口的编码后数据均存在于所述预设的编码表中。

在上述方案中,在确定所述 4 端口中各端口的 disparity 值之后,根据所述各端口的 disparity 值,分别对发送到所述各端口的编码后数据进行解
15 码,得到所述各端口的解码后数据之前,所述方法还包括:

当所述各端口的 disparity 值中至少有一个不存在于预设值中时,将所述各端口编码后数据向预设方向进行移位操作,直至所述各端口的 disparity 值均存在于所述预设值中。

在上述方案中,在根据所述各端口的 disparity 值,分别对发送到所述
20 各端口的编码后数据进行解码,得到所述各端口解码后数据之后,所述方法还包括:

将所述端口 0 的控制码由 K28.1 替换为 K28.5;

所述 4 端口中端口 1、2、3 的控制码中至少有一个不为 K28.1 时,或者,所述各端口解码后数据中至少有一个不存在于预设的编码表中时,返
25 回执行将所述各端口编码后数据向预设方向进行移位操作的步骤。

第三方面，本发明实施例提供了一种数据编码装置，包括：第一接收模块，配置为接收来自 QSGMII 的 4 端口待编码数据；第一确定模块，配置为确定所述 4 端口中各端口的 disparity 值；编码模块，配置为根据各端口的 disparity 值，分别对所述各端口待编码数据进行编码，并将所述各端口编码后数据进行并串转换处理。

在上述方案中，所述第一确定模块，具体配置为根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的 disparity 值；将与所述各端口的 disparity 值输出至所述各端口的下一端口。

在上述方案中，所述装置还包括：第一替换模块，配置为在接收来自 QSGMII 的 4 端口待编码数据之后，在确定所述 4 端口中各端口的 disparity 值之前，将所述 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

第四方面，本发明实施例提供了一种数据解码装置，包括：第二接收模块，配置为接收编码后数据，对所述编码后数据进行串并转换，将串并转换后得出的 4 路并行数据，对应发送至 QSGMII 的 4 个端口；第二确定模块，配置为确定所述 4 端口中各端口的 disparity 值；解码模块，配置为根据所述各端口的 disparity 值，分别对发送到所述各端口的编码后数据进行解码，得到所述各端口解码后数据。

在上述方案中，所述第二确定模块，具体配置为根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的 disparity 值；将与所述各端口的 disparity 值输出至所述各端口的下一端口。

在上述方案中，所述装置还包括：第一移动模块，配置为在接收编码后数据，对所述编码后数据进行串并转换，将串并转换后得出的 4 路并行数据分别发送至 QSGMII 的 4 个端口之后，当确定所述 4 端口中各端口的 disparity 值之前，当所述各端口编码后数据中至少有一个不存在于预设的编码表中时，将所述各端口编码后数据向预设方向进行移位操作，直至所述

各端口编码后数据均存在于所述预设的编码表中。

在上述方案中，所述装置还包括：第二移动模块，配置为在确定所述4
端口中各端口的 disparity 值之后，在根据所述各端口的 disparity 值，分别
对发送到所述各端口的编码后数据进行解码，得到所述各端口解码后数据
5 之前，当所述各端口的 disparity 值中至少有一个不存在于预设值中时，将
所述各端口编码后数据向预设方向进行移位操作，直至所述各端口的
disparity 值均存在于所述预设值中。

在上述方案中，所述装置还包括：第二替换模块，配置为在根据所述
各端口的 disparity 值，分别发送到所述各端口的编码后数据进行解码，得
10 到所述各端口解码后数据之后，将所述端口 0 的控制码由 K28.1 替换为
K28.5，并触发同步检测模块；所述同步检测模块，配置为在受到触发后，
当所述4端口中端口1、2、3的控制码中至少有一个不为K28.1时，或者，
所述各端口解码后数据中至少有一个不存在于预设的编码表中时，触发所
述第一移动模块执行将所述各端口编码后数据向预设方向进行移位操作。

15 第五方面，本发明实施例提供了一种数据编码装置，包括：

存储器，用于存储可执行程序；

处理器，配置为执行所述存储器存储的所述可执行程序时，实现本发
明实施例提供的数据编码方法。

第六方面，本发明实施例提供了一种数据编码装置，包括：

20 存储器，用于存储可执行程序；

处理器，配置为执行所述存储器存储的所述可执行程序时，实现本发
明实施例提供的数据解码方法。

第七方面，本发明实施例提供一种存储介质，存储有可执行程序，所
述可执行程序被处理器执行时实现本发明实施例提供的数据编码方法。

25 第八方面，本发明实施例提供一种存储介质，存储有可执行程序，所

述可执行程序被处理器执行时实现本发明实施例提供的数据解码方法。

本发明实施例中，在接收到 QSGMII 的 4 端口待编码数据之后，首先，确定 4 端口中各端口的 disparity 值，在确定出各端口的 disparity 值之后，根据各端口的 disparity 值分别对各端口待编码数据进行编码，得到各端口
5 编码后数据，也就是说，对接收到的 4 端口待编码数据，先计算出各端口的 disparity 值，这样，在已知各端口的 disparity 值的情况下，利用各端口的 disparity 值可以同时对各端口的待编码数据进行编码，实现对 4 端口的待编码数据并行编码的过程，提升了对待编码数据进行编码的速度，从而，降低了 4 通道 GMII 的 32bit 数据每个端口进行 8B/10B 编码的处理频率，
10 提高了编码效率，进而提高了系统的稳定性和可靠性。

附图说明

图 1 为本发明实施例中数据编码方法的流程示意图；

图 2 为本发明实施例中 40bit 数据进行编码的一种可选的流程框图；

图 3 为本发明实施例中数据解码方法的流程示意图；

15 图 4 为本发明实施例中 40bit 数据进行解码的一种可选的流程框图；

图 5 为本发明实施例中 40bit 数据进行编码和解码的一种可选的流程框图；

图 6-1 为本发明实施例中 40bit 数据进行编码的一种可选的流程示意图；

图 6-2 为本发明实施例中 40bit 数据进行解码的一种可选的流程示意图；

20 图 7-1 为本发明实施例中数据编码装置的一种可选的结构示意图；

图 7-2 为本发明实施例中数据编码装置的一种可选的结构示意图；

图 8-1 为本发明实施例中数据解码装置的一种可选的结构示意图；

图 8-2 是本发明另一实施例的数据解码装置的结构示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。

本发明实施例提供一种数据编码方法，该方法可以应用在现场可编程门阵列（FPGA，Field Programmable Gate Array）和逻辑电路（IC，Logical Circuit）等逻辑器件实现，还可以应用于中央处理器（CPU，Central Processing Unit）和数字信号处理（DSP，Digital Signal Processing）中实现，这里，本发明不做具体限定。

图 1 为本发明实施例中数据编码方法的流程示意图，在图 1 中示出的通道的流量为 125 兆（M）字节，即数量为 125M 的 8 位组（octets），向通道输入数据进行编码处理的流程中，0 通道的控制字符为 K28.5 时，交换为 K28.1；对于每 8bit 的数据，经过 8B/10B 编码输出编码后的 10bit 数据，物理介质接入（PMA，Physical Media）服务接口将每通道的 4 个端口输出 10bit 位宽的数据，共计数量为 500 兆的编码组合（每个编码组合是一个 10 位的位组）的数据发送出去，数据按照从低位至高位的顺序发送，即 bit 0 最先发送。

其中，0 通道的 10bit 控制码 K28.5 被替换为 K28.1，以使接收端能在串行码流上，根据 K28.1 判断端口 0 的数据位置，然后将 10bit 编码数据转为串行码流发送给接收端，接收端的解码过程与发送端的编码过程的逆处理过程。

如图 1 所示，该方法包括：

S101：接收来自 QSGMII 的 4 端口待编码数据；

其中，以 FPGA 为例，位于 FPGA 中的发送端在上电重启时，发送配置码，空闲时发送空闲（idle）码或低功耗空闲 lpidle 码，GMII 有数据时发送待编码数据；该待编码数据包括数据码和控制码，其中，当发送数据码

时，关键（key）信号为 0；当发送控制码时，key 信号为 1。需要说明的是，上述 4 端口中，端口 0-3 的控制码均为 K28.5。

举例来说，图 2 为本发明实施例中 40bit 数据进行编码的一种可选的流程框图；如图 2 所示，端口（Port）0 接收 GMII 的 8bit 数据 TXD<7: 0>，
5 Port1 接收 GMII 的 8bit 数据 TXD<7: 0>，Port2 接收 GMII 的 8bit 数据 TXD<7: 0>，Port3 接收 GMII 的 8bit 数据 TXD<7: 0>。

为了对待编码数据进行定位，在一种可选的实施例中，S101 之后，S102 之前，该方法可以包括：

将 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

10 在图 2 中，发送端的各端口在接收到 8bit 的待编码数据之后，输入编码码处理流程，将每个端口的 8bit 的待编码数据的第 7 位至第 0 位依次标记为 HGFEDCBA，然后将端口 0 的控制码 K28.5 替换为 K28.1，这样，在 4 端口中，端口 0 的控制码为 K28.1，端口 1-3 的控制码为 K28.5，那么，接收端通过控制码 K28.5 可以找到端口 0 对应的数据。

15 S102：确定 4 端口中各端口的 disparity 值；

上述各端口的 disparity 值可以包括：+2，-2，0；每个 disparity 值对应有一个 10bit 的编码后数据，所以，为了得到 10bit 的编码后数据，必须先确定出各端口的 disparity 值；

20 为了确定出各端口的 disparity 值，在一种可选的实施例中，S102 可以包括：

将与 4 端口中每个端口对应的前一端口的 disparity 值输出至每个端口；根据与每个端口对应的前一端口的 disparity 值，确定每个端口的 disparity 值。

25 这里，每个端口的前一端口为：与该端口的序号相邻、且序号在该端口之前的端口。

例如，在 4 端口中，当输入端口 0 的 32bit 的待编码数据为首次编码的数据（即待编码的数据中首次输入到 4 端口的 32bit 数据）时，端口 0 的 disparity 值可以为+2 或者 0，将端口 0 的 disparity 值输出至端口 1；

当输入端口 0 的 32bit 的待编码数据不是首次编码的数据时，端口 0 的
5 对应的前一端口为端口 3，将端口 3 中上一组待编码数据的 disparity 值输出至端口 0；根据端口 3 的 disparity 值，来确定端口 0 的 disparity 值，将端口 0 的 disparity 值输出至端口 1；

根据端口 0 的 disparity 值，来确定端口 1 的 disparity 值，将端口 1 的 disparity 值输出至端口 2，根据端口 1 的 disparity 值，来确定端口 2 的 disparity
10 值，将端口 2 的 disparity 值输出至端口 3，根据端口 2 的 disparity 值，来确定端口 3 的 disparity 值；例如，以端口 1 为例，端口 0 的 disparity 值为-2，那么为了达到直流平衡的目的，端口 1 的 disparity 值为在对应+2，-2，0 的情况下，确定出端口 1 的 disparity 值为+2，并将端口 1 的 disparity 值输出至端口 2。

15 这样，便确定出了各端口的 disparity 值。

S103: 根据各端口的 disparity 值，分别对各端口待编码数据进行编码，并将各端口编码后数据进行并串转换处理。

其中，在上述图 2 中，进行 8B/10B 编码的过程中，根据每个端口的 disparity 值，从预设的编码表中查找 8bit 的待编码数据，与该端口的 disparity
20 值对应的 10bit 的编码后数据在图 2 中表示为 abcdeifghj，这样，就得到了每个端口的编码后数据，输出 10bit 的编码后数据，串行/解串器（SERDES，SERializer/DESerializer）将 40bit 的并行编码后数据转换成串行数据，按照端口 0、1、2、3 的顺序通过数据物理媒体附加（PMA，Physical Medium Attachment）服务接口将 5G 位的数据发送至接收端；至此，便完成了数据
25 编码。

本发明实施例所提供的数据编码方法,数据编码装置在接收到 QSGMII 的 4 端口待编码数据之后,首先,确定 4 端口中各端口的 disparity 值,在确定出各端口的 disparity 值之后,根据各端口的 disparity 值分别对各端口待编码数据进行编码,得到各端口编码后数据,也就是说,数据编码装置

5 对接收到的 4 端口待编码数据,先计算出各端口的 disparity 值,这样,在知晓各端口的 disparity 值的情况下,利用各端口的 disparity 值可以同时对各端口的待编码数据进行编码,实现对 4 端口待编码数据并行编码的过程,降低了每个端口待编码数据进行编码的速度,那么,降低了 4 通道 GMII 的 32bit 数据每个端口进行 8B/10B 编码的处理频率,提高了编码效率,进

10 而提高了系统的稳定性和可靠性。

基于同一发明构思,本发明实施例还提供一种数据解码方法,图 3 为本发明实施例中数据解码方法的流程示意图,如图 3 所示,该方法包括:

S301: 接收编码后数据,对编码后数据进行串并转换,将串并转换后得出的 4 路并行数据对应发送至 QSGMII 的 4 个端口;

15 接收端接收到发送端的编码后数据,将串行的 40bit 的编码后数据进行串并转换得到 4 路并行数据分别发送至 QSGMII 的 4 个端口,其中,每个端口接收 10bit 的编码后数据;

举例来说,图 4 为本发明实施例中 40bit 数据进行解码的一种可选的流程框图,如图 4 所示,PMA 接口以 5Gbps 的速度接收编码后数据并发送至

20 4 端口,每个端口接收编码后的 10bit 数据,其中,Port0 为端口 0,接收 GMII 的 10bit 数据 0 1 2 3 4 5 6 7 8 9,Port1 为端口 1,接收 GMII 的 10bit 数据 10 11 12 13 14 15 16 17 18 19,Port2 为端口 2,接收 GMII 的 10bit 数据 20 21 22 23 24 25 26 27 28 29,Port3 为端口 3,接收 GMII 的 10bit 数据 30 31 32 33 34 35 36 37 38 39;

25 为了将 40bit 的编码后数据与各端口对齐,在一种可选的实施例中,S301

之后，S302 之前，该方法可以包括：各端口编码后数据中至少有一个不存在于预设的编码表中时，将各端口编码后数据向预设方向进行移位操作，直至各端口编码后数据均存在于预设的编码表中。

在图 4 中，在各端口接收到 10bit 的编码后数据之后，在可能的位置对齐逗号序列，这里，检测各端口的 10bit 的编码后数据是否都存在于预设的编码表中，如果都存在，说明 40bit 的编码后数据的位置已经与各端口对齐，如果有至少一个 10bit 的编码后数据不存在于预设的编码表中时，说明 40bit 的编码后数据的位置与各端口没有对齐，此时将 40bit 的编码后数据向预设方向进行移位操作，然后继续检测各端口的 10bit 的编码后数据是否都存在于预设的编码表中，直至各端口编码后数据均存在于预设的编码表中；在确定出 40bit 的编码后数据的位置已经与各端口对齐的情况下，将 10bit 数据 0 1 2 3 4 5 6 7 8 9 与端口 0 对齐，将 10bit 数据 10 11 12 13 14 15 16 17 18 19 与端口 1 对齐，将 10bit 数据 20 21 22 23 24 25 26 27 28 29 与端口 2 对齐，将 10bit 数据 30 31 32 33 34 35 36 37 38 39 与端口 3 对齐。

其中，上述预设方向可以为朝左也可以朝右。

S302：确定 4 端口中各端口的 disparity 值；

接收端为了确定出各端口的 disparity 值，在一种可选的实施例中，S302 可以包括：

将与 4 端口中每个端口对应的前一端口的 disparity 值输出至每个端口；根据与每个端口对应的前一端口的 disparity 值，确定每个端口的 disparity 值。

例如，在 4 端口中，当 40bit 的编码后数据为首次待解码数据（即首次接收到的 40bit 数据）时，端口 0 的 disparity 值可以为+2 或者 0，将端口 0 的 disparity 值输出至端口 1；当 40bit 的待编码数据不是首次待解码数据时，端口 0 的对应的前一端口为端口 3，将端口 3 中上一组解码后数据的 disparity

值输出至端口 0; 根据端口 3 的 disparity 值, 来确定端口 0 的 disparity 值, 将端口 0 的 disparity 值输出至端口 1; 根据端口 0 的 disparity 值, 来确定端口 1 的 disparity 值, 将端口 1 的 disparity 值输出至端口 2, 根据端口 1 的 disparity 值, 来确定端口 2 的 disparity 值, 将端口 2 的 disparity 值输出至端口 3, 根据端口 2 的 disparity 值, 来确定端口 3 的 disparity 值; 例如, 仍然以端口 1 为例, 端口 0 的 disparity 值为-2, 那么为了达到直流平衡的目的, 端口 1 的 disparity 值为在对应+2,-2,0 的情况下, 确定出端口 1 的 disparity 值为+2, 并将端口 1 的 disparity 值输出至端口 2。

这样, 便确定出了各端口的 disparity 值。

在确定出各端口的 disparity 值, 为了进一步确定 40bit 的编码后数据的位置是否与各端口已经对齐, 在一种可选的实施例, S302 之后, S303 之前, 该方法可以包括: 各端口的 disparity 值中至少有一个不存在于预设值中时, 将各端口编码后数据向预设方向进行移位操作, 直至各端口的 disparity 值均存在于预设值中。

上述预设值可以包括: +2, -2, 0; 判断确定出的各端口的 disparity 值是否都在预设值中, 当各端口的 disparity 值都存在于上述预设值中时, 说明 40bit 的编码后数据的位置已经与各端口对齐, 如果有至少一个端口的 disparity 值不存在于预设的编码表中时, 说明 40bit 的编码后数据的位置与各端口没有对齐, 那么, 此时将 40bit 的编码后数据向预设方向进行移位操作, 然后继续检测各端口的 disparity 值是否都存在于预设值中, 直至各端口的 disparity 值都存在于预设值中;

在确定出 40bit 的编码后数据的位置已经与各端口对齐的情况下, 将 10bit 数据 0 1 2 3 4 5 6 7 8 9 与端口 0 对齐, 将 10bit 数据 10 11 12 13 14 15 16 17 18 19 与端口 1 对齐, 将 10bit 数据 20 21 22 23 24 25 26 27 28 29 与端口 2 对齐, 将 10bit 数据 30 31 32 33 34 35 36 37 38 39 与端口 3 对齐。

S303: 根据各端口的 disparity 值, 分别对编码后数据进行解码, 得到各端口解码后数据。

其中, 在上述图 4 中, 接收端的物理解码子层 (PCS, Physical Coding Sublayer) 进行 8B/10B 解码的过程中, 根据每个端口的 disparity 值, 从预设的编码表中查找 10bit 的编码后数据, 与该端口的 disparity 值对应的 8bit 的解码后数据在图 4 中用 HGFEDCBA 来表示, 这样, 就得到了每个端口的解码后数据, 并对 8bit 的解码后数据进行载波检测处理, 得到 8bit 解码后数据+控制字+载波检测, 并将得到的解码后数据 (图 4 中的 7 6 5 4 3 2 1 0) 发送至 GMII 接口的 Port0、Port1、Port2、Port3, 使得 GMII 接口可以接收到 4 个 RXD<7: 0>。

在将解码后数据组成帧格式之前, 需要确定解码后的 8bit 数据的正确性, 为了确定解码后的 8bit 数据的正确性, 对解码后数据继续进行同步检测, 在一种可选的实施例中, S303 之后, 该方法可以包括:

将端口 0 的控制码由 K28.1 替换为 K28.5;

4 端口中端口 1、2、3 的控制码中至少有一个不为 K28.1 时, 或者, 各端口解码后数据中至少有一个不存在于预设的编码表中时, 返回执行将各端口编码后数据向预设方向进行移位操作的步骤。

在上述数据编码方法中, 在确定各端口的 disparity 值之后, 为了确定端口 0 的数据, 将端口 0 的控制码由 K28.1 替换为 K28.5, 那么在解码的过程中, 通过控制码可以找到端口 0 对应的 10bit 编码后数据后, 对 4 个 10bit 编码后数据分别进行解码, 解码完成之后, 将端口 0 的控制码由 K28.5 替换为 K28.1, 然后对端口 1-3 进行检测, 如果检测到端口 1、2、3 的控制码中至少有一个不为 K28.1 时, 或者, 检测到各端口解码后数据中至少有一个不存在于预设的编码表中时, 说明解码错误, 需要重新返回执行将各端口编码后数据向预设方向进行移位操作的步骤, 重新将各端口的数据位进

行对齐，然后再进行解码，从而保障数据解码的正确性。

本发明实施例所提供的数据解码方法，数据解码装置在接收到 QSGMII 的 4 端口编码后数据之后，首先，确定 4 端口中各端口的 disparity 值，在确定出各端口的 disparity 值之后，根据各端口的 disparity 值分别对各端口
5 编码后数据进行解码，得到各端口解码后数据，也就是说，数据解码装置对接收到的 4 端口待编码数据，先计算出各端口的 disparity 值，这样，在知晓各端口的 disparity 值的情况下，利用各端口的 disparity 值可以同时对各端口的编码后数据进行解码，实现对 4 端口编码后数据并行解码的过程，那么，降低了 4 通道 GMII 的 32bit 数据每个端口进行 8B/10B 解码的处理
10 频率，提高了解码效率，进而提高了系统的稳定性和可靠性。

下面举实例来对上述数据编解码方法中的一个或多个实施例进行说明；

图 5 为本发明实施例中 40bit 数据进行编码和解码的一种可选的流程框图；如图 5 所示，在发送端（记为 send），将 4 个并行端口 Port0 接收到的
15 来自 GMII 的 8bit 待编码数据分发至编码器中的 Port0、Port1、Port2、Port3，将编码得到 4 个 10bit 的编码后数据通过 SERDES 进行并串转换得到 40bit 的编码后数据，在发送至接收端之前，通过 SERDES 进行串并转换得到 4 个 10bit 的编码后数据，分发至解码器中的 Port0、Port1、Port2、Port3。

图 6-1 为本发明实施例中 40bit 数据进行编码的一种可选的流程示意图，
20 如图 6-1 所示，基于上述图 5，上述数据编码方法可以包括：

S601：根据 GMII 收包及链路状态，发送控制码或数据。

发送端上电重启时，发送配置码，空闲时发送 idle 码或 lpidle 码，GMII 有数据时发送数据编码，当发送数据码时，key 信号为 0，当发送控制码时，key 信号为 1；

25 S602：发送端判断当前端口是否是 Port0，如果是 Port0 则到 S603 处理，

当前如果是其它端口，则到 S604 处理；

S603: 发送端将控制码 K28.5 替换为 K28.1；

S604: 发送端根据前端口 disparity 值，计算本端口的 disparity 值，并将本端口的 disparity 值输出给下一端口，进行 8B/10B 编码；

5 S605: 发送端将 4 端口的 10bit 的编码后数据组合成 40bit 的编码后数据；

S606: 发送端将 40bit 编码通过并串转换成 5G SERDES 差分信号发送给接收端。

图 6-2 为本发明实施例中 40bit 数据进行解码的一种可选的流程示意图，

10 如图 6-2 所示，基于上述图 5，上述数据解码方法可以包括：

S607: 接收端将 5G SERDES 线路收到差分信号，串并转换为 40bit 数据；

S608: 接收端判读编码后数据是否为非法码流（编码后数据不存在于预设的编码表中即为非法码流），如果为是，则进行 1 位的移位操作，如果
15 为否，则转至 S610；

S609: 接收端将 40bit 的编码后数据移动（右移）1 位。

S610: 接收端将 40bit 数据按顺序将 10bit 分发给 4 个端口。

S611: 接收端根据前端口的 disparity 值，计算本端口的 disparity 值。并将计算出的 disparity 值发送给下一端口；Port0 计算的 disparity 值发送给
20 Port1，Port1 计算的 disparity 值发送给 Port2，Port2 计算的 disparity 值发送给 Port3，Port3 计算的 disparity 值发送给 Port0，进行 8B/10B 解码；

S612: 接收端判读 8bit 码流是否非法，或者 disparity 值是否有错。如果码流非法或者 disparity 值有错，转至 S608，否则，执行 S613；

S613: 接收端判断当前端口，如果是 Port0，则到 S614 处理，当前端口
25 如果是其它端口，则到 S615 处理。

S614: 接收端将控制码 K28.1 替换为 K28.5;

S615: 接收端进行同步状态检测, 并将收到的数据组成帧格式。

S616: 接收端判断如果当前未与发送端同步, 或检测到控制码 K28.1, 则到 S612 处理; 否则执行 S617。

5 S617: 将接收到的数据帧发送给 GMII 接口。

基于同一发明构思, 本发明实施例提供了一种数据编码装置, 图 7-1 为本发明实施例中数据编码装置的一种可选的结构示意图, 如图 7-1 所示, 该装置包括: 第一接收模块 71、第一确定模块 72 和编码模块 73;

其中, 第一接收模块 71, 配置为接收来自 4 QSGMII 的 4 端口待编码
10 数据; 第一确定模块 72, 配置为确定 4 端口中各端口的 disparity 值; 编码模块 73, 配置为根据各端口的 disparity 值, 分别对各端口的待编码数据进行编码, 并将各端口的编码后数据进行并串转换处理。

为了确定出各端口的 disparity 值, 为了在一种可选的实施例中, 上述
15 第一确定模块 71, 具体配置为将与 4 端口中每个端口对应的前一端口的 disparity 值输出至各端口; 根据与每个端口对应的前一端口的 disparity 值, 确定每个端口的 disparity 值。

为了对待编码的数据进行定位, 在一种可选的实施例中, 上述装置还
20 包括: 第一替换模块, 配置为在接收来自 QSGMII 的 4 端口待编码数据之后, 在确定 4 端口中各端口的 disparity 值之前, 将 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

在实际应用中, 第一接收模块 71、第一确定模块 72 和编码模块 73 均可由位于发送端设备的中央处理器 (CPU, Central Processing Unit)、微处理器 (MPU, Microprocessor Unit)、专用集成电路 (ASIC, Application Specific Integrated Circuit) 或 FPGA 等实现。

25 举例来说, 图 7-2 为本发明实施例中数据编码装置的一种可选的结构示

意图, 如图 7-2 所示, 包括: 至少一个处理器 74、存储器 76、至少一个存储器 76 和网络接口 77。数据编码装置中的各个组件通过总线系统 75 耦合在一起。可理解, 总线系统 75 用于实现这些组件之间的连接通信。总线系统 75 除包括数据总线之外, 还包括电源总线、控制总线和状态信号总线。

5 但是为了清楚说明起见, 在图 7-2 中将各种总线都标为总线系统 75。

可以理解, 存储器 76 可以是易失性存储器或非易失性存储器, 也可包括易失性和非易失性存储器两者。其中, 非易失性存储器可以是只读存储器 (ROM, Read Only Memory)、可编程只读存储器 (PROM, Programmable Read-Only Memory)、可擦除可编程只读存储器 (EPROM, Erasable
10 Programmable Read-Only Memory)、电可擦除可编程只读存储器 (EEPROM, Electrically Erasable Programmable Read-Only Memory)。本发明实施例描述的存储器 76 旨在包括但不限于这些和任意其它适合类型的存储器。

本发明实施例中的存储器 76 用于存储各种类型的数据以支持数据编码装置的操作。实现本发明实施例数据编码方法的程序可以包含在应用程序
15 761 中。

上述本发明实施例揭示的方法可以应用于处理器 74 中, 或者由处理器 74 实现。处理器 74 可能是一种集成电路芯片, 具有信号的处理能力。在实现过程中, 上述方法的各步骤可以通过处理器 74 中的硬件的集成逻辑电路或者软件形式的指令完成。上述的处理器 74 可以是通用处理器、DSP, 或者
20 其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。处理器 74 可以实现或者执行本发明实施例中的公开的各方法、步骤及逻辑框图。通用处理器可以是微处理器或者任何常规的处理器等。结合本发明实施例所公开的方法的步骤, 可以直接体现为硬件译码处理器执行完成, 或者用译码处理器中的硬件及软件模块组合执行完成。软件模块可以位于
25 存储介质中, 该存储介质位于存储器 76, 处理器 74 读取存储器 76 中的信

息，结合其硬件完成前述方法的步骤。

在示例性实施例中，数据编码装置可以被一个或多个 ASIC, Application Specific Integrated Circuit)、DSP、可编程逻辑器件(PLD, Programmable Logic Device)、复杂可编程逻辑器件(CPLD, Complex Programmable Logic Device)、FPGA、通用处理器、控制器、微控制器(MCU, Micro Controller Unit)、微处理器(Microprocessor)、或其他电子元件实现，用于执行前述数据编码方法。

基于同一发明构思，本发明实施例提供了一种数据解码装置，图 8-1 为本发明实施例中数据解码装置的一种可选的结构示意图，如图 8-1 所示，该装置包括：第二接收模块 81、第二确定模块 82 和解码模块 83；

其中，第二接收模块 81，配置为接收编码后数据，对编码后数据进行串并转换，将串并转换后得出的 4 路并行数据分别发送至 4QSGMII 的 4 个端口；第二确定模块 82，配置为确定 4 端口中各端口的不均等性 disparity 值；解码模块 83，配置为根据各端口的 disparity 值，分别对编码后数据进行解码，得到各端口解码后数据。

接收端为了确定出各端口的 disparity 值，在一种可选的实施例中，上述第二确定模块 82，具体配置为将与 4 端口中每个端口对应的前一端口的 disparity 值输出至每个端口；根据与每个端口对应的前一端口的 disparity 值，确定每个端口的 disparity 值。

为了将 40bit 的编码后数据与各端口对齐，在一种可选的实施例中，上述装置还包括：第一移动模块，配置为在接收编码后数据，对编码后数据进行串并转换，将串并转换后得出的 4 路并行数据分别发送至 QSGMII 的 4 个端口之后，在确定 4 端口中各端口的 disparity 值之前，在各端口编码后数据中至少有一个不存在于预设的编码表中时，将各端口编码后数据向预设方向进行移位操作，直至各端口编码后数据均存在于预设的编码表中。

在确定出各端口的 disparity 值, 为了进一步确定 40bit 的编码后数据的位置是否与各端口已经对齐, 在一种可选的实施例中, 上述装置还包括: 第二移动模块, 配置为在确定 4 端口中各端口的 disparity 值之后, 在根据各端口的 disparity 值, 分别对编码后数据进行解码, 得到各端口解码后数据之前, 在各端口的 disparity 值中至少有一个不存在于预设值中时, 将各端口编码后数据向预设方向进行移位操作, 直至各端口的 disparity 值均存在于预设值中。

在将解码后数据组成帧格式之前, 需要确定解码后的 8bit 数据的正确性, 为了确定解码后的 8bit 数据的正确性, 对解码后数据继续进行同步检测, 在一种可选的实施例中, 上述装置还包括: 第二替换模块和同步检测模块;

其中, 第二替换模块, 配置为在根据各端口的 disparity 值, 分别对编码后数据进行解码, 得到各端口解码后数据之后, 将端口 0 的控制码由 K28.5 替换为 K28.1, 并触发同步检测模块; 同步检测模块, 配置为在受到触发后在 4 端口中端口 1、2、3 的控制码中至少有一个不为 K28.1 时, 或者, 各端口解码后数据中至少有一个不存在于预设的编码表中时, 触发第一移动模块执行将各端口编码后数据向预设方向进行移位操作。

在实际应用中, 第二接收模块 81、第二确定模块 82 和解码模块 83 均可由位于接收端的 CPU、MPU、ASIC 或 FPGA 等实现。

举例来说, 参见图 8-2, 图 8-2 是本发明另一实施例的数据解码装置的结构示意图, 数据解码装置。图 8-2 所示的数据解码装置包括: 至少一个处理器 84、存储器 86 和网络接口 87。数据解码装置中的各个组件通过总线系统 85 耦合在一起。可理解, 总线系统 85 用于实现这些组件之间的连接通信。总线系统 85 除包括数据总线之外, 还包括电源总线、控制总线和状态信号总线。但是为了清楚说明起见, 在图 8-2 中将各种总线都标为总线系

统 85。

本发明实施例中的存储器 86 用于存储各种类型的数据以支持数据解码装置的操作。实现本发明实施例数据解码方法的程序可以包含在应用程序 861 中。

5 上述本发明实施例揭示的方法可以应用于处理器 84 中，或者由处理器 84 实现。处理器 84 可能是一种集成电路芯片，具有信号的处理能力。在实现过程中，上述方法的各步骤可以通过处理器 84 中的硬件的集成逻辑电路或者软件形式的指令完成。上述的处理器 84 可以是通用处理器、DSP，或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。

10 本实施例记载一种计算机可读介质，可以为 ROM（例如，只读存储器、FLASH 存储器、转移装置等）、磁存储介质（例如，磁带、磁盘驱动器等）、光学存储介质（例如，CD-ROM、DVD-ROM、纸卡、纸带等）以及其他熟知类型的程序存储器；计算机可读介质中存储有计算机可执行指令，当执行指令时，引起至少一个处理器执行前述如图 1 示出的数据编码方法或如图 3 示出的数据解码方法。

15 本发明实施例中，在接收到 QSGMII 的 4 端口待编码数据之后，首先，确定 4 端口中各端口的 disparity 值，在确定出各端口的 disparity 值之后，根据各端口的 disparity 值分别对各端口待编码数据进行编码，得到各端口编码后数据，也就是说，数据编码装置对接收到的 4 端口待编码数据，先计算出各端口的 disparity 值，这样，在知晓各端口的 disparity 值的情况下，利用各端口的 disparity 值可以同时对各端口的待编码数据进行编码，实现对 4 端口待编码数据并行编码的过程，降低了每个端口待编码数据进行编码的速度，那么，降低了 4 通道 GMII 的 32bit 数据每个端口进行 8B/10B 20 编码的处理频率，提高了编码效率，进而提高了系统的稳定性和可靠性。

25 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局

限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

工业实用性

- 5 本发明实施例公开了一种数据编解码方法，包括：接收来自 QSGMII 的 4 端口待编码数据；确定所述 4 端口中各端口的 disparity 值；根据各端口的 disparity 值，分别对所述各端口待编码数据进行编码，并将所述各端口编码后数据进行并串转换处理。本发明实施例还同时公开了一种数据编解码装置及存储介质。本发明实施例能够降低 4 通道 GMII 的 32bit 数据进行 8B/10B 编码时每个端口的处理频率，提供系统的稳定性和可靠性。
- 10

权利要求书

1、一种数据编码方法，包括：

接收来自 4 串行千兆媒体独立接口 QSGMII 的对应 4 端口的待编码数据；

5 确定所述 4 端口中各端口的不均等性 disparity 值；

根据各端口的 disparity 值，分别对所述各端口的待编码数据进行编码，并将所述各端口的编码后数据进行并串转换处理。

2、根据权利要求 1 所述的方法，其中，所述确定所述 4 端口中各端口的 disparity 值，包括：

10 根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的 disparity 值；

将与所述各端口的 disparity 值输出至所述各端口的下一端口。

3、根据权利要求 1 所述的方法，其中，在接收来自 QSGMII 的 4 端口待编码数据之后，在确定所述 4 端口中各端口的 disparity 值之前，所述方

15 法包括：

将所述 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

4、一种数据解码方法，包括：

接收编码后数据，对所述编码后数据进行串并转换，将串并转换后得出的 4 路并行数据，对应发送至 4 串行千兆媒体独立接口 QSGMII 的 4 个

20 端口；

确定所述 4 端口中各端口的不均等性 disparity 值；

根据所述各端口的 disparity 值，分别对发送到所述各端口的编码后数据进行解码，得到所述各端口的解码后数据。

5、根据权利要求 4 所述的方法，其中，所述确定所述 4 端口中各端口的 disparity 值，包括：

25

根据与所述各端口对应的前一端口的 disparity 值, 确定所述各端口的 disparity 值;

将与所述各端口的 disparity 值输出至所述各端口的下一端口。

6、根据权利要求 4 所述的方法, 其中, 在确定所述 4 端口中各端口的 disparity 值之前, 所述方法还包括:

当所述各端口的编码后数据中至少有一个不存在于预设的编码表中时, 将所述各端口的编码后数据朝预设方向移动一位, 直至所述各端口的编码后数据均存在于所述预设的编码表中。

7、根据权利要求 4 所述的方法, 其中, 在确定所述 4 端口中各端口的 disparity 值之后, 根据所述各端口的 disparity 值, 分别对发送到所述各端口的编码后数据进行解码, 得到所述各端口的解码后数据之前, 所述方法还包括:

当所述各端口的 disparity 值中至少有一个不存在于预设值中时, 将所述各端口编码后数据向预设方向进行移位操作, 直至所述各端口的 disparity 值均存在于所述预设值中。

8、根据权利要求 6 所述的方法, 其中, 在根据所述各端口的 disparity 值, 分别对发送到所述各端口的编码后数据进行解码, 得到所述各端口解码后数据之后, 所述方法还包括:

将所述端口 0 的控制码由 K28.1 替换为 K28.5;

20 所述 4 端口中端口 1、2、3 的控制码中至少有一个不为 K28.1 时, 或者, 所述各端口解码后数据中至少有一个不存在于预设的编码表中时, 返回执行将所述各端口编码后数据向预设方向进行移位操作的步骤。

9、一种数据编码装置, 包括:

第一接收模块, 配置为接收来自 4 串行千兆媒体独立接口 QSGMII 的 4 端口的待编码数据;

第一确定模块，配置为确定所述 4 端口中各端口的不均等性 disparity 值；

编码模块，配置为根据各端口的 disparity 值，分别对所述各端口的待编码数据进行编码，并将所述各端口的编码后数据进行并串转换处理。

5 10、根据权利要求 9 所述的装置，其中，

所述第一确定模块，具体配置为根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的 disparity 值；将与所述各端口的 disparity 值输出至所述各端口的下一端口。

11、根据权利要求 9 所述的装置，其中，所述装置还包括：

10 第一替换模块，配置为在接收来自 QSGMII 的 4 端口待编码数据之后，在确定所述 4 端口中各端口的 disparity 值之前，将所述 4 端口中端口 0 的控制码由 K28.5 替换为 K28.1。

12、一种数据解码装置，包括：

15 第二接收模块，配置为接收编码后数据，对所述编码后数据进行串并转换，将串并转换后得出的 4 路并行数据，对应发送至 4 串行千兆媒体独立接口 QSGMII 的 4 个端口；

第二确定模块，配置为确定所述 4 端口中各端口的不均等性 disparity 值；

20 解码模块，配置为根据所述各端口的 disparity 值，分别对发送到所述各端口的编码后数据进行解码，得到所述各端口解码后数据。

13、根据权利要求 12 所述的装置，其中，所述第二确定模块，具体配置为根据与所述各端口对应的前一端口的 disparity 值，确定所述各端口的 disparity 值；将与所述各端口的 disparity 值输出至所述各端口的下一端口。

14、根据权利要求 12 所述的装置，其中，所述装置还包括：

25 第一移动模块，配置为在接收编码后数据，对所述编码后数据进行串

并转换，将串并转换后得出的 4 路并行数据分别发送至 QSGMII 的 4 个端口之后，在确定所述 4 端口中各端口的 disparity 值之前，当所述各端口编码后数据中至少有一个不存在于预设的编码表中时，将所述各端口编码后数据向预设方向进行移位操作，直至所述各端口编码后数据均存在于所述
5 预设的编码表中。

15、根据权利要求 12 所述的装置，其中，所述装置还包括：

第二移动模块，配置为在确定所述各端口的 disparity 值之后，在根据所述各端口的 disparity 值，分别对发送到所述各端口的编码后数据进行解码，得到所述各端口解码后数据之前，当所述各端口的 disparity 值中至少
10 有一个不存在于预设值中时，将所述各端口的编码后数据向预设方向进行移位操作，直至所述各端口的 disparity 值均存在于所述预设值中。

16、根据权利要求 14 所述的装置，其中，所述装置还包括：

第二替换模块，配置为在根据所述各端口的 disparity 值，分别对所述编码后数据进行解码，得到所述各端口解码后数据之后，将所述端口 0 的
15 控制码由 K28.1 替换为 K28.5，并触发同步检测模块；

所述同步检测模块，配置为在受到触发后，当所述 4 端口中端口 1、2、3 的控制码中至少有一个不为 K28.1 时，或者，所述各端口解码后数据中至少有一个不存在于预设的编码表中时，触发所述第一移动模块将所述各端口的编码后数据向预设方向进行移位操作。

20 17、一种数据编码装置，包括：

存储器，用于存储可执行程序；

处理器，配置为执行所述存储器存储的所述可执行程序时，实现权利要求 1 至 3 任一项所述的数据编码方法。

18、一种数据编码装置，包括：

25 存储器，用于存储可执行程序；

处理器，配置为执行所述存储器存储的所述可执行程序时，实现权利要求 4 至 8 任一项所述的数据解码方法。

19、一种存储介质，存储有可执行程序，所述可执行程序被处理器执行时实现权利要求 1 至 3 任一项所述的数据编码方法。

5 20、一种存储介质，存储有可执行程序，所述可执行程序被处理器执行时实现权利要求 4 至 8 任一项所述的数据解码方法。

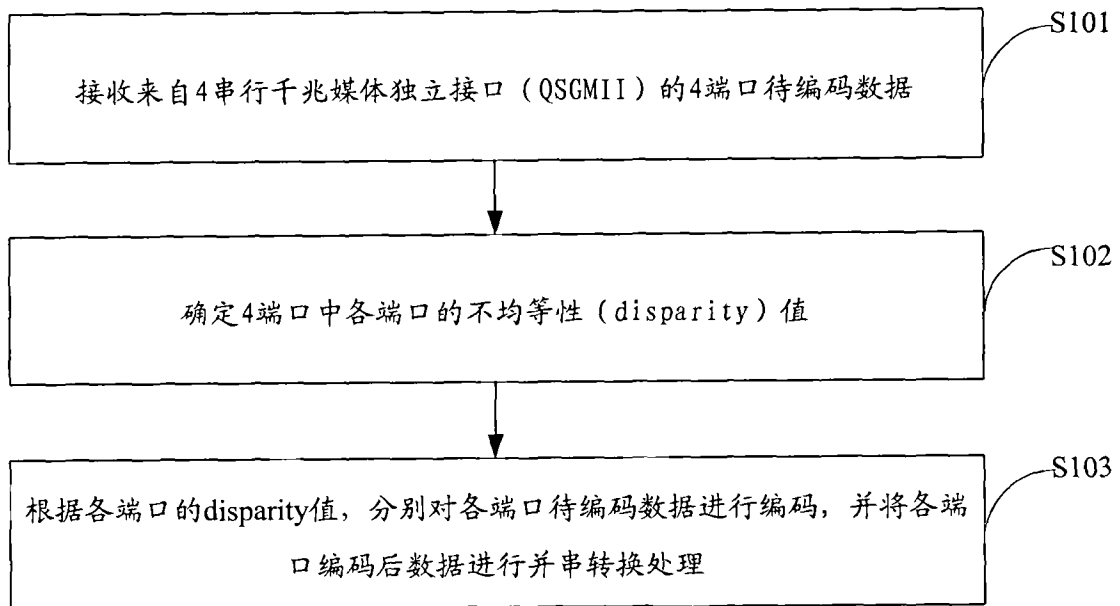


图 1

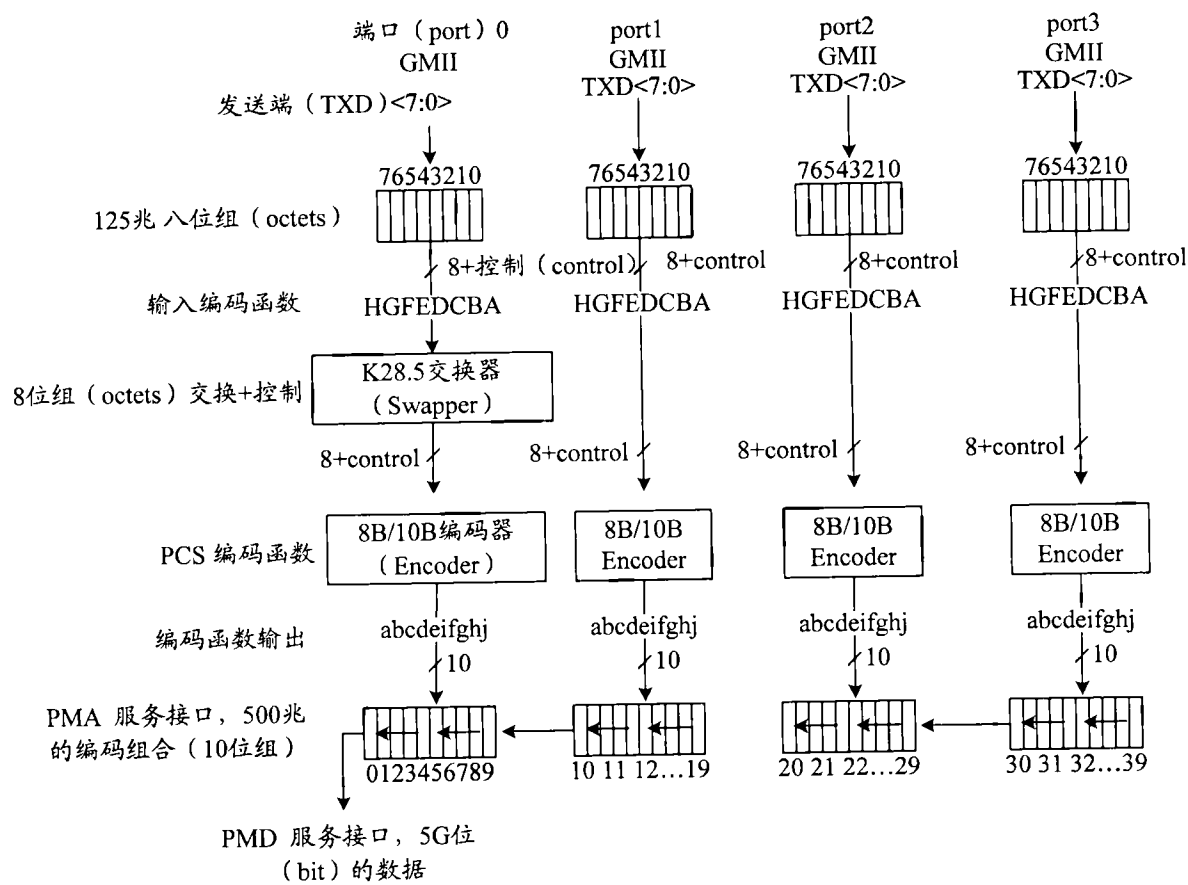


图 2

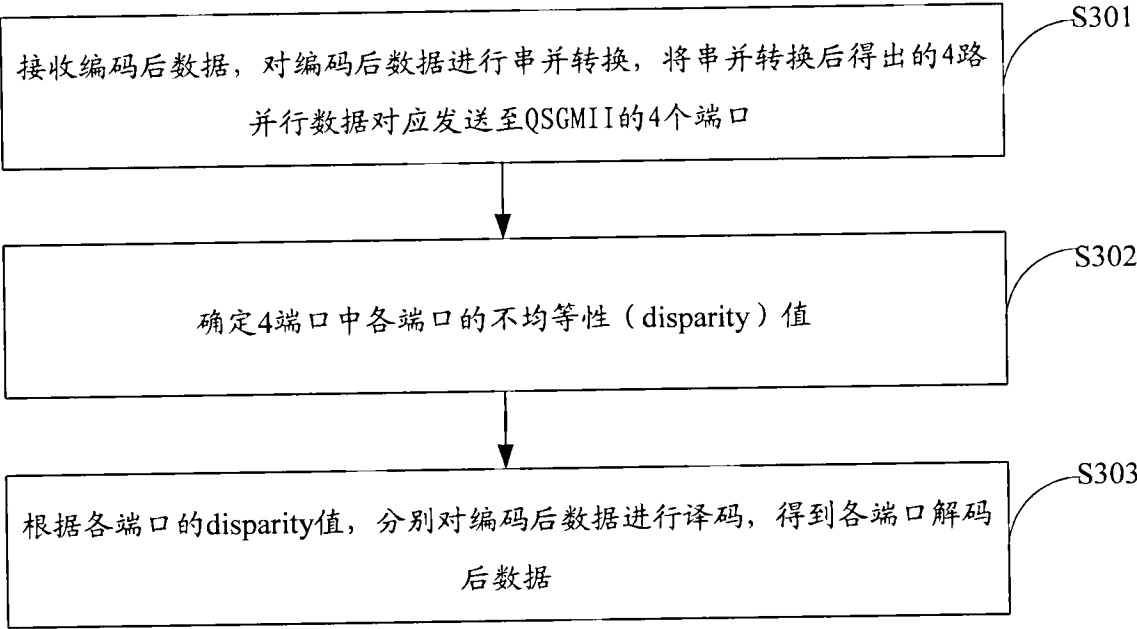


图 3

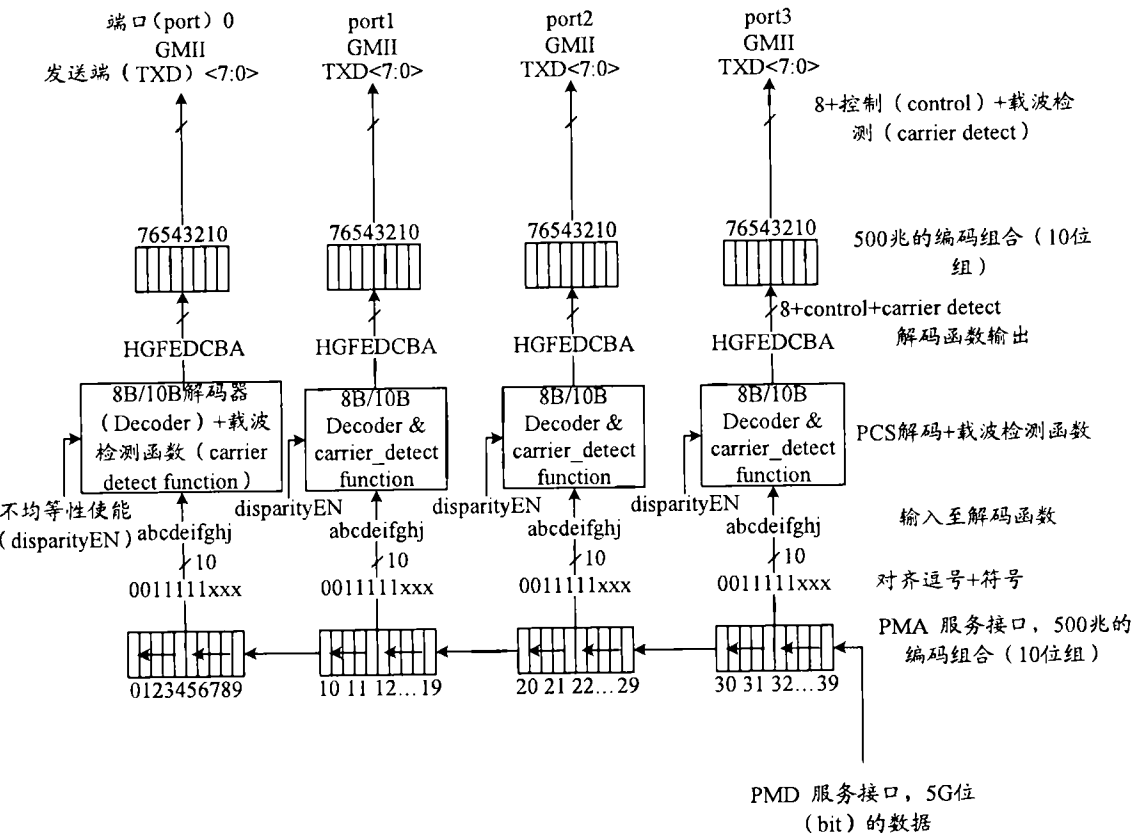


图 4

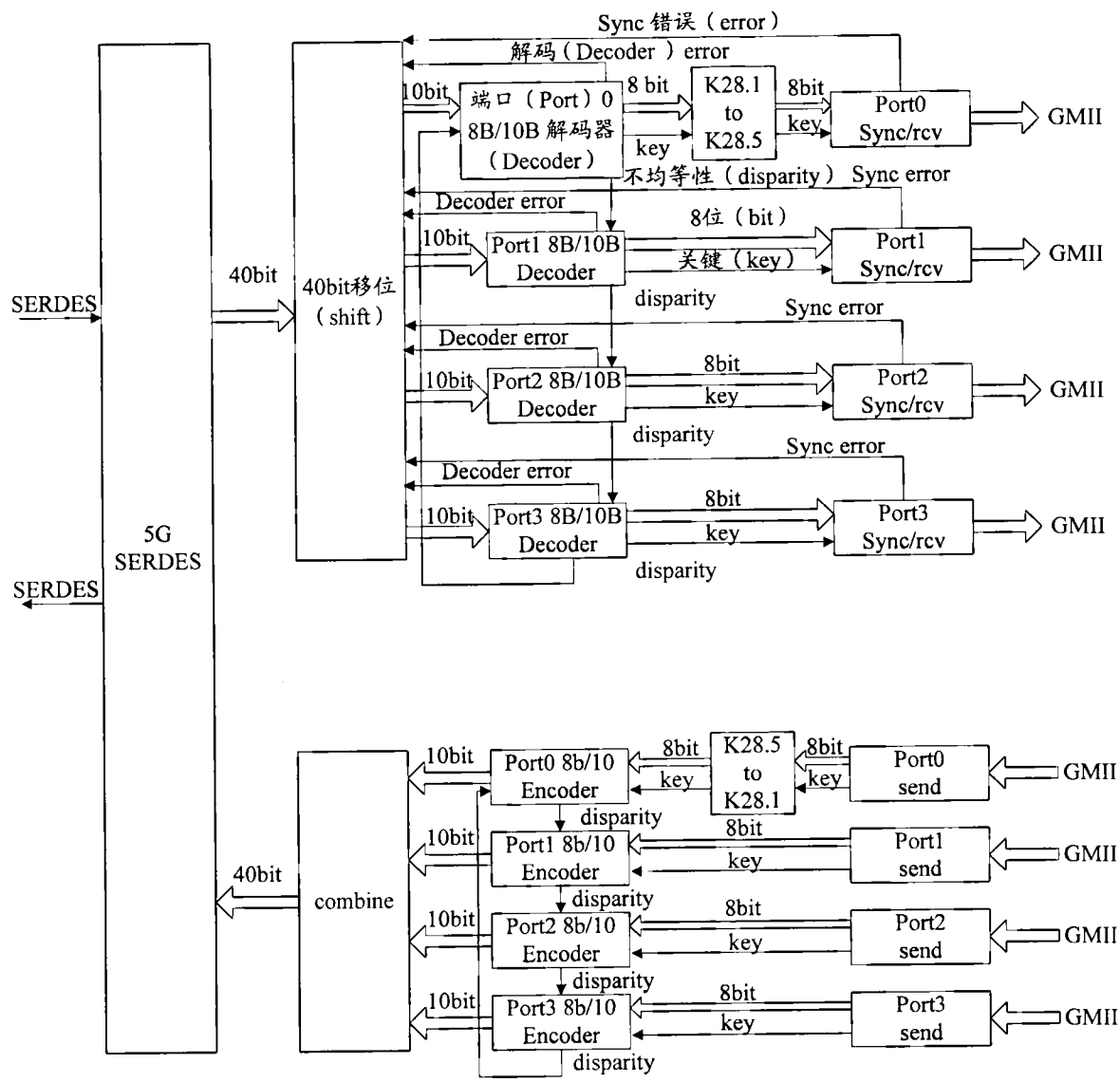


图 5

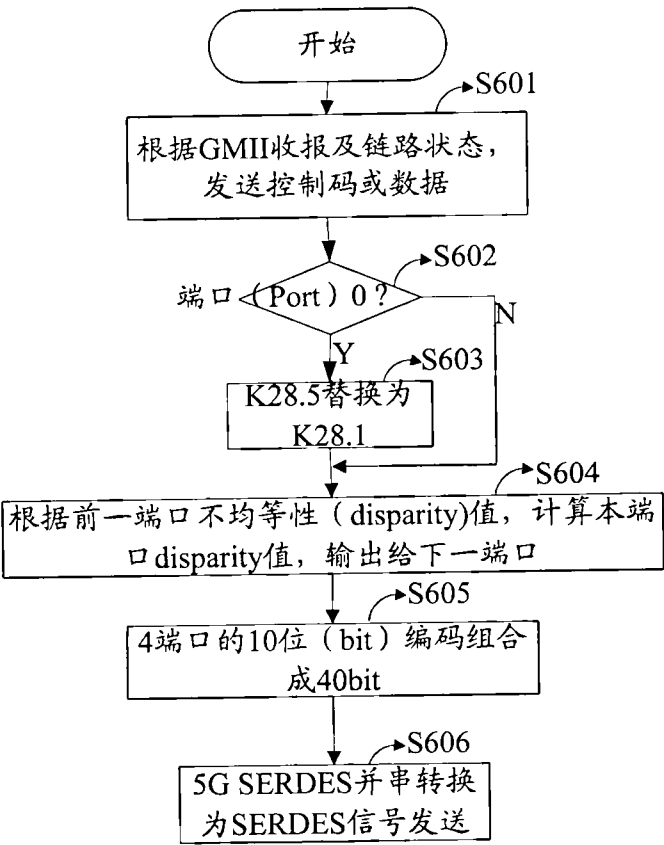


图 6-1

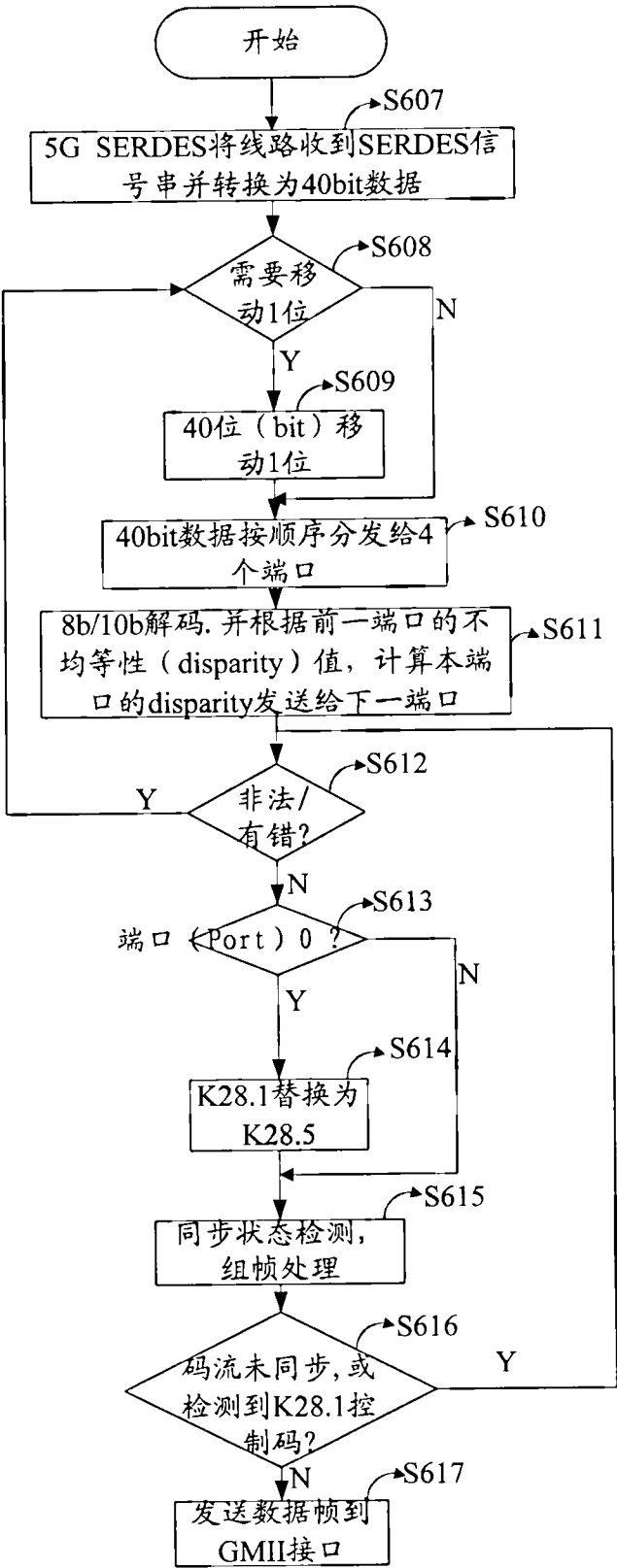


图 6-2



图 7-1

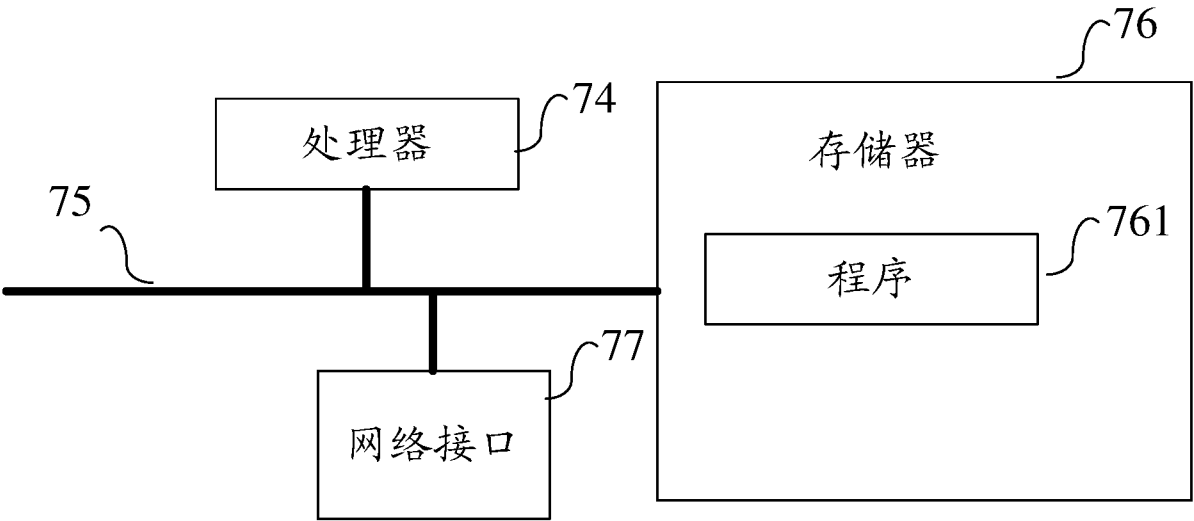


图 7-2



图 8-1

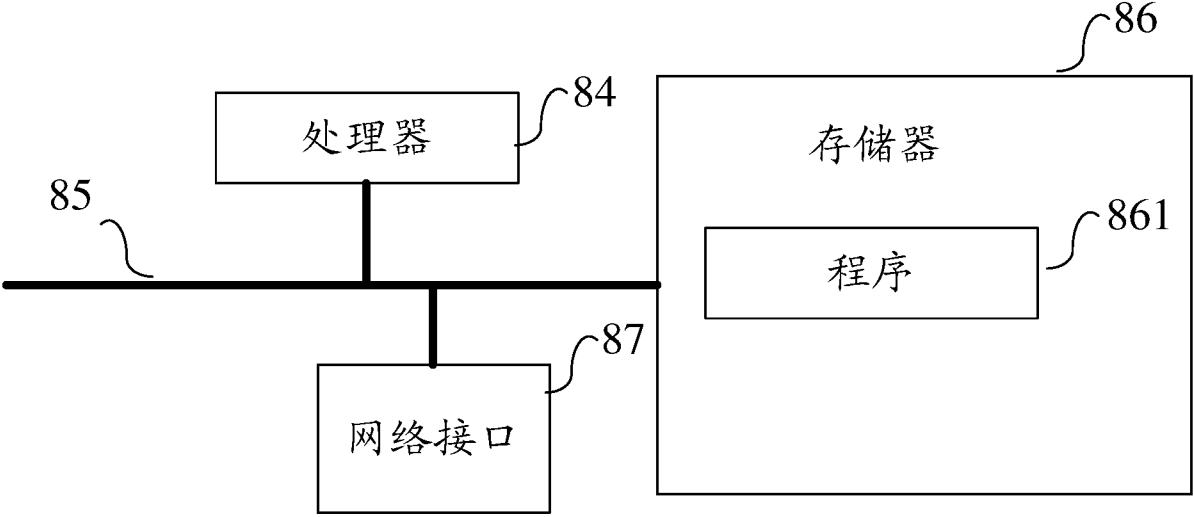


图 8-2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/095344

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/42 (2006.01) i; H03M 7/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F; H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 编码, 解码, 不均等, 不均衡, 不平衡, 偏差, 端口, 通道, 8 比特, 10 比特, 串行, QSGMII, coder, encoder, decoder, disparity, port, channel, 8bit, 10bit, serial

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106656872 A (SHENZHEN ZTE MICROELECTRONICS TECHNOLOGY CO., LTD.) 10 May 2017 (10.05.2017), description, paragraphs [0006]-[0024]	1-20
X	CN 103138889 A (WUXI QUALCHIP TECHNOLOGIES INC.) 05 June 2013 (05.06.2013), description, paragraphs [0012] and [0018]-[0024], and figure 1	1-20
A	CN 101674089 A (INSTITUTE OF ACOUSTICS, CHINESE ACADEMY OF SCIENCES) 17 March 2010 (17.03.2010), entire document	1-20
A	CN 104579583 A (INSPUR ELECTRONIC INFORMATION INDUSTRY CO., LTD.) 29 April 2015 (29.04.2015), entire document	1-20
A	US 2004083419 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 29 April 2004 (29.04.2004), entire document	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 October 2017	Date of mailing of the international search report 26 October 2017
--	---

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Chunyu Telephone No. (86-10) 61648091
---	--

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/095344

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104221351 A (QUALCOMM INCORPORATED) 17 December 2014 (17.12.2014), entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/095344

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106656872 A	10 May 2017	WO 2017012517 A1	26 January 2017
CN 103138889 A	05 June 2013	None	
CN 101674089 A	17 March 2010	None	
CN 104579583 A	29 April 2015	None	
US 2004083419 A1	29 April 2004	JP 2004147041 A	20 May 2004
CN 104221351 A	17 December 2014	JP 2015515195 A	21 May 2015
		WO 2013139031 A1	26 September 2013
		KR 20140139011 A	04 December 2014
		US 2015036699 A1	05 February 2015
		EP 2829044 A1	28 January 2015

国际检索报告

国际申请号

PCT/CN2017/095344

A. 主题的分类

G06F 13/42(2006.01)i; H03M 7/14(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F; H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 编码, 解码, 不均等, 不平衡, 偏差, 端口, 通道, 8比特, 10比特, 串行, QSGMII, coder, encoder, decoder, disparity, port, channel, 8bit, 10bit, serial

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106656872 A (深圳市中兴微电子有限公司) 2017年 5月 10日 (2017 - 05 - 10) 说明书第0006-0024段	1-20
X	CN 103138889 A (无锡华大国奇科技有限公司) 2013年 6月 5日 (2013 - 06 - 05) 说明书第0012, 0018-0024段, 图1	1-20
A	CN 101674089 A (中国科学院声学研究所) 2010年 3月 17日 (2010 - 03 - 17) 全文	1-20
A	CN 104579583 A (浪潮电子信息产业股份有限公司) 2015年 4月 29日 (2015 - 04 - 29) 全文	1-20
A	US 2004083419 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2004年 4月 29日 (2004 - 04 - 29) 全文	1-20
A	CN 104221351 A (高通股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 10月 12日

国际检索报告邮寄日期

2017年 10月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨春雨

电话号码 (86-10)61648091

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/095344

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106656872	A	2017年 5月 10日	WO	2017012517	A1	2017年 1月 26日
CN	103138889	A	2013年 6月 5日	无			
CN	101674089	A	2010年 3月 17日	无			
CN	104579583	A	2015年 4月 29日	无			
US	2004083419	A1	2004年 4月 29日	JP	2004147041	A	2004年 5月 20日
CN	104221351	A	2014年 12月 17日	JP	2015515195	A	2015年 5月 21日
				WO	2013139031	A1	2013年 9月 26日
				KR	20140139011	A	2014年 12月 4日
				US	2015036699	A1	2015年 2月 5日
				EP	2829044	A1	2015年 1月 28日

表 PCT/ISA/210 (同族专利附件) (2009年7月)