

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

H01L 27/108

H01L 27/105

# [12] 发明专利申请公开说明书

[21] 申请号 98118557.6

[43]公开日 1999年5月19日

[11]公开号 CN 1216863A

[22]申请日 98.9.3 [21]申请号 98118557.6

[30]优先权

[32]97.9.30 [33]US[31]940,649

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 约翰·阿尔斯迈耶

[74]专利代理机构 柳沈知识产权律师事务所

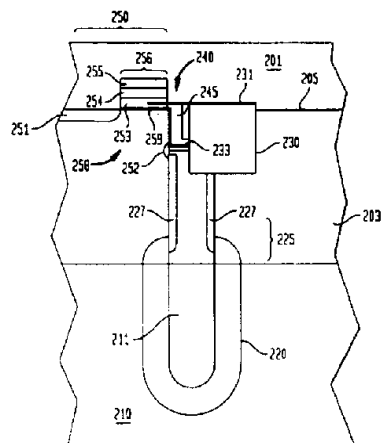
代理人 黄敏

权利要求书 1 页 说明书 9 页 附图页数 8 页

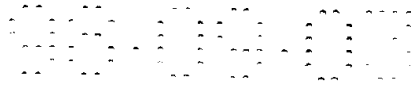
[54]发明名称 纵向晶体管

[57]摘要

一种用于如 DRAM 单元等存储单元的纵向晶体管，具有沟槽电容器。纵向晶体管包括栅，所述栅包括水平部分和位于沟槽电容器上的垂直部分。



ISSN 1008-4274



## 权 利 要 求 书

---

1. 一种包括存储器的计算机系统，其中存储器包括随机存取存储单元，该单元包括：

5 形成于衬底上的沟槽电容器，其中沟槽电容器的上表面凹到衬底上表面以下；

浅沟槽隔离(STI)，该 STI 与沟槽电容器部分重叠，留下沟槽电容器上其余部分，及

10 位于衬底上与 STI 相对的晶体管，该晶体管包括栅、源和漏区，所述栅包括导电层，该导电层具有位于衬底表面上的水平部分及隐蔽于衬底下和沟槽电容上的所述其余部分中的垂直部分，

位于沟槽电容器上的介质层，用于隔离第二栅部分与沟槽电容器。

# 说明书

## 纵向晶体管

5 本发明一般涉及器件及器件的制备，特别涉及纵向晶体管。

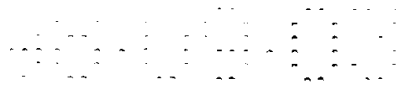
在器件制备中，绝缘层、半导体层和导电层形成在衬底上。对各层进行构图以产生图形和间隔。图形和间隔的最小尺寸或特征尺寸(F)取决于光刻系统的分辨能力。构图图形和间隔以形成器件，如晶体管、电容和电阻。然后，将这些器件互联以实现所需的电功能。用常规制备技术，如氧化、注入、淀积、硅的外延生长、光刻和腐蚀等，实现各种器件层的形成和构图。这些技术在1988年New York McGraw-Hill出版的由S.M. Sze所著的VLSI技术的第二版中有说明，此处引入作为参考。

15 随机存取存储器，如动态随机存取存储器(DRAMs)，包括按行和列构形以实现信息存储的存储单元。例如一种存储单元包括借助连接条连接到沟槽电容器上的晶体管。与晶体管连接的电容器极板通常称为“节点”，当它激活时，晶体管容许数据读出或写入电容器。

20 不断缩小器件的要求使高密度和小特征尺寸与单元面积的DRAMs的设计更容易。例如，已在研究将常规的单元面积从 $8F^2$ 减小到 $6F^2$ 以下。但是这些密布的小特征尺寸和单元尺寸的制备会产生产生一些问题。例如，小型化造成的掩模层重叠敏感性致使设计和制造DRAM单元中晶体管发生困难。另外，这种小型化已导致缩小到其极限的阵列器件，进而引起了对单元的工作有不良影响的短沟道问题。短沟道器件设计规则与节点结的常规低掺杂相矛盾，进一步加剧了该问题。

25 从上面的讨论知道，显然需要提供一种容易在DRAM单元中实现的晶体管。

本发明涉及纵向晶体管。在一个实施例中，在具有沟槽电容器的存储单元中引入纵向晶体管。在如硅晶片等衬底上形成沟槽电容器。沟槽电容器的上表面从衬底的上表面凹下。提供浅沟槽隔离(STI)以隔离存储单元与其它器件。STI与部分沟槽电容器重叠，留下沟槽电容器上的其余部分。另外，



晶体管与 STI 相对地设置于衬底上。该晶体管包括栅、漏和源。栅包括导电层，该导电层具有位于衬底表面之上的水平部分和隐蔽于硅侧壁和 STI 侧壁之间其余部分中的垂直部分。晶体管的垂直部分借助介质层与沟槽电容器隔离。

- 5 图 1 展示了常规 DRAM 单元;
- 图 2 展示了根据本发明的 DRAM 单元;
- 图 3A-I 展示了制造图 2 的 DRAM 单元的工艺;
- 图 4A-C 展示了本发明的另一个实施例;
- 图 5 展示了使用本发明的存储芯片的计算机系统。

10 本发明涉及纵向晶体管。为了例示本发明，以制备沟槽电容器存储单元为例来说明本发明。存储单元用于集成电路中。例如 IC 包括随机存取存储器(RAM)、动态随机存取存储器(DRAM)、或同步 DRAM(SDRAM)。如专用 IC(ASIC)、合并 DRAM 逻辑电路(掩埋 DRAM)、或其它逻辑电路等的 IC 也有用。

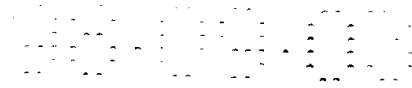
15 通常在晶片上并排形成大量 IC。完成加工后，切割晶片，将 IC 分离成分立芯片。然后封装芯片，得到例如用于如计算机系统、蜂窝电话、个人数字助手(PDAs)等用户产品和其它电子产品的最终产品。本发明具有相当大的普遍性，可以扩展到普通晶体管的制造。

为容易理解本发明，下面说明常规沟槽电容器 DRAM 单元。

20 参见图 1，图 1 展示了常规沟槽电容器 DRAM 单元 100。例如 Nesbit 等在 有自对准掩埋条的  $0.6\mu\text{m}^2$  256Mb 的沟槽 DRAM 单元，IEDM 93 - 627 中说明了这种常规沟槽电容器 DRAM 单元，此处引用作为参考。通常借字线和位线互联单元阵列以形成 DRAM 芯片。

25 DRAM 单元包括形成在衬底 101 中的沟槽电容器 160。衬底用如硼(B)等 P 型掺杂剂轻掺杂( $\text{p}^-$ )。沟槽一般用重掺杂有如砷(As)等 n 型掺杂剂( $\text{n}^+$ )的多晶硅(多晶) 161 填充。多晶作为电容器的一个极板。电容器的另一个极板由掺有 As 的掩埋极板 165 形成。

30 DRAM 单元还包括横向晶体管 110。该晶体管包括栅 112、源 113、和漏 114。栅和源通过注入如磷(P)等 n 型掺杂剂形成。源和漏的设计可以根据晶体管的功能改变。为了方便，术语源和漏可以换用。通过连接条 125 实



现晶体管与电容器的连接。通过在沟槽中提供从掺杂 As 的多晶外扩散的 As 掺杂剂形成该连接条。

在沟槽的上部形成轴环 168。轴环用以防止节点结到掩埋极板的穿通。穿通会令人讨厌地影响单元的工作能力。如图所示，轴环限定了掩埋条的底部和掩埋极板的上部。

包括如 P 等 n 型掺杂剂的掩埋阱 170 设置于衬底表面之下。掩埋阱中掺杂剂的峰值浓度在轴环底部附近。该阱通常是轻掺杂的。掩埋阱用于连接阵列中各 DRAM 单元的掩埋极板。

在源和栅上加合适的电压激活此晶体管，可以在沟槽电容器中写入或从中读出数据。一般情况下，在 DRAM 阵列中，栅和源通常分别构成字线和位线。设置浅沟槽隔离(STI) 180 以将 DRAM 单元与其它单元或器件隔离。如图所示，在沟槽上形成字线 120，并借助 STI 与沟槽隔离。字线 120 称为“跨越字线”。如图所示，这种构形称为折合位线结构。

图 2 展示了本发明纵向晶体管 250 的例示实施例。纵向晶体管实现于 DRAM 单元 201 中。DRAM 单元是合并隔离节点沟槽(MINT) 单元。另外也可以用其它单元构形。

如图所示，DRAM 单元使用形成于衬底 203 上的沟槽电容器 210。衬底例如用第一导电类型的掺杂剂轻掺杂。在一个例示实施例中，衬底用例如 B 等 p 型掺杂剂轻掺杂(p-)。通常，沟槽包括用第二导电类型掺杂剂重掺杂的多晶 211。如图所示。该多晶用例如 As 或 P 等 n 型掺杂剂重掺杂(n<sup>+</sup>)。在一个实施例中，多晶用 As 重掺杂。多晶 211 用作电容器的一个极板。电容器的另一个极板例如由包括 As 的 n 型掩埋极板 220 构成。

轴环 227 靠近沟槽上部设置，稍微延伸到掩埋极板上部下面。轴环的厚度应足以防止从节点结到掩埋极板的穿通。在一个实施例中，轴环约 20 - 40nm。例如包括 P 掺杂剂的 n 型掩埋阱 225 形成在轴环 227 底部附近。掩埋阱将阵列中其它 DRAM 单元的掩埋极板连接在一起。

如所说明的，纵向晶体管 250 是一个 n 沟道晶体管。晶体管包括栅叠层 256、源 251 和漏 252。栅叠层也称作“字线”，一般包括导电层 253 和氮化层 255。在一个实施例中，导电层 253 是多晶层。另外，导电层可以是多晶化物层，以减小字线的电阻。多晶化物层包括多晶层上的硅化物层。可以用



包括硅化钼( $\text{MoSi}_x$ )、硅化钽( $\text{TaSi}_x$ )、硅化钨( $\text{WSi}_x$ )、硅化钛( $\text{TiSi}_x$ )或硅化钴( $\text{CoSi}_x$ )等的各种硅化物形成硅化物层。也可以单独使用铝或如钨和钼等难熔金属或与硅化物结合使用形成导电层。

5 包括多晶的栅的部分 245 延伸过栅叠层 256 的边缘, 该边缘与  $6\text{F}_2$  单元布局的有源边缘对准, 并延伸到沟槽的上部。在栅的部分 245 之下形成介质层 233。该介质层的厚度足以隔离部分 245 与节点。在一个实施例中, 隔离层包括介质材料, 例如, 通过如高密度等离子淀积形成的氧化物或可流动氧化物。

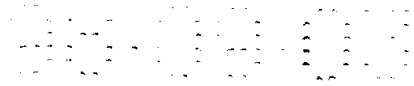
10 栅的下面是栅氧化层 259。栅氧化层从栅叠层 256 下面延伸到源 251 的对侧, 并覆盖衬底的侧壁, 向隔离层 233 延伸。漏设置于硅衬底上, 与栅氧化层的覆盖部分相邻。漏和源有合适的掺杂剂分布以实现所需的电特性。

15 根据本发明, 栅包括水平部分 256 和垂直部分 245。垂直于水平部分的垂直部分 245 垂直延伸到沟槽 210 上衬底表面下。通过设置垂直部分 245, 器件的长度可以延长, 而不会增加表面积。例如, 器件长度可以通过形成深入到衬底中的垂直部分而增大。因此, 纵向晶体管可以避免与短沟道效应有关的问题。

如图所示, 介质层 233 与轴环相互隔开。其间隔大得足以允许从节点到漏流过相当大的电流, 从而形成了晶体管和电容器间的连接。通过从沟槽多晶外扩散 As 而形成漏。

20 为了隔离阵列中的各 DRAM 单元, 提供 STI 380。在一个实施例中, STI 的上表面 381 高出硅衬底表面 390 的平面。另外, 未高出的 STI 也有用。高出的 STI(RSTI) 在题目为“在制造器件时减小氧化应力”的共同待审美国申请(代理号(attorney docket number) 97 P7487 US)有过描述, 这里引入作为参考。如其中所述, RSTI 的上表面高出衬底表面的程度相当大, 以有效地减小在硅衬底表面下延伸的草皮层的形成。硅衬底表面下形成草皮层会对阵列中 DRAM 单元的工作性能产生不良影响。在一个实施例中, RSTI 上表面高出的距离小于等于约 100nm。较好是该距离约为 20 - 100nm, 更好是约 40 - 80nm, 最好是约 50 - 70nm。在另一个实施例中, RSTI 上表面高出的距离约为 50nm。具有与硅衬底基本共平面的上表面的 STI 也是有用的。

30 在 RSTI 上, 形成薄氧化层 240。该氧化层延伸到栅叠层的一部分多晶中。



该氧化层用作形成栅叠层时腐蚀的腐蚀停止层。该氧化层延伸到栅叠层中足以防止腐蚀栅叠层时腐蚀到栅的部分 245。在一个实施例中，氧化层延伸约栅宽度的 1/3(标称值)。

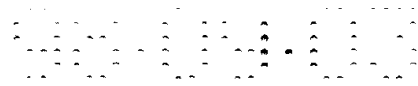
5 跨越字线(未示出)形成于 RSTI 上。跨越字线借助 RSTI 氧化层与沟槽隔离。在一个实施例中，跨越字线的一个边与栅 256 与之对准的侧壁的相对沟槽侧壁对准，并延伸离开栅 256。这种构形称作支持开路折合位线(open-folded bitline)结构的 6F<sub>2</sub> 布局。例如，折合或开路结构的其它构形也有用。

10 如所说明的，第一导电类型是 P 型，第二导电类型是 n 型。然而，在 n 型衬底上形成带有 P 型多晶填充的沟槽的 DRAM 单元也可以。另外，还可以用杂质原子重掺杂或轻掺杂衬底、阱、掩埋极板和 DRAM 单元的其它元件，以实现所需的电特性。

15 图 3A-G 展示了形成在包括沟槽晶体管和 RSTI 的 DRAM 单元中实现的纵向晶体管的工艺。参见图 3A，沟槽电容器 310 形成于衬底 301 上。对衬底主表面没有严格要求，可以用任何合适的晶向，如(100)、(110)、或(111)。在一个例示实施例中，衬底是用如 B 等 p 型掺杂剂轻掺杂(p<sup>-</sup>)的硅晶片。通常在衬底的表面上形成基层叠层 330。通常该基层叠层包括例如基层氧化层 331、抛光停止层 332、和硬掩模层(未示出)。抛光停止层例如包括氮化层，硬掩模层例如包括 TEOS。例如 BPSG 或 BSG 等其它材料也可以作硬掩模层。

20 沟槽电容器 310 由常规技术形成于衬底上。这种技术例如见 Muller 等的 Trench Storage Node Technology for Gigabit DRAM Generation, IEDM 96-507，这里引入此文献作为参考。如图所示，沟槽由重掺杂有 As 掺杂剂的多晶 314 填充。掺杂多晶作为电容器的一个极板。包括 As 掺杂剂的掩埋极板 320 围绕沟槽的底部，作为电容器的另一个极板。沟槽和掩埋极板借助节点介质层 312 彼此隔离。在一个实施例中，节点介质层包括氮化物和氧化物层。在沟槽的上部，形成轴环 327。轴环包括如 TEOS 等介质材料。或者，提供轻掺杂有 P 掺杂剂的 n 阱 325，用以将阵列中 DRAM 单元的掩埋极板互连在一起。

30 如图 3A 所示，衬底的表面已经通过如化学机械抛光(CMP)抛光过。氮化物层 332 作为 CMP 停止层，使得 CMP 一旦到达氮化物层便停止。由此，



去掉覆盖衬底表面的多晶，为随后的加工留下氮化层 332 和沟槽多晶 314 之间的基本平整的表面。

参见图 3B，该图展示了用来连接沟槽与 DRAM 单元的晶体管的连接条的形成情况。例如利用反应离子刻蚀(RIE)使沟槽中的掺杂多晶 314 凹下，凹下的深度应足以适于纵向晶体管的长度。在一个实施例中，多晶凹到硅表面下约 200 - 500nm。较好是多晶凹到硅表面下 300 - 400nm，更好是约 350nm。沟槽凹下后，为随后的处理清洗沟槽的侧壁。清洗侧壁又使轴环凹到掺杂多晶 314 的上表面 315 之下。结果在硅和多晶侧壁间形成间隙。

在衬底上淀积多晶层，覆盖氮化物层 330 和沟槽上部。多晶层通常为本征(不掺杂)的多晶层。向下平面化该多晶层直到氮化物层 232。平面化后，沟槽中的多晶例如凹到衬底表面下约 300nm，让连接条 340 在多晶 314 上面约 50nm 厚。

参见图 3C，在衬底的表面上和连接条 340 上形成如氧化层等介质层 341。氧化层例如是由高密度化学汽相淀积(HDCVD)技术形成的不保形层，形成该层也可以用如旋涂和可流动氧化物的退火等其它技术。氧化层的厚度应足以隔离将要形成于上述沟槽上部的晶体管的栅。在一个实施例中，氧化层厚约 50nm。

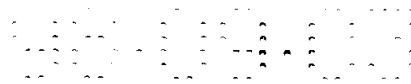
然后去掉基层氮化层和氧化层。首先，例如通过湿法化学腐蚀去掉基层氮化层。该湿法化学腐蚀对氧化物有选择性。为了确保完全去掉氮化层，采用过腐蚀的方法。接着，通过对硅有选择性的湿法化学腐蚀去掉基层氧化层。去掉的基层氧化层仅去掉了一定量的氧化层 341。

随后，在晶片表面上形成氧化层(未示出)。此氧化层称为“栅牺牲层”，用作随后离子注入的掩蔽氧化层。

为形成 DRAM 单元的 n 沟道存取晶体管的 p 阱区，在氧化层上淀积光刻胶层(未示出)，并进行合适的构图，以暴露 p 阱区。向该阱区中注入如 B 等 p 型掺杂剂。掺杂剂的注入深度应足以防止穿通。掺杂剂的分布是特定的，以实现所需的电特性，例如栅阈值电压( $V_t$ )。在设计掺杂剂的分布时，应考虑随后处理对阱掺杂剂的热预算。

另外，还形成 n 沟道支持电路的 p 阱。关于互补金属氧化物硅(CMOS)器件的互补阱，形成 n 阱。n 阱的形成需要另外的光刻和注入步骤，以限定





和形成 n 阱。由于 p 阱的存在，n 阱的分布被特定，以实现所需的电特性。

完成注入后，去掉栅牺牲层。然后形成栅氧化层 359。各高温处理步骤引起 As 掺杂剂从沟槽中的掺杂多晶 314 中通过连接条 340 扩散，形成漏 335。在设计漏的掺杂剂分布时，应考虑随后处理的热预算。

5 参见图 3D，在栅氧化层 359 上淀积多晶层 354。此多晶层用作栅叠层导电层的下部。在一个实施例中，多晶层的厚度约为 20 - 70nm，最好是约 30nm。多晶层关于衬底表面形貌是保形的。这样，在沟槽上形成孔 370。然后，在多晶层上形成介质层，以充分填充该空洞。例如介质层包括氧化层。也可以用氮化层来填充该空洞。通过对多晶有选择性的抛光去掉介质层的水平表面，留下用氧化物填充的沟槽上的空洞。

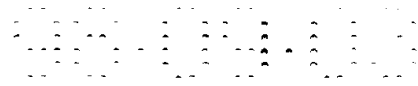
接着，在多晶层上形成氮化层 372。氮化层的厚度应足以用作随后处理的抛光停止层。该氮化层的厚度一般约为 500 - 1000 埃。

图 3E 展示了限定和形成 DRAM 单元的 RSTI 区的工艺。如图所示，RSTI 区与部分沟槽重叠，留下其余部分以便允许晶体管和电容器间流过相当大量的电流。在一个实施例中，RSTI 的重叠量约为沟槽宽度的一半或以下，最好约为沟槽宽度的一半。

可以用常规光刻技术限定 STI 区 330。在限定了 RSTI 区后，例如通过 RIE 进行各向异性腐蚀。腐蚀 RSTI 区的深度应足以将掩埋条 340 与要形成 DRAM 单元的晶体管的一侧相对的硅侧壁隔离。如图所示，RSTI 区被腐蚀到轴环 327 的上部之下。在一个实施例中，RSTI 区被腐蚀到硅表面下约 450nm。

参见图 3F，在衬底表面上淀积介质材料，如 TEOS，以充分填充 RSTI 区 330。TEOS 是通过高密度等离子淀积(HDP)淀积的。在一个实施例中，首先例如通过快速热氧化化(RTO)在衬底表面上形成薄氧化层。然后在 RTO 氧化层上淀积(HDP)如 TEOS 等较厚的氧化层。TEOS 层的厚度应足以填充 RSTI。例如，TEOS 厚约 5000 - 6000 埃。形成用作较厚 TEOS 层的籽晶氧化层的薄氧化层可以减小 TEOS 生长期间的应力。

由于 TEOS 层为保形层，可以采用如无掩模 STI 平面化等平面化方法。通过 RIE 去掉过量的 TEOS，并抛光，以便 RSTI 的上表面与氮化层 372 的表面共平面。通常要使 RSTI 氧化物致密，以提高随后湿法腐蚀的选择性。



例如可以通过退火进行 RSTI 氧化层的致密化。

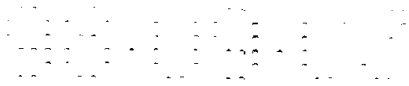
图 3G 中，去掉氮化物层。在去掉氮化物层期间，也去掉了部分 RSTI 氧化物，使 RSTI 的上表面基本上与多晶 354 的上表面共平面。在衬底上形成氧化层，并构图，形成氧化层 340。该氧化层一般设置于 RSTI 330 上，并延伸  
5 过将形成晶体管的那侧上的沟槽侧壁的边缘，用作栅叠层腐蚀的腐蚀停止层，氧化层 340 可以防止腐蚀栅叠层时腐蚀到沟槽上部的那部分多晶 351 中。在一个实施例中，氧化层 340 延伸到沟槽侧壁外，延伸的距离标称值约为栅宽度的 1/3。

参见图 3H，在多晶 354 和氧化层 340 上形成构成栅叠层的各层。如图所  
10 示，在多晶层 354 上形成多晶层 355。多晶层 355 用于构成栅叠层中导电层的上部。任意地，形成包括例如  $WxSi$  等的硅化层，以形成复合栅叠层，从而降低字线的电阻。层 353 和 354 的总厚度应足以形成栅导电层。自然，该厚度可以根据设计规格改变。在一个实施例中，组合层的总厚度约为 50 - 100nm。在层 355 上形成氮化物层 357。该氮化物层用作形成无板位线接触的腐  
15 蚀停止层

在图 3I 中，构图衬底表面，形成 DRAM 单元晶体管 380 的栅叠层。通常部分 RSTI 上形成跨越栅叠层 370，并由 RSTI 氧化层将之与 RSTI 隔离。通过注入或外扩散有合适分布的掺杂剂形成源 381，以实现所需的工作特性。在一个例示实施例中，注入 P 掺杂剂形成源。为了改善源到栅的扩散及与栅  
20 的对准，可以使用氮化物间隔层(未示出)。

图 4A-C 展示了形成本发明另一实施例的工艺。参见图 4A，该图展示了带有纵向晶体管的局部形成沟槽电容器存储单元。至此，以与图 3A-F 相同的方式形成了单元。例如通过对多晶有选择性的 CMP 去掉氮化物层。在去掉氮化物层期间，也去掉了部分 RSTI 氧化层 330，使 RSTI 的上表面基本上与多  
25 晶层 354 的上表面共平面。

参见图 4B，在多晶层 354 和氧化层 340 上形成构成栅叠层的各层。如图  
所示，在多晶层 354 上形成多晶层 355。多晶层 355 用于构成栅叠层中导电层的上部。任意地，形成包括例如  $WxSi$  等的硅化层，以形成复合栅叠层，从而降低字线的电阻。层 353 和 354 的组合厚度应足以形成栅导电层。自然，  
30 该厚度可以根据设计规格改变。在例示实施例中，组合层的厚度约为 50 -



100nm。在层 355 上形成氮化层 357。该氮化层用作形成无板位线接触的腐蚀停止层。

在图 4C 中，构图衬底表面，形成 DRAM 单元晶体管 380 的栅叠层。如图所示，栅叠层在一侧与 RSTI 重叠，在另一侧与衬底表面重叠。由于栅叠层宽度一般等于约  $F$ ，所以栅重叠量约为  $1/3F$ 。另外还形成支持器件或其它器件的栅叠层 370。通过注入或外扩散有合适分布的掺杂剂形成器件的扩散区，以实现所需的工作特性。在一个实施例中，注入 P 掺杂剂形成源。为了改善源到栅的扩散及与栅的对准，可以使用氮化物间隔层(未示出)。

此后，继续加工以完成 IC。例如这包括形成由层间介质层隔离的多层金属化层、实现所需功能的触点、硬和软钝化层，并进行封装。

参见图 5，该图展示了一种典型的计算机系统 500。如图所示，该系统包括处理器 510，例如由 Intel 生产的微处理器。处理器的作用是根据处理器的指令设置进行算术和逻辑运算。计算机程序和数据存于计算机的存储器 530 中、存储器包括磁或光存储器存储元件。

提供键盘 540，用于按用户需要给系统输入命令。还可以提供例如利用点击技术输入命令的如鼠标等其它输入装置。例如命令执行存储于计算机存储器中的计算面程序。计算机程序然后装入计算机存储器或 RAM。RAM 包括例如本发明中所说明的那些 DRAM IC。以便于计算机存储器中的数据文件存储且执行计算机程序所需的数据也传送到计算机的 RAM 中。另外，用户通过输入装置输入所需数据。

近期或常用的部分数据和计算机程序存储于计算机的称为“高速缓冲存储器”的高速存储器中。例如，该高速缓冲存储器作为处理器的一部分。由显示器为用户提供执行程序的结果。

尽管参照各实施例具体示出并说明了本发明，但本领域的技术人员应该明白，在不偏离其范围的情况下，本发明可以有改变和变形。仅仅作为例子，本发明的例示实施例说明了具体的尺寸。但是这些尺寸仅仅是例示性的，根据具体的应用可以改变。因此本发明的实质不限定在上述说明书中，而是由权利要求书及其等同物限定。

# 说明书附图

图 1

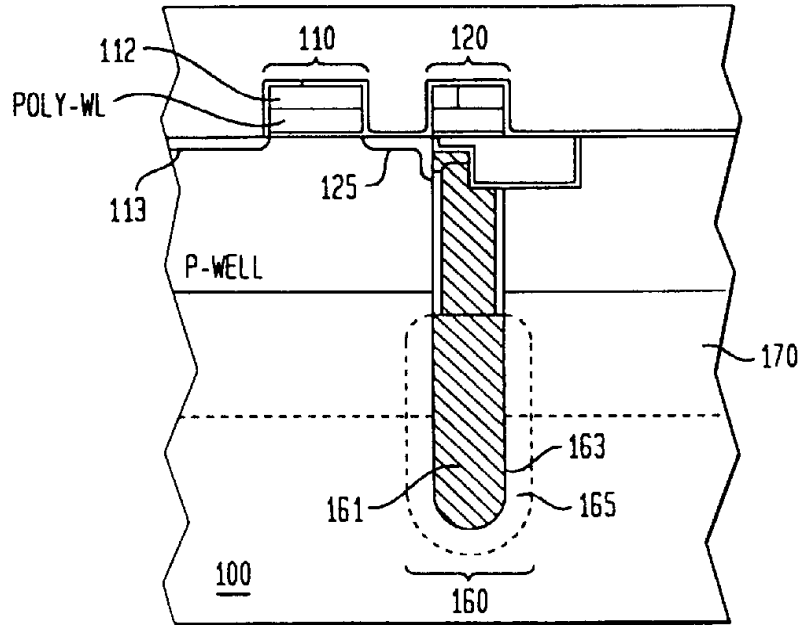


图 2

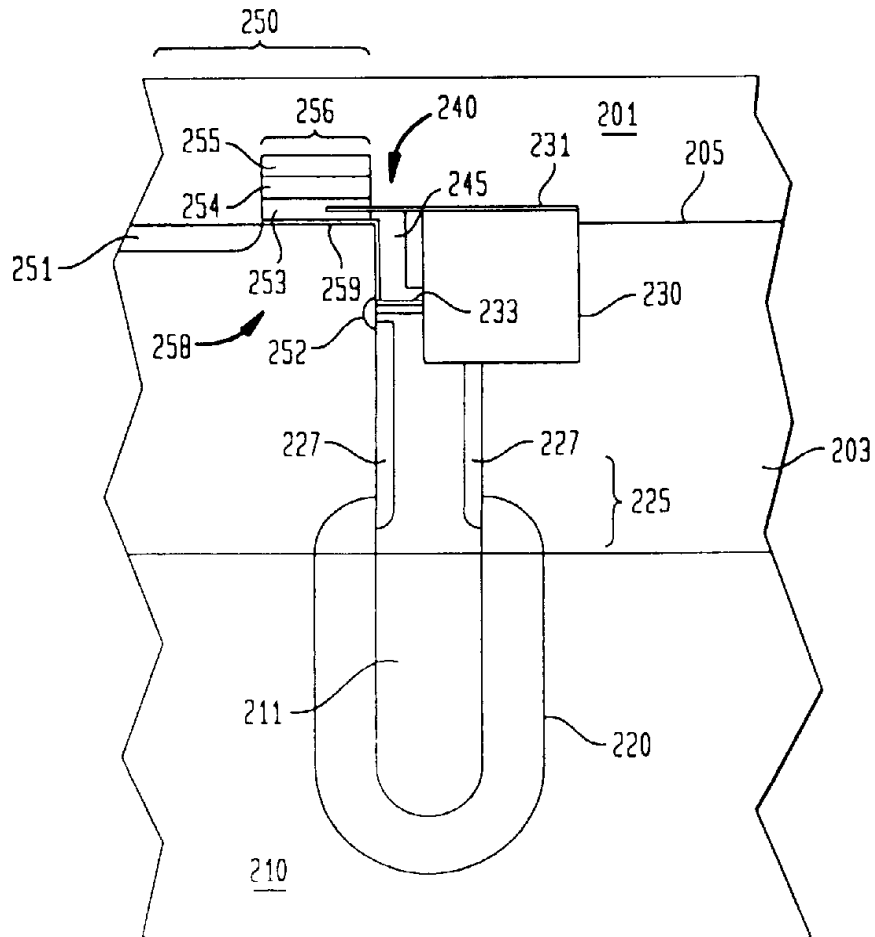


图 3A

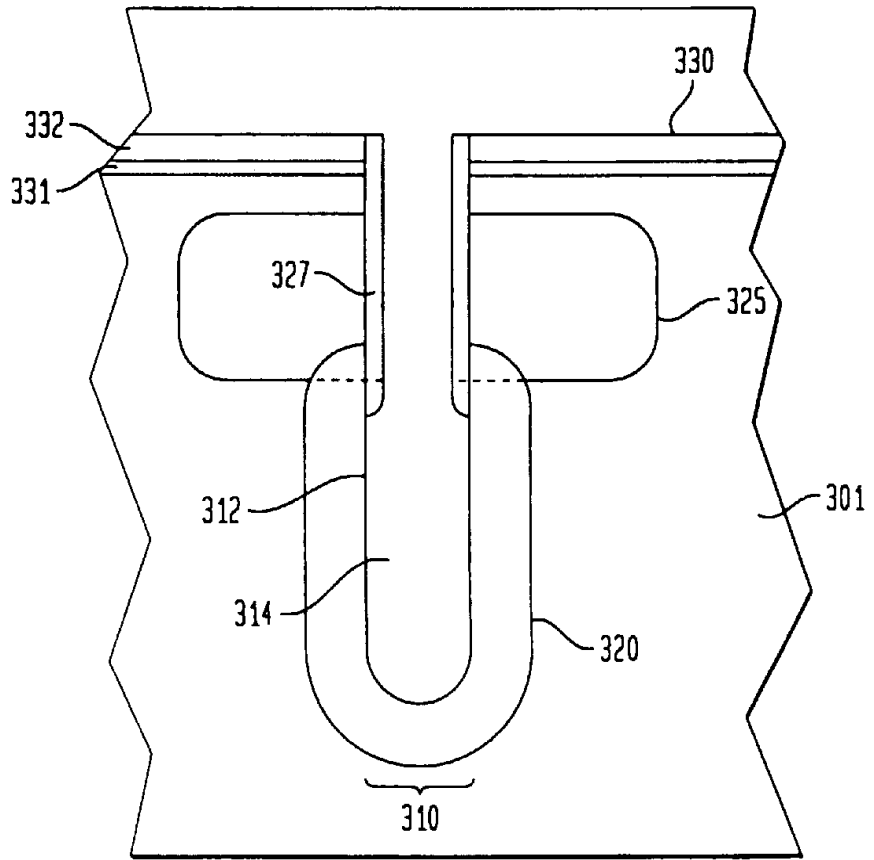


图 3B

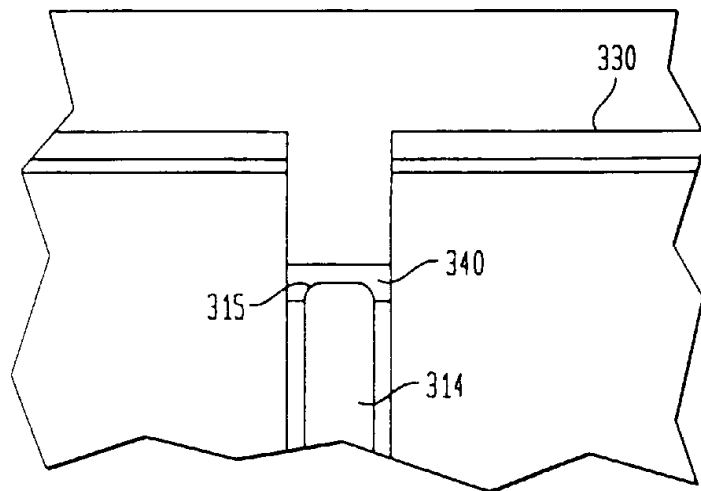


图 3C

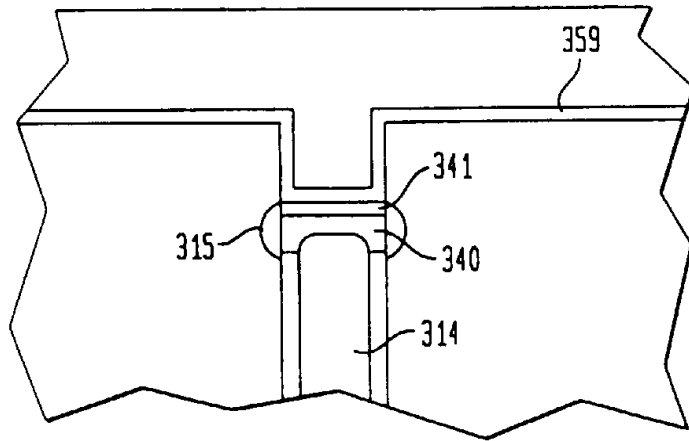


图 3D

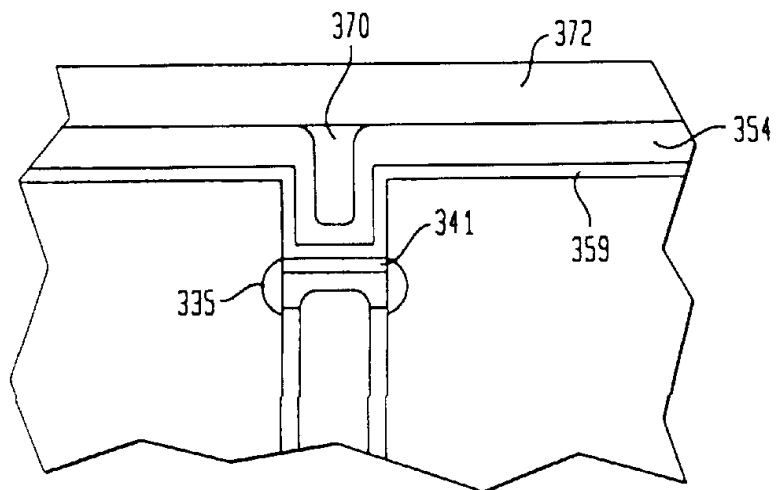








图 3I

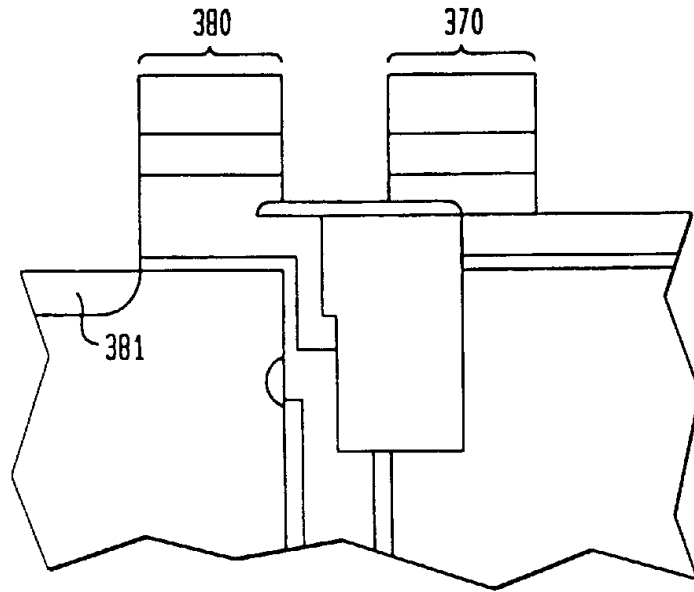


图 4A

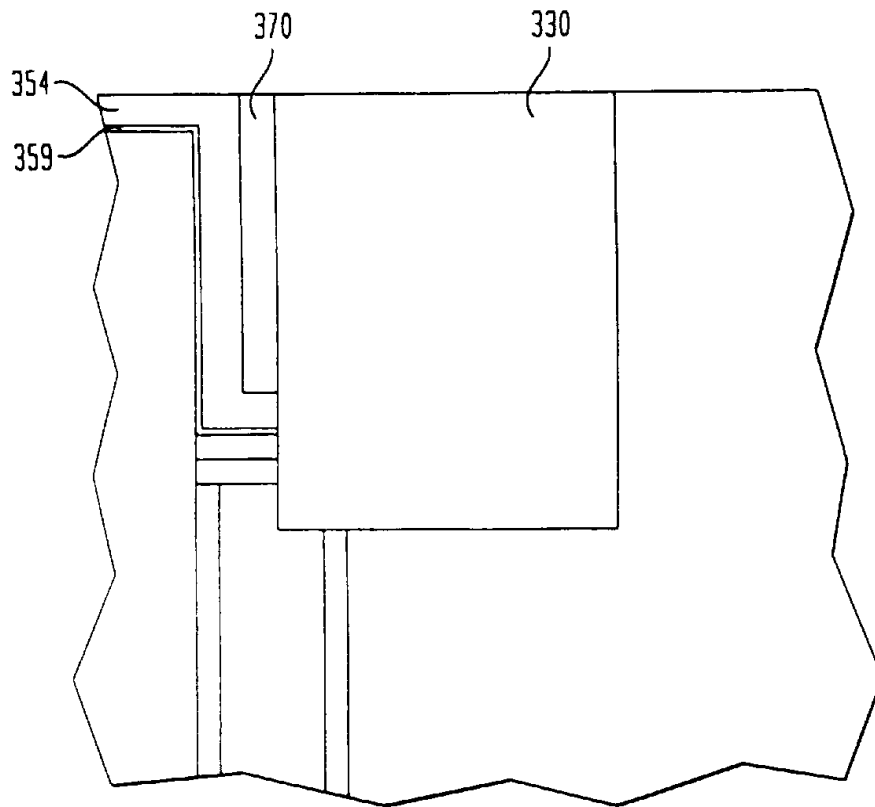


图 4B

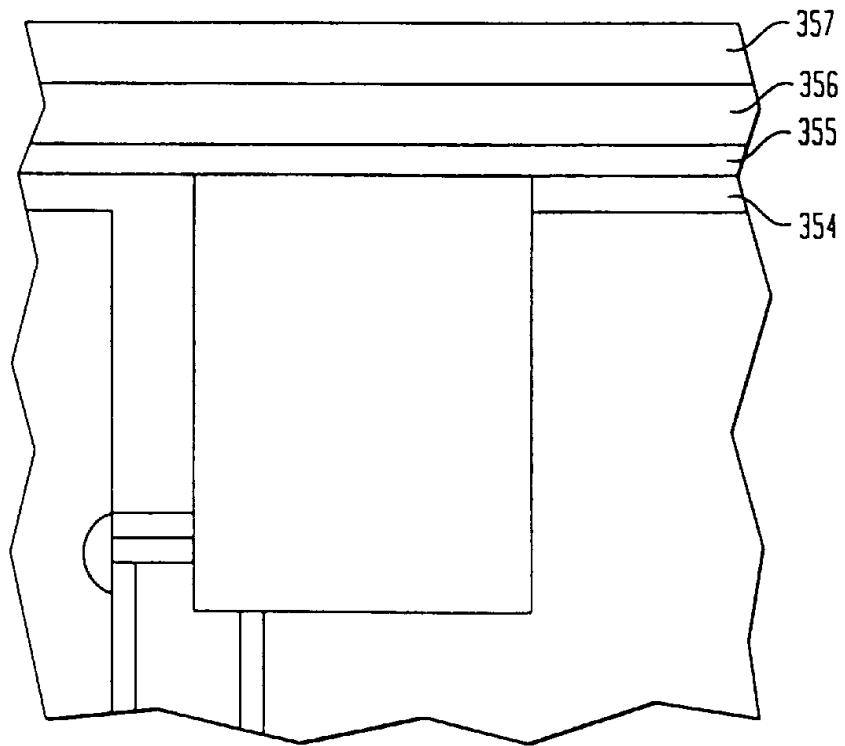


图 4C

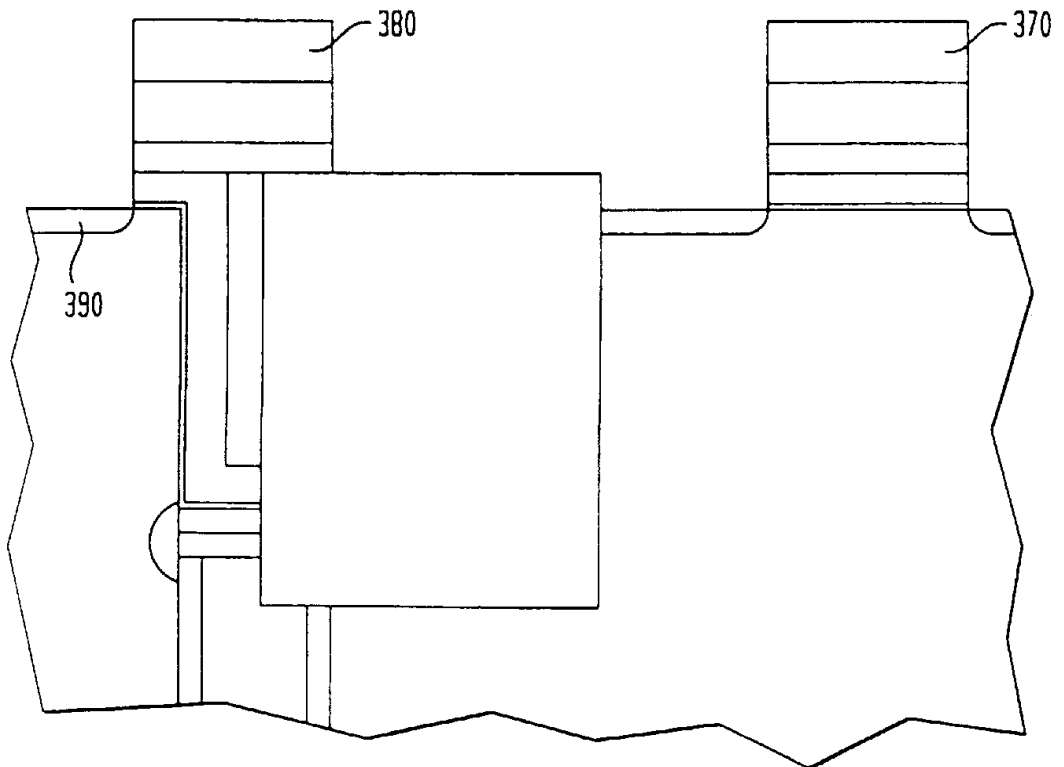


图 5

