



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I623027 B

(45) 公告日：中華民國 107 (2018) 年 05 月 01 日

(21) 申請案號：102130179 (22) 申請日：中華民國 102 (2013) 年 08 月 22 日  
 (51) Int. Cl. : H01L21/28 (2006.01) H01L23/52 (2006.01)  
 (30) 優先權：2012/08/21 美國 61/691,662  
 (71) 申請人：羅伯特博斯奇股份有限公司 (德國) ROBERT BOSCH GMBH (DE)  
 德國  
 (72) 發明人：葛拉漢 安卓 B GRAHAM, ANDREW B. (US) ; 菲 安道 FEYH, ANDO (DE) ;  
 歐布琳恩 蓋瑞 O'BRIEN, GARY (US)  
 (74) 代理人：閻啟泰；林景郁  
 (56) 參考文獻：  
 TW I253436 CN 100339738C  
 DE 102010062555A1  
 審查人員：趙芝婷  
 申請專利範圍項數：10 項 圖式數：13 共 32 頁

## (54) 名稱

用於形成結合囊封的微機電系統裝置的埋入式下層電極之系統和方法

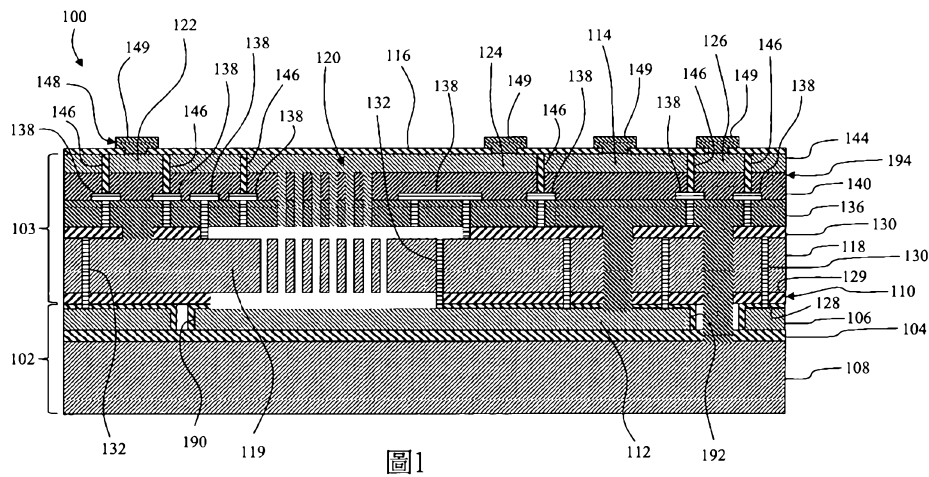
SYSTEM AND METHOD FOR FORMING A BURIED LOWER ELECTRODE IN CONJUNCTION WITH AN ENCAPSULATED MEMS DEVICE

## (57) 摘要

一種用於利用一埋入式第一電極以形成一感測器裝置之系統及方法係包含提供具有一電極層的一第一矽部分以及具有一裝置層的一第二矽部分。該第一矽部分以及該第二矽部分係沿著形成在該第一矽部分的電極層以及該第二矽部分的裝置層上之一共同的氧化層而毗鄰在一起。該所產生的多矽的堆疊係包含一埋入式下層電極，該埋入式下層電極係進一步藉由一埋入的氧化層、一高度摻雜的離子植入的區域或是其之組合所界定。該多矽的堆疊係具有複數個矽層以及二氧化矽層，其中在每個層中的電性隔離的區域係容許有該下層電極以及一上層電極。該多矽的堆疊進一步包含一間隙壁，此係使得該下層電極能夠從該感測器裝置的一頂端側接達。

A system and method for forming a sensor device with a buried first electrode includes providing a first silicon portion with an electrode layer and a second silicon portion with a device layer. The first silicon portion and the second silicon portion are adjoined along a common oxide layer formed on the electrode layer of the first silicon portion and the device layer of the second silicon portion. The resulting multi-silicon stack includes a buried lower electrode that is further defined by a buried oxide layer, a highly-doped ion implanted region, or a combination thereof. The multi-silicon stack has a plurality of silicon layers and silicon dioxide layers with electrically isolated regions in each layer allowing for both the lower electrode and an upper electrode. The multi-silicon stack further includes a spacer that enables the lower electrode to be accessible from a topside of the sensor device.

指定代表圖：



符號簡單說明：

- 100 . . . 感測器裝置
- 102 . . . 第一矽部分
- 103 . . . 第二矽部分
- 104 . . . 第一埋入的  
氧化層
- 106 . . . 矽層
- 108 . . . 基板層
- 110 . . . 第一氧化層
- 112 . . . 第一電極
- 114 . . . 第一接點
- 116 . . . 頂端側
- 118 . . . 第一層
- 119 . . . 第二電極
- 120 . . . 第三電極
- 122 . . . 第二接點
- 124 . . . 第三接點
- 126 . . . 第四接點
- 128 . . . 第一部分
- 129 . . . 第二部分
- 130 . . . 第二氧化層
- 132 . . . 第一溝槽
- 136 . . . 第一磊晶部  
分
- 138 . . . 第三溝槽
- 140 . . . 第二磊晶部  
分
- 144 . . . 第三磊晶部  
分
- 146 . . . 第四溝槽
- 148 . . . 金屬層
- 149 . . . 金屬接點
- 190 . . . 第一的第一  
電極溝槽
- 192 . . . 第二的第一  
電極溝槽
- 194 . . . 第二層

## 發明摘要

※ 申請案號：102130179

※ 申請日：102/08/22

※IPC 分類：H01L 21/28 (2006.01)  
H01L 23/52 (2006.01)

## 【發明名稱】(中文/英文)

用於形成結合囊封的微機電系統裝置的埋入式下層電極之系統和方法

SYSTEM AND METHOD FOR FORMING A BURIED LOWER  
ELECTRODE IN CONJUNCTION WITH AN ENCAPSULATED MEMS  
DEVICE

## 【中文】

一種用於利用一埋入式第一電極以形成一感測器裝置之系統及方法係包含提供具有一電極層的一第一矽部分以及具有一裝置層的一第二矽部分。該第一矽部分以及該第二矽部分係沿著形成在該第一矽部分的電極層以及該第二矽部分的裝置層上之一共同的氧化層而毗鄰在一起。該所產生的多矽的堆疊係包含一埋入式下層電極，該埋入式下層電極係進一步藉由一埋入的氧化層、一高度摻雜的離子植入的區域或是其之組合所界定。該多矽的堆疊係具有複數個矽層以及二氧化矽層，其中在每個層中的電性隔離的區域係容許有該下層電極以及一上層電極。該多矽的堆疊進一步包含一間隙壁，此係使得該下層電極能夠從該感測器裝置的一頂端側接達。

## 【英文】

A system and method for forming a sensor device with a buried first electrode includes providing a first silicon portion with an electrode layer and a second silicon

portion with a device layer. The first silicon portion and the second silicon portion are adjoined along a common oxide layer formed on the electrode layer of the first silicon portion and the device layer of the second silicon portion. The resulting multi-silicon stack includes a buried lower electrode that is further defined by a buried oxide layer, a highly-doped ion implanted region, or a combination thereof. The multi-silicon stack has a plurality of silicon layers and silicon dioxide layers with electrically isolated regions in each layer allowing for both the lower electrode and an upper electrode. The multi-silicon stack further includes a spacer that enables the lower electrode to be accessible from a topside of the sensor device.

圖式

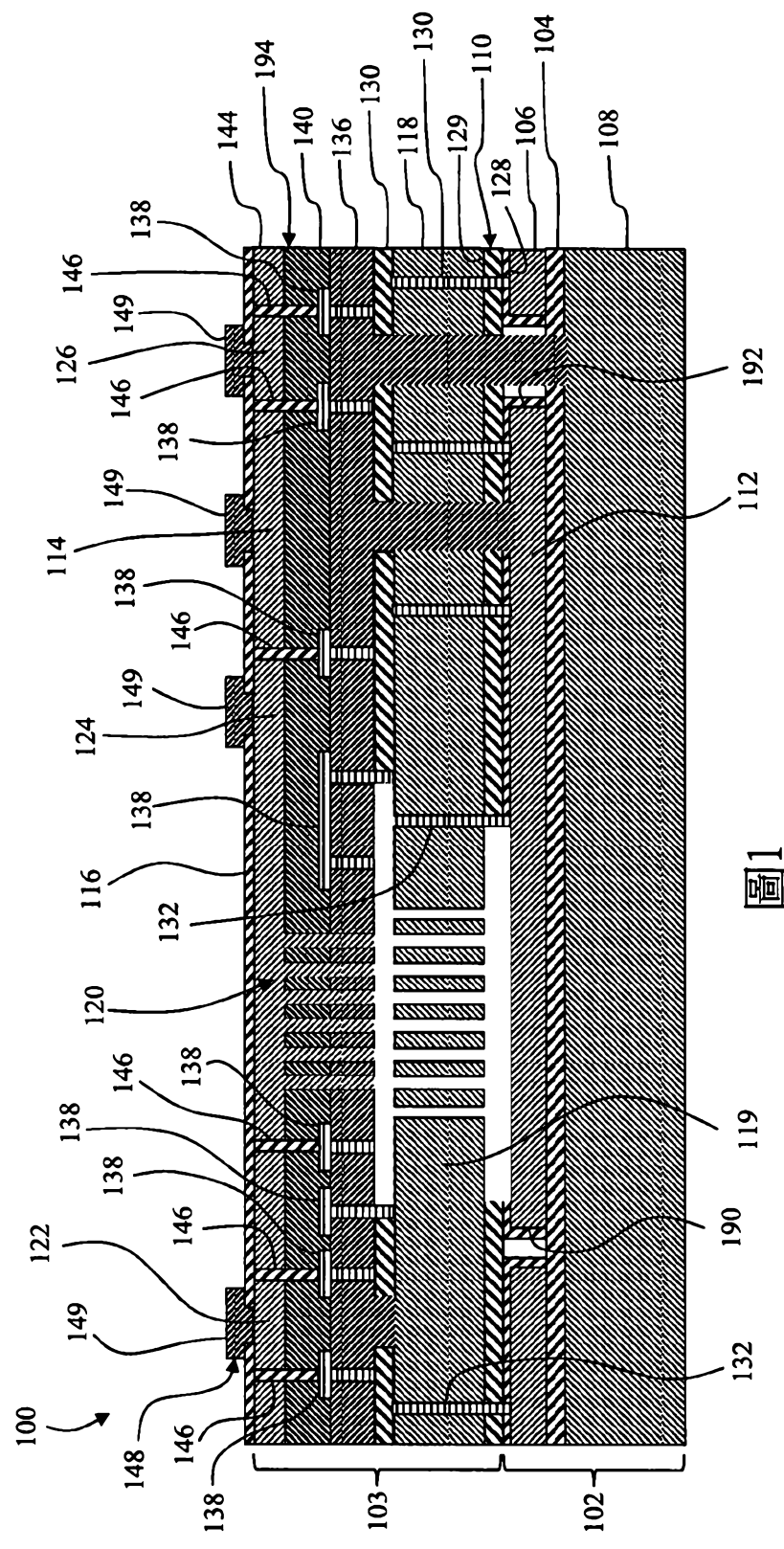


圖1

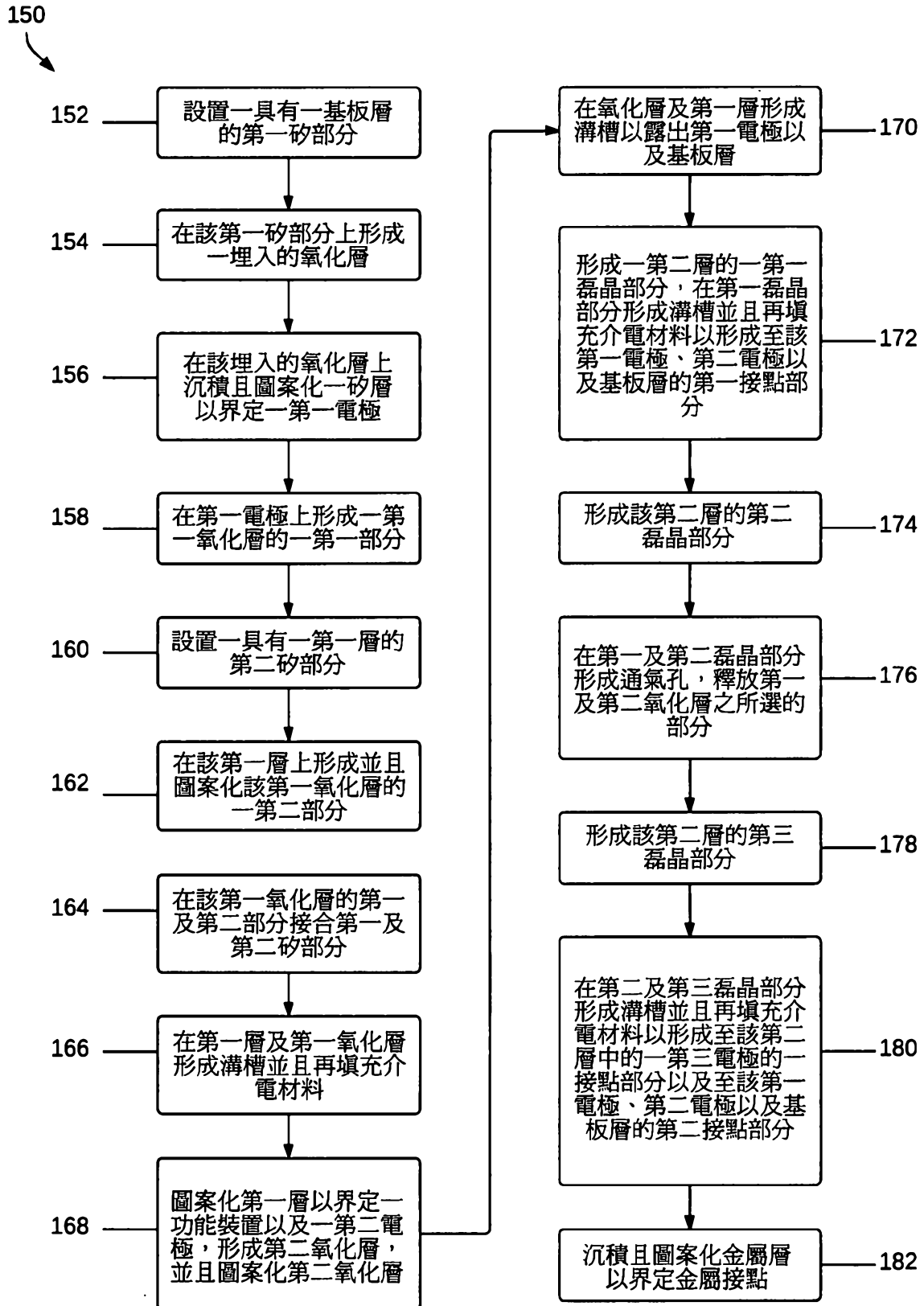


圖2

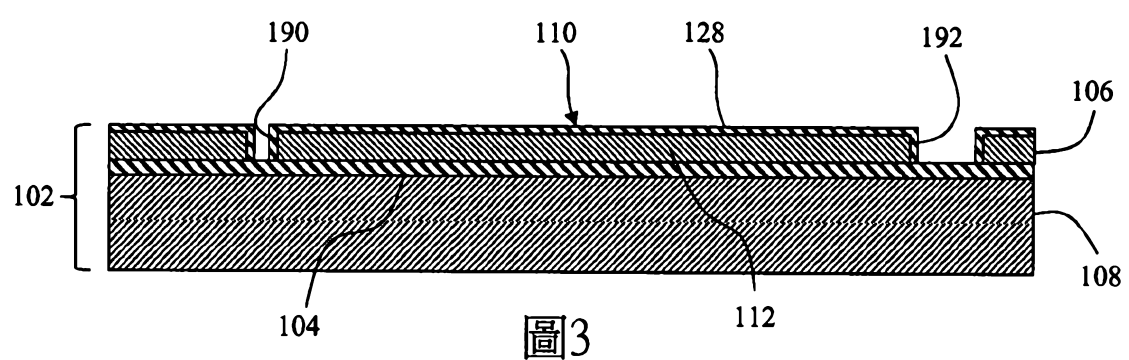


圖3

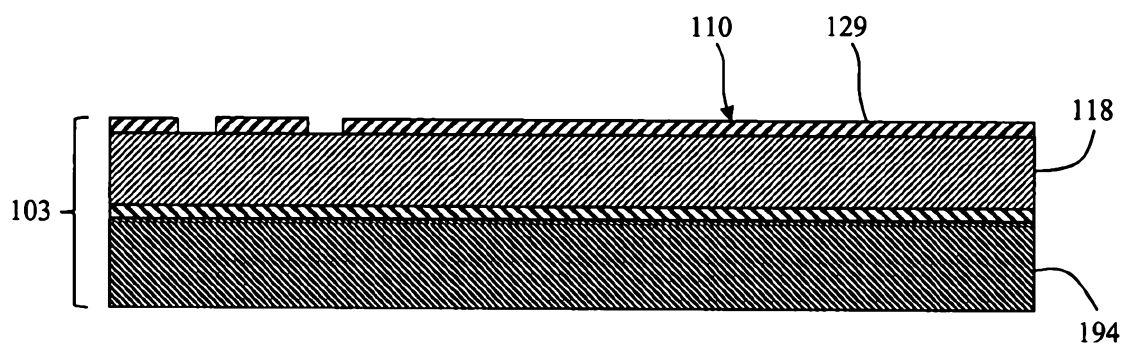


圖4

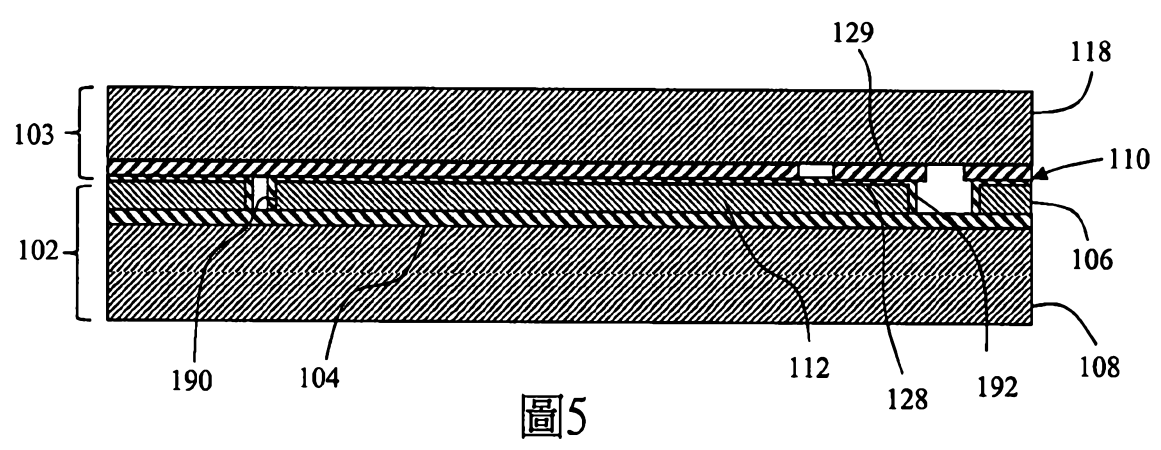


圖5

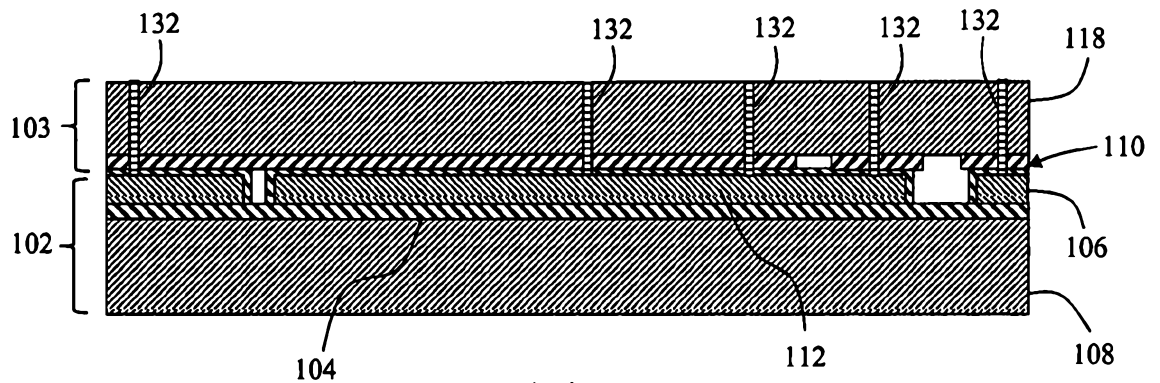


圖6

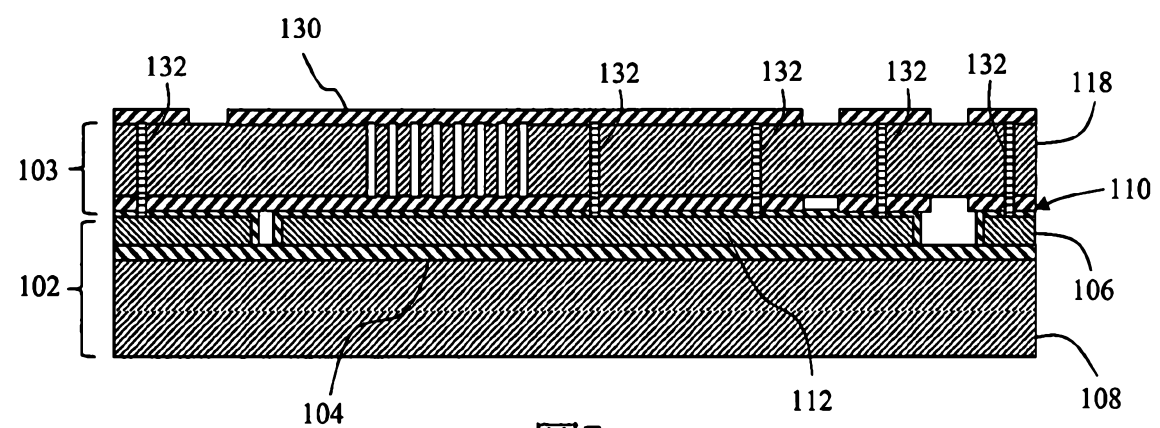


圖7

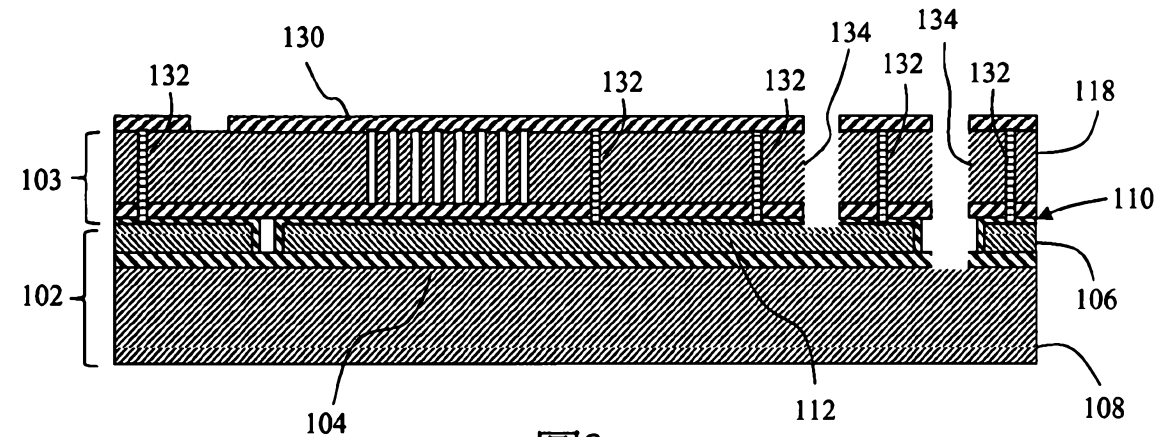


圖8

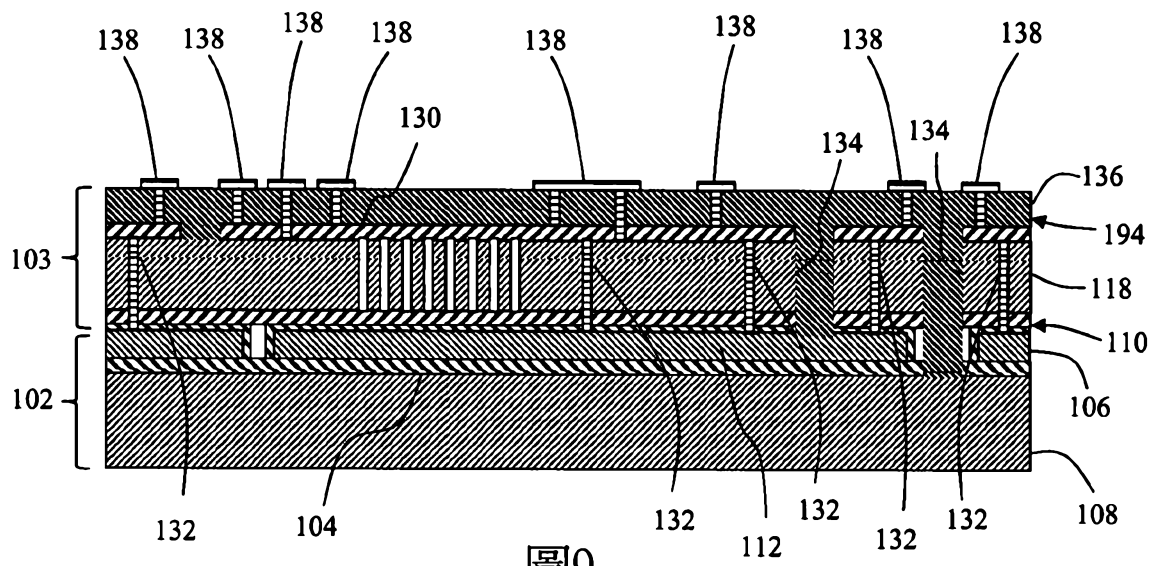


圖9

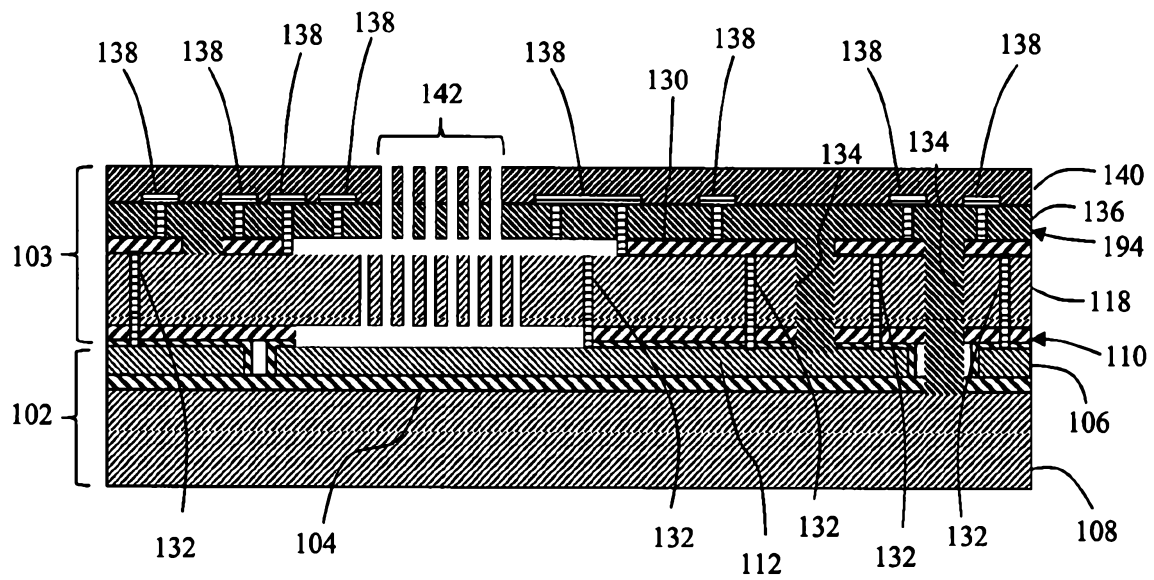
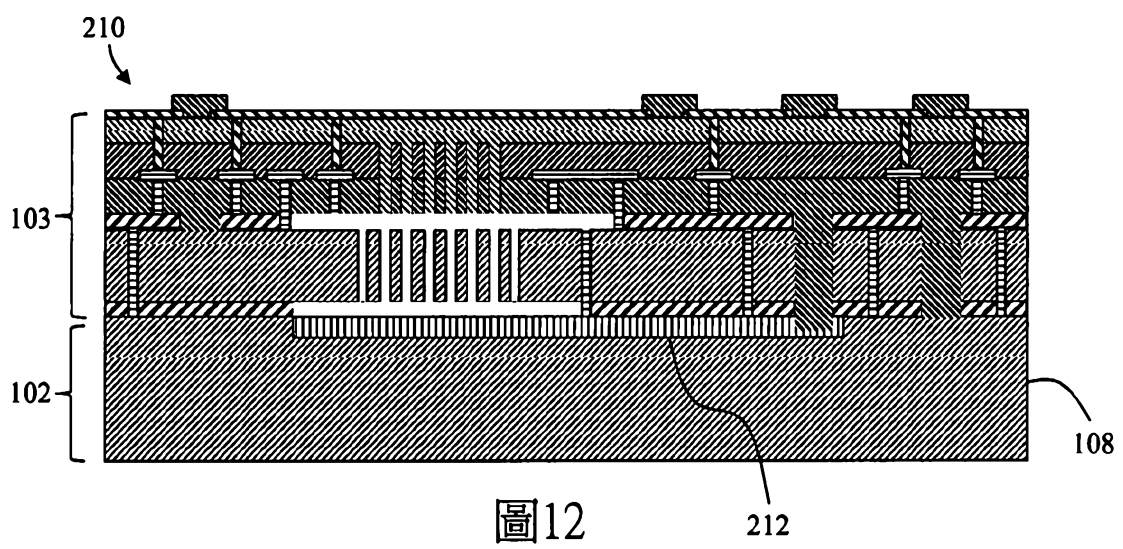
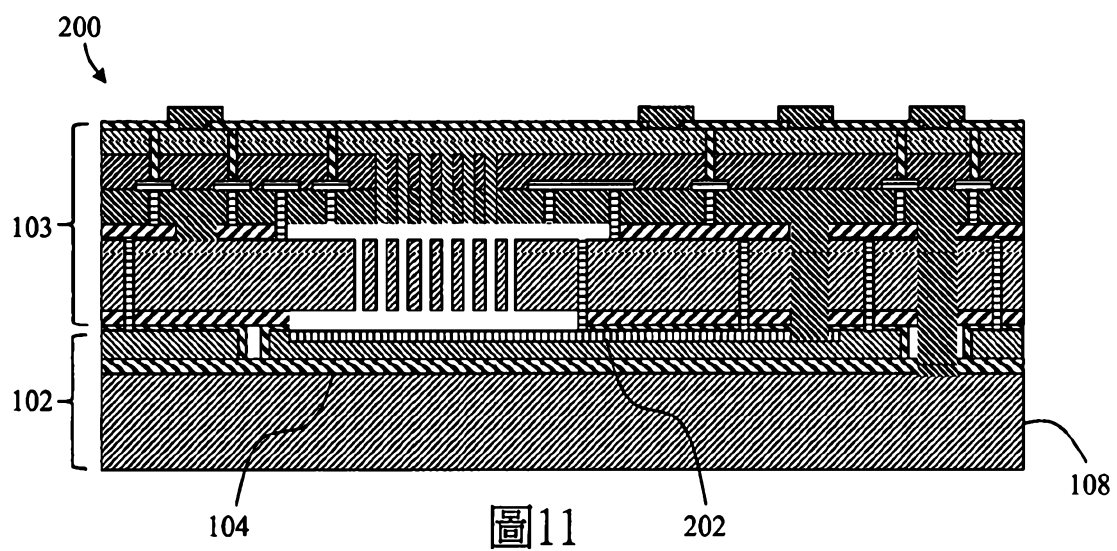


圖10



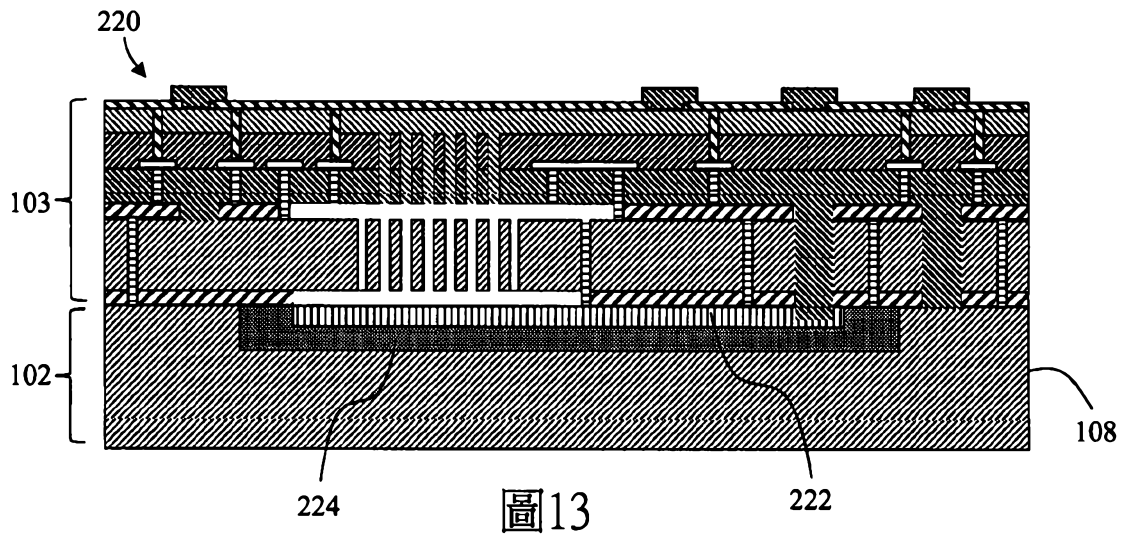


圖13

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

100 感測器裝置

102 第一矽部分

103 第二矽部分

104 第一埋入的氧化層

106 矽層

108 基板層

110 第一氧化層

112 第一電極

114 第一接點

116 頂端側

118 第一層

119 第二電極

120 第三電極

122 第二接點

124 第三接點

126 第四接點

128 第一部分

129 第二部分

130 第二氧化層

132 第一溝槽

- 136 第一磊晶部分
- 138 第三溝槽
- 140 第二磊晶部分
- 144 第三磊晶部分
- 146 第四溝槽
- 148 金屬層
- 149 金屬接點
- 190 第一的第一電極溝槽
- 192 第二的第一電極溝槽
- 194 第二層

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

用於形成結合囊封的微機電系統裝置的埋入式下層電極之系統和方法

SYSTEM AND METHOD FOR FORMING A BURIED LOWER  
ELECTRODE IN CONJUNCTION WITH AN ENCAPSULATED MEMS  
DEVICE

## 【技術領域】

【0001】 本揭露內容係有關於電容性微機電系統(MEMS)裝置。此申請案係主張 2012 年 8 月 21 日申請的美國臨時申請案號 61/691,662 的益處。

## 【先前技術】

【0002】 對於許多電容性 MEMS 裝置而言，電極在裝置結構之上及之下的使用是該裝置的基本操作所需、或是大為強化該裝置的效能。該些電極中之一或多個通常是藉由一導電膜的沉積、一導電層的電性隔離、或是藉由單純在兩種導電材料之間加上一間隙壁層來加以形成。

【0003】 此種電容性 MEMS 裝置的電極配置係容許用於閉迴路的操作，其中該裝置係藉由靜電力而被保持固定在適當的地方、或是用於該裝置的一開迴路的量測之差動感測。然而，許多被用來產生電容性 MEMS 裝置的囊封方法並不容許上層及下層電極中的一或兩者之任意的設置、或是不容許任何此種平面外的電極。

## 【發明內容】

【0004】 根據一實施例，一種形成一 MEMS 裝置之方法係包含在一絕緣體上矽(SOI)晶圓中界定一第一電極，在一位在該 SOI 晶圓的一上表面

之上的第一層中形成一第二電極，在一位在該第一層的一上表面之上的第二層中形成一第三電極，在該第二層之上形成一透過該第二層以及該第一層和該第一電極電性連通的第一接點，在該第二層之上形成一透過該第二層和該第二電極電性連通的第二接點，以及在該第二層之上界定一和該第三電極電性連通的第三接點。

【0005】 該實施例可以進一步包括該第一層係設置在一第二 SOI 晶圓上，該方法進一步包括：在該第一電極之上設置一第一氧化層的一第一部分；在該第一層之上設置該第一氧化層的一第二部分；以及在該第一氧化層之個別的第一及第二部分連接該 SOI 晶圓以及該第二 SOI 晶圓，以電性隔離該第一電極以及該第二電極。

【0006】 該實施例可以進一步包括該第一電極係被界定在該 SOI 晶圓的一矽層中，該方法進一步包括：利用一第一摻雜物類型來摻雜該矽層的一第一區域以形成一第一摻雜的區域，該第一摻雜的區域係界定該第一電極。

【0007】 該實施例可以進一步包括該第一電極係被界定在一矽晶圓的一矽層中，該矽晶圓並非一 SOI 晶圓，該方法進一步包括：利用一第一摻雜物類型來摻雜該矽層的一第一區域以形成一第一摻雜的區域，該第一摻雜的區域係界定該第一電極；以及利用一第二摻雜物類型來摻雜該矽層的一第二區域以形成一第二摻雜的區域，該第一摻雜的區域是一 N+型摻雜的區域，並且該第二摻雜的區域是一 P+型摻雜的區域，該第一摻雜的區域以及該第二摻雜的區域係界定該第一電極。

【0008】 該實施例可以進一步包括該第一電極係被界定在一矽晶圓

的一矽層中，該矽晶圓並非一 SOI 晶圓，該方法進一步包括：利用一第一摻雜物類型來摻雜該矽層的一第一區域以形成一第一摻雜的區域，該第一摻雜的區域係界定該第一電極；利用一第二摻雜物類型來摻雜該矽層的一第二區域以形成一第二摻雜的區域；以及利用一第三摻雜物類型來摻雜該矽層的一第三區域以形成一第三摻雜的區域，該第三摻雜的區域係設置在該第一摻雜的區域以及該第二摻雜的區域之間，該第一摻雜的區域是一 P+ 型摻雜的區域，該第二摻雜的區域是一 P 型摻雜的區域，並且該第三摻雜的區域是一 N-井型之摻雜的區域，該第一摻雜的區域、該第二摻雜的區域以及該第三摻雜的區域係界定該第一電極。

【0009】 該實施例可以進一步包括該 SOI 晶圓係包含一埋入的氧化層，該方法進一步包括：在該第一電極的一上表面上設置一第一氧化層；在該第一層內形成一功能裝置；在該第一層的一上表面上設置一第二氧化層；圖案化該第一氧化層以及該第二氧化層的一第一部分以形成該第一接點的一第一部分；圖案化該第一氧化層以及該第二氧化層的一第二部分以及該埋入的氧化層的一部分以形成一第四接點的一第一部分，該第四接點係和位在該埋入的氧化層之下的一基板層電性連通；在該第一層以及該第一氧化層中蝕刻第一溝槽；以及利用一介電材料來填充被蝕刻的該些第一溝槽，以電性隔離在該第一層內的該第一接點的該第一部分以及該第四接點的該第一部分。

【0010】 該實施例可以進一步包括在該第一層中且在該第一接點的該第一部分之內以及在該第四接點的該第一部分之內蝕刻第二溝槽；在該第二氧化層上以及在該第二溝槽之內形成該第二層的一第一磊晶部分；穿

過該第二層的該第一磊晶部分來蝕刻第三溝槽，以形成該第一接點的一第二部分、該第四接點的一第二部分以及該第二接點的一第一部分；以及利用該介電材料以填充被蝕刻的該些第三溝槽，以電性隔離在該第二層內之該第一接點的該第二部分、該第四接點的該第二部分以及該第二接點的該第一部分。

【0011】 該實施例可以進一步包括在該第一磊晶部分上形成該第二層的一第二磊晶部分；透過形成在該第二磊晶部分以及該第一磊晶部分中的通氣孔來釋放該功能裝置；以及在該第二磊晶部分上形成該第二層的一第三磊晶部分。

【0012】 該實施例可以進一步包括在該第三磊晶部分以及該第二磊晶部分中蝕刻第四溝槽，並且終止在被蝕刻且經填充的該些第三溝槽中所選擇的一者，被蝕刻的該些第四溝槽係形成該第一接點的一第三部分、該第四接點的一第三部分、該第二接點的一第二部分以及該第三接點的一第一部分；以及利用該介電材料來填充被蝕刻的該些第四溝槽，以電性隔離在該第二層內之該第一接點的該第三部分、該第四接點的該第三部分、該第二接點的該第二部分以及該第三接點的該第一部分。

【0013】 該實施例可以進一步包括在該第二層的該第三磊晶部分上形成一被動層；圖案化該被動層的部分，以露出對應於該第一接點的該第三部分、該第四接點的該第三部分、該第二接點的該第二部分以及該第三接點的該第一一部分之該第三磊晶部分的部分；在圖案化的該被動層上形成一金屬層；以及圖案化該金屬層以電性隔離在該第二層之上的該第一接點、該第二接點、該第三接點以及該第四接點。

【0014】 該實施例可以進一步包括該第一磊晶部分、該第二磊晶部分以及該第三磊晶部分係藉由一磊晶沉積製程來加以沉積。

【0015】 該實施例可以進一步包括該介電材料包含二氧化矽、氮化矽以及 ALD 鋁中之至少一者。

【0016】 在另一實施例中，一種 MEMS 裝置係包含一在一絕緣體上矽(SOI)晶圓中的第一電極，一在一位於該 SOI 晶圓的一上表面之上的第一層中的第二電極，一在一位於該第一層的一上表面之上的第二層中的第三電極，一在該第二層之上透過該第二層以及該第一層和該第一電極電性連通的第一接點，一在該第二層之上透過該第二層和該第二電極電性連通的第二接點，以及一在該第二層之上和該第三電極電性連通的第三接點。

【0017】 該另一實施例可以進一步包括該第一電極係被界定在該 SOI 晶圓的一第一摻雜的區域中，該第一摻雜的區域係包含一第一摻雜物類型。

【0018】 該另一實施例可以進一步包括該第一電極係被界定在一矽晶圓的一矽層中，該矽晶圓並非一 SOI 晶圓，該矽層係包含：具有一第一摻雜物類型之一第一摻雜的區域；以及具有一第二摻雜物類型之一第二摻雜的區域，該第一摻雜的區域是一 N+型摻雜的區域，並且該第二摻雜的區域是一 P+型摻雜的區域，該第一摻雜的區域以及該第二摻雜的區域係界定該第一電極。

【0019】 該另一實施例可以進一步包括該第一電極係被界定在一矽晶圓的一矽層中，該矽晶圓並非一 SOI 晶圓，該矽層係包含：具有一第一摻雜物類型之一第一摻雜的區域；具有一第二摻雜物類型之一第二摻雜的

區域；以及具有一第三摻雜物類型之一第三摻雜的區域，該第三摻雜的區域係設置在該第一摻雜的區域以及該第二摻雜的區域之間，該第一摻雜的區域是一 P+型摻雜的區域，該第二摻雜的區域是一 P 型之摻雜的區域，並且該第三摻雜的區域是一 N-井型之摻雜的區域，該第一摻雜的區域、該第二摻雜的區域以及該第三摻雜的區域係界定該第一電極。

### 【圖式簡單說明】

#### 【0020】

圖 1 係描繪一種感測器裝置的側截面圖，其係納入複數個經由個別對應的接點而電連接至該感測器裝置的一頂端側之電極；

圖 2 係描繪一種用於形成圖 1 的感測器裝置之製程；

圖 3 係描繪一根據圖 2 的製程所提供的絕緣體上矽(SOI)晶圓的側截面圖；

圖 4 係描繪一根據圖 2 的製程所提供的第二 SOI 晶圓的側截面圖；

圖 5 係描繪沿著個別的氧化層接合在一起的該 SOI 晶圓以及該第二 SOI 晶圓的側截面圖，其中一第一電極係埋入在其之間；

圖 6 係描繪圖 5 的晶圓配置的側截面圖，其中該第二 SOI 晶圓的一第一層係具有被蝕刻且再填充介電材料的溝槽；

圖 7 係描繪圖 6 的晶圓配置的側截面圖，其係展示在被圖案化且以一氧化層覆蓋之後並且在使得該氧化層被圖案化以形成該些接點的部分之後的第一層；

圖 8 係描繪圖 7 的晶圓配置在一利用一額外的光罩之形成溝槽的操作以露出該 SOI 晶圓的第一電極以及一基板層之後的側截面圖；

圖 9 係描繪圖 8 的晶圓配置的側截面圖，其中一第二層的一第一磊晶部分係具有被蝕刻且再填充介電材料的溝槽；

圖 10 係描繪圖 9 晶圓配置的側截面圖，其中該第二層的該第一磊晶部分以及一第二磊晶部分係具有被蝕刻以露出埋入的氧化層的溝槽；

圖 11 係描繪圖 1 的感測器裝置的另一實施例的側截面圖，其中該第一電極係進一步藉由在該矽層中之一第一高度摻雜的離子植入的區域所界定；

圖 12 係描繪一種感測器裝置的側截面圖，其係納入一藉由在矽晶圓的一矽層中之一高度摻雜的離子植入的區域所界定之第一電極；以及

圖 13 係描繪一種感測器裝置的側截面圖，其係納入一藉由在一矽晶圓的一矽層中堆疊一第一高度摻雜的離子植入的區域以及一第二高度摻雜的離子植入的區域所界定之第一電極。

### 【實施方式】

【0021】 為了促進該揭露內容的原理的理解之目的，現在將會參考到描繪在圖式中且敘述在以下的文字說明書中的實施例。所了解的是，並不欲藉此限制該揭露內容的範疇。進一步理解的是，該揭露內容係包含任何對於該些舉例說明的實施例的改變及修改，並且包含該揭露內容的原理之如同熟習此揭露內容相關的技術者通常將會思及的進一步應用。

【0022】 在這些實施例的許多實施例中，一 MEMS 感測器可被用來感測一例如是加速、壓力或溫度的物理狀況，並且提供一代表該感測到的物理狀況的電性信號。該些實施例可實施在各種的應用中、或是和其相關地加以實施，例如汽車、家用電器、膝上型電腦、手持式或可攜式電腦、

行動電話、智慧型電話、無線裝置、平板電腦、個人數位助理(PDA)、MP3 播放器、攝影機、GPS 接收器或導航系統、電子閱讀顯示器、投影機、座艙控制、遊戲機、聽筒、耳機、助聽器、可穿戴的顯示裝置、保全系統、等等。

【0023】 圖 1 係描繪一種感測器裝置 100，其係包含一第一矽部分 102 以及一相鄰該第一矽部分 102 的第二矽部分 103。一第一埋入的氧化層 104 係被設置在該第一矽部分 102 之內以分開該第一矽部分 102 成為一矽層 106 以及一基板層 108。一第一氧化層 110 係被設置在該矽層 106 以及該第二矽部分 103 之間以界定一第一電極 112。

【0024】 該第一埋入的氧化層 104 以及該第一氧化層 110 的定位係電性隔離該第一電極 112 與該第一矽部分 102，並且致能該第一電極 112 與該第二矽部分 103 的部分的電性隔離。一垂直的電互連或是第一接點 114 係被用來提供從該感測器 100 的一頂端側 116 至該第一電極 112 之電性隔離的接達。

【0025】 該第二矽部分 103 係包含一具有一界定在其中的第二電極 119 之第一層 118、以及一具有一界定在其中的第三電極 120 之第二層 194。在所示的實施例中，該第一層 118 係包含一功能裝置，該功能裝置係具有一被配置以響應於一施加的力而相對於該些電極移動或變形之可變形的部分。一第二接點 122、一第三接點 124 以及一第四接點 126 係被納入在該第二矽部分 103 之內，以分別提供從該感測器 100 的頂端側 116 至該第二電極 119、第三電極 120 以及基板層 108 之電性隔離的接達。

【0026】 一種用於形成一使用在一例如是感測器裝置 100 的感測器

中的基板配置之製程 150 係參考圖 2 來加以論述。首先，一第一矽部分 102 係被設置以用於進一步的處理(方塊 152)。在一實施例中，該第一矽部分 102 是一晶圓，其係被處理以形成彼此電性隔離的一矽層 106 以及一基板層 108。在此實施例中，一第一埋入的氧化層 104 係形成在該第一矽部分 102 的一表面上(方塊 154)。該第一埋入的氧化層 104 可以是藉由熱氧化的技術生長的一頂端層的二氧化矽，其中該第一矽部分 102 係被曝露到氧及/或蒸氣。

【0027】 一層的矽係沉積在該第一矽部分 102 的第一埋入的氧化層 104 上以形成一矽層 106，該矽層 106 係接著被圖案化以界定一第一電極 112(方塊 156)。該矽層 106 係藉由化學氣相沉積(CVD)或是更具體而言的低壓化學氣相沉積(LPCVD)來加以沉積，其亦可以經由磊晶層生長或是利用一具有一背面研磨製程的矽晶圓接合來加以沉積。在一實施例中，該矽層 106 係沉積到一約 0.1 至 3 $\mu\text{m}$  的厚度。該矽層 106 的圖案化係形成界定該第一電極 112 之一第一的第一電極溝槽 190 以及一第二的第一電極溝槽 192。該矽層 106 可以藉由任何致能一圖案轉印到一材料中的製程來加以圖案化。

【0028】 根據該揭露內容的原理，一第一氧化層 110 的一第一部分 128 係形成在該沉積且圖案化的矽層 106 上，以提供該第一電極 112 之適當的電性隔離(方塊 158)。該第一氧化層 110 的第一部分 128 可以藉由熱氧化或是一已知的沉積製程的沉積來加以生長。選配的是，該第一氧化層 110 的第一部分 128 可以利用一例如是化學機械拋光/平坦化(CMP)的拋光製程來加以平滑化。

【0029】 在一實施例中，該第一矽部分 102 是一絕緣體上矽(SOI)晶

圓，其係被設置有已經藉由一埋入的氧化層分開的一矽層 106 以及一基板層 108。在此實施例中，該矽層 106 係被圖案化，並且該第一氧化層 110 的第一部分 128 係形成在該矽層 106 上以提供該第一電極 112 之適當的電性隔離。

【0030】 此外，一第二矽部分 103 係被設置以用於進一步的處理(方塊 160)。該第二矽部分 103 可被設置為一空白晶圓或是一 SOI 晶圓。在至少一實施例中，該第二矽部分 103 係具有一第一層 118，該第一層 118 具有一約 10 至 40 $\mu\text{m}$  的厚度。該第二矽部分 103 係藉由在該第一層 118 上形成該第一氧化層 110 的一第二部分 129 並且圖案化該第一氧化層 110 的第二部分 129 來加以處理(方塊 162)。類似於該埋入的氧化層 104 以及該第一氧化層 110 的第一部分 128，該第一氧化層 110 的第二部分 129 可以是一藉由熱氧化所生長的二氧化矽層。

【0031】 一多矽的堆疊係藉由在該第一氧化層 110 的第一及第二部分 128、129 彼此晶圓接合該第一及第二矽部分 102、103 來加以形成(方塊 164)。在晶圓接合之前，該第一及第二矽部分 102、103 係相對於彼此而被設置，以使得當該第一氧化層 110 的第一及第二部分 128、129 相鄰時，該第一矽部分 102 的圖案化的至少一些部分係對準該第二矽部分 103 的圖案化。此定位係致能一第一接點 114 以及一第四接點 126 的形成，其係分別連接該第一電極 112 以及該基板層 108 至該感測器 100 的一頂端側 116。該第一及第二矽部分 102、103 的晶圓接合可藉由任何的晶圓接合技術來加以達成。該第二矽部分 103 與該接合區域相反的表面可以背面研磨，以產生該第一層 118 或是該感測器裝置 100 之一所要的厚度。

【0032】 在至少一實施例中，從在方塊 158 之處理後的第一矽部分 102 開始，一多晶矽層可以從該第一矽部分 102 加以生長，以達成相同的在方塊 164 所產生的基板配置。然而，此實施例並不容許最終的基板配置的一頂端層是具有單晶矽。

【0033】 第一溝槽 132 係被蝕刻到該第一層 118 以及該第一氧化層 110 的第一及第二部分 128、129 中。該些第一溝槽 132 係接著再填充一種例如是矽氮化物的介電材料，以提供在該第一層 118 之所選的部分之間的電性隔離(方塊 166)，並且在氧化物釋放蝕刻期間提供一橫向的蝕刻終止。該些溝槽可藉由任何所要的製程來加以蝕刻及再填充。在某些實施例中，該溝槽係利用大致敘述在美國專利申請案號 13/232,005 以及 13/767,594 中的方法而被蝕刻及再填充，該些申請案的整體內容係被納入在此作為參考。

【0034】 在方塊 168，該第一層 118 係被圖案化，一第二氧化層 130 係形成在該圖案化的第一層 118 上，並且該第二氧化層 130 係被圖案化(方塊 168)。在一實施例中，該第一層 118 的圖案化以及該第二氧化層 130 的形成是保形的。在另一實施例中，該第一層 118 的圖案化以及該第二氧化層 130 的形成係非保形的。該第二氧化層 130 的圖案化係被使用在該第一接點 114、第四接點 126 以及一第二接點 122 的形成中，其係分別連接該第一電極 112、基板層 108 以及第一層 118 至該感測器 100 的頂端側 116。在該第二氧化層 130 被圖案化之後(方塊 168)，該第一層 118 之所選的部分係利用一額外的光罩而被蝕刻以形成第二溝槽 134(圖 8)，該些第二溝槽 134 係延伸到該第一電極 112 以及該基板層 108 中(方塊 170)。

【0035】 該第二層 194 的一第一磊晶部分 136 係加以形成，其係覆蓋

該露出的第一層 118 以及該第二氧化層 130 並且填充在方塊 170 所形成的第二溝槽 134(方塊 172)。在一實施例中，該第一磊晶部分 136 係藉由利用該 CMP 製程而被拋光。同樣在方塊 172，第三溝槽 138 係被蝕刻到該第一磊晶部分 136 中，並且在某些情形中是蝕刻到該第二氧化層 130 中。該第三溝槽 138 係接著再填充一種例如是矽氮化物的介電材料，其接著被圖案化。

【0036】 該第二層 194 的一第二磊晶部分 140 係形成在該第一磊晶部分 136 以及相鄰該第一磊晶部分 136 之圖案化的介電材料兩者之上(方塊 174)。該第二磊晶部分 140 係利用一例如是 CMP 的拋光製程而被平滑化。通氣孔 142 係被蝕刻到該第一及第二磊晶部分 136、140 中，以露出該第二氧化層 130(方塊 176)。該第一及第二氧化層 110、130 之所選的部分係接著在方塊 176 利用一氣相氫氟酸(HF)製程而被釋放蝕刻。

【0037】 該第二層 194 的一第三磊晶部分 144 係形成在該第二磊晶部分 140 之上以密封所產生的基板配置(方塊 178)。該第三磊晶部分 144 係利用一例如是 CMP 的拋光製程而被平滑化。第四溝槽 146 係被蝕刻到該第二及第三磊晶部分 140、144 中，並且和所選的先前已經再填充介電材料之第三溝槽 138 交叉(方塊 180)。該些第四溝槽 146 係再填充例如是矽氮化物的介電材料，並且接著圖案化。一金屬層 148 係沉積在相鄰該第三磊晶部分 144 之圖案化的介電材料以及該第三磊晶部分 144 之露出的部分兩者之上(方塊 182)。該金屬層 148 係接著被圖案化以形成電性隔離的金屬接點 149，該些金屬接點 149 係在操作上和該第二接點 122、第三接點 124、第一接點 114 以及第四接點 126 相關的。

【0038】 如同在圖 1 中所示，該第三電極 120 係和囊封在該感測器

100 內之其它的導電元件電性隔離的，並且該第三接點 124 係提供從該感測器 100 的頂端側 116 至該第三電極 120 的接達。再者，該基板層 108、第一電極以及第一層 118 係和該第三電極 120 電性隔離，而且是彼此電性隔離的，並且可以從該感測器的頂端側 116 分別經由該第四接點 126、第一接點 114 以及第二接點接達的。

【0039】 該製程 150 係藉由參考到圖 1 及圖 3-10 來進一步加以描繪。首先參考到圖 3，一第一矽部分 102 係根據方塊 152-158 而被設置及處理，以界定一第一電極 112。參照圖 4，一第二矽部分 103 係根據方塊 160-162 而被設置及處理。

【0040】 圖 5 係描繪在彼此晶圓接合之後的第一及第二矽部分 102、103 以囊封該第一電極 112(方塊 164)。圖 6 係描繪在第一溝槽 132 已經被蝕刻到該第一層 118 中並且接著再填充一種介電材料(方塊 166)之後的多矽的堆疊。圖 7 係描繪在該第一層 118 被圖案化，一第二氧化層 130 形成在該圖案化的第一層 118 上，並且該第二氧化層 130 被圖案化(方塊 168)之後的多矽的堆疊。

【0041】 圖 8 係描繪在第一層 118 之所選的部分利用一額外的光罩而被蝕刻以形成第二溝槽 134 之後的多矽的堆疊。該些第二溝槽 134 係被形成足夠的深度以延伸到該第一電極 112 以及該基板層 108 中(方塊 170)。圖 9 係描繪矽的第二層 194 的第一磊晶部分 136 形成在該露出的第一層 118 以及該第二氧化層 130 兩者上並且填充該第二溝槽 134(方塊 172)。第三溝槽 138 係被蝕刻到該第一磊晶部分 136 中並且接著再填充一種介電材料，其係接著被圖案化。

【0042】 圖 10 係描繪該第二層 194 的第二磊晶部分 140 形成在該第一磊晶部分 136 以及相鄰該第一磊晶部分 136 之圖案化的介電材料兩者之上(方塊 174)。圖 10 亦描繪該些通氣孔 142 被蝕刻到該第一及第二磊晶部分 136、140 中以露出該第二氧化層 130(方塊 176)。如同在圖 10 中所示，該些通氣孔 142 係被用來釋放蝕刻該第一及第二氧化層 110、130 之所選的部分。

【0043】 圖 1 係描繪該第二層 194 的第三磊晶部分 144 形成在該第二磊晶部分 140 之上，以密封所產生的基板配置。圖 1 亦描繪該第四溝槽 146 被蝕刻到該第二及第三磊晶部分 140、144 中，並且該些第四溝槽 146 已經再填充介電材料且被圖案化。

【0044】 該製程 150 係產生如在圖 1 中所繪的感測器裝置 100。該感測器裝置 100 係具有複數個電性隔離的垂直互連或接點，其係提供晶圓頂端側至埋入在該配置內之例如是第一電極 112、基板層 108 以及第一層 118 的電氣元件的接達。如同在圖 1 中所示，該第三電極 120 係和其它被囊封在該感測器 100 內之導電的元件電性隔離的，並且該第三接點 124 係提供從該感測器 100 的頂端側 116 至該第三電極 120 的接達。再者，該基板層 108、第一電極以及第一層 118 係和該第三電極 120 電性隔離而且彼此是電性隔離的，並且可以從該感測器的頂端側 116 分別經由該第四接點 126、第一接點 114 以及第二接點接達的。

【0045】 圖 11-13 係描繪根據該揭露內容的原理之一第一電極被囊封在一感測器內之其它實施例。圖 11 係描繪一感測器 200，其係包含在實施一摻雜製程之後所界定的一第一電極 202。此實施例的基板配置係類似於圖 1 的感測器 100 的基板配置，除了一摻雜製程係在該第一矽部分 102 的處理

期間被用來界定該第一電極 202 之外。在此實施例中，界定該第一電極 202 只需要單一摻雜，因為該第一矽部分 102 的基板層 108 係經由該第一埋入的氧化層 104 而和該第一電極 202 電性隔離。

【0046】 圖 12 係描繪一感測器 210，其係包含在施加不同的摻雜製程至該第一矽部分 102 以及一第一電極 212 之後所界定的第一電極 212。在此實施例中，一埋入的氧化層並未設置在該第一矽部分 102 中。就此而論，該第一電極 212 以及該第一矽部分 102 之不同的摻雜係提供在該第一電極 212 以及該第一矽部分 102 之間的電性隔離。在至少一實施例中，該第一矽部分 102 是 P+摻雜的，儘管若需要的話，其它的摻雜也可被利用。該第一電極 212 是該第一矽部分 102 的一 N+區域。

【0047】 圖 13 係描繪一感測器 220，其係包含藉由實施一堆疊的摻雜製程所界定的一第一電極 222。此實施例的基板配置係類似於圖 12 的基板配置，除了該第一矽部分 102 是 P 型摻雜的，該第一矽部分 102 的一第一區域 224 是 N-摻雜的，並且該第一矽部分 102 的一界定該第一電極 222 的第二區域是 P+摻雜的之外。此基板配置之堆疊的摻雜係提供在該第一電極 222 以及該第一矽部分 102 之間的電性隔離。

【0048】 儘管該揭露內容已經在圖式及先前的說明中詳細地描繪及敘述，但同樣的內容在文字上應該被視為舉例而非限制的。所了解的是，只有該些較佳實施例已經被提出，並且所有落在該揭露內容的精神內的改變、修改及進一步的應用都是欲受到保護的。

#### 【符號說明】

【0049】

- 100 感測器裝置
- 102 第一矽部分
- 103 第二矽部分
- 104 第一埋入的氧化層
- 106 矽層
- 108 基板層
- 110 第一氧化層
- 112 第一電極
- 114 第一接點
- 116 頂端側
- 118 第一層
- 119 第二電極
- 120 第三電極
- 122 第二接點
- 124 第三接點
- 126 第四接點
- 128 第一部分
- 129 第二部分
- 130 第二氧化層
- 132 第一溝槽
- 134 第二溝槽
- 136 第一磊晶部分

- 138 第三溝槽
- 140 第二磊晶部分
- 142 通氣孔
- 144 第三磊晶部分
- 146 第四溝槽
- 148 金屬層
- 149 金屬接點
- 150 製程
- 152~182 方塊
- 190 第一的第一電極溝槽
- 192 第二的第一電極溝槽
- 194 第二層
- 200 感測器
- 202 第一電極
- 210 感測器
- 212 第一電極
- 220 感測器
- 222 第一電極
- 224 第一區域

## 申請專利範圍

1.一種形成一 MEMS 裝置之方法，其係包括：

在一第一晶圓的一矽部分中界定一第一電極；

放置一第二晶圓於該第一晶圓的一上表面上；

在該第二晶圓的一第一層中形成一第二電極，該第一層係位在該第一晶圓的該上表面之上；

在該第二晶圓的一第二層中形成一第三電極，該第二層係位在該第一層的一上表面之上；

在該第二層之上形成透過該第二層以及該第一層和該第一電極電性連通的一第一接點；

在該第二層之上形成透過該第二層和該第二電極電性連通的一第二接點；以及

在該第二層之上界定和該第三電極電性連通的一第三接點。

2.如申請專利範圍第 1 項之方法，其中該第一層係設置在一第一絕緣體上矽(SOI)晶圓上，該方法進一步包括：

在該第一電極之上設置一第一氧化層的一第一部分；

在該第一層之上設置該第一氧化層的一第二部分；以及

在該第一氧化層之個別的第一及第二部分連接該第一晶圓以及該第二晶圓，以電性隔離該第一電極以及該第二電極。

3.如申請專利範圍第 1 項之方法，其中該第一電極係被界定在一第二 SOI 晶圓的一矽層中，該方法進一步包括：

利用一第一摻雜物類型來摻雜該矽部分的一第一區域以形成一第一摻

雜的區域，該第一摻雜的區域係界定該第一電極。

4.如申請專利範圍第1項之方法，其中該第一電極係被界定在一矽晶圓的一矽層中，該矽晶圓並非一SOI晶圓，該方法進一步包括：

利用一第一摻雜物類型來摻雜該矽層的一第一區域以形成一第一摻雜的區域；以及

利用一第二摻雜物類型來摻雜該矽層的一第二區域以形成一第二摻雜的區域，其中該第一摻雜的區域是一N<sup>+</sup>型摻雜的區域、該第二摻雜的區域是一P<sup>+</sup>型摻雜的區域並且該第一摻雜的區域以及該第二摻雜的區域界定該第一電極。

5.如申請專利範圍第1項之方法，其中該第一電極係被界定在一矽晶圓的一矽層中，該矽晶圓並非一SOI晶圓，該方法進一步包括：

利用一第一摻雜物類型來摻雜該矽層的一第一區域以形成一第一摻雜的區域；

利用一第二摻雜物類型來摻雜該矽層的一第二區域以形成一第二摻雜的區域；以及

利用一第三摻雜物類型來摻雜該矽層的一第三區域以形成一第三摻雜的區域，該第三摻雜的區域係設置在該第一摻雜的區域以及該第二摻雜的區域之間，該第一摻雜的區域是一P<sup>+</sup>型摻雜的區域，該第二摻雜的區域是一P型摻雜的區域，並且該第三摻雜的區域是一N-井型之摻雜的區域，其中該第一摻雜的區域以及該第三摻雜的區域界定該第一電極。

6.如申請專利範圍第1項之方法，其中該第一晶圓係包含一埋入的氧化層，該方法進一步包括：

在該第一電極的一上表面上設置一第一氧化層；

在該第一層內形成一功能裝置；

在該第一層的一上表面上設置一第二氧化層；

圖案化該第一氧化層以及該第二氧化層的一第一部分以形成該第一接點的一第一部分；

圖案化該第一氧化層以及該第二氧化層的一第二部分以及該埋入的氧化層的一部分以形成一第四接點的一第一部分，該第四接點係和位在該埋入的氧化層之下的一基板層電性連通；

在該第一層以及該第一氧化層中蝕刻第一溝槽；以及

利用一介電材料來填充被蝕刻的該些第一溝槽，以電性隔離在該第一層內的該第一接點的該第一部分以及該第四接點的該第一部分。

7.如申請專利範圍第6項之方法，其進一步包括：

在該第一層中且在該第一接點的該第一部分之內以及在該第四接點的該第一部分之內蝕刻第二溝槽；

在該第二氧化層上以及在該第二溝槽之內形成該第二層的一第一磊晶部分；

穿過該第二層的該第一磊晶部分來蝕刻第三溝槽，以形成該第一接點的一第二部分、該第四接點的一第二部分以及該第二接點的一第一部分；  
以及

利用該介電材料以填充被蝕刻的該些第三溝槽，以電性隔離在該第二層內之該第一接點的該第二部分、該第四接點的該第二部分以及該第二接點的該第一部分。

8.如申請專利範圍第7項之方法，其進一步包括：

在該第一磊晶部分上形成該第二層的一第二磊晶部分；

透過形成在該第二磊晶部分以及該第一磊晶部分中的通氣孔來釋放該功能裝置；以及

在該第二磊晶部分上形成該第二層的一第三磊晶部分。

9.如申請專利範圍第8項之方法，其進一步包括：

在該第三磊晶部分以及該第二磊晶部分中蝕刻第四溝槽，並且終止在被蝕刻且經填充的該些第三溝槽中所選擇的一者，被蝕刻的該些第四溝槽係形成該第一接點的一第三部分、該第四接點的一第三部分、該第二接點的一第二部分以及該第三接點的一第一部分；以及

利用該介電材料來填充被蝕刻的該些第四溝槽，以電性隔離在該第二層內之該第一接點的該第三部分、該第四接點的該第三部分、該第二接點的該第二部分以及該第三接點的該第一部分。

10.如申請專利範圍第9項之方法，其進一步包括：

在該第二層的該第三磊晶部分上形成一被動層；

圖案化該被動層的部分，以露出對應於該第一接點的該第三部分、該第四接點的該第三部分、該第二接點的該第二部分以及該第三接點的該第一部分之該第三磊晶部分的部分；

在圖案化的該被動層上形成一金屬層；以及

圖案化該金屬層以電性隔離在該第二層之上的該第一接點、該第二接點、該第三接點以及該第四接點。