

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95130224

※申請日期： 95.8.17

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 31/107 (2006.01)

崩潰光二極體

AVALANCHE PHOTODIODE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司

mitsubishi electric corporation

代表人：(中文/英文) 下村節宏 / SHIMOMURA, SETSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目 7 番 3 號

7-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo, JAPAN

國 籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 柳生榮治(柳生榮治) / YAGYU, EIJI

2. 石村榮太郎(石村榮太郎) / ISHIMURA, EITARO

3. 中路雅晴 / NAKAJI, MASA HARU

國 籍：(中文/英文)

1. 至 3. 日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ V 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ V 有主張專利法第二十七條第一項國際優先權：

1. 日本國 2005 年 09 月 12 日 特願 2005-263470（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關崩潰光二極體(avalanche photodiode)，尤其是有關用以提高生產力之技術。

【先前技術】

包含上述崩潰光二極體，已供實用之二極體構造，係屬於一種將 pn 導電型中之一方的導電型作為選擇性區域而形成具有長期可靠性之平面(planar)型構造。尤其，在光通訊等所使用之在 InP 已使用經晶格吻合(Lattice Matching)的化合物半導體之二極體中，作為上述選擇性區域，於導電性較低的 InP 中使用將 Zn 進行熱擴散之 p 型導電區域以作為 p 導電型雜質。並且，在崩潰光二極體中，為了防止電場朝上述 p 型導電區域的周邊部集中而引起之稱為邊緣崩潰(edge break-down)之局部性電壓降，復在外周部設置稱為防護圈(guard ring)之 p 型導電區域。此 p 型導電區域係藉由將 Be 作離子植入(例如專利文獻 1)，或將 Zn 進行熱擴散而設置(例如專利文獻 2)。

此外，在專利文獻 3 係揭示有一種崩潰二極體，為於 InP 基板上，作為半導體至少依序積層(i 型)AlInAs 崩潰倍增層、GaInAs 光吸收層、以及 InP 窗層，並在前述 InP 窗層中形成有 p 型導電區域之崩潰光二極體。藉由將 AlInAs 崩潰倍增層配置於比 GaInAs 光吸收層更下層，可減弱 InP 窗層之電場強度，故不用特地製作防護圈，即可簡便地達成於低暗電流具有高可靠性的崩潰光二極體。再

者，於專利文獻 3 中，p 型導電區域係利用對 Zn 施行熱擴散而設置。

[專利文獻 1]日本專利特開昭 58-48478 號公報(第 2 圖)

[專利文獻 2]美國專利第 4857982 號說明書(第 2 圖)

[專利文獻 3]日本專利特開 2004-200302 號公報(第 1 圖)

【發明內容】

(發明所欲解決之課題)

習知的崩潰光二極體，因係如以上方式所構成，故 Zn 的擴散深度決定 pin 二極體構造的 i 層厚度，並且，亦有在崩潰光二極體中決定倍增層厚度的情形。因此，為了得到所欲之頻率特性、電特性及電容等元件特性，必須進行 Zn 擴散深度之精密的控制。然而，難以正確地、重現性佳地、且在晶圓面內無參差不一地控制雜質的熱擴散深度。因此，有良率變低且生產力降低之問題。

本發明係為了解決上述問題而研創者，目的在提供可提高生產力之崩潰光二極體。

(解決課題之手段)

本發明之崩潰光二極體係在 InP 基板上，至少將光吸收層、崩潰倍增層、以及半導體窗層加以積層作為半導體層，且在半導體窗層中形成有擴散 Zn 之導電區域的崩潰光二極體，其特徵為：半導體窗層係包含由第 3 族元素及第 5 族元素所構成而以 In 及 As 為主成分之第 3 族/第 5 族半

導體層。

(發明之功效)

本發明之崩潰光二極體，係在 InP 基板上至少將光吸收層、崩潰倍增層、以及半導體窗層加以積層作為半導體層，並在半導體窗層中形成有擴散 Zn 的導電區域之崩潰光二極體，其特徵為：半導體窗層係包含由第 3 族元素及第 5 族元素所構成且以 In 及 As 為主成分之第 3 族/第 5 族半導體層，故相較於使 Zn 擴散到 InP 之崩潰光二極體，可減慢擴散速度。因此，可正確、重現性佳且在晶圓面內不會參差不一地控制 Zn 擴散深度。又，由於可加大處理時間的容限，故不易受到擴散裝置之時間性特性變化與擴散時間的影響而可穩定地(robust)控制。因此，可達成重現性及良率佳且製作容易而生產力高的崩潰光二極體。

【實施方式】

本發明之崩潰光二極體之特徵係著眼於 Zn 在 InP 中擴散較快而在 AlInAs 等中擴散較慢，故使用 AlInAs 等取代 InP(或添加於 InP)來作為窗層的材料。以下，就各實施形態加以詳細說明。再者，以下係就基板、光吸收層、崩潰倍增層、窗層等為 n 型時加以說明，但上述係不限 n 型，亦可為 p 型，而且亦可為通常稱為 i 型之載子(carrier)濃度較低者。

< 第 1 實施形態 >

第 1 圖係表示第 1 實施形態之崩潰光二極體的概略構造之剖視圖。在半導體基板(InP 基板)上製作各半導體

層，係可於 n 型 InP 基板 1 上，使用金屬有機化學氣相沉積法(MO-CVD; Metal-Organic Chemical Vapor Deposition)或分子束磊晶成長法(MBE; Molecular Beam Epitaxy)等予以達成。在本實施形態中係依以下的步驟順序製成。

在 n 型 InP 基板 1 上，依序使載子濃度 1 至 $5 \times 10^{18} \text{cm}^{-3}$ 的 n 型 InP 緩衝層 2 成長到厚度 0.1 至 $1 \mu\text{m}$ 、使載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 的 n 型 GaInAs 光吸收層 3 成長到厚度 1 至 $3 \mu\text{m}$ 、使依序加大帶隙(Band gap)之載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 的 n 型 GaInAsP 遷移層 4 成長到厚度 0.1 至 $0.5 \mu\text{m}$ 、使載子濃度 0.1 至 $1 \times 10^{18} \text{cm}^{-3}$ 的 n 型 InP 電場調節層 5 成長到厚度 0.01 至 $0.1 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 InP 崩潰倍增層 6 成長到厚度 0.2 至 $0.8 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 AlInAs 窗層 7 成長到厚度 0.5 至 $2.0 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{15} \text{cm}^{-3}$ 之 n 型 GaInAs 接觸層(在之後的步驟成為 p 型 GaInAs 接觸層 8)成長到厚度 0.1 至 $0.5 \mu\text{m}$ 。

接著，在直徑 20 至 $100 \mu\text{m}$ 的受光區域(在第 1 圖中，與後述之 p 型導電區域 10 一致)的外周上，於寬度 5 至 $20 \mu\text{m}$ 之環狀區域進行離子植入 Be，並藉由熱處理使其活性化成 p 導電型而形成 p 型周邊區域 9。p 型周邊區域 9 係形成傾斜型接合且具有用以防止邊緣崩潰之防護圈的功能。

並且，在前述受光區域，將挖通圓形之 SiN_x 膜(未圖示)作為遮罩(mask)，且將 Zn 選擇性地進行熱擴散到 n 型

InP 崩潰倍增層 6，並在未覆蓋有遮罩之圓形部形成 P 型導電區域 10。Zn 之熱擴散係可藉由使用有機 Zn 或金屬 Zn 等作為擴散源之氣相擴散法，或形成 ZnO 膜且在氮氣體環境中等以高溫進行擴散預定時間之固相擴散法等來進行。以此 Zn 的熱擴散而將上述 n 型 GaInAs 接觸層作為 p 型，藉此形成 p 型 GaInAs 接觸層 8。

接著 p 型 GaInAs 接觸層 8，在 p 型導電區域 10 上以殘留成寬度 5 至 10 μm 之環狀的方式將中央部進行蝕刻而去除。復利用蒸鍍形成 SiNx 表面保護膜兼反射防止膜 11，並去除位於 p 型 GaInAs 接觸層 8 上部的 SiNx 表面保護膜兼反射防止膜 11，且在 p 型 GaInAs 接觸層 8 之上利用 AuZn/Au 形成 p 電極 12。並在 n 型 InP 基板 1 中，對與積層有 n 型 InP 緩衝層 2 之面相反的面予以研磨，並利用 AuGe/Ni/Au 形成 n 電極 13。並且將晶圓狀的 n 型 InP 基板 1 予以切開分離以作成 300 μm 見方左右之元件。透過在此元件施行預定的處理，來形成崩潰光二極體。又，在本實施形態之第 1 圖的崩潰光二極體中，p 型導電區域 10 係以不僅收納於 n 型 AlInAs 窗層 7 中而且到達 n 型 InP 崩潰倍增層 6 之方式穿過。

第 2 圖係表示對各化合物半導體(InP、GaInAs、及 AlInAs)的退火(annealing)溫度 490°C 之 Zn 的熱擴散時間與擴散深度之關係圖。擴散深度雖因擴散雜質的種類與擴散之半導體的種類而不同，但大致與擴散時間的平方根呈正比。為 Zn 時，在 InP 中擴散較快，而在 AlInAs 或 GaInAs

中擴散較慢。AlInAs 或 GaInAs 之擴散深度約為 InP 之擴散深度的 $2/5$ 倍，而 AlInAsP 或 GaInAsP 之擴散深度係取上述之間的中間值。因此，擴散深度係針對裝置之隨著時間的變動或控制常數，擴散到 InP 時受到的影響最大，且變動(fluctuation)較大。如上所述，Zn 的擴散深度雖決定 pin 二極體構造的 i 層厚度或倍增層厚度，但當擴散到 InP 時，製作容限(margin)變小並且於晶圓內之特性不均勻，故製作之控制性或重現性變為最低。又，由於擴散速度高度依賴溫度，故於熱處理時，前述化合物半導體上昇至退火溫度之期間幾乎不擴散。因此，當擴散時間較短時，由於擴散深度變得極淺，故很容易受到上述變動的影響。

如此，在本實施形態之崩潰光二極體中，由於使 Zn 熱擴散到 AlInAs(n 型 AlInAs 窗層 7)，故相較於使 Zn 熱擴散到 InP 之習知的崩潰光二極體，可使擴散速度變慢。因此，即使在退火溫度較低的擴散初期時點等中，擴散速穩安定且不易受到變動的影響。因此，可正確地、重現性佳地、且在晶圓面內無不參差不一地控制 Zn 擴散深度。此外，因可加大處理時間的容限，故不易受到擴散裝置之時間性特性變化或擴散時間的影響，而可進行穩定地控制。因此，可達成重現性及良率佳且製作容易、生產力高的崩潰光二極體。又，縱使擴散深度淺亦可精密地控制，故可使窗層變薄，且可縮短結晶成長所需時間。

再者，在上述第 1 圖的構成中，在受光區域(p 型導電區域 10)之外周上，雖透過 Be 的離子植入來形成 P 型周邊

區域 9，但並不限於此，例如如第 3 圖所示，亦可藉由與受光區域的外周分離，對 Zn 進行熱擴散來形成 p 型周邊區域 9。p 型周邊區域 9 係藉由對 Zn 進行熱擴散予以形成，而與 p 型導電區域 10 相同，可精密地控制深度。又，p 型周邊區域 9 亦可與受光區域的外周分離，而比 p 型導電區域 10 更淺地予以形成。當較淺形成 p 型周邊區域 9 時，雖然變得容易受變動的影響，但如上所述，透過對 Zn 進行熱擴散到 AlInAs，可使變動變小。在第 3 圖中，p 型導電區域 10 的中央部較深，端部係形成為朝外側的 p 型周邊區域 9 突出之形狀，結果，緩和在較深的 p 型導電區域 10 之周邊部的電場與電流的集中，且降低表面電場強度，而謀求倍增運作的穩定化與長期可靠性的提升。並且，由於可加大表面側的尺寸(size)且使內部側的尺寸變小，故可使元件電容變小。

此外，在上述中係就使用 AlInAs 作為窗層的材料之情況加以說明，但不限於此，只要為帶隙較大且透過被檢測光之材料且比 InP 擴散速度慢之材料即可，例如，亦可為 GaInAs 或 AlGaInAs 或 GaInAsP 或 AlGaInAsP 等 3 元系以上之材料。亦即，可包含由第 3 族元素及第 5 族元素所構成並以 In 及 As 為主成分之半導體層（第 3 族/第 5 族半導體層）。藉由如此構成，使窗層一邊晶格吻合於 n 型 InP 基板 1 而可使 Zn 的擴散速度比 InP 更慢。

又，在上述中，係為了從 n 型 InP 基板 1 的相反側入射光而呈現為窗層，但當由基板側或側面入射光時，則係

不呈現為窗層而呈現為覆蓋層(第 2 實施形態以後亦相同)。

<第 2 實施形態>

於第 1 實施形態中，藉由將窗層，僅由比起 InP，Zn 更慢擴散之 AlInAs 予以構成，而可進行擴散深度之精密的控制。但是，僅以 AlInAs 構成窗層時，會有製作時間變得太長的情形。此時，窗層並不一定須僅由 AlInAs 構成，或者，亦可於 AlInAs 以外在一部分包含 InP 來構成。

第 4 圖係表示第 2 實施形態之崩潰光二極體的概略構造之剖視圖。在半導體基板(InP 基板)上製作各半導體層，係可在 n 型 InP 基板 1 上，使用金屬有機物化學氣相沉積(MO-CVD)或分子束磊晶成長法(MBE)等來達成。在本實施形態中依以下步驟順序予以製作。

在 n 型 InP 基板 1 上，依序使載子濃度 1 至 $5 \times 10^{18} \text{cm}^{-3}$ 之 n 型 InP 緩衝層 2 成長到厚度 0.1 至 $1 \mu\text{m}$ 、使載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 之 n 型 GaInAs 光吸收層 3 成長到厚度 1 至 $3 \mu\text{m}$ 、使依序加大帶隙之載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 的 n 型 GaInAsP 遷移層 4 成長到厚度 0.1 至 $0.5 \mu\text{m}$ 、使載子濃度 0.1 至 $1 \times 10^{18} \text{cm}^{-3}$ 的 n 型 InP 電場調節層 5 成長到厚度 0.01 至 $0.1 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 InP 崩潰倍增層 6 成長到厚度 0.2 至 $1.2 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 AlInAs 窗層 7 成長到厚度 0.1 至 $0.5 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 InP 窗層 7a 成長到厚度 0.1 至 $2.0 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{15} \text{cm}^{-3}$

的 n 型 GaInAs 接觸層 (在之後的步驟成為 p 型 GaInAs 接觸層 8) 成長到厚度 0.1 至 0.5 μm 。

接著，藉由與直徑 20 至 100 μm 的受光區域之外周分離，對 Zn 進行熱擴散到寬度 3 至 10 μm 的環狀區域而形成 p 型周邊區域 9。p 型周邊區域 9 係與第 1 實施形態相同，形成傾斜型接合並具有作為用以防止邊緣崩潰之防護圈的功能。

此外，在前述受光區域，將挖通圓形之 SiN_x 膜 (未圖示) 作為遮罩 (mask)，且將 Zn 選擇性地進行熱擴散到 n 型 InP 崩潰倍增層 6，並在未覆蓋有遮罩之圓形部形成 P 型導電區域 10。此 p 型導電區域 10 的端部，係與第 3 圖相同，朝外側的 p 型周邊區域 9 突出。Zn 之熱擴散，與第 1 實施形態相同，係可藉由使用有機 Zn 或金屬 Zn 等作為擴散源之氣相擴散法，或以形成 ZnO 膜且在氮氣體環境中等以高溫進行擴散預定的時間之固相擴散法等來進行。此外，與第 1 實施形態相同，以此 Zn 的熱擴散將上述 n 型 GaInAs 接觸層作為 p 型，藉此形成 p 型 GaInAs 接觸層 8。

接著 p 型 GaInAs 接觸層 8，在 p 型導電區域 10 上以殘留成寬度 5 至 10 μm 之環狀的方式將中央部進行蝕刻而去除。復利用蒸鍍形成 SiN_x 表面保護膜兼反射防止膜 11，並去除位於 p 型 GaInAs 接觸層 8 上部之 SiN_x 表面保護膜兼反射防止膜 11，而在 p 型 GaInAs 接觸層 8 之上利用 AuZn/Au 形成 p 電極 12。並且在 n 型 InP 基板 1 中，對與積層有 n 型 InP 緩衝層 2 之面相反的面予以研磨，且利用

AuGe/Ni/Au 形成 n 電極 13。並將晶圓狀的 n 型 InP 基板 1 予以切開分離以作成 $300\ \mu\text{m}$ 見方左右之元件。透過在此元件施行預定的處理，來形成崩潰光二極體。又，本實施形態之第 4 圖的崩潰光二極體中，與第 1 實施形態之第 1 圖及第 4 圖的崩潰光二極體相同，p 型導電區域 10 係以不僅容納於 n 型 AlInAs 窗層 7 中且到達 n 型 InP 崩潰倍增層 6 之方式穿過。

第 4 圖之崩潰光二極體係在第 1 實施形態之第 3 圖的崩潰光二極體中，由使 n 型 AlInAs 窗層 7(及 n 型 InP 崩潰倍增層 6)變薄並於其上追加 n 型 InP 窗層 7a 的構成所構成。使窗層不僅由 AlInAs 且部分包含擴散速度較快的 InP 來構成，藉此可縮短製作時間。亦即，透過任意調整窗層所含有之 AlInAs 的比例與 InP 的比例，可一邊精密地控制擴散深度且一邊縮短製作時間。

如此，本實施形態之崩潰光二極體係使窗層並非僅由 AlInAs 構成，且部分包含 InP 來構成。因此，除了第 1 實施形態的效果之外，並達成可縮短製作時間之效果。

<第 3 實施形態>

在第 1 實施形態至第 2 實施形態中，如第 1 圖、第 3 圖、第 4 圖所示，為防止邊緣崩潰而設置有 p 型周邊區域 9。但是，如專利文獻 3 之揭示，藉由將崩潰倍增層配置在比光吸收層更下層而可減弱窗層之電場強度，故即使不設置具有防護圈之功能的 p 型周邊區域 9，亦可防止邊緣崩潰。

第 5 圖係表示第 3 實施形態之崩潰光二極體的概略構造之剖視圖。在半導體基板(InP 基板)上製作各半導體層，係可於 n 型 InP 基板 1 上，使用金屬有機物化學氣相沉積(MO-CVD)或分子束磊晶成長法(MBE)等來達成。在本實施形態中依以下步驟順序予以製作。

在 n 型 InP 基板 1 上，依序使載子濃度 1 至 $5 \times 10^{18} \text{cm}^{-3}$ 的 n 型 InP 緩衝層 2 成長到厚度 0.1 至 $1 \mu\text{m}$ 、使載子濃度 0.1 至 $3 \times 10^{16} \text{cm}^{-3}$ 的 n 型 AlInAs 崩潰倍增層 6a 成長到厚度 0.1 至 $0.5 \mu\text{m}$ 、使載子濃度 0.1 至 $1 \times 10^{18} \text{cm}^{-3}$ 之 p 型 InP 電場調節層 5a 成長到厚度 0.01 至 $0.1 \mu\text{m}$ 、使載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 的 n 型 GaInAs 光吸收層 3 成長到厚度 1 至 $3 \mu\text{m}$ ，使依序加大帶隙之載子濃度 0.1 至 $3 \times 10^{15} \text{cm}^{-3}$ 的 n 型 AlGaInAs 遷移層 4a 成長到厚度 0.1 至 $0.5 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{16} \text{cm}^{-3}$ 的 n 型 AlInAs 窗層 7 成長到厚度 0.5 至 $2.0 \mu\text{m}$ 、使載子濃度 0.01 至 $1 \times 10^{15} \text{cm}^{-3}$ 的 n 型 GaInAs 接觸層(在之後的步驟成為 p 型 GaInAs 接觸層 8)成長到厚度 0.1 至 $0.5 \mu\text{m}$ 。

接著，在直徑 20 至 $100 \mu\text{m}$ 之受光區域，將挖通圓形之 SiNx 膜(未圖示)作為遮罩(mask)，且將 Zn 選擇性地進行熱擴散到 n 型 AlInAs 窗層 7(不到 n 型 AlGaInAs 遷移層 4a)，並在未覆蓋有遮罩之圓形部形成 P 型導電區域 10。Zn 之熱擴散，與第 1 實施形態及第 2 實施形態相同，係可藉由使用有機 Zn 或金屬 Zn 等作為擴散源之氣相擴散法，或以形成 ZnO 膜且在氮氣體環境中等以高溫進行擴散預定

時間之固相擴散法等來進行。此外，與第 1 實施形態及第 2 實施形態相同，以此 Zn 的熱擴散將上述 n 型 GaInAs 接觸層作為 p 型，藉此形成 p 型 GaInAs 接觸層 8。

接著 p 型 GaInAs 接觸層 8，在 p 型導電區域 10 上以殘留成寬度 5 至 10 μm 之環狀的方式將中央部進行蝕刻而去除。復利用蒸鍍形成 SiNx 表面保護膜兼反射防止膜 11，並去除位於 p 型 GaInAs 接觸層 8 上部之 SiNx 表面保護膜兼反射防止膜 11，且在 p 型 GaInAs 接觸層 8 之上利用 Ti/Au 形成 p 電極 12。並在 n 型 InP 基板 1 中，對與積層有 n 型 InP 緩衝層 2 之面相反的面予以研磨，且利用 AuGe/Ni/Au 形成 n 電極 13。並且將晶圓狀的 n 型 InP 基板 1 予以切開分離以作成 300 μm 見方左右之元件。透過在此元件施行預定的處理，來形成崩潰光二極體。

第 5 圖之崩潰光二極體，係在第 1 實施形態之第 1 圖的崩潰光二極體中，取代配置在 n 型 GaInAs 光吸收層 3 上之 n 型 GaInAsP 遷移層 4、n 型 InP 電場調節層 5、以及 n 型 InP 崩潰倍增層 6，而分別在 n 型 GaInAs 光吸收層 3 上設置 n 型 AlGaInAs 遷移層 4a，並在 n 型 GaInAs 光吸收層 3 下設置 p 型 InP 電場調節層 5a 及 n 型 AlInAs 崩潰倍增層 6a，同時省略 p 型周邊區域 9，並且，將 p 型導電區域 10 以不穿過 n 型 AlGaInAs 遷移層 4a 而容納於 n 型 AlInAs 窗層 7 中之形態予以形成之構成所構成。亦即，藉由將 n 型 AlInAs 崩潰倍增層 6a 配置在比 n 型 GaInAs 光吸收層 3 更下層，與專利文獻 3 相同，可減弱 n 型 AlInAs

窗層 7 之電場強度且省略 p 型周邊區域 9。又，作為介設在 n 型 GaInAs 光吸收層 3 與 n 型 AlInAs 窗層 7 之間的遷移層，藉由使用不包含 P(以 V 族原子而言僅包含 As)之 n 型 AlGaInAs 遷移層 4a 而非包含 P 之 n 型 GaInAsP 遷移層 4，而減低窗層與遷移層的荷電子帶之不連續量且不妨礙電洞的流動。

如此，在本實施形態之崩潰光二極體中，由於將 n 型 AlInAs 崩潰倍增層 6a 配置於比 n 型 GaInAs 光吸收層 3 更下層，故除了第 1 實施形態的效果外，並達成可減弱 n 型 AlInAs 窗層 7 之電場強度的效果。

此外，在上述中，使用第 5 圖，就省略 p 型周邊區域 9 之情況加以說明，與第 1 實施形態至第 2 實施形態相同，亦可形成 p 型周邊區域 9。透過形成 p 型周邊區域 9 可更減弱 n 型 AlInAs 窗層 7 之電場強度，而可更提高崩潰光二極體的長期性的可靠性。

又，在上述中，使用第 5 圖，就窗層為僅由 n 型 AlInAs 窗層 7 所構成的單層構成之情況加以說明，但例如窗層如第 6 圖所示，亦可為雙層構成。第 6 圖係在第 5 圖中，與第 3 圖至第 4 圖相同形成 p 型周邊區域 9 之同時，藉由於 n 型 AlInAs 窗層 7 與 SiNx 表面保護膜兼反射防止膜 11 之間隔著 InP 窗層 7b 將窗層形成為雙層構成。在第 6 圖中，n 型 AlInAs 窗層 7 係亦可形成地比第 5 圖更薄，只要在 $0.1\ \mu\text{m}$ 以上即可(最好是 $0.3\ \mu\text{m}$ 以上，更理想的是 $0.5\ \mu\text{m}$ 以上)。又，窗層係如第 7 圖所示，亦可為三層構成。第 7

圖係在第 6 圖中，藉由在 n 型 AlInAs 窗層 7 與 n 型 AlGaInAs 遷移層 4a 之間隔著 InP 窗層 7c，而使窗層形成為三層構成。除了 n 型 AlInAs 窗層 7 之外，並設置 Inp 窗層 7b、7c，與第 2 實施形態相同，可縮短製作時間。

此外，在上述中，雖就使用不包含 P 之 n 型 AlGaInAs 遷移層 4a 作為遷移層之情況加以說明，但當使用例如包含 P 之 GaInAsP 遷移層作為遷移層的材料時，亦可取代 n 型 AlInAs 窗層 7，而使用包含 P 之窗層。

再者，在上述中，就使用 n 型 InP 基板 1 而從該相反側入射光之表面入射型加以說明，亦可為使用半絕緣性基板將 n 電極 13 電性連接於 n 型緩衝層 2 而由基板側入射光之背面入射型，此外亦可為從側面入射光之波導路型構造。

【圖式簡單說明】

第 1 圖係表示第 1 實施形態之崩潰光二極體的概略構造之剖視圖。

第 2 圖係表示對各化合物半導體之 Zn 的熱擴散時間與擴散深度之關係圖。

第 3 圖係表示第 1 實施形態之崩潰光二極體的概略構造之剖視圖。

第 4 圖係表示第 2 實施形態之崩潰光二極體的概略構造之剖視圖。

第 5 圖係表示第 3 實施形態之崩潰光二極體的概略構造之剖視圖。

第 6 圖係表示第 3 實施形態之崩潰光二極體的概略構造之剖視圖。

造之剖視圖。

第 7 圖係表示第 3 實施形態之崩潰光二極體的概略構造之剖視圖。

【主要元件符號說明】

1	n 型 InP 基板	2	n 型 InP 緩衝層
3	n 型 GaInAs 光吸收層	4	n 型 GaInAsP 遷移層
4a	n 型 AlGaInAs 遷移層	5	n 型 InP 電場調節層
5a	p 型 InP 電場調節層	6	n 型 InP 崩潰倍增層
6a	n 型 AlInAs 崩潰倍增層	7	n 型 AlInAs 窗層
7a	n 型 InP 窗層	7b、7c	InP 窗層
8	p 型 GaInAs 接觸層	9	p 型周邊區域
10	p 型導電區域		
11	SiNx 表面保護膜兼反射防止膜		
12	p 電極	13	n 電極

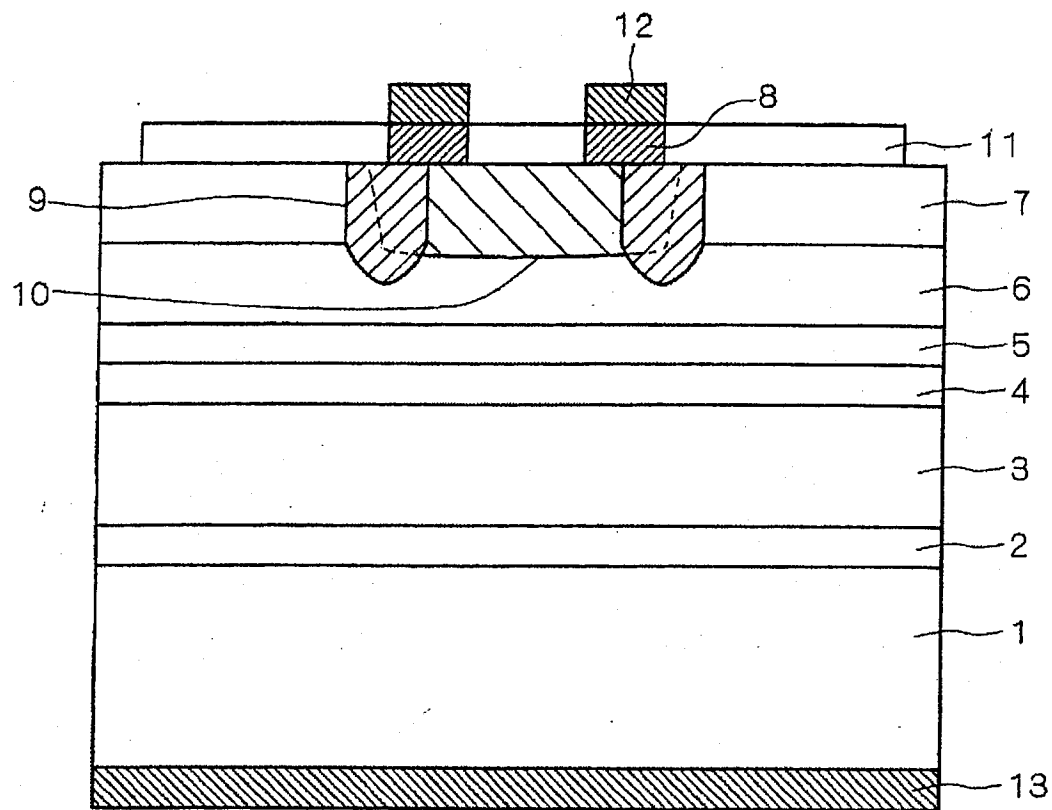
五、中文發明摘要：

本發明係提供可提高生產力之崩潰光二極體。

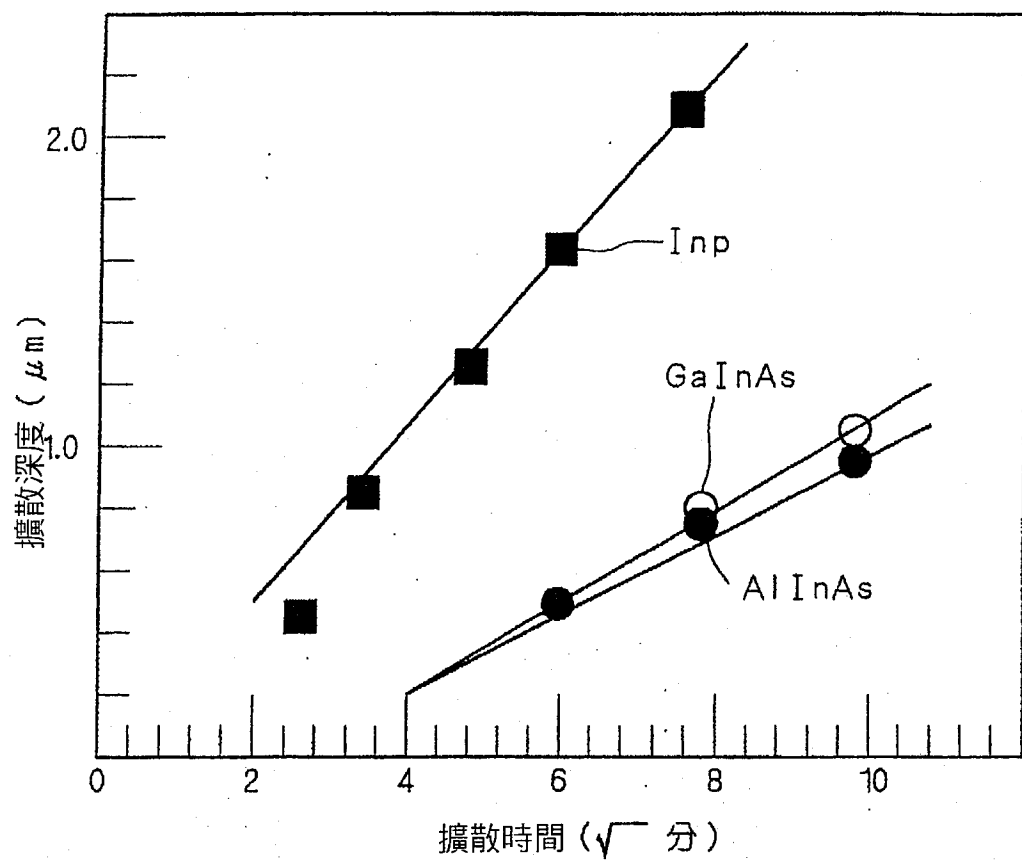
本發明係在 n 型 InP 基板 1 上，將 n 型 InP 緩衝層 2、n 型 GaInAs 光吸收層 3、n 型 GaInAsP 遷移層 4、n 型 InP 電場調節層 5、n 型 InP 崩潰倍增層 6、n 型 AlInAs 窗層 7、p 型 GaInAs 接觸層 8 依照順序予以成長。接著，在沿著受光區域外周之環狀區域將 Be 進行離子植入，並利用熱處理使之活性化而形成傾斜型接合，以作為用以防止邊緣崩潰之 p 型周邊區域 9。並且，在前述受光區域，將 Zn 選擇地進行熱擴散到 n 型 InP 崩潰倍增層 6，而形成 p 型導電區域 10。

六、英文發明摘要：

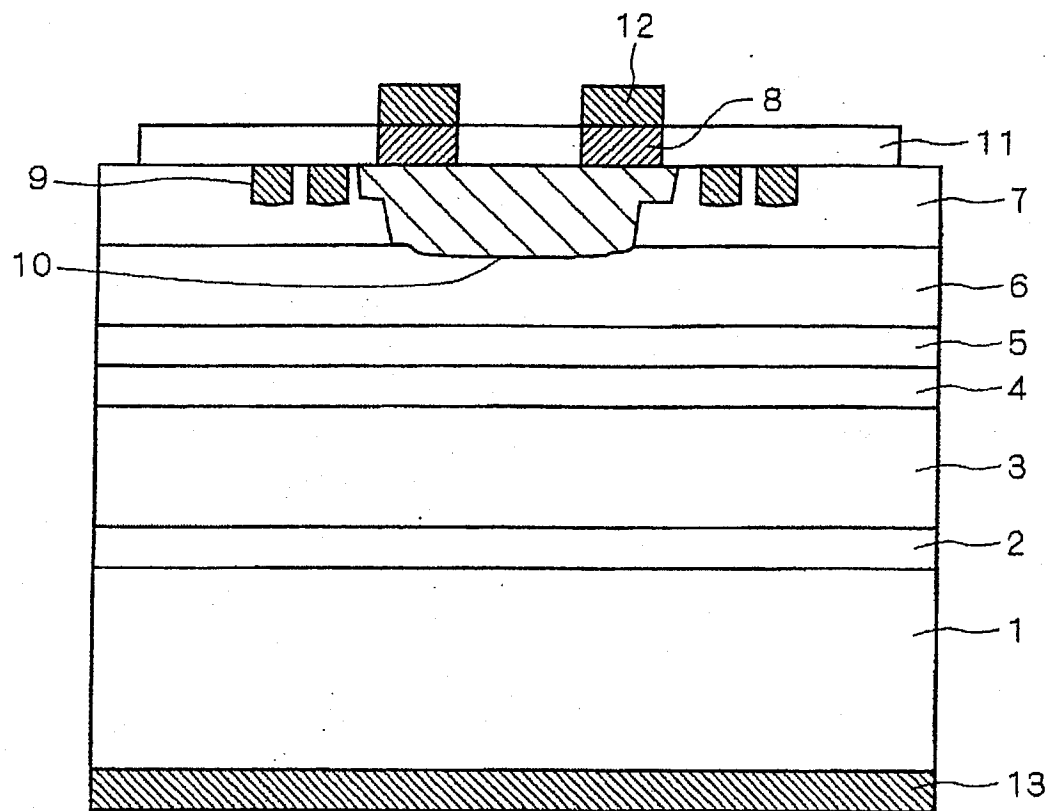
The present invention provides an avalanche photodiode of which the productivity can be improved, and the producing method thereof comprises the steps of growing in sequence a N type InP buffer layer 2, a N type GaInAs light absorption layer 3, a N type GaInAs migration layer 4, a N type electric field adjusting layer 5, a N type InP avalanche doubling layer, a N type AlInAs window layer 7 and a P type GaInAs contact layer 8 on a N type InP substrate 1, then implanting Be ion to the ring region along the outer periphery of light receiving region, activating by heat treatment, making a slant type junction to form a P type periphery region 9 for preventing edge break-down. In addition, Zn is heat diffused in said light receiving region to reach the N type InP avalanche doubling layer 6 so as to form a P type electric conductive region 10.



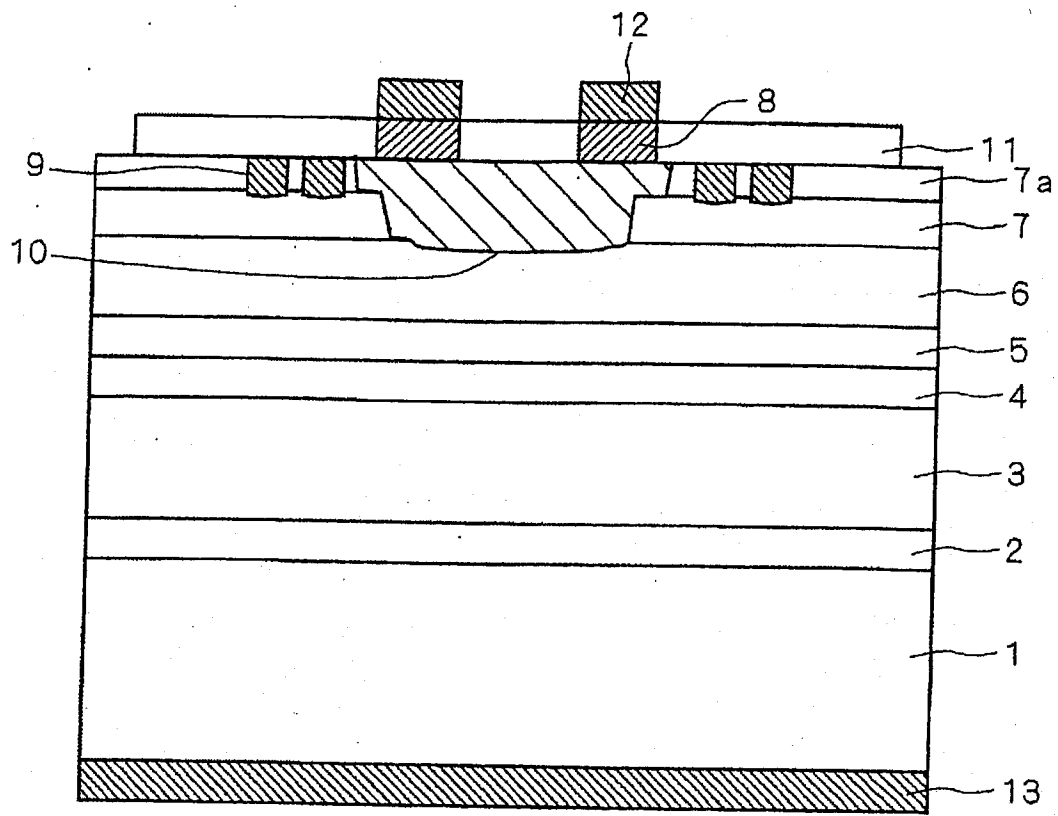
第1圖



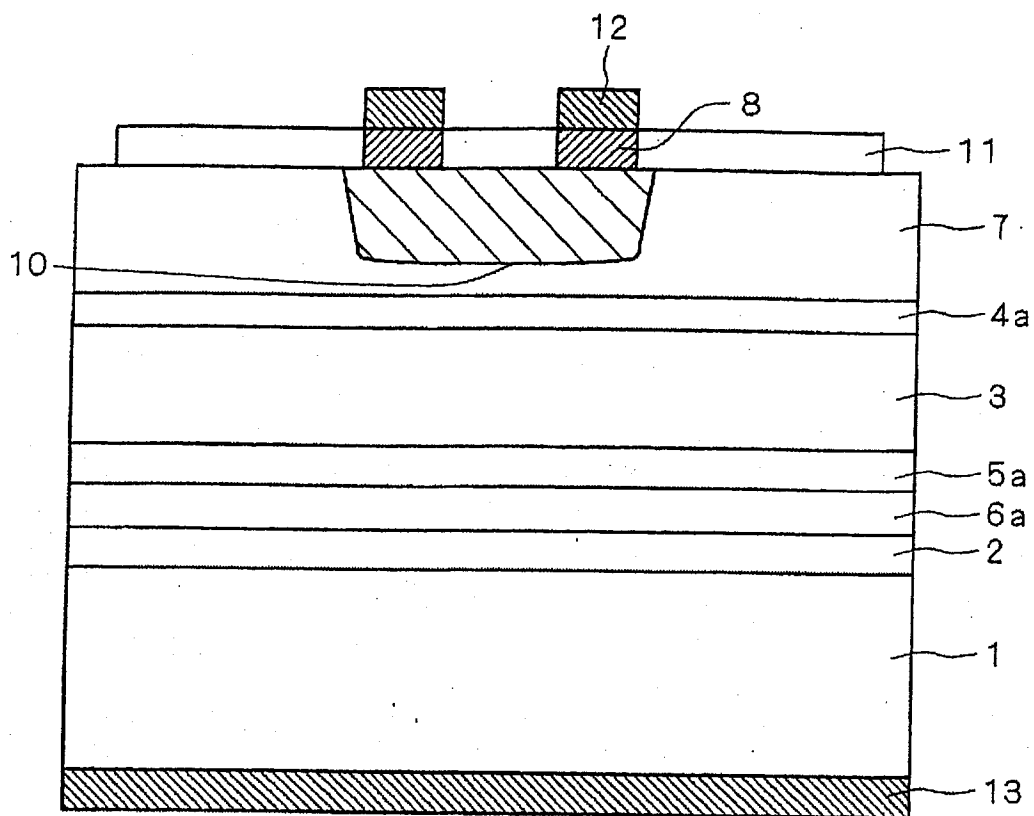
第2圖



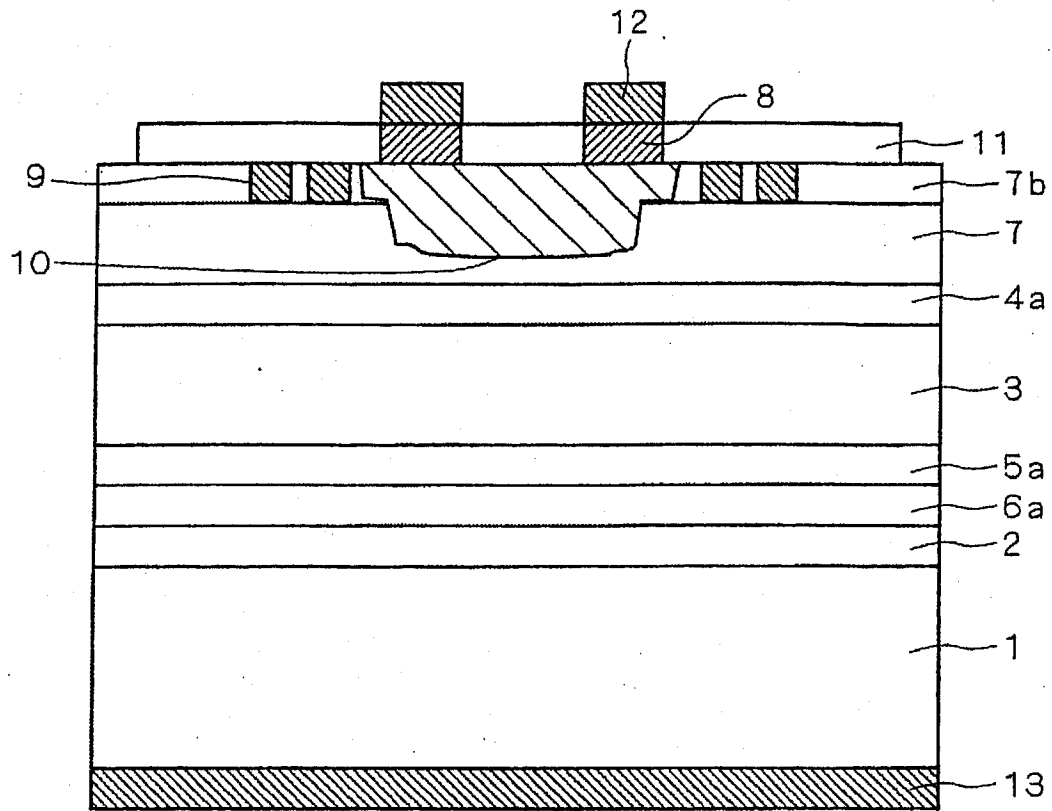
第3圖



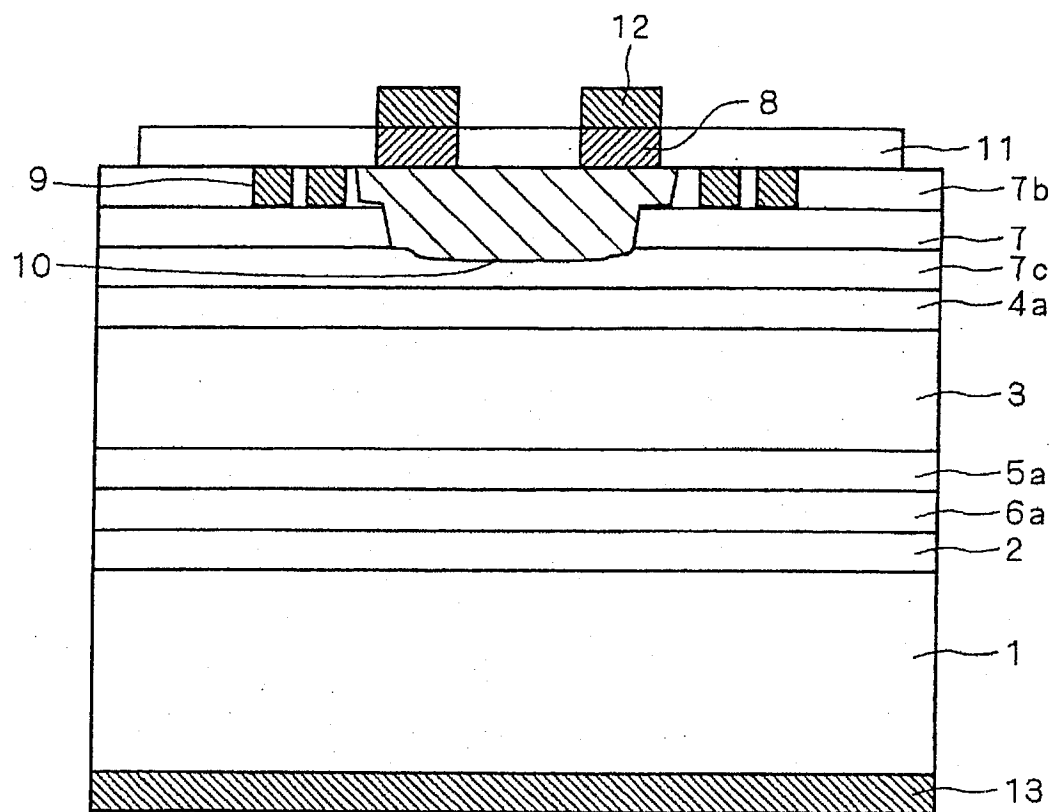
第4圖



第5圖



第6圖



第7圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	n 型 InP 基板	2	n 型 InP 緩衝層
3	n 型 GaInAs 光吸收層	4	n 型 GaInAsP 遷移層
5	n 型 InP 電場調節層	6	n 型 InP 崩潰倍增層
7	n 型 AlInAs 窗層	8	p 型 GaInAs 接觸層
9	p 型周邊區域	10	p 型導電區域
11	SiNx 表面保護膜兼反射防止膜		
12	p 電極	13	n 電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

98 年 3 月 5 日修(更)正本

1. 一種崩潰光二極體，係在 InP 基板上，至少將光吸收層、崩潰倍增層、以及半導體窗層依順序予以積層作為半導體層，且在前述半導體窗層中形成擴散有 Zn 之導電區域的崩潰光二極體，其中，

設置有前述導電區域之前述半導體窗層係具有第一窗層、以及設置在該第一窗層之下層的第二窗層，構成該第二窗層之材料的 Zn 擴散係較前述第一窗層慢。

2. 一種崩潰光二極體，係在 InP 基板上，至少將崩潰倍增層、光吸收層、以及半導體窗層依順序予以積層作為半導體層，且在前述半導體窗層中形成擴散有 Zn 之導電區域的崩潰光二極體，其中，

設置有前述導電區域之前述半導體窗層係具有第一窗層、以及設置在該第一窗層之下層的第二窗層，構成該第二窗層之材料的 Zn 擴散係較前述第一窗層慢。

3. 如申請專利範圍第 1 項或第 2 項之崩潰光二極體，其中，前述第一窗層係由 InP 層構成；前述第二窗層係由第 3 族元素及第 5 族元素所構成且以 In 及 As 為主成分之第 3 族/第 5 族半導體層。

4. 如申請專利範圍第 3 項之崩潰光二極體，其中，前述第 3 族/第 5 族半導體係包含 AlInAs 層、AlGaInAs 層、GaInAsP 層之任一者。

5. 如申請專利範圍第 1 項或第 2 項之崩潰光二極體，其中，在前述半導體窗層中，於前述導電區域的周邊具備

P 型周邊區域；前述 P 型周邊區域係形成為比前述導電區域淺。

6. 如申請專利範圍第 1 項或第 2 項之崩潰光二極體，其中，前述第一窗層中之前述導電區域的剖面形狀的寬度係比前述第二窗層中之前述導電區域的剖面形狀的寬度大。

7. 一種崩潰光二極體，係在 InP 基板上，至少將崩潰倍增層、光吸收層、以及半導體窗層依順序予以積層作為半導體層，且在前述半導體窗層中形成擴散有 Zn 之導電區域的崩潰光二極體，其中，

在前述半導體窗層中，於前述導電區域的周邊具備 P 型周邊區域；

前述 p 型周邊區域係與前述導電區域的外周分離而形成；

前述導電區域的端部係朝前述 P 型周邊區域突出。