



(12)发明专利申请

(10)申请公布号 CN 109609928 A

(43)申请公布日 2019.04.12

(21)申请号 201811075877.1

C23C 16/455(2006.01)

(22)申请日 2015.09.24

C23C 16/52(2006.01)

(30)优先权数据

C23C 16/56(2006.01)

14/494,914 2014.09.24 US

H01L 21/02(2006.01)

(62)分案原申请数据

201510615853.0 2015.09.24

(71)申请人 朗姆研究公司

地址 美国加利福尼亚州

(72)发明人 詹姆斯·S·思姆斯

凯瑟琳·M·凯尔克纳

乔恩·亨利·丹尼斯·M·豪斯曼

(74)专利代理机构 上海胜康律师事务所 31263

代理人 李献忠 张华

(51)Int.Cl.

C23C 16/34(2006.01)

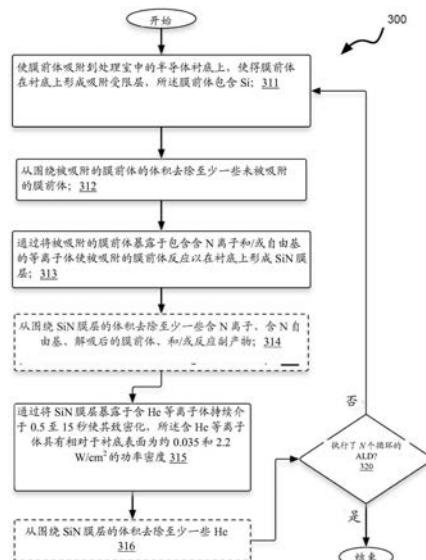
权利要求书2页 说明书26页 附图9页

(54)发明名称

均匀减少氮化硅膜的特征内湿法蚀刻速率的方法和装置

(57)摘要

本文公开了涉及均匀减少氮化硅膜的特征内湿法蚀刻速率的方法和装置,具体涉及用于沉积具有降低的湿法蚀刻速率的SiN膜的方法。该方法可以包括使包含Si的膜前体吸附到在处理室中的半导体衬底上,以形成前体的吸附受限层,然后从围绕被吸附的前体的体积中去除未吸附的前体。被吸附的前体可以随后通过将其暴露于包含含N离子和/或基团的等离子体进行反应,以在衬底上形成SiN膜层,然后可以通过将SiN膜层暴露于He等离子体使SiN膜层致密。然后可以重复前述步骤,以在衬底上形成另一致密的SiN膜层。本文还公开了采用前述技术用于在半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的装置。



1. 一种用于在处理室中的半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的方法,所述方法包括:

(a) 使膜前体吸附到在处理室中的半导体衬底上,使得所述膜前体在所述衬底上形成吸附受限层,所述膜前体包含Si;

(b) 从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体;

(c) 在(b)中去除未吸附的膜前体之后,通过将所吸附的所述膜前体暴露于包含含N离子和/或自由基的等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层;

(e) 通过将所述SiN膜层暴露于包含He的等离子体持续介于0.5和15秒之间使所述SiN膜层致密化,所述包含He的等离子体相对于所述衬底表面的功率密度为介于约0.035和2.2W/cm²之间;以及

(g) 重复(a)、(b)、(c)和(e),以在所述衬底上形成另一致密的SiN膜层。

2. 如权利要求1所述的方法,其进一步包括:

(d) 在(c)中的所述反应之后并在(e)中的所述致密化之前从围绕所述SiN膜层的所述体积去除至少一些含N离子、含N自由基、解吸的膜前体、和/或反应副产物;以及

其中(g)还包括重复(d)。

3. 如权利要求2所述的方法,其进一步包括:

(f) 在(e)中的所述致密化之后从围绕所述SiN膜层的所述体积去除至少一些He;以及
其中(g)还包括重复(f)。

4. 如权利要求1-3中的任一项所述的方法,其中所述膜前体还包括一种或多种卤素。

5. 如权利要求1-3中的任一项所述的方法,其中所述膜前体还包括两种或更多种卤素。

6. 如权利要求1-3中的任一项所述的方法,其中所述膜前体选自:二氯硅烷、六氯二硅烷、四氯硅烷和氨基硅烷。

7. 如权利要求1-3中的任一项所述的方法,其中通过施加RF EM辐射到选自NH₃、N₂、和胺的含N等离子体前体形成在(c)中所吸附的所述膜前体被暴露于其中的包含含N离子和/或自由基的等离子体。

8. 如权利要求7所述的方法,其中所述含N等离子体前体选自:NH₃和叔丁基胺。

9. 如权利要求1-3中的任一项所述的方法,其中在(c)中所吸附的所述膜前体被暴露其中的包含含N离子和/或自由基的所述等离子体具有介于约0.035和2.2W/cm²之间的功率密度,并且其中通过将所吸附的所述膜前体暴露于所述等离子体持续介于约0.1和6秒之间在(c)中使所吸附的所述膜前体反应。

10. 一种用于在半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的装置,所述装置包括:

处理室;

在所述处理室中的衬底支架;

一个或多个气体入口,其用于使气体流入所述处理室;

真空源,其用于从所述处理室去除气体;

等离子体发生器,其用于在所述处理室内产生等离子体;以及

一个或多个控制器,其包括用于操作所述一个或多个气体入口、真空源,和等离子体发生器以沉积SiN膜层在衬底上的机器可读指令,所述一个或多个控制器的所述指令包括用

于下列操作的指令：

(a) 操作所述一个或多个气体入口以使膜前体流入所述处理室中，并使所述膜前体吸附到在所述衬底支架中容纳的半导体衬底上，使得所述膜前体在所述衬底上形成吸附受限层，所述膜前体包含硅；

(b) 操作所述真空源，以从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体；

(c) 在 (b) 中去除未吸附的膜前体之后，操作所述等离子体发生器以产生包含含N离子和/或自由基的等离子体，并通过将所吸附的所述膜前体暴露于所述等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层；

(e) 在 (c) 中使所吸附的所述前体反应之后，操作所述等离子体发生器以产生具有相对于所述衬底表面的介于约0.035和2.2W/cm²之间的功率密度的包含He的等离子体，并通过将所述SiN膜层暴露于所述等离子体持续介于0.5和15秒之间使所述SiN膜层致密化；以及

(g) 重复 (a)、(b)、(c)、和 (e)，以在所述衬底上形成另一致密的SiN膜层。

均匀减少氮化硅膜的特征内湿法蚀刻速率的方法和装置

本申请是申请号为201510615853.0,申请日为2015年9月24日,申请人为朗姆研究公司,发明创造名称为“均匀减少氮化硅膜的特征内湿法蚀刻速率的方法和装置”的发明专利申请的分案申请。

技术领域

[0001] 本发明总体上涉及半导体处理领域,更具体地涉及均匀减少氮化硅膜的特征内湿法蚀刻速率的方法和装置。

背景技术

[0002] 在半导体行业中,随着器件和特征尺寸不断变小,并且随着三维器件结构(例如,英特尔公司的三栅极晶体管架构)在集成电路(IC)设计中变得越来越普遍,沉积薄的共形膜(具有与下伏结构的形状相对应的均匀厚度的材料膜,尽管下伏结构不是平坦的)的能力将继续得到重视。原子层沉积(ALD)是非常适合于沉积共形膜的一种膜形成技术,原因在于以下事实:单个循环ALD仅沉积单一的薄的材料层,其厚度受限于在成膜的化学反应本身之前可吸附到衬底表面上的一种或多种膜前体反应物的量(即,形成吸附受限层)。然后可以使用多个“ALD循环”来制成期望厚度的膜,由于每一层是薄的且是共形的,因此,所得到的膜与下伏的设备结构的形状基本一致。

[0003] 氮化硅(SiN)膜是多种电介质膜中的重要一种,其可经由ALD在现代晶体管设计的制造中形成。由于SiN膜在这些架构中的作用,因此通常对于SiN膜具有低的湿法蚀刻速率是合乎期望的。然而,在典型的热预算限制之内经由ALD工艺形成这样的耐蚀刻的SiN膜是难以实现的。因此寻求用于形成这种膜的改进的方法和装置。

发明内容

[0004] 本文公开了在处理室中的半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的方法。该方法可以包括使膜前体吸附到在处理室中的半导体衬底上,使得所述膜前体在所述衬底上形成吸附受限层,所述膜前体包含Si,然后从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体。除去未吸附的前体后,通过将所吸附的所述膜前体暴露于包含含N离子和/或自由基的等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层。此后,该方法可以进一步包括通过将所述SiN膜层暴露于He等离子体持续介于0.5和15秒之间而使所述SiN膜层致密化。He等离子体相对于所述衬底表面的功率密度可以为介于约0.035和2.2W/cm²之间。然后可以重复前述步骤,以在衬底上形成另一致密的SiN膜层。

[0005] 本文还公开了用于在半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的装置。该装置可包括处理室;在所述处理室中的衬底支架;一个或多个气体入口,其用于使气体流入所述处理室;真空源,其用于从所述处理室去除气体;以及等离子体发生器,其用于在所述处理室内产生等离子体。该装置可以进一步包括一个或多个控制器,其包括用于操作所述一个或多个气体入口、真空源,和等离子体发生器以沉积SiN膜层在衬底上的机器可

读指令。这些指令可以包括：用于操作所述一个或多个气体入口以使膜前体流入所述处理室中，并使所述膜前体吸附到在所述衬底支架中容纳的半导体衬底上，使得所述膜前体在所述衬底上形成吸附受限层的指令，所述膜前体包含硅；用于操作所述真空源，以从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体的指令；将在去除未吸附的膜前体之后执行的指令，其用于操作所述等离子体发生器以产生包含含N离子和/或自由基的等离子体，并通过将所吸附的所述膜前体暴露于所述等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层；和将在所吸附的前体反应之后执行的指令，其用于操作所述等离子体以产生具有相对于所述衬底表面的介于约0.035和2.2W/cm²之间的功率密度的包含He的等离子体，并通过将所述SiN膜层暴露于所述等离子体持续介于0.5和15秒之间而使所述SiN膜层致密化。所述指令还可以包括重复上述指令以在衬底上形成另一致密的SiN膜层。

[0006] 具体而言，本发明的一些方面可以阐述如下：

1. 一种用于在处理室中的半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的方法，所述方法包括：

(a) 使膜前体吸附到在处理室中的半导体衬底上，使得所述膜前体在所述衬底上形成吸附受限层，所述膜前体包含Si；

(b) 从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体；

(c) 在(b)中去除未吸附的膜前体之后，通过将所吸附的所述膜前体暴露于包含含N离子和/或自由基的等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层；

(e) 通过将所述SiN膜层暴露于包含He的等离子体持续介于0.5和15秒之间使所述SiN膜层致密化，所述包含He的等离子体相对于所述衬底表面的功率密度为介于约0.035和2.2W/cm²之间；以及

(g) 重复(a)、(b)、(c)和(e)，以在所述衬底上形成另一致密的SiN膜层。

2. 如条款1所述的方法，其进一步包括：

(d) 在(c)中的所述反应之后并在(e)中的所述致密化之前从围绕所述SiN膜层的所述体积去除至少一些含N离子、含N自由基、解吸的膜前体、和/或反应副产物；以及其中(g)还包括重复(d)。

3. 如条款2所述的方法，其进一步包括：

(f) 在(e)中的所述致密化之后从围绕所述SiN膜层的所述体积去除至少一些He；以及其中(g)还包括重复(f)。

4. 如条款1-3中的任一项所述的方法，其中所述膜前体还包括一种或多种卤素。

5. 如条款1-3中的任一项所述的方法，其中所述膜前体还包括两种或更多种卤素。

6. 如条款1-3中的任一项所述的方法，其中所述膜前体选自：二氯硅烷、六氯二硅烷、四氯硅烷和氨基硅烷。

7. 如条款1-3中的任一项所述的方法，其中通过施加RF EM辐射到选自NH₃、N₂、和胺的含N等离子体前体形成在(c)中所吸附的所述膜前体被暴露于其中的包含含N离子和/或自由基的等离子体。

8. 如条款7所述的方法，其中所述含N等离子体前体选自：NH₃和叔丁基胺。

9. 如条款1-3中的任一项所述的方法，其中在(c)中所吸附的所述膜前体被暴露其中的包含含N离子和/或自由基的所述等离子体具有介于约0.035和2.2W/cm²之间的功率密度，

并且其中通过将所吸附的所述膜前体暴露于所述等离子体持续介于约0.1和6秒之间在(c)中使所吸附的所述膜前体反应。

10. 如条款9所述的方法,其中所述包含He的等离子体在(e)中的功率密度与所述包含含N离子和/或自由基的所述等离子体在(c)中的功率密度的比率小于1。

11. 如条款10所述的方法,其中在(e)中的等离子体暴露时间与在(c)中的所述等离子体暴露时间的比率大于1。

12. 如条款1-3中的任一项所述的方法,其中在(e)中所述SiN层被暴露其中的包含He的所述等离子体具有介于约0.070和0.28W/cm²之间的功率密度,并且其中通过将所述SiN层暴露于所述等离子体持续介于约4和8秒之间在(e)中将所述SiN层致密化。

13. 如条款1-3中的任一项所述的方法,其中在(e)的过程中在围绕所述衬底的所述体积中He的分压为介于约2和6毛之间。

14. 如条款1-3中的任一项所述的方法,其中在(a)、(b)、(c)和(e)的过程中在所述处理室中的温度为约500℃或低于500℃。

15. 如条款1-3中的任一项所述的方法,其中所沉积的SiN膜当在23℃和760毛下暴露于100:1摩尔比HF溶液中时具有约50埃/分钟或低于50埃/分钟的湿法蚀刻速率。

16. 如条款15所述的方法,其中所述半导体衬底具有特征,所述特征具有在所述特征内的顶部区域和侧壁,其中所述SiN膜被沉积在所述特征内的所述顶部区域和所述侧壁上,并且其中当在23℃和760毛下暴露于100:1摩尔比HF溶液中时在所述特征内的所述顶部区域和所述侧壁上的所述沉积的SiN膜的湿法蚀刻速率为约50埃/分钟或低于50埃/分钟。

17. 一种用于在半导体衬底上沉积具有降低的湿法蚀刻速率的SiN膜的装置,所述装置包括:

处理室;

在所述处理室中的衬底支架;

一个或多个气体入口,其用于使气体流入所述处理室;

真空源,其用于从所述处理室去除气体;

等离子体发生器,其用于在所述处理室内产生等离子体;以及

一个或多个控制器,其包括用于操作所述一个或多个气体入口、真空源,和等离子体发生器以沉积SiN膜层在衬底上的机器可读指令,所述一个或多个控制器的所述指令包括用于下列操作的指令:

(a) 操作所述一个或多个气体入口以使膜前体流入所述处理室中,并使所述膜前体吸附到在所述衬底支架中容纳的半导体衬底上,使得所述膜前体在所述衬底上形成吸附受限层,所述膜前体包含硅;

(b) 操作所述真空源,以从围绕所吸附的所述膜前体的体积去除至少一些未吸附的膜前体;

(c) 在(b)中去除未吸附的膜前体之后,操作所述等离子体发生器以产生包含含N离子和/或自由基的等离子体,并通过将所吸附的所述膜前体暴露于所述等离子体使所吸附的所述膜前体反应以在所述衬底上形成SiN膜层;

(e) 在(c)中使所吸附的所述前体反应之后,操作所述等离子体发生器以产生具有相对于所述衬底表面的介于约0.035和2.2W/cm²之间的功率密度的包含He的等离子体,并通过

将所述SiN膜层暴露于所述等离子体持续介于0.5和15秒之间使所述SiN膜层致密化;以及

(g) 重复(a)、(b)、(c)、和(e),以在所述衬底上形成另一致密的SiN膜层。

18. 如条款17所述的装置,其中所述一个或多个控制器的所述指令进一步包括用于下列操作的指令:

(d) 操作所述真空源,以在(c)中的所述反应之后并在(e)中的所述致密化之前从围绕所述SiN膜层的所述体积去除至少一些含N离子、含N自由基、解吸的膜前体、和/或反应副产物;以及
其中(g)还包括重复(d)。

19. 如条款18所述的装置,其中所述一个或多个控制器的所述指令进一步包括用于下列操作的指令:

(f) 操作所述真空源,以在(e)中的所述致密化之后从围绕所述SiN膜层的所述体积去除至少一些He;以及
其中(g)还包括重复(f)。

20. 如条款17-19中的任一项所述的装置,其中所述等离子体发生器被操作使得在(e)中所述SiN层被暴露其中的包含He的所述等离子体具有介于约0.070和0.28W/cm²之间的功率密度,且其中通过使所述SiN层暴露于所述等离子体持续介于约4至8秒而在(e)中使所述SiN层致密化。

21. 如条款17-19中的任一项所述的装置,其中所述一个或多个气体入口和真空源被操作以使得在(e)过程中在围绕所述衬底的所述体积中的He的分压为介于约2和6毫之间。

附图说明

[0007] 图1A显示SiN膜的表现每种膜的湿法刻蚀速率对沉积温度的依赖性的数据。

[0008] 图1B显示在湿法蚀刻之前和之后具有在440°C沉积的SiN膜的衬底特征的透射电子显微镜图像。

[0009] 图1C显示在湿法蚀刻之前和之后具有在520°C沉积的SiN膜的衬底特征的透射电子显微镜图像。

[0010] 图2是用于形成SiN膜的基准原子层沉积工艺的流程图。

[0011] 图3是采用氦等离子体处理作为ALD循环的额外步骤的修改的原子层沉积工艺的流程图。

[0012] 图4A示出了在各种温度下使用各种ALD类型膜形成技术沉积的一组示例SiN膜的湿法蚀刻速率结果。结果分别针对每个示例SiN膜的半导体衬底上的高深宽比特征结构的顶部区域和侧壁绘制。

[0013] 图4B显示了所沉积和蚀刻后的半导体衬底的高深宽比特征的透射电子显微镜(TEM)图像,对应于图4A绘制的结果。

[0014] 图4C显示对应于在4个逐渐增加的温度下的基准ALD工艺的湿法蚀刻速率结果和对应于在使用和不使用工艺特定优化的情况下采用He等离子体处理作为ALD循环的额外步骤的修改的ALD工艺的湿法蚀刻速率的结果。

[0015] 图4D显示所沉积和蚀刻后的半导体衬底的高深宽比特征的透射电子显微镜(TEM)图像,对应于图4C中绘制的工艺优化结果之一。

- [0016] 图5是具有处理室的衬底处理装置的横截面示意图,所述处理室具有单个处理站。
- [0017] 图6是4站式衬底处理装置的示意图,所述装置具有用于从2个处理站装载和卸载衬底的衬底搬运机械手,用于在处理站之间传送衬底的转盘,以及用于操作所述装置的控制器。

具体实施方式

[0018] 在以下描述中,阐述了许多具体细节以便提供对本发明的透彻理解。然而,本发明可以在没有这些具体细节中的一些或全部的情况下实施。在其它情况下,未详细描述公知的处理操作或硬件以免不必要地使本发明难以理解。尽管将会结合具体的详细实施方式描述本发明,但是应当理解,这些具体的详细实施方式并不旨在限制本发明所公开的创造性构思的范围。

[0019] 传统地在产生适当的耐蚀刻的氮化硅膜的高温下在大熔炉中沉积共形SiN。由于在下一代器件的制造中要求降低沉积温度,以炉为基础的热沉积方法不能满足预计的性能要求。然而,虽然等离子体激活的ALD工艺具有在某些升高的温度下产生耐湿蚀刻的SiN膜的能力,但当使用较低的温度时,在没有特殊步骤/工艺修改的情况下,产生的膜遭受高的湿法蚀刻速率,并且当考虑高深宽比的器件结构时通常遭受不均匀的湿法刻蚀速率。在图1A中示出的数据表明随着沉积温度的降低ALD形成的SiN膜的湿法蚀刻速率(WER)提高。示出对应于在衬底特征的侧壁和顶部区域上的SiN膜的数据,并且随着温度降低两者都显示WER大致相同的不期望的增加。图1B示出了在湿法蚀刻之前和之后具有用440°C的ALD工艺形成的SiN膜的衬底特征的透射型电子显微镜(TEM)图像。这些图像显示基本上蚀刻掉在440°C工艺温度下形成的SiN膜。与此相反,在520°C的较高的沉积温度下的耐蚀刻性由图1中的TEM图像示出,其显示在较高的工艺温度下形成的SiN膜在湿法蚀刻之前和之后表现几乎相同。

[0020] 在某些情况下,除了高处理温度以外的技术可被用于实现ALD形成的SiN膜中的低WER。例如,在某些情况下,可通过使用掺杂和/或退火步骤来实现低WER。然而,掺杂通常与使衬底经受氧化等离子体处理的常用处理流程不兼容,氧化等离子体倾向于去除和/或改变掺杂剂。同样地,由于前述热预算限制与现有构架和下一代构架的制造相关联,因而退火通常是不能接受的。

[0021] 因此,已经寻求可替代的低温ALD工艺以产生耐蚀刻的共形SiN膜。这样的方法典型地涉及对基本ALD工艺序列的一种或多种修改。

[0022] 采用ALD技术形成材料膜的半导体制造步骤通常采用多个ALD循环序列。单个ALD循环只沉积薄的材料膜(通常情况下只有一个分子层厚度)。为了建立可观的所需厚度的膜,可以执行多个ALD循环。因此存在顺序重复“ALD循环”的构思。

基准ALD循环

[0024] 简言之,用于在衬底上形成SiN膜的单个层的基本的“ALD循环”可包括下列步骤:(i)膜前体投配/吸附,(ii)投配后去除未吸附的前体,(iii)吸附前体的等离子体活化反应/转化,和任选的(iv)反应后去除解吸前体和/或反应副产物。操作(i)-(iii)-和在某些实施方案中的(iv)-因此构成ALD的单个循环,然后可重复一次或多次以沉积额外的膜层在衬底上,并由此建立如所期望的可观厚度的膜。

[0025] 更进一步来说,用于SiN沉积的这样的基本ALD工艺序列示意性地由图2的流程图示出。如该图所示,单个ALD循环可开始于使膜前体吸附到处理室中的半导体衬底上使得膜前体在衬底上形成吸附受限层的操作211。针对SiN膜的沉积,膜前体通常含有Si,并且因此充当用于生长SiN膜的Si源。吸收/投配操作之后是在从围绕被吸附的膜前体的体积去除至少一些未被吸附的膜前体的操作212。此后,在操作213,通过将被吸附的膜前体暴露于包括含有N的离子和/或自由基的等离子体使被吸附的膜前体反应。这然后导致在衬底上形成SiN膜层。最后,在一些实施方式中(由图2中虚线绘制的框所指示),并根据形成膜的反应的化学过程,操作213之后可以是操作214以从围绕SiN膜层的体积去除至少一些含有N的离子、含有N的自由基、解吸后的膜前体、和/或反应副产物。

[0026] 操作的前述的序列211至214代表导致单层SiN膜的形成的单个ALD循环。然而,经由ALD形成的单层膜通常非常薄-往往只有单分子的厚度-按顺序重复多个ALD循环,以形成明显厚度的SiN膜。因此,再次参照图2,如果沉积了例如N层的膜(或,等价地,例如N层膜)是合乎希望的,那么依次重复多个ALD循环(操作211至214),并且在每个ALD循环结束操作214之后,在操作220中,确定是否已经执行ALD的N个循环。然后,如果已经执行N个循环,则成膜操作结束,而如果没有执行N个循环,则处理序列返回到操作211,以开始ALD的另一个循环。这样做,可沉积所期望厚度的共形膜。

[0027] 在刚刚描述的ALD循环的步骤(i)过程中-即膜前体投配/吸附过程中-可以使含硅膜前体流至反应室中,速率为介于约1和5sL/m(每分钟标准升)之间,或更特别地介于约3和5sL/m之间的速率,或还更特别地介于约4和5sL/m之间的速率,或约4.5sL/m。这些值对应于设计成处理300mm直径的晶片的4站式反应室。针对具有较多或较少数量的站的反应室,或针对较大或较小直径的晶片,将按比例调整流率。当然,即使针对固定数目的站和晶片大小,反应室的体积也影响流率的选择。因此,根据实施方式,含硅膜前体可以流入到反应室,使得所述前体在室中的分压为介于约1和50毫之间,或更具体地介于约10和20毫之间,或在一些实施方式中,介于约8和12毫之间,或约10毫。流的持续时间可以为介于约1和15秒之间,或更特别地介于约1和5秒之间,或还更特别地介于约2和3秒之间,或约2.5秒。

[0028] 在步骤(i)期间吸附在衬底上的膜前体,除了含有硅,可以包括一种或多种卤素,或者两种或更多种卤素(参见下面的卤代硅烷的描述),具体取决于实施方式。后者的实例包括二氯硅烷、六氯二硅烷(hexachlorodisilane)、四氯硅烷。在一些实施方式中,在步骤(i)期间吸附的含硅膜前体可以从氨基硅烷中选择。

[0029] 在刚刚描述的ALD循环的步骤(ii)过程中-即在投配后除去未吸附的前体-吹扫可以使用流入反应室的惰性吹扫气体(如N₂或Ar),以介于约10和40sL/m之间的速率持续介于1和10秒之间,或更具体地持续介于约1和3秒之间,或持续约2秒。再次,这些值对应于设计成处理300mm直径的晶片的4站式反应室。针对具有较多或较少数量的站的反应室,或针对较大或较小直径的晶片,将再按比例调整流率。在一些实施方式中,这种吹扫之后可接着抽排至基压(PTB)-即,泵送室下降到基本压强,通常低至合理可行以实现的压强。PTB可通过直接将反应室暴露于一个或多个真空泵来完成。在一些实施方式中,基本压强通常可以只有几毫毛(例如,介于约1至20毫毛之间)。

[0030] 在刚刚描述的ALD循环的步骤(iii)过程中-即被吸附的前体的等离子体活化反应/转化-产生包含含N离子和/或基团的等离子体,被吸附的含硅膜前体被暴露于该等离子

体,导致形成SiN膜层的表面反应。等离子体通过施加RF电磁(EM)辐射至含氮等离子体前体来形成,含氮等离子体前体可以是氨(NH₃),氮分子气体(N₂),如叔丁基胺之类胺,或上述物质的组合。

[0031] 然而,在一些实施方式中,在产生含N等离子体之前,建立含N等离子体前体(例如,NH₃)的预流持续介于约0.5和10秒之间,或更特别地持续介于约4和8秒之间,或持续约6秒。流率可以是介于约1和10sL/m之间,或更特别地介于约4和6sL/m之间,或约3sL/m,然而,再次,这些值对应于具有4个用于处理300mm直径的晶片的站的室,因此,根据不同的实施方式,含N等离子体前体可以建立介于约1.5和6毛之间,或更特别地介于约1.5和3毛之间,或约2毛的等离子体前体的分压的方式流动到反应室中。

[0032] 仍参照步骤(iii),预流之后,RF功率被接通以产生具有含N离子和/或自由基的等离子体。在等离子体产生的过程中等离子体前体的可变流和分压可以与刚刚描述用于预流动的那些可变流和分压相同。用于产生等离子体的RF功率可介于约100和6000瓦之间,或更特别地介于约400和5100瓦之间,或还更特别地介于约900和4100瓦之间,或还更特别地介于约2500和3500瓦之间,或约3000瓦,频率为13.56MHz(但也可以使用13.56MHz的正整数倍数,如27.12MHz、40.68MHz或54.24MHz,等等,具体取决于实施方式,也可以如在下面进一步详细描述的采用关于13.56MHz或13.56MHz的倍数的某些频率调谐)。RF功率可以保持接通持续介于约0.1至6秒之间,导致被吸附的含硅膜前体暴露于等离子体的含N离子和/或自由基的相应的暴露时间为介于约0.1和6秒之间,从而导致SiN成膜表面反应。更具体地,RF功率可以接通(和被吸收膜前体暴露于等离子体),持续时间为介于约0.5和3秒之间,或者持续介于约0.5和2秒之间,或介于约1和2秒之间。再次,应当理解,这些等离子体功率对应于具有4个用于处理300mm直径的晶片的处理站的室。因此,针对步骤(iii)的适当的等离子体功率密度可为介于约0.035和2.2W/cm²(因为,0.035≈100/(4*π*15²)和2.2≈6000/(4*π*15²)之间,并且针对如上所述的其它等离子体功率值和范围也类似。

[0033] 在一些实施方式中,已经发现等离子体暴露时间和等离子体功率之间的权衡,即短暴露时间可以与高的等离子体功率很好地一起工作,长暴露时间可以与低的等离子体功率很好地一起工作,中等暴露时间可以与中等的等离子体功率很好地一起工作。

[0034] 针对刚刚描述的ALD循环的任选步骤(iv)-反应后去除解吸的前体和/或反应的副产物-去除可以通过用惰性吹扫气体(如Ar或N₂)吹扫该室来实现,流率为介于约10和40sL/m之间,持续时间为介于1和10秒之间,或者更具体地为介于约1和3秒之间,或约2秒。再次,这些流率对应于具有4个用于处理300mm直径的晶片的站的室,因此针对处理较多或较少数量的具有较大或较小直径的晶片的较大或较小的室,将按比例调整流率。在压强方面,在吹扫期间在室中的压强可以是介于约2至10毛之间,或更特别地为介于约4和8毛之间,或约6毛。至于去除步骤(ii),在一些实施方式中,也可在步骤(iv)期间采用PTB以促进去除。

[0035] 因此,在操作(ii)和(iv)中的去除可以经由清扫、通过抽真空到基本压强(“抽排至基压”)等将围绕衬底的体积抽空等来完成。在一些实施方式中,这些清扫可以在逻辑上划分成在本文中称之为“初级清扫”或“脉冲(burst)清扫”,以及“次级清扫”的清扫。(于2014年7月30日提交的名称为“METHODS AND APPARATUSES FOR SHOWERHEAD BACKSIDE PARASITIC PLASMA SUPPRESSION IN A SECONDARY PURGE ENABLED ALD SYSTEM”的美国专利申请No.14/447,203中详细描述了初级清扫/脉冲清扫以及次级清扫的使用,该专利申请

其全部内容通过引用基于所有目的并入本文。)。

[0036] 修改的ALD循环

[0037] 如上所述,寻求对基本ALD循环序列的各种修改以试图提高ALD形成的SiN膜的耐蚀刻性。在一种技术中,脉冲等离子体模式(脉冲RF场被用来维持等离子体)可以在等离子体活化反应/转化步骤(上面的步骤(iii))中使用,从而导致沉积时SiN膜的致密化,降低其湿法蚀刻速率。(致密化和其与湿法蚀刻速率如何相关如下进一步详细描述,但简而言之,致密SiN膜往往较耐蚀刻)。此脉冲等离子体模式在2013年12月30日提交的,名称为“Plasma enhanced atomic layer deposition with pulsed plasma exposure”的美国专利申请No.14/144,107(美国专利公开No.2014/0113457)中详细描述,该专利申请其全部内容通过引用基于所有目的并入本文。

[0038] 在另一技术中,氩等离子体处理步骤可以在投配后的去除步骤(以上步骤(ii))之后但在等离子体活化反应步骤(步骤(iii))之前被插入到ALD循环。Ar等离子体处理包括使氩流入室,施加RF场,以产生Ar等离子体,并在Ar等离子体暴露之后,从处理室去除Ar气。再次,这在等离子体激活反应/转化步骤(iii)(其涉及不同的等离子体,如上详述)之前结束。在ALD循环的这个阶段插入氩等离子体处理,促进Si-Si键合从而使SiN膜致密化。

[0039] 在又一个技术中,在前体吸附/投配步骤(以上步骤(i))的末尾基于ALD而采用CVD(化学气相沉积)阶段的混合方法可用于使膜致密。这可以通过施加RF辐射持续短的时间至被投配的气相膜前体,然后在下一个步骤(以上步骤(iii))中从处理室去除未吸附的气相膜前体来实现。(在典型的ALD中,当转化反应是等离子体激活的时候,只有被吸附的膜前体被留在处理室中)。这还通过经由气相CVD反应促进硅掺入膜导致所沉积SiN膜的致密化。

[0040] 最后,设计成在沉积SiN膜时使其致密化的第四技术采用被添加作为额外步骤(v)的氦等离子体处理,如在下面更详细描述的,氦等离子体处理在反应转化步骤(iii)和任选的去除步骤(iv)之后使SiN膜的沉积层致密化。已经发现,涉及周期性的作为在ALD循环期间的额外步骤(v)的He等离子体处理的这个第四技术可在适当的工艺条件(将在下面更详细描述)下导致覆盖SiN膜的湿法蚀刻速率较低,重要的是,在图案化的衬底特征的所有侧面的湿法蚀刻速率较低。此外,已经发现,这种修改的ALD技术具有在比以前认为的可能的沉积温度更低的沉积温度下实现这些基本均匀的湿法蚀刻速率(在特征的顶部和底部与侧壁)的能力。

[0041] 不受限于任何特别的理论,认为,通过等离子体中的激发态氦发射的真空紫外(VUV)辐射造成本修改的ALD循环的He等离子体处理步骤的湿法蚀刻速率(WER)减少效果。实验已经表明,WER与沉积的SiN膜中的氢(通常借助于从用作SiN膜的氮源的原反应性物质剩下的N-H键而存在)的密度紧密相关。认为,从He等离子体发射的真空紫外辐射使这些N-H键断裂,致使其用N-Si键替换,使SiN膜致密化,并使其较耐蚀刻。此外,并再次不受限于特定的理论,认为,在激发态He物质的真空紫外发射(并衰减到基态)之前,激发态He物质的相对长的寿命给这些物质向下扩散到高深宽比的三维结构提供了足够的时间,从而在高深宽比特征的整个表面(包括特征的侧壁和顶部区域)基本上均匀地驱动N-H键转化为N-Si键(与膜的致密化)。

[0042] 现在再参考修改的ALD循环的细节,注意,为了完成ALD循环,涉及用He等离子体处理的上述致密化步骤(v)可以任选地接着进行从围绕现在致密的SiN膜层的体积去除He气

的步骤(vi)。

[0043] 图3详细呈现了该修改的ALD技术的实施例。如图3中所示,涉及通过He等离子体处理致密化的修改的ALD工艺序列300以类似于图2中所示的基本的ALD工艺序列200的方式开始(即,操作311、312、313和314分别对应于来自图2所示的基本工艺200中的操作211、212、213和214)。然而,在操作314/214(假设采用可选操作314/214)之后,工艺分叉。也就是说,在图3中所示的修改的ALD工艺在此处采用通过将SiN膜层暴露于包含He的等离子体使SiN膜层致密化的操作315。在此特定实施方式中,等离子体暴露具有介于0.5和15秒之间的持续时间。此外,在此特定实施方式中,使用He等离子体,其相对于衬底表面的功率密度为如在图中表示的介于约0.035和2.2W/cm²之间。等离子体暴露时间/持续时间和等离子体功率密度的其它范围在下面更详细地描述。致密化操作315之后,可以执行从围绕SiN膜层的体积去除至少一些He的操作316(再次,任选的,如由图2中的虚线绘制的框表示)。因此,在该修改方案中操作311-316构成单个ALD循环,并且多个ALD循环可被用于沉积额外的SiN层,以建立可观厚度的膜。因此,类似于图2,如果期望的膜比如说N个SiN层被沉积(或,等价地,比如说N层的SiN膜),则依次重复多个ALD循环(操作311至316),并且在每个ALD循环结束于操作316之后,在操作320中,确定是否已经执行了N个循环的ALD。然后,如果已经执行了N个循环,则SiN膜形成操作结束,而如果没有执行了N个循环,则处理程序返回到操作311,以开始ALD的另一个循环。

[0044] 在刚才所描述的ALD循环的步骤(v)的过程中(在图3中也称为操作315)-即,通过将沉积的SiN膜层暴露于含氦的等离子体使SiN膜层致密化-产生含He等离子体,将所沉积的SiN膜层暴露于含He等离子体导致SiN膜的沉积层的致密化。等离子体是通过施加RF电磁(EM)辐射至He气体(或He混合另外的气体,例如惰性气体)来产生的。

[0045] 然而在一些实施方式中,在产生He等离子体之前,建立He气(或He混合另外的气体,例如惰性气体)的预流持续约0.5至15秒,或更具体地持续2至8秒,或约5秒。流率可以是介于约1和10sL/m之间,或更特别为介于约4和6sL/m之间,或约5sL/m,然而,再次,这些值对应于用于处理300mm直径的晶片的具有4个处理站的室,因此根据不同的实施方式,He气可以一定方式流到反应室中,以建立处理室中He的分压,为介于约2和6毫之间,或更特别介于约3和5毫之间,或约4毫。

[0046] 仍参照步骤(v),在He预流之后,RF功率被接通,以产生用于使SiN膜层致密化的He等离子体。在等离子体产生期间,He气的可变流和分压可以与刚刚描述用于预流动的那些相同。用于产生等离子体的RF功率可为介于约100和6000瓦之间,或更特别介于约400和5100瓦之间,还更特别介于约900和4100瓦之间,频率为13.56MHz,(但根据不同的实施方式,也可以使用13.56MHz的正整数倍,如27.12MHz,40.68MHz或54.24MHz,等等,如在下面进一步详细描述的,也可以使用一些关于13.56MHz或其倍数的频率调谐)。RF功率可以保持接通持续介于约0.5和15秒,导致沉积的SiN膜层的相应的暴露时间以使其致密。再次,应当理解,这些等离子体功率对应于用于处理300mm直径的晶片的具有4个处理站的室。因此,用于步骤(v)的适当的等离子体功率密度可为介于约0.035和2.2W/cm²之间(因为,0.035≈100/(4*π*152)和2.2≈6000/(4*π*152))之间,并且针对如上所述的其它等离子体功率值和范围也类似。

[0047] 至于反应转化步骤(iii),在一些实施方式中,已经发现等离子体暴露时间和等离

子体功率之间的权衡，即短曝光时间可以与高等离子体功率很好地一起工作，长曝光时间可以与低等离子体功率很好地一起工作，中等曝光时间可以与中等的等离子体功率很好地一起工作。例如，在一些较低的等离子体功率的实施方式中，在步骤(v)中SiN层暴露于其中的包含He的等离子体可具有介于约0.070和0.28W/cm²之间的功率密度，沉积的SiN膜层暴露于用于致密化的所述等离子体的等离子体暴露时间可以是介于约4和8秒之间。(注意0.070≈200/(4*π*152)和0.28≈800/(4*π*152)，所以这是200–800W的相对低的功率范围。)同样，在一些较高的等离子功率的实施方式中，在步骤(v)中SiN层暴露于其中的包含He的等离子体可具有介于约0.88和1.2W/cm²之间的功率密度，沉积的SiN膜层暴露于用于致密化的所述等离子体的等离子体暴露时间可以是介于约0.5和2秒之间。(注意0.88≈2500/(4*π*152)和1.2≈3500/(4*π*152)，所以这是2500–3500W的相对低的功率范围。)最后，在中等的等离子体功率实施方式中，在步骤(v)中SiN层暴露于其中的包含He的等离子体可具有介于约0.28和0.88W/cm²之间的功率密度，沉积的SiN膜层暴露于用于致密化的所述等离子体的等离子体暴露时间可以是介于约2和4秒之间。(注意0.28≈800/(4*π*152)和0.88≈2500/(4*π*152)，所以这是800–2500W的相对低的功率范围)

[0048] 在一些实施方式中，已经发现，相对于在反应转化步骤(iii)中使用的功率密度，在致密化步骤(v)中针对He等离子体使用相同或更低的等离子体功率密度效果很好，导致具有低的湿蚀刻速率(WER)的膜。(见下面实施例)。因此，在一些实施方式中，步骤(v)中的He等离子体的功率密度与步骤(iii)中包含含N离子和/或自由基的等离子体的功率密度的比率可小于1，或更特别介于约0.1和0.9之间，或还更特别介于约0.1和0.5之间，或还更特别介于约0.1和0.3之间。例如，参见如下讨论的图4C和4D。同样地，还已经发现，在一些实施方式中，在步骤(v)中使用与步骤(iii)相同或更长的等离子体暴露时间对于产生具有低WER的SiN膜效果很好。因此，在一些实施方式中，在步骤(v)中的等离子体暴露时间与在步骤(iii)中的等离子体暴露时间的比率可以大于1，或更特别为介于约1和10之间，或还更特别为介于约2和8之间，或还更特别为介于约5和7之间。例如，再次参见如下讨论的图4C和4D。此外，在一些实施方式中，在步骤(iii)中暴露于包含含N离子和/或自由基的等离子体的衬底暴露时间可小于2秒，或更特别地小于约1秒。

[0049] 针对刚刚描述的ALD循环的任选步骤(iv)–从围绕致密化的SiN膜层的体积去除He气–去除可以通过用惰性吹扫气体(如Ar或N₂)吹扫该室来实现，流率为介于约10和40sL/m之间，持续时间为介于1和10秒之间，或者更具体地为介于约1和3秒之间，或约2秒。再次，这些流率对应于用于处理300mm直径的晶片的4站式反应室，因此针对处理较多或较少数量的具有较大或较小直径的晶片的较大或较小的室，将按比例调整流率。在压强方面，在吹扫期间在室中的压强可以是介于约5至15毫之间，或更特别地为介于约8和12毫之间，或约10毫。至于去除步骤(ii)和(iv)，在一些实施方式中，在步骤(vi)期间也可采用PTB以促进去除。

[0050] 使用图3呈现的操作序列沉积的SiN膜–采用结合He等离子体处理的修改的ALD工艺–已经发现显示出良好的耐湿法蚀刻性，即使在较低温度下形成时。例如，在一些实施方式中，可以通过采用前面所描述的工艺，同时保持处理室中的温度(例如，在操作311–316期间)为约550°C或低于550°C，或约525°C或低于525°C，或约500°C或低于500°C，或约485°C或低于485°C，或甚至约475°C或低于475°C，来形成具有降低的湿法蚀刻速率的SiN膜。当在23°C和760毫下暴露于100:1摩尔比HF溶液时，用在上述降低的温度方案中的那些工艺沉积的

SiN膜可以表现出约100埃/分钟或低于100埃/分钟,或约75埃/分钟或低于75埃/分钟,或约50埃/分钟或低于50埃/分钟,或甚至约25埃/分钟或低于25埃/分钟的湿法蚀刻速率。

[0051] 而且,当这些技术被用于沉积SiN膜到具有高深宽比特征的半导体衬底上时,观察到,在这些特征的顶部区域和侧壁两者上保持湿法蚀刻速率的降低,具体取决于选择用于SiN沉积的特定工艺条件。同样,当在23°C和760毫下暴露于100:1摩尔比HF溶液时,可以观察到的基本上均匀的湿法蚀刻速率(考虑顶部区域,底部区域,和侧壁)可低至约100埃/分钟或低于100埃/分钟,或约75埃/分钟或低于75埃/分钟,或约50埃/分钟或低于50埃/分钟,甚至约25埃/分钟或低于25埃/分钟,具体取决于实施方式。耐湿法蚀刻SiN的这样的低温沉积通过针对工艺参数的不同选择的以下实施例说明。

[0052] 实施例

[0053] 图4A和4B显示了使用各种ALD类型膜形成技术沉积的第一组示例SiN膜的结果。具体而言,图4A绘出了针对使用在图中标记(1)至(7)的不同ALD处理沉积的示例SiN膜分别对应于在半导体衬底上的高深宽比特征的顶部和侧壁的湿法蚀刻速率(WER)。WER通过测量在23°C和760毫下暴露于100:1摩尔比的HF溶液之后在每个区域(顶部和侧壁)上蚀刻掉的SiN膜的量来确定。在暴露期间不搅拌溶液也不摇动衬底(即,相对于衬底HF溶液基本上静止/不动)。(有些搅拌机构显然倾向于小幅提高WER)。蚀刻掉的SiN膜的量通过透射电子显微镜(TEM)测定,图4B显示了针对处理(1)、及(3)至(7)的所沉积的和蚀刻后的高深宽特征结构的TEM图像。

[0054] 在图4A中最左边开始,工艺(1)是导致在所指定的半导体特征的顶部和侧壁两者上都具有非常高的WER的SiN膜的沉积的基准ALD工艺(图中还标有“Bsln”)。如在图中所示,特征的侧壁上的WER大于163Å/min,类似地,特征的顶部上显示WER超过161Å/min。在图4B中的工艺(1)中也显著地显示相对于所沉积的膜SiN膜从特征蚀刻掉的程度。在475°C的基本上恒定的基座类型晶片支架的温度下执行基准ALD工艺,并在反应转化步骤期间采用等离子体功率源(上述步骤(iii)和在图2中的操作213)设定为6000W-由于使用4个处理装置(参照下面描述的图6的装置),这相当于1500W的单个衬底等离子体功率,并且针对300mm的晶片,等离子体功率密度为约2.12W/cm²。将等离子体接通2秒钟(如在图4A和4B所示),以造成在等离子体激活的反应转化步骤过程中形成SiN膜(使用NH₃等离子体,如在图中所指示的)。注意,尽管采用475°C的相对低的基座温度,但WER是不可接受的大。

[0055] 在图4A和4B中的工艺(2)与基准工艺(1)基本相同,不同之处在于基座温度从在基准工艺中的475°C升高到在工艺(2)中的525°C。在图中可以看出,在特征的顶部和侧壁上所产生的SiN膜的WER被大大改善。还看到使用工艺(3)沉积的SiN膜的进一步的改善,方法(3)需要550°C的进一步提高的基座温度和每衬底的降低的等离子体功率,即3000W/4=750W;并且通过使用工艺(4)沉积的SiN膜仍然显示进一步的改善,其中,沉积在甚至585°C的更高温度下进行,每衬底再次用750瓦的等离子体功率(尽管,对于该特定实验仅3个处理站是活跃的,所以总等离子体功率为3*750W=2250W,如图4A和4B所示)。(在这四种情况中的每种中,在转化步骤过程中施加RF功率的时间间隔是相同的-如在图中指示的2秒)。因此,相对于通过ALD形成的SiN膜,在图4A和4B示出的数据表示通过提高执行ALD工艺的温度可以降低在高深宽比半导体特征的顶部区域和侧壁两者上的WER(由图4A中的向下箭头所指示的)。

[0056] 然而,对于上述的原因,在SiN膜形成技术中提高的工艺温度是不期望的,并在某些情况下可能超过分配给给定的制造步骤组的热预算。因此,使用采用作为每个ALD循环的一部分的各种氦(He)等离子体处理的各种ALD工艺在475°C的恒定的较低的基座温度下形成SiN膜,以确定是否有任何工艺和/或工艺参数设置将在较低温度下产生具有降低的WER的SiN膜。对应于在沉积工艺中使用氦气形成的这些SiN膜的结果示于图4A和4B中,标记为工艺(5)、(6)和(7)。

[0057] 采用氦(He)的第一工艺,工艺(5),在ALD工艺的反应/转化步骤(iii)期间采用He。在这种情况下使用的每个衬底的等离子体功率是 $3000\text{W}/4=750\text{W}$ 。在图4A中示出在等离子体活化反应/转化步骤(iii)期间使用He减少特征的顶部区域的WER,但是它在特征的侧壁不具有相同的期望的效果,其中WER保持在96 Å/min。图4A中的工艺(6)显示几乎相反的结果,其中使用指定的工艺条件沉积的SiN膜在侧壁上实现低WER,而在特征的顶部区域实现94 Å/min的不期望的高WER。正如在图4A和4B所示,用于产生该相反的结果的工艺利用修改的ALD工艺,该修改的ALD工艺采用He等离子体处理作为每个ALD循环的额外步骤(v)。然而,在此特定实施例中认为在WER中没有实现预期的均匀减少。

[0058] 然而,图4A的最后的实施例,工艺(7),使用类似于工艺(6)的修改的ALD循环(即,采用He等离子体处理作为每个ALD循环的附加步骤(v)),并且能够在WER中实现上述期望的均匀减少。具体地,所沉积的SiN膜表现出侧壁的WER为29Å/min,顶部区域的WER为36Å/min。因此,该工艺(7)能够实现对应于侧壁和顶部区域的WER均匀地降低至相对于在475°C的相同的低基座温度下的基准工艺(1)的结果的1/5。注意,对应于图4B中的工艺(2)、(5)、(6)、(7)的SEM图像是在上述条件下暴露于HF溶液30秒之后测量的,而对应于工艺(1)和(4)的SEM图像是在暴露于HF 60秒(如在图中指出的)之后测量的,因此对应于工艺(1)和(4)的WER显示为其他WER的“双倍”。还要注意,在所有三个前述实施例中,采用相同的750W的每衬底等离子体功率,但是在最右侧的最后的实施例中,如图中所指出的,在转化步骤(iii)和额外的He等离子体处理步骤(v)两者中等离子体暴露时间都缩短到1秒。不受限于任何特别的理论,认为,在转化步骤期间较短的等离子体暴露使SiN的沉积层通过在步骤(v)之后的He等离子体处理更易发生致密化。具体而言,并再次不受限于特定的理论,认为,2秒3000W He等离子体过于激烈地轰击特征的顶部,达到造成WER在顶部显著更高这样的程度。另一方面,He和NH₃共流处理在顶部区域效果很好,但在侧壁区域上没有有效到足以充分减少这里的WER。然而,可以看出,1秒3000W He等离子体处理在顶部区域是足够“温和的”,而在侧壁上仍然足够有效以在特征的顶部区域和侧壁两者上都产生相对均匀的WER。

[0059] 进一步的结果显示于图4C和4D。图4C绘出了对应于4种逐步增加的衬底温度的基准ALD工艺的侧壁WER,如上所述显示出随着温度的升高侧壁WER下降。(使用如上所述的同样的HF湿法蚀刻条件,即,在23°C和760毫下,100:1摩尔比的HF溶液,不搅拌。然而,注意,在图4C和4D中指示的温度是实际衬底/晶片温度,而不是相对于图4A和图4B上面报告的基座衬底支架温度。例如,约475°C的基座温度对应于约440°C的实际晶片温度。)基准工艺旁边描绘的是对应于采用He等离子体处理作为ALD循环的额外步骤的修改的ALD工艺的侧壁WER结果,在图中可见再次实现较低的侧壁WER。图4C将具有和不具有工艺特定优化的这样的修改的ALD工艺的结果之间区分开来。无论有和没有优化,与这些修改的工艺相关联的侧壁WER结果比基准工艺都显著较低。例如,可以看出,在495°C的晶片衬底温度下,采用He等离

子体处理步骤的修改但未优化的ALD工艺能够实现 24 \AA/min 的侧壁WER或基准工艺所示的 43 \AA/min 的WER的大约一半。甚至更令人印象深刻的是相对于在 475°C 的晶片温度下的基准工艺在优化的修改的ALD工艺中观察到的性能的增益，其中在优化的工艺中实现 17 \AA/min 的低的侧壁WER，或相对于对应于基准工艺的 76 \AA/min 的WER改进约5倍。在图4D中显示了对应于该结果的透射电子显微镜(TEM)图像，观察到用这个优化工艺沉积的SiN膜在湿法蚀刻之前和之后有很小的变化。导致在图4C和4D中所示的结果的采用He的优化的ALD技术的工艺条件与上述图4A和4B的工艺条件相同，所不同的是这里的He等离子体处理持续时间为6秒，每个衬底采用的等离子体功率为150W(4个站总计600W)，或者或等效地等离子体功率密度相对于衬底面积为 0.18 W/cm^2 ($0.18 \approx 500 / (4 * \pi * 15^2)$ ，例如针对300mm晶片)。与此相反，在图4C中示出的未优化/初始ALD工艺(也采用He等离子体处理)为：He等离子体处理持续时间为2秒，每个衬底采用的等离子体功率为750W(4个站总计3000W)，或等效地等离子体功率密度相对于衬底面积为约 1.1 W/cm^2 ($1.1 \approx 3000 / (4 * \pi * 15^2)$ ，例如针对300mm晶片)。

[0060] 对于ALD技术和操作的其他详细信息

[0061] 如上文所讨论的，随着器件尺寸继续缩小以及集成电路发展到使用3-D晶体管和其它3-D结构，沉积精确数量(厚度)的共形膜材料(例如SiN或其它电介质的膜)的能力已变得日益重要。如上所述，原子层沉积(ALD)是一种用于实现共形膜沉积以得到所需厚度的膜的技术，该共形膜沉积通常涉及多个沉积循环。

[0062] 相比于用被激活的气相反应来沉积膜的化学气相沉积(CVD)工艺，ALD工艺使用表面介导的沉积反应来逐层地沉积膜。例如，在一类ALD工艺中，第一膜前体(P1)以气相引入到处理室中、被暴露于衬底、并且能被吸附在衬底的表面上(通常在成群的表面活性位点处)。一些P1分子可以形成衬底表面上的凝聚相，其包括P1的化学吸附物质和物理吸附分子。然后，将衬底表面周围的容积抽空以去除气相和物理吸附的P1，使得只有化学吸附物质保留。随后第二膜前体(P2)可被引入到处理室中，使得一些P2分子吸附到衬底表面。可再将在处理室中衬底周围的容积抽空，这一次是去除未结合的P2。接着，提供到衬底的能量(例如，热能或等离子体能量)激活所吸附的P1和P2分子之间的表面反应，以形成膜层。最后，再次将衬底周围的容积抽空以去除未反应的P1和/或P2和/或反应副产物(如果存在的话)，从而结束ALD的单个循环。

[0063] 用于沉积共形膜的ALD技术可能涉及多种化学物质，并且存在可以根据所期望的反应化学过程以及所沉积的膜的特性和性质采用的基本ALD工艺序列的许多潜在变化方案。许多这样的变化方案在以下专利文献中进行了详细的描述：于2011年4月11日提交的、名称为“PLASMA ACTIVATED CONFORMAL FILM DEPOSITION”的美国专利申请No.13/084,399(律师案卷号NOVLP405)；于2011年9月23日提交的、名称为“PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION”的美国专利申请No.13/242,084，现在的美国专利No.8,637,411(律师案卷号NOVLP427)；于2011年9月1日提交的、名称为“PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION”的美国专利申请No.13/224,240(律师案卷号NOVLP428)；以及于2011年9月7日提交的、名称为“CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION”的美国专利申

请No.13/607,386(律师案卷号NOVLP488),基于所有的目的将这些专利文献中的每一个的全部内容通过引用并入本发明。

[0064] 如在这些先前的申请中所描述的,用于在衬底上沉积单个材料层的基本的ALD循环可以包括:(i)吸附膜前体到衬底上使得膜前体形成吸附受限层;(ii)从所吸附的前体周围的容积去除未被吸附的前体;(iii)使所吸附的前体反应以在衬底上形成膜层;以及(iv)将解吸的膜前体和/或反应副产物从在衬底上形成的膜层周围的容积去除。在操作(ii)和(iv)中的去除可以通过将衬底周围的容积吹扫、抽空、抽排到基准压强(“抽排至基压”)等来执行。应注意的是,这种操作(i)到(iv)的基本的ALD序列不必然涉及如在上述的例子中所述的两种化学吸附的反应物质P1和P2,甚至也不会必然涉及第二反应性物质,但可以使用这些可能性/选项,具体取决于所涉及的所需的沉积化学物。正如所指出的,许多变化方案是可能的。例如并如上所指出的,对于SiN膜的沉积,含硅前体通常被化学吸附(比如P1),与该含硅前体反应以形成SiN膜的物质是形成用于引起步骤(iii)中的反应的等离子体的含氮物质。因此,在一些实施方式中,包含含N-离子和/或自由基的等离子体用于提供在沉积的SiN膜中的氮原子以及用于提供能量以活化表面反应。在其他实施方式中,可以预见,含硅前体可以是第一化学吸附的物质(P1),含氮物质可以是第二化学吸附的物质(P2),然后施加到这样的ALD循环的步骤(iii)中的两种化学吸附的物质的等离子体可以用于提供活化能,但并不一定提供沉积的SiN膜的N原子。当然,如上所述,在一些实施方式中,根据需要,这样的ALD循环可另外包括使沉积的SiN层致密化的步骤(v),在去除任何残留的等离子体物质、解吸反应物、和/或反应物副产物等的步骤(iv)之前。

[0065] 然而,由于ALD的吸附受限性质,所以ALD的单个循环仅沉积薄的材料膜,并且常常只有单个的材料单层。例如,根据膜前体投料操作的暴露时间和膜前体(至衬底表面)的粘着系数,每个ALD循环可沉积仅约0.5-3埃厚的膜层。因此,在典型的ALD循环中的操作的序列-刚才所描述的操作(i)到(iv)-通常被重复多次,以便形成所需厚度的共形膜。因此,在一些实施方式中,操作(i)到(iv)连续地接连被重复至少1次,或至少2次,或至少3次,或至少5次,或至少7次,或至少10次。ALD膜可以按以下速率来沉积:约0.1埃和2.5埃或介于0.1埃和2.5埃之间/ALD循环,或者约0.2埃和2埃或介于0.2埃和2埃之间/ALD循环,或者约0.3埃和1.8埃或介于0.3埃和1.8埃之间/ALD循环,或者约0.5埃和1.5埃或介于0.5埃和1.5埃之间/ALD循环,或者约0.1埃和1.5埃或介于0.1埃和1.5埃之间/ALD循环,或者约0.2埃和1.0埃或介于0.2埃和1.0埃之间/ALD循环,或者约0.3埃和1.0埃或介于0.3埃和1.0埃之间/ALD循环,或者约0.5埃和1.0埃或介于0.5埃和1.0埃之间/ALD循环。

[0066] 在某些成膜化学物中,除了使用被称为“膜前体”的物质外,也可使用辅助反应物或共反应物。在某些这样的实施方式中,在重复步骤(i)到(iv)时,在步骤(i)到(iv)的子步骤期间或者在(i)到(iv)中的每个步骤的整个过程中,可以使辅助反应物或共反应物连续地流动。在一些实施方式中,这种其它的活性化学物质(辅助反应物、共反应物等)可以在与膜前体反应之前与该膜前体一起被吸附到衬底的表面上(如在上文描述的涉及前体P1和P2的实施例中),然而,在其它实施方式中,这种其它的活性化学物质可在与所吸附的膜前体接触时而本身没有事先吸附到衬底表面上的情况下与所吸附的膜前体发生反应。此外,在一些实施方式中,使所吸附的膜前体反应的操作(iii)会涉及使所吸附的膜前体与等离子体接触,从而除了提供活化能,还可提供辅助反应剂/共反应物,具体取决于实施方式。例

如,在上面描述的涉及通过ALD形成SiN的过程中,辅助反应剂/共反应物可以被认为是用于在步骤(iii)中形成等离子体的含N物质。

[0067] 在一些实施方式中,所沉积的多层膜可以包括通过例如下述方式形成的交替组合物的区域/部分:共形地按顺序沉积具有一种组合物的多个层,接着共形地按顺序沉积具有另一种组合物的多个层,然后可以重复和交替这两个顺序。所沉积的ALD膜的这些方面中的一些例如描述在2012年9月7日提交的、名称为“CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION”的美国专利申请No.13/607,386(律师档案号No.NOVLP488)中,该专利申请其全部内容基于所有目的通过引用并入本文。具有交替组合物的部分的共形膜(包括用于对下伏的目标IC结构或衬底区域进行掺杂的膜)的另外的实例以及形成这些膜的方法详细描述于下述文献中:于2011年4月11日提交的、名称为“PLASMA ACTIVATED CONFORMAL FILM DEPOSITION”的美国专利申请No.13/084,399(律师档案号NOVLP405);于2011年9月23日提交的、名称为“PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION”的美国专利申请No.13/242,084,现在的美国专利No.8,637,411(律师档案号NOVLP427);于2011年9月1日提交的、名称为“PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION”的美国专利申请No.13/224,240(律师档案号NOVLP428);于2012年9月7日提交的、名称为“CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION”的美国专利申请No.13/607,386(律师档案号NOVLP488);以及于2014年2月28日提交的、名称为“CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS”的美国专利申请No.14/194,549;这些专利文献中的每一个其全部内容基于所有目的通过引用并入本文。

[0068] 如在上面参考的详述中具体描述的,ALD工艺可以用于沉积共形氧化硅(SiO_x)膜,碳化硅(SiC)膜,氮化硅(SiN)膜,硅碳氮化物(SiCN)膜,或它们的组合物。在某些ALD形成的膜的变体中也可以形成硅-碳-氧化物和硅-碳-氧氮化物和硅-碳-氮化物。用于沉积这些类型的膜的方法、技术和操作在下述专利文献中进行了详细描述:于2012年6月12日提交的、名称为“REMOTE PLASMA BASED DEPOSITION OF SiOC CLASS OF FILMS”的美国专利申请No.13/494,836,律师档案号NOVLP466/NVLS003722;于2013年5月31日提交的、名称为“METHOD TO OBTAIN SiC CLASS OF FILMS OF DESIRED COMPOSITION AND FILM PROPERTIES”的美国专利申请No.13/907,699,律师档案号LAMRP046/3149;名称为“GROUND STATE HYDROGEN RADICAL SOURCES FOR CHEMICAL VAPOR DEPOSITION OF SILICON-CARBON-CONTAINING FILMS”的美国专利申请No.14/062,648;以及于2014年2月28日提交的、名称为“CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS”的美国专利申请No.14/194,549;这些专利文献中的每一个其全部内容基于所有目的通过引用并入本文。

[0069] 可重复多个ALD循环以建立堆叠的共形层。在一些实施方式中,每一层可具有基本上相同的组合物,而在其它实施方式中,按顺序ALD沉积的层可以具有不同的组合物,或在某些这样的实施方式中,组合物可一层一层地交替变换或可以存在重复序列的具有不同组合物的层,如上所述。因此,根据实施方式的不同,可以使用诸如上文所列出且通过引用并入的专利申请(美国专利申请No.13/084,399、13/242,084以及13/224,240)中公开的某些

堆叠设计构思来调整这些膜中的硼、磷或砷的浓度。

[0070] 成膜ALD化学

[0071] SiN膜的沉积可利用可从各种化合物中选择的一种或多种含硅膜前体。合适的前体可包括选择并提供所需的组合物性质(在某些情况下,物理或电学性质)的有机硅反应物。含硅反应物/膜前体的实例可以包括硅烷,烷基硅烷、硅氧烷、烷氧基硅烷、卤代硅烷、氨基硅烷,等等。

[0072] 至于硅烷,在某些实施方式中,可用于形成SiN膜的硅烷的非限制性的示例包括硅烷(SiH₄),乙硅烷(Si₂H₆),丙硅烷,和更高阶的硅烷。

[0073] 在一些实施方式中,烷基硅烷-具有键合到一个或多个烷基和/或氢原子的一个或多个硅原子的含硅化合物-也可以用于形成SiN膜。根据不同的实施方式,硅原子可以键合到4个烷基,或3个烷基和氢,或2个烷基和2个氢,或1个烷基和3个氢。可选择的可行烷基包括,但不限于,甲基、乙基、正丙基、异丙基和叔丁基官能团。适于用作膜前体的烷基硅烷的具体例子可以包括,但不限于,甲基硅烷(H₃SiCH₃),乙基硅烷,异丙基硅烷,叔丁基硅烷,二甲基硅烷(H₂Si(CH₃)₂),三甲基硅烷(HSi(CH₃)₃),四甲基硅烷(Si(CH₃)₄),二乙基硅烷,三乙基硅烷,二叔丁基硅烷,烯丙基硅烷,仲丁基硅烷,叔己基硅烷,异戊基硅烷,叔丁基二硅烷,和二叔丁基二硅烷。

[0074] 此外,高阶硅烷可以代替甲硅烷使用。在具有其中硅原子键合至硅原子的多个硅原子的硅化合物中,在每种上的其他取代基的数目被减1。来自烷基硅烷类的一种这样的乙硅烷的例子是六甲基二硅烷(HMDS)。来自烷基硅烷类的乙硅烷的另一个例子可以包括五甲基二硅烷(PMDS),其可以被用于形成SiC膜。在一些实施方式中,硅原子中的一个可具有只连接到它的含碳或含烷氧基的基团,而硅原子中的一个可有只连接到它的氢原子。其他类型的烷基硅烷可包括烷基碳硅烷。烷基碳硅烷可具有支链的聚合物结构,该结构具有键合到硅原子的碳,以及键合到硅原子的烷基的。示例包括二甲基三甲硅烷基甲烷(DTMSM)和双-二甲基甲硅烷基乙烷(BDMSE)。其他类型的烷基硅烷还可包括硅氮烷和烷基二硅氮烷。烷基二硅氮烷包括硅氮烷和键合两个硅原子的烷基基团。例子包括1,1,3,3-四甲基二硅氮烷(TMDSN)。在一些实施方式中,TMDSN可形成SiCN膜。

[0075] 在一些实施方式中,卤代硅烷-具有键合到一个或多个卤素原子的一个或多个硅原子的含硅化合物-也可以用于形成SiN膜。根据不同的实施方式,硅原子可以键合至4个卤素原子,或3个卤素原子,或2个卤素原子,或1个卤素原子。碘硅烷、溴硅烷、氯硅烷和氟硅烷可以适合用作膜前体。虽然卤代硅烷,尤其是氟硅烷,可以形成可以蚀刻硅材料的反应性卤化物,在本文所述的某些实施方式中,在等离子体被激发时不存在含硅反应物。适合用作为膜前体的氯硅烷的具体例子包括但不限于,四氯硅烷(SiCl₄)、三氯硅烷(HSiCl₃)、二氯硅烷(H₂SiCl₂)、一氯硅烷(C1SiH₃)、六氯乙硅烷、氯烯丙基硅烷、氯甲基硅烷、二氯甲基硅烷(SiHCH₃Cl₂)、氯二甲基硅烷,氯乙基硅烷、叔丁基氯硅烷、二叔丁基氯硅烷、氯异丙基硅烷、氯仲丁基硅烷、叔丁基二甲基氯硅烷、和乙基二甲基氯硅烷。碘硅烷、溴硅烷和氟硅烷的具体例子包括但不限于,在分子结构上与这些含氯化合物类似的化合物,但具有代替氯原子的碘、溴、或氟原子。例如,对应于三氯硅烷(HSiCl₃)的溴硅烷是三溴硅烷(HSiBr₃)。

[0076] 在一些实施方式中,氨基硅烷-具有键合到一个或多个胺基团的一个或多个硅原子的含硅化合物-也可以用于形成SiN膜。根据不同的实施方式,硅原子可以键合到4个胺基

基团,或3个胺基基团,或2个胺基基团,或1个胺基基团。例如,特定的膜前体具有键合到中心硅原子的2个胺基和2个氢原子是BTBAS(双-叔丁基氨基硅烷, $\text{SiH}_2(\text{NHC}(\text{CH}_3)_3)_2$)。适合用作膜前体的氨基硅烷的其它具体例子包括,但不限于,单氨基硅烷,二氨基硅烷,三氨基硅烷,和四氨基硅烷(分别地, H_3SiNH_2 , $\text{H}_2\text{Si}(\text{NH}_2)_2$, $\text{HSi}(\text{NH}_2)_3$,和 $\text{Si}(\text{NH}_2)_4$)。经取代的单氨基硅烷,二氨基硅烷,三氨基硅烷,和四氨基硅烷也可以作为合适的膜前体,包括但不限于,用甲基、乙基、正丙基、异丙基和叔丁基官能团取代其胺基的这类化合物。具体的例子包括叔丁基氨基硅烷,甲基氨基硅烷,叔丁基硅胺,正叔丁基三甲基硅胺,叔丁基硅基氨基甲酸酯, $\text{SiHCH}_3(\text{N}(\text{CH}_3)_2)_2$, $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$, $\text{SiHC1}(\text{N}(\text{CH}_3)_2)_2$, $\text{Si}(\text{CH}_3)_2(\text{NH}_2)_2$, $(\text{Si}(\text{CH}_3)_2\text{NH})_3$, $(\text{NR})_2\text{Si}(\text{CH}_3)_2$ (其中R为氢或选自甲基、乙基、正丙基、异丙基和叔丁基官能团),和三硅烷基胺($\text{N}(\text{SiH}_3)_3$)。其他具体的例子包括二甲基氨基,双-二甲基氨基甲基硅烷(BDMAMS),和三-二甲基氨基硅烷(TDMAS),2,2-双(二甲基氨基)-4,4-二甲基-2,4-二硅戊烷,2,2,4-三甲基-4-二甲基氨基-3,4-二硅戊烷,二甲基氨基二甲基硅烷,双(二甲基氨基)甲基硅烷,和三(二甲基氨基)硅烷。1,1,3,3-四甲基二硅氮烷是硅氮烷的非限制性示例。

[0077] 对于 SiN 膜的沉积,适当的含硅反应物/膜前体,诸如上述的那些,也可以结合含氮共反应物使用。可以使用的含氮共反应剂的非限制性的例子包括氨,肼,胺,如甲胺、二甲胺、乙胺、异丙胺、叔丁胺、二叔丁胺、环丙胺、仲丁胺、环丁胺、异戊胺、2-甲基丁-2-胺、三甲胺、二异丙基胺、二乙基异丙基胺、二-叔丁基肼,以及含芳胺,如苯胺、吡啶、和苄胺。胺类可以是伯、仲、叔或季(例如,四烷基铵化合物)。含氮共反应剂含有至少一个氮,但也可以含有除氮以外的杂原子。因此,例如,羟胺,叔丁氧羰基胺,和正叔丁基羟胺被认为是含氮反应物。在一些实施方式中,含有N的反应物可以是 N_2 。在一些实施方式中,含N的共反应物可以用作在电离或自由基等离子体中的物质以激活膜形成表面反应。在某些这样的实施方式中使用基于含N共反应物的等离子体,所指的含N共反应剂包括 NH_3 、 N_2 、和胺,特别是叔丁基胺。

[0078] 最后,应该指出的是,可重复多次ALD循环以建立共形层堆栈。在一些实施方式中,每一层可具有基本上相同的组合物,而在其它实施方式中,按顺序的ALD沉积的层可以具有不同的组成,或在某些这样的实施方式中,组成可在层与层之间交替变化或可以有具有不同组成的层的重复序列,如上所述。

[0079] 衬底处理装置

[0080] 本文中所描述的方法可以用任何合适的半导体衬底处理装置来执行。合适的装置包括用于完成处理操作的硬件和具有用于根据本文公开的各种形成 SiN 膜的ALD方法和致密化技术控制处理操作的指令的系统控制器。在一些实施方式中,硬件可以包括包含在多站式衬底处理工具中的一个或多个处理站以及具有(或访问)用于根据本文公开的膜形成技术控制处理操作的机器可读指令的控制器。

[0081] 因此,在一些实施方案中,适用于在半导体衬底上沉积耐湿法蚀刻的 SiN 膜的装置可以包括:处理室;在处理室中的衬底支架;一个或多个气体入口,其用于使气体流入处理室;真空源,其用于从处理室去除气体;等离子体发生器,其用于在处理室内产生等离子体;以及一个或多个控制器,其包括用于操作一个或多个气体入口、真空源以及等离子发生器以沉积 SiN 膜层到半导体衬底上的机器可读指令。由控制器执行的所述指令可以包括用于执行如上所述的ALD操作(i)至(vi)的指令,和用于重复ALD操作(i)至(vi)多次以形成多个层的致密的 SiN 膜的指令。合适的系统控制器将在下面进一步详细描述。

[0082] 因此,图5示意性示出了用于执行本文所述的ALD技术的衬底处理装置500的一种实施方式。为简单起见,处理装置500被描述成具有用于维持低压环境的处理室主体502的独立处理站。然而,应当理解,多个处理站可以包括在共同的处理工具环境中,例如,在共同的反应室内,如本文所述。例如,图6描绘了多站式处理工具的一种实施方式。此外,应理解的是,在一些实施方式中,处理装置500/600的包括在上面详细讨论的那些硬件参数内的一个或多个硬件参数可以通过编程方式由一个或多个系统控制器调整。

[0083] 再次参照图5,装置500的处理室502在内部体积内具有单一的衬底支架508,该内部体积可以通过真空泵518被保持在真空条件下。气体输送系统501和喷头506流体耦合到室用于(例如)膜前体,载气和/或清洗气体和/或处理气体,次级/共反应剂等等的递送。用于在处理室内产生等离子体的室也被在图5中所示,并将在下面进一步详细描述。在任何情况下,如在下面详细描述的,在图5中示意性所示的装置提供了用于在半导体衬底上执行膜沉积操作(如ALD)的基本的设备。

[0084] 处理室500与反应物输送系统501流体地连通以便将工艺气体输送至分配喷头506。反应物输送系统501包括用于混合和/或调节输送至喷头506的工艺气体的混合容器504。一个或多个混合容器入口阀520可控制工艺气体朝向混合容器504的导入。

[0085] 一些反应物可在汽化和随后输送到处理室502之前以液体形式存储。图5的实施方式包括用于将拟被供给到混合容器804的液体反应物汽化的汽化站点503。在一些实施方式中,汽化站点503可以是加热的液体喷射模块。在一些实施方式中,汽化站点503可以是加热的蒸发器。从这样的模块/蒸发器产生的饱和反应物蒸气在输送管路的合适位置没有受到充分的控制时(例如,当没有氦气用于汽化/雾化液体反应物时)会在输送管路下游凝结。不相容的气体暴露于凝结的反应物会产生小颗粒。这些小颗粒会堵塞管路、阻碍阀门操作、污染衬底等。解决这些问题的一些方法涉及打扫和/或排空输送管以去除残留的反应物。然而,打扫输送管可能会增加处理站的循环时间、降低处理站的吞吐量。因此,在一些实施方式中,汽化站点503下游的输送管道也可以进行热处理。在一些实施例中,混合容器504也可以进行热处理。在一个非限制性的实施例中,汽化站点503下游的管道具有从约100°C升高至在混合容器504处的约150°C的递增的温度分布。

[0086] 如上所述的,在一些实施方式中,汽化站点503可以是加热的液体喷射模块(简称“液体喷射器”)。这样的液体喷射器可喷射液体反应物的脉冲到混合容器上游的载气流中。在一种情况下,液体喷射器可通过从较高的压强到较低的压强来闪蒸液体,从而汽化反应物。在另一种情况下,液体喷射器可将液体雾化成随后在加热的输送管中汽化的分散微滴。应该理解的是,较小的液滴比较大的液滴会较快汽化,从而减少液体喷射和完全汽化之间的延迟。较快汽化可以缩短汽化站点503下游管路的长度。在一种情况下,液体喷射器可直接安装到混合容器504上。在另一种情况下,液体喷射器可直接安装到喷头506上。

[0087] 在一些实施方式中,汽化站点503上游的液体流量控制器(LFC)可以被设置用于控制液体的质量流量以便使其汽化并输送到处理室502。例如,LFC可包括位于LFC下游的热质量流量计(MFM)。然后可响应于由与该MFM电通信的比例-积分-微分(PID)控制器提供的反馈控制信号调节LFC的柱塞阀。然而,它可能需要一秒或更多时间以使用反馈控制来稳定液体流。这可能延长投配液体反应物的时间。因此,在一些实施方式中,LFC可以在反馈控制模式和直接控制模式之间进行动态切换。在一些实施方式中,LFC可以通过禁用LFC和PID控制

器的感应管道而被动态地从反馈控制模式切换到直接控制模式。

[0088] 喷头506将工艺气体和/或反应物(例如,膜前体)朝在处理站处的衬底512分配,工艺气体和/或反应物(例如,膜前体)的流动由喷头上游的一个或多个阀(例如,阀520,520A,505)控制。在图5中所示的实施方式中,衬底512位于喷头506的下方,并显示为搁置在基座108上。应该理解的是,喷头可具有任何合适的形状,并且可以具有任何合适数量和布置的端口以便分配工艺气体到衬底。

[0089] 在一些实施方式中,微体积507位于喷头506下方。在处理站靠近衬底的微体积中执行ALD工艺而不是在处理室的整个体积中执行ALD工艺,这样可以减少反应物的暴露和打扫次数,可减少用于改变工艺条件(例如,压力、温度等)的次数,可以限制处理站的机械手暴露于工艺气体等。微体积尺寸的实施例包括但不限于介于0.1升和2升之间的体积。

[0090] 在一些实施方式中,基座508可以升高或降低以暴露衬底给微体积507和/或改变微体积507的体积。例如,在衬底传送阶段,基座可被降低,以使衬底能被加载到基座上。在衬底上进行沉积的处理阶段,基座可被升高以将衬底定位在微体积507内。在一些实施方式中,所述微体积可完全围绕衬底以及基座的一部分,以在沉积处理期间创建高流动性阻抗区域。

[0091] 任选地,可将基座508在沉积处理的部分期间降低和/或升高以调节微体积507内的处理压强、反应物浓度等。在处理室主体502在处理期间保持在基本压强的一种情况下,降低基座可使得微体积能被抽空。微体积比处理室体积的示例性比率包括,但不限于,介于1:500和1:10之间的体积比。应理解的是,在一些实施方式中,基座高度可以经由合适的系统控制器通过编程方式进行调整。

[0092] 在另一种情况下,调整基座的高度可以使得等离子体密度在包含例如于ALD或CVD工艺中的等离子体活化和/或处理循环期间能够变化。在沉积处理阶段结束时,基座可以在另一衬底传送阶段被降低以使得衬底能从基座移走。

[0093] 虽然在本发明描述的示例性微体积变化指的是高度可调的基座,但应该理解的是,在一些实施方式中,喷头506的位置可以相对于基座508被调整以改变微体积的体积。此外,应当理解的是,基座和/或喷头的垂直位置可以通过本公开内容的范围内的任何合适的机构来改变。在一些实施方式中,基座可包括用于旋转衬底的方向的旋转轴线。应该理解的是,在一些实施方式中,这些示例性调整中的一个或多个可以通过一个或多个适当的系统控制器以编程方式执行,该控制器具有用于执行前述操作的全部或子集的指令。

[0094] 返回至图5所示的实施方式中,喷头506和基座508可以电连通RF功率源514和匹配网络516以用于在处理室内激励等离子体。在一些实施方式中,等离子体的能量可通过控制处理站的压强、气体的浓度、RF功率电平、RF功率频率以及等离子体功率脉冲时序中的一个或多个来控制(例如,经由具有适当的机器可读指令的系统控制器)。例如,RF功率源514及匹配网络516可在任何合适的功率下进行操作,以形成具有所期望的组合物的离子/自由基物质的等离子体。合适的等离子体功率的各种实施例-就等离子体功率发生器中设置的RF功率电平以及在室中的等离子体的能量密度方面而言-在以上描述,并相应地取决于所采用的特定方法。根据不同的实施方式,RF功率源514可以提供任何适当的频率的RF功率用于被执行的处理方法。在一些实施方式中,RF功率源514可以被配置为彼此独立地控制高频(HF) RF功率源和低频(LF) RF功率源。根据不同实施方式,由RF功率源产生的低频的范围可

以介于50kHz和500kHz之间。根据不同实施方式,由RF功率源产生的高频的范围可以介于1.8MHz和2.45GHz之间。应当理解,任何合适的参数可被离散地或连续地调制以提供用于表面反应的等离子体能量。在一些实施方式中,等离子体功率可以间歇地施以脉冲,以相对于被连续激励的等离子体减少对衬底表面的离子轰击。

[0095] 在一些实施方式中,等离子体可由一个或多个等离子体监控器原位监控。在一种情形中,等离子体功率可通过一个或一个以上的电压、电流传感器(例如,VI探针)进行监控。在另一种情况下,等离子体密度和/或工艺气体的浓度可以由一个或多个光发射谱(OES)传感器来测量。在一些实施方式中,一个或多个等离子体参数可基于来自这样的原位等离子体监控器的测量结果通过编程方式进行调整。例如,OES传感器可用于反馈回路中以提供对等离子体功率的编程式控制。应理解的是,在一些实施方式中,可使用其它监控器来监控等离子体和其他工艺特性。这样的监控器可包括,但不限于,红外(IR)监控器、声学监控器、以及压力传感器。

[0096] 在一些实施方式中,可以经由输入/输出控制(IOC)测序指令来控制等离子体。在一个示例中,用于设置等离子体激活阶段的等离子条件的指令可被包括在工艺配方的相应的等离子体激活配方阶段中。在某些情况下,工艺配方阶段可按顺序排列,使得用于工艺阶段的所有指令与该工艺阶段同时执行。在一些实施方式中,用于设定一个或一个以上的等离子体参数的指令可以被包括在等离子体工艺阶段之前的配方阶段中。例如,第一配方阶段可以包括用于设置惰性气体(例如,氦)和/或反应气体(例如,NH₃)的流率的指令、用于设置等离子体发生器至功率设定点的流率的指令、以及用于第一配方阶段的时延指令。后续的第二配方阶段可包括用于启用等离子体发生器的指令以及用于第二配方阶段的时延指令。第三配方阶段可以包括用于禁用等离子体发生器的指令以及用于第三配方阶段的时延指令。应当理解,这些配方阶段可进一步以在本公开的范围内的任何合适的方式细分和/或重复。

[0097] 在一些沉积处理中,等离子体可以激励并维持约几秒钟或更长。在一些沉积工艺中,等离子体可以激励并维持远远较短的持续时间。所选择的持续时间具体取决于产生的等离子体的性质和用途。以上相对于本文所公开的特定的膜沉积技术指示了合适的等离子体的持续时间和衬底的曝光时间。值得注意的是,如此非常短时间的RF等离子体持续时间可因此要求等离子体的非常快速的稳定。为了实现这一点,可以将等离子体发生器配置为使得阻抗匹配被预设为特定的电压,同时使频率能浮动。按惯例,高频等离子体在约13.56MHz的RF频率下产生,然而在一些配置中,可以使频率能浮动到不同于该标准值的值。通过使频率能浮动,同时固定阻抗匹配到预定电压,可以远远较快地稳定等离子体,其结果在使用有时与ALD循环相关的非常短的等离子体持续时间时可能是重要的。

[0098] 在某些实施方式中,可以使用标准HF值13.56MHz的倍数,以产生甚至更高频率的等离子体。如当使用标准值13.56MHz的情况下,在13.56MHz的倍数的较高频率下产生的HF辐射也可被允许围绕倍数的精确值浮动。根据实施方式的不同,可以使用的13.56MHz的倍数包括27.12MHz(=2*13.56MHz),40.68MHz(=3*13.56MHz),54.24MHz(=4*13.56MHz),等等。关于13.56MHz的倍数的频率调谐可以包括约+/-1MHz的频率变化,或更具体地,约+/-0.5MHz的频率变化。较高的RF频率产生具有较高密度、较低方块电压和较少离子轰击和方向性的更有力的等离子体,这往往在向高深宽比的3D结构上进行沉积时是有益的。

[0099] 在一些实施方式中，基座508可通过加热器510进行温控。另外，在一些实施方式中，对于处理站500的压力控制可通过诸如蝶形阀518之类的一个或多个阀操作的真空源来提供。如图5的实施方式中所示，蝶形阀518调节由下游真空泵(未示出)提供的真空。然而，在一些实施方式中，处理装置500的压力控制也可以通过改变引入到处理装置502的一种或多种气体的流率进行调整。在一些实施方式中，一个或多个阀操作的真空源-诸如蝶形阀518-可以用于在合适的ALD操作阶段期间从处理站周围的容积去除膜前体。

[0100] 虽然在某些情况下，像图5那样的衬底处理装置可能是足够的，但是当涉及费时的膜沉积操作时，通过同时在多个半导体衬底上并行地进行多个沉积操作以提高衬底处理吞吐量，这可能是有利的。基于这样的目的，如图6所示示意性示出的那样，可以采用多站式衬底处理装置。图6的衬底处理装置600仍采用单个衬底处理室614，然而，在由处理室的壁所限定的单一内部体积内，是多个衬底处理站，每一个衬底处理站可以用于在被保持在该处理站的晶片支架中的衬底上执行处理操作。注意在一些实施方式中，通过将多个站保持在共同的低压环境中，可避免在各个站处执行膜沉积处理之间的真空中断所引起的缺陷。

[0101] 在该特定实施方式中，多站式衬底处理装置600被显示为具有4个处理站601、602、603和604。装置还采用衬底装载设备，在这种情况下为衬底搬运机械手626，其被配置为将衬底从通过吊舱628装载的盒移动通过大气端口620，进入处理室614，并且最后到达一个或多个处理站，具体而言，在这种情况下，处理站601和602。还示出了衬底转盘690用作衬底传送设备，在这种情况下，衬底传送设备用于在各处理站601、602、603以及604之间传送衬底。

[0102] 在图6中所示的实施方式中，衬底装载设备被描绘为具有用于衬底操作的2个臂的衬底搬运机械手626，因此，如所描绘的，它可以在两个站601和602装载衬底(也许同时，或者也许按顺序地)。然后，在站601和602装载之后，衬底传送设备，在图6中所描绘的转盘690可以做180度的旋转(绕其中心轴线，中心轴线基本上垂直于衬底(从页面出来)的平面，并在衬底之间基本上等距)以从站601和602传送两个衬底到站603和604。在这一点上，搬运机械手626可在站601和602装载2个新衬底，完成装载过程。为了卸载，可以颠倒这些步骤，除了下列操作以外：如果要处理多组的4个晶片，那么每次通过搬运机械手626卸载2个衬底将伴随通过在将传送转盘690转动180度之前装载2个新的衬底。类似地，配置放置衬底在仅1站(例如601)的独臂搬运机械手将在伴随转盘690旋转90度4次的4步装载工艺中使用以在所有4个站装载衬底。值得注意的是，虽然图6描绘两臂衬底搬运机械手626作为衬底装载设备的例子，以及转盘690作为衬底传送设备的例子，但是应当理解，也可以采用其它类型的合适的衬底装载和传送设备。

[0103] 其它类似的多站式处理装置可具有较多或较少的处理站，具体取决于实施方式以及例如并行晶片处理的期望程度、尺寸/空间的限制、成本限制等。图6还示出了并下面更详细描述了系统控制器650，其控制衬底处理装置的操作，以完成本文公开的各种ALD成膜方法。

[0104] 注意，就设备成本和运营费用这两方面而言，通过使用如图6中所显示的那样的多站式处理装置可以实现多种效率。例如，单个真空泵(未在图6中示出，而例如图5中的518)可以被用来相对于所有的4个处理站排空已用过的工艺气体，创建单个高真空环境，等等。同样，在一些实施方式中，单个喷头可以在单个处理室之内的所有处理站共用。

[0105] 然而，在其他实施方式中，每一个处理站可以具有它自己的用于气体输送的专用

喷头(参见,例如,图5中的506),但在某些这样的实施方式中,可以采用共享的气体输送系统(例如,图5中的501)。在每处理站具有专用喷头的实施方式中,每个喷头可以使它的温度单独地调节和/或控制。例如,每个喷头可以相对于衬底(该喷头传递气体到该衬底)进行温度调节,或相对于与该喷头相关联的衬底支架进行温度调节,等等。通过同样的措施,在衬底支架通过例如加热和/或冷却进行主动温度控制/调节的实施方式中,每一个衬底支架的温度可以单独地调节。

[0106] 可以在处理站中共享或者在每个处理站中按倍数存在或者单独专用的其它硬件元件包括等离子发生器设备的某些元件。所有处理站可以共享例如共同的等离子体功率源,但,另一方面,如果专用喷头存在,并且如果它们被用于施加等离子体产生的电势,那么这些表示等离子体产生硬件的对于不同处理站单独专用的元件。再次,这些处理站专用喷头中的每一个可以使其温度根据例如特定的处理站的热性能的差异和被使用的ALD工艺的详情单独调节。

[0107] 当然,应当理解的是,这样的效率还可以通过每个处理室使用更多或更少数量的处理站而在较大或较小的程度上实现。虽然所描绘的处理室614包括四个处理站,但是应当理解,根据本公开的处理室可以具有任何适当的数目的站。例如,在一些实施方式中,处理室可具有1个、或2个、或3个、或4个、或5个、或6个、或7个、或8个、或9个、或10个、或11个、或12个、或13个、或14个、或15个、或16个、或更多的处理站(或成组的实施方式可以被描述为每个反应室具有在由任何成对的前述值所限定的范围内的处理站的数量,例如每个反应室具有2至6个处理站,或每个反应室具有4至8个处理站,或每个反应室8至16个处理站等)。

[0108] 此外,应该理解的是,共享处理室内的各个处理站可以被用于重复并行处理操作或不同的处理操作,具体取决于实施方式。例如,在一些实施方式中,一些处理站可以专用于ALD工艺模式,而其它处理站可专用于CVD工艺模式,而另一些处理站可以在ALD工艺模式和CVD工艺模式之间切换。

[0109] 系统控制器

[0110] 图6还描绘了用于控制处理工具600的工艺条件和硬件状态以及其处理站的系统控制器650的一个实施方式。系统控制器650可包括一个或多个存储器设备656、一个或多个大容量存储设备654以及一个或多个处理器652。处理器652可以包括一个或多个CPU、ASIC、通用计算机和/或专用计算机、一个或多个模拟和/或数字输入/输出连接件、一个或多个步进电机控制器板等。

[0111] 在一些实施方式中,系统控制器650控制处理工具600的包括其单个的处理站的操作在内的操作中的一些或全部。系统控制器650可以执行在处理器656上的机器可读系统控制指令658,在一些实施方式中,系统控制指令658可以从大容量存储装置654加载到存储器设备656中。系统控制指令658可包括用于控制时序、气体和液体反应物的混合物、室和/或站的压强、室和/或站的温度、晶片的温度、目标功率电平、RF功率电平、RF暴露时间、衬底基座、卡盘和/或基座的位置、以及通过处理工具600执行的特定处理的其它参数的指令。这些处理可以包括各种类型的处理,包括但不限于与在衬底上沉积膜相关的处理。

[0112] 因此,由系统控制器650执行的机器可读指令658可以包括用于执行如上所述的ALD操作(i)至(vi)和用于重复ALD操作(i)至(vi)多次以形成多层致密的SiN膜的指令。例如,为了实现本文所公开的ALD膜形成方法,一个或多个系统控制器的指令可以包括:

[0113] 用于操作一个或多个气体入口以使膜前体流入处理室并使膜前体吸附到衬底支架中容纳的半导体衬底上,使得膜前体在衬底上形成吸附受限层的指令,所述膜前体包括Si;

[0114] 用于操作真空源以从吸附膜前体周围的体积去除至少一些未吸附的膜前体的指令;

[0115] 用于在执行去除未吸附的膜前体的指令之后要执行的操作等离子体发生器以产生包含N的离子和/或基团的等离子体,并且通过将所吸附的膜前体暴露于等离子体来使其反应以在衬底上形成SiN膜层的指令;

[0116] 用于在执行用于使所吸附的前体反应的指令之后要执行的操作等离子体发生器,以产生具有相对于衬底表面介于约0.035和2.2瓦/厘米²的功率密度的含有He的等离子体,并通过将其SiN膜层暴露于所述等离子体持续介于0.5和15秒以使SiN膜层致密化的指令;以及

[0117] 用于重复前述指令以在衬底上形成额外的致密化SiN膜层的指令。

[0118] 在一些实施方案中,指令还可以包括:

[0119] 用于在执行用于使吸附的膜前体的指令之后,但在执行用于使所沉积的膜层致密化的指令之前要执行的操作真空源以从围绕SiN膜层的体积去除至少一些含N离子、含N自由基、解吸膜前体、和/或反应副产物的指令;以及

[0120] 用于在执行使所沉积的膜层致密化的指令之后要执行的操作真空源以从SiN膜层的周围的体积去除至少一些He的指令。

[0121] 系统控制指令658可以以任何合适的方式进行配置。例如,各种处理工具组件子程序或控制的对象可以被写入以控制执行各种处理工具的进程所需要的处理工具组件的操作。系统控制指令658可以以任何合适的计算机可读编程语言进行编码。在一些实施方式中,系统控制指令658在软件中实现,在其他实施方式中,指令可在硬件中实现,例如,作为逻辑硬编码在ASIC(专用集成电路)中,或者,在其他实施方式中,作为软件和硬件的组合实现。

[0122] 在一些实施方式中,系统控制软件658可包括用于控制上述各种参数的输入/输出控制(IOC)测序指令。例如,一个或者多个沉积处理的每个阶段可以包括用于由系统控制器650执行的一个或多个指令。用于设置膜沉积处理阶段的处理条件的指令例如可以包括在相应的沉积配方阶段中。在一些实施方式中,配方阶段可按顺序设置,以便处理阶段的所有指令与该处理阶段同时执行。

[0123] 在一些实施方式中可以采用存储在与系统控制器650相关联的大容量存储设备654和/或存储器设备656上的其它计算机可读指令和/或程序。程序或程序段的实例包括衬底定位程序、工艺气体控制程序、压强控制程序、加热器控制程序以及等离子体控制程序。

[0124] 衬底定位程序可以包括用于处理工具组件的指令,该处理工具组件用于将衬底加载到基座(参见508,图5)上并控制衬底和图5的处理工具500的其它部件之间的间隔。该定位程序可以包括用于根据需要适当地移动衬底进出反应室以将膜沉积在衬底上的指令。

[0125] 工艺气体控制程序可包括用于控制气体组成和流率的指令和任选地用于使气体在沉积之前流到围绕一个或多个处理站的体积中以稳定在这些体积中的压强的指令。在一些实施方式中,工艺气体控制程序可以包括用于在衬底上沉积膜期间引入某些气体到围绕

在处理室中的一个或多个处理站的体积的指令。工艺气体控制程序还可以包括以相同速率在相同的期间、或者以不同的速率和/或在不同的期间引入这些气体的指令,具体取决于将被沉积的膜的组合物。工艺气体控制程序还可以包括用于在加热的喷射模块中在存在氦或一些其它的载气的情况下雾化/汽化液体反应物的指令。

[0126] 压强控制程序可以包括用于通过调节例如在处理站的排放系统中的节流阀、流入处理站内的气流等等来控制处理站内的压强的指令。压强控制程序可以包括用于在衬底上沉积各种类型的膜期间保持相同或不同的压强的指令。

[0127] 加热器控制程序可包括用于控制流向用于加热衬底的加热单元的电流的指令。可替代地或附加地,加热器控制程序可控制传热气体(如氦)朝向衬底上的传送。加热器控制程序可包括在衬底上沉积各种类型的膜期间用于在反应室和/或围绕处理站的体积内保持相同或不同的温度的指令。

[0128] 等离子体控制程序可包括用于根据本文的实施方式设置一个或多个处理站内的RF功率电平、频率和暴露次数的指令。在一些实施方式中,等离子体控制程序可以包括用于在衬底上沉积膜期间使用相同或不同的RF功率电平和/或频率和/或暴露次数的指令。

[0129] 在一些实施方式中,可以存在与系统控制器650相关联的用户界面。用户界面可以包括显示屏、装置和/或工艺条件的图形软件显示器、以及诸如定点设备、键盘、触摸屏、麦克风等用户输入设备。

[0130] 在一些实施方式中,由系统控制器650调节的参数会涉及工艺条件。非限制性实例包括工艺气体组成和流率、温度(例如衬底支架和喷头温度)、压强、等离子体条件(例如,RF偏置功率电平和暴露次数)等。这些参数可以以配方的形式提供给用户,配方可以利用所述用户界面输入。

[0131] 用于监控处理的信号可以由系统控制器650的模拟和/或数字输入连接件从各种处理工具传感器提供。用于控制处理的信号可以通过处理工具600的模拟和/或数字输出连接件输出。可被监控的处理工具传感器的非限制性实例包括质量流量控制器(MFC)、压力传感器(例如压力计)、热电偶之类的温度传感器、等等。经适当编程的反馈和控制算法可以与来自这些传感器的数据一起使用,以保持工艺条件。

[0132] 系统控制器650可以提供用于执行上述沉积处理的机器可读指令。所述指令可以控制多种处理参数,如DC功率电平、RF偏置功率电平、压力、温度等。所述指令可以控制这些参数以执行如本文所述的膜沉积操作。

[0133] 因此,系统控制器将通常包括一个或多个存储器设备和被配置成执行机器可读指令的一个或多个处理器以使该装置将执行根据本文所公开的工艺的操作。包含用于控制根据本发明所公开的衬底处理操作的指令的机器可读的非临时性介质可以耦合到系统控制器。

[0134] 上面所描述的各种装置和方法可以与光刻图案化工具和/或工艺结合使用,例如,以用于制造或生产半导体器件、显示器、发光二极管、光伏电池板等。典型地,但不必然地,此类工具将在普通的制造设施中一起和/或同时使用,或者此类工艺将在普通的制造设施中一起和/或同时执行。

[0135] 在一些实施方案中,控制器是系统的一部分,该系统的一部分可以是上述实施例的一部分。这样的系统可以包括半导体处理设备,半导体处理设备包括一个或多个加工工

具、一个或多个室、用于处理的一个或多个平台、和/或特定的处理部件(晶片基座、气体流动系统等)。这些系统可与电子器件集成,以便在半导体晶片或衬底的处理之后、期间或之后控制这些系统的操作。电子器件可以被称为“控制器”,其可以控制一个或多个系统的各种组件或子部分。根据处理要求和/或系统的类型的不同,控制器可以被编程,以控制本发明所公开的工艺中的任何一些,包括控制处理气体的输送、温度的设置(例如,加热和/或冷却)、压力的设置、真空的设置、功率的设置、射频(RF)发生器的设置、RF匹配电路的设置、频率的设置,流率的设置、流体输送的设置、位置和操作的设置、晶片的进出工具和其他转移工具和/或连接到特定系统的或与特定系统接口的负载锁的传送。

[0136] 从广义上讲,控制器可以被定义为接收指令、发出指令、控制操作、使能清洁操作、使能终点测量等的具有各种集成电路、逻辑、存储器、和/或软件的电子器件。该集成电路可以包括定义为固件形式的存储程序指令的芯片、数字信号处理器(DSP)、定义为专用集成电路(ASIC)的芯片和/或执行程序指令(例如,软件)的一个或多个微处理器或微控制器。程序指令可以是与各种不同的设置(或程序文件)形式的控制器通信的指令,该设置定义在或用于半导体晶片或向系统进行特定处理的操作参数。在一些实施方式中,所述操作参数可以是由工艺工程师定义的以完成晶片的一个或多个层、材料、金属、氧化物、硅、二氧化硅、表面、电路和/或管芯的制造过程中的一或多个处理步骤的配方的一部分。

[0137] 在一些实施方案中,控制器可以是与系统集成、耦接或者说是通过网络连接系统或它们的组合的计算机的一部分或者与该计算机耦接。例如,控制器可以在“云端”或者是fab主机系统的全部或一部分,它们可以允许远程访问晶片加工。计算机可以启用对系统的远程访问以监测制造操作的当前处理,检查过去的制造操作的历史,检查多个制造操作的趋势或性能标准,改变当前处理的参数,设置处理步骤以跟随当前的处理或者开始新的工艺。在一些实例中,远程计算机(例如,服务器)可以通过网络给系统提供工艺配方,网络可以包括本地网络或互联网。远程计算机可以包括允许输入或编程参数和/或设置的用户界面,这些输入或编程参数和/或设置然后从远程计算机通信到系统。在一些实例中,控制器接收数据形式的指令,该指令指明在一个或多个操作期间将要执行的每个处理步骤的参数。应当理解,参数可以针对将要执行的工艺类型以及工具类型,控制器被配置成连接或控制该工具类型。因此,如上所述,控制器可以例如通过包括一个或多个分立的控制器而分布,这些分立的控制器通过网络连接在一起并且朝着共同的目标(例如,本文所述的工艺和控制)工作。用于这些目的的分布式控制器的实例可以是与结合以控制室内工艺的一个或多个远程集成电路(例如,在平台水平或作为远程计算机的一部分)通信的室内的一个或多个集成电路。

[0138] 在没有限制的情况下,示例的系统可以包括等离子体蚀刻室或模块、沉积室或模块、旋转冲洗室或模块、金属电镀室或模块、清洁室或模块、倒角边缘蚀刻室或模块、物理气相沉积(PVD)室或模块、化学气相沉积(CVD)室或模块、原子层沉积(ALD)室或模块、原子层蚀刻(ALE)室或模块、离子注入室或模块、轨道室或模块、以及在半导体晶片的制备和/或制造中可以关联上或使用的任何其他的半导体处理系统。

[0139] 如上所述,根据工具将要执行的一个或多个工艺步骤,控制器可以与一个或多个其他的工具电路或模块、其他工具组件、组合工具、其他工具界面、相邻的工具、邻接工具、位于整个工厂中的工具、主机、另一个控制器、或者在将晶片的容器往来于半导体制造工厂

中的工具位置和/或装载口搬运的材料搬运中使用的工具通信。

[0140] 光刻图案化

[0141] 光刻图案化膜通常包括以下操作中的一些或全部,每个操作能够使用多种可行的工具:(1) 使用旋涂或喷涂工具将光致抗蚀剂涂覆在衬底上,例如涂覆在上面形成有氮化硅膜的衬底上;(2) 使用热板或炉或其它合适的固化工具固化光致抗蚀剂;(3) 使用例如晶片步进式曝光机之类的工具将光致抗蚀剂暴露于可见光或紫外线或X射线;(4) 使抗蚀剂显影以便使用诸如湿式台或喷射显影器之类的工具选择性地去除抗蚀剂,从而使其图案化;(5) 通过使用干式或等离子体辅助式的刻蚀工具将抗蚀剂图案转移到下伏膜或衬底;并且(6) 使用例如射频或微波等离子体抗蚀剂剥离器之类的工具去除抗蚀剂。在一些实施方式中,可灰化硬掩模层(例如无定形碳层)和另一种合适的硬掩模(例如抗反射层)可以在施加光致抗蚀剂之前沉积。

[0142] 其它实施方式

[0143] 尽管为了促进清楚和理解的目的,在具体实施方式的背景下,已经详细描述了前述公开的技术、操作、处理、方法、系统、装置、工具、膜、化学品和组合物,但对于本领域的普通技术人员而言,显而易见的是,存在许多实施前述实施方式的落入本发明的主旨和范围内的替代方式。因此,本文所描述的实施方式应被看作是说明本发明公开的创造性构思,而不是限制,并且不应被用作不适当当地限制最终指向本发明的主题的任何权利要求的范围的不允许的基础。

湿法蚀刻速率 (WER) 与衬底支架温度

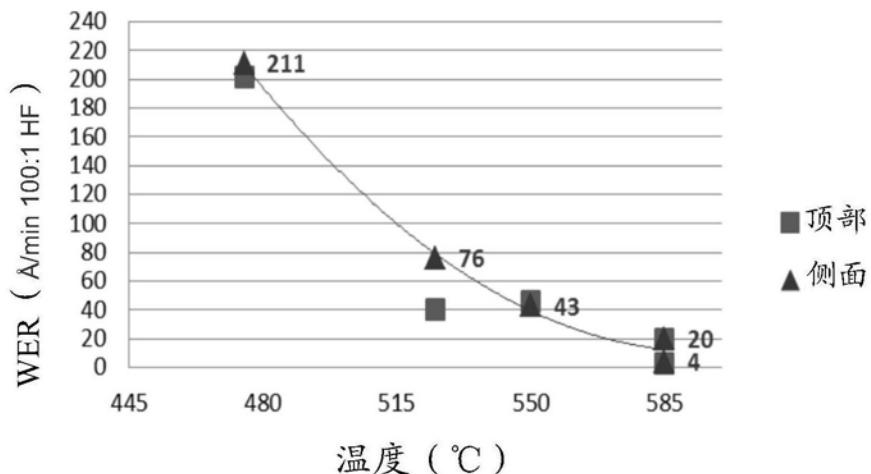


图1A

440°C 晶片温度

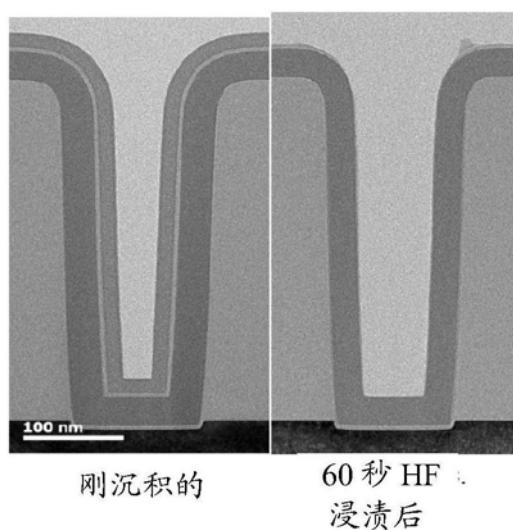


图1B

520°C 晶片温度

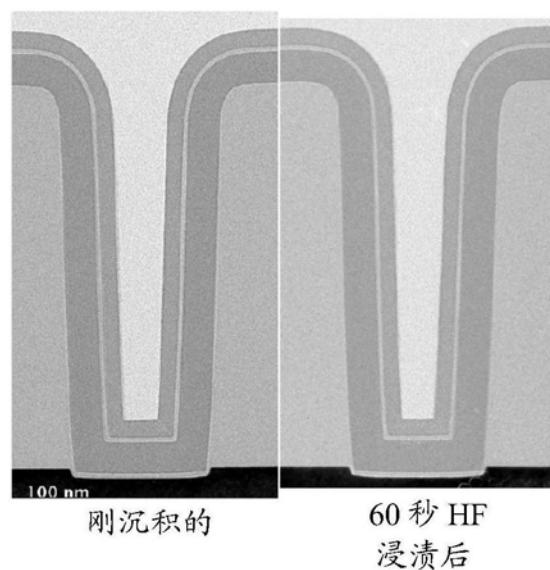


图1C

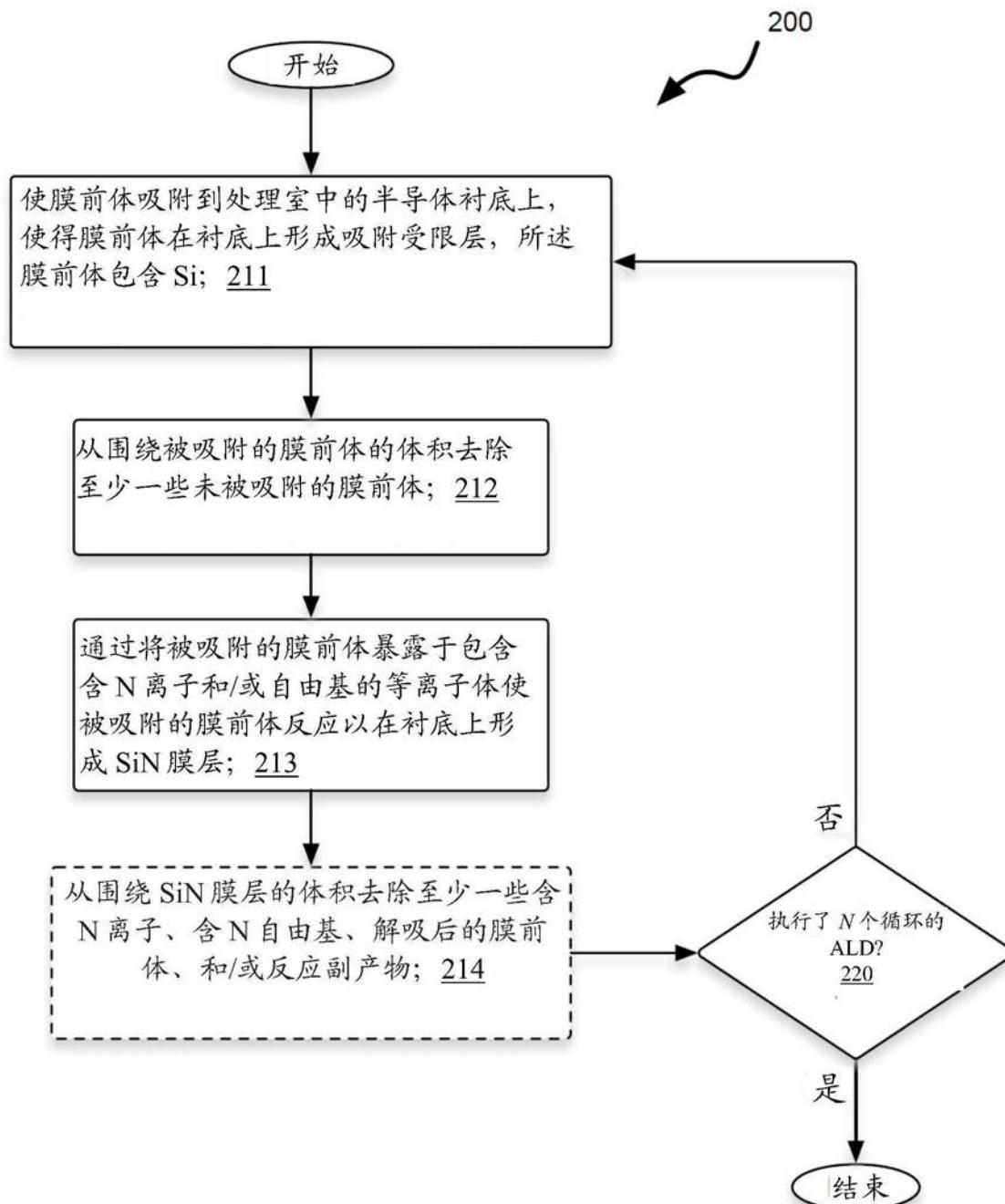


图2

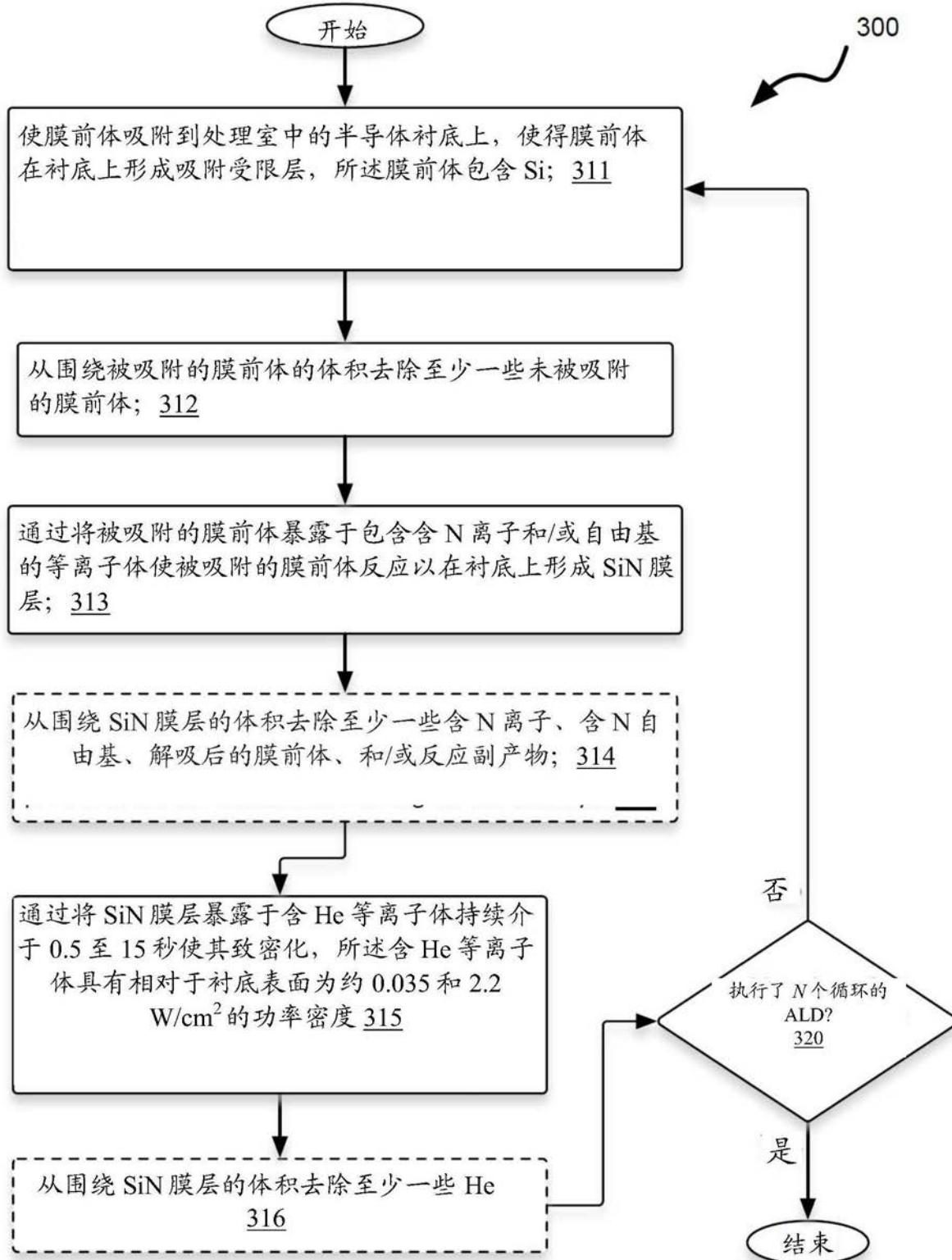


图3

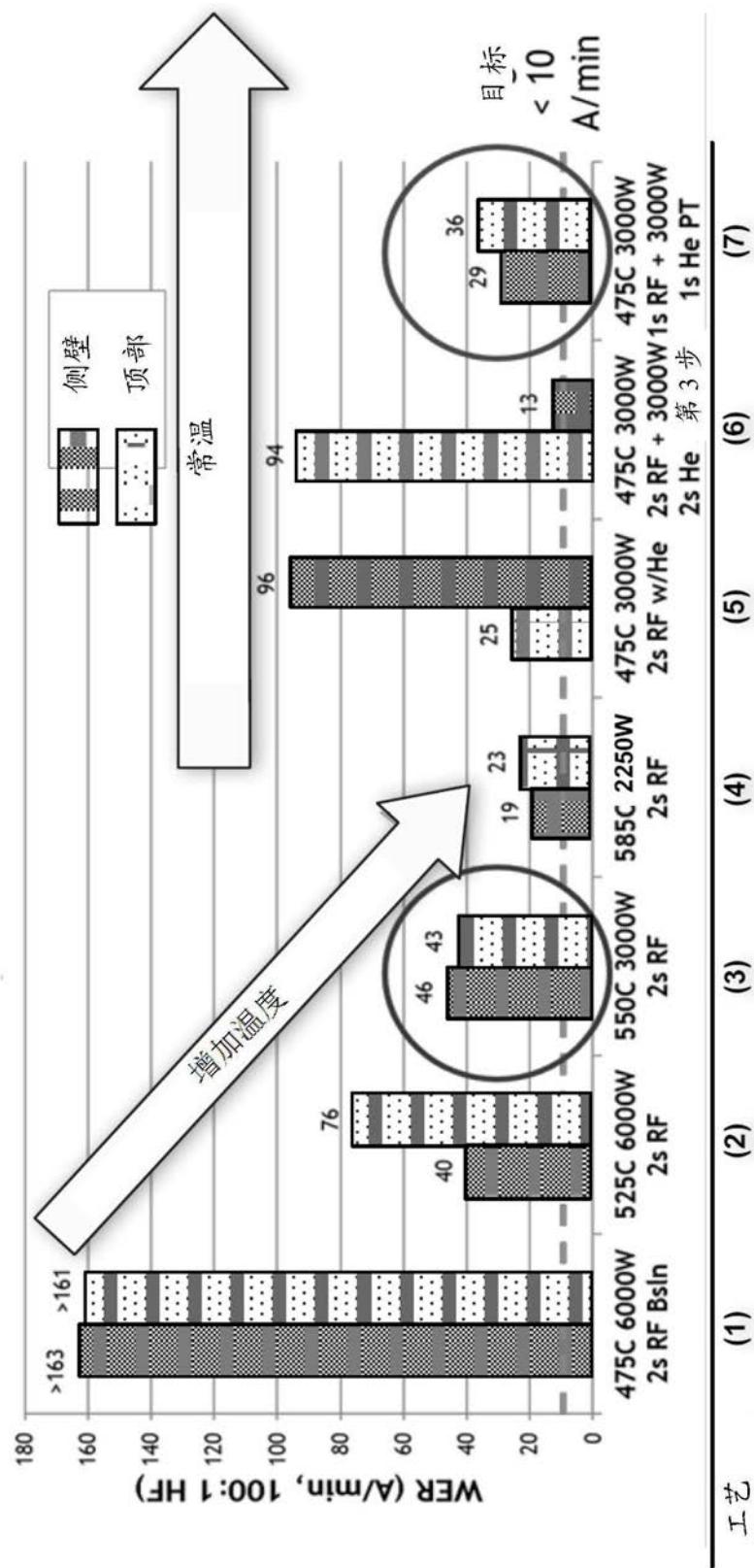


图4A

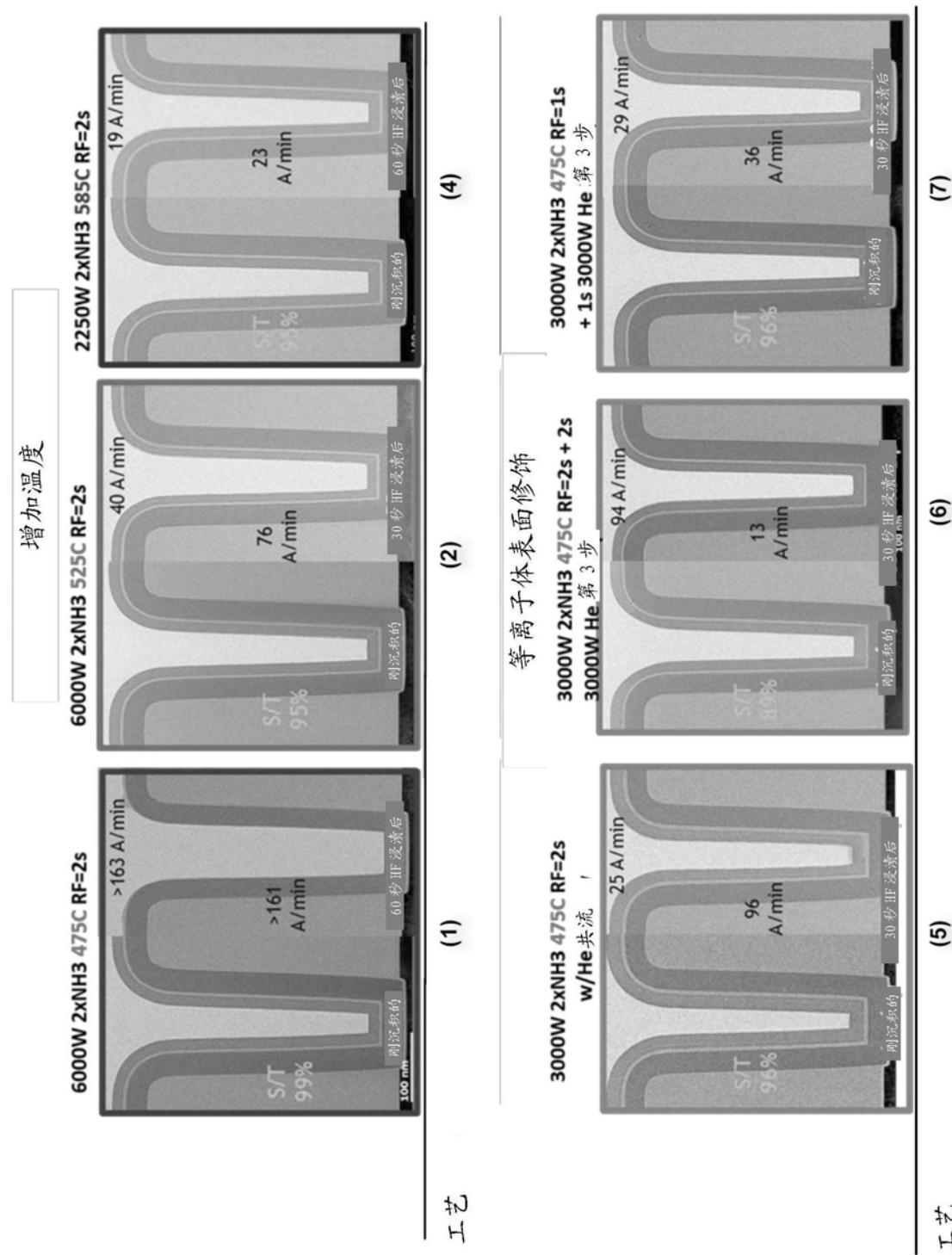


图4B

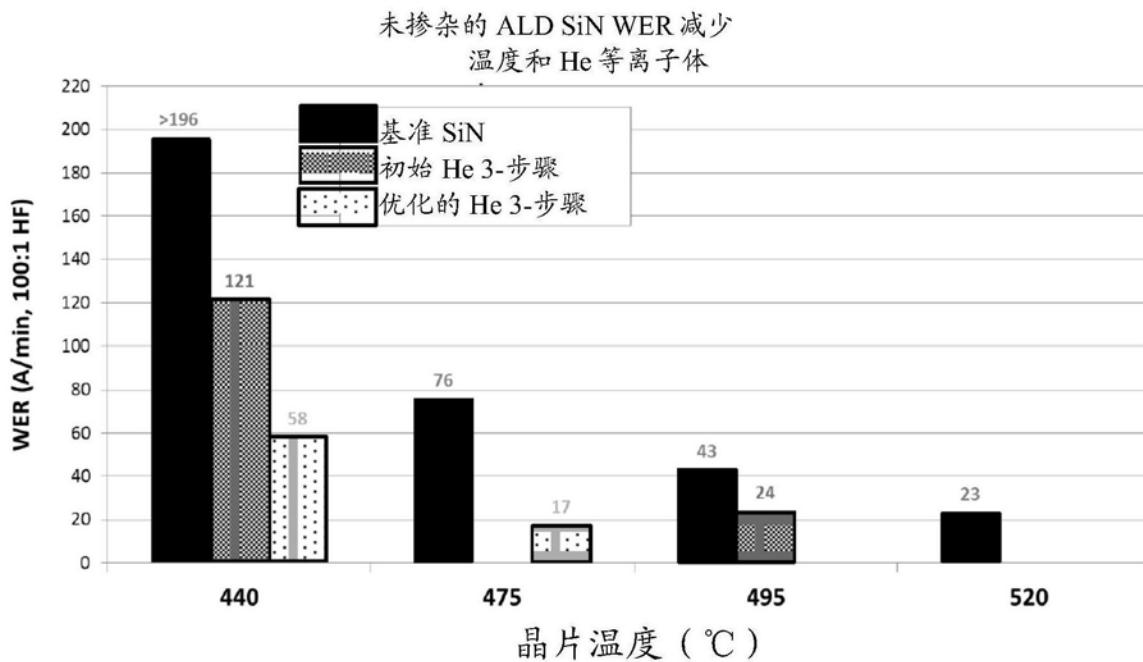


图4C

用 He 处理的 475°C 修改的 ALD 工艺

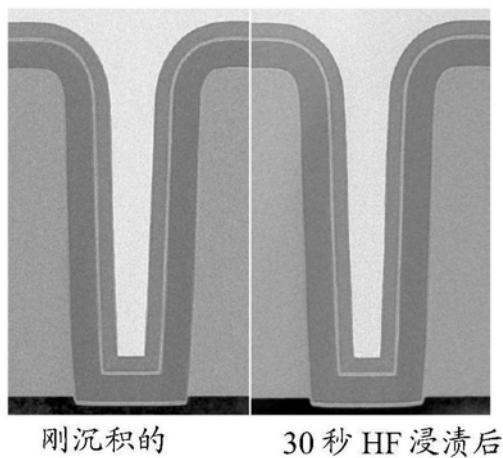


图4D

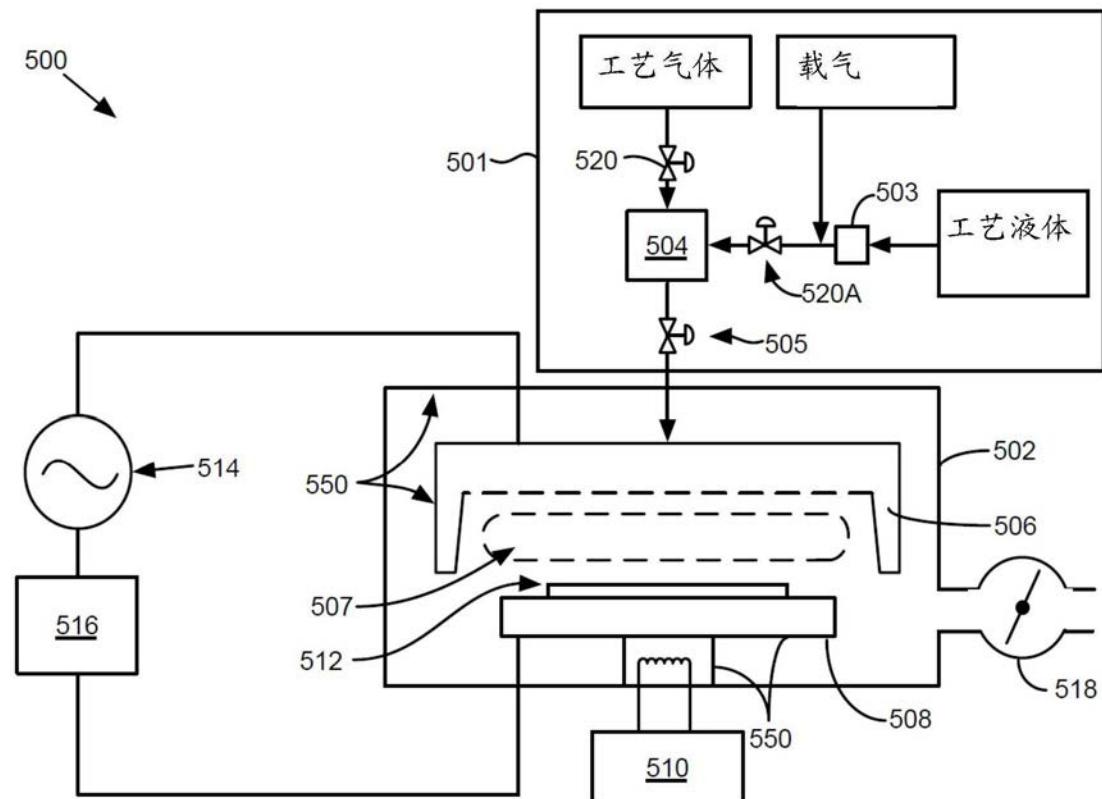


图5

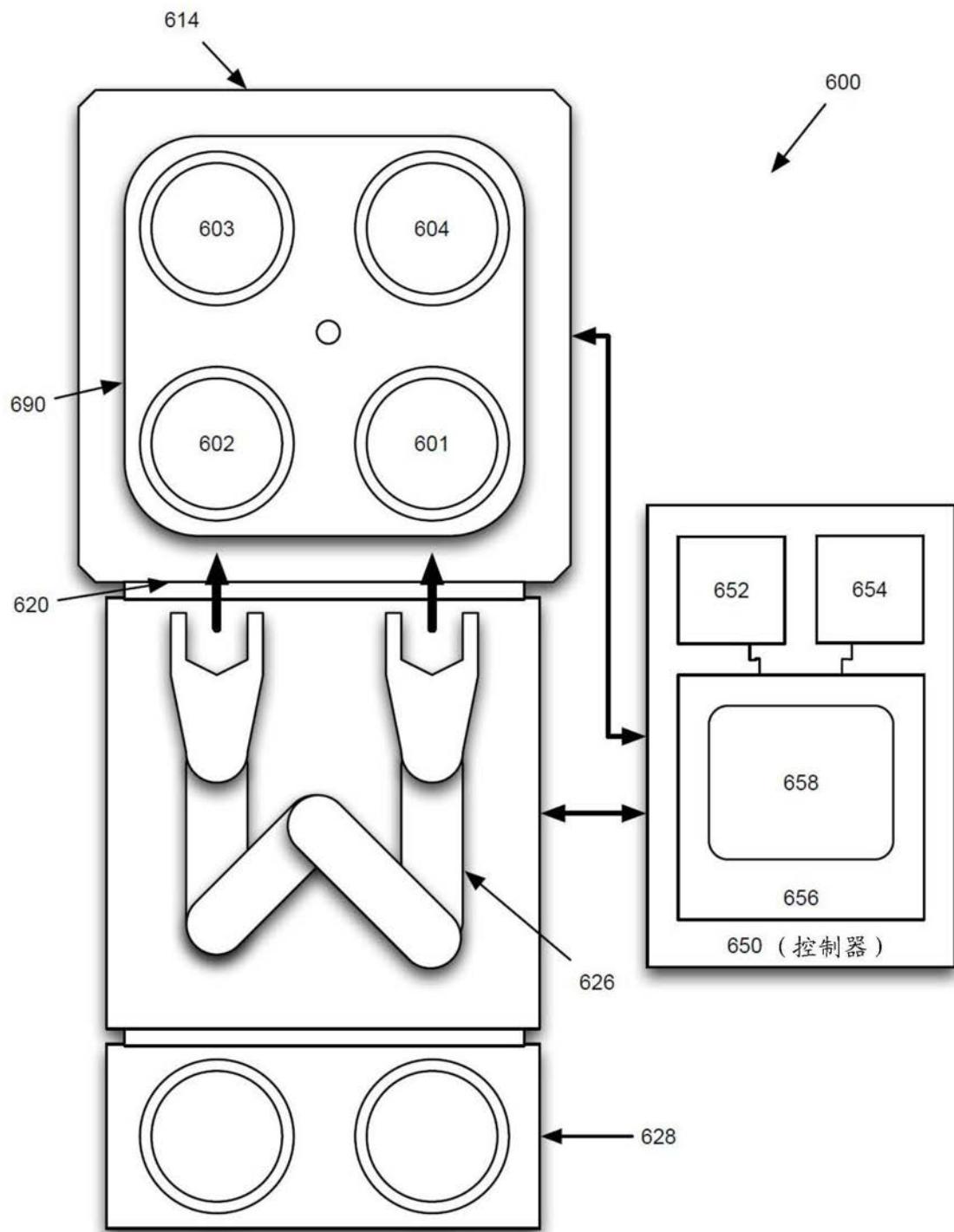


图6