

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 27 日 (27.01.2022)



(10) 国际公布号
WO 2022/017044 A1

(51) 国际专利分类号:
G09G 3/3225 (2016.01) **H01L 27/32** (2006.01)

省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2021/099187

(72) 发明人: 青海刚(QING, Haigang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(22) 国际申请日: 2021 年 6 月 9 日 (09.06.2021)

(25) 申请语言: 中文

(74) 代理人: 北京安信方达知识产权代理有限公司(AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路 38 号(B 座)21 层 2108, Beijing 100083 (CN)。

(26) 公布语言: 中文

(30) 优先权:
202010707046.2 2020 年 7 月 21 日 (21.07.2020) CN

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川

(54) Title: DISPLAY APPARATUS AND DRIVING METHOD THEREFOR

(54) 发明名称: 一种显示装置及其驱动方法

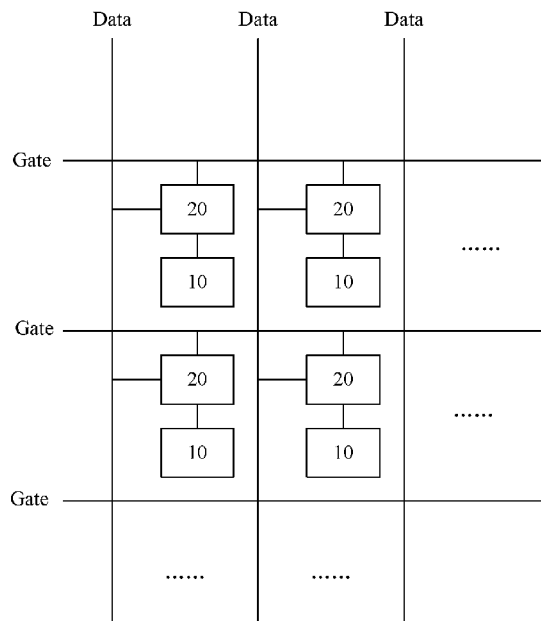


图 10

(57) Abstract: A display apparatus and a driving method therefor. The apparatus comprises a light-emitting element, a pixel circuit, a scanning signal line, a data signal line, an initial signal line, a light emission control line, a first power source line, and a first reset line to a third reset line. The pixel circuit comprises: a first reset sub-circuit which is configured to provide a signal of the initial signal line to a first node; a node control sub-circuit which is configured to provide a signal of the data signal line to a second node, compensate for the first node by means of the second node and a third node until the voltage of the first node meets a threshold condition, and provide

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

a signal of the second node to the third node under the control of the first node; a light emission control sub-circuit which is configured to provide a signal of the first power source line to the second node and provide a signal of the third node to the light-emitting element; and a second reset sub-circuit which is configured to provide a signal of the initial signal line to the light-emitting element. The third reset line that is connected to the pixel circuit located in the i th row is connected to the first reset line that is connected to the pixel circuit located in the $(i+1)$ th row.

(57) 摘要: 一种显示装置及其驱动方法, 该装置包括: 发光元件、像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线至第三复位线; 像素电路包括: 第一复位子电路设置为向第一节点提供初始信号线的信号; 节点控制子电路设置为向第二节点提供数据信号线的信号, 并通过第二节点和第三节点向第一节点进行补偿, 直至第一节点的电压满足阈值条件; 在第一节点的控制下, 向第三节点提供第二节点的信号; 发光控制子电路设置为向第二节点提供第一电源线的信号, 向发光元件提供第三节点的信号; 第二复位子电路设置为向发光元件提供初始信号线的信号; 位于第 i 行的像素电路连接的第三复位线与位于第 $i+1$ 行的像素电路连接的第一复位线连接。

一种显示装置及其驱动方法

技术领域

5 本公开涉及但不限于显示技术领域，特别涉及一种显示装置及其驱动方法。

背景技术

10 有机发光二极管（Organic Light Emitting Diode，简称 OLED）是当今显示器研究领域的热点之一。与液晶显示器（Liquid Crystal Display，简称 LCD）相比，有机发光二极管 OLED 具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点，已广泛应用于手机、平板电脑、数码相机等显示领域中。

与 LCD 利用稳定的电压控制亮度不同，OLED 属于电流驱动，通过稳定的电流来控制 OLED 发光。像素电路作为 OLED 显示产品的核心技术，设置为向 OLED 输出驱动电路，以驱动 OLED 发光。

15

发明概述

以下是对本申请详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

20 第一方面，本公开提供了一种显示装置，包括：矩阵排布的发光元件、矩阵排布的像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线、第二复位线和第三复位线；

所述像素电路与所述发光元件一一对应；所述像素电路设置为驱动对应的发光元件发光；所述像素电路包括：第一复位子电路、节点控制子电路、发光控制子电路和第二复位子电路；

25 所述第一复位子电路，分别与第一复位线、扫描信号线、初始信号线和第一节点连接，设置为在第一复位线和扫描信号线的控制下，向第一节点提供初始信号线的信号；

所述节点控制子电路，分别与扫描信号线、第二复位线、数据信号线、

第一节点、第二节点、第三节点和第一电源线连接，设置为在扫描信号线、第二复位线和第一节点控制下，向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件；在第一节点的控制下，向第三节点提供第二节点的信号；

- 5 所述发光控制子电路，分别与发光控制线、第一电源线、第二节点、第三节点和发光元件连接，设置为在发光控制线的控制下，向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；

所述第二复位子电路，分别与第三复位线、初始信号线和发光元件连接，设置为在第三复位线的控制下，向发光元件提供初始信号线的信号；

- 10 位于第 i 行的像素电路连接的第三复位线与位于第 $i+1$ 行的像素电路连接的第一复位线电连接， $1 \leq i < M$ ， M 为像素电路的总行数。

在一些可能的实现方式中，所述显示装置包括：基底以及依次设置在所述基底上的驱动结构层和发光结构层；

- 15 所述驱动结构层包括：像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线、第二复位线和第三复位线，所述发光结构层包括：发光元件；

所述扫描信号线、所述初始信号线、所述发光控制线、所述第一复位线、所述第二复位线和所述第三复位线沿第一方向延伸，所述数据信号线与所述第一电源线沿第二方向延伸；

- 20 所述第一方向与所述第二方向相交。

在一些可能的实现方式中，每个像素电路包括：存储电容，所述存储电容包括：第一极板和第二极板；所述第一极板与第一电源线连接，所述第二极板与第一节点连接；

- 25 所述第一极板在基底上的正投影与所述第二极板在基底上的正投影部分重叠；所述第一极板设置有过孔，所述第一极板的过孔暴露出所述第二极板；

所述扫描信号线、所述第一复位线和所述第二复位线位于所述第二极板的一侧，所述发光控制线和所述第三复位线位于所述第二极板远离所述第一复位线的一侧；

所述第一复位线位于所述扫描信号线远离第二极板的一侧，所述第二复位线位于所述扫描信号线靠近所述第二极板的一侧；所述第三复位线位于所述发光控制线远离第二极板的一侧；

5 所述初始信号线包括：第一初始信号线和第二初始信号线；所述第一初始信号线与所述第一复位线位于第二极板的同一侧，且位于所述第一复位线远离第二极板的一侧；所述第二初始信号线与所述第三复位线位于所述第二极板的同一侧，且位于所述第三复位线远离第二极板的一侧。

在一些可能的实现方式中，所述驱动结构层还包括：电源连接线和连接电极；

10 所述电源连接线与所述第一电源线异层设置，且与所述第一电源线连接，所述第一极板通过电源连接线与所述第一电源线连接；

所述电源连接线在基底上的正投影与所述第一极板在基底上的正投影至少部分重叠，且与所述第一电源线在基底上的正投影至少部分重叠；

所述连接电极设置为连接像素电路和发光元件。

15 在一些可能的实现方式中，所述节点控制子电路包括：写入子电路、驱动子电路、补偿子电路和储能子电路；

所述写入子电路，分别与扫描信号线、第二复位线、数据信号线和第二节点连接，设置为在扫描信号线和第二复位线的控制下，向第二节点提供数据信号线的信号，或者向第二节点放电；

20 所述驱动子电路，分别与第一节点、第二节点和第三节点连接，设置为在第一节点的控制下，向第三节点提供第二节点的信号；

所述补偿子电路，分别与第一节点、第二复位线和第三节点连接，设置为在第二复位线的控制下，向第一节点提供第三节点的电位，以对第一节点进行补偿，直至第一节点的电压满足阈值条件；

25 所述储能子电路，分别与第一电源线和第一节点连接，设置为存储第一电源线与第一节点之间的电压差。

在一些可能的实现方式中，所述第一复位子电路包括：第一晶体管和第二晶体管；

所述第一晶体管的控制极与第一复位线连接，所述第一晶体管的第一极与初始信号线连接，所述第一晶体管的第二极与所述第二晶体管的第一极连接；

5 所述第二晶体管的控制极与扫描信号端连接，所述第二晶体管的第二极与第一节点连接。

在一些可能的实现方式中，所述写入子电路包括：第三晶体管和第四晶体管；

10 所述第三晶体管的控制极与扫描信号线连接，所述第三晶体管的第一极与数据信号线连接，所述第三晶体管的第二极与所述第四晶体管的第一极连接；

所述第四晶体管的控制极与第二复位线连接，所述第四晶体管的第二极与第二节点连接；

所述第四晶体管的沟道区域的长度大于阈值长度，所述第四晶体管的沟道区域的宽度大于阈值宽度。

15 在一些可能的实现方式中，所述驱动子电路包括：第五晶体管，所述第五晶体管为驱动晶体管；所述储能子电路包括：存储电容；

所述第五晶体管的控制极与第一节点连接，所述第五晶体管的第一极与第二节点连接，所述第五晶体管的第二极与第三节点连接；

20 所述存储电容的第一端与第一电源线连接，所述存储电容的第二端与第一节点连接。

在一些可能的实现方式中，所述补偿子电路包括：第六晶体管；

所述第六晶体管的控制极与第二复位线连接，所述第六晶体管的第一极与第一节点连接，所述第六晶体管的第二极与第三节点连接。

25 在一些可能的实现方式中，所述发光控制子电路包括：第七晶体管和第八晶体管；

所述第七晶体管的控制极与发光控制线连接，所述第七晶体管的第一极与第一电源线连接，所述第七晶体管的第二极与第二节点连接；

所述第八晶体管的控制极与发光控制线连接，所述第八晶体管的第一极与第三节点连接，所述第八晶体管的第二极与发光元件连接。

在一些可能的实现方式中，所述第二复位子电路包括：第九晶体管；

所述第九晶体管的控制极与第三复位线连接，所述第九晶体管的第一极
5 与初始信号线连接，所述第九晶体管的第二极与发光元件连接。

在一些可能的实现方式中，所述第一复位子电路包括：第一晶体管和
第二晶体管；所述节点控制子电路包括：第三晶体管、第四晶体管、第五晶体
管、第六晶体管和存储电容，所述第五晶体管为驱动晶体管；所述发光控制
子电路包括：第七晶体管和第八晶体管；所述第二复位子电路包括：第九晶
10 体管；

所述第一晶体管的控制极与第一复位线连接，所述第一晶体管的第一极
与初始信号线连接，所述第一晶体管的第二极与所述第二晶体管的第一极连
接；

所述第二晶体管的控制极与扫描信号端连接，所述第二晶体管的第二极
15 与第一节点连接；

所述第三晶体管的控制极与扫描信号线连接，所述第三晶体管的第一极
与数据信号线连接，所述第三晶体管的第二极与所述第四晶体管的第一极连
接；

所述第四晶体管的控制极与第二复位线连接，所述第四晶体管的第二极
20 与第二节点连接；

所述第五晶体管的控制极与第一节点连接，所述第五晶体管的第一极与
第二节点连接，所述第五晶体管的第二极与第三节点连接；

所述第六晶体管的控制极与第二复位线连接，所述第六晶体管的第一极
与第一节点连接，所述第六晶体管的第二极与第三节点连接；

25 所述存储电容的第一端与第一电源线连接，所述存储电容的第二端与第
一节点连接；

所述第七晶体管的控制极与发光控制线连接，所述第七晶体管的第一极
与第一电源线连接，所述第七晶体管的第二极与第二节点连接；

所述第八晶体管的控制极与发光控制线连接，所述第八晶体管的第一极与第三节点连接，所述第八晶体管的第二极与发光元件连接；

所述第九晶体管的控制极与第三复位线连接，所述第九晶体管的第一极与初始信号线连接，所述第九晶体管的第二极与发光元件连接。

5 在一些可能的实现方式中，所述发光元件包括：有机发光二极管；

所述有机发光二极管的阳极分别与第八晶体管的第二极和第九晶体管的第二极连接，所述有机发光二极管的阴极与第二电源线连接。

在一些可能的实现方式中，所述阈值条件为所述第一节点的电压等于所述数据信号线的信号的电压与第五晶体管的阈值电压的绝对值之差。

10 在一些可能的实现方式中，所述扫描信号线和所述第三复位线电连接。

在一些可能的实现方式中，对于第一晶体管至第九晶体管，每个晶体管包括：有源层、控制极、第一极和第二极；

所述驱动结构层包括：沿垂直于所述基底方向依次设置的有源层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层、第三金属层、
15 第四绝缘层、第一平坦层、第四金属层和第二平坦层；

所述有源层包括：初始信号线和所有晶体管的有源层；所述第一金属层包括：扫描信号线、第一复位线、第二复位线、第二极板、发光控制线、第三复位线和所有晶体管的控制极；所述第二金属层包括：第一极板；所述第三金属层包括：电源连接线以及部分晶体管的第一极或第二极；所述第四金属层包括：第一电源线、数据信号线和像素电极。
20

在一些可能的实现方式中，所述第一晶体管的控制极、所述第二晶体管的控制极、所述第三晶体管的控制极、所述第四晶体管的控制极和所述第六晶体管的控制极位于第二极板的第一侧，所述第七晶体管的控制极、所述第八晶体管的控制极和所述第九晶体管的控制极位于第二极板的第二侧，所述
25 第一侧和所述第二侧相对设置；

所述第二晶体管的控制极位于所述第一晶体管的控制极靠近第二极板的一侧；所述第二晶体管的控制极和所述第三晶体管的控制极为一体成型结构；所述第四晶体管的控制极位于第二晶体管的控制极靠近第二极板的一侧；所

述第四晶体管的控制极和所述第六晶体管的控制极为一体成型结构；所述第二极板与所述第五晶体管的控制极为一体成型结构；所述第七晶体管的控制极和所述第八晶体管的控制极为一体成型结构，所述第九晶体管的控制极位于所述第七晶体管的控制极远离第二极板的一侧。

5 在一些可能的实现方式中，所述第一绝缘层、所述第二绝缘层和所述第三绝缘层上设置有第一过孔、第二过孔、第三过孔和第四过孔；所述第二绝缘层和所述第三绝缘层上设置有第五过孔；所述第三绝缘层上设置有第六过孔；所述第四绝缘层和所述第一平坦层上设置有第七过孔、第八过孔和第九过孔；所述第二平坦层包括：第十过孔；

10 所述第一过孔暴露出第三晶体管的有源层，所述第三晶体管的第一极通过第一过孔与所述第三晶体管的有源层连接；所述第二过孔暴露出第二晶体管的有源层，所述第二晶体管的第二极通过第二过孔与第二晶体管的有源层连接；所述第三过孔暴露出第八晶体管的有源层，所述第八晶体管的第二极通过第三过孔与第八晶体管的有源层连接；所述第四过孔暴露出第七晶体管的有源层，所述第七晶体管的第一极通过第四过孔与第七晶体管的有源层连接；所述第五过孔暴露出所述第二极板，所述第二晶体管的第二极通过第五过孔与第二极板连接；所述第六过孔暴露出所述第一极板，所述电源连接线通过第六过孔与第一极板连接；所述第七过孔暴露出第三晶体管的第一极，所述数据信号线通过第七过孔与第三晶体管的第一极连接；所述第八过孔暴露出电源连接线，所述第一电源线通过第八过孔与所述电源连接线连接；所述第九过孔暴露出第八晶体管的第二极，所述连接电极通过第九过孔与第八晶体管的第二极连接；所述第十过孔暴露出连接电极，所述发光元件通过第十过孔与连接电极连接。

25 在一些可能的实现方式中，所述发光元件包括：第一电极、第二电极和有机发光层；所述第一电极位于所述有机发光层靠近基底的一侧，所述第二电极位于所述有机发光层远离基底的一侧；

所述发光结构层包括：像素界定层、透明导电层、有机材料层和导电层，所述透明导电层包括：第一电极，所述有机材料层包括：有机发光层；所述导电层包括：第二电极。

第二方面，本公开还提供了一种显示装置的驱动方法，设置为驱动上述显示装置，所述方法包括：

在第一复位线和扫描信号线的控制下，第一复位子电路向第一节点提供初始信号线的信号；

- 5 在第三复位线的控制下，第二复位子电路向发光元件提供初始信号线的信号，在扫描信号线、第二复位线和第一节点控制下，节点控制子电路向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件；

- 10 在发光控制线的控制下，发光控制子电路向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；在第一节点的控制下，节点控制子电路向第三节点提供第二节点的信号。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图概述

- 15 附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为本公开实施例提供的像素电路的结构示意图；

图 2 为一种示例性实施例提供的像素电路的结构示意图；

- 20 图 3 为一种示例性实施例提供的第一复位子电路的等效电路图；

图 4 为一种示例性实施例提供的节点控制子电路的等效电路图；

图 5 为一种示例性实施例提供的发光控制子电路的等效电路图；

图 6 为一种示例性实施例提供的第二复位子电路的等效电路图；

图 7 为一种示例性实施例提供的像素电路的等效电路图；

- 25 图 8 为一种示例性实施例提供的像素电路的工作时序图；

图 9A 为一种示例性实施例提供的像素电路在第一阶段的等效电路图；

图 9B 为一种示例性实施例提供的像素电路在第二阶段的等效电路图；

图 9C 为一种示例性实施例提供的像素电路在第三阶段的等效电路图；

图 9D 为一种示例性实施例提供的像素电路在第四阶段的等效电路图；

图 9E 为一种示例性实施例提供的像素电路在第五阶段的等效电路图；

图 9F 为一种示例性实施例提供的像素电路在第六阶段的等效电路图；

5 图 10 为本公开实施例提供的显示装置的结构示意图；

图 11 为本公开实施例提供的显示装置的部分俯视图；

图 12 为形成有源层的示意图；

图 13 为形成第一金属层的示意图；

图 14 为形成第二金属层的示意图；

10 图 15 为形成第三绝缘层的示意图；

图 16 为形成第三金属层的示意图；

图 17 为形成第一平坦层的示意图；

图 18 为形成第四金属层的示意图；

图 19 为形成第二平坦层的示意图。

15

详述

本公开描述了多个实施例，但是该描述是示例性的，而不是限制性的，并且对于本领域的普通技术人员来说，在本公开所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合，并在详述中进行了讨论，但是所公开的特征的许多其它组合方式也是可能的。除非特意加以限制的情况以外，任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结合使用，或可以替代任何其它实施例中的任何其他特征或元件。

本公开包括并设想了与本领域普通技术人员已知的特征和元件的组合。25 本公开已经公开的实施例、特征和元件也可以与任何常规特征或元件组合，以形成由权利要求限定的技术方案。任何实施例的任何特征或元件也可以与来自其它技术方案的特征或元件组合，以形成另一个由权利要求限定的技术

方案。因此，应当理解，在本公开中示出和/或讨论的任何特征可以单独地或以任何适当的组合来实现。因此，除了根据所附权利要求及其等同替换所做的限制以外，实施例不受其它限制。此外，可以在所附权利要求的保护范围内进行各种修改和改变。

- 5 除非另外定义，本公开公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。
- 10 “上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述的对象的位置改变后，则该相对位置关系也可能相应地改变。

- 晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。在本说明书中，沟道区域是指电流主要流过的区域。第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况
- 15 下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。此外，晶体管包括：P型晶体管或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管在栅极为高电平时导通，在栅极为低电平时截止。
- 20

- 随着 OLED 显示技术的成熟，人们对于高频 OLED 显示产品的需求越来越迫切。针对高频 OLED 显示产品，一种像素电路包括驱动晶体管和存储电容，由于像素电路中的扫描信号保持有效电平的时间较短，导致存储电容存储的电荷量不足，对驱动晶体管的阈值电压补偿不充分，使得 OLED 显示产品显示不均，降低了 OLED 显示产品的显示效果。
- 25

图 1 为本公开实施例提供的像素电路的结构示意图。如图 1 所示，本公

开实施例提供的像素电路设置为驱动发光元件发光，像素电路包括：第一复位子电路、节点控制子电路、发光控制子电路和第二复位子电路。

第一复位子电路，分别与第一复位线 RST1、扫描信号线 Gate、初始信号线 Vinit 和第一节点 N1 连接，设置为在第一复位线 RST1 和扫描信号线 Gate 的控制下，向第一节点 N1 提供初始信号线 Vinit 的信号。节点控制子电路，分别与扫描信号线 Gate、第二复位线 RST2、数据信号线 Data、第一节点 N1、第二节点 N2、第三节点 N3 和第一电源线 VDD 连接，设置为在扫描信号线 Gate、第二复位线 RST2 和第一节点 N1 控制下，向第二节点 N2 提供数据信号线 Data 的信号，并通过第二节点 N2 和第三节点 N3 向第一节点 N1 进行补偿，直至第一节点 N1 的电压满足阈值条件，在第一节点 N1 的控制下，向第三节点 N3 提供第二节点 N2 的信号。发光控制子电路，分别与发光控制线 EM、第一电源线 VDD、第二节点 N2、第三节点 N3 和发光元件连接，设置为在发光控制线 EM 的控制下，向第二节点 N2 提供第一电源线 VDD 的信号，向发光元件提供第三节点 N3 的信号。第二复位子电路，分别与第三复位线 RST3、初始信号线 Vinit 和发光元件连接，设置为在第三复位线 RST3 的控制下，向发光元件提供初始信号线 Vinit 的信号。发光元件，与第二电源线 VSS 连接。

在一种示例性实施例中，第一复位线 RST1、第二复位线 RST2、第三复位线 RST3、扫描信号线 Gate 和发光控制线 EM 的信号可以为脉冲信号。

在一种示例性实施例中，第一电源端 VDD 可以持续提供高电平信号。第二电源线 VSS 和初始信号线 Vinit 可以持续提供低电平信号。

在一种示例性实施例中，初始信号线 Vinit 的信号可以为电压值为 0V 的信号。

在一种示例性实施例中，第二电源线 VSS 的信号电压值和初始信号线 Vinit 的信号的电压值可以相同，或者可以不同。

在一种示例性实施例中，初始信号线 Vinit 的信号可以为发光元件和第一节点进行复位。

在一种示例性实施例中，发光元件可以为有机发光二极管 OLED。有机发光二极管 OLED 的阳极与发光控制子电路连接，阴极与第二电源端 VSS

连接。

本公开实施例提供的像素电路设置为驱动发光元件发光,像素电路包括:第一复位子电路、节点控制子电路、发光控制子电路和第二复位子电路;第一复位子电路,分别与第一复位线、扫描信号线、初始信号线和第一节点连接,5 设置为在第一复位线和扫描信号线的控制下,向第一节点提供初始信号线的信号;节点控制子电路,分别与扫描信号线、第二复位线、数据信号线、第一节点、第二节点、第三节点和第一电源线连接,设置为在扫描信号线、第二复位线和第一节点控制下,向第二节点提供数据信号线的信号,并通过第二节点和第三节点向第一节点进行补偿,直至第一节点的电压满足阈值条10 件;在第一节点的控制下,向第三节点提供第二节点的信号;发光控制子电路,分别与发光控制线、第一电源线、第二节点、第三节点和发光元件连接,设置为在发光控制线的控制下,向第二节点提供第一电源线的信号,向发光元件提供第三节点的信号;第二复位子电路,分别与第三复位线、初始信号线和发光元件连接,设置为在第三复位线的控制下,向发光元件提供初始信15 号线的信号;发光元件,与第二电源线连接。本公开中的节点控制子电路通过扫描信号线和第二复位线同时控制对第一节点进行补偿,可以使得在数据信号端的信号写入之后,发光元件发光之前,对第一节点进行持续补偿,直至第一节点满足阈值条件,增强了补偿效果,提升了显示产品的显示效果。

图2为一种示例性实施例提供的像素电路的结构示意图。如图2所示,20 一种示例性实施例提供的像素电路中的节点控制子电路包括:写入子电路、驱动子电路、补偿子电路和储能子电路。

写入子电路,分别与扫描信号线 Gate、第二复位线 RST2、数据信号线 Data 和第二节点 N2 连接,设置为在扫描信号线 Gate 和第二复位线 RST2 的控制下,向第二节点 N2 提供数据信号线 Data 的信号,在第二复位线 RST2 25 的控制下,向第二节点 N2 放电。驱动子电路,分别与第一节点 N1、第二节点 N2 和第三节点 N3 连接,设置为在第一节点 N1 的控制下,向第三节点 N3 提供第二节点 N2 的信号。补偿子电路,分别与第一节点 N1、第二复位线 RST2 和第三节点 N3 连接,设置为在第二复位线 RST2 的控制下,向第一节点 N1 提供第三节点 N3 的电位,以对第一节点 N1 进行补偿,直至第一节

点 N1 的电压满足阈值条件。储能子电路，分别与第一电源线 VDD 和第一节点 N1 连接，设置为存储第一电源线 VDD 与第一节点 N1 之间的电压差。

图 2 示出了节点控制子电路的一种示例性结构，该子电路的实现方式并不限于此。

5 图 3 为一种示例性实施例提供的第一复位子电路的等效电路图。如图 3 所示，在一种示例性实施例中，第一复位子电路包括：第一晶体管 T1 和第二晶体管 T2。第一晶体管 T1 和第二晶体管 T2 为开关晶体管。

10 第一晶体管 T1 的控制极与第一复位线 RST1 连接，第一晶体管 T1 的第一极与初始信号线 Vinit 连接，第一晶体管 T1 的第二极与第二晶体管 T2 的第一极连接。第二晶体管 T2 的控制极与扫描信号端 Gate 连接，第二晶体管 T2 的第二极与第一节点 N1 连接

图 3 示出了第一复位子电路的一种示例性结构，该子电路的实现方式并不限于此。

15 图 4 为一种示例性实施例提供的节点控制子电路的等效电路图。如图 4 所示，在一种示例性实施例中节点控制子电路中的写入子电路包括：第三晶体管 T3 和第四晶体管 T4。驱动子电路包括：第五晶体管 T5，第五晶体管 T5 为驱动晶体管。储能子电路包括：存储电容 Cst。补偿子电路包括：第六晶体管 T6。第三晶体管 T3、第四晶体管 T4 和第六晶体管 T6 为开关晶体管。

20 第三晶体管 T3 的控制极与扫描信号线 Gate 连接，第三晶体管 T3 的第一极与数据信号线 Data 连接，第三晶体管 T3 的第二极与第四晶体管 T4 的第一极连接。第四晶体管 T4 的控制极与第二复位线 RST2 连接，第四晶体管 T4 的第二极与第二节点 N2 连接。第五晶体管 T5 的控制极与第一节点 N1 连接，第五晶体管 T5 的第一极与第二节点 N2 连接，第五晶体管 T5 的第二极与第三节点 N3 连接。第六晶体管 T6 的控制极与第二复位线 RST2 连接，
25 第六晶体管 T6 的第一极与第一节点 N1 连接，第六晶体管 T6 的第二极与第三节点 N3 连接。存储电容 Cst 的第一端与第一电源线 VDD 连接，存储电容 Cst 的第二端与第一节点 N1 连接。

在一种示例性实施例中，第四晶体管 T4 的沟道区域的长度大于阈值长度，第四晶体管 T4 的沟道区域的宽度大于阈值宽度。当第四晶体管 T4 导通

后，第四晶体管 T4 的沟道区域导电，第四晶体管 T4 的沟道区域与控制极之间形成了电容，由于第四晶体管 T4 的沟道区域的长度大于阈值长度，第四晶体管 T4 的沟道区域的宽度大于阈值宽度，使得第四晶体管 T4 的沟道区域与控制极之间所形成的电容的电容值较大。此时，第四晶体管 T4 导通时，
5 相当于电容，可以进行充电或放电操作。

在一种示例性实施例中，阈值长度为第二晶体管、第四晶体管和第五晶体管的导电沟道长度的最大值，阈值宽度为第二晶体管、第四晶体管和第五晶体管的导电沟道宽度的最大值。

在一种示例性实施例中，驱动晶体管可以为增强型晶体管，或者可以为
10 耗尽型晶体管。

在一种示例性实施例中，设置的第一电源线 VDD 和第二电源线 VSS 的信号可以使得驱动晶体管在导通时处于饱和状态。

图 4 具体示出了节点控制子电路的示例性结构，该子电路的实现方式并不限于此。

15 图 5 为一种示例性实施例提供的发光控制子电路的等效电路图。如图 5 所示，一种示例性实施例中，发光控制子电路包括：第七晶体管 T7 和第八晶体管 T8。第七晶体管 T7 和第八晶体管 T8 为开关晶体管。

第七晶体管 T7 的控制极与发光控制线 EM 连接，第七晶体管 T7 的第一极与第一电源线 VDD 连接，第七晶体管 T7 的第二极与第二节点 N2 连接。
20 第八晶体管 T8 的控制极与发光控制线 EM 连接，第八晶体管 T8 的第一极与第三节点 N3 连接，第八晶体管 T8 的第二极与发光元件连接。

图 5 示出了发光控制子电路的一种示例性结构，该子电路的实现方式并不限于此。

图 6 为一种示例性实施例提供的第二复位子电路的等效电路图。如图 6
25 所示，一种示例性实施例中，第二复位子电路包括：第九晶体管 T9。第九晶体管 T9 为开关晶体管。

第九晶体管 T9 的控制极与第三复位线 RST3 连接，第九晶体管 T9 的第一极与初始信号线 Vinit 连接，第九晶体管 T9 的第二极与发光元件连接。

在一种示例性实施例中，设置第二复位子电路可以消除发光元件中的界面电荷，可以提升显示产品的显示效果。

图 6 示出了第二复位子电路的一种示例性结构，该子电路的实现方式并不限于此。

5 图 7 为一种示例性实施例提供的像素电路的等效电路图。如图 7 所示，在一种示例性实施例中，第一复位子电路包括：第一晶体管 T1 和第二晶体管 T2；节点控制子电路包括：第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和存储电容 Cst，第五晶体管 T5 为驱动晶体管；发光控制子电路包括：第七晶体管 T7 和第八晶体管 T8；第二复位子电路包括：第
10 九晶体管 T9。

第一晶体管 T1 的控制极与第一复位线 RST1 连接，第一晶体管 T1 的第一极与初始信号线 Vinit 连接，第一晶体管 T1 的第二极与第二晶体管 T2 的第一极连接。第二晶体管 T2 的控制极与扫描信号端 Gate 连接，第二晶体管 T2 的第二极与第一节点 N1 连接。第三晶体管 T3 的控制极与扫描信号线 Gate
15 连接，第三晶体管 T3 的第一极与数据信号线 Data 连接，第三晶体管 T3 的第二极与第四晶体管 T4 的第一极连接。第四晶体管 T4 的控制极与第二复位线 RST2 连接，第四晶体管 T4 的第二极与第二节点 N2 连接。第五晶体管 T5 的控制极与第一节点 N1 连接，第五晶体管 T5 的第一极与第二节点 N2 连接，第五晶体管 T5 的第二极与第三节点 N3 连接。第六晶体管 T6 的控制
20 极与第二复位线 RST2 连接，第六晶体管 T6 的第一极与第一节点 N1 连接，第六晶体管 T6 的第二极与第三节点 N3 连接。存储电容 Cst 的第一端与第一电源线 VDD 连接，存储电容 Cst 的第二端与第一节点 N1 连接。第七晶体管 T7 的控制极与发光控制线 EM 连接，第七晶体管 T7 的第一极与第一电源线 VDD 连接，第七晶体管 T7 的第二极与第二节点 N2 连接。第八晶体管 T8 的
25 控制极与发光控制线 EM 连接，第八晶体管 T8 的第一极与第三节点 N3 连接，第八晶体管 T8 的第二极与发光元件连接。第九晶体管 T9 的控制极与第三复位线 RST3 连接，第九晶体管 T9 的第一极与初始信号线 Vinit 连接，第九晶体管 T9 的第二极与发光元件连接。

在一种示例性实施例中，有机发光二极管 OLED 的阳极分别与第八晶体

管 T8 的第二极和第九晶体管 T9 的第二极连接,有机发光二极管 OLED 的阴极与第二电源线 VSS 连接。

5 在一种示例性实施例中,晶体管 T1 至 T9 均可以为 N 型薄膜晶体管或 P 型薄膜晶体管。晶体管 T1 至 T9 的类型可以相同,或者可以不同。当晶体管 T1 至 T9 的类型相同时,可以统一工艺流程,减少工艺制程,有助于提高产品的良率。

在一种示例性实施例中,晶体管 T1 至 T9 可以为低温多晶硅薄膜晶体管。低温多晶硅薄膜晶体管可以减少像素电路中的漏电极,提升像素电路的性能。

10 在一种示例性实施例中,晶体管 T1 至 T9 可以为底栅结构,或者可以为顶栅结构。

在一种示例性实施例中,阈值条件为第一节点 N1 的电压等于数据信号线 Data 的信号电压与第五晶体管 T5 的阈值电压的绝对值之差,可以使得流向发光元件的驱动电流与驱动晶体管的阈值电压无关,保证了显示产品的均一性。

15 在一种示例性实施例中,扫描信号线 Gate 和第三复位线 RST 可以为不同信号线,或者可以为同一信号线。当扫描信号线和第三复位线为同一信号线时,可以减少像素电路中的信号线的数量,减少像素电路所占用的面积。

下面通过像素电路的工作过程说明一种示例性实施例提供的像素电路。

20 以像素电路中的晶体管 T1 至 T9 均为 P 型晶体管为例,图 8 为一种示例性实施例提供的像素电路的工作时序图,图 9A 为一种示例性实施例提供的像素电路在第一阶段的等效电路图;图 9B 为一种示例性实施例提供的像素电路在第二阶段的等效电路图;图 9C 为一种示例性实施例提供的像素电路在第三阶段的等效电路图;图 9D 为一种示例性实施例提供的像素电路在第四阶段的等效电路图;图 9E 为一种示例性实施例提供的像素电路在第五
25 阶段的等效电路图;图 9F 为一种示例性实施例提供的像素电路在第六阶段的等效电路图。如图 7 至 9 所示,一种示例性实施例所涉及的像素电路包括:8 个开关晶体管 (T1、T2、T3、T4、T6、T7、T8 和 T9),1 个驱动晶体管 (T5)、1 个电容单元 (Cst),6 个输入信号线 (Gate、RST1、RST2、RST3、EM 和 Data) 和 3 个电源端 (VDD、VSS 和 Vinit)。

第一电源线 VDD 持续提供高电平信号，第二电源端 VSS 和初始信号线 Vinit 持续提供低电平信号。

一种示例性实施例提供的像素电路包括：第一阶段 S1 至第六阶段 S6。

第一阶段 S1，准备阶段，如图 9A 所示，第一复位线 RST1 的输入信号为低电平，第一晶体管 T1 导通。扫描信号线 Gate 的输入信号为高电平，第二晶体管 T2 和第三晶体管 T3 截止。第二复位线 RST2 的输入信号为高电平，第四晶体管 T4 和第六晶体管 T6 截止。发光控制线 EM 的输入信号为高电平，第七晶体管 T7 和第八晶体管 T8 截止。第三复位线 RST3 的输入信号为高电平，第九晶体管 T9 截止。由于第一晶体管 T1 导通，第二晶体管 T2 截止，第一节点 N1 无法被重置。第一阶段 S1 为第二阶段 S2 的准备阶段。

第二阶段 S2，重置阶段，如图 9B 所示，第一复位线 RST1 的输入信号为低电平，第一晶体管 T1 导通。扫描信号线 Gate 的输入信号为低电平，第二晶体管 T2 和第三晶体管 T3 导通。由于第一晶体管 T1 和第二晶体管 T2 导通，初始信号线 Vinit 向第一节点 N1 提供初始信号，以对第一节点 N1 开始充电，此时，存储电容 Cst 开始充电，以为第三阶段的数据信号的写入做准备。由于第一节点 N1 的电压值与第二节点 N2 的电压值的差值大于第五晶体管的阈值电压，第五晶体管 T5 导通。第三复位线 RST3 的输入信号为低电平，第九晶体管 T9 导通，初始信号线 Vinit 向有机发光二极管 OLED 的阳极提供初始信号好，以对有机发光二极管 OLED 的阳极进行初始化。第二复位线 RST2 的输入信号为高电平，第四晶体管 T4 和第六晶体管 T6 截止。发光控制线 EM 的输入信号为高电平，第七晶体管 T7 和第八晶体管 T8 截止。

第三阶段 S3，写入补偿阶段，如图 9C 所示，扫描信号线 Gate 的输入信号为低电平，第二晶体管 T2 和第三晶体管 T3 导通。第二复位线 RST2 的输入信号为低电平，第四晶体管 T4 和第六晶体管 T6 导通。由于第三晶体管 T3 和第四晶体管 T4 导通，数据信号线 Data 的输入信号写入第二节点 N2。当第四晶体管 T4 导通时，第四晶体管 T4 相当于电容 Cm，数据信号线 Data 的输入信号通过第三晶体管 T3 向电容 Cm 充电，数据信号线 Data 的输入信号通过第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 向存储电容 Cst 充电，以对第一节点 N1 进行补偿。随着充电时间的延长，第

二节点 N2 的电压值很快就等于数据信号线 Data 的输入信号的电压值 Vdata, 此时, 电容 Cm 两端的电压差为 $V2 - V_{data}$, 其中, V2 为第二复位线 RST2 在第三阶段的电压值。由于数据信号线 Data 的输入信号向存储电容 Cst 充电经过第五晶体管 T5, 随着第一节点 N1 的电压值的上升, 流经第五晶体管 T5 的电流越来越小, 第一节点 N1 的电压值的上升也越来越缓慢。由于高频显示产品的每行开启时间较少, 即扫描信号线 Gate 的输入信号为低电平的时间较短, 因此, 在第三阶段 S3 结束时, 第一节点 N1 的电压值小于 $V_{data} - |V_{th}|$, 其中, V_{th} 为第五晶体管 T5 的阈值电压, 扫描信号线 Gate 的输入信号会切换为高电平, 第三晶体管 T3 截止, 数据信号线 Data 的输入信号写入结束。

第三复位线 RST3 的输入信号为低电平, 第九晶体管 T9 导通, 向有机发光二极管 OLED 的阳极提供初始信号线 Vinit 的输入信号, 以对有机发光二极管的阳极进行初始化。第一复位线 RST1 的输入信号为高电平, 第一晶体管 T1 截止, 发光控制线 EM 的输入信号为高电平, 第七晶体管 T7 和第八晶体管 T8 截止。

第四阶段 S4, 补偿阶段, 如图 9D 所示, 扫描信号线 Gate 的输入信号为高电平, 第二晶体管 T2 和第三晶体管 T3 截止, 第二复位线 RST3 的输入信号为低电平, 第四晶体管 T4 和第六晶体管 T6 导通。虽然第三晶体管 T3 截止, 没有信号继续对存储电容 Cst 进行信号写入, 但是第三阶段中电容 Cm 的一端写入了数据信号线 Data 的输入信号, 此时, 电容 Cm 开始放电, 通过第五晶体管 T5 和第六晶体管 T6 继续向存储电容 Cst 进行充电, 以对第一节点 N1 进行补偿, 第一节点 N1 的电压值继续上升, 直到第五晶体管 T5 截止, 此时, 第一节点 N1 的电压值满足阈值条件, 即第一节点 N1 的电压值等于 $V_{data} - |V_{th}|$ 。由于在该阶段中, 第一节点 N1 的电压值上升较小, 消耗电容 Cm 的电荷有限, 因此, 电容 Cm 可以近似为恒压源。第一复位线 RST1 的输入信号为高电平, 第一晶体管 T1 截止。发光控制线 EM 的输入信号为高电平, 第七晶体管 T7 和第八晶体管 T8 截止。第三复位线 RST4 的输入信号为高电平, 第九晶体管 T9 截止。

第五阶段 S5, 缓冲阶段, 如图 9E 所示, 第一复位线 RST1 的输入信号为高电平, 第一晶体管 T1 截止。扫描信号线 Gate 的输入信号为高电平, 第

二晶体管 T2 和第三晶体管 T3 截止。第二复位线 RST2 的输入信号为高电平，第四晶体管 T4 和第六晶体管 T6 截止。发光控制线 EM 的输入信号为高电平，第七晶体管 T7 和第八晶体管 T8 截止。第三复位线 RST3 的输入信号为高电平，第九晶体管 T9 截止。在该阶段中，第一节点 N1 的电压值保持不变。

5 在一种示例性实施例中，第五阶段 S5 的长短取决于发光控制线 EM 的输入信号的下降沿发生的时刻。

第六阶段 S6，发光阶段，如图 9F 所示，发光控制线 EM 的输入信号为低电平，第七晶体管 T7 和第八晶体管 T8 导通，存储电容 Cst 开始放电，第五晶体管 T5 导通，第五晶体管 T5 输出驱动电流，以驱动有机发光二极管 OLED 发光。第一复位线 RST1 的输入信号为高电平，第一晶体管 T1 截止。扫描信号线 Gate 的输入信号为高电平，第二晶体管 T2 和第三晶体管 T3 截止。第二复位线 RST2 的输入信号为高电平，第四晶体管 T4 和第六晶体管 T6 截止。第三复位线 RST3 的输入信号为高电平，第九晶体管 T9 截止。

驱动电流 I_{OLED} 满足如下公式：

$$15 \quad I_{OLED} = K(V_{sg} - |V_{th}|)^2 = K(V_{dd} - (V_{data} - |V_{th}|) - |V_{th}|)^2 = K(V_{dd} - V_{data})^2$$

其中， V_{sg} 为第五晶体管的源电极与栅电极之间的电压差， V_{dd} 为第一电源线的信号的电压值， K 为与第五晶体管 T5 的工艺参数和几何尺寸有关的固定常数。

20 由上述电流公式的推导结果可以看出，在发光阶段，第五晶体管 T5 输出的驱动电流已经不受第五晶体管 T5 的阈值电压的影响，只与数据信号线的信号有关，从而消除了第五晶体管 T5 的阈值电压对驱动电流的影响，可以保证显示产品的显示亮度均匀，提升了整个显示产品的显示效果。

25 本公开实施例还提供一种显示装置，图 10 为本公开实施例提供的显示装置的结构示意图，图 11 为本公开实施例提供的显示装置的部分俯视图。如图 10 和 11 所示，本公开实施例提供的显示装置包括：矩阵排布的发光元件 10、矩阵排布的像素电路 20、扫描信号线 Gate、数据信号线 Data、初始信号线 Vinit、发光控制线 EM、第一电源线 VDD、第一复位线 RST1、第二复位线 RST2 和第三复位线 RST3。位于第 i 行的像素电路连接的第三复位线与位于第 $i+1$ 行的像素电路连接的第一复位线电连接， $1 \leq i < M$ ， M 为像素电路的总

行数。

像素电路 20 为前述任一个实施例提供的像素电路。像素电路与发光元件一一对应；像素电路设置为驱动对应的发光元件发光。

像素电路包括：第一复位子电路、节点控制子电路、发光控制子电路和
5 第二复位子电路。第一复位子电路，分别与第一复位线、扫描信号线、初始信号线和第一节点连接，设置为在第一复位线和扫描信号线的控制下，向第一节点提供初始信号线的信号；节点控制子电路，分别与扫描信号线、第二复位线、数据信号线、第一节点、第二节点、第三节点和第一电源线连接，
10 设置为在扫描信号线、第二复位线和第一节点控制下，向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件；在第一节点的控制下，向第三节点提供第二节点的信号；发光控制子电路，分别与发光控制线、第一电源线、第二节点、第三节点和发光元件连接，设置为在发光控制线的控制下，向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；第二复位子电路，分别
15 与第三复位线、初始信号线和发光元件连接，设置为在第三复位线的控制下，向发光元件提供初始信号线的信号。

显示装置包括：多个子像素。每个子像素包括：一个发光元件和一个像素电路。每个子像素中的发光元件与像素电路连接。

在一种示例性实施例中，显示装置可以为：手机、平板电脑、电视机、
20 显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

在一种示例性实施例中，显示装置可以包括：基底以及依次设置在基底上的驱动结构层和发光结构层。驱动结构层包括：像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线、第二复位线和第三复位线。发光结构层包括：发光元件。

25 在一种示例性实施例中，基底可以为刚性基底或柔性基底，其中，刚性基底可以为但不限于玻璃、金属箔片中的一种或多种；柔性基底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。

在一种示例性实施例中，如图 11 所示，扫描信号线 Gate、初始信号线 Vinit、发光控制线 EM、第一复位线 RST1、第二复位线 RST2 和第三复位线 RST3 沿第一方向延伸，数据信号线 Data 与第一电源线 VDD 沿第二方向延伸。第一方向与第二方向相交。

- 5 在一种示例性实施例中，第一方向与第二方向相交指的是第一方向与第二方向的夹角可以约为 70 度至 90 度。例如，第一方向与第二方向之间的夹角可以为 90 度。

在一种示例性实施例中，如图 11 所示，每个像素电路包括：存储电容。存储电容包括：第一极板 C1 和第二极板 C2。第一极板 C1 与第一电源线 VDD
10 连接，第二极板 C2 与第一节点 N1 连接。

在一种示例性实施例中，第一极板 C1 在基底上的正投影与第二极板在基底上的正投影部分重叠；第一极板 C1 设置有过孔，第一极板 C1 的过孔暴露出第二极板 C2。

在一种示例性实施例中，如图 11 所示，扫描信号线 Gate、第一复位线
15 RST1 和第二复位线 RST2 位于第二极板 C2 的一侧，发光控制线 EM 和第三复位线 RST3 位于第二极板 C2 远离第一复位线 RST1 的一侧。

在一种示例性实施例中，如图 11 所示，第一复位线 RST1 位于扫描信号线 Gate 远离第二极板 C2 的一侧。第二复位线 RST2 位于扫描信号线 Gate 靠近第二极板 C2 的一侧。第三复位线 RST3 位于发光控制线 EM 远离第二极板
20 C2 的一侧。

初始信号线 Vinit 包括：第一初始信号线和第二初始信号线。第一初始信号线与第一复位线位于第二极板的同一侧，且位于第一复位线远离第二极板的一侧。第二初始信号线与第三复位线位于第二极板的同一侧，且位于第三复位线远离第二极板的一侧。

25 在一种示例性实施例中，像素电路连接的第一初始信号线复用为上一行像素电路连接的第二初始信号线，像素电路连接的第二初始信号线复用为下一行像素电路连接的第一初始信号线。

在一种示例性实施例中，如图 11 所示，驱动结构层还包括：电源连接线

VL 和连接电极 101。

在一种示例性实施例中，电源连接线 VL 与第一电源线异层设置，且与第一电源线 VDD 连接。第一极板 C1 通过电源连接线 VL 与第一电源线 VDD 连接。

- 5 在一种示例性实施例中，电源连接线 VL 在基底上的正投影与第一极板 C1 在基底上的正投影至少部分重叠，且与第一电源线 VDD 在基底上的正投影至少部分重叠。

在一种示例性实施例中，连接电极 101 设置为连接像素电路和发光元件。

- 10 在一种示例性实施例中，对于像素电路中的第一晶体管至第九晶体管，每个晶体管包括：有源层、控制极、第一极和第二极。驱动结构层包括：沿垂直于基底方向依次设置的有源层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层、第三金属层、第四绝缘层、第一平坦层、第四金属层和第二平坦层。

- 15 在一种示例性实施例中，如图 11 所示，有源层包括：初始信号线 Vinit 和所有晶体管的有源层。初始信号线 Vinit 和所有晶体管的有源层同层设置且通过同一次构图工艺形成。

- 20 所有晶体管的有源层包括：第一晶体管的有源层、第二晶体管的有源层、第三晶体管的有源层、第四晶体管的有源层、第五晶体管的有源层、第六晶体管的有源层、第七晶体管的有源层、第八晶体管的有源层和第九晶体管的有源层。

在一种示例性实施例中，如图 11 所示，第一金属层包括：扫描信号线 Gate、第一复位线 RST1、第二复位线 RST2、第二极板 C2、发光控制线 EM、第三复位线 RST3 和所有晶体管的控制极。

- 25 在一种示例性实施例中，扫描信号线 Gate、第一复位线 RST1、第二复位线 RST2、第二极板 C2、发光控制线 EM、第三复位线 RST3 和所有晶体管的控制极同层设置且通过同一次构图工艺形成。

所有晶体管的控制极包括：第一晶体管的控制极、第二晶体管的控制极、第三晶体管的控制极、第四晶体管的控制极、第五晶体管的控制极、第六晶

体管的控制极、第七晶体管的控制极、第八晶体管的控制极和第九晶体管的控制极。

5 在一种示例性实施例中，第一晶体管的控制极、第二晶体管的控制极、第三晶体管的控制极、第四晶体管的控制极和第六晶体管的控制极位于第二极板的第一侧，第七晶体管的控制极、第八晶体管的控制极和第九晶体管的控制极位于第二极板的第二侧，第一侧和第二侧相对设置；

10 在一种示例性实施例中，第二晶体管的控制极位于第一晶体管的控制极靠近第二极板的一侧；第二晶体管的控制极和第三晶体管的控制极为一体成型结构；第四晶体管的控制极位于第二晶体管的控制极靠近第二极板的一侧；第四晶体管的控制极和第六晶体管的控制极为一体成型结构；第二极板与第五晶体管的控制极为一体成型结构；第七晶体管的控制极和第八晶体管的控制极为一体成型结构，第九晶体管的控制极位于第七晶体管的控制极远离第二极板的一侧。

在一种示例性实施例中，如图 11 所示，第二金属层包括：第一极板 C1。

15 在一种示例性实施例中，如图 11 所示，第三金属层包括：电源连接线 VL 以及部分晶体管的第一极或第二极。在一种示例性实施例中，第三金属层包括：电源连接线 VL、第二晶体管的第二极、第三晶体管的第一极、第六晶体管的第一极、第七晶体管的第一极、第八晶体管的第二极和第九晶体管的第二极。

20 在一种示例性实施例中，电源连接线 VL、第二晶体管的第二极、第三晶体管的第一极、第六晶体管的第一极、第七晶体管的第一极、第八晶体管的第二极和第九晶体管的第二极同层设置且通过同一次构图工艺形成。

在一种示例性实施例中，第八晶体管的第二极和第九晶体管的第二极为同一电极，第二晶体管的第二极和第六晶体管的第一极为同一电极。

25 在一种示例性实施例中，有源层还复用为除第三金属层包括的部分晶体管的第一极或第二极之外的晶体管的第一极或第二极。即有源层复用为第一晶体管的第一极、第一晶体管的第二极、第二晶体管的第一极、第三晶体管的第二极、第四晶体管的第一极、第四晶体管的第二极、第五晶体管的第一极、第五晶体管的第二极、第六晶体管的第二极、第七晶体管的第二极、第

八晶体管的第一极和第九晶体管的第一极。

在一种示例性实施例中,第一晶体管的第二极 14 和第二晶体管的第一极 23 为同一电极。第三晶体管的第二极 34 和第四晶体管的第一极 43 为同一电极。第四晶体管的第二极 44、第五晶体管的第一极 53 和第七晶体管的第二极 74 为同一电极。第五晶体管的第二极 54、第六晶体管的第二极 64 和第八晶体管的第一极 83 为同一电极。

在一种示例性实施例中,如图 11 所示,第四金属层包括:第一电源线 VDD、数据信号线 Data 和像素电极 101。第一电源线 VDD、数据信号线 Data 和像素电极 101 同层设置且通过同一次构图工艺形成。

10 在一种示例性实施例中,第一绝缘层、第二绝缘层和第三绝缘层上设置有第一过孔、第二过孔、第三过孔和第四过孔;第二绝缘层和第三绝缘层上设置有第五过孔;第三绝缘层上设置有第六过孔;第四绝缘层和第一平坦层上设置有第七过孔、第八过孔和第九过孔;第二平坦层包括:第十过孔。

15 第一过孔暴露出第三晶体管的有源层,第三晶体管的第一极通过第一过孔与第三晶体管的有源层连接;第二过孔暴露出第二晶体管的有源层,第二晶体管的第二极通过第二过孔与第二晶体管的有源层连接;第三过孔暴露出第八晶体管的有源层,第八晶体管的第二极通过第三过孔与第八晶体管的有源层连接;第四过孔暴露出第七晶体管的有源层,第七晶体管的第一极通过第四过孔与第七晶体管的有源层连接;第五过孔暴露出第二极板,第二晶体管的第二极通过第五过孔与第二极板连接;第六过孔暴露出第一极板,电源
20 连接线通过第六过孔与第一极板连接;第七过孔暴露出第三晶体管的第一极,数据信号线通过第七过孔与第三晶体管的第一极连接;第八过孔暴露出电源连接线,第一电源线通过第八过孔与电源连接线连接;第九过孔暴露出第八晶体管的第二极,连接电极通过第九过孔与第八晶体管的第二极连接;第十
25 过孔暴露出连接电极,发光元件通过第十过孔与连接电极连接。

在一种示例性实施例中,第三绝缘层的过孔数量较少,可以减少像素电路所占用的空间,有利于实现显示装置的高分辨率。

在一种示例性实施例中,发光元件包括:第一电极、第二电极和有机发光层;第一电极位于有机发光层靠近基底的一侧,第二电极位于有机发光层

远离基底的一侧。

在一种示例性实施例中，发光结构层包括：像素界定层、透明导电层、有机材料层和导电层，透明导电层包括：第一电极，有机材料层包括：有机发光层；导电层包括：第二电极。

- 5 在一种示例性实施例中，像素电路中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，这里均以薄膜晶体管为例进行说明，例如该晶体管的有源层（沟道区）采用半导体材料，例如，多晶硅（例如低温多晶硅或高温多晶硅）、非晶硅、氧化铟镓锡（IGZO）等，而控制极、第一极、第二极等则采用金属材料，例如金属铝或铝合金。这里采用的晶体
- 10 管的第一极、第二极在结构上可以是对称的，所以其第一极、第二极在结构上可以是没有区别的。

- 下面通过显示装置的制备过程说明一种示例性实施例提供的显示装置的结构。“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀和剥离光刻胶处理。沉积可以采用溅射、蒸镀和化学气相沉积中的任意一种或多
- 15 种，涂覆可以采用喷涂和旋涂中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种。“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程中该“薄膜”无需构图工艺，则该“薄膜”还可以称为“层”。若在整个制作过程中该“薄膜”需构图工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。本公开中所说的“A和B同层设置”是指，A和B通过同一次构图工艺同时形成。
- 20

图12至图19为一种示例性实施例提供的显示装置的制备过程的示意图，示意了显示装置中一个子像素的版图结构，每个子像素包括：一个像素电路。像素电路包括第一晶体管T1至第九晶体管T9和存储电容。存储电容包括：第一极板C1和第二极板C2。

- 25 （1）在基底形成有源层，包括：在基底上沉积半导体薄膜，通过构图工艺对半导体薄膜进行构图，形成有源层。有源层包括初始信号线Vinit、第一晶体管的有源层11、第二晶体管的有源层21、第三晶体管的有源层31、第四晶体管的有源层41、第五晶体管的有源层51、第六晶体管的有源层61、第七晶体管的有源层71、第八晶体管的有源层81和第九晶体管的有源层91，

如图 12 所示。

(2) 形成第一金属层, 包括: 在形成有有源层的基底上沉积第一绝缘薄膜, 通过构图工艺对第一绝缘薄膜进行构图, 形成位于第一绝缘层。在第一绝缘层上沉积第一金属薄膜, 通过构图工艺对第一金属薄膜进行构图, 形成第一金属层。第一金属层包括: 扫描信号线 Gate、第一复位线 RST1、第二复位线 RST3、第二极板 C2、发光控制线 EM、第三复位线 RST4、第一晶体管的控制极 12、第二晶体管的控制极 22、第三晶体管的控制极 32、第四晶体管的控制极 42、第五晶体管的控制极 52、第六晶体管的控制极 62、第七晶体管的控制极 72、第八晶体管的控制极 82 和第九晶体管的控制极 92, 如图 13 所示。

在一种示例性实施例中, 第一复位线 RST1、扫描信号线 Gate、第一复位线 RST1、发光控制线 EM 和第三复位线 RST3 平行设置, 且沿第一方向延伸。第一复位线 RST1、扫描信号线 Gate 和第一复位线 RST1 位于第二极板 C2 的第一侧, 发光控制线 EM 和第三复位线 RST3 位于第二极板 C2 的第二侧, 第一侧和第二侧相对设置。

在一种示例性实施例中, 第一晶体管的控制极 12 是与第一复位线 RST1 连接的一体结构, 且跨设在第一晶体管的有源层 11 上。第二晶体管的控制极 22 是与扫描信号线 Gate 连接的一体结构, 且跨设在第二晶体管的有源层 21 上。第三晶体管的控制极 32 是与扫描信号线 Gate 连接的一体结构, 且跨设在第三晶体管的有源层 31 上。第四晶体管的控制极 42 是与第二复位线 RST2 连接的一体结构, 且跨设在第四晶体管的有源层 41 上。第五晶体管的控制极 52 是与第二极板 C2 连接的一体结构, 且跨设在第五晶体管的有源层 51 上。第六晶体管的控制极 62 是与第二复位线 RST2 连接的一体结构, 且跨设在第六晶体管的有源层 61 上。第七晶体管的控制极 72 是与发光控制线 EM 连接的一体结构, 且跨设在第七晶体管的有源层 71 上。第八晶体管的控制极 82 是与发光控制线 EM 连接的一体结构, 且跨设在第八晶体管的有源层 81 上。第九晶体管的控制极 92 是与第三复位线 RST3 连接的一体结构, 且跨设在第九晶体管的有源层 91 上。

在一种示例性实施例中, 本次工艺还包括导体化处理。导体化处理是在

形成第一金属层后，利用第一晶体管的控制极 12、第二晶体管的控制极 22、第三晶体管的控制极 32、第四晶体管的控制极 42、第五晶体管的控制极 52、第六晶体管的控制极 62、第七晶体管的控制极 72、第八晶体管的控制极 82 和第九晶体管的控制极 92 作为遮挡对有源层进行等离子体处理，被第一晶体管的控制极 12、第二晶体管的控制极 22、第三晶体管的控制极 32、第四晶体管的控制极 42、第五晶体管的控制极 52、第六晶体管的控制极 62、第七晶体管的控制极 72、第八晶体管的控制极 82 和第九晶体管的控制极 92 遮挡区域的有源层作为晶体管的沟道区域，未被第一金属层遮挡区域的有源层被处理成导体化层，形成导体化的源漏区域和初始信号线。

- 10 (3) 形成第二金属层，包括：在形成有第一金属层的基底上，沉积第二绝缘薄膜，通过构图工艺对第二绝缘薄膜进行构图，形成第二绝缘层。在形成有第二绝缘层的基底上沉积第二金属薄膜，通过构图工艺对第二金属薄膜进行构图，形成第二金属层。第二金属层包括：第一极板 C1，如图 14 所示。

15 在一种示例性实施例中，第一极板 C1 在基底上的正投影与第二极板 C2 在基底上的正投影至少部分重叠。第一极板 C1 设置有过孔，过孔暴露出第二极板 C2。

- 20 (4) 形成第三绝缘层，包括：在形成有第二金属层的基底上，沉积第三绝缘薄膜，通过构图工艺对第三绝缘薄膜进行构图，形成第三绝缘层。形成第三绝缘层开设有多个过孔。多个过孔包括：贯通第一绝缘层、第二绝缘层和第三绝缘层的第一过孔 V1、第二过孔 V2、第三过孔 V3 和第四过孔 V4，贯通第二绝缘层和第三绝缘层的第五过孔 V5 以及仅贯通第三绝缘层的第六过孔 V6，如图 15 所示。

25 在一种示例性实施例中，第一过孔 V1 暴露出第三晶体管的有源层 31。第二过孔 V2 暴露出第二晶体管的有源层 21。第三过孔 V3 暴露出第八晶体管的有源层 81。第四过孔 V4 暴露出第七晶体管的有源层 71。第五过孔 V5 暴露出第二极板 C2。第七过孔 V7 暴露出第一极板 C1。

(5) 形成第三金属层，包括：在形成有第三绝缘层的基底上，沉积第三金属薄膜，通过构图工艺对第三金属薄膜进行构图，形成第三金属层。第三金属层包括：电源连接线 VL、第二晶体管的第二极 24、第三晶体管的第一

极 33、第六晶体管的第一极 63、第七晶体管的第一极 73、第八晶体管的第二极 84 和第九晶体管的第二极 94。如图 16 所示。

第八晶体管的第二极 84 和第九晶体管的第二极 94 为同一电极，第二晶体管的第二极 24 和第六晶体管的第一极 63 为同一电极。

5 在一种示例性实施例中，有源层还复用为第一晶体管的第一极 13、第一晶体管的第二极 14、第二晶体管的第一极 23、第三晶体管的第二极 34、第四晶体管的第一极 43、第四晶体管的第二极 44、第五晶体管的第一极 53、第五晶体管的第二极 54、第六晶体管的第二极 64、第七晶体管的第二极 74、第八晶体管的第一极 83 和第九晶体管的第一极 93。

10 在一种示例性实施例中，电源连接线 VL 沿第一方向延伸。

在一种示例性实施例中，第一晶体管的第二极 14 和第二晶体管的第一极 23 为同一电极。第三晶体管的第二极 34 和第四晶体管的第一极 43 为同一电极。第四晶体管的第二极 44、第五晶体管的第一极 53 和第七晶体管的第二极 74 为同一电极。第五晶体管的第二极 54、第六晶体管的第二极 64 和第八晶体管的第一极 83 为同一电极。

在一种示例性实施例中，第一晶体管的第二极 14 通过第一过孔与第一晶体管的有源层 11 连接。第三晶体管的第一极通过第二过孔 V2 与第三晶体管的有源层 21 连接。第六晶体管的第一极 53 通过第三过孔 V3 与第六晶体管的有源层 51 连接。第八晶体管的第二极 74 通过第四过孔 V4 与第八晶体管的有源层 71 连接。第七晶体管的第一极 63 通过第五过孔 V5 与第七晶体管的有源层 61 连接。第六晶体管的第一极 53 通过第六过孔 V6 与第二极板 C2 连接。电源连接线 VL 通过第七过孔 V7 与第一极板 C1 连接。

第三晶体管的第一极 33 通过第一过孔 V1 与第三晶体管的有源层 31 连接。第二晶体管的第二极 24 通过第二过孔 V2 与第二晶体管的有源层 21 连接。第八晶体管的第二极 84 通过第三过孔 V3 与第八晶体管的有源层 81 连接。第七晶体管的第一极 73 通过第四过孔 V4 与第七晶体管的有源层 71 连接。第二晶体管的第二极 24 通过第五过孔 V5 与第二极板 C2 连接。电源连接线 VL 通过第六过孔 V6 与第一极板 C1 连接。

(6) 形成第一平坦层, 包括: 在形成有第三金属层的基底上, 沉积第四绝缘薄膜, 通过构图工艺对第四绝缘薄膜进行构图, 形成第四绝缘层。在形成有第四绝缘层的基底上涂覆第一平坦薄膜, 通过平坦薄膜的掩膜、曝光和显影, 形成第一平坦层。第四绝缘薄膜和第一平坦层上设置有第七过孔 V7、第八过孔 V8 和第九过孔 V9, 如图 17 所示。

在一种示例性实施例中, 第七过孔 V7 暴露出第三晶体管的第一极 23。第八过孔 V8 暴露出电源连接线 VL。第九过孔 V9 暴露出第八晶体管的第二极 84。

(7) 形成第四金属层, 包括: 在形成有第一平坦层的基底上, 沉积第四金属薄膜, 通过构图工艺对第四金属薄膜进行构图, 形成第四金属层。第四金属层包括: 第一电源线 VDD、数据信号线 Data 和像素电极 91, 如图 18 所示。

在一种示例性实施例中, 数据信号线 Data 通过第七过孔 V7 与第三晶体管的第一极连接 23。第一电源线 VDD 通过第八过孔 V8 与电源连接线 VL 连接。连接电极 101 通过第九过孔 V9 与第八晶体管的第二极 84 连接。。

(8) 形成第二平坦层, 包括: 在形成有第四金属层的基底上涂覆第二平坦薄膜, 通过平坦薄膜的掩膜、曝光和显影, 形成第二平坦层。第二平坦层上设置有第十一过孔 V11, 如图 19 所示。

在一种示例性实施例中, 第十过孔 V10 暴露出连接电极 101, 发光元件通过第十过孔 V10 与连接电极 101 连接。

(9) 形成透明导电层, 包括: 在形成有第二平坦层的基底上, 沉积第一透明导电薄膜, 通过构图工艺对第一透明导电薄膜进行构图, 形成透明导电层。透明导电层包括第一电极, 第一电极形成在每个发光元件中, 第一电极通过第十过孔 V10 与连接电极 101 连接。

(10) 形成像素定义层, 包括: 在形成透明导电层的基底上涂覆像素定义薄膜, 通过掩膜、曝光和显影工艺形成像素定义层 (Pixel Define Layer), 像素定义层形成在每个发光元件中, 每个发光元件中的像素定义层形成有暴露出第一电极的开口区域。

(11) 形成有机发光层, 包括: 在形成的像素定义层的开口区域内和像素定义层上形成有机发光层, 有机发光层与第一电极电连接。

(12) 形成第二电极, 包括: 在形成有机发光层的基底上涂覆导电薄膜, 通过构图工艺对导电薄膜进行构图, 形成第二电极。第二电极覆盖每个发光元件中的有机发光层。第二电极与有机发光层电连接。

(13) 形成封装层, 在形成第二电极的基底上形成封装层, 封装层包括无机材料的第一封装层、有机材料的第二封装层和无机材料的第三封装层, 第一封装层设置在第二电极上, 第二封装层设置在第一封装层上, 第三封装层设置在第二封装层上, 形成无机材料/有机材料/无机材料的叠层结构。

10 在一种示例性实施例中, 第一金属层、第二金属层、第三金属层和第四金属层可以采用金属材料, 如银 (Ag)、铜 (Cu)、铝 (Al) 和钼 (Mo) 中的任意一种或更多种, 或上述金属的合金材料, 如铝钨合金 (AlNd) 或钼铌合金 (MoNb), 可以是单层结构, 或者多层复合结构, 如 Mo/Cu/Mo 等。

15 在一种示例性实施例中, 第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层可以采用硅氧化物 (SiO_x)、硅氮化物 (SiN_x) 和氮氧化硅 (SiON) 中的任意一种或更多种, 可以是单层、多层或复合层。第一绝缘层称为第一栅绝缘层、第二绝缘层成为第二栅绝缘层、第三绝缘层称为层间绝缘层、第四绝缘层称为钝化层。

20 在一种示例性实施例中, 第一平坦层和第二平坦层可以采用有机材料, 透明导电薄膜可以采用氧化铟锡 (ITO) 或氧化铟锌 (IZO)。

在一种示例性实施例中, 像素定义层可以采用聚酰亚胺、亚克力或聚对苯二甲酸乙二醇酯。

25 在一种示例性实施例中, 第二电极可以采用镁 (Mg)、银 (Ag)、铝 (Al)、铜 (Cu) 和锂 (Li) 中的任意一种或更多种, 或可以采用上述金属中任意一种或多种制成的合金。

在一种示例性实施例中, 有源层可以为金属氧化物层。金属氧化物层可以采用包含铟和锡的氧化物、包含钨和铟的氧化物、包含钨和铟和锌的氧化物、包含钛和铟的氧化物、包含钛和铟和锡的氧化物、包含铟和锌的氧化物、

包含硅和铟和锡的氧化物、包含铟或镓和锌的氧化物等。金属氧化物层可以单层，或者可以是双层，或者可以是多层。

本公开实施例还提供了一种显示装置的驱动方法，设置为驱动显示装置。本公开实施例提供的显示装置的驱动方法包括：

5 步骤 S1、在第一复位线和扫描信号线的控制下，第一复位子电路向第一节点提供初始信号线的信号。

10 步骤 S2、在第三复位线的控制下，第二复位子电路向发光元件提供初始信号线的信号，在扫描信号线、第二复位线和第一节点控制下，节点控制子电路向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件。

 步骤 S3、在发光控制线的控制下，发光控制子电路向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；在第一节点的控制下，节点控制子电路向第三节点提供第二节点的信号。

15 显示装置为前述任一个实施例提供的显示装置，实现原理和实现效果类似，在此不再赘述。

 本公开中的附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

20 为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

25 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种显示装置，包括：矩阵排布的发光元件、矩阵排布的像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线、第二复位线和第三复位线；

5 所述像素电路与所述发光元件一一对应；所述像素电路设置为驱动对应的发光元件发光；所述像素电路包括：第一复位子电路、节点控制子电路、发光控制子电路和第二复位子电路；

10 所述第一复位子电路，分别与第一复位线、扫描信号线、初始信号线和第一节点连接，设置为在第一复位线和扫描信号线的控制下，向第一节点提供初始信号线的信号；

15 所述节点控制子电路，分别与扫描信号线、第二复位线、数据信号线、第一节点、第二节点、第三节点和第一电源线连接，设置为在扫描信号线、第二复位线和第一节点控制下，向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件；在第一节点的控制下，向第三节点提供第二节点的信号；

 所述发光控制子电路，分别与发光控制线、第一电源线、第二节点、第三节点和发光元件连接，设置为在发光控制线的控制下，向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；

20 所述第二复位子电路，分别与第三复位线、初始信号线和发光元件连接，设置为在第三复位线的控制下，向发光元件提供初始信号线的信号；

 位于第 i 行的像素电路连接的第三复位线与位于第 $i+1$ 行的像素电路连接的第一复位线电连接， $1 \leq i < M$ ， M 为像素电路的总行数。

2. 根据权利要求 1 所述的装置，其中，所述显示装置包括：基底以及依次设置在所述基底上的驱动结构层和发光结构层；

25 所述驱动结构层包括：像素电路、扫描信号线、数据信号线、初始信号线、发光控制线、第一电源线、第一复位线、第二复位线和第三复位线，所述发光结构层包括：发光元件；

所述扫描信号线、所述初始信号线、所述发光控制线、所述第一复位线、所述第二复位线和所述第三复位线沿第一方向延伸，所述数据信号线与所述第一电源线沿第二方向延伸；

所述第一方向与所述第二方向相交。

- 5 3. 根据权利要求 1 或 2 所述的装置，其中，每个像素电路包括：存储电容，所述存储电容包括：第一极板和第二极板；所述第一极板与第一电源线连接，所述第二极板与第一节点连接；

所述第一极板在基底上的正投影与所述第二极板在基底上的正投影部分重叠；所述第一极板设置有过孔，所述第一极板的过孔暴露出所述第二极板；

- 10 所述扫描信号线、所述第一复位线和所述第二复位线位于所述第二极板的一侧，所述发光控制线和所述第三复位线位于所述第二极板远离所述第一复位线的一侧；

所述第一复位线位于所述扫描信号线远离第二极板的一侧，所述第二复位线位于所述扫描信号线靠近所述第二极板的一侧；所述第三复位线位于所述发光控制线远离第二极板的一侧；

- 15 所述初始信号线包括：第一初始信号线和第二初始信号线；所述第一初始信号线与所述第一复位线位于第二极板的同一侧，且位于所述第一复位线远离第二极板的一侧；所述第二初始信号线与所述第三复位线位于所述第二极板的同一侧，且位于所述第三复位线远离第二极板的一侧。

- 20 4. 根据权利要求 3 所述的装置，其中，所述驱动结构层还包括：电源连接线和连接电极；

所述电源连接线与所述第一电源线异层设置，且与所述第一电源线连接，所述第一极板通过电源连接线与所述第一电源线连接；

- 25 所述电源连接线在基底上的正投影与所述第一极板在基底上的正投影至少部分重叠，且与所述第一电源线在基底上的正投影至少部分重叠；

所述连接电极设置为连接像素电路和发光元件。

5. 根据权利要求 1 至 4 任一项所述的装置，其中，所述节点控制子电路包括：写入子电路、驱动子电路、补偿子电路和储能子电路；

所述写入子电路，分别与扫描信号线、第二复位线、数据信号线和第二节点连接，设置为在扫描信号线和第二复位线的控制下，向第二节点提供数据信号线的信号，或者向第二节点放电；

5 所述驱动子电路，分别与第一节点、第二节点和第三节点连接，设置为在第一节点的控制下，向第三节点提供第二节点的信号；

所述补偿子电路，分别与第一节点、第二复位线和第三节点连接，设置为在第二复位线的控制下，向第一节点提供第三节点的电位，以对第一节点进行补偿，直至第一节点的电压满足阈值条件；

10 所述储能子电路，分别与第一电源线和第一节点连接，设置为存储第一电源线与第一节点之间的电压差。

6. 根据权利要求 1 或 5 所述的装置，其中，所述第一复位子电路包括：第一晶体管和第二晶体管；

15 所述第一晶体管的控制极与第一复位线连接，所述第一晶体管的第一极与初始信号线连接，所述第一晶体管的第二极与所述第二晶体管的第一极连接；

所述第二晶体管的控制极与扫描信号端连接，所述第二晶体管的第二极与第一节点连接。

7. 根据权利要求 5 所述的装置，其中，所述写入子电路包括：第三晶体管和第四晶体管；

20 所述第三晶体管的控制极与扫描信号线连接，所述第三晶体管的第一极与数据信号线连接，所述第三晶体管的第二极与所述第四晶体管的第一极连接；

所述第四晶体管的控制极与第二复位线连接，所述第四晶体管的第二极与第二节点连接；

25 所述第四晶体管的沟道区域的长度大于阈值长度，所述第四晶体管的沟道区域的宽度大于阈值宽度。

8. 根据权利要求 5 所述的装置，其中，所述驱动子电路包括：第五晶体管，所述第五晶体管为驱动晶体管；所述储能子电路包括：存储电容；

所述第五晶体管的控制极与第一节点连接，所述第五晶体管的第一极与第二节点连接，所述第五晶体管的第二极与第三节点连接；

所述存储电容的第一端与第一电源线连接，所述存储电容的第二端与第一节点连接。

- 5 9. 根据权利要求 5 所述的装置，其中，所述补偿子电路包括：第六晶体管；

所述第六晶体管的控制极与第二复位线连接，所述第六晶体管的第一极与第一节点连接，所述第六晶体管的第二极与第三节点连接。

- 10 10. 根据权利要求 1 或 5 所述的装置，其中，所述发光控制子电路包括：第七晶体管和第八晶体管；

所述第七晶体管的控制极与发光控制线连接，所述第七晶体管的第一极与第一电源线连接，所述第七晶体管的第二极与第二节点连接；

所述第八晶体管的控制极与发光控制线连接，所述第八晶体管的第一极与第三节点连接，所述第八晶体管的第二极与发光元件连接。

- 15 11. 根据权利要求 1 或 5 所述的装置，其中，所述第二复位子电路包括：第九晶体管；

所述第九晶体管的控制极与第三复位线连接，所述第九晶体管的第一极与初始信号线连接，所述第九晶体管的第二极与发光元件连接。

- 20 12. 根据权利要求 1 或 5 所述的装置，其中，所述第一复位子电路包括：第一晶体管和第二晶体管；所述节点控制子电路包括：第三晶体管、第四晶体管、第五晶体管、第六晶体管和存储电容，所述第五晶体管为驱动晶体管；所述发光控制子电路包括：第七晶体管和第八晶体管；所述第二复位子电路包括：第九晶体管；

- 25 所述第一晶体管的控制极与第一复位线连接，所述第一晶体管的第一极与初始信号线连接，所述第一晶体管的第二极与所述第二晶体管的第一极连接；

所述第二晶体管的控制极与扫描信号端连接，所述第二晶体管的第二极与第一节点连接；

所述第三晶体管的控制极与扫描信号线连接，所述第三晶体管的第一极与数据信号线连接，所述第三晶体管的第二极与所述第四晶体管的第一极连接；

5 所述第四晶体管的控制极与第二复位线连接，所述第四晶体管的第二极与第二节点连接；

所述第五晶体管的控制极与第一节点连接，所述第五晶体管的第一极与第二节点连接，所述第五晶体管的第二极与第三节点连接；

所述第六晶体管的控制极与第二复位线连接，所述第六晶体管的第一极与第一节点连接，所述第六晶体管的第二极与第三节点连接；

10 所述存储电容的第一端与第一电源线连接，所述存储电容的第二端与第一节点连接；

所述第七晶体管的控制极与发光控制线连接，所述第七晶体管的第一极与第一电源线连接，所述第七晶体管的第二极与第二节点连接；

15 所述第八晶体管的控制极与发光控制线连接，所述第八晶体管的第一极与第三节点连接，所述第八晶体管的第二极与发光元件连接；

所述第九晶体管的控制极与第三复位线连接，所述第九晶体管的第一极与初始信号线连接，所述第九晶体管的第二极与发光元件连接。

13. 根据权利要求 1 或 12 所述的装置，其中，所述发光元件包括：有机发光二极管；

20 所述有机发光二极管的阳极分别与第八晶体管的第二极和第九晶体管的第二极连接，所述有机发光二极管的阴极与第二电源线连接。

14. 根据权利要求 8 或 12 所述的装置，其中，所述阈值条件为所述第一节点的电压等于所述数据信号线的信号的电压与第五晶体管的阈值电压的绝对值之差。

25 15. 根据权利要求 1 所述的装置，其中，所述扫描信号线和所述第三复位线电连接。

16. 根据权利要求 12 所述的装置，其中，对于第一晶体管至第九晶体管，每个晶体管包括：有源层、控制极、第一极和第二极；

所述驱动结构层包括：沿垂直于所述基底方向依次设置的有源层、第一绝缘层、第一金属层、第二绝缘层、第二金属层、第三绝缘层、第三金属层、第四绝缘层、第一平坦层、第四金属层和第二平坦层；

5 所述有源层包括：初始信号线 and 所有晶体管的有源层；所述第一金属层包括：扫描信号线、第一复位线、第二复位线、第二极板、发光控制线、第三复位线 and 所有晶体管的控制极；所述第二金属层包括：第一极板；所述第三金属层包括：电源连接线以及部分晶体管的第一极或第二极；所述第四金属层包括：第一电源线、数据信号线 and 像素电极。

10 17. 根据权利要求 16 所述的装置，其中，所述第一晶体管的控制极、所述第二晶体管的控制极、所述第三晶体管的控制极、所述第四晶体管的控制极 and 所述第六晶体管的控制极位于第二极板的第一侧，所述第七晶体管的控制极、所述第八晶体管的控制极 and 所述第九晶体管的控制极位于第二极板的第二侧，所述第一侧 and 所述第二侧相对设置；

15 所述第二晶体管的控制极位于所述第一晶体管的控制极靠近第二极板的一侧；所述第二晶体管的控制极 and 所述第三晶体管的控制极为一体成型结构；所述第四晶体管的控制极位于第二晶体管的控制极靠近第二极板的一侧；所述第四晶体管的控制极 and 所述第六晶体管的控制极为一体成型结构；所述第二极板与第五晶体管的控制极为一体成型结构；所述第七晶体管的控制极 and 所述第八晶体管的控制极为一体成型结构，所述第九晶体管的控制极位于
20 于所述第七晶体管的控制极远离第二极板的一侧。

18. 根据权利要求 16 或 17 所述的装置，其中，所述第一绝缘层、所述第二绝缘层 and 所述第三绝缘层上设置有第一过孔、第二过孔、第三过孔 and 第四过孔；所述第二绝缘层 and 所述第三绝缘层上设置有第五过孔；所述第三绝缘层上设置有第六过孔；所述第四绝缘层 and 所述第一平坦层上设置有第七过
25 孔、第八过孔 and 第九过孔；所述第二平坦层包括：第十过孔；

所述第一过孔暴露出第三晶体管的有源层，所述第三晶体管的第一极通过第一过孔与第三晶体管的有源层连接；所述第二过孔暴露出第二晶体管的有源层，所述第二晶体管的第二极通过第二过孔与第二晶体管的有源层连接；所述第三过孔暴露出第八晶体管的有源层，所述第八晶体管的第二极

通过第三过孔与第八晶体管的有源层连接；所述第四过孔暴露出第七晶体管的有源层，所述第七晶体管的第一极通过第四过孔与第七晶体管的有源层连接；所述第五过孔暴露出所述第二极板，所述第二晶体管的第二极通过第五过孔与第二极板连接；所述第六过孔暴露出所述第一极板，所述电源连接线
5 通过第六过孔与第一极板连接；所述第七过孔暴露出第三晶体管的第一极，所述数据信号线通过第七过孔与第三晶体管的第一极连接；所述第八过孔暴露出电源连接线，所述第一电源线通过第八过孔与所述电源连接线连接；所述第九过孔暴露出第八晶体管的第二极，所述连接电极通过第九过孔与第八晶体管的第二极连接；所述第十过孔暴露出连接电极，所述发光元件通过第
10 十过孔与连接电极连接。

19. 根据权利要求 1 所述的装置，其中，所述发光元件包括：第一电极、第二电极和有机发光层；所述第一电极位于所述有机发光层靠近基底的一侧，所述第二电极位于所述有机发光层远离基底的一侧；

所述发光结构层包括：像素界定层、透明导电层、有机材料层和导电层，
15 所述透明导电层包括：第一电极，所述有机材料层包括：有机发光层；所述导电层包括：第二电极。

20. 一种显示装置的驱动方法，设置为驱动如权利要求 1 至 19 任一项所述的显示装置，所述方法包括：

在第一复位线和扫描信号线的控制下，第一复位子电路向第一节点提供
20 初始信号线的信号；

在第三复位线的控制下，第二复位子电路向发光元件提供初始信号线的信号，在扫描信号线、第二复位线和第一节点控制下，节点控制子电路向第二节点提供数据信号线的信号，并通过第二节点和第三节点向第一节点进行补偿，直至第一节点的电压满足阈值条件；

25 在发光控制线的控制下，发光控制子电路向第二节点提供第一电源线的信号，向发光元件提供第三节点的信号；在第一节点的控制下，节点控制子电路向第三节点提供第二节点的信号。

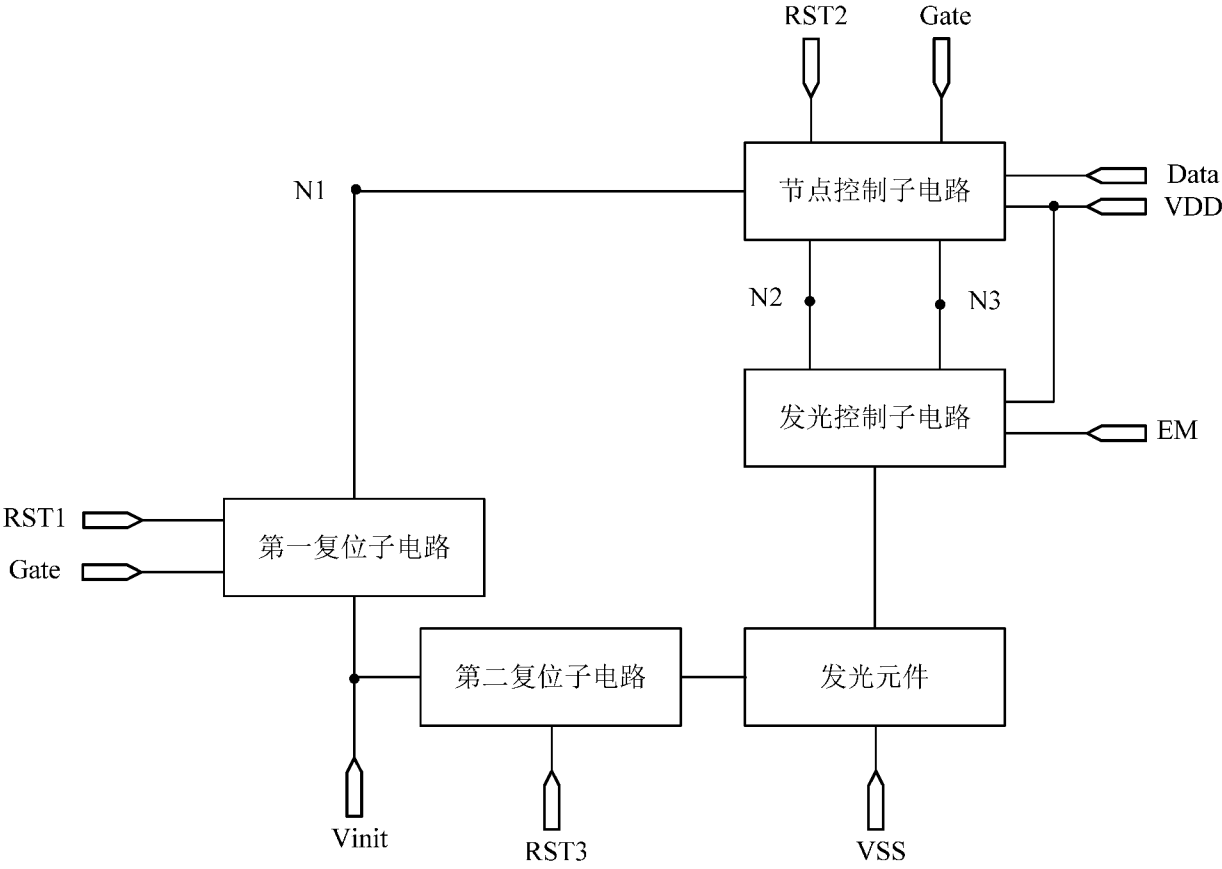


图 1

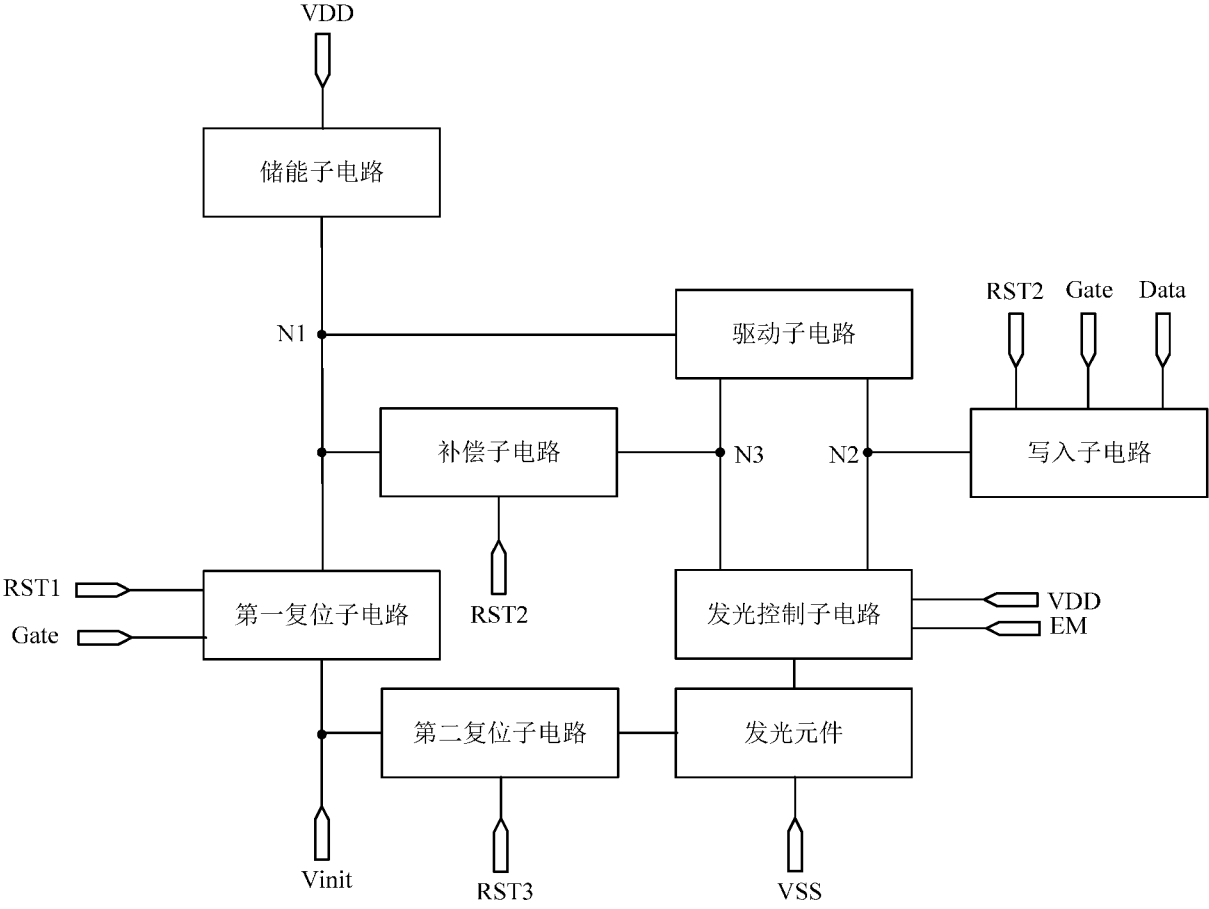


图 2

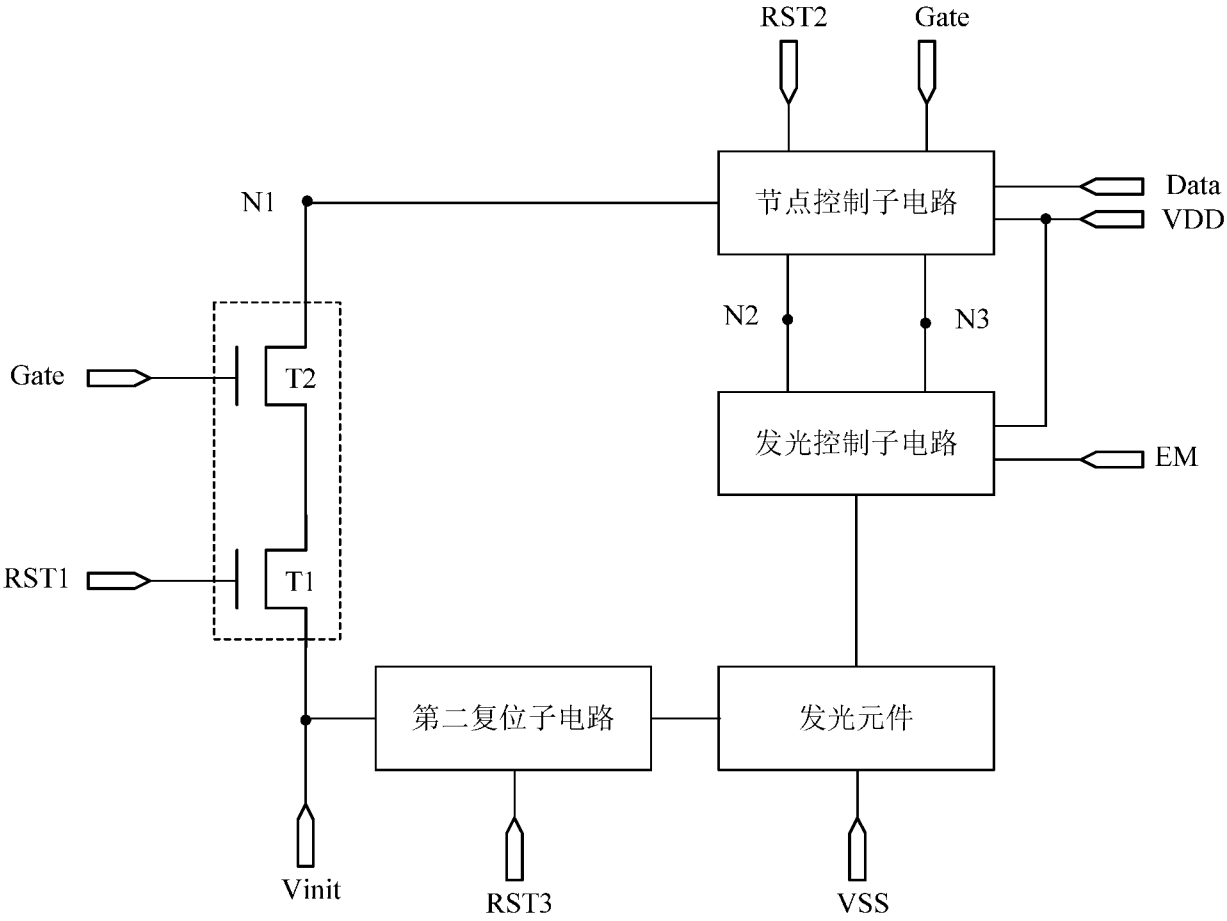


图 3

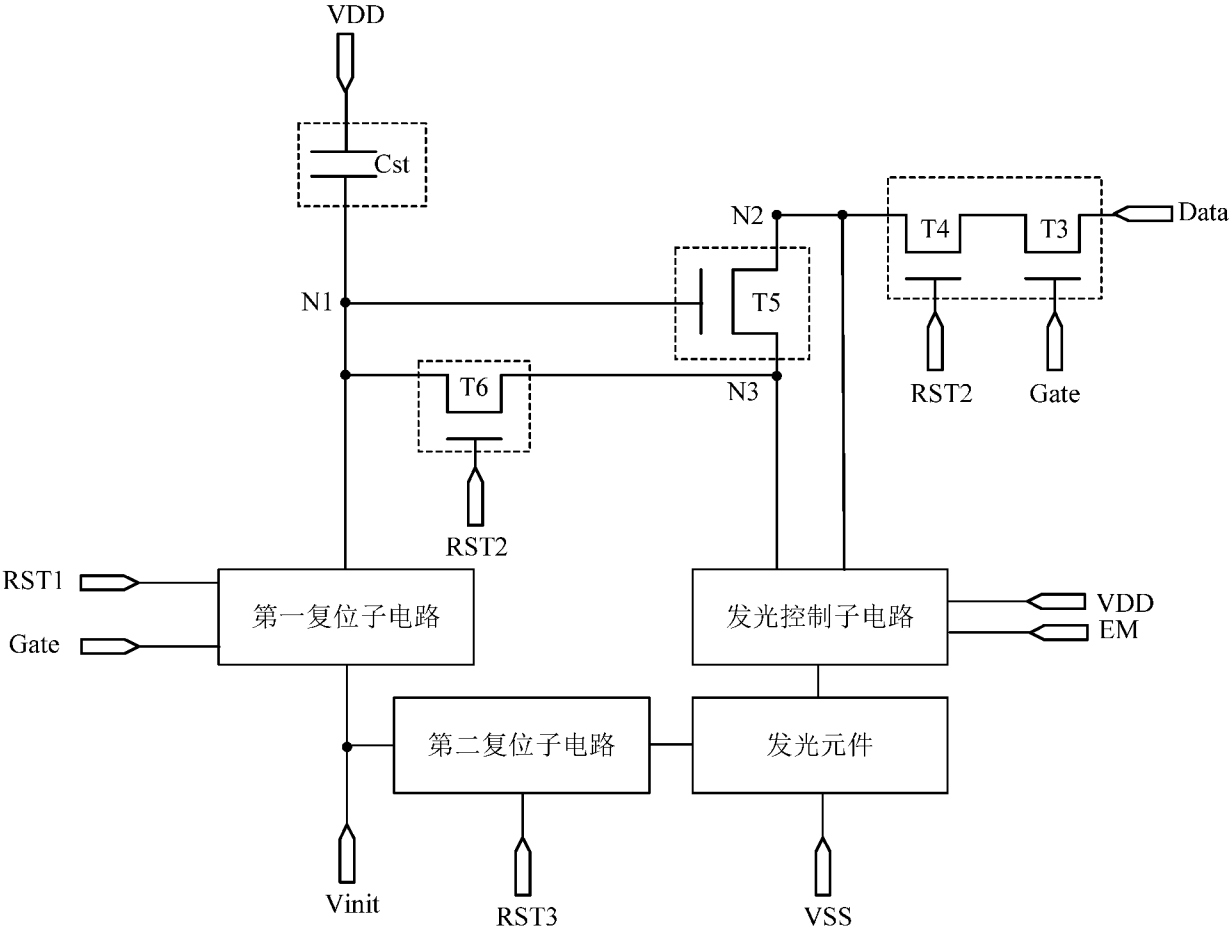


图 4

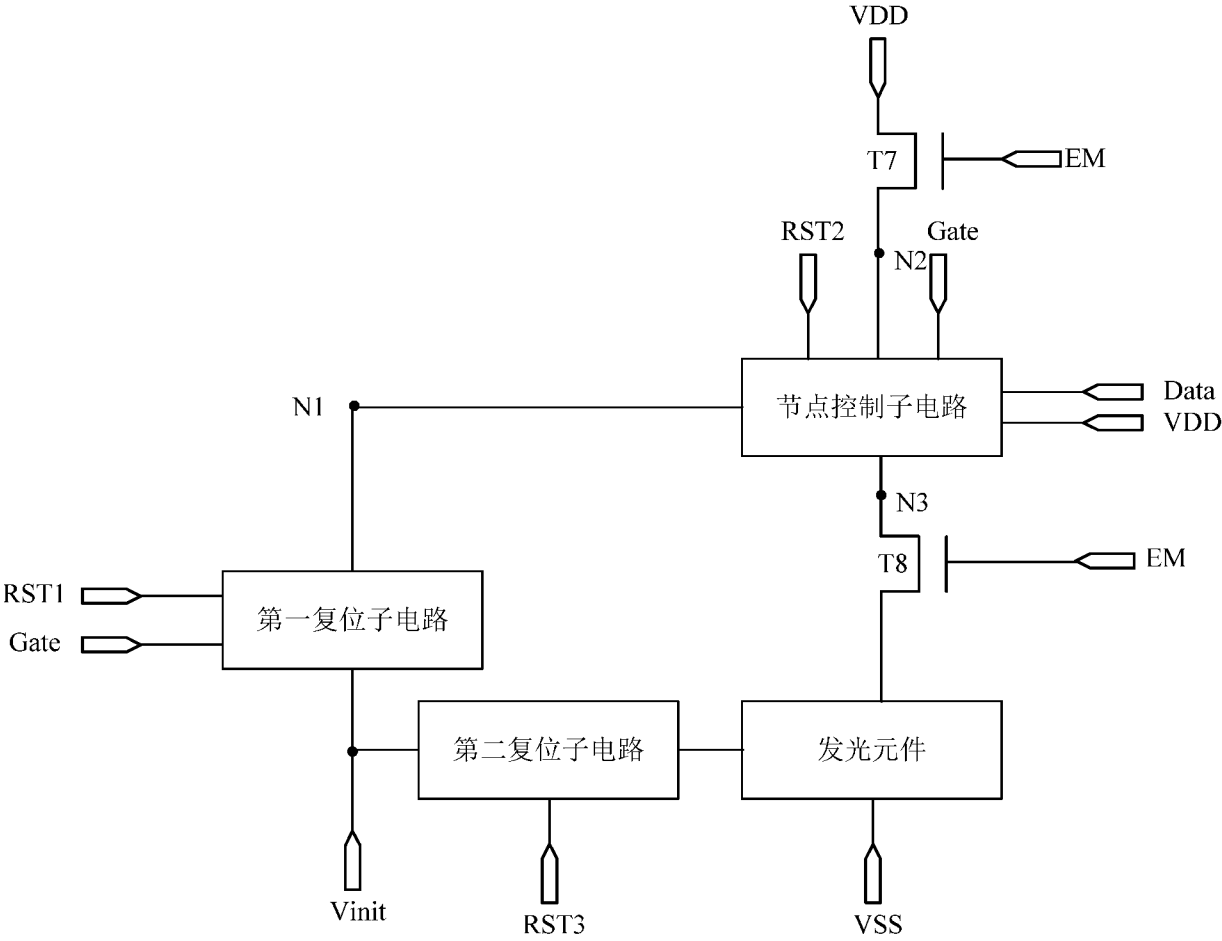


图 5

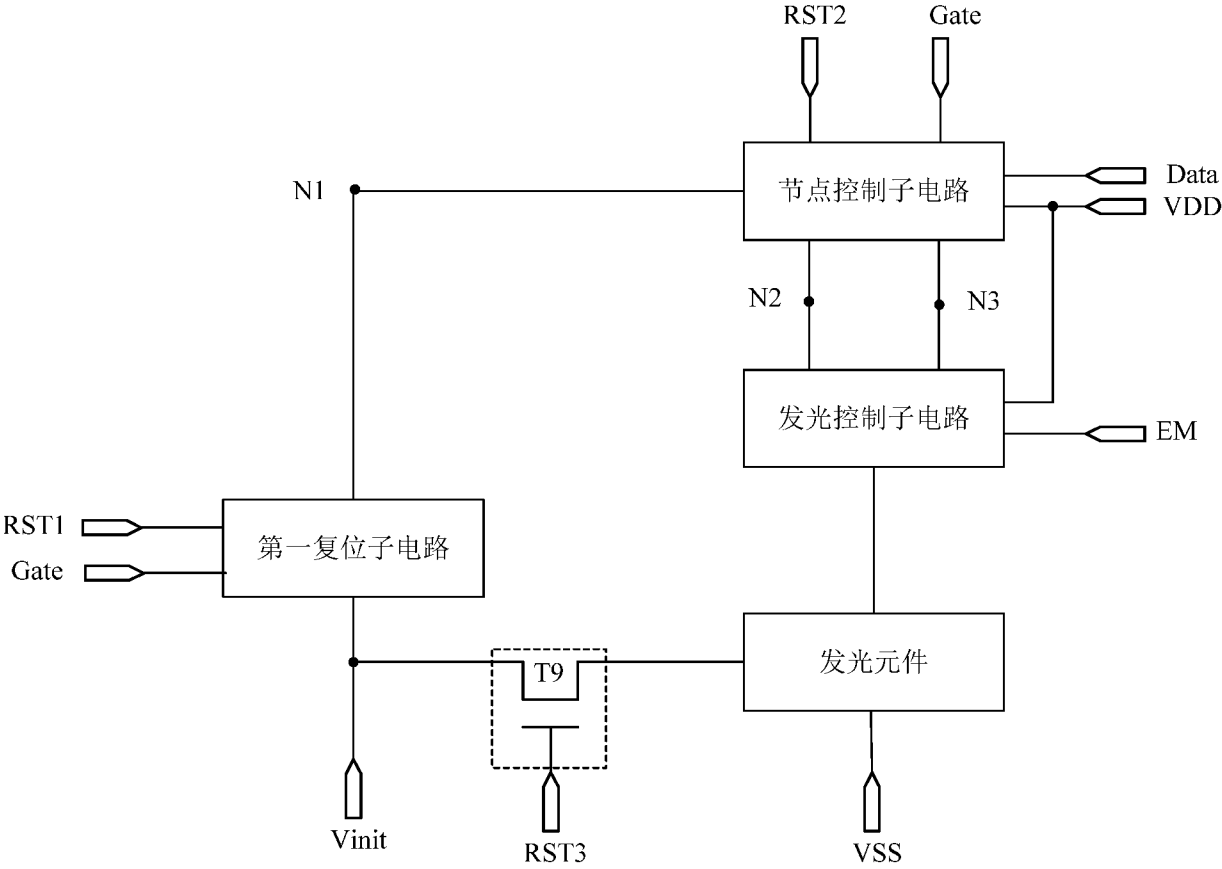


图 6

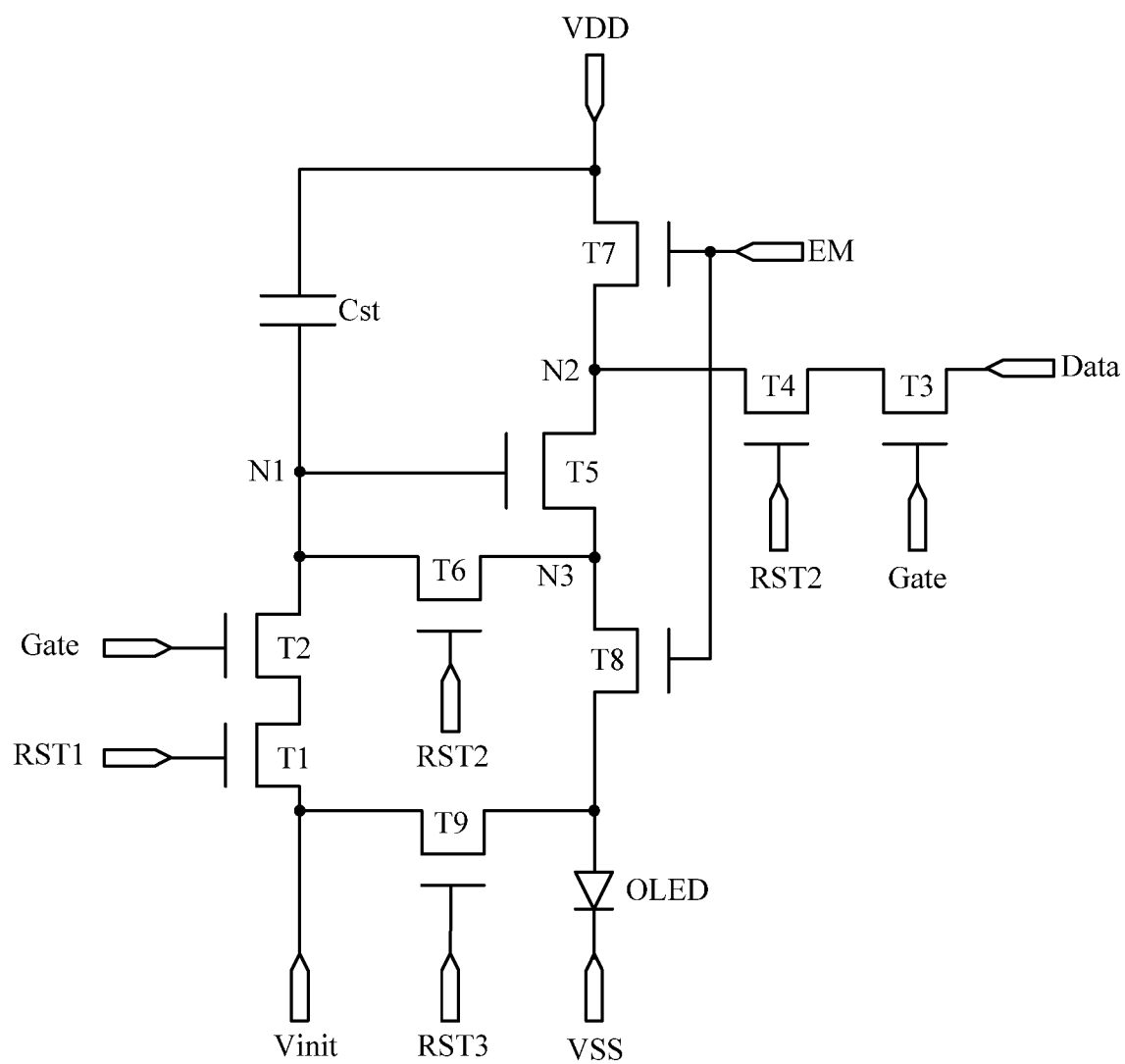


图 7

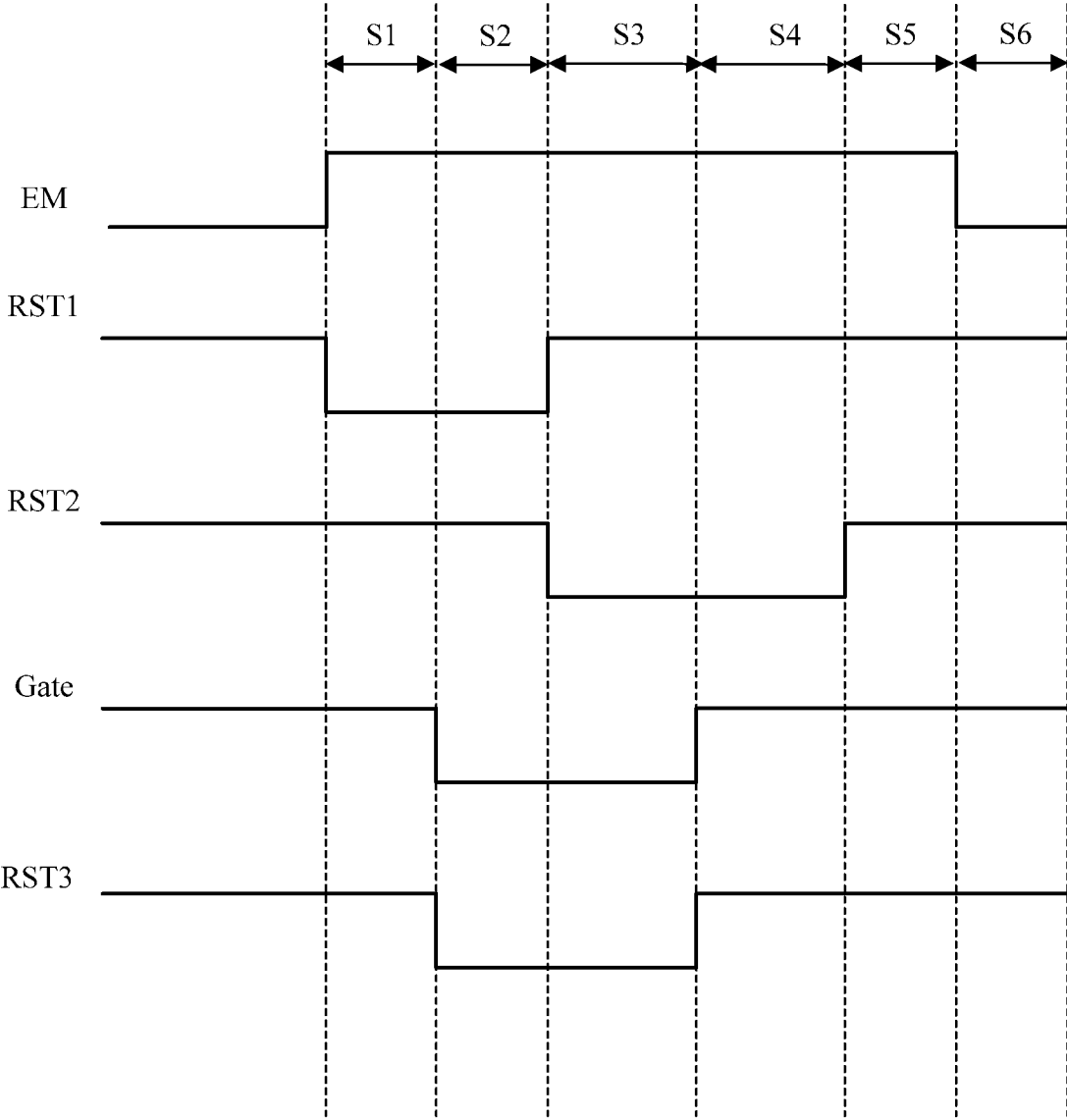


图 8

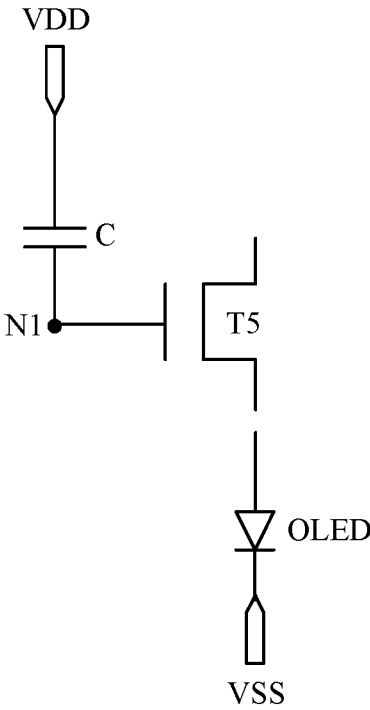


图 9A

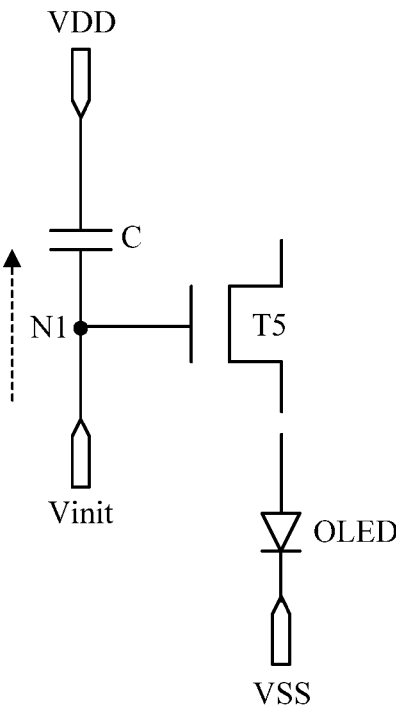


图 9B

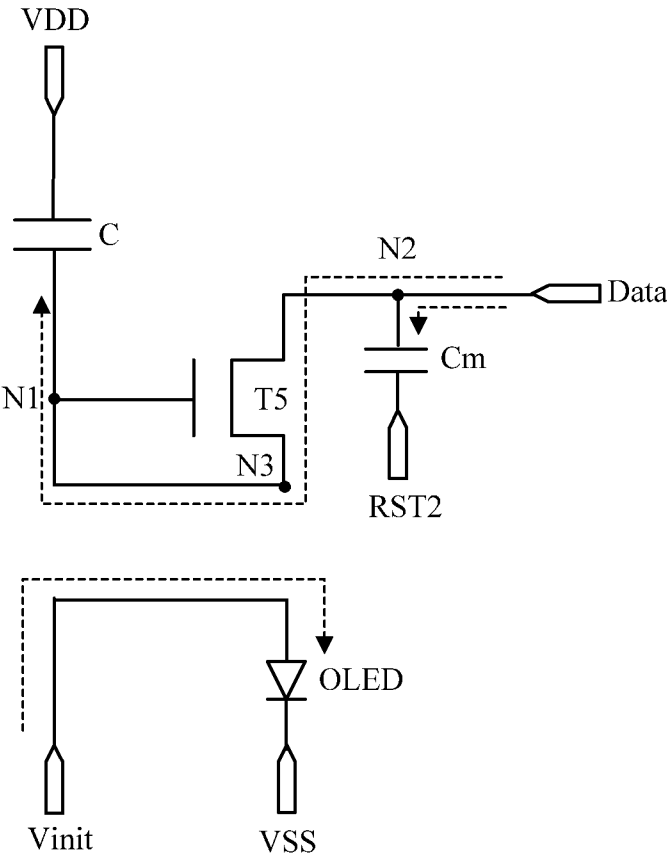


图 9C

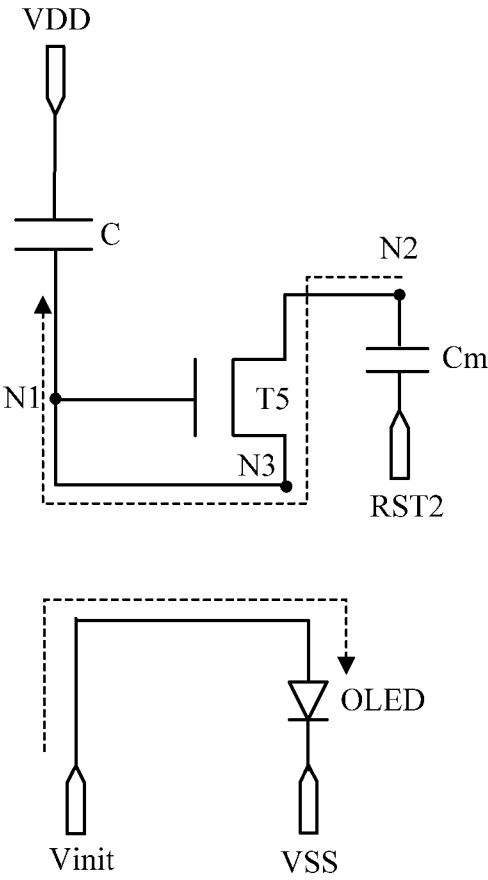


图 9D

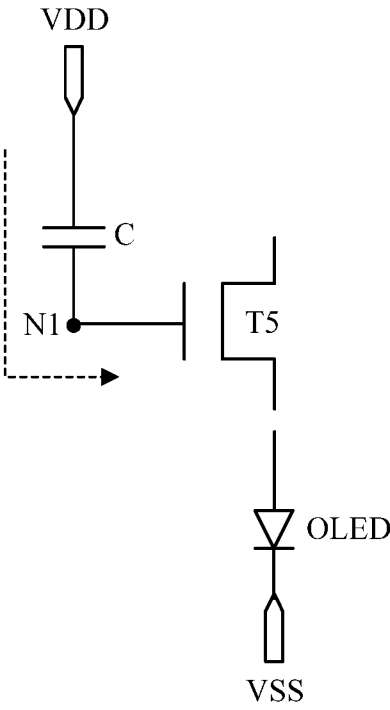


图 9E

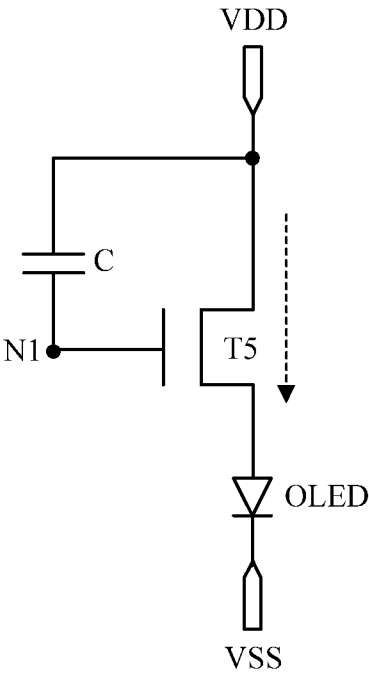


图 9F

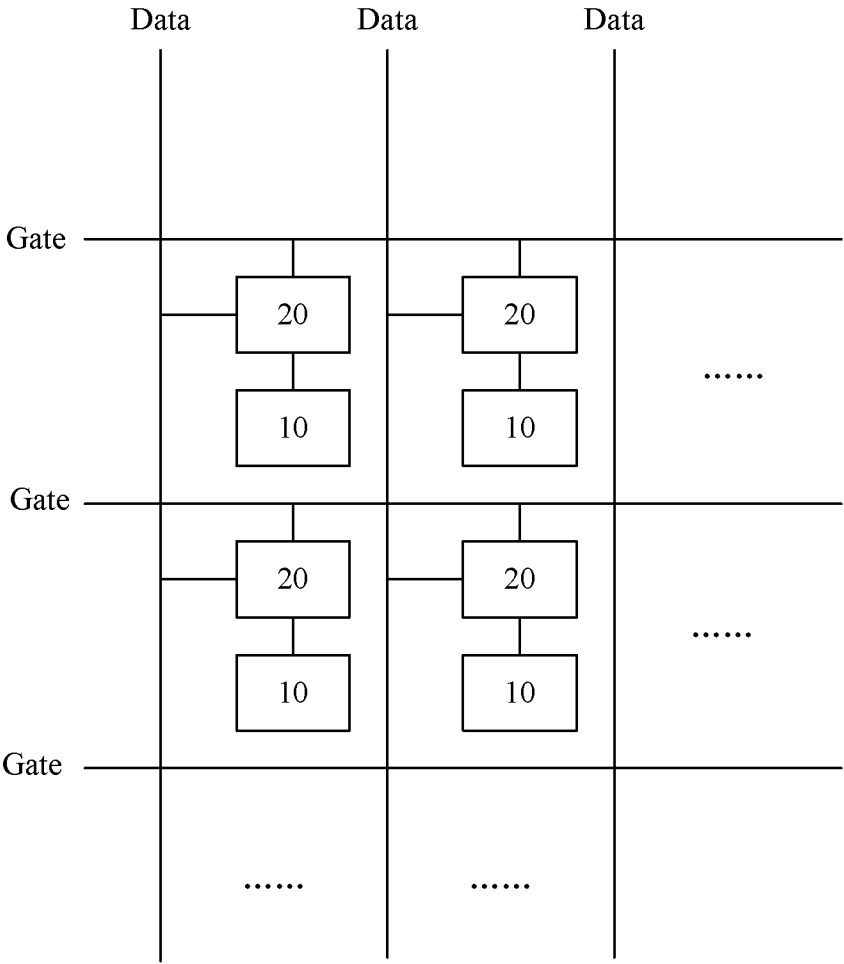


图 10

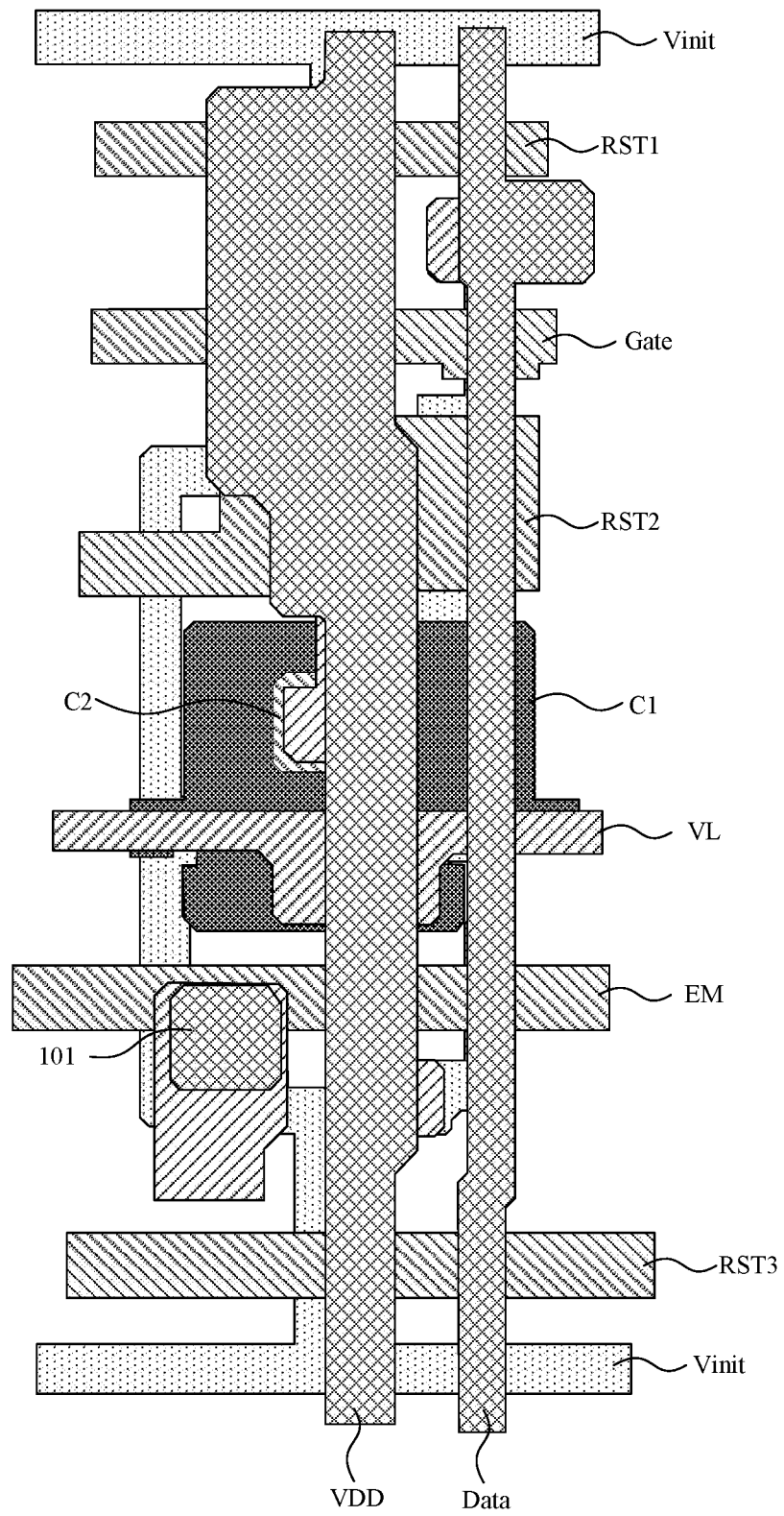


图 11

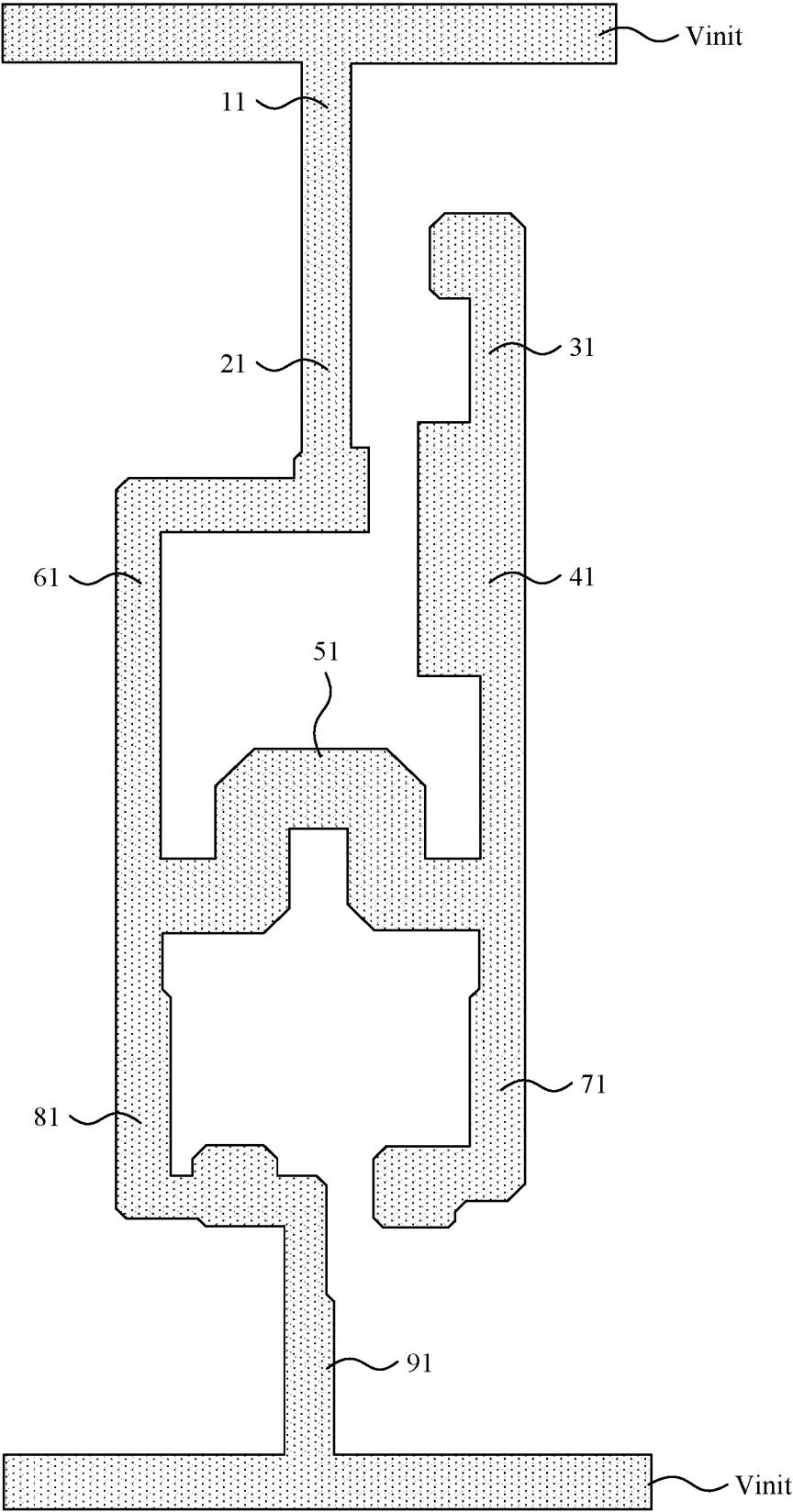


图 12

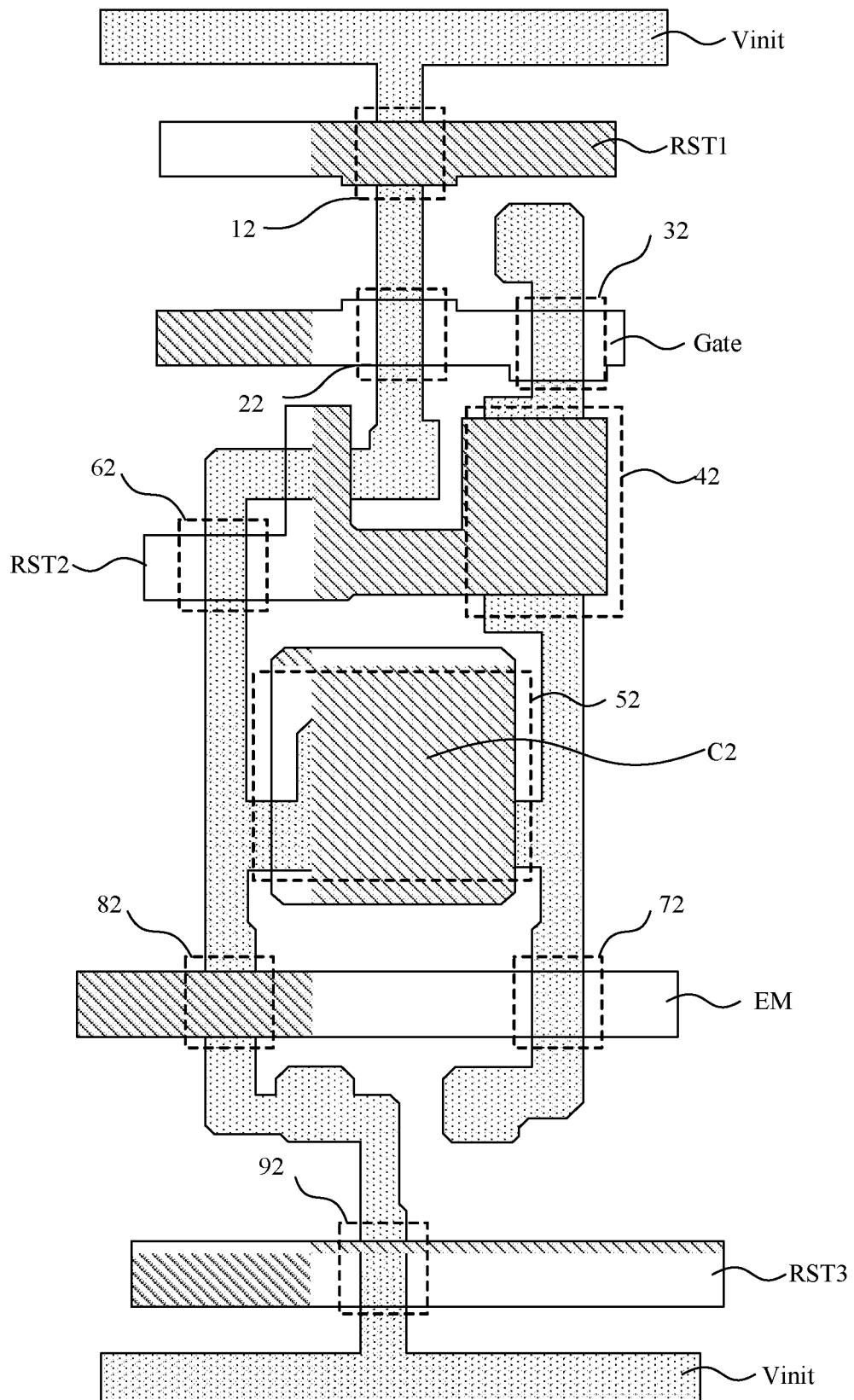


图 13

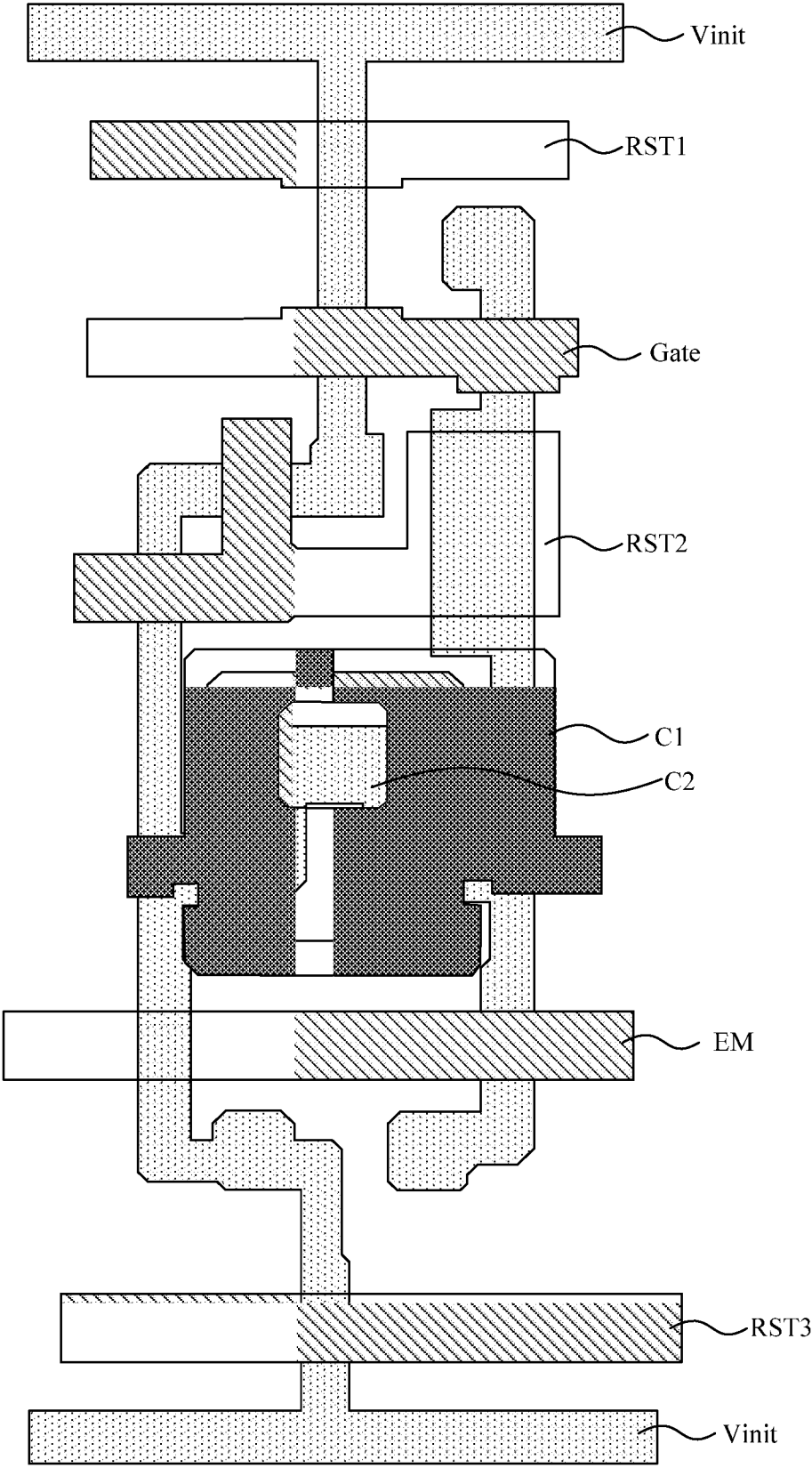


图 14

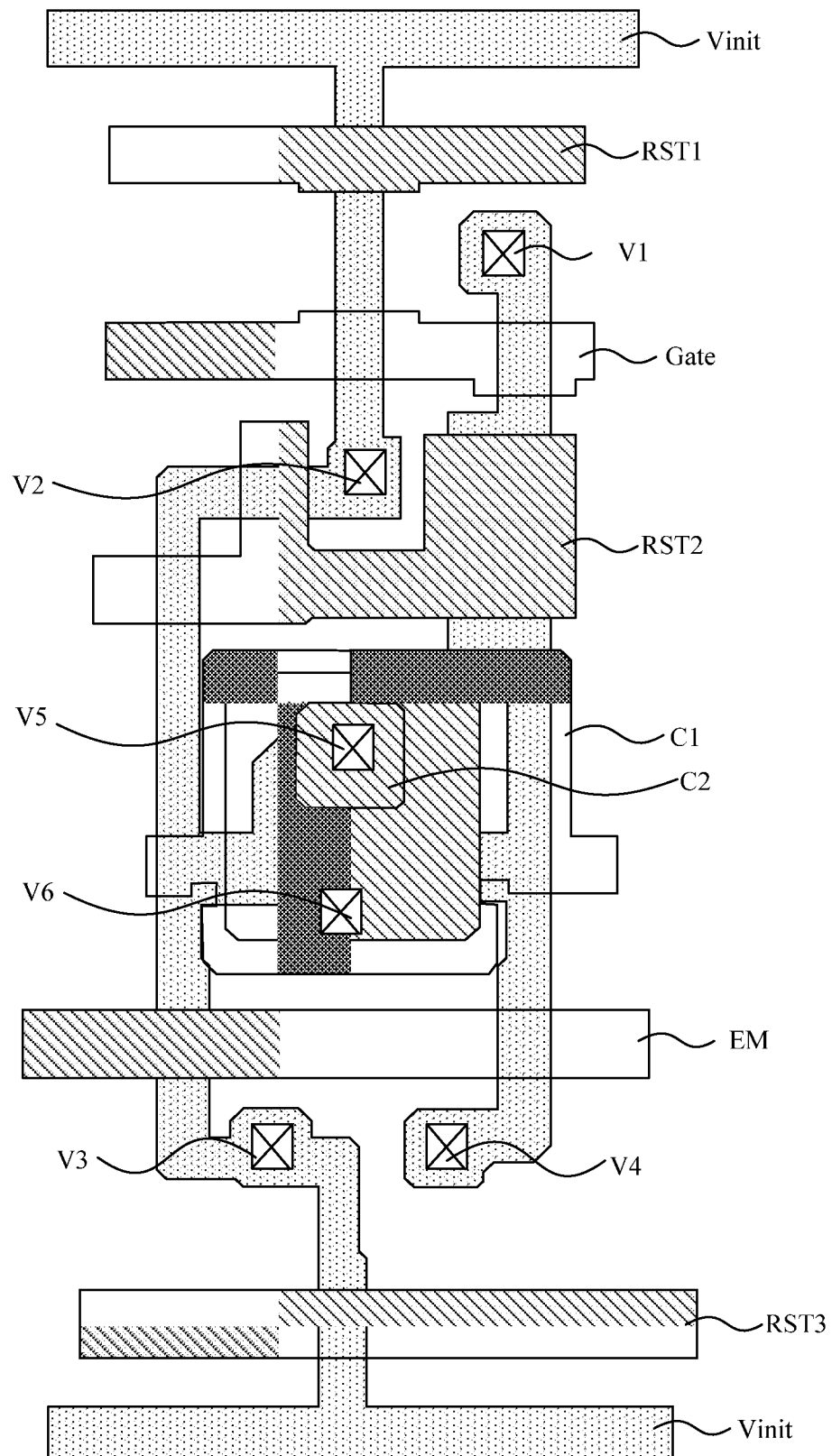


图 15

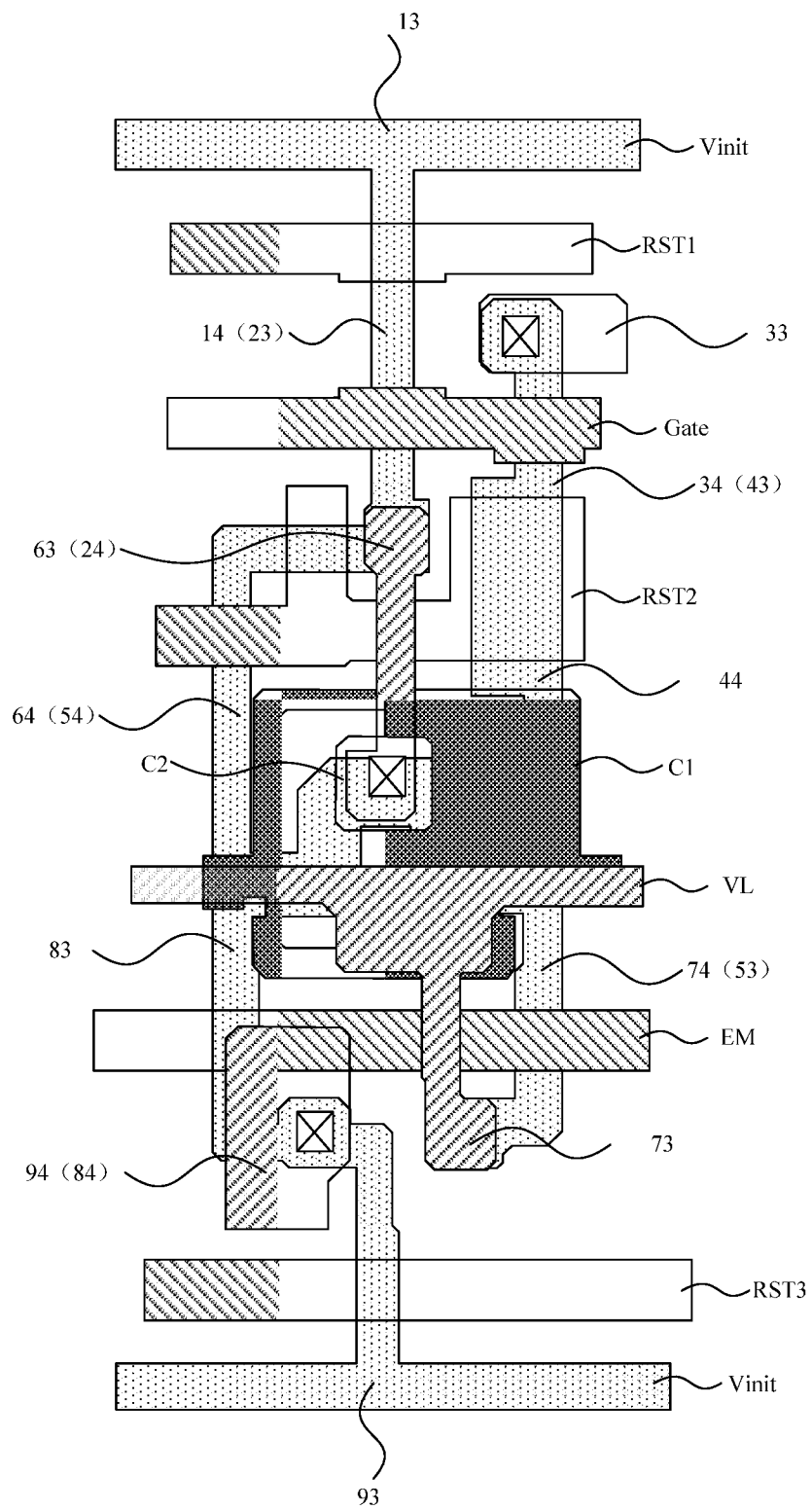


图 16

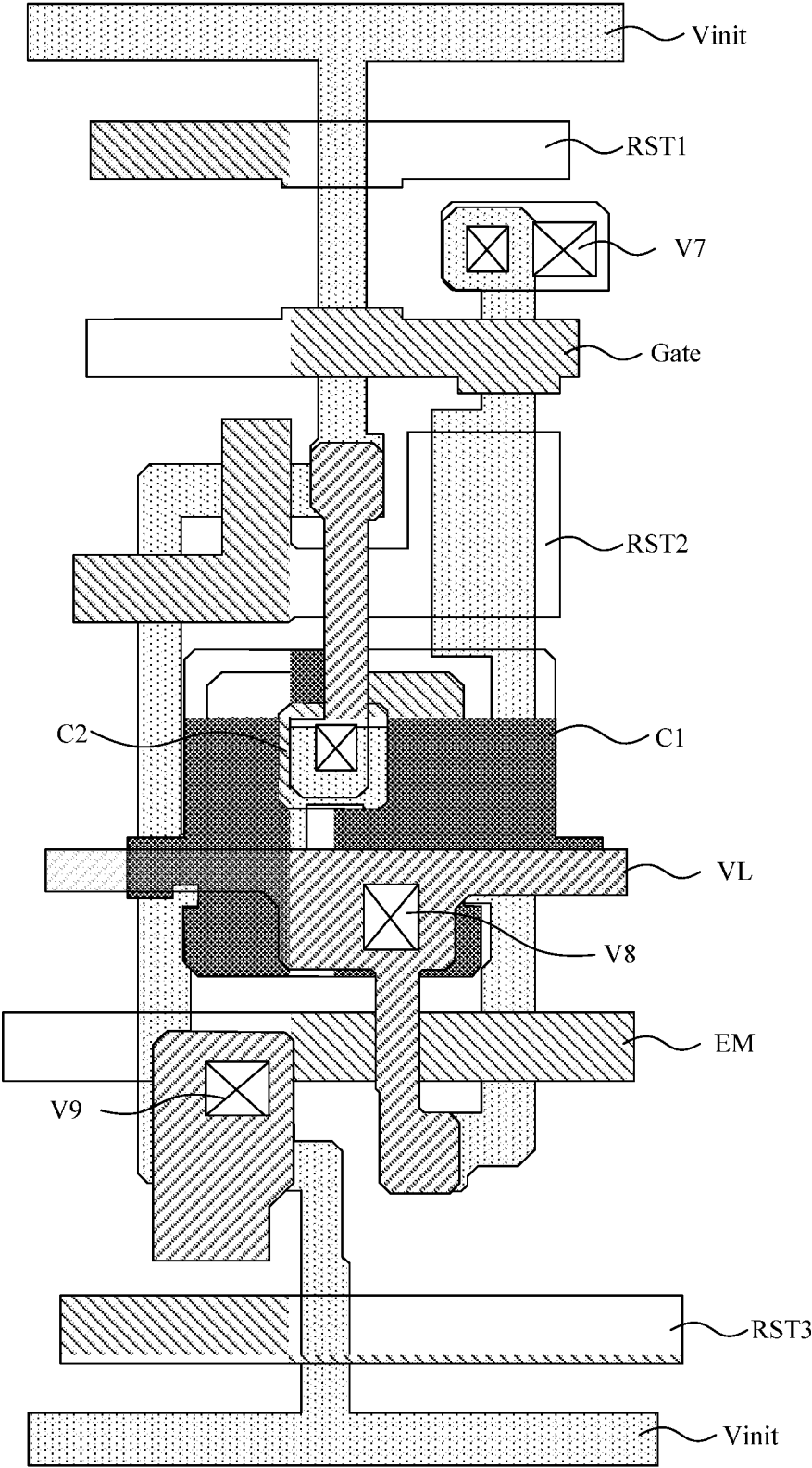


图 17

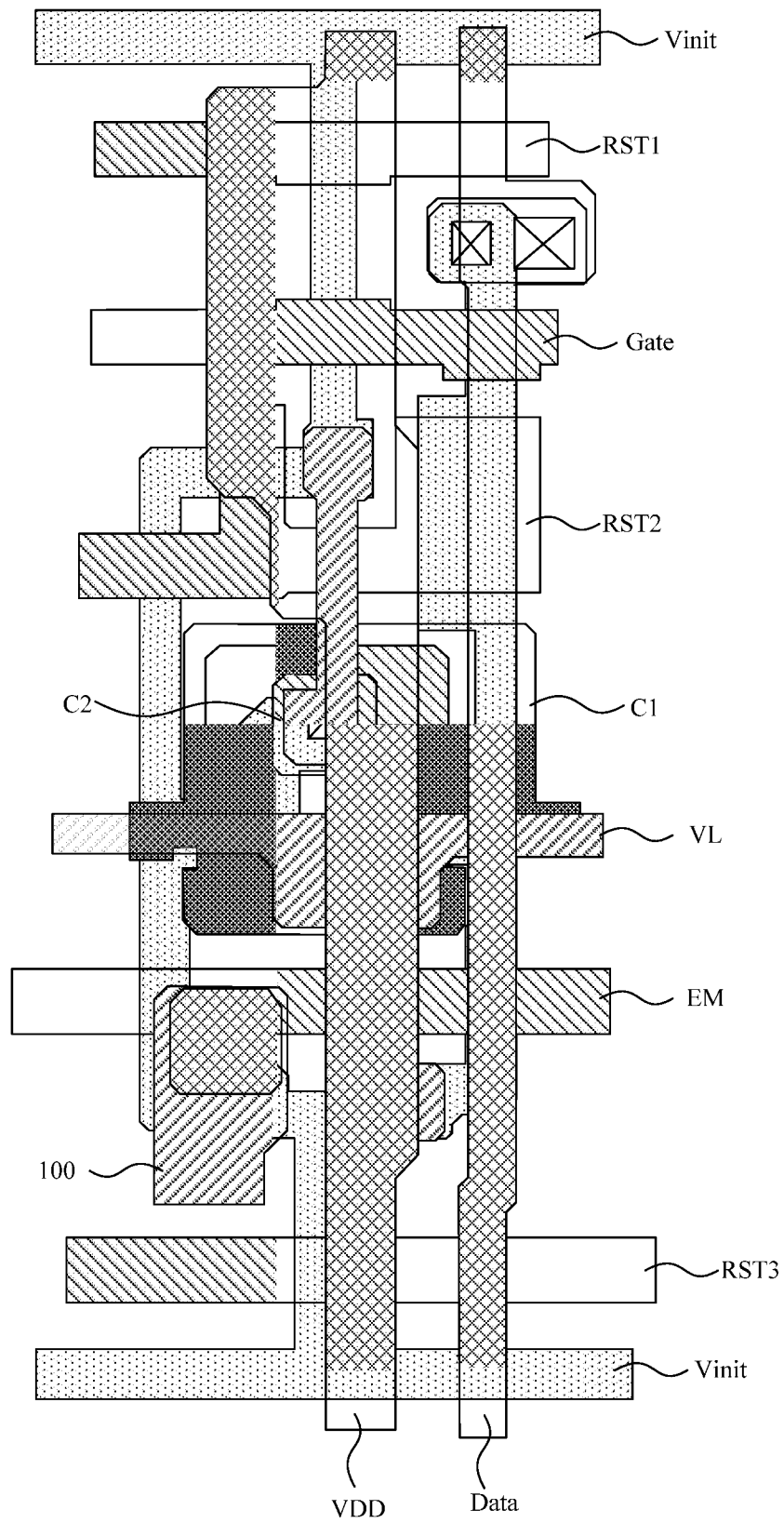


图 18

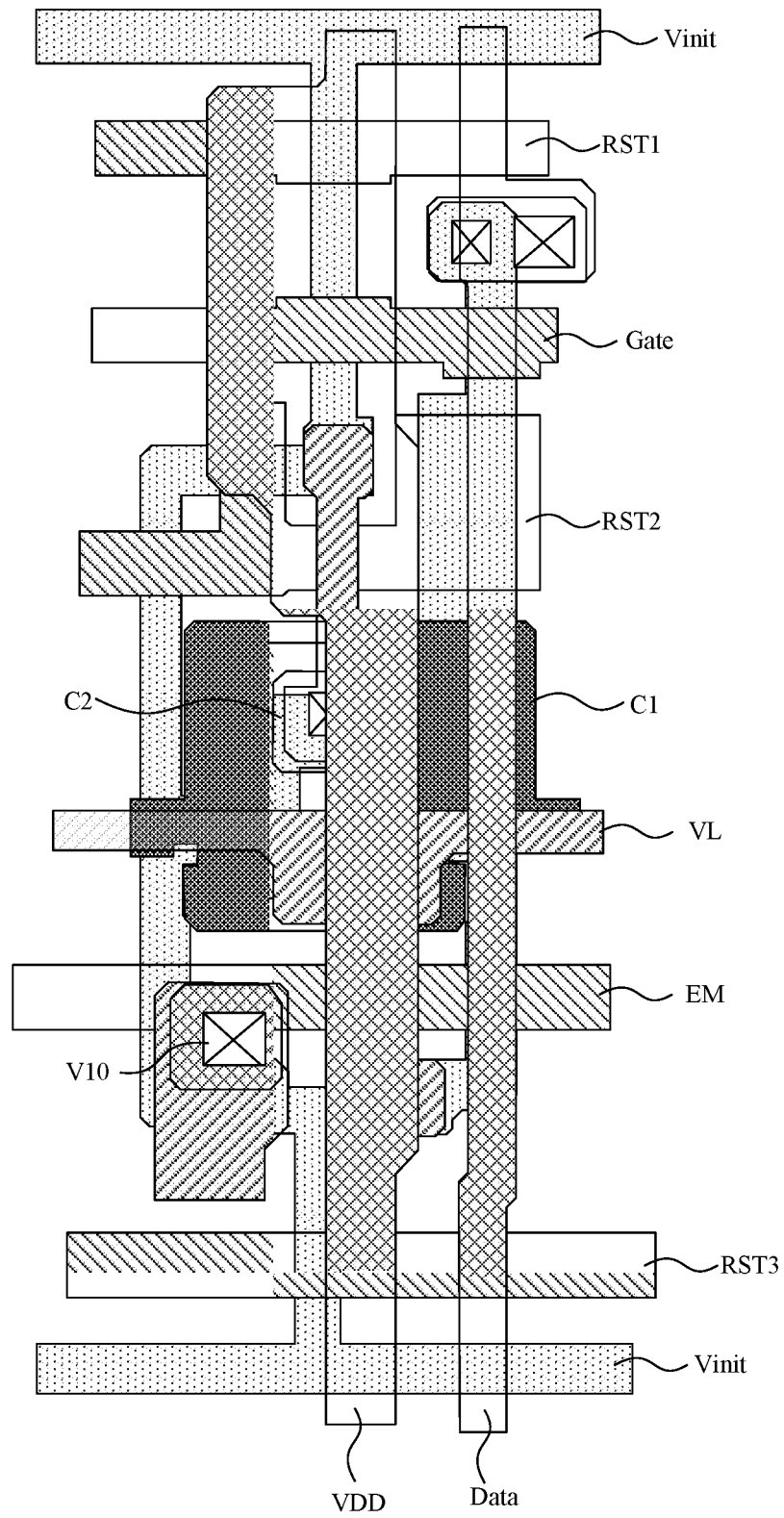


图 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/099187

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 京东方, 电压, 阈值, 第一, 第二, 第三, 复位, 线, 共用, 复用, 补偿, 第九, 晶体管, second, reset+, third, shar+, multiplex+, threshold, compensat+, ninth, eighth

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111951731 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 November 2020 (2020-11-17) description, paragraphs [0048]-[0093], and figures 1-6	1-20
PX	CN 112037714 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 04 December 2020 (2020-12-04) description, paragraphs [0053]-[0119], and figures 1-8	1-20
PX	CN 111968581 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 November 2020 (2020-11-20) description, paragraphs [0079]-[0108], and figures 3-17	1-20
X	CN 111354315 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 30 June 2020 (2020-06-30) description, paragraphs [0048]-[0104], and figures 1-5	1-20
X	CN 107610652 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 January 2018 (2018-01-19) description, paragraphs [0062]-[0159], and figures 2-12	1-20
X	CN 111243526 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 05 June 2020 (2020-06-05) description, paragraphs [0043]-[0131], and figures 1-8	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 August 2021

Date of mailing of the international search report

27 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/099187

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111951731	A	17 November 2020	None			
CN	112037714	A	04 December 2020	None			
CN	111968581	A	20 November 2020	None			
CN	111354315	A	30 June 2020	None			
CN	107610652	A	19 January 2018	CN	107610652	B	19 November 2019
				US	10657894	B2	19 May 2020
				US	2019096327	A1	28 March 2019
CN	111243526	A	05 June 2020	None			

国际检索报告

国际申请号

PCT/CN2021/099187

A. 主题的分类

G09G 3/3225(2016.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT; 京东方, 电压, 阈值, 第一, 第二, 第三, 复位, 线, 共用, 复用, 补偿, 第九, 晶体管, second, reset+, third, shar+, multiplex+, threshold, compensat+, ninth, eighth

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 111951731 A (京东方科技集团股份有限公司) 2020年 11月 17日 (2020 - 11 - 17) 说明书第[0048]-[0093]段, 附图1-6	1-20
PX	CN 112037714 A (京东方科技集团股份有限公司 等) 2020年 12月 4日 (2020 - 12 - 04) 说明书第[0053]-[0119]段, 附图1-8	1-20
PX	CN 111968581 A (京东方科技集团股份有限公司 等) 2020年 11月 20日 (2020 - 11 - 20) 说明书第[0079]-[0108]段, 附图3-17	1-20
X	CN 111354315 A (京东方科技集团股份有限公司 等) 2020年 6月 30日 (2020 - 06 - 30) 说明书第[0048]-[0104]段, 附图1-5	1-20
X	CN 107610652 A (京东方科技集团股份有限公司) 2018年 1月 19日 (2018 - 01 - 19) 说明书第[0062]-[0159]段, 附图2-12	1-20
X	CN 111243526 A (京东方科技集团股份有限公司 等) 2020年 6月 5日 (2020 - 06 - 05) 说明书第[0043]-[0131]段, 附图1-8	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 6日

国际检索报告邮寄日期

2021年 8月 27日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

勒海

电话号码 (86-512)88997479

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/099187

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	111951731	A	2020年 11月 17日	无	
CN	112037714	A	2020年 12月 4日	无	
CN	111968581	A	2020年 11月 20日	无	
CN	111354315	A	2020年 6月 30日	无	
CN	107610652	A	2018年 1月 19日	CN 107610652 B	2019年 11月 19日
				US 10657894 B2	2020年 5月 19日
				US 2019096327 A1	2019年 3月 28日
CN	111243526	A	2020年 6月 5日	无	