



(12) 发明专利申请

(10) 申请公布号 CN 103681645 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310414898. 2

H01L 21/48 (2006. 01)

(22) 申请日 2013. 09. 12

H01L 21/768 (2006. 01)

(30) 优先权数据

13/617, 915 2012. 09. 14 US

(71) 申请人 马克西姆综合产品公司

地址 美国加利福尼亚州

(72) 发明人 P · R · 哈珀 A · V · 萨莫伊洛夫

D · 迪亚斯

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 张文达

(51) Int. Cl.

H01L 25/10 (2006. 01)

H01L 23/498 (2006. 01)

H01L 23/538 (2006. 01)

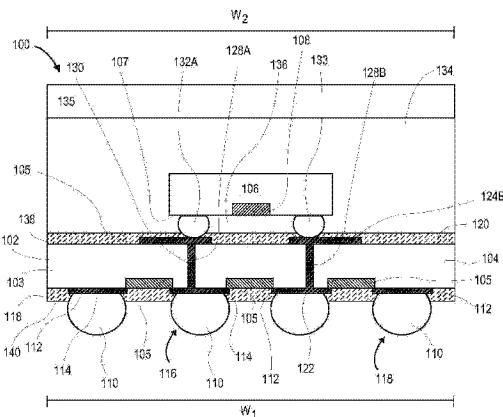
权利要求书2页 说明书7页 附图6页

(54) 发明名称

具有增强安全性的三维半导体封装器件

(57) 摘要

本申请公开了一种半导体封装器件，其包括具有存储电路的集成电路器件封装体。在一实施方式中，半导体封装器件包括具有第一表面和第二表面的半导体基底。所述半导体基底包括一个或多个集成电路，所述集成电路接近第一表面(例如与第一表面相邻、在第一表面中或上)形成。半导体封装器件还包括设置在第二表面上的集成电路器件，该集成电路器件包括用于存储敏感数据的存储电路。在一个或多个实施方式中，半导体封装器件包括贯穿基底通路，所述贯穿基底通路提供至集成电路封装体的电连接。半导体封装器件还包括了装封结构，所述装封结构在第二表面上设置并且至少大体上装封集成电路器件封装体。



1. 一种半导体封装器件，其包括：

半导体基底，其具有第一表面和第二表面，所述半导体基底包括接近第一表面形成的一个或多个集成电路；

集成电路器件封装体，其在第二表面之上设置，集成电路器件封装体包括用于存储敏感数据的存储电路；以及

装封结构，其在第二表面之上设置，所述装封结构至少大体上装封所述集成电路器件封装体。

2. 根据权利要求 1 所述的半导体封装器件，还包括贯穿基底通路，所述贯穿基底通路至少大体上从第一表面延伸至第二表面，贯穿基底通路构造成将集成电路器件封装体与所述一个或多个集成电路中的至少一个电连接。

3. 根据权利要求 2 所述的半导体封装器件，还包括在第二表面之上形成的再分配层，所述再分配层构造成提供集成电路器件封装体与贯穿基底通路之间的电连接。

4. 根据权利要求 1 所述的半导体封装器件，还包括多个在第一表面之上设置的附连凸块。

5. 根据权利要求 4 所述的半导体封装器件，其特征在于，所述多个附连凸块包括多个焊料凸块。

6. 根据权利要求 1 所述的半导体封装器件，其特征在于，所述存储电路包括动态存储电路，所述动态存储电路构造成当集成电路器件变得不可操作时丢失敏感数据。

7. 根据权利要求 1 所述的半导体封装器件，还包括加强组件，其在所述装封结构之上设置以对所述装封结构提供机械强度。

8. 根据权利要求 1 所述的半导体封装器件，其特征在于，所述装封结构由在半导体基底的第二表面之上模制成型的包覆成型件构成。

9. 一种三维半导体封装器件，其包括：

半导体基底，其具有第一表面和第二表面，所述半导体基底包括接近第一表面形成的一个或多个集成电路；

集成电路器件封装体，其在第二表面之上设置，集成电路器件封装体包括用于存储敏感数据的存储电路；

装封结构，其在第二表面之上设置，所述装封结构至少大体上装封所述集成电路器件封装体；以及

贯穿基底通路，所述贯穿基底通路至少大体上穿过半导体基底，贯穿基底通路构造成将集成电路器件封装体与所述一个或多个集成电路电连接，

其中所述集成电路器件封装体构造成当与半导体基底解除关联时变得不可操作，其中当集成电路器件封装体变得不可操作时敏感数据丢失。

10. 根据权利要求 9 所述的半导体封装器件，还包括在第二表面之上形成的再分配层，所述再分配层构造成提供集成电路器件封装体与贯穿基底通路之间的电连接。

11. 根据权利要求 9 所述的半导体封装器件，还包括多个在第一表面之上设置的附连凸块，其中所述多个附连凸块中的至少一个借助于贯穿基底通路与集成电路器件封装体电连接。

12. 根据权利要求 9 所述的半导体封装器件，其特征在于，所述存储电路包括动态存储

电路，所述动态存储电路构造成当集成电路器件变得不可操作时使敏感数据丢失。

13. 根据权利要求 12 所述的半导体封装器件，其特征在于，所述半导体基底借助于在半导体基底之上设置的一个或多个焊料凸块与贯穿基底通路电连接。

14. 根据权利要求 13 所述的半导体封装器件，还包括多个在第一表面之上设置的附连凸块，所述多个附连凸块具有第一熔点并且所述一个或多个焊料凸块具有第二熔点，第二熔点比第一熔点更高。

15. 一种用于制造晶圆级半导体封装件的方法，其包括：

对半导体晶圆进行处理以在其中形成一个或多个集成电路，所述半导体晶圆具有第一表面和第二表面，所述一个或多个集成电路接近第一表面；

在所述半导体晶圆中形成贯穿基底通路，所述贯穿基底通路至少大体上从第一表面延伸至第二表面；以及

将集成电路器件在第二表面之上定位，所述集成电路器件借助于贯穿基底通路与所述一个或多个集成电路电连接，所述集成电路器件包括用于存储敏感数据的存储电路。

16. 根据权利要求 15 所述的方法，还包括：

在第二表面之上形成再分配层，所述再分配层与贯穿基底通路和集成电路器件电连接；以及

在第二表面之上形成装封结构，所述装封结构至少大体上装封所述集成电路器件。

17. 根据权利要求 16 所述的方法，其特征在于，所述装封结构包括在第二表面之上模制成型的包覆成型件。

18. 根据权利要求 16 所述的方法，还包括将加强组件附接至所述装封结构。

19. 根据权利要求 14 所述的方法，其特征在于，所述存储电路包括动态存储电路，所述动态存储电路构造成当集成电路器件变得不可操作时使敏感数据丢失。

20. 根据权利要求 14 所述的方法，其特征在于，所述集成电路器件包括集成电路器件封装体。

具有增强安全性的三维半导体封装器件

技术领域

[0001] 本发明涉及一种三维半导体封装器件。

背景技术

[0002] 三维集成电路(3D IC)可通过使用集成到单一IC芯片中的两层或更多层电子元件而构成。所述电子元件可被堆叠以形成单一电子电路。例如，有源电子元件的两层或多层可竖直地和水平地集成到单一电路中。采用三维IC封装处理以通过将分开的芯片(例如裸晶)堆叠到单一IC电路封装体中而节省空间。可采用各种类型的制造过程以形成IC封装体，所述制造过程包括单片封装技术、晶圆上晶圆封装技术、晶圆上裸晶封装技术、以及裸晶上裸晶封装技术。

发明内容

[0003] 公开了一种半导体封装器件，其包括具有存储电路的集成电路器件封装体。在一实施例中，半导体封装器件包括具有第一表面和第二表面的半导体基底。所述半导体基底包括一个或多个集成电路，所述集成电路接近第一表面(例如与第一表面相邻、在第一表面上或第一表面上)形成。半导体封装器件还包括设置在第二表面上的集成电路器件，该集成电路器件包括用于存储敏感数据的存储电路。在一个或多个实施例中，半导体封装器件包括贯穿基底通路，该贯穿基底通路提供至集成电路封装体的电连接。半导体封装器件还包括了装封结构，所述装封结构在第二表面上设置并且至少大体上装封集成电路封装器件。

[0004] 提供该概要以简化的形式介绍构思的选择，所述构思以下在详细的说明书中进一步描述。该概要并非意在标识要求保护的主体的关键特征或重要特征，也并非意在用作确定要求保护的主体范围的目的。

附图说明

[0005] 详细的说明书结合所附附图描述。在说明书和附图中的不同例证中使用相同的参考标号可代表类似或相同的元件。

[0006] 图1A为示出了根据本申请公开的示例性实施例的半导体封装器件的图示性局部横截面侧视图，其中半导体封装器件包括基底，所述基底包括一个或多个集成电路，集成电路器件在基底上定位，其中集成电路器件包括用于存储敏感数据的存储模块。

[0007] 图1B为示出了根据本申请公开的另一示例性实施例的半导体封装器件的图示性局部横截面侧视图。

[0008] 图2为示出了示例性实施例中用于制造根据本申请公开的集成电路器件的过程的流程图，所述集成电路器件具有用于存储敏感数据的存储模块。

[0009] 图3A至图3C为示出了根据图2中所示过程制造集成电路封装器件的图示性局部横截面侧视图。

[0010] 图 4 为示出了示例性实施例中用于制造根据本申请公开的、如图 1A 中所示器件的半导体封装器件的过程的流程图。

[0011] 图 5A 至图 5C 为示出了根据图 4 中所示过程制造如图 1 中所示器件的晶圆级半导体封装器件的图示性局部横截面侧视图。

具体实施方式

综述

[0013] 消费者在诸如智能卡的集成电路卡中存储诸如用户身份、银行账户信息、信用卡信息、密码等敏感数据。这些消费者可利用这些集成电路卡购买食品杂货、从图书馆结账书籍、进行金融交易(例如电子收益转账(EBT))等等。由于存储在这些智能卡中的信息的敏感性以及这些卡容易被盗,所以保护该信息是最为重要的。通常地,集成电路卡可包括在集成电路器件后侧定位的存储电路。这种类型的器件可遭受微区探查等,所述微区探查将允许不道德人士取出和偷取消费者的敏感信息。

[0014] 因此,公布了一种半导体封装器件(例如,一种三维(3D)封装器件),其包括具有存储电路的集成电路器件封装体。存储电路构造成存储敏感数据。在一实施例中,半导体封装器件包括具有第一表面和第二表面的半导体基底。所述半导体基底包括一个或多个集成电路,所述集成电路接近第一表面(即与第一表面相邻、在第一表面中或第一表面上)形成。半导体封装器件还包括设置在第二表面之上的集成电路器件,该集成电路器件包括用于存储敏感数据的存储电路。在一个或多个实施例中,半导体封装器件包括贯穿基底通路,该贯穿基底通路提供至集成电路封装体的电连接。半导体封装器件还包括了装封结构,所述装封结构在第二表面上设置,并且至少大体上装封集成电路封装器件。在一实施例中,集成电路器件构造成当与半导体基底非关联(例如电断开)时变得不可操作,并且当集成电路器件变得不可操作时敏感数据可丢失。在另一实施例中,当半导体封装器件承受被采用以去处理半导体封装器件的温度时敏感数据丢失。

示例性实施例

[0016] 图 1A 和图 1B 示出了半导体封装(WLP)器件,其包括一个或多个集成电路器件封装体。在一实施例中,集成电路器件封装体包括被构造以存储敏感数据的存储模块(例如存储电路)。例如,由于所述器件包括包括了单一半导体封装器件的一个或多个裸晶,所以半导体封装器件被认为是三维(3D)封装组件。集成电路器件封装体被构造成在对 WLP 器件进行未授权访问的情况下变得不可操作。例如,存储模块选择性地定位成接近基底的后侧,从而当经受聚焦离子束(FIB)处理和 / 或微区探查技术时所述集成电路器件封装体变得不可操作。

[0017] 现在参照图 1A 和图 1B,描述了半导体封装器件 100。半导体封装器件 100 包括一个或多个裸晶(例如集成电路芯片)102,所述裸晶在诸如为晶圆 104 一部分的半导体基底 103 内形成。如上所述,裸晶 102 包括集成电路 105,所述集成电路构造成将功能提供给一个或多个主系统以及诸如此类。在实施例中,集成电路可包括数字电路、模拟电路、它们的结合以及诸如此类。集成电路 105 可连接至在裸晶 102 之上部署的一个或多个传导层,例如接触垫、再分配层(RDL)或等等。这些传导层提供了电接触,通过所述电接触集成电路与其他同器件 100 关联的元件(例如印刷电路板等)互连。传导层(例如接触垫)的数量和构

型可取决于集成电路的复杂度和构型、裸晶 102 的尺寸和形状以及诸如此类而改变。

[0018] 如本文中所使用的，术语“半导体基底”指代由如下材料构造的基底，所述材料例如但不限于：硅、二氧化硅、氧化铝、蓝宝石、锗、砷化镓(GaAs)、硅锗合金和 / 或磷化铟(InP)。此外，为了本申请公开的目的，半导体基底可形成为半导体或电绝缘体，并且可包括既有半导体材料又有绝缘材料的层。例如，在实施例中，半导体基底可使用诸如二氧化硅的绝缘体与半导体材料层(例如在绝缘体上形成的硅)形成。诸如晶体管和二极管的电器元件可在半导体中制造。在其他实施例中，半导体基底可形成为绝缘体、介电体以及诸如此类。

[0019] 半导体封装器件 100 还包括在半导体基底 103 之上定位的集成电路器件(例如集成电路裸晶)106。集成电路器件 106 包括集成电路，所述集成电路可由数字电路、模拟电路、它们的组合以及诸如此类构成。在特定的实施例中，集成电路器件 106 被构造为一个或多个集成电路，所述集成电路构造成为将安全功能性(例如当发生未授权的访问时使器件 106 变得不可操作)提供给半导体封装器件 100。如以下更为详细描述的，集成电路器件 106 与集成电路 105 电通信。如图 1A 中所示，集成电路器件 106 包括在集成电路器件 106 内形成的存储模块 108。例如，存储模块 108 可接近集成电路器件 106 的前侧(例如表面 107)形成(例如邻近所述前侧、在所述前侧中、在所述前侧上)。在一实施例中，存储模块 108 包括被构造在其中存储敏感数据(例如密码、用户身份、加密码、财务码、用户身份码等)的电路。例如，存储模块 108 可包括诸如随机存取存储器(RAM)电路的动态存储器电路，所述动态存储器电路被构造成为当存储模块 108 为可操作(例如充足的电源被供应至存储模块 108)时存储敏感数据。因而，对半导体封装器件 100 未授权的访问可使得器件 100 不可操作。例如，来自集成电路器件 106 的后侧的聚焦离子束(FIB)处理和 / 或微区探查技术可使得器件 106 内的电路不可操作，这继而引起存储模块 108 断电。在一实施例中，集成电路器件 106 至少大体上装封(例如包封)存储模块 108。例如，存储模块 108 可与集成电路器件 106 成为一体。

[0020] 如图 1A 和图 1B 中所示，半导体封装器件 100 包括多个附连凸块 110。所述附连凸块 110 包括焊料凸块，其提供了在裸晶 102 之上部署的接触垫与印刷电路板表面上形成的对应垫之间的机械和 / 或电互连。在一个或多个实施例中，附连凸块 110 可由诸如锡 - 银 - 铜(Sn-Ag-Cu)合金焊料(即 SAC)、锡 - 银(Sn-Ag)合金焊料、锡 - 铜(Sn-Cu)合金焊料等的无铅焊料制成。然而，想到的是可使用锡 - 铅(Pb-Sn)焊料。使用晶圆级封装技术形成附连凸块 110 的示例性过程在以下更详细地描述。

[0021] 凸块界面 112 可被施加至裸晶 102 的接触垫，以提供接触垫与附连凸块 110 之间的可靠互连边界。例如，在如图 1A 和图 1B 所示的半导体封装器件 100 中，凸块界面 112 包括向集成电路芯片 102 的接触垫施加的垫(例如再分配)结构 114。垫结构 114 可具有各种组分。例如，垫结构 114 可包括多层不同的金属层(例如铝(A1)、镍(Ni)、铜(Cu)、钒(V)、钛(Ti)等)，所述金属层用作为粘附层、扩散阻隔层、可焊层、氧化阻隔层等等。然而，其他柱状结构是有可能的。在其他实施例中，凸块界面 112 可包括焊球下金属化结构。

[0022] 综合来看，附连凸块 110 以及关联的凸块界面 112(例如垫结构 114)包括凸块组件 116，所述凸块组件被构造为提供裸晶 102 至印刷电路板的机械和 / 或电互连。如图 1A 和图 1B 中所示，取决于各种设计的考虑，晶圆级封装器件 100 可包括一个或多个凸块组件 116 的阵列 118。

[0023] 能够想到的是，裸晶(集成电路芯片)102 可包括与裸晶 102 的前侧或表面 118 接近(例如邻近)的有源电路(集成电路 105)。所述前侧被认为是接近凸块组件 116(例如远离集成电路器件 106)的表面 118。因而，表面 120 被认为是裸晶 102 的无源表面或后侧(例如没有有源电路)。半导体封装器件 100 还包括一个或多个在表面 118(例如前侧)之上部署的前侧再分配层 122 和一个或多个在表面 120(例如后侧)之上部署的后侧再分配层 124。在该实施例中，再分配层 122 包括垫结构 114。然而，可以理解的是，根据器件 100 的要求其他构型是可以的(例如再分配层 122 和垫结构 114 是相区分的层)。再分配层 122、124 包括再分配结构，所述再分配结构由薄膜金属型(例如铝、铜)改径和互连系统构成，其将接触垫再分配给电界面的区域阵列(例如在本文更详细描述的凸块界面 112、电界面 132)。如图 1A 和图 1B 中所示，集成电路器件 106 的前侧(表面 107)接近基底 103 的后侧(例如表面 120)。

[0024] 如所示的，集成电路器件 106 在表面 118 之上定位并且电连接至再分配层 124(例如再分配层 124A、124B)的后侧。一个或多个后侧再分配层 124 与一个或多个前侧再分配层 122 电连接。在一实施例中，前侧再分配层 122(例如前侧再分配层 122A、122B)提供至裸晶 102 的接触垫的电连接，还有至一个或多个凸块组件 116 的电连接。在特定实施例中，如图 1A 和图 1B 中所示，后侧再分配层 124A、124B 借助于贯穿基底通路(TSV)128(TSV128A、128B)分别与前侧再分配层 122A、122B 电连接。在特定实施例中，TSV128 可包括微 TSV 结构。TSV128 至少大体上穿过基底 103 延伸(例如至少大体上延伸基底 103 的厚度(D))。在一个或多个实施例中，TSV128 具有至少近似 1:1 至至少近似 10:1 的深宽比。TSV128 包括沉积在其中的导电材料 130，诸如铜、多晶硅或等等。在特定实施例中，TSV128 可具有范围从约五十微米(50 μm)至约 5 微米(5 μm)的大概尺寸(宽度)以及范围从约五十微米(50 μm)至约一百微米(100 μm)的近似深度。

[0025] 集成电路器件 106 和存储模块 108 借助于电界面 132 与相应的再分配层 124(124A、124B)可通信地连接。如图 1A 和图 1B 中所示，电界面 132 可以各种方式构造。例如，如图 1A 中所示，电界面 132 可包括附连凸块 133，所述附连凸块提供了集成电路器件 106 与对应的再分配层 124 之间的电连接。在另一示例中，如图 1B 中所示，电界面 132 可包括至少大体上非球形横截面的形状，所述电界面由诸如锡 - 银 - 铜(SnAgCu)合金、锡 - 铅(SnPb)合金或锡 - 锡(Sn-Sb)、锡合金的可焊接合金构成。在特定的实施例中，电界面 132 包括用于将集成电路器件 106(还有存储模块 108)连接至对应的再分配层 124 的表面安装垫。例如，倒装芯片垫可具有大体上柱状横截面形状。然而，应当理解的是可采用其他横截面形状(例如矩形、正方形、卵形、椭圆形等)。可以想到的是电界面 132 可具有相比附连凸块 110 的熔点更高的熔点，以当附连凸块 110 经受回流焊处理时，至少大体上防止电界面 132 的回流。如图 1A 中所示，第一电界面 132A 将集成电路器件 106 连接至再分配层 124A，并且第二电界面 132B 将集成电路器件 106 连接至再分配层 124B。因而，集成电路封装器件被可通信地连接至前侧再分配层 122A、122B(以及连接至集成电路 105)。

[0026] 器件 100 还包括装封结构 134，所述装封结构至少大体上装封集成电路器件 106 并且通过裸晶 102 支承。在一个或多个实施例中，装封结构 134 构造成对集成电路器件 106 和存储模块 108 提供机械和 / 或环境保护。可使用机械加强组件 135 以提供机械强度并且控制器件 100 的平坦度。加强组件 135 可由多种适合材料构成，诸如但并不限于硅材料、氧化铝(Al_2O_3)材料、陶瓷材料、或 42 号合金。装封结构 134 可包括模制复合物(例如包覆成

型件)、陶瓷材料、塑料、环氧材料等等。装封结构 134 的宽度(W1)至少大体上与裸晶 102 的宽度(W2)近似。装封结构 134 还构造成防止对集成电路器件 106 不期望的损伤。通过将结构 134 在基底 103 的表面 120(后侧)之上定位,任何方式为对器件 100 除去处理(例如去焊等)的未授权访问也可使得器件 100 不可操作(例如,导致敏感数据的丢失)。例如,从基底 103 移除集成电路器件 106 导致了器件 106 与基底 103 之间电连接的中断。该电连接中断可导致至器件 106 的功率损失,其导致敏感信息的损失。器件 106 的可操作状态取决于至基底 103 的电连接(例如如果与基底 103 中断连接,那么器件 106 是不可操作的)。因而,在一些实施例中,当集成电路器件 106 与基底 103 解除关联时,存储在存储模块 108 中的敏感数据丢失(例如被移除等)。附加地,当器件 100 承受被采用以除去处理器件 100 的温度时,存储在存储模块 108 中的敏感数据可丢失。

[0027] 如所示的,底部填充件 136 至少部分地装封电界面 132 并且用于提供对电界面 132 的机械支承和 / 或环境保护。底部填充件 136 可至少部分地在第一保护层 138(例如介电材料等)之上沉积。在一实施例中,底部填充件 136 可被填充环氧树脂或其他适合的介电材料。可以想到的是可采用倒装芯片处理以将电界面 132 定位在集成电路器件 106 上,并且将器件 106 电连接至后侧再分配层 124。附加地,如图 1A 和图 1B 中所示,半导体封装器件 100 还可包括第二保护层 140,所述第二保护层在表面 118(例如前侧)之上沉积以至少部分地对附连凸块 110 提供机械支承。第二保护层 140 可包括多个聚合物层,所述聚合物层在基底 103 的制造期间用于作为应力缓冲件。

[0028] 示例性制造过程

[0029] 以下讨论描述用于制造半导体芯片封装件的示例性技术,所述半导体芯片封装件其中包括集成电路器件封装体,其中芯片封装件在晶圆级封装(WLP)过程中形成。当描述 WLP 过程时,应当理解的是本申请公开可在倒装芯片球形栅格阵列(FC-BGA)式封装构型、引线接合式封装构型等中采用。图 2 描绘了用于制造集成电路器件的过程 200,并且图 4 描绘了在示例性实施例中用于制造诸如如上所述在图 1A 和图 1B 中示出的示例性芯片封装件 100 的半导体器件的过程 400。图 3A 至图 3C 示出了示例性半导体晶圆的、被采用以制造诸如图 1A 中所示集成电路器件 106 的集成电路器件 300 的部分。图 5A 至图 5C 示出了示例性半导体晶圆的、被采用以制造半导体器件 500(诸如图 1B 中所示的器件 100)的部分。

[0030] 在所示的过程 200 中,第一半导体晶圆(例如基底)被处理(框 202)以在其中形成集成电路。如图 3A 中所示,采用前道工序技术处理第一半导体晶圆 302 以在其中形成集成电路 304。一个或多个集成电路 304 被构成以提供存储功能性。例如,如所示的,晶圆 302 包括存储模块 306。在该实施例中,一个或多个集成电路 304 包括存储模块 306,所述存储模块构造成存储敏感数据。

[0031] 如图 2 中所示,一个或多个再分配层在第一半导体晶圆之上形成(框 204)。如图 3B 中所示,一个或多个再分配层在晶圆 302 的前侧 310 之上形成(例如沉积)。一旦再分配层已经沉积,焊料凸块在第一半导体晶圆的前侧之上形成(框 206)。在一实施例中,如图 3B 中所示,焊球在凸块界面 312(例如 UBM、前侧再分配层等)之上定位并且被回流以形成焊料凸块(附连凸块)314。如所示的,集成电路器件 300 包括在晶圆 302 的前侧 310 之上形成的保护层 316。一旦焊料凸块已经形成,第一半导体晶圆被单粒化以形成各独立的集成电路器件(框 208)。如图 3C 中所示,在晶圆 302 的单粒化之后集成电路器件 300 包括独立的裸

晶。一旦被单粒化,集成电路器件 300 就在第二半导体晶圆之上定位,用于进一步的如以下(参见图 4 的框 410)更详尽描述的处理步骤。

[0032] 在图 4 所示的过程 400 中,第二半导体晶圆(例如晶圆)被处理(框 402)以在其中形成集成电路。集成电路可以各种方法构造。例如,集成电路可以是数字集成电路、模拟集成电路、混合信号集成电路等等。在一个或多个实施例中,前端工序技术可被采用以在诸如为图 5A 所示晶圆 502 的第二半导体晶圆中形成集成电路 501。

[0033] 贯穿基底通路在半导体晶圆内形成(框 404)。如图 5B 中所示,第二保护层 510 在晶圆 502 的后(例如无源)侧或表面 512 之上形成(例如沉积)。如所示的,晶圆 502 已被倒装(例如,一旦晶圆 502 的前侧已被处理则进行倒装芯片处理)以继续制造器件 500。第二保护层 510 然后被选择性地蚀刻以至少大体上去除保护层 510 的部分。一个或多个微贯穿基底(例如硅)通路(TSV)514 然后在半导体晶圆内形成,并且导电材料 516(例如铜、多晶硅等)在所述微贯穿基底通路中沉积。微 TSV514 的形成可包括(经由适合的蚀刻过程)选择性去除部分晶圆 502,以使得 TSV514 从晶圆 502 的后侧延伸至晶圆 502 的前侧。TSV514(514A、514B)用作提供晶圆的前侧与晶圆 502 的后侧之间的电连接。导电材料 516 可通过适合的沉积过程(诸如铜镶嵌过程等)沉积。在特定实施例中,微 TSV514 可具有从大约五微米($5 \mu m$)至大约二十微米($20 \mu m$)的近似尺寸以及从大约五十微米($50 \mu m$)至大约一百微米($100 \mu m$)的近似深度。

[0034] 一旦集成电路 501 在晶圆 502 内形成,保护层(例如钝化层、介电层等)503 在晶圆 502 之上形成以在制造和使用期间对集成电路提供保护。保护层 503 在晶圆 502 的前(有源)侧或表面 504 之上形成。一旦保护层在晶圆的前侧(表面)之上形成,焊料凸块在半导体晶圆之上形成(框 406)。例如,焊球在凸块界面 506(例如 UBM、前侧再分配层等)之上定位并且被回流以形成焊料凸块(例如附连凸块)508(参见图 5B)。在一实施例中,在放置和形成焊料凸块之前保护层 503 被选择性地蚀刻。

[0035] 一个或多个再分配层在半导体晶圆的后侧之上形成(框 408)。如图 5B 中所示,再分配层 516A、516B 在晶圆 502 的表面 512 之上沉积。一旦再分配层 516A、516B 形成(沉积),再分配层 516A、516B 可被选择性地蚀刻以防止电串扰和 / 或电短路。一个或多个集成电路器件(关于图 2 和图 3 描述的集成电路器件)在半导体晶圆的后侧之上定位并与之接触(框 410)。可以想到的是各种制造技术可被采用以将集成电路器件封装体在基底之上定位,所述制造技术包括但不限于:晶圆上晶圆制造技术、晶圆上裸晶制造技术、以及裸晶上裸晶制造技术。如图 5C 中所示,集成电路器件 300 在再分配层 516A、516B 之上定位并与之接触。集成电路器件 300 借助于电界面 314(焊料凸块等)与相应的再分配层 516A、516B 电接触。底部填充件 519 至少部分地装封电界面 314 并且用于对电界面 314 提供机械支承和 / 或环境保护。如所示的,集成电路器件 300 借助于再分配层 516A、516B、TSV514 以及附连界面 506 与前侧(例如晶圆 502 的集成电路 501 等)电通信。如所示的,集成电路器件 300 包括被构造成存储敏感数据的存储模块 306(例如存储电路),所述存储模块在以上更详尽地描述。

[0036] 装封结构然后在半导体晶圆后侧上的半导体晶圆之上形成(框 412)。装封结构(例如图 5C 中所示的示例装封结构 522)可包括包覆成型件 524(例如模制复合物)。模制复合物可包括诸如环氧材料、树脂基材料的液体材料和 / 或热塑橡胶材料。例如,在特定情况

下,环氧树脂骨料能与球形环氧填充材料一起使用。模制复合物可基于如下特性选择,所述特性包括但不限于:热膨胀系数(CTE)、挠曲模量、和 / 或颗粒尺寸。

[0037] 在一些实施方式中,可对模制复合物使用传递成型处理。在一实施方式中,液态模制复合物可被使用以形成包覆成型件 524。在其他实施方式中,可对模制复合物使用压缩成型处理。例如,粒状模制复合物放置在压模成型腔中,对模制复合物施加压力,并且然后维持热量和压力直至模制材料固化为止。应当指出的是模制复合物的厚度可被选择成防止压力对集成电路器件 300 的影响或使得所述影响最小化。加强组件然后可附接至装封结构(框 414)。如上所述,加强组件 526 可附接至装封结构 522 以对器件 500 提供进一步的机械支承。接下来,半导体基底可被单粒化以提供独立的集成电路器件(框 216)。例如,晶圆 502 可被单粒化以提供独立的芯片封装件,诸如芯片封装件 100。

[0038] 结论

[0039] 尽管已用专门针对结构特征和 / 或过程操作的语言描述了本申请的主题,应当理解的是所附权利要求书中的主题并非必须限定至上述特定特征或行为。实际上,以上描述的特定特征和行为被作为实施权利要求的示例性形式而公开。

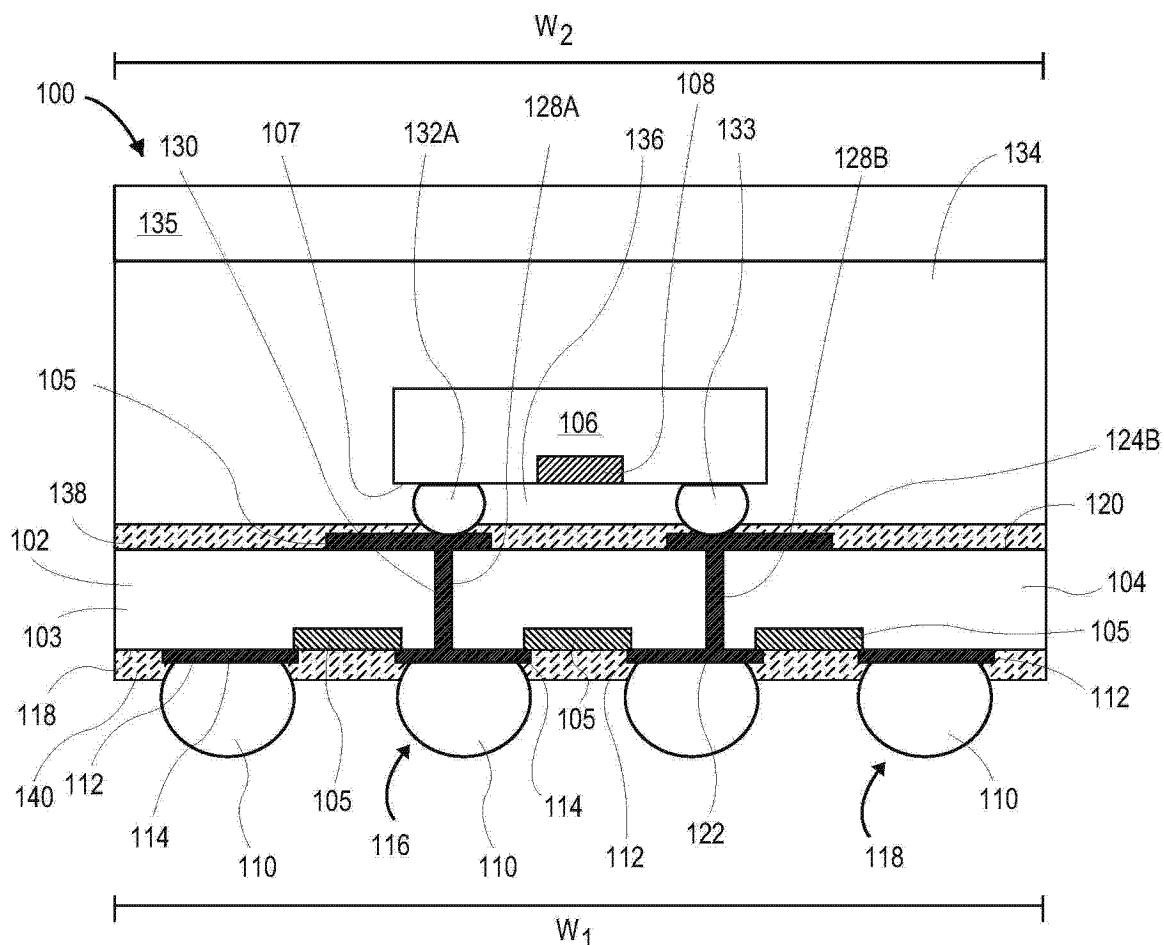


图 1A

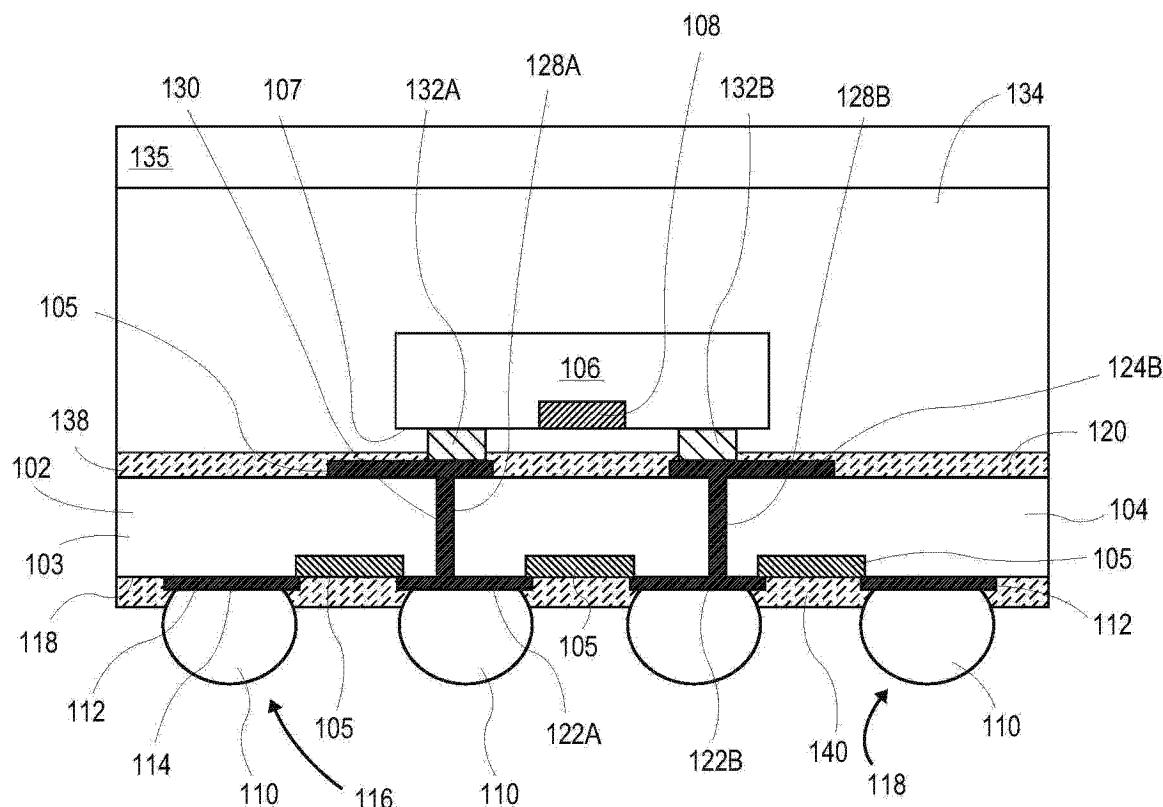


图 1B

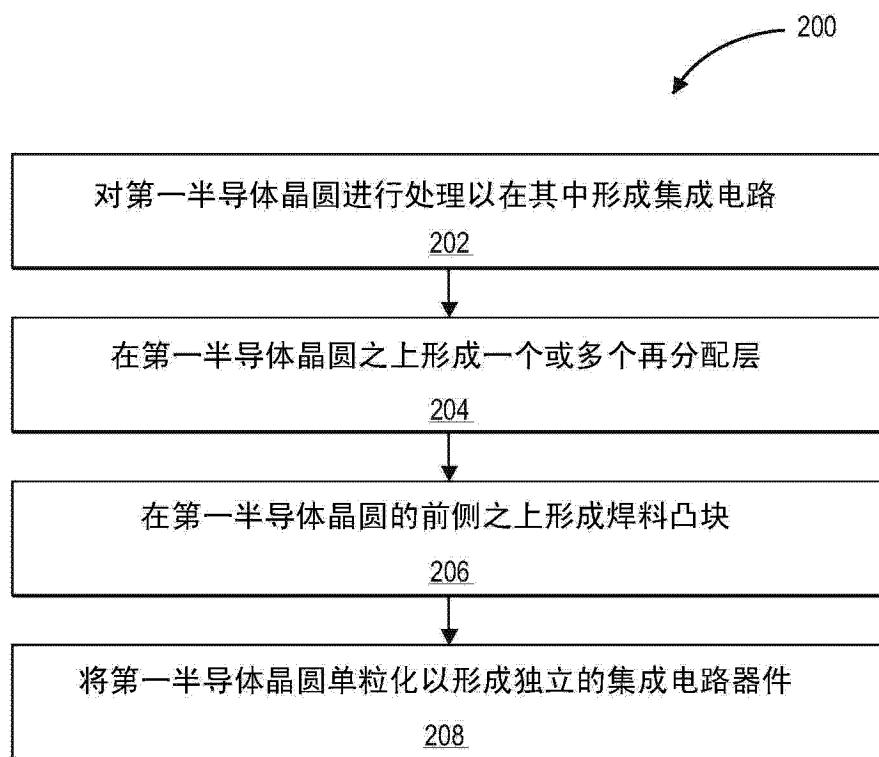


图 2

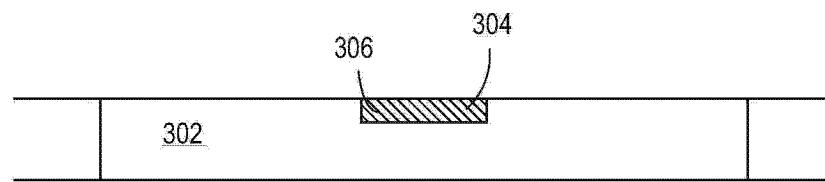


图 3A

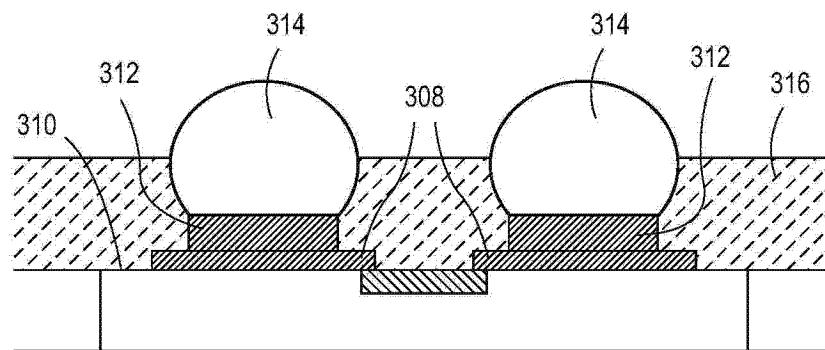


图 3B

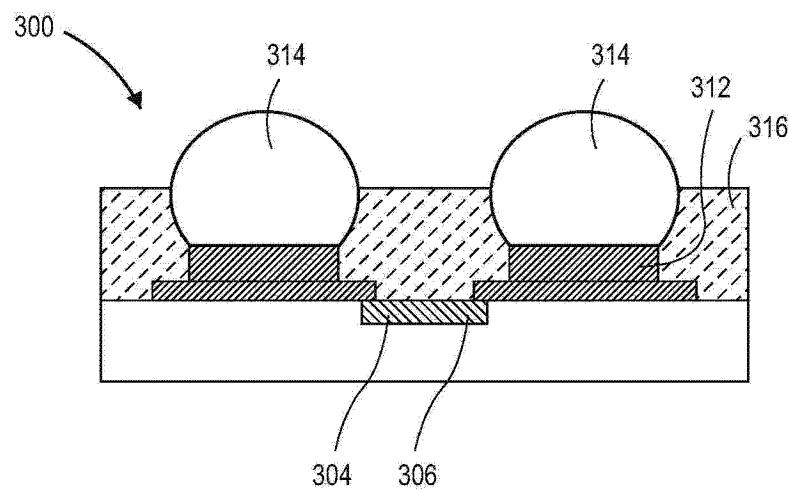


图 3C

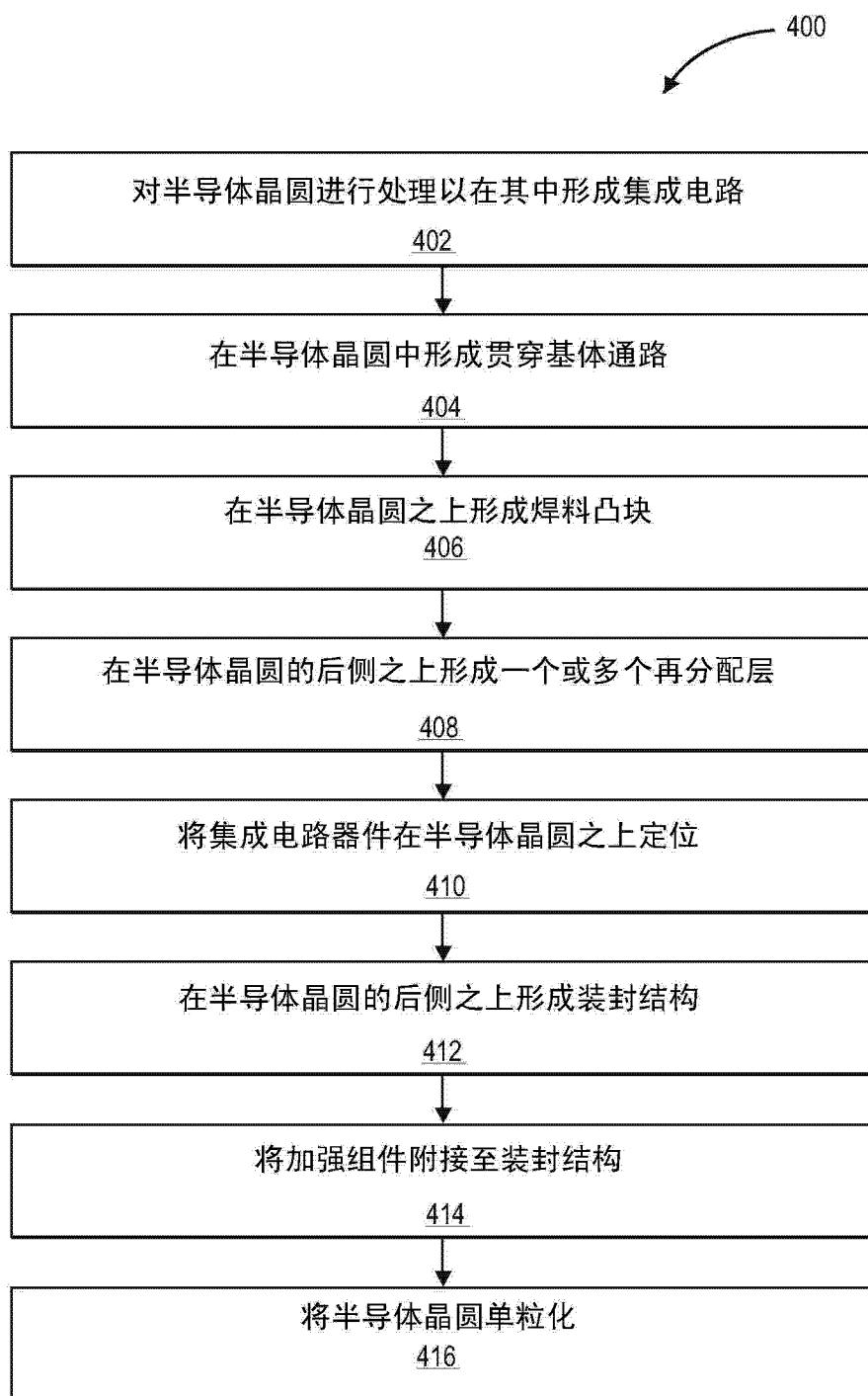


图 4

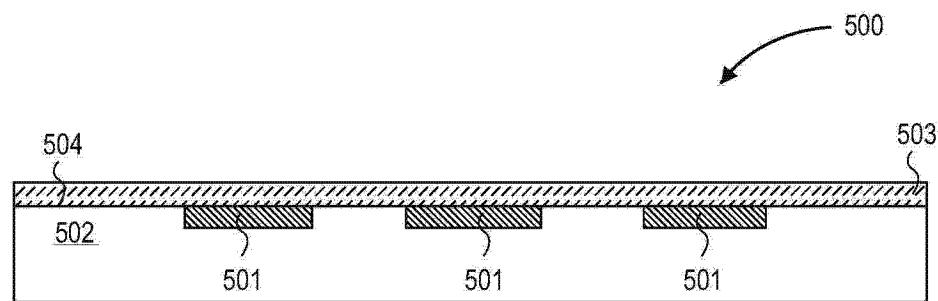


图 5A

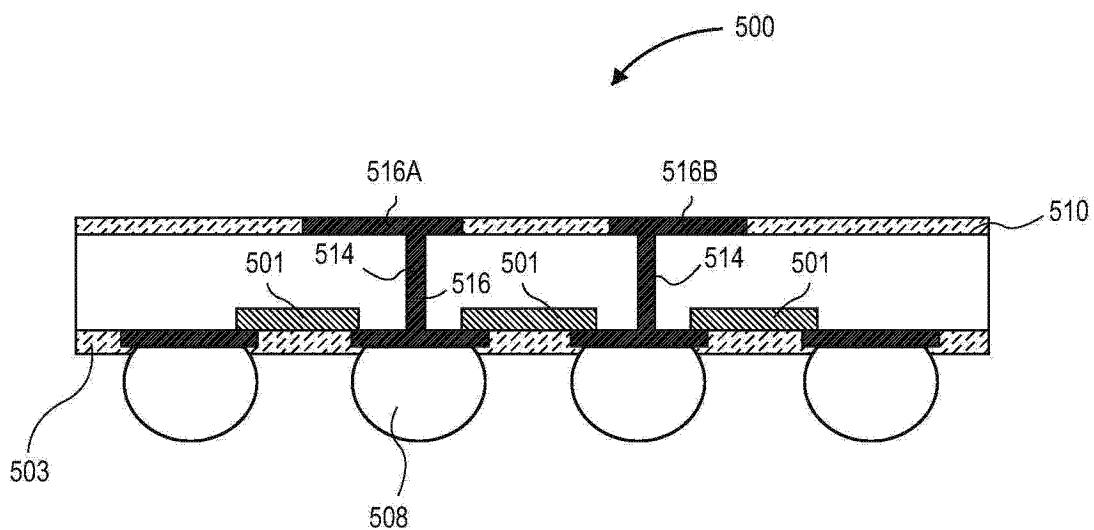


图 5B

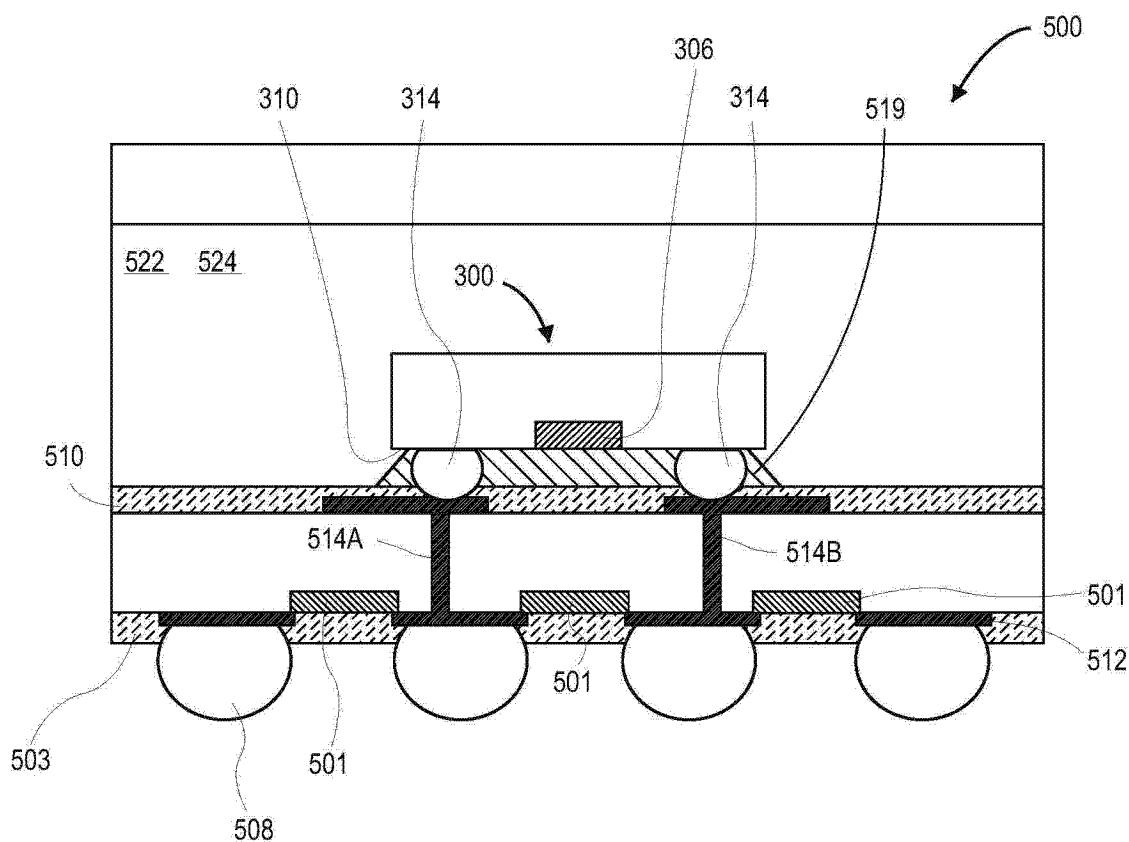


图 5C